

第 11 章: アナログ集積回路における過電圧の影響

<b>11.1: 過電圧の影響</b>	11.1
アンプの入力段における過電圧	11.1
アンプ出力電圧の位相反転	11.4
<b>11.2: 静電放電 (ESD)</b>	11.11
集積回路への静電放電 (ESD) の影響を理解し、保護する	11.11
<b>11.3: EMI / RFI に関する考慮事項</b>	11.23
EMI 規制についての手引き	11.23
民生用機器	11.23
米国軍用機器	11.24
医療用機器	11.24
車載用機器	11.25
EMC 規制が設計に及ぼす影響	11.25
受動部品: EMI と戦うための武器	11.25
無線周波数妨害 (RFI)	11.30
効果を減らすグラウンド	11.33
電源ライン妨害の解決法	11.35
EMI 保護のためのプリント回路基板設計	11.37
シールドの考え方の概要	11.42
ケーブルとシールドに関する一般的な注意点	11.47
EMI におけるトラブルシューティングの基本方針	11.49
参考文献:	11.50



## 第 11 章: アナログ集積回路における過電圧の影響

### 11.1: 過電圧の影響

実際よく尋ねられる質問の 1 つに「電源がオフのとき、アナログ集積回路に外部電圧が印加されたら何が起こるか」というものがあります。この質問が表す状況には、多種多様なものが考えられます。例えば、ケーブルへの落雷によって非常に高い過渡電圧がシグナル・コンディショニング回路に伝搬する場合や、カーペット上を歩いた後に、高感度で精密な回路を集積したプリント基板に触れる場合などです。状況に関わらず、すべてに当てはまる問題は、過電圧によるストレス（場合によっては、製品の s いミス）がアナログ集積回路にどのような影響を及ぼすかということです。この点について以下ではオペアンプに限定して説明します。これは外界と接することの最も多いのがオペアンプであるからです。ここで説明する考え方は、アナログ波形の調整やデジタル処理を担うアナログ集積回路のすべてに適用可能で、また同時に、適用すべき内容となっています。そのようなデバイスには、計装アンプ、アナログ・コンパレータ、サンプル&ホールド・アンプ、アナログ・スイッチ、マルチプレクサ、A/D コンバータなどがあります。

#### アンプの入力段における過電圧

実際のシグナル・コンディショニングにおいてセンサーは、故障が十分に起こり得る過酷な環境で使用されることがしばしばです。センサーが故障すると、シグナル・コンディショニング回路は電源電圧を超えるような大きな電圧にさらされることがあります。たとえ装置の電源がオンになっていても、損傷を受ける可能性はかなり高いでしょう。オペアンプの絶対最大定格に関して仕様書には、入力信号レベルは電源電圧より 0.3 V を超えてはならない、またデバイスによっては 0.7 V を超えてはならないと記載されています。これらのレベルを超えると、アンプの入力段が故障電流にさらされます。そして故障電流は内部の金属パターンと寄生 P-N 接合を通じて電源へ流れ、破壊する可能性があります。何らかの電流制限がないと、保護されていない入力差動ペア（BJT や FET）は、わずか数マイクロ秒で破壊される可能性があります。一方で、電源電圧を超えた電圧に対する保護回路を内蔵しているデバイスもありますが、通常は絶対最大定格を守る必要があります。

最近の高性能オペアンプで、単電源やレール to レールで動作するように設計されたものであれば、入力段への過電圧の影響について情報が提供されていますが、現在入手可能なアンプの大半には、メーカーからそういった情報はありません。そのようなデバイスを使用する場合、回路設計者は保護対策を講じる前にデバイスの入力段の電流電圧特性を確認する必要があります。

アンプはすべて、ある一定の内部閾値を超える入力電圧が供給されると、正電源または負電源に電流を流します。この閾値はデバイスによって異なり、入力段の内部構造に応じて  $0.7\text{ V} \sim 30\text{ V}$  の範囲の値です。閾値レベルに関係なく、外部で発生した故障電流は  $\pm 5\text{ mA}$  以下に制限しなければなりません。

- **INPUT SHOULD NOT EXCEED ABSOLUTE MAXIMUM RATINGS**  
(Usually Specified With Respect to Supply Voltages)
- **A Common Specification Requires the Input Signal  $< |V_s| \pm 0.3\text{ V}$**
- **Input Voltage Should be Held Near Zero in the Absence of Supplies**
- **Input Stage Conduction Current Needs to be Limited (Rule of Thumb:  $\leq 5\text{ mA}$ )**
- **Avoid Reverse Bias Junction Breakdown in Input Stage Base - Emitter Junctions**
- **Differential and Common-Mode Ratings may Differ**
- **No Two Amplifiers are exactly the Same**
- **Some Op Amps Contain Input Protection (Voltage Clamps, Current Limits, or Both), but Absolute Maximum Ratings Must Still be Observed**

図 11.1: 入力段における過電圧

アンプの入力段の電流電圧特性には、多くの要因が影響を与えます。例えば、差動入力部の内部クランプ・ダイオード、電流制限用の直列抵抗、サブストレート電位との接続、差動入力段のトポロジ（BJT や FET）などです。差動入力クランプとして使用される入力保護ダイオードは、一般に NPN トランジスタのベースエミッタ接合で構成されています。負電源を超える入力電圧が印加されると、これらのダイオードは通常、負電源との間に寄生 P-N 接合を形成します。オペアンプの入力段に使用される電流制限用の直列抵抗は、N 型または P 型拡散、ポリシリコン、薄膜（例えば SiCr）の 3 種類の材料で製造することができます。ポリシリコンと薄膜抵抗は、基板との絶縁バリアとなる酸化物の薄い層の上に形成されているので、正負どちらの電源との間にも寄生 P-N 接合を形成することはありません。それに対して、拡散抵抗は P 型 または N 型の拡散領域で構成されているため、電源との間に P-N 接合を形成します。アンプのサブストレート電位は、電源電圧に対するアンプの入力電流電圧特性の感度を定めるため、最も影響の大きい要素です。

アンプの入力段の構成もまた、アンプの電流電圧特性に大きな役割を果たしています。オペアンプの入力差動ペアは、バイポーラ・トランジスタ（NPN または PNP）、あるいは電界効果トランジスタ（ジャンクションまたは MOS、N 型または P 型チャネル）で構成されています。バイポーラで構成された入力差動ペアには、正負どちらの電源へも直接の経路はありませんが、FET で構成された差動ペアには電源への直接の経路があります。例えば、N 型チャネルの JFET はバックゲートと P 型サブストレートの間に寄生 P-N 結合を形成し、 $V_{IN} + 0.7\text{ V} < V_{NEG}$  の状態になると通電します。

すでに述べたように、多くのアナログ集積回路メーカーは、デバイスの入力構造の挙動に関して詳細な情報を提供していません。簡単な回路図も提供されていなかったり、あったとしても、過電圧条件下での入力段の挙動は省略されていたりします。したがって、導通経路を特定するため、他に対策を講じる必要があります。

標準的な半導体カーブトレーサを使用すれば、入力回路のトポロジに関係なくあらゆるアンプの電流電圧特性を測定できます。オペアンプの電源ピンの両方をカーブトレーサのグラウンドに接続し、コレクタ出力ドライブをアンプの入力のどちらかに接続します。カーブトレーサから DC ランプ電圧を供給して、入力段を流れる電流を測定します。カーブトレーサが使用できない場合は、DC 電圧源とマルチメータを使用すればカーブトレーサの代わりにできます。アンプを確実に保護するために、DC 電圧源とアンプの入力の間に 10 kΩ の抵抗を挿入する必要があります。DC 電圧を加えていくたびにマルチメータの電流計の値を読み取れば、カーブトレーサによる測定と同じ結果が得られます。どちらの入力を測定しても構いませんが（できれば、入力は両方測定するべきです）、測定しない入力は開放状態にしておきます。そうしないと、余計な接合の影響が加わり、測定がより複雑になってしまいます。電流帰還型アンプの入力段の評価は、2 つの入力の間に対称性がないため、より困難です。そのため、どちらの入力についてもそれぞれ個別の電流電圧特性を調べる必要があります。

- Junctions may be Forward Biased if the Current is Limited
- In General a Safe Current Limit is 5mA
- Reverse Bias Junction Breakdown is Damaging Regardless of the Current Level
- When in Doubt, Protect with External Diodes and Series Resistances
- Curve Tracers Can be Used to Check the Overvoltage Characteristics of a Device
- Simplified Equivalent Circuits in Data Sheets do not tell the Entire Story!!!

図 11.2: 過電圧の影響

対象となるデバイスについて入力の電流電圧特性を測定してし終わると、次に故障電流を  $\pm 5 \text{ mA}$  に制限するために必要な抵抗の最小値を決定します。式 11.1 は、入力の過電圧レベルが既知の場合の  $R_S$  の計算式です。

$$R_S = \frac{V_{IN(MAX)} - V_{SUPPLY}}{5 \text{ mA}} \quad \text{式 11-1}$$

過電圧で最悪の条件は、最初から電源がオフであるか接続されていない場合です。この場合、 $V_{SUPPLY}$  はゼロになります。

例えば、何らかの故障条件により入力過電圧が 100 V まで上昇したとすると、20 kΩ 以上の外部抵抗が必要です。オペアンプのアプリケーションの大部分では、保護が必要なのは入力的一方だけですが、入力の両方が過電圧にさらされる可能性があるために、両方を保護しなければならない構成のものもあります（例えばディファレンス・アンプ）。計装アンプの入力を両方保護しなければならないことは、非常によく知られています。

- **Sometimes Occurs in FET and Bipolar Input (Especially Single-Supply) Op Amps when Input Exceeds Common Mode Range**
- **Does Not Harm Amplifier, but may be Disastrous in Servo Systems!**
- **Not Usually Specified on Data Sheet, so Amplifier Must be Checked**
- **Easily Prevented:**

<b>BiFETs:</b>	<b>Add Appropriate Input Series Resistance (Determined Empirically, Unless Provided in Data Sheet)</b>
<b>Bipolars:</b>	<b>Use Schottky Diode Clamps to the Supply Rails.</b>

図 11.3: アンプ出力の位相反転に関する注意事項

## アンプ出力電圧の位相反転

オペアンプには、一方または両方の入力が入力コモンモード電圧範囲を超えると、出力電圧の位相反転が発生するものがあります。位相反転というと通常は JFET (n 型または p 型チャネル) 入力のアンプに関するものですが、バイポーラのアンプでも発生することがあります（特にユニティ・ゲイン・フォロアとして動作する単電源アンプにおいて）。ほとんどのアプリケーションでは、出力電圧の位相反転がアンプやアンプが使用されている回路を損傷させることはありません。多くのオペアンプが位相反転の問題を抱えていますが、システム設計において問題になることはめったにありません。しかしながら、サーボ・ループのアプリケーションでは、位相反転によって大きな危険が生じることがあります。幸いなことに、位相反転は一時的な状態にすぎません。アンプの入力が通常動作のコモンモード電圧範囲以内に戻れば、出力電圧の位相反転はなくなります。位相反転に関する情報がデバイスのデータシートに記載されていることも稀なので、やはりアンプのメーカーに問い合わせる必要があるかもしれません。

BiFET のオペアンプでは、適切な抵抗をアンプの入力に直列に接続して電流を制限することにより、位相反転が発生させないようにできます。

バイポーラ入力のアンプでは、ショットキー・ダイオードを使用して、負電源レールから数百ミリボルト以内に入力をクランプすることによって保護できます。出力電圧の位相反転の影響に関する詳細については、参考文献 1 を参照してください。

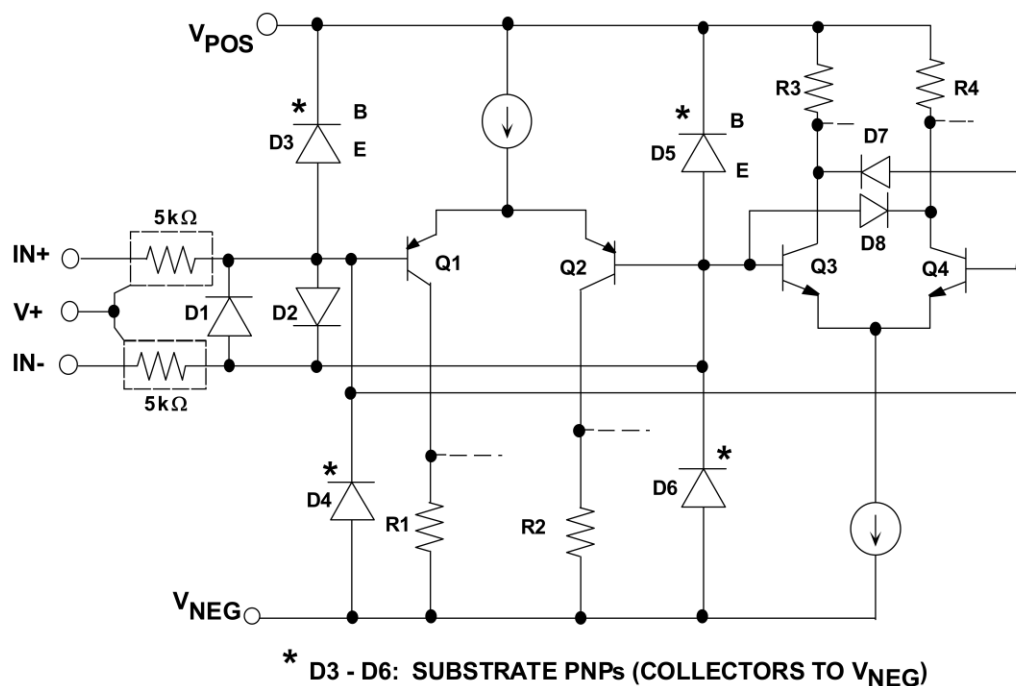


図 11.4: 保護回路が追加された OP-X91 の入力段の詳細

レール to レール・オペアンプは、入力コモンモード電圧範囲の全体にわたり異常な動作をさせてはならないため、集積回路設計者はとりわけ難しい問題を抱えることになります。実際、そのようなアプリケーションに用いられるデバイスは、入力電圧が電源範囲を超えたとしても、異常な動作をしないことが望まれます。最新の高性能なレール to レール入出力オペアンプの 1 つである OPX91 ファミリー (OP191、OP291、OP491) には、オペアンプを過電圧と損傷から保護する回路が追加されています。図 11.4 に示すように、OPX91 の入力段には、6 個のダイオードと 2 個の抵抗が使用されており、入力端子間、および入力端子と電源間をクランプします。D1 および D2 は ベース・エミッタ NPN ダイオード (NPN トランジスタのベースとコレクタを接続してダイオードの動作をさせるもの) で、差動入力電圧が 0.7 V を超えた場合に、アバランシェ・ブレークダウンから Q1 - Q2 および Q3 - Q4 のベースを保護するために使用されます。ダイオード D3 ~ D6 はサブストレート PNP トランジスタで構成され、OPX91 に印加された入力電圧を電源レールへクランプします。

サブストレート PNP トランジスタをクランプ・ダイオードとして使用すると、興味深いメリットが生まれます。トランジスタのコレクタが負電源と接続されているため、入力電圧が電源レールのどちらかを超えると、ダイオードが導通し、故障電流が迂回して直接電源へ流れるので、アンプの入力段に流れ込まないのです。さらに、5 k $\Omega$  の抵抗が OPX91 の各入力に直列に接続されているため、差動入力電圧が 0.7 V を超えたときに D1 と D2 を流れる故障電流を制限します。

この  $5\text{ k}\Omega$  の抵抗は  $n$  ウェル内の  $p$  型拡散によるもので、正側電源と接続されていることに注目してください。印加された入力電圧が正側電源を超えると、生成された故障電流の一部は  $V_{POS}$  へも迂回するので入力段には流れません。これらの対策の結果、図 11.6 のように OPX91 は優れた入力過電圧特性を示します。注目すべきは、 $5\text{ k}\Omega$  の抵抗とクランプ・ダイオードを組み合わせることによって、デバイスの入力が電源レールより  $10\text{ V}$  上回っても入力電流は  $2\text{ mA}$  より小さく、安全に制限されていることです。

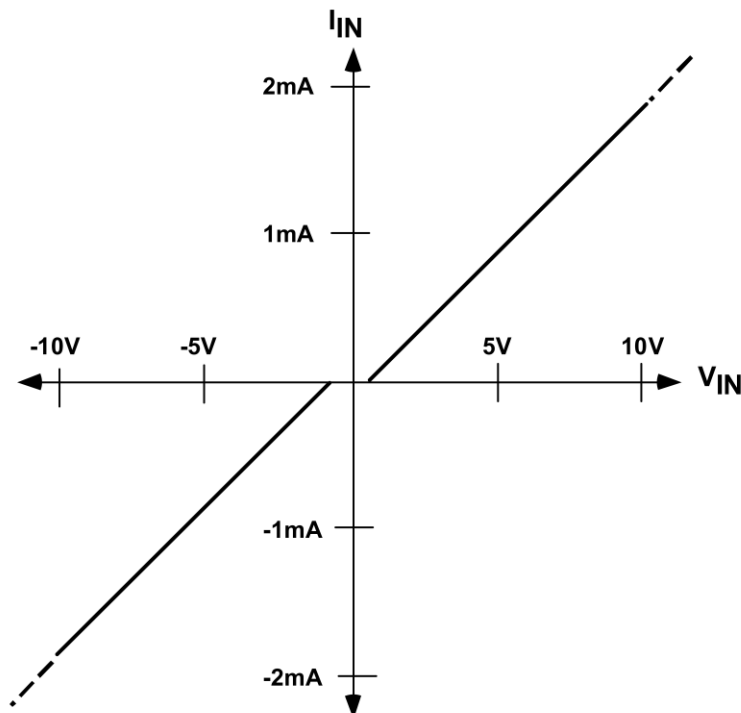


図 11.5: OP-X91 は、内部の  $5\text{ k}\Omega$  の抵抗と入力クランプ・ダイオードによって過電圧から保護されている

さらに安全性を高める機能として、Q3 と Q4 への入力段にペアのダイオードを追加することによって、OPX91 内部の次の段が破壊されるのを防止します（すなわち強制的なカットオフ）。入力が正の入力共通モード電圧を超えたときに、万一、これらの段で強制的なカットオフが発生すると、アンプの出力電圧は位相反転を起こします。ダイオードを追加した効果を図 11.6 に示します。このように、OPX91 ファミリーは出力電圧の位相反転やその他の異常な挙動を示すことなく、 $\pm 5\text{ V}$  電源で  $20\text{ V}_{p-p}$  の入力信号を安全に処理できます。これらのアンプを使用すれば、外付けのクランプ・ダイオードは不要です。



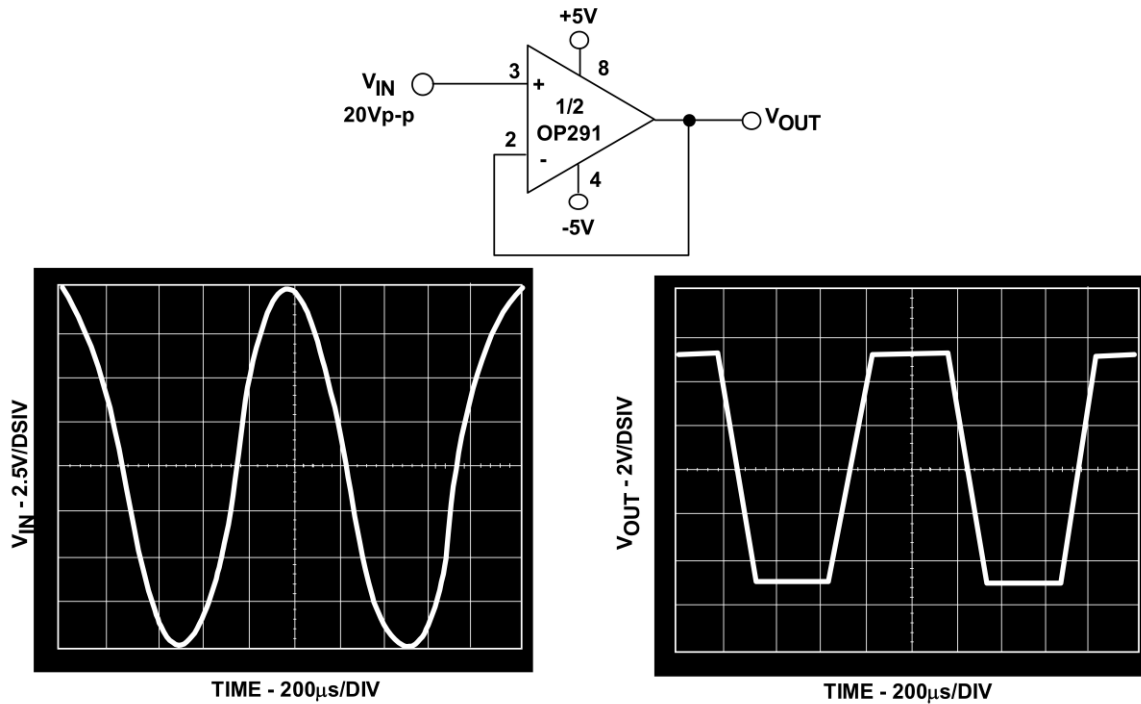
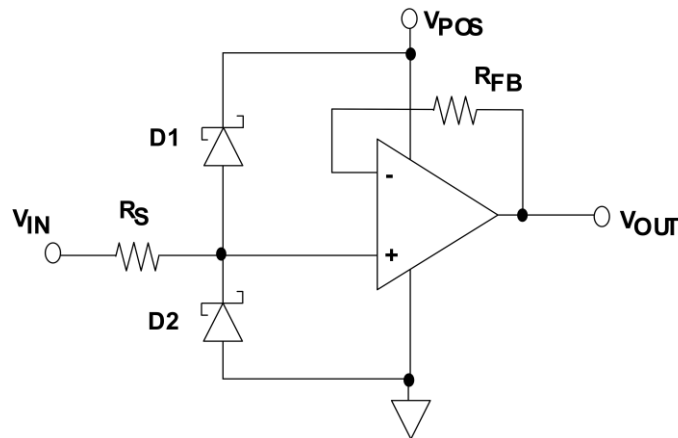


図 11.6: OP-X91 は 2 つのクランプ・ダイオードを追加することによって出力の位相反転を防止している



Value for  $R_S$  provided by manufacturer or determined empirically

$R_{FB}$  may be required for high bias current devices

D1 and D2 can be Schottky diodes (Check their capacitance and leakage current first)

図 11.7: 単電源オペアンプにおいて、製品の取り扱いミスによる入力過電圧や出力電圧の位相反転を防止するための一般的な外部保護回路の構成

製品の取り扱いミスによる過電圧や出力の位相反転を防ぐために、外部の保護回路が確実に必要なオペアンプの場合、図 11.7 に示すように、直列抵抗  $R_S$  を使用して故障電流を制限すること、およびショット

キー・ダイオードを使用して入力信号を電源へクランプすることが一般的な手法です。

外付けの直列入力抵抗  $R_S$  の値はアンプ・メーカーから提供されていますが、図 11.2 および式 11.1 にあらかじめ示した方法でユーザーが実験的に求めることもできます。たいていの場合、この抵抗値は出力電圧の位相反転を保護するのに十分であるとともに、ショットキー・ダイオードを流れる故障電流も制限します。

アンプの入力に抵抗が直列に追加されると、オフセットおよびノイズ性能に影響が出ることは明らかです。この直列抵抗による回路ノイズの影響は、次式を用いて計算できます。

$$E_{n,\text{total}} = \sqrt{(e_{n,\text{op amp}})^2 + (e_{n,R_S})^2 + (R_S \cdot i_{n,\text{op amp}})^2} \quad \text{式 11-2}$$

この直列抵抗の熱ノイズ、この直列抵抗をアンプのノイズ電流が流れることによって生じる電圧ノイズ、およびアンプの入力ノイズ電圧を合算したもの（ノイズ電圧の間には相関がないので、二乗和平方根法を用います）が全体の入力ノイズを決定し、保護抵抗を使用しない場合の入力電圧ノイズと比較することができます。

アンプの入力に直列に接続された保護抵抗には、これを流れるアンプのバイアス電流による電圧降下も発生します。この電圧降下は、回路のオフセット電圧の増加となって表れます（そして、バイアス電流が温度によって変化すると、オフセットがドリフトします）。バイアス電流がほぼ等しいアンプにおいては、それぞれの入力に接続された直列抵抗はこの影響を相殺するように働き、誤差を減らします。追加された直列抵抗が回路全体のオフセット電圧に与える影響は、次式で計算できます。

$$V_{\text{os}(\text{total})} = V_{\text{os}} + I_b R_S \quad \text{式 11-3}$$

$R_{\text{FB}} = R_S$  の場合や、信号源のインピーダンス・レベルのバランスがとれている場合には、回路全体のオフセット電圧は次式で表すことができます。

$$V_{\text{os}(\text{total})} = V_{\text{os}} + I_{\text{os}} R_S \quad \text{式 11-4}$$

$R_{\text{FB}}$  で加わるノイズは、コンデンサで分流して制限することができます。

外部のクランプ・ダイオードを使用してオペアンプの入力を保護する場合には、ダイオードの接合容量とリーク電流がアプリケーションに及ぼす影響を評価しなければなりません。ダイオードの接合容量と  $R_S$  によって信号経路に別のポールが追加されます。また、ダイオードのリーク電流は周辺温度が  $10^\circ\text{C}$  上昇するごとに倍増します。そこで、アプリケーションにとって最も高い周辺温度のときに、リーク電流の合計がデバイスに流れる入力バイアス電流の 10 分の 1 より小さくなるような、リークの小さいダイオードを使用しなければなりません。ショットキー・ダイオードを使用する場合のもう 1 つの問題は、順方向電圧降下が温度の関数として変化することです。

実際、ショットキー・ダイオードがあらゆる周辺温度で信号を  $\pm 0.3\text{ V}$  に制限するというわけではありません。しかし、ショットキー・ダイオードがオペアンプと同じ温度であれば、この電圧をデータシートの定格レベル以内に常に制限することはできませんが、安全なレベルに制限できます。ダイオードとオペアンプが常に同じ温度である場合には、電源投入時にのみ過電圧が確実に発生します。しかしながら、電源を再投入するときにオペアンプが温まっている場合には、ダイオードとオペアンプが同じ温度になるように対策を講じなければなりません。

注記

## 11.2: 静電放電 (ESD)

### 静電放電 (ESD) が集積回路へ及ぼす影響の理解と保護

集積回路は、静電放電によって発生する高電圧および高いピーク電流によって損傷を受けることがあります。高精度のアナログ回路には超低バイアス電流を特徴とするものが多く、静電破壊を防ぐ従来の入力保護構造が入力リーク電流も増加させてしまうため、一般的なデジタル回路より損傷を受けやすくなっています。

静電破壊を防ぐために大事なことは、(1) ESD 電圧の発生源を知ること、(2) 潜在する電圧を安全に放電させるための簡単な作業手順を知ることの 2 点です。

#### ■ ESD (Electrostatic Discharge):

- ◆ A single fast, high current transfer of electrostatic charge.

- ◆ Direct contact between two objects at different potentials.

- ◆ A high electrostatic field between two objects when they are in close proximity.

#### ■ ESD Failure Threshold:

- ◆ The highest voltage level at which all pins on a device can be subjected to ESD zaps without failing any 25°C data sheet limits.

図 11.8: ESD の定義

ESD に関する基本的な定義を図 11.8 に示します。ESD の故障閾値レベルは IC のデータシートの範囲すべてに関わることであり、単にデバイスの突発故障に関するものではないことに注意してください。また、データシートの範囲は IC の入出力ピンだけでなく、すべてのピンに適用されます。

2 つの物質をこすり合わせることによって静電気が発生することを、**摩擦帯電効果**と呼びます。静電荷は、異なる材料によって（ゴム底の靴でじゅうたんの上を移動する場合など）、または同種の材料の剥離によって（透明テープをロールから引っ張り出す場合など）発生させることができます。

人間が一般的に行う様々な行動が、高電圧の静電気帯電を発生させます。いくつかの事例を図 11.9 に示します。図中の値は、相対湿度がかなり高い状態で発生します。低い湿度、例えば寒い季節の室内などでは、図に示した値の 10 倍以上の電圧が発生する可能性があります。

- Person walks across a typical carpet.
  - ◆ 1000 - 1500V generated
- Person walks across a typical vinyl floor.
  - ◆ 150 - 250V generated
- Person handles instructions protected by clear plastic covers.
  - ◆ 400 - 600V generated
- Person handles polyethylene bags.
  - ◆ 1000 - 1200V generated
- Person pours polyurethane foam into a box.
  - ◆ 1200 - 1500V generated
- An IC slides down a grounded handler chute.
  - ◆ 50 - 500V generated
- An IC slides down an open conductive shipping tube.
  - ◆ 25 - 250V generated

**Note:** Above values can occur in a high ( $\approx 60\%$ ) RH environment. For low RH ( $\approx 30\%$ ), generated voltages can be  $>10$  times those listed above!

図 11.9: ESD が発生する例

集積回路の ESD 耐性の試験方法と分類方法を標準化する目的で、ESD モデルが開発されました (図 11.10)。これらのモデルは、ESD 電圧の発生源をシミュレーションするものです。この一般的に使用されている 3 つのモデルは、基礎となる前提条件が異なっているため、結果を直接比較することはできません。

- Three Models:
  1. Human Body Model (HBM)
  2. Machine Model (MM)
  3. Charged Device Model (CDM)
- Model Correlation:
  - ◆ Low - Assumptions are Different

図 11.10: 静電ポテンシャルのモデリング

最もよく見る ESD モデルは、人体モデル (HBM) です。このモデルは、単純な RC ネットワークで人体の抵抗と静電容量を近似することによってシミュレーションしています。コンデンサは、高電圧電源 (HVPS) によって充電された後、直列抵抗を通じて (高電圧スイッチを使用して) 放電されます。RC の値は、人によって当然異なりますが、HBM は MIL-STD-883 メソッド 3015 静電放電感受性分類で標準化されており、R-C の組み合わせは 1.5 k $\Omega$  および 100 pF と規定されています。(3 つの ESD モデルすべてについて R、C、L の値を図 11.12 に示します。)

■ Human Body Model (HBM)

**Simulates the discharge event that occurs when a person charged to either a positive or negative potential touches an IC at a different potential.**

RLC:  $R = 1.5\text{k}\Omega$ ,  $L \approx 0\text{nH}$ ,  $C = 100\text{pF}$

■ Machine Model (MM)

**Non-real-world Japanese model based on worst-case HBM.**

RLC:  $R \approx 0\Omega$ ,  $L \approx 500\text{nH}$ ,  $C = 200\text{pF}$

■ Charged Device Model (CDM)

**Simulates the discharge that occurs when a pin on an IC, charged to either a positive or negative potential, contacts a conductive surface at a different (usually ground) potential.**

RLC:  $R = 1\Omega$   $L \approx 0\text{nH}$ ,  $C = 1 - 20\text{pF}$

図 11.11: IC に適用可能な ESD モデル

マシン・モデル (MM) は人体モデルのワーストケースです。MM では、人体の抵抗と静電容量の平均値を使用する代わりに、最悪の場合を想定して 200 pF および 0  $\Omega$  を使用します。MM の 0  $\Omega$  の出力抵抗には、帯電した導電体 (例えば、自動試験システムの DUT ソケットが帯電している場合) から IC ピンへの放電をシミュレーションしようという意図もあり、これがマシン・モデルという名称の所以になっています。しかしながら、MM は実際に知られている ESD 事象の多くをシミュレーションしたものではありません。むしろ、理想的な電圧源 (言い換えると、放電経路に抵抗が存在しない場合) によって生じる ESD 事象をモデル化したものです。EIAJ 規格の ED-4701 試験方法 C-111 条件 A および ESD 協会の規格 S5.2 で MM 試験のガイドラインが提供されています。

帯電デバイス・モデル (CDM) は AT&T で考案されたものです。このモデルは、ESD の放電エネルギー源が IC 自体であるという点で HBM や MM と異なっています。CDM は、集積回路のダイ、ボンディング・ワイヤ、およびリード・フレームがある電位に帯電 (通常はグラウンドに対して正に帯電) していると仮定します。そして、IC ピンの 1 本以上がグラウンドに接触すると、蓄えられた電荷がリード・フレームとボンディング・ワイヤを通じて急速に放電します。

摩擦によって帯電したのちに CDM 放電が発生する典型的な例を以下に示します。

1.IC が搬送用シュートを滑り落ち、接地されている停止用バーにコーナー・ピンが接触する場合。

2.IC が、接地されていない導電性 SHIPPING・チューブを滑り落ち、コーナー・ピンが導体表面に接触する場合。

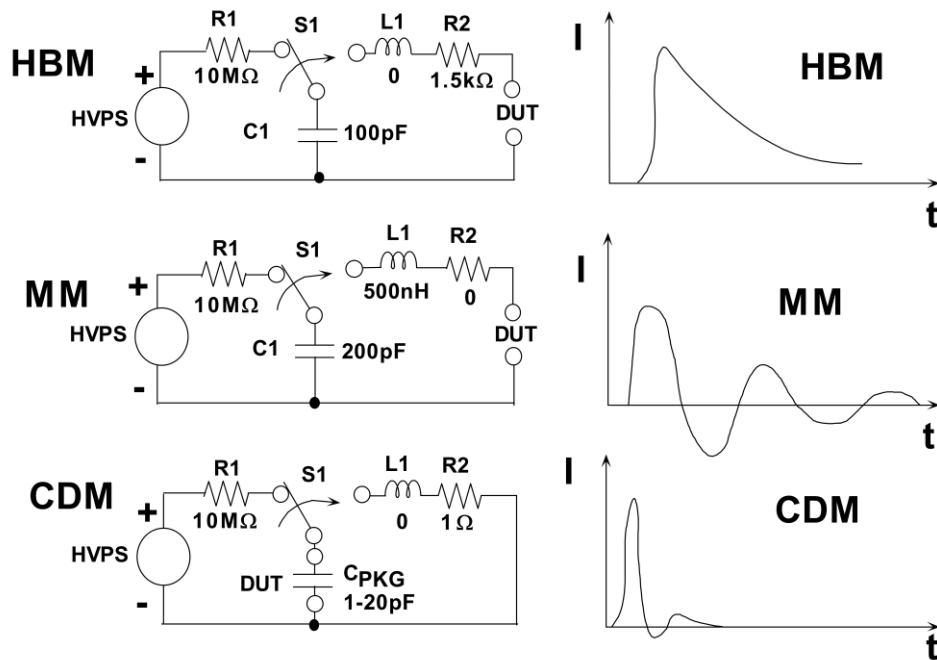


図 11.12: 3 つの ESD モデルの回路図と代表的な放電波形

CDM の基本的な考え方は、HBM および MM の考え方と 2 つの点で異なります。1 つ目は、HBM と MM が両方とも帯電した電源から IC 内への放電をシミュレーションしている一方、CDM は帯電した IC からグラウンドへの放電をシミュレーションしている点です。したがって、CDM 試験では電流が IC から外へと流れ、HBM および MM 試験では電流が IC の中へと流れます。2 つ目は、HBM と MM の回路のコンデンサが外部の固定コンデンサである一方、CDM の回路のコンデンサは、パッケージの静電容量である点です。

HBM や MM と異なり、CDM では同じダイでもパッケージが異なると ESD 閾値が変化します。これは、被試験デバイス (DUT) の静電容量がパッケージの関数であるために起こります。例えば、8 ピンのパッケージの静電容量と 14 ピンのパッケージの静電容量は異なります。CDM の静電容量は、1 ~ 20 pF の範囲で変えることができます。デバイスの静電容量は、1 Ω の抵抗を通じて放電されます。



3 つのモデルの回路図を図 11.12 に示します。HBM と MM の C1 は外部コンデンサで、CDM の  $C_{PKG}$  は DUT の内部静電容量である点に注意してください。

HBM の放電波形は単極性の RC パルスと断定できますが、MM 放電では、放電経路の寄生インダクタンス（一般的に 500 nH）によりリングングが発生します。理想的には CDM 波形も 1 つの単極性パルスになりますが、 $1\ \Omega$  の抵抗に直列に存在する寄生インダクタンスにより、立ち上がり時間が遅くなり、多少のリングングが発生します。

MODEL:	HBM	MM	SOCKETED CDM
Simulate:	Human Body	Machine	Charged Device
Origin:	US Military, Late 1960s	Japan, 1976	AT&T, 1974
Real World?	Yes	Generally	Yes
RC:	1.5 k $\Omega$ , 100 pF	0 $\Omega$ , 200 pF	1 $\Omega$ , 1 – 20 pF
Rise Time	<10 ns (6-9 ns typ )	14 ns*	400 ps**
I <sub>peak</sub> at 400V	0.27 A	5.8 A*	2.1 A**
Energy:	Moderate	High	Low
Package Dependent:	No	No	Yes
Standard:	MIL-STD-883 Method 3015	ESD Association Std. S5.2; EIAJ Std. ED-4701, Method C-111	ESD Association Draft Std. DS5.3

- \* These values per ESD Association Std. S5.2.  
EIAJ Std. ED-4701, Method C-111 includes no waveform specifications.
- \*\* These values are for the direct charging (socketed) method.

図 11.13: 3 つの ESD モデル HBM、MM、および CDM の比較

各 ESD モデルの主な特徴を図 11.13 に示します。各モデルのピーク電流は、試験電圧が 400 V の場合のものです。ピーク電流は HBM が最も低くなっていますが、これは放電抵抗が比較的高いためです。CDM 放電はデバイスの静電容量がわずか 1 pF ~ 20 pF の範囲であるため、エネルギーは低くなっていますが、ピーク電流は高くなっています。放電エネルギーは MM が最も高くなっていますが、これは MM の容量が最も高いためです（エネルギー = 0.5 CV<sup>2</sup>）。

CDM、MM、HBM の 400 V での放電波形を、電流と時間のスケールを合わせて比較したものを図 11.14 に示します。

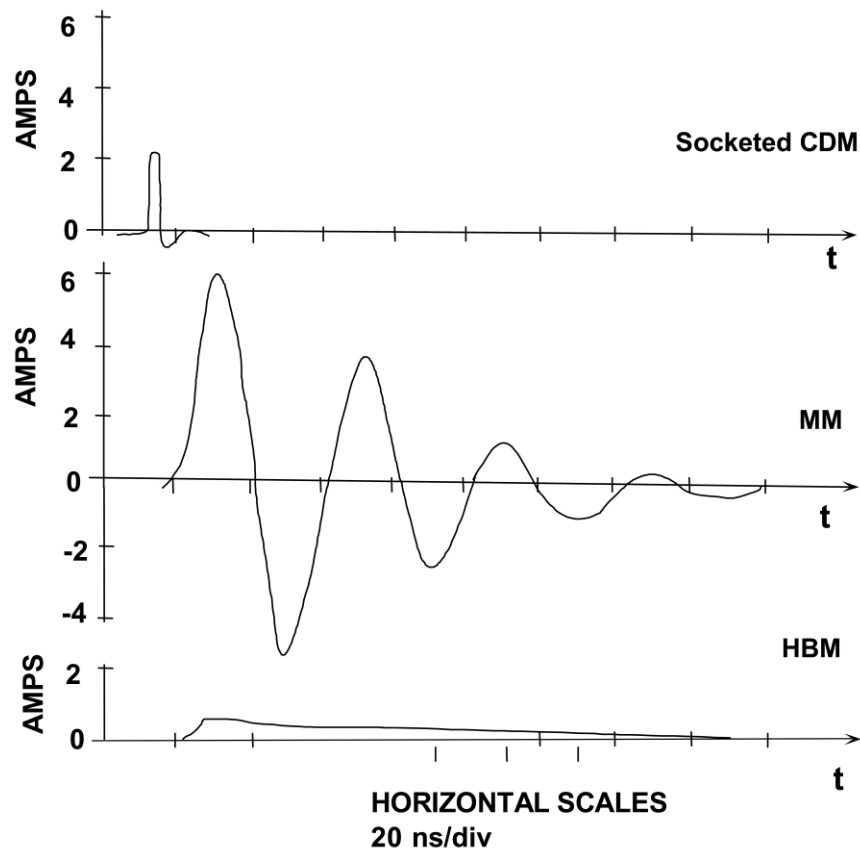


図 11.14: 試験電圧が 400 V の場合の HBM 放電、MM 放電、および CDM 放電の相対的な比較

CDM 波形は、実世界で最も短い既知の ESD 事象に対応します。CDM 波形の立ち上がり時間は 1 ns 未満で、CDM 事象の合計継続時間もわずか 2 ns 程度です。パルスの終わりに多少のリングングが発生するため、小さな立下がりピークが発生しますが、CDM 波形は基本的に単極性です。CDM 事象全体の継続時間が非常に短いため、放電全体は比較的低いエネルギーになりますが、ピーク電流は高くなります。

MM 波形は立ち上がりと立下がりの正弦波ピークで構成されており、共振周波数は 10 MHz ~ 15 MHz です。MM の最初のピークは通常、立ち上がり時間が 14 ns で、パルスの合計継続時間が約 150 ns です。MM は複数の高電流と適度な継続時間のピークがあるため、所定の試験電圧に対して 3 つのモデルの中で最大の放電エネルギーになります。

単極性の HBM 波形の立ち上がり時間は一般的に 6 ~ 9 ns になります。一方、立下がり時間は約 150 ns で、波形は 0 V に向かって指数関数的に減衰します。(メソッド 3015 では、10 ns 未満の立ち上がり時間と  $150 \text{ ns} \pm 20 \text{ ns}$  の遅延時間を規定しており、遅延時間をピーク電流の 100 % から 36.8 % まで波形が低下するのに要する時間として定義しています)。HBM のピーク電流は、 $400 \text{ V}/1500 \Omega$  つまり 0.267 A で、400 V の CDM 事象および MM 事象のピーク電流に比べて非常に低くなっています。

ところが、HBM 事象の継続時間は比較的長いため、比較的高いエネルギーの放電になります。

すでに述べたように、MM 波形は両極性で、HBM および CDM 波形は基本的に単極性です。しかしながら、HBM 試験と CDM 試験は正極性および負極性の両方のパルスで行います。したがって、3 つのモデルすべてにおいて IC には両極性のパルスがかけられます。

MIL-STD-883 メソッド 3015 では、IC を ESD の故障閾値で分類しています。図 11.13 の HBM を使用して作られた分類表を図 11.15 に示します。メソッド 3015 ではまた、ESD の分類を表すマーキング方法を規定しています。米国軍用グレードのクラス 1 およびクラス 2 のすべてのデバイスには、それぞれ 1 つまたは 2 つの「Δ」記号をパッケージに表示しますが、クラス 3 のデバイス（故障閾値が 4 kV を超える）には ESD マークは何も表示しません。民生用グレードおよび産業用グレードの IC パッケージには、ESD 分類記号は表示しなくても構いません。

HBM ESD CLASS	FAILURE THRESHOLD	MARKING
1	<2 kV	Δ
2	2 kV – <4 kV	Δ Δ
3	>4 kV	None

Note: Commercial and Industrial ICs are not marked for ESD

図 11.15: MIL-883C、メソッド 3015 に基づく  
ESD の分類と IC への表示

クラス 1 に分類されるのは、閾値が 2 kV に適合しないすべてのデバイスであることに注意してください。しかしながら、クラス 1 に分類されたすべてのデバイスが 1,999 V に適合するとは限りません。いずれにしても、ESD にさらされたときの「安全」基準を定めるのではなく、ESD にさらされないことに重点を置かなければなりません。

■ ESD Failure Mechanisms:

- ◆ Dielectric or junction damage
- ◆ Surface charge accumulation
- ◆ Conductor fusing.

■ ESD Damage Can Cause:

- ◆ Increased leakage
- ◆ Reduced performance
- ◆ Functional failures of ICs.

■ ESD Damage is often Cumulative:

- ◆ For example, each ESD "zap" may increase junction damage until, finally, the device fails.

図 11.16: 静電破壊を理解する

IC の故障メカニズムについての詳細な議論は本稿の範囲外ですが、一般的な ESD の影響を図 11.17 に示します。

■ ESD DAMAGE CANNOT BE “CURED”!

- Circuits cannot be *tweaked, nulled, adjusted, etc.*, to compensate for ESD damage.

ESD DAMAGE MUST BE *PREVENTED*!

図 11.17: 静電破壊について留意すべき最重要事項

設計者や技術者にとって、静電破壊の最も分かりやすい例は、IC の突発故障です。しかしながら、ESD にさらされると、リーク電流の増加や他のパラメータの劣化が起きる可能性もあります。デバイスが評価中にデータシートの仕様と合わない動作をした場合には、静電破壊の可能性を考慮すべきです。

ブレッドボードを使用して IC を評価する場合は、特に注意が必要です。静電破壊の影響は蓄積することがあるので、デバイスの取り扱いを繰り返し間違えると、やがて故障が発生する可能性があります。テスト・ソケットへの IC の着脱、評価中のデバイスの保管、ブレッドボード上への外付け部品の着脱などのすべては、適切な ESD 対策に従って行わなければなりません。繰り返しますが、システムの試作においてデバイスが故障した場合には、ESD による度重なるストレスが原因の可能性もあります。

ESD に関して留意すべきキー・ワードは、**予防**です。静電破壊を元に戻す方法も、影響を補償する方法もありません。

Two key elements in protecting circuits from ESD damage are:

- Recognizing ESD-sensitive products
- Always handling ESD-sensitive products at a *grounded workstation*

図 11.18: IC の 静電破壊を予防する

静電破壊は元に戻すことができないので、唯一の対策は、予防です。幸いなことに、予防は 2 ステップの簡単な手順です。最初のステップは、ESD に弱い製品を特定することです。そして次のステップは、そのような製品の取り扱い方法を理解することです。

All static sensitive devices are sealed in protective packaging and marked with special handling instructions



**CAUTION**

SENSITIVE ELECTRONIC DEVICES

DO NOT SHIP OR STORE NEAR STRONG  
ELECTROSTATIC, ELECTROMAGNETIC,  
MAGNETIC, OR RADIOACTIVE FIELDS



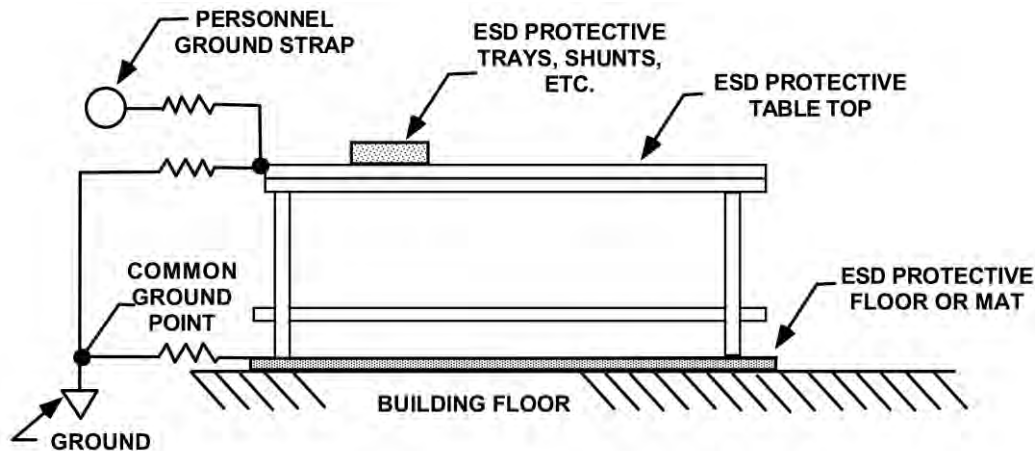
**CAUTION**

SENSITIVE ELECTRONIC DEVICES

DO NOT OPEN EXCEPT AT  
APPROVED FIELD FORCE  
PROTECTIVE WORK STATION

図 11.19: ESD に弱いデバイスの特定

静電気に弱いデバイスはすべて、保護梱包を施して輸送されます。IC は通常、導電性の発泡樹脂や帯電防止チューブに収納されています。どちらの場合も、その容器はさらに静電気を放電させるビニール袋に入れて密閉されます。密閉されたビニール袋には、図 11.19 に示すように適切な取り扱い手順が表示された独自のステッカーが貼られます。



Note: Conductive table top sheet resistance  $\gg 10^6 \Omega / \square$

図 11.20: ESD に弱いデバイスを取り扱うための作業台

一度 ESD に弱いデバイスを特定できれば、保護は簡単です。明らかに、IC を最初の保護梱包にできるだけ長く保管することが最初のステップです。次のステップは、IC が静電破壊する前に、危険性のある ESD 源を放電させることです。HBM の静電容量は 100 pF しかないため、高いインピーダンスを通して、危険な ESD 電圧を急速にかつ安全に放電させることができます。ESD 源の抵抗が 10 M $\Omega$  であっても、100 pF の静電容量だと 100 ミリ秒未満で放電します。

ESD を安全に処理するために必要な主要コンポーネントが、図 11.20 に示すような静電気を放電させる表面を備えた作業台です。この表面は  $1\text{ M}\Omega$  の抵抗を通じてグラウンドに接続されており、静電気を放電させると同時に、接地事故による感電の危険から作業者を守ります。すでに使用している作業台の上部が非導電体である場合は、静電気放電マットと放電用抵抗を追加すべきです。

- **Analog Devices is committed to helping our customers prevent ESD damage by:**
  - ◆ **Building products with the highest level of ESD protection commensurate with performance requirements**
  - ◆ **Protecting products from ESD during shipment**
  - ◆ **Helping customers to avoid ESD exposure during manufacture**

図 11.21: アナログ・デバイセズの取組み

作業台の表面は薄板状の比較的高い抵抗であることに注意してください。作業台表面に低抵抗の表面 (PC ボードに使用される銅張板など) を使用する必要はなく、また望ましいことでもありません。CDM の想定では、帯電した IC が低いインピーダンスを通じて放電すると、高いピーク電流が流れることを思い出してください。帯電した IC が接地された銅張板に接触した場合、まさにこの現象が発生します。ところが、同じように帯電した IC が図 11.20 のような表面に置かれた場合には、ピーク電流がデバイスを損傷させるほど高くなることはありません。

また、ESD に弱いデバイスを扱うときは、導電性リスト・バンドの着用をお勧めします。導電性リスト・バンドは通常の作業、例えば梱包のテープを剥がす場合などで、IC を損傷から確実に守ります。ここでも、安全を確保するためには  $1\text{ M}\Omega$  の抵抗を通じてリスト・バンドからグラウンドに接続する必要があります。

ESD に弱いデバイスを使用して、プロトタイプのブレッドボードを作製したり、PC ボードを組み立てたりする場合には、IC より先にすべての受動部品を挿入してハンダ付けしておくべきです。この手順により、ESD に弱い IC は ESD にさらされる状態が最小限に抑えられます。もちろん、はんだごては必ず先端がアースされたものを使用してください。

ESD から IC を保護するためには、IC メーカーとユーザー双方の協力が必要です。IC メーカーは、自社製品を可能な限り高いレベルで ESD から保護することに強い関心を持っています。IC 回路設計者、プロセス技術者、パッケージングの専門家などの技術者は、ESD エネルギーに対する高耐圧化および回避方法を実現するために、回路設計法、プロセス、パッケージング方法の新規開発と改良に絶えず取り組んでいます (図 11.22)。

### ANALOG DEVICES:

■ **Circuit Design and Fabrication -**



Design and manufacture products with the highest level of ESD protection consistent with required analog and digital performance.

■ **Pack and Ship -**



Pack in static dissipative material. Mark packages with ESD warning.

### CUSTOMERS:

■ **Incoming Inspection -**



Inspect at grounded workstation. Minimize handling.

■ **Inventory Control -**



Store in original ESD-safe packaging. Minimize handling.

■ **Manufacturing -**



Deliver to work area in original ESD-safe packaging. Open packages only at grounded workstation. Package subassemblies in static dissipative packaging.

■ **Pack and Ship -**

Pack in static dissipative material if required. Replacement or optional boards may require special attention.

図 11.22: ESD 保護には IC メーカーとユーザーとの パートナー関係が必要

しかしながら、完璧な ESD 保護計画では、ESD 保護回路を IC 内部に作り込む以上のことが求められます。IC を使用する側のメーカーもまた、従業員に ESD の対処方法について、必要な知識を習得させ、トレーニングを行う必要があります。

## 注記



### 11.3: EMI／RFI に関する考慮事項

電磁妨害（EMI）は、ここ数年、回路設計者やシステムエンジニアの間でホットな話題になっています。これを主題とした研究や先行技術は、この 50 年ほどの間も存在していましたが、産業用や民生用の携帯機器や高周波機器の出現によって、多くの EMI を扱う試験技術者、コンサルタント、出版者に十分に仕事が行きわたるほどになりました。EDN 誌と Kimmel Gerke Associates 社の協力のもと、この項では EMC（電磁両立性：electromagnetic compatibility）の問題全般に注目し、システムおよび回路の設計者にこの問題を理解していただくとともに、EMI 保護の実績のある技術について説明します。

#### EMI 規制についての手引き

ここでは、機器メーカーに課せられた各種の電磁両立性（EMC）の規制（自発的規制および強制的規制）について概要を示します。現時点で制定されている EMC 規制は、機器やシステムのみにも適用されており、部品には適用されていません。そのため、EMI の対策を強化した機器だからといって、それに使用されている個々の部品（特に集積回路）も EMI の対策を強化しているに違いない、とは必ずしも言えません。

#### 民生用機器

民生用の EMI 規制を推進しているのは、米国の FCC（Federal Communications Commission）とドイツの VDE（Verband Deutscher Electrotechniker）の 2 つの機関です。VDE の規制の方が、輻射や放射に関して FCC の規制よりも厳しくなっています。欧州共同体は 1996 年に、RF、静電放電、および電源ライン妨害に対するイミュニティを VED の規制に追加しました。日本では、VCCI（情報処理装置等電波障害自主規制協議会）の規格に準拠した民生用の EMC 規制が実施されていますが、名前が示すとおり FCC と VDE の規制よりはるかに緩いものです。

民生用の EMI 規制はすべて身近なラジオやテレビ受信機を保護するために主に放射エミッションに重点を置いていますが、FCC と VDE の両規格とも伝導エミッション（放射レベルより 10 倍高い）に関してはそれほど厳しくありません。FCC Part 15 規制および VDE 0871 規制は、民生用機器を 2 つのクラスに分類しています。クラス A が産業用製品全般を対象とし、クラス B が一般家庭用製品全般を対象としています。例えば、表 11.1 に示しているのは、FCC Part 15 および VDE 0871 に準拠した民生用コンピュータ機器が放出する電界の許容値です。

すでに厳しい VDE のエミッションの許容値に加えて、欧州共同体の EMC 規格（IEC および IEEE）では、さらなる EMI の脅威として、RF 電界、静電放電、電源ライン妨害に対するイミュニティについても強制的な準拠を義務づけています。

欧州市場で販売されるすべての機器やシステムは、1 ～ 10 V/m の RF 電界強度（IEC 規格 801-3）、静電放電（人体との接触や物質が動くことによって発生する）による 10 kV ～ 15 kV の電圧（IEC 規格 801-2）、4 kV の EFT（電氣的ファスト・トランジェント、IEC 規格 801-4）および 6 kV の雷サージ（IEEE 規格 C62.41）で発生する電源ライン妨害に対するイミュニティを備えていなければなりません。

民生用コンピュータ機器における放射エミッションの許容値

周 波 数 (MHz)	クラス A (3 m)	クラス B (3 m)
30 ～ 88	300 $\mu$ V/m	100 $\mu$ V/m
88 ～ 216	500 $\mu$ V/m	150 $\mu$ V/m
216 ～ 1000	700 $\mu$ V/m	200 $\mu$ V/m

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

表 11.1.

## 米国軍用機器

米国軍用機器を対象とした EMC 規格が MIL-STD-461 で、機器の放射エミッションと、妨害に対する機器の感受性に適用されます。放射エミッションの許容値は、表 11.1 に示した値より通常 10 ～ 100 倍も厳しい値です。RF 電界に対するイミュニティに求められる許容値は、民生用機器の許容値より通常 200 倍も厳しい値（5 ～ 50 mV/m の RF 電界強度）です。

## 医療用機器

まだ義務化されてはいませんが、医療機器に対する EMC 規制は現在、米国の FDA（Food and Drug Administration）と欧州共同体で制定されつつあります。これらの EMC 規制が主に重点を置いているのは、RF 電界、静電放電、および電源ライン妨害に対するイミュニティで、MIL-STD-461 で規定されている許容値よりも、はるかに厳しくなる可能性があります。医療向けの EMC 規制の主な目的は、人間の安全を保障することです。

## 車載用機器

おそらく、電気回路や電気システムが動作する環境で最も困難で過酷なのが、自動車の中の環境でしょう。電気システムへの主要な EMI の脅威がすべて、この環境に存在します。それに加えて、極端な動作温度、湿気、土埃、有害化学物質が問題をさらに悪化させます。また、他のシステムでは標準的に使われる技術（フェライト・ビーズ、フィードスルー・コンデンサ、インダクタ、抵抗、シールド・ケーブル、ワイヤ、コネクタ）が、追加部品のコストのために車載用途では一般的に使用されないため、よりいっそう問題が複雑化しています。

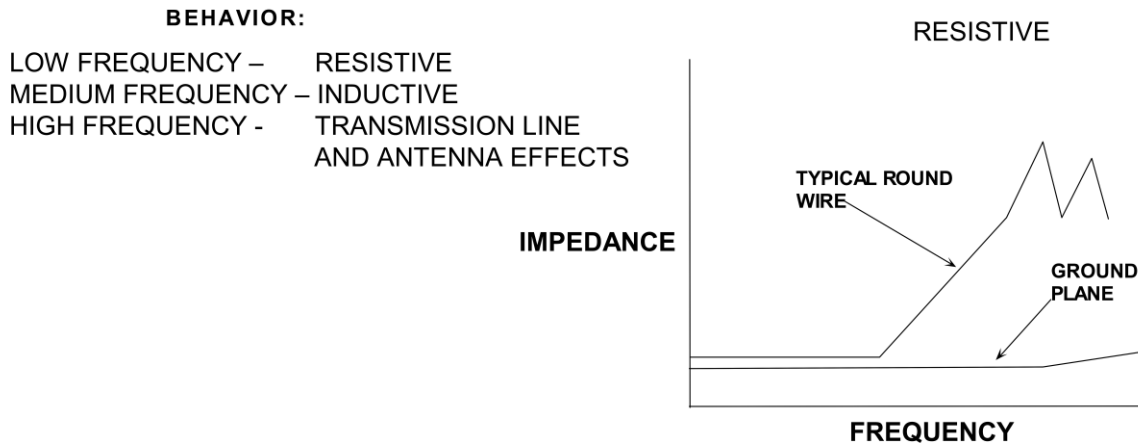
現在、車載用の EMC 規制は、包括的な SAE の規格 J551 および J1113 で制定されており、まだ義務化はされていません。しかしながら、これらの規制は極めて厳格です。SAE の規格 J551 は車両レベルでの EMC の仕様に適用され、規格 J1113（機能的には MIL-STD-461 と同様）は車載用の電子モジュール全般に適用されます。例えば、J1113 仕様では、電子モジュールは 3 メートルの距離で 300 nV/m を超える電界を放射できないことを規定しています。これは、FCC Part 15 クラス A の仕様より、約 1000 倍も厳しい値です。自動車メーカーは、多くのアプリケーションにおいて、それらのモジュールに使用されている**各能動部品**に J1113 の RF 電界イミュニティ許容値を課しています。したがって、近い将来、自動車メーカーは、IC 製品が既存の EMC 規格や規制に準拠することを要求するでしょう。

## EMC 規制が設計に及ぼす影響

これら以外の他の多くのアプリケーションにおいて、義務づけられた EMC 規制に準拠するためには、ケーブルのシールド、小規模や大規模な妨害に対する信号線および電源ラインのフィルタリング、ならびに信頼性の高い多層プリント基板のレイアウトについて、確立された技術を用い、個々の回路、モジュール、およびシステムを慎重に設計する必要があります。成功への鍵は、設計フェーズの早い段階で信頼できる EMC の原則を取り入れて、時間とコストのかかる再設計作業を避けることです。

## 受動部品: EMI と戦うための武器

EMI の影響を最小限に抑えるためには、回路やシステムの設計者は妨害波との戦いにおける主要な武器、すなわち**受動部品**に精通する必要があります。受動部品を正しく使用するには、設計者は受動部品の理想から外れた挙動を理解しなければなりません。例えば、回路設計で使用される受動部品の**実際の挙動**を図 11.23 に示します。高周波では、ワイヤは伝送線路になり、コンデンサはインダクタになり、インダクタはコンデンサになり、抵抗は共振回路として動作します。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.23: インピーダンスの比較：ワイヤ対グラウンド・プレーン

特に典型的な例が、グラウンド・プレーンの周波数応答と比較した単純なワイヤの周波数応答です。多くの回路では、ワイヤは電源や信号のリターン経路として使用され、グラウンド・プレーンは存在しません。ワイヤは、低い周波数では非常に低い抵抗（22 ゲージ・ワイヤ（直径約 0.64 mm）で 0.02 Ω/m 未満）として動作しますが、約 66 nH/m の寄生インダクタンスにより、160 kHz を超える周波数では誘導性になります。さらに、ワイヤのサイズと経路、および周波数の影響を受けて、究極的には制御不能なインピーダンスを含んだ伝送線路になります。RF の知識から、図 11.26 に示すように、終端されていない伝送経路は利得を持ったアンテナになります。一方、大きな面積のグラウンド・プレーンは、はるかに安定した動作をして、広範な周波数範囲にわたり低インピーダンスを保ちます。**実際の**部品の動作をよく理解することで、ほとんどの EMI 問題の解決策を見つけるための戦略を立てることができます。

どのような問題であれ、解決しようと努力する前に戦略を立てなければなりません。このアプローチは科学的方法と似ています。最初の回路の誤動作に着目して、仮説を立て、仮説をテストするための実験を計画して実行し、また、結果に着目します。このプロセスは、すべての仮説をテストし、期待される結果を達成し、記録するまで続きます。EMI に関しては、問題解決のフレームワークが開発されています。Kimmel-Gerke が [参考文献 1] で提案しているモデルを図 11.24 に示します。このモデルが EMI の問題とみなされるためには、3 つの要素（**発生源**、**受信機**または**被害者**、および、この 2 つの間の**経路**）がすべて必要であることを表しています。電磁妨害の発生源には、さまざまな形態が考えられ、携帯型機器、個人用の通信機器／情報機器の数が増え続けるので、発生源と受信機の数も増え続けています。

妨害信号は、**伝導**（回路やシステムの相互接続）または**放射**（寄生相互インダクタンスと寄生容量の両方またはいずれか一方）によって受信機に到達します。一般に、妨害波の周波数が 30 MHz 未満の場合は、妨害波が結合される主なメカニズムは**相互接続**になります。30 MHz ～ 300 MHz での主な結合のメカニズムは、**ケーブルからの放射**や**コネクタからのリーク**になります。周波数が 300 MHz を超える場合の主な結合のメカニズムは、**スロットや基板からの放射**になります。妨害波は広帯域である場合が多いので、結合のメカニズムは上記の組み合わせとなります。

**ANY INTERFERENCE PROBLEM CAN BE BROKEN DOWN INTO:**

- The SOURCE of interference
- The RECEPTOR of interference
- The PATH coupling the source to the receptor

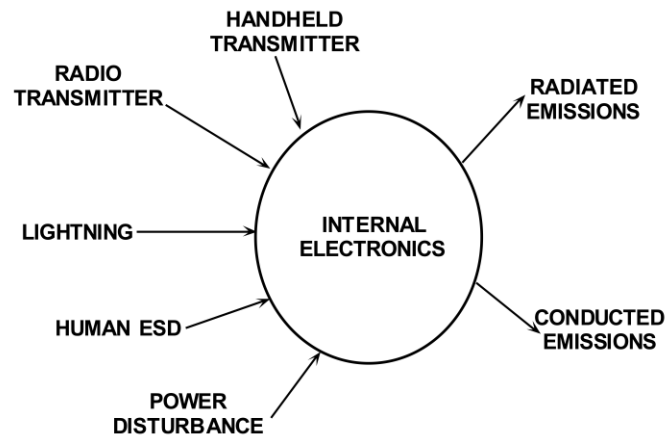
SOURCES	PATHS	RECEPTORS
Microcontroller ◆ Analog ◆ Digital  ESD Communications Transmitters Power Disturbances Lightning	Radiated ◆ EM Fields ◆ Crosstalk Capacitive Inductive  Conducted ◆ Signal ◆ Power ◆ Ground	Microcontroller ◆ Analog ◆ Digital  Communications ◆ Receivers  Other Electronic Systems

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.24: EMI の診断フレームワーク

3 つの要素が共に存在する場合、EMI の問題を解決するためのフレームワークを図 11.25 から引き出すことができます。回路設計者やシステム設計者が対処しなければならない妨害には 3 つのタイプがあります。第 1 のタイプの妨害は、機器によって生成され、機器から放射される妨害です。回路やシステムのエミッションとして知られており、**伝導されるか放射されるかのいずれか**になります。例としては、パーソナル・コンピュータが挙げられます。ノート PC やデスクトップ PC は、市販される前に FCC Part 15 規格の厳しい基準をパスしなければなりません。

第 2 のタイプの妨害が、回路やシステムの**イミュニティ**です。これは、強い電磁界、つまり主に 3 メートルの距離で 1 ～ 10 V/m の強度の電界にさらされた場合の機器の動作を表したものです。イミュニティの代わりに**感受性**という用語も使われますが、これは放射または伝導された妨害波に対する回路やシステムの動作を表したものです。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.25: 3 つのタイプの妨害:  
エミッション - イミュニティ - 内部妨害

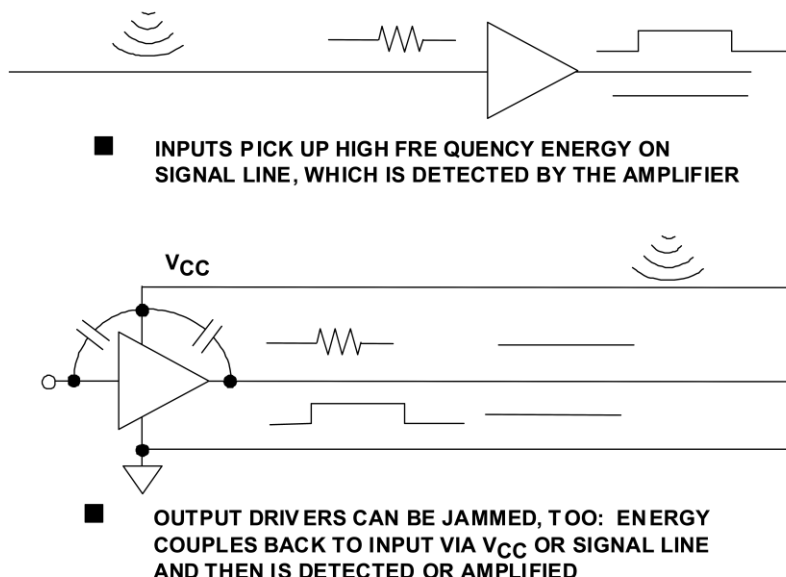
第 3 のタイプの妨害が、**内部妨害**です。図に具体的な記載はありませんが、内部妨害には、装置内の高速デジタル回路が高感度なアナログ回路（または他のデジタル回路）に影響を与えたり、電源のノイズがアナログ回路とデジタル回路の両方に影響を与えたりするといったことが挙げられます。内部妨害は、デジタル回路とアナログ回路の間、またはモーターやリレーとデジタル回路の間で頻繁に発生します。ミックスド・シグナル環境では、システムのデジタル部分がアナログ回路に妨害することがよくあります。システムによっては、非常に高速なデジタル回路がアナログ回路だけでなく低速なデジタル回路にも影響を与えるほど、内部妨害が高レベルに達する場合もあります。

Kimmel Gerke Associates は、EMI に関する問題を分析するための発生源 - 経路 - 受信機のモデルに加えて、FAT-ID [参考文献 1] という概念も導入しています。FAT-ID は、あらゆる EMI の問題に存在する、5 つの重要な要素を表す頭字語です。5 つの重要なパラメータとは、**周波数、振幅、時間、インピーダンス、距離**です。

妨害を与える信号の**周波数**から経路が推測できます。例えば、低周波数妨害の経路は多くの場合、回路の導体です。妨害波の周波数が高くなると、妨害波は最小インピーダンス（通常、浮遊容量）の経路をたどるようになります。この場合、結合のメカニズムは放射です。

EMI の問題では、時間と周波数は置き換え可能です。実際、EMI の物理は、妨害波のスペクトル応答を表現するために必要な情報のすべてが、信号の時間応答に含まれていることを示しています。デジタルシステムでは、信号の立ち上がり時間とパルス繰返し率を用いると、次式に従ってスペクトル成分を算出できます。

$$f_{\text{EMI}} = \frac{1}{\pi \cdot t_{\text{rise}}} \quad \text{式 11-5}$$



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.26: RFI は感度の高いアナログ回路で整流させる可能性がある

例えば、立上がり時間が  $1 \text{ ns}$  のパルスは、 $300 \text{ MHz}$  を超える EMI 周波数に相当します。この時間と周波数の関係は高速アナログ回路にも適用できます。高速アナログ回路では、 $1000 \text{ V}/\mu\text{s}$  を超えるスルー・レートや  $500 \text{ MHz}$  を超えるゲイン帯域幅積（GP 積）も珍しくはありません。

この概念を機器やシステムに適用すると、EMI のエミッションもまた、信号の立上がり時間とパルスの繰返し率の関数になります。回路やシステムへの EMI の影響を定量化する際に、スペクトラム・アナライザ、および電流プローブと電圧プローブを備えた高速のオシロスコープは非常に有用なツールです。

EMI の問題分析において、もう 1 つの重要なパラメータが、ケーブル、ワイヤ、および筐体の物理的寸法です。ケーブルは、妨害波のパッシブ・アンテナ（受信機）としても、高効率のトランスミッタ（発生源）としても振る舞うことがあります。EMI が懸念されるところでは、ケーブルの物理的な長さやシールドを慎重に調べる必要があります。前述のように、単純な導体の動作は、長さ、断面積、および周波数の関数です。機器の筐体の開口部は、スロット・アンテナとして動作するため、EMI のエネルギーが内部の電子回路に影響を及ぼす恐れがあります。

### 無線周波数妨害（RFI）

この世界は無線送信機であふれています。ラジオやテレビの放送局、携帯無線機器、コンピュータ、電気モーター、ガレージのドア開閉器、電気削岩機、他にも数えきれないほどあります。これら電気機器の動作すべてが回路やシステムの性能に影響を与え、極端な場合には動作不能にする恐れがあります。妨害の場所や大きさに関わらず、回路やシステムは、無線周波数妨害（RFI）に対する最小レベルのイミュニティを備えている必要があります。次の項では、RFI が通常の機器の動作を妨げる 2 つの一般的なメカニズム、すなわち RFI に敏感なアナログ回路の直接的な影響、およびシールドされたケーブルへの RFI の影響について説明します。

通常、2 つの用語を使って RF 電界に対する電子システムの感度を表します。通信では、無線技術者はイミュニティをユニットで印加された RFI の電力密度に対する機器の感受性と定義します。より一般的な EMI の分析では、RFI の影響を表すために電界強度が用いられます。比較のため、式 11-6 を使用して、電界強度と電力密度を相互に変換することができます。

$$\frac{\rho}{E} \left( \frac{V}{m} \right) = 61.4 \sqrt{P_T \left( \frac{mW}{cm^2} \right)} \quad \text{式 11-6}$$

ここで:

E = 電界強度、単位はボルト／メートル

$P_T$  = 送信電力、単位はミリワット / $cm^2$

発生源 - 経路 - 受信機のモデルの観点から、受信機周囲の電界の強度 E は、送信電力、アンテナ利得、および妨害の発生源からの距離の関数です。これらの項における電界強度の近似式（近傍界および遠方界の発生源に対して）が、式 11-7 で与えられます。

$$\frac{\rho}{E} \left( \frac{V}{m} \right) = 5.5 \left( \frac{\sqrt{P_T \cdot G_A}}{d} \right) \quad \text{式 11-7}$$

ここで:

E = 電界強度、単位は V/m

$P_T$  = 送信電力、単位は mW/ $cm^2$

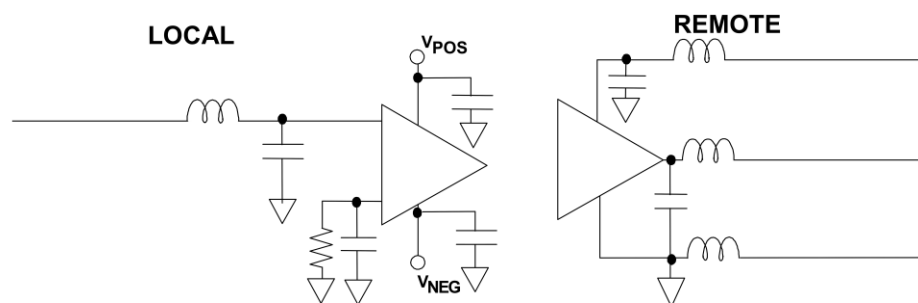
$G_A$  = アンテナ利得（数値）

d = 妨害発生源からの距離、単位はメートル

例えば、1 W の携帯無線機器によって 1 m の距離で生じる電界強度が 5.5 V/m であるのに対して、10 kW のラジオ局によって 1 km の距離で生じる電界強度は 0.6 V/m 未満になります。



アナログ回路は、一般的にデジタル回路よりも RF 電界に対する感度が高くなります。なぜなら、アナログ回路は高い利得で動作し、マイクロボルトやミリボルトの領域で信号を処理できなければならないためです。これに対してデジタル回路は、信号の振幅とノイズ・マージンが大きいため、アナログ回路より RF 電界の影響を受けにくくなっています。図 11.26 に示すように、RF 電界は誘導結合と容量結合の両方またはいずれか一方の経路を通り、ノイズ電流やノイズ電圧を発生させ、発生したノイズは高インピーダンスのアナログ機器によって増幅されます。多くの場合、このような回路は、帯域外のノイズ信号を検出し、整流します。RFI ノイズが整流されると、通常は回路やシステムにおいて、オフセット電圧に原因不明のシフトが生じます。



**Decouple all voltage supplies to analog chip with high-frequency capacitors**

**Use high-frequency filters on all lines that leave the board**

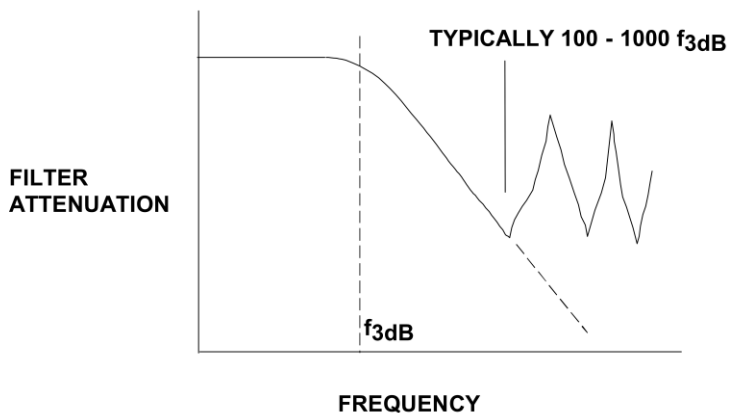
**Use high-frequency filters on the voltage reference if it is not grounded**

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.27: アナログ回路に RFI を近づけない

RF 電界の妨害からアナログ回路を保護するために利用できる技術があります（図 11.27）。RFI 結合が起こるのは、一般的に信号の入力、信号の出力、電源の 3 つの場所が挙げられます。少なくとも、アナログ IC とデジタル IC の電源ピンの接続部はすべて、 $0.1 \mu\text{F}$  のセラミック・コンデンサでデカップリングする必要があります。詳細は参考文献 3 に記載されていますが、信号の帯域幅の 10 ～ 100 倍ほどのカットオフ周波数を持つローパス・フィルタを、シグナル・コンディショニング回路の入出力部に配置して、ノイズをフィルタリングすることができます。

ローパス・フィルタ（LPF）が、想定している RF 妨害波の最大周波数に対して効果が確実に得られているかどうか注意が必要です。図 11.28 に示すように、実際のローパス・フィルタは高い周波数でリークを発生させます。フィルタのインダクタが寄生容量によって効果を減らし、フィルタのコンデンサが寄生インダクタンスによって効果を減らしてしまうのです。だいたいの目安として、入力信号の周波数がフィルタのカットオフ周波数の 100 ～ 1000 倍高くなると、通常の（単一のコンデンサとインダクタから成る）ローパス・フィルタはリークし始める可能性があります。例えば、10 kHz の LPF を 1 MHz を超える周波数のフィルタに使っても、さほどの効果は得られないでしょう。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.28: 単一の低消費電力ローパス・フィルタは  $100 - 1000 f_{3dB}$  で効果を失う

1 つの LPF 段を使用するより、妨害波の周波数帯域を低帯域、中帯域、高帯域に分割し、それぞれの帯域に対応するフィルタを使用することをお勧めします。Kimmel Gerke Associates では、ステレオ・スピーカーのウーハー - ミッドレンジ - ツイーターに見立てて、図 11.29 に示すような RFI のローパス・フィルタの設計をしています。このアプローチでは、低帯域周波数が  $10 \text{ kHz} \sim 1 \text{ MHz}$ 、中帯域周波数が  $1 \text{ MHz} \sim 100 \text{ MHz}$ 、高帯域周波数が  $100 \text{ MHz} \sim 1 \text{ GHz}$  です。シールドされたケーブルの入出力では、シールド端からの高周波のリークを防ぐために、高周波帯域のフィルタをシールドの近くに配置しなければなりません。これを一般的にフィード・スルー保護と呼びます。入出力部にシールドが不要なアプリケーションに適した方法は、高周波フィルタをできるだけアナログ回路の近くに配置することです。これは、他の回路部品からノイズを拾う可能性を防ぐための処置です。

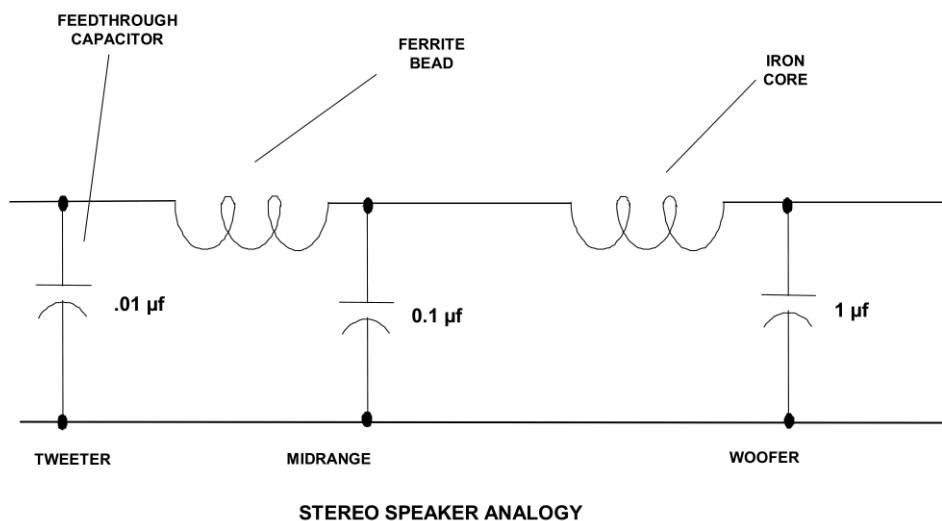
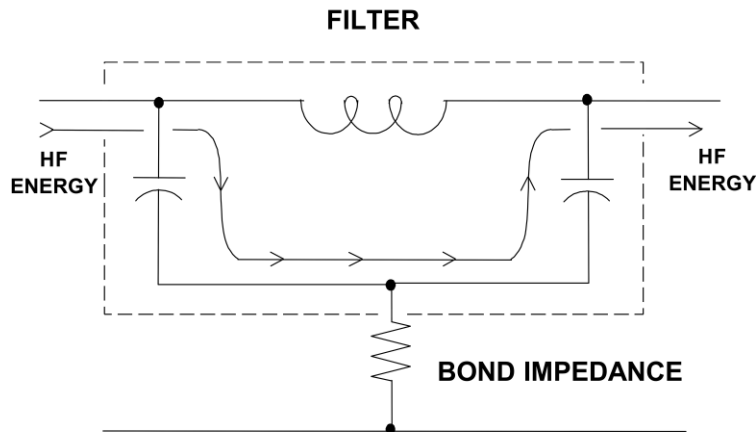


図 11.29: 多段フィルタがさらに有効

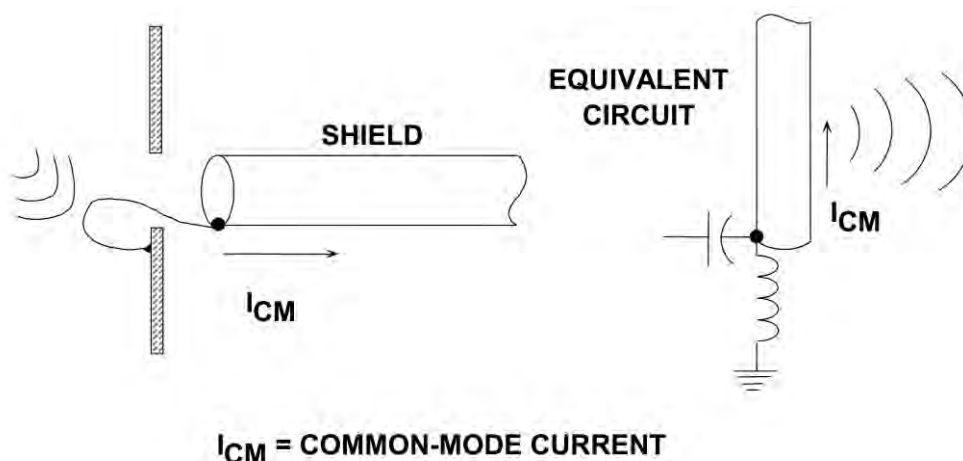


Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.30: 非ゼロ（誘導性と抵抗性の両方またはいずれか一方の）フィルタ

### 効果を減らすグラウンド

フィルタリングに失敗するもう 1 つの原因を図 11.30 に示します。グラウンド接続部に少しでもインピーダンスがあると（例えばグラウンド・プレーンと接続している長いワイヤや細いパターンなど）、高周波ノイズはこのインピーダンス経路を利用してフィルタを完全にバイパスします。最適な性能を得るためには、フィルタの接地は広帯域で行い、低インピーダンスのポイントや面で接続しなければなりません。高周波コンデンサのリードはできるだけ短くする必要があります。低インダクタンスの表面実装型セラミック・チップ・コンデンサが望ましいでしょう。



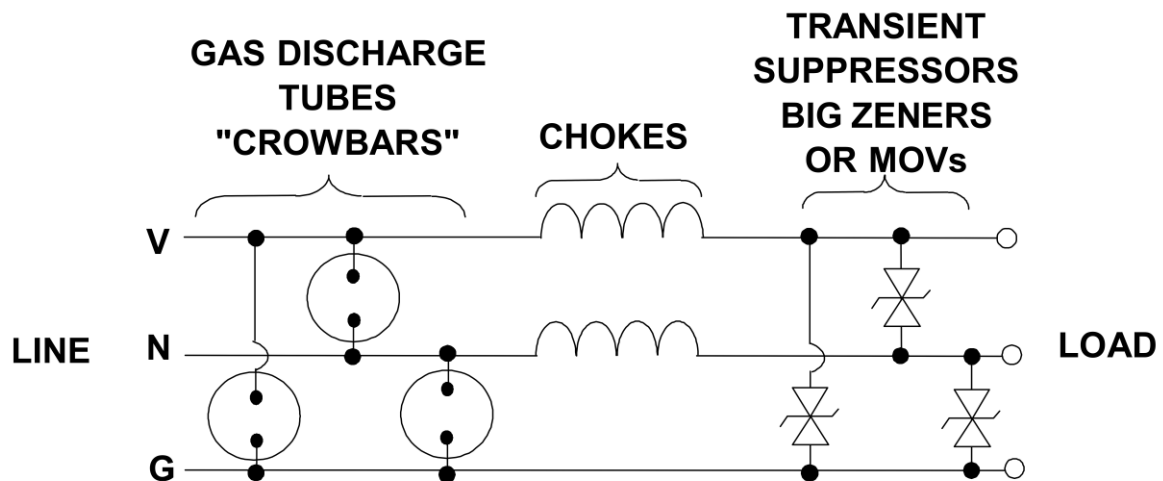
Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.31: 「シールド」ケーブルは高周波電流を伝送し、アンテナとして動作

RF に対するイミュニティに関する議論の最初のパートでは、回路レベルの技術について述べました。次の項では、RF に対するイミュニティの第 2 の戦略的な概念: **すべてのケーブルはアンテナとして振る舞う点**について議論します。図 11.31 に示すようにケーブルをリード線で終端すると、ほとんどのシステムが放射エミッションの試験に合格しなくなります。それは概して、浮遊容量を通じて高周波ノイズがケーブルのシールド内部に結合してしまったことによります。もしケーブルの長さが、妨害波の周波数において**電氣的に長い**（この考え方は後述します）とみなせるならば、高効率な  $1/4$  波長アンテナとして振る舞う可能性があります。ケーブルのリード線がマッチング・ネットワークを形成し、図に示すように、ノイズが放射されシールド内部に結合します。一般的には、リード線は 10 kHz を下回るアプリケーション、例えば 50 Hz や 60 Hz の妨害波の保護などでのみ使用することをお勧めします。妨害波の周波数が 10 kHz を超えるアプリケーションでは、電氣的にも物理的にも筐体に接続されたシールド・コネクタを使用しなければなりません。シールドが使われていないアプリケーションでは、入出力信号ラインと電源ラインにフィルタを入れることが有効です。高周波を除去するには、小型のフェライトとコンデンサを次のような状態で使用しなければなりません。（1）コンデンサのリードを短くし、筐体のグラウンドと直接接続すること、（2）ノイズを拾わないように、フィルタをコネクタの近くに配置すること。

- **Radio-Frequency Interference is a Serious Threat**
  - ◆ Equipment causes interference to nearby radio and television
  - ◆ Equipment upset by nearby transmitters
- **RF-Failure Modes**
  - ◆ Digital circuits prime source of emissions
  - ◆ Analog circuits more vulnerable to RF than digital circuits
- **Two Strategic Concepts**
  - ◆ Treat all cables as antennas
  - ◆ Determine the most critical circuits
- **RF Circuit Protection**
  - ◆ Filters and multilayer boards
  - ◆ Multistage filters often needed
- **RF Shielding**
  - ◆ Slots and seams cause the most problems
- **RF Cable Protection**
  - ◆ High-quality shields and connectors needed for RF protection

図 11.32: 無線周波数妨害と保護技術のまとめ



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

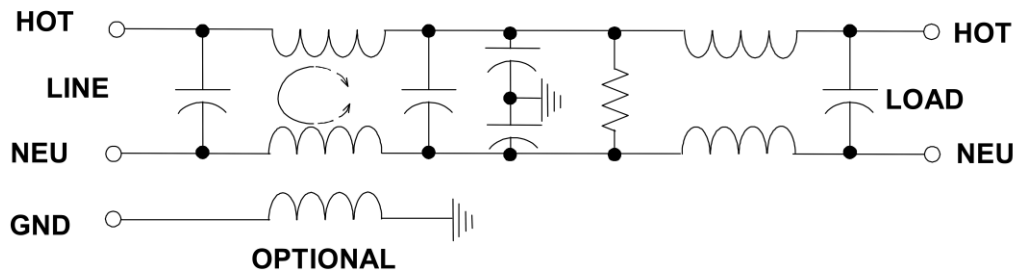
図 11.33: 電源ライン妨害が EMI を発生させる

RFI に関する問題解決に関してここまで述べてきた主な論点と技術を、図 11.32 にまとめます。論点のいくつかは詳述しませんでした、すべて等しく重要です。この問題に関するより詳細情報は、参考文献 1 と 2 を参照してください。ここまでの趣旨は、RFI に対する問題解決の戦略を提示し、よく起こる RFI の問題の解決法を述べることでした。

## 電源ライン妨害の解決法

この項では、回路やシステムを電源ラインの過渡的な妨害から保護する技術について説明します。（電源ライン妨害などにより回路やシステムが故障するメカニズムや電源ライン妨害を防ぐ方法については詳細説明を省きます。）

図 11.33 はハイブリッド型の電源トランジェント保護ネットワークの一例で、落雷によるトランジェントなどの電源ライン妨害が日常的に発生するアプリケーションの多くで使用されるものです。このようなネットワークは、10 kV もの高電圧や 10 ns という短時間で発生するトランジェントから保護できるように設計されています。ガス放電管（クローバ）と大容量のツェナー・ダイオード（クランプ）を差動モードおよびコモンモードの保護に使用します。さほど重要でない箇所や小型化設計が必要な場合には、ツェナー・ダイオードの代わりにメタル・オキシド・バリスタ（MOV）も使用できます。ガス放電管の放電開始電圧以下では、チョークを使用してサージ電流を制限しています。



NOTE: OPTIONAL CHOKE ADDED FOR COMMON-MODE PROTECTION

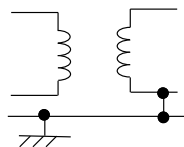
Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.34: 商用の電源ライン・フィルタの回路図

図 11.34 に示すような商用 EMI フィルタは、さほど破壊的でないトランジェントや高周波の妨害を除去するために使用できます。このような EMI フィルタを用いると、コモンモードと差動モードの両方でフィルタリングが可能です。安全用アースにチョークを追加することによって、コモンモード・ノイズからの保護を強化できます。ただし、電源ライン妨害の除去にチョークの抵抗が影響を与えることがあるため、あまり大きなチョークは使用できません。

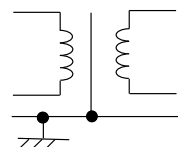
#### ■ STANDARD TRANSFORMER - NO SHIELD

- NOTE CONNECTION FROM SECONDARY TO SAFETY GROUND TO ELIMINATE GROUND-TO-NEUTRAL VOLTAGE



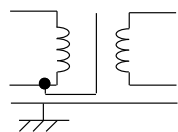
#### ■ SINGLE FARADAY SHIELD

- CONNECT TO SAFETY GROUND FOR COMMON-MODE PROTECTION



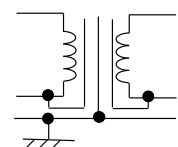
#### ■ SINGLE FARADAY SHIELD

- CONNECT TO NOISY-SIDE NEUTRAL WIRE FOR DIFFERENTIAL-MODE PROTECTION



#### ■ TRIPLE FARADAY SHIELD

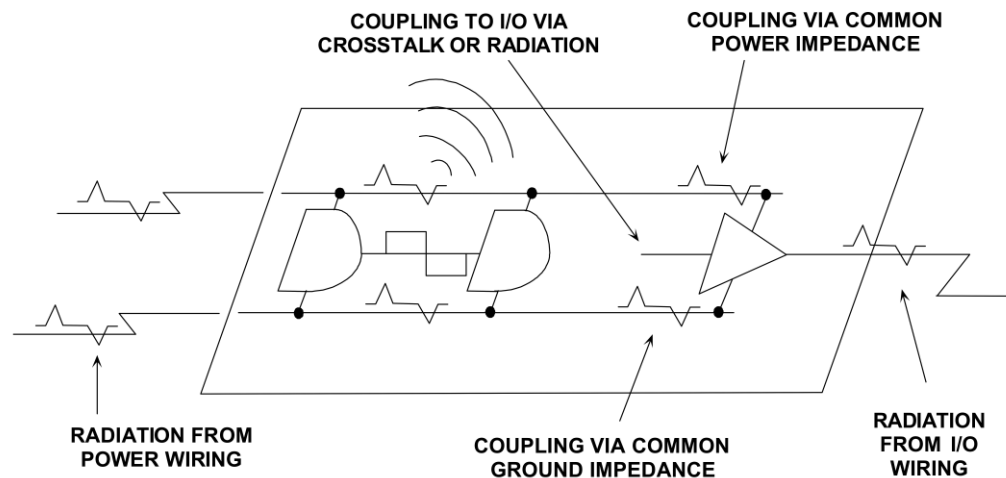
- CONNECT TO SAFETY GROUND FOR COMMON MODE
- CONNECT TO NEUTRALS FOR DIFFERENTIAL MODE



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.35: 絶縁トランスのファラデー・シールドがさまざまなレベルの保護を可能にする

トランスは、コモンモードの電源ラインの絶縁に最適です。トランスにより、低い周波数 (<1 MHz)、または立上がりや立下がり時間が 300 ns を超えるトランジェントから保護できます。モーター・ノイズや落雷によるトランジェントのほとんどはこの範囲に入っているため、絶縁トランスはこれらによる妨害に対して有効です。絶縁トランスでは、入出力間は電氣的に絶縁されているものの、非常に速いトランジェント (<10 ns) や、高振幅の静電放電 (1 ns ~ 3 ns) によるトランジェントからは十分に保護されません。図 11.35 に示すように、絶縁トランスの設計によって、差動モードやコモンモードにおけるさまざまなレベルで保護することができます。差動モードのノイズ除去では、ファラデー・シールドを中性点に接続します、また、コモンモードのノイズ除去では、シールドを安全用アースに接続します。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

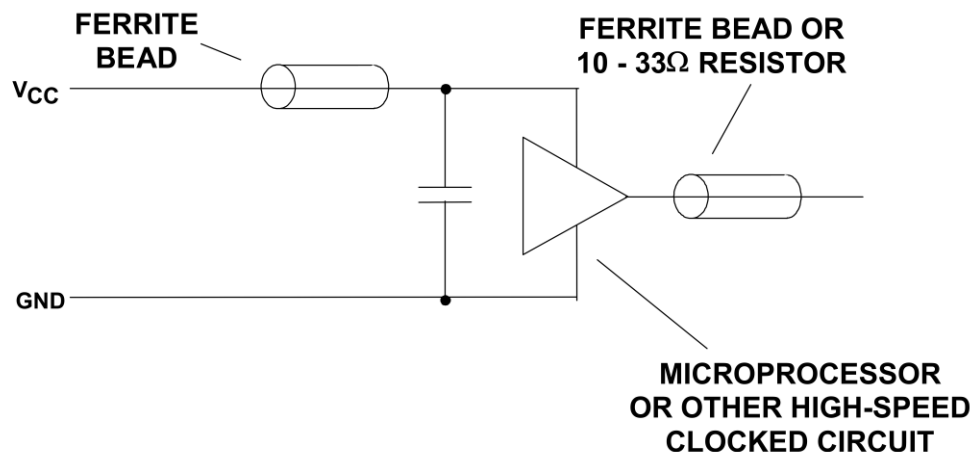
図 11.36: 高周波エネルギーが回路に結合したり、回路から放射するメカニズムと回路での発生位置

## EMI 保護のためのプリント回路基板設計

ここでは、設計段階で最も重要なプリント回路基板のレイアウトについて、一般的なポイントを要約します。システムの性能が損われてしまう原因のほとんどが、この段階にあります。信号経路の性能だけでなく、電磁妨害に対するシステムの感受性や、システムが放射する電磁エネルギーの放射量などについても当てはまります。プリント基板を適切にレイアウトする技法がないと、間違いなくシステムや機器の EMC 対策に失敗することになります。

図 11.36 は、プリント回路基板において実際に高周波ノイズが回路に結合したり、回路から放射したりする経路をすべて示したものです。この図はデジタル回路を説明していますが、同じことは高精度アナログ回路や高速アナログ回路、アナログ・デジタル混在回路にも適用できます。回路や経路で問題となりそうな箇所を特定することによって、外部および内部ノイズ源からの放射や伝導に関して、低エミッションで低感受性を備えたプリント回路基板のレイアウト設計が可能となります。

設計においてノイズの問題を最小限に抑えるために重要なポイントは、**アプリケーションで実際に必要な速度よりも高速なデバイスは使用しない**ことです。多くの設計者が、速いことは望ましいことだと考えています。たとえシステムにそれほどの速度が必要でなくても、高速ロジックのほうが低速より良い、高帯域アンプのほうが低帯域アンプより良い、高速 D/A コンバータや高速 A/D コンバータのほうが良いと考えています。残念ながら、EMI に関する限り、速いことは良いことではなく、むしろ不適切なことなのです。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.37: 電源のフィルタリングと信号ラインの引き方で EMI エミッションを大幅低減する

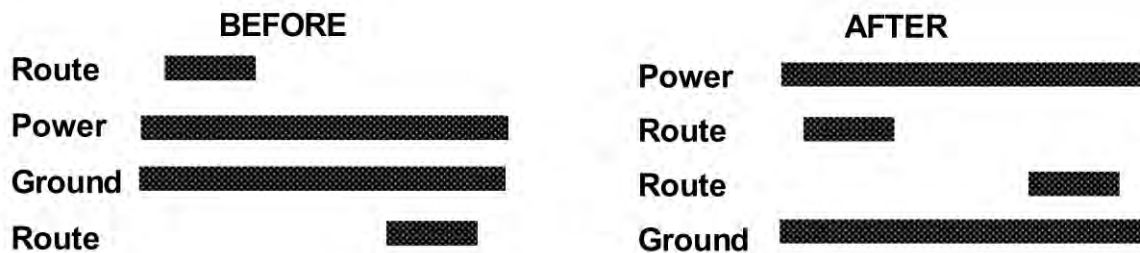
高速 D/A コンバータと A/D コンバータの多くは、デジタル入力とデジタル出力の立上がり時間と立下がり時間がナノ秒領域です。これらのデバイスは広帯域のため、サンプリング・クロックとデジタル入力は、あらゆる種類の高周波ノイズ、そして 1 ns ~ 3 ns という狭いグリッチにさえも応答してしまいます。このように、高速データ・コンバータやアンプは簡単に、マイクロプロセッサ、デジタル・シグナル・プロセッサ、モーター、スイッチング・レギュレータ、携帯無線機器、電気削岩機などが発生させる高周波ノイズの餌食になってしまいます。このような高速デバイスには、EMI/RFI 環境に対する回路の感受性を低減させるために、入出力部でのフィルタリングが必要なものもあるでしょう。図 11.37 に示すように、デカップリング・コンデンサの直前に小型のフェライト・ビーズを配置すると、電源ラインにおける高周波ノイズの除去に非常に効果的です。プラスとマイナスの両電源が必要な回路では、正電源ラインと負電源ラインの両方に、この技術を適用する必要があります。

D/A コンバータの入力部や A/D コンバータの出力部では、非常に高速に動作するデジタル信号がエミッションを発生させるので、これを低減するために、それぞれのデジタル入出力部に小型の抵抗やフェライト・ビーズを用いることをお勧めします。

システムで問題となりそうな経路や回路が特定できたら、レイアウトを適切に行うための次のステップは、プリント回路基板を回路の機能に応じて分割することです。これは電源層、グラウンド層、信号層を適切に使用することを意味しています。上手なプリント基板のレイアウトではまた、強い妨害源



(I/O ラインやコネクタなど) から、問題となりそうなアナログの経路を分離しています。高周波回路 (アナログおよびデジタル) は低周波回路から分離しなければなりません。さらに、CAD の自動信号配線を用いてレイアウトを行う場合には、特に注意を払わなければなりません。そして、問題となりそうな経路はマニュアルで配線する必要があります。



- Advantages of Embedding
  - ◆ Lower impedances, therefore lower emissions and crosstalk
  - ◆ Reduction in emissions and crosstalk is significant above 50MHz
  - ◆ Traces are protected
- Disadvantages of Embedding
  - ◆ Lower interboard capacitance, harder to decouple
  - ◆ Impedances may be too low for matching
  - ◆ Hard to prototype and troubleshoot buried traces

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.38: 「埋め込むか、埋め込まないか」それが問題だ

適切に設計された多層プリント基板は、両面基板の 10 倍以上、EMI 放射を低減し、RF 電磁界に対するイミュニティを向上させることができます。多層基板では、1 つの層を完全にグラウンド・プレーンとして使用できますが、両面基板のグラウンド層側は信号の交差する場所などで分断されることが多くなります。

多層基板で望ましい配置は、図 11.38 のように信号パターンを電源層とグラウンド層の間に挟みこむことです。このような低インピーダンス層は、信号パターンによる非常に高い周波数のストリップライン伝送線路を形成します。パターンを流れる高周波信号のリターン電流の経路は、パターンの直上、直下のグラウンド層と電源層に形成されます。そのため、高周波信号はプリント基板の内部に閉じ込められ、放射を最小限に抑えられます。ただし、信号パターンを内層にするアプローチには明らかな欠点が 1 つあります。それは、回路パターンが隠れて見えないので、デバッグが難しいということです。

DIGITAL IC FAMILY	$t_r, t_f$ (ns)	PCB TRACK LENGTH (inches)	PCB TRACK LENGTH (cm)
GaAs	0.1	0.2	0.5
ECL	0.75	1.5	3.8
Schottky	3	6	15
FAST	3	6	15
AS	3	6	15
AC	4	8	20
ALS	6	12	30
LS	8	16	40
TTL	10	20	50
HC	18	36	90

$t_r$  = rise time of signal in ns

$t_f$  = fall time of signal in ns

■ For analog signals @  $f_{\max}$ , calculate  $t_r = t_f = 0.35 / f_{\max}$

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.39: プリント基板のパターン長が 2 インチ /ns を超える場合は、配線パターンの終端が必要

反射を防ぐためにプリント基板のパターンをその特性インピーダンスで終端する方法は、多くの文献に書かれています。終端が必要かどうかを決める望ましい方法として、次のようなものがあります。プリント基板の配線を伝搬する信号の一方向での遅延が、印加された信号の立上がり／立下がり時間（どちらか速いほう）の 1/2 以上の場合、その配線の特性インピーダンスで終端する。もっと慎重なアプローチとして、2 インチ（プリント基板のパターン長）/ns（立上がり／立下がり時間）を基準にするという方法があります。例えば、立上がり／立下がり時間が 5 ns の高速ロジック回路では、プリント基板のパターンは、その長さが 10 インチ（曲がったパターンはそれに沿った長さで）以上ある場合、その特性インピーダンスで終端しなければなりません。いくつかのロジック IC について、パターン長 2 インチ /ns を基準にまとめたものを図 11.39 に示します。

同様にアナログ回路でも、伝送線路のテクニックが必要かどうか決める場合は 2 インチ /ns ルールを使用します。実例を挙げると、アンプが  $f_{\max}$  の最大周波数の信号を出力しなければならない場合、これに等価な立上がり時間  $t_r$  は式  $t_r = 0.35/f_{\max}$  を使って算出できます。そしてプリント基板の最大配線長は、この立上がり時間に 2 インチ /ns を掛けることで求められます。

例えば、100 MHz の最大出力周波数は立上がり時間 3.5 ns に相当し、この信号が伝搬する配線長が 7 インチを超える場合は、伝送線路として扱う必要があります。

**“ALL EMI PROBLEMS BEGIN AND END AT A CIRCUIT”**

- Identify critical, sensitive circuits
- Where appropriate, choose ICs no faster than needed
- Consider and implement sound PCB design
- Spend time on the initial layout (by hand, if necessary)
- Power supply decoupling (digital and analog circuits)
- High-speed digital and high-accuracy analog don't mix
- Beware of connectors for input / output circuits
- Test, evaluate, and correct early and often

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.40: 回路基板の設計と EMI

式 11.8 は、プリント基板の配線が電源／グラウンド層から基板の誘電体で隔離されている場合（マイクロストリップ伝送線路）に、特性インピーダンスを決定するために使用できます。

$$Z_0(\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[ \frac{5.98d}{0.89w + t} \right] \quad \text{式 11-8}$$

ここで:

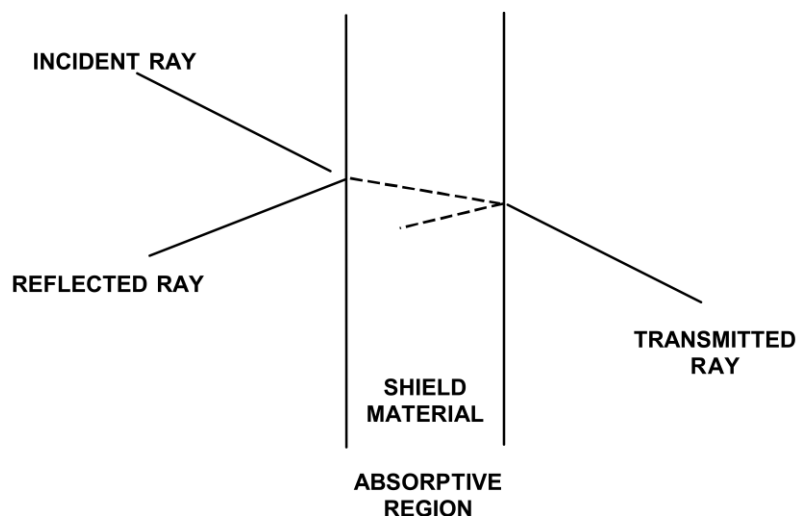
$\epsilon_r$  = プリント回路基板の材料の誘電率  
 $d$  = メタル層とメタル層の間の基板厚、単位は mil  
 $w$  = メタル配線の幅、単位 mil  
 $t$  = メタル配線の厚さ、単位 mil

電源／グラウンド層上の 1 本のメタル配線を、信号が一方向に伝搬する時間は、式 11.9 で求められます。

$$t_{pd}(\text{ns} / \text{ft}) = 1.017 \sqrt{0.475\epsilon_r + 0.67} \quad \text{式 11-9}$$

例えば、標準的な 4 層のプリント基板では、8 mil 幅で 1 オンス（厚さが 1.4 mil）の銅パターンが、0.021 インチの FR-4 ( $\epsilon_r = 4.7$ ) の誘電体材料で隔離されているとします。この信号パターンの特性インピーダンスと一方向の伝搬時間はそれぞれ、88  $\Omega$  と 1.7 ns/ft (7 インチ /ns) となります。伝送線路を効果的に終端する方法は、アプリケーションに応じていくつかあります。

電磁妨害のエミッションとイミュニティによる影響を最小にするために、プリント回路基板のレイアウトで適用すべき技術をまとめて、図 11.40 に示します。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.41: 反射と吸収が 2 つの主要な シールドのメカニズム

## シールドの考え方の概要

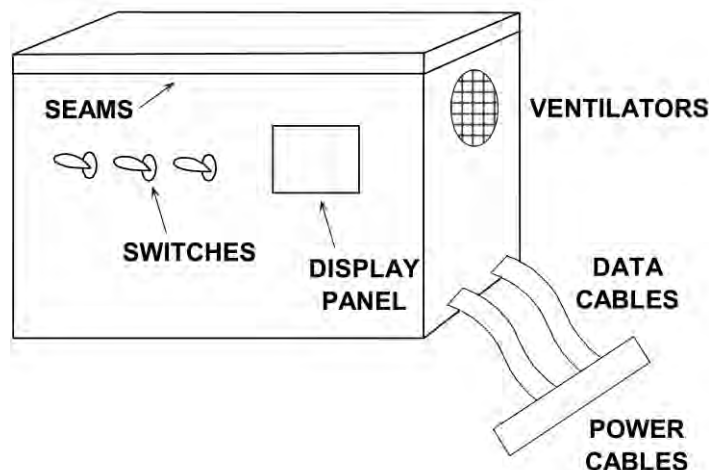
以降ではシールドの効果に関する考え方について、基礎的な内容を示します。さらに詳細な情報については、本項の最後の参考文献 1、3、4 を参照してください。

シールドの考え方を利用するには、妨害の発生源、発生源を取り囲む環境、そして発生源と観測点（受信機、つまり被害者）との間の距離を把握する必要があります。回路が発生源に近いところで動作している場合（近傍界、または誘導界）、電磁界の特性は発生源によって決まります。回路が発生源から離れたところにある場合（遠方界、放射界）、電磁界の特性は伝搬媒体によって決まります。

妨害発生源からの距離が、妨害波の波長 ( $\lambda$ ) を  $2\pi$  で割った長さ、すなわち  $\lambda/2\pi$  より短い場合、回路は近傍界で動作しています。回路と妨害発生源の距離がこれより長い場合、回路は遠方界で動作しています。

例えば、1 ns のパルス・エッジによって発生した妨害波は、帯域の上限が約 350 MHz です。350 MHz の信号の波長は約 32 インチです（光速を約 12 インチ/ns とする）。この波長を  $2\pi$  で割ると距離は約 5 インチで、これが近傍界と遠方界の境界となります。回路が 350 MHz の妨害発生源から 5 インチ以内にある場合は、その回路は妨害の近傍界で動作していることになります。5 インチより遠い距離にある場合は、その回路は妨害の遠方界で動作しているといえます。

妨害の種類によらず、妨害波にはそれに付随する特性インピーダンスがあります。この特性インピーダンスは、すなわち電磁界の波動インピーダンスとも呼ばれますが、これは電界（E 界）と磁界（H 界）の比で求められます。遠方界では、電界と磁界の比は自由空間の特性インピーダンス（波動インピーダンス）となり、 $Z_0 = 377 \Omega$  で与えられます。近傍界では、波動インピーダンスは妨害発生源が持つ性質と、発生源からの距離で決まります。妨害発生源が高電流かつ低電圧（例えば、ループ・アンテナや電源トランスなど）の場合、その電磁界は磁界が支配的となり、波動インピーダンスは  $377 \Omega$  より低い値を示します。発生源が低電流かつ高電圧（例えば、ロッド・アンテナや高速デジタル・スイッチング回路など）の場合、その電磁界は電界が支配的となり、波動インピーダンスは  $377 \Omega$  より大きな値を示します。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.42: 筐体の開口部は EMI の導波路として振る舞い、シールドの効果を損なう

導電性の筐体を用いると、このような外部電磁界の影響に対して感度の高い回路をシールドできます。シールドとなる筐体の材質は、入射する妨害波に対して特性インピーダンスのミスマッチを示します。なぜなら、シールドの特性インピーダンスが入射する電磁界の波動インピーダンスより低いからです。導電性のシールドの効果は、次の 2 つの事象によって決まります。1 つめは、シールド材からの反射による入射妨害波のロスです。2 つめは、シールド材内部を伝搬する妨害波の吸収によるロスです。この考え方を図 11.41 に示します。反射ロスの量は、妨害波の種類と波動インピーダンスに依存します。しかしながら、吸収ロスの量は妨害波の種類に依存しません。

放射が近傍界であっても遠方界であっても、さらに電界でも磁界でも、吸収ロスの量は同じです。

2 つの媒体の界面での反射ロスは、その 2 つの媒体の特性インピーダンスの差で決まります。電界の場合は、反射ロスは妨害波の周波数とシールド材によって決まります。このロスは dB で表され、次式で与えられます。

$$R_e(\text{dB}) = 322 + 10\log_{10} \left[ \frac{\sigma_r}{\mu_r f^3 r^2} \right] \quad \text{式 11.10}$$

ここで、

$\sigma_r$  = シールド材の比導電率、単位はジーメンズ／メートル

$\mu_r$  = シールド材の比透磁率、単位はヘンリー／メートル

$f$  = 妨害波の周波数

$r$  = 妨害発生源からの距離、単位はメートル

磁界の場合も、反射ロスはシールド材と妨害波の周波数によって決まります。磁界の反射ロスは次式で与えられます。

$$R_m(\text{dB}) = 14.6 + 10\log_{10} \left[ \frac{f r^2 \sigma_r}{\mu_r} \right] \quad \text{式 11.11}$$

また、平面波 ( $r > \lambda/2 \pi$ ) の反射ロスは次式で与えられます。

$$R_{pw}(\text{dB}) = 168 + 10\log_{10} \left[ \frac{\sigma_r}{\mu_r f} \right] \quad \text{式 11.12}$$

吸収ロスは、シールド材の効果をもたらす 2 つめのメカニズムです。吸収による妨害波の減衰量は次式で与えられます。

$$A(\text{dB}) = 3.34 t \sqrt{\sigma_r \mu_r f} \quad \text{式 11.13}$$

ここで、 $t$  はシールド材の厚さで、単位はインチです。この式は、電界および磁界が平面波の場合に有効です。伝搬する電磁界の強度は、シールド材の厚さに対して指数関数的に減少するため、単一表皮深さ (δ) 当たりのシールド内部での吸収ロスは 9 dB になります。吸収ロスは厚さに比例し、表皮深さに反比例するので、シールド材の厚さを増すと高い周波数でのシールド効果を向上させることができます。

遠方界における平面波の反射ロスは、周波数が高くなるにつれて減少します。これは、シールドのインピーダンス  $Z_s$  が周波数が高くなるにつれて増加するためです。一方、吸収ロスは周波数が高くなるにつれて増加します。これは、表皮深さが周波数につれて小さくなるためです。

電界が平面波の場合、シールドの主たるメカニズムは反射ロスです。高い周波数になると吸収ロスが主になります。このような種類の妨害波では、銅やアルミニウムのような導電率の高い材料を用いると十分なシールド効果が得られます。低い周波数では、反射ロスも吸収ロスも磁界に対しては低くなります。そのため、低周波の磁界から回路をシールドするのは非常に困難です。このようなアプリケーションでは、高い透磁率の材料が低い磁気抵抗を示すので、最もよい保護材料となります。これは、このような低い磁気抵抗の材料は、磁気の分路として働き、保護したい回路から磁界を隔離してくれるためです。シールド用筐体として一般的に使用される金属材料の特性を表 11.2 に示します。

さまざまなシールド材料のインピーダンスと表皮深さ

材料	導電率 $\sigma_r$	透磁率 $\mu_r$	シールドインピーダンス $ Z_s $	表皮深さ $\delta$ (インチ)
銅	1	1	$3.68E-7 \cdot \sqrt{f}$	$\frac{2.6}{\sqrt{f}}$
アルミニウム	1	0.61	$4.71E-7 \cdot \sqrt{f}$	$\frac{3.3}{\sqrt{f}}$
スチール	0.1	1000	$3.68E-5 \cdot \sqrt{f}$	$\frac{0.26}{\sqrt{f}}$
ミューメタル	0.03	20,000	$3E-4 \cdot \sqrt{f}$	$\frac{0.11}{\sqrt{f}}$

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

表 11.2.

ここで:

$$\sigma_0 = 5.82 \times 10^7 \text{ S/m}$$

$$\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$$

$$\epsilon_0 = 8.85 \times 10^{-12} \text{ F/m}$$

適切にシールドされた筐体は、内部回路に障害を与える外部妨害波を防ぐとともに、内部で発生した妨害波を閉じ込めることにも非常に効果的です。しかしながら、実際にはシールドの一部に、調整ノブやスイッチ、コネクタを取り付けたり、換気を行ったりするための開口部が必要となることがほとんどです（図 11.42）。残念ながら、このような開口部は、高周波の妨害波が機器に侵入する経路となるため、シールドの効果を減少させてしまうことがあります。

筐体内部に侵入する外部電磁界の量を、開口部の最大寸法（全体の面積ではなく）を使って評価できます。なぜなら、開口部はスロット・アンテナとして振る舞うためです。式 11.14 は、筐体に開口部がある場合のシールドの効果、すなわち EMI のリークや侵入に対する感受性を計算するために使うことができます。

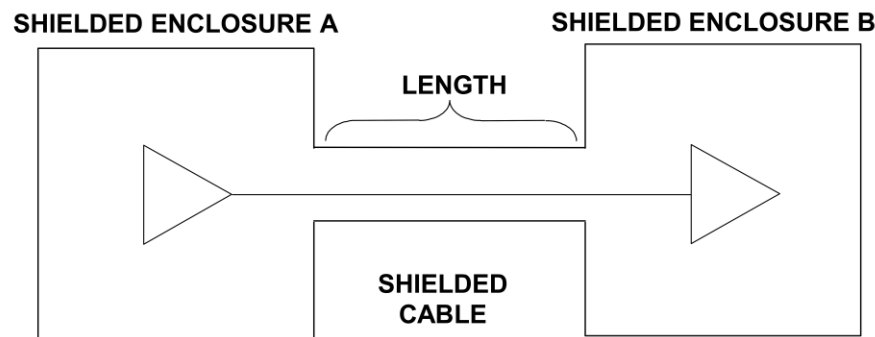
$$\text{Shielding Effectiveness (dB)} = 20 \log_{10} \left( \frac{\lambda}{2 \cdot L} \right) \quad \text{式 11.14}$$

ここで、

$\lambda$  = 妨害波の波長

$L$  = 開口部の最大寸法

開口部の最大寸法が妨害波の周波数の 1/2 波長に等しくなったとき（シールド効果が 0 dB となるため）、開口部からの EMI 放射量は最大になります。概算で、開口部の最大寸法を妨害信号の波長の 1/20 未満にすると、20 dB のシールド効果が得られます。さらに、小さな開口部も、筐体の片面に多数設けるより、両面に設けた方が効果的です。これは、異なる面の開口部からは異なる方向にエネルギーを放射するので、結果としてシールド効果が低下しないことによります。開口部や継ぎ目が避けられない場合には、導電性のガスケットや遮蔽スクリーン、塗料を適切に使用して、または併用して、開口部の最大寸法を 1/20 波長未満に抑えるようにしなければなりません。ケーブル、ワイヤ、コネクタ、インジケータ、コントロール・シャフトなど筐体を貫通するものについては、貫通部の周囲に金属シールドを物理的に接合する必要があります。シールドされていないケーブルやワイヤが用いられるアプリケーションでは、シールドを貫通する箇所にはフィルタを挿入することをお勧めします。



**FULLY SHIELDED ENCLOSURES CONNECTED BY FULLY SHIELDED CABLE KEEP ALL INTERNAL CIRCUITS AND SIGNAL LINES INSIDE THE SHIELD.**

● **TRANSITION REGION: 1/20 WAVELENGTH**

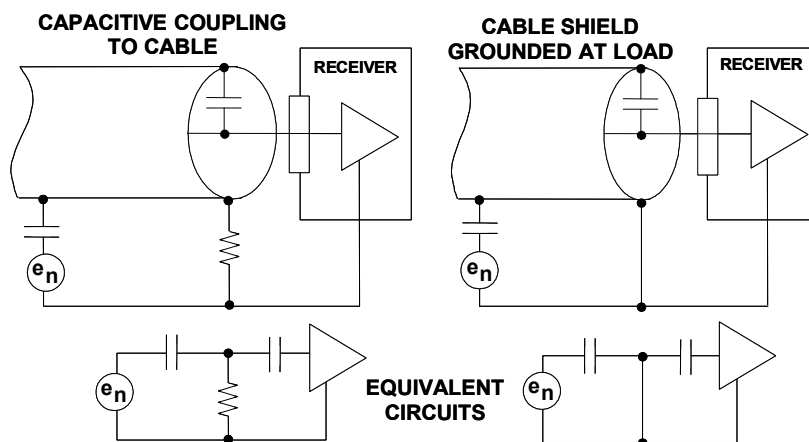
Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.43: シールドされたケーブルの長さによって、「電氣的に長い」アプリケーションか「電氣的に短い」アプリケーションかを決定する



### ケーブルとシールドに関する一般的な注意点

詳細は後述しますが、ケーブルとそのシールドは、適切に使用しないと放射妨害波と伝導妨害波の深刻な発生源になります。これらの問題の対処法は、参考文献の 1、2、4、5 を参照してください。図 11.43 に示すように、ケーブルと筐体を効果的にシールドすると、シールドの有効性を損なうことなく、感度の高い回路や信号を完全にシールド内部に閉じ込めることができます。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.44: 低周波（50 Hz/60 Hz）妨害波から保護するために、負荷の一点にシールドを接続する

妨害波の種類に応じて（混入／放射、低周波／高周波）、ケーブルの適切なシールド方法は異なり、ケーブルの長さに大きく依存します。最初のステップは、問題となる周波数において、ケーブルの長さが電氣的に短いか電氣的に長いかを決定することです。ケーブルが妨害波の最大周波数の  $1/20$  波長より短い場合は、そのケーブルは電氣的に短いと考えられます。そうでない場合は、ケーブルは電氣的に長いということになります。例えば、50 Hz/60 Hz の周波数では、240 km 以下のケーブルはすべて電氣的に短いケーブルで、このような低周波数の電界の結合方法は、主に容量結合です。したがって、240 km 以下のケーブルであれば、ケーブルの全長にわたって妨害波の振幅は同一となります。低周波の電界の混入から回路を保護するためには、シールドの片側端のみを低インピーダンスのポイントに接続しなければなりません。この方法の一般的な例を図 11.44 に示します。

- Diagnose before you fix
- Ask yourself:
  - ◆ What are the symptoms?
  - ◆ What are the causes?
  - ◆ What are the constraints?
  - ◆ How will you know you have fixed it?
- Use available models for EMI to identify source - path - victim
- Start at low frequency and work up to high frequency
- EMI doctor's bag of tricks:
  - ◆ Aluminum foil
  - ◆ Conductive tape
  - ◆ Bulk ferrites
  - ◆ Power line filters
  - ◆ Signal filters
  - ◆ Resistors, capacitors, inductors, ferrites
  - ◆ Physical separation

Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.45: EMI におけるトラブルシューティングの基本方針

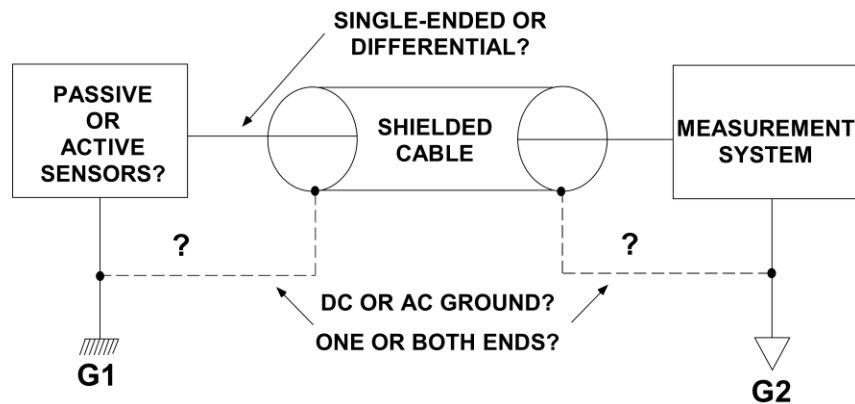
この例では、シールドを受信側で接地しています。このアプローチ（後に後述）の例外は、ラインレベル（ $>1\text{ V rms}$ ）のオーディオ信号が、シールドされたツイスト・ペア・ケーブルを長距離にわたって伝搬する場合です。このようなアプリケーションでも、シールドは低周波数の妨害波を防ぎます。そして一般的なアプローチは、ドライバ端でシールドを接地し（LF グラウンドと HF グラウンド）、レシーバ端でコンデンサを通してシールドを接地する方法です（HF グラウンドのみ）。

ケーブルの長さが電氣的に長い、つまり高周波の妨害波に対する保護が必要なアプリケーションに適した方法は、ケーブルのシールドの両端を、低インピーダンスのポイントに接続することです（ドライバ端は直接接続し、レシーバ端は容量性接続をします）。そうしないと、終端されていない伝送線路の効果として、反射が生じ、ケーブルに沿って定在波が発生します。10 MHz 以上の周波数では、グラウンドとの低インピーダンス接続を確保するために、ケーブル全周（ $360^\circ$ ）のシールド接続と金属コネクタが必要となります。

まとめると、低い周波数（ $<1\text{ MHz}$ ）の電界による妨害波に対しては、シールドの片側で接地すれば、保護には十分です。高い周波数（ $>1\text{ MHz}$ ）の妨害波に対しては、シールドの両端を接地するとともに、シールドとコネクタ間で外周を  $360^\circ$  にわたり接続し、さらにコネクタと筐体間の金属同士を隙間なく結合する方法が適切です。低周波のグラウンド・ループは、直流シールドを接地する代わりに、インダクタンスの低い  $0.01\text{ }\mu\text{F}$  のコンデンサを通して接地すれば除去することができます。このコンデンサによって、低周波のグラウンド・ループを防ぐとともに、高周波の妨害波をグラウンドにバイパスできます。

### EMI におけるトラブルシューティングの基本方針

システムの EMI に関する問題は、機器の設計終了後、現場で動作させている最中に発生します。機器の当初の設計者は引退してタヒチにでも移り住んでいる、などといった状況もありうるので、修理する責任を負うのはその機器にあまり詳しくない他の誰かということになります。EMI の問題に関して本項で議論してきた内容、そしてそのような状況で活用すべき解決テクニックを図 11.45 にまとめておきます。



Reprinted from EDN Magazine (January 20, 1994) © CAHNERS PUBLISHING COMPANY 1995, A Division of Reed Publishing USA

図 11.46: 高精度センサーとケーブルのシールド

#### 参考文献:

1. “EDN’s Designer’s Guide to Electromagnetic Compatibility,” **EDN**, January, 20, 1994, material reprinted by permission of Cahners Publishing Company, 1995.
2. **Designing for EMC (Workshop Notes)**, Kimmel Gerke Associates, Ltd., 1994.
3. **Systems Application Guide**, Chapter 1, pg. 21-55, Analog Devices, Incorporated, Norwood, MA, 1994.
4. Henry Ott, **Noise Reduction Techniques in Electronic Systems, Second Edition**, New York, ohn Wiley & Sons, 1988.
5. Ralph Morrison, **Grounding and Shielding Techniques in Instrumentation, Third Edition**, New York, John Wiley & Sons, 1986.
6. **Amplifier Applications Guide**, Chapter XI, pg. 61, Analog Devices, Incorporated, Norwood, MA, 1992.
7. B. Slattery and J. Wynne, “Design and Layout of a Video Graphics System for Reduced EMI,” Analog Devices Application Note AN-333.
8. Paul Brokaw, “An IC Amplifier User Guide to Decoupling, Grounding, and Making Things Go Right for a Change”, Analog Devices Application Note AN-202.
9. A. Rich, “Understanding Interference-Type Noise,” **Analog Dialogue**, 16-3, 1982, pp. 16-19.
10. A. Rich, “Shielding and Guarding,” **Analog Dialogue**, 17-1, 1983, pp. 8-13.
11. **EMC Test & Design**, Cardiff Publishing Company, Englewood, CO. An excellent, general-purpose trade journal on issues of EMI and EMC.
12. **Amplifier Applications Guide**, Section XI, pp. 1-10, Analog Devices, Incorporated, Norwood, MA, 1992.
13. **Systems Applications Guide**, Section 1, pp. 56-72, Analog Devices, Incorporated, Norwood, MA, 1993.
14. **Linear Design Seminar**, Section 1, pp. 19-22, Analog Devices, Incorporated, Norwood, MA, 1994.
15. **ESD Prevention Manual**, Analog Devices, Inc.
16. **MIL-STD-883 Method 3015, Electrostatic Discharge Sensitivity Classification**. Available from Standardization Document Order Desk, 700 Robbins Ave., Building #4, Section D, Philadelphia, PA 19111-5094.
17. **EIAJ ED-4701 Test Method C-111, Electrostatic Discharges**. Available from the Japan Electronics Bureau, 250 W 34th St., New York NY 10119, Attn.: Tomoko.
18. **ESD Association Standard S5.2 for Electrostatic Discharge (ESD) Sensitivity Testing -Machine Model (MM)-Component Level**. Available from the ESD Association, Inc., 200 Liberty Plaza, Rome, NY 13440.

19. **ESD Association Draft Standard DS5.3 for Electrostatic Discharge (ESD) Sensitivity Testing - Charged Device Model (CDM) Component Testing.** Available from the ESD Association, Inc., 200 Liberty Plaza, Rome, NY 13440.

20. Niall Lyne, “Electrical Overstress Damage to CMOS Converters,” **Application Note AN-397**, Analog Devices, 1995.

