

はじめに	1.1
1.1: オペアンプの動作	1.3
はじめに	1.3
電圧帰還 (VFB) 型モデル	1.3
基本動作	1.4
反転構成と非反転構成	1.5
オープンループ・ゲイン	1.9
ゲイン帯域幅積	1.11
安定性の基準	1.11
位相余裕	1.13
クローズドループ・ゲイン	1.13
信号ゲイン	1.14
ノイズ・ゲイン	1.14
ループ・ゲイン	1.15
ボーデ線図	1.16
電流帰還 (CFB) 型モデル	1.17
VFB 型との違い	1.17
CFB 型と VFB 型の選択方法	1.19
電源電圧	1.19
単電源に関する考慮事項	1.20
単電源システムの回路設計に関する考慮事項	1.23
レール to レール	1.25
位相反転	1.25
低消費電力とマイクロパワー	1.25
製造プロセス	1.26
オペアンプ入力でのオーバードライブの影響	1.27
1.2: オペアンプの仕様	1.29
はじめに	1.29
DC 仕様	1.30
オープンループ・ゲイン	1.30
CFB 型オペアンプのオープンループ・トランスレジスタンス	1.32
オフセット電圧	1.33
オフセット電圧のドリフト	1.33
時間によるドリフト	1.33
1.2: オペアンプの仕様 (続き)	
オフセット電圧の補正	1.34
DigiTrim™ 技術	1.34
外部トリミング	1.36
入力バイアス電流	1.38
入力オフセット電流	1.38
入力バイアス電流の補償	1.39
IB と VOS による総合出力オフセット誤差の計算	1.41

入力インピーダンス	1.42
入力容量	1.43
入力コモンモード電圧範囲	1.43
差動入力電圧	1.44
電源電圧	1.44
自己消費電流	1.44
出力電圧振幅	
(出力電圧ハイ・レベル/出力電圧ロー・レベル)	1.45
出力電流 (短絡電流)	1.45
AC 仕様	1.47
ノイズ	1.47
電圧ノイズ	1.47
ノイズ帯域幅	1.48
ノイズ指数	1.48
電流ノイズ	1.49
総合ノイズ (ノイズ源の加算)	1.49
1/f ノイズ (フリッカ・ノイズ)	1.51
ポップコーン・ノイズ	1.52
RMS ノイズに関する考慮事項	1.53
総合出力ノイズの計算	1.55
歪み	1.60
THD (全高調波歪み)	1.60
THD + N (全高調波歪み + ノイズ)	1.60
相互変調歪み (IMD)	1.61
3 次インターセプト・ポイント (IP3) 、	
2 次インターセプト・ポイント (IP2)	1.61
1 dB 圧縮ポイント	1.63
SNR (S/N 比)	1.63
ENOB (有効ビット数)	1.63
1.2: オペアンプの仕様 (続き)	
スプリアスフリー・ダイナミック・レンジ (SFDR)	1.64
スルー・レート	1.64
フルパワー帯域幅	1.65
-3 dB 小信号帯域幅	1.66
平坦度 0.1 dB の帯域幅	1.66
ゲイン帯域幅積	1.67
CFB 型の周波数依存性	1.68
セトリング・タイム	1.69
立上がり時間と立下がり時間	1.70
位相余裕	1.70
CMRR (同相ノイズ除去比)	1.71
PSRR (電源電圧変動除去比)	1.72
微分ゲイン	1.73
微分位相	1.75
位相反転	1.75
チャンネル・セパレーション	1.75
絶対最大定格	1.76
参考文献	1.79

■ ベーシック・リニア・デザイン

オペアンプ

1.3: データシートの読み方

1.83

表紙

1.83

仕様表

1.83

絶対最大値

1.89

オーダー・ガイド

1.92

グラフ

1.92

本文

1.93

1.4: オペアンプの選択

1.95

ステップ 1: パラメータの決定

1.96

ステップ 2: パラメータの優先順位付け

1.96

ステップ 3: デバイスの選択

1.96

第 1 章: オペアンプ

はじめに

本章では、一般的なリニア回路設計のビルディング・ブロックの 1 つであるオペアンプの基本動作について説明します。

セクション 1.1 では、オペアンプの基本動作を示します。ここでは、ブラック・ボックスの視点からオペアンプに注目していきます。オペアンプの内部動作を説明した解説書は数多くあるため、このセクションではよりマクロな視点で説明します。しかし、オペアンプの内部の説明にある程度の時間を費やすことは避けられません。

セクション 1.2 では、基本的な仕様について説明します。オペアンプの制約の一部を補償する技術についても、いくつか紹介します。

セクション 1.3 では、データシートの読み方について説明します。データシートの各セクションと記載内容の解釈の仕方を説明します。

セクション 1.4 では、所定のアプリケーションに適したオペアンプの選び方について解説します。

1.1: オペアンプの動作

はじめに

オペアンプは、リニア回路設計の基本的なビルディング・ブロックの 1 つです。その典型的な形態は、2つの入力端子と 1 つの出力端子で構成され、入力端子の一方は信号の位相を反転し、他方は反転しません。オペアンプの標準的な記号を図 1.1 に示します。電源端子は動作に必要なことは明らかであるため、この図では省略しています。

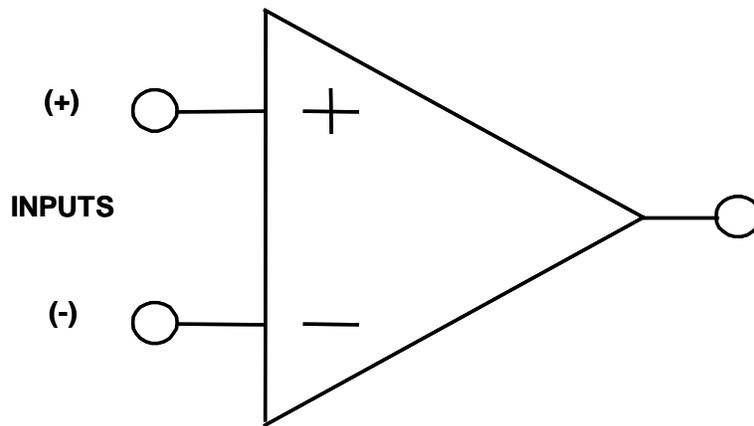


図 1.1: オペアンプの標準記号

「オペアンプ」という名称は、演算アンプの一般的な略称です。この名称は初期のアンプ設計に由来しており、オペアンプはアナログ・コンピュータに使われていました（事実、最初のコンピュータは、本質的にデジタルというよりアナログでした）。ベーシックなアンプをいくつかの外付け部品とともに使うと、数学的なさまざまな「演算」を行うことができました。アナログ・コンピュータが主に使われたのは第二次世界大戦中で、その目的の 1 つは弾道軌道を計算することでした。

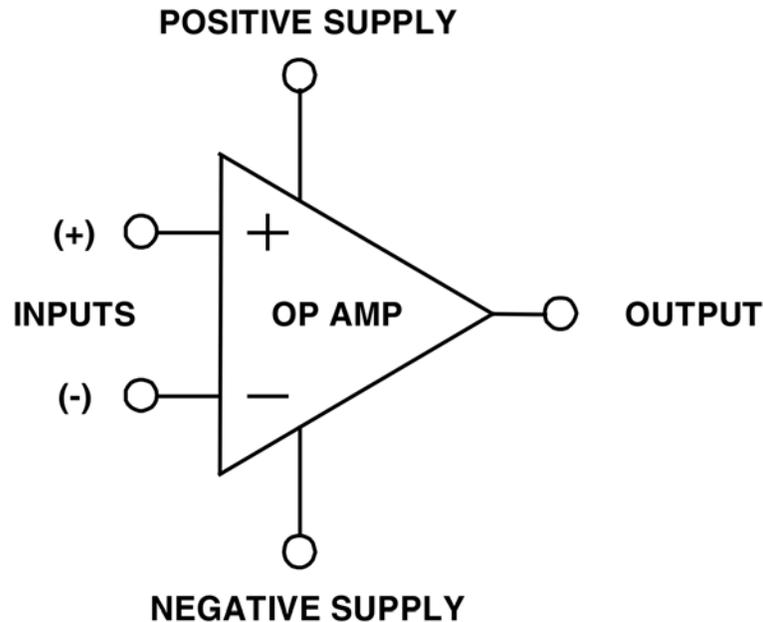
電圧帰還型 (VFB) モデル

電圧帰還型オペアンプの典型的なモデルには、以下の特性があります。

- 1) 入力インピーダンスが無限大
- 2) 帯域幅が無限大
- 3) ゲインが無限大
- 4) 出力インピーダンスがゼロ
- 5) 消費電力がゼロ

もちろん、実際はどれも実現不可能です。これらのパラメータをどれだけ理想値に近づけるかで、オペアンプの品質が決まります。

これは電圧帰還型と呼ばれるモデルです。このタイプのオペアンプには、帯域幅が 10 MHz 未満のオペアンプのほぼすべてと、10 MHz 以上の帯域幅のオペアンプの約 90 % が含まれます。



- IDEAL OP AMP ATTRIBUTES
 - Infinite Differential Gain
 - Zero Common Mode Gain
 - Zero Offset Voltage
 - Zero Bias Current
 - Infinite Bandwidth
- OP AMP INPUT ATTRIBUTES
 - Infinite Impedance
 - Zero Bias Current
 - Respond to Differential Voltages
 - Do Not Respond to Common Mode Voltages
- OP AMP OUTPUT ATTRIBUTES
 - Zero Impedance

図 1.2: 理想的なオペアンプの特性

基本動作

オペアンプの基本動作は簡単にまとめることができます。まず、アンプを固定ゲインにするために、出力信号の一部を反転端子に戻すとします。これが負帰還です。オペアンプの入力端子間に差動電圧が与えられると、アンプのオープンループ・ゲインで乗算されます。

この差動電圧が、反転 (-) 端子の方で非反転 (+) 端子より大きくなると、出力はより負側になります。差動電圧が、非反転 (+) 端子の方で反転 (-) 端子より大きくなると、出力電圧はより正側になります。アンプのオープンループ・ゲインは、差動電圧を強制的にゼロにしようとします。入力と出力がアンプの動作範囲内にある限り、アンプは差動電圧をゼロに維持し、出力は入力電圧に帰還で設定されたゲインを乗算した値になります。このことから、入力が差動モード入力電圧に対して応答し、コモンモード入力電圧に対しては応答しないことがわかります。

反転構成と非反転構成

電圧帰還型オペアンプをアンプとして構成する 2 つの基本的な方法があります。これらを図 1.3 と図 1.4 に示します。

図 1.3 は、いわゆる反転構成を示しています。この回路を用いると、出力は入力に対して位相が反転します。この回路のゲインは、使われる抵抗の比によって決まり、次式で与えられます。

$$A = - \frac{R_{fb}}{R_{in}} \tag{式 1-1}$$

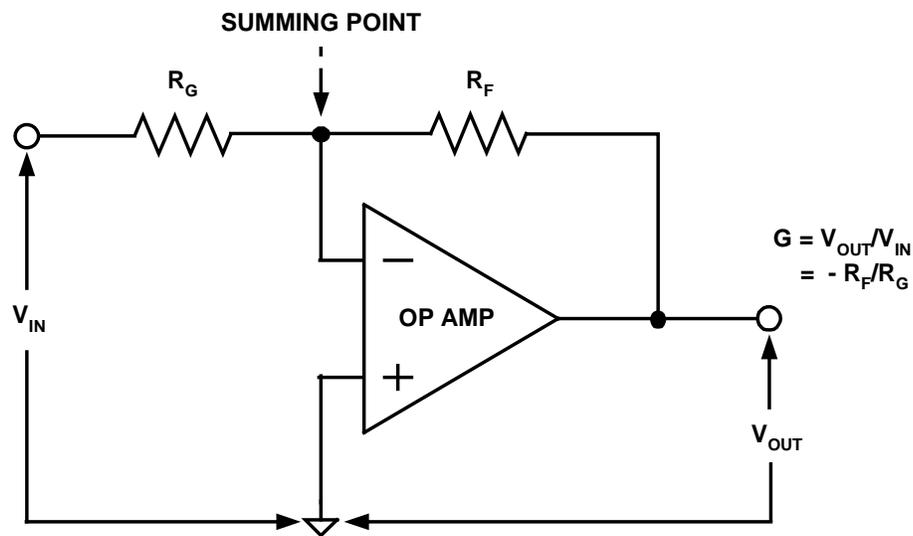


図 1.3: 反転モードのオペアンプ段

図 1.4 は、いわゆる非反転構成を示しています。この回路を用いると、出力は入力に対して同位相になります。この回路のゲインも、使われる抵抗の比によって決まり、次式で与えられます。

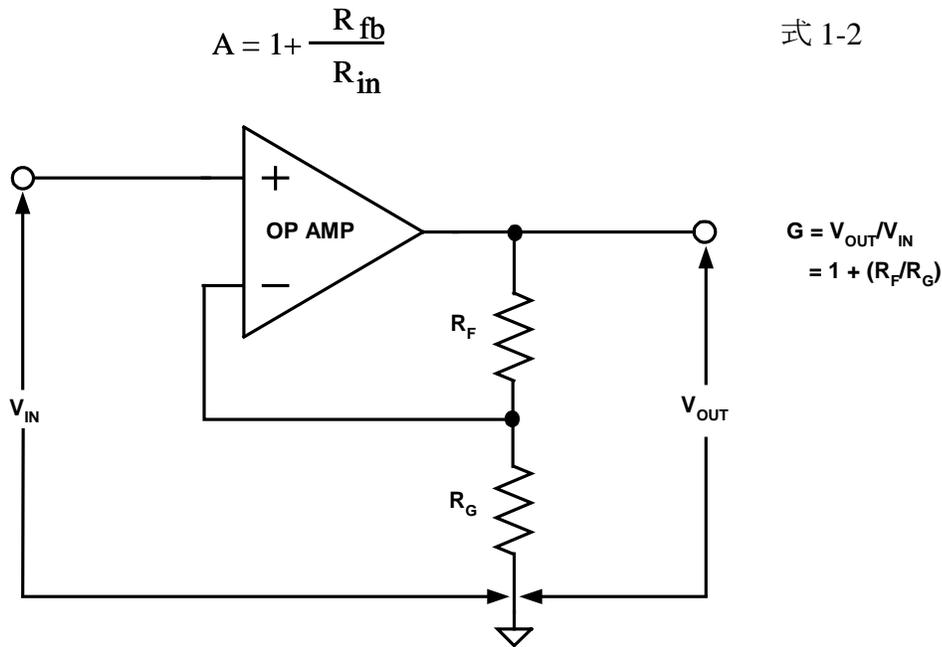


図 1.4: 非反転モードのオペアンプ段

出力が分圧器（ゲイン設定回路）を駆動するため、反転端子に供給される最大電圧が最大出力電圧になることに注意してください。これは最小ゲイン 1 を示します。

また、反転と非反転のどちらの場合も、帰還は出力から反転端子に行われていることに注意してください。これが負帰還であり、設計者にとって多くの利点があります。これらについては本章で詳しく説明します。

ゲインの基になっているのは抵抗の比であり、実際の抵抗値ではないことにも注意する必要があります。これは、設計者が実際の制限値内で所望の抵抗値を選択できることを意味しています。

抵抗値が低すぎる場合は、オペアンプの出力から大電流を流して動作させる必要があります。これにより、オペアンプ自体で過度の電力が消費され、多くのデメリットが生じます。電力消費の増加はチップの自己発熱を招き、オペアンプ自体の DC 特性を変化させる可能性があります。さらに、電力消費によって発生した熱で、ジャンクション温度がほとんどの半導体の一般的な最大許容限度となる 150 °C を最終的に超える可能性があります。

このジャンクション温度は、シリコン・チップそのものの温度です。対照的に、抵抗値が高すぎる場合は、ノイズが増加したり寄生容量の影響を受けやすくなったりします。この場合もまた、帯域幅の制限、不安定動作、発振などを生じるおそれがあります。

実際、10 Ω 以下の抵抗や 1 MΩ を超える抵抗は次第に調達困難になっており、特に高精度の抵抗が求められる場合にこの傾向が顕著です。

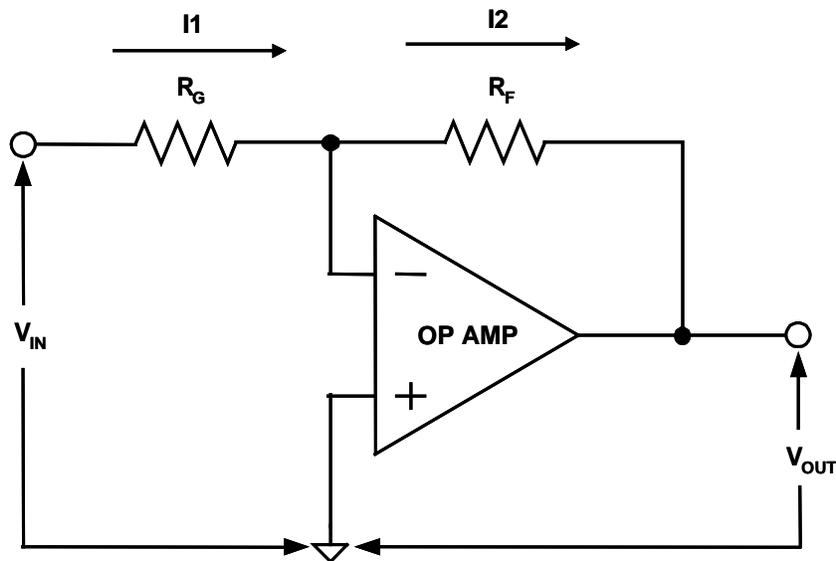


図 1.5: 反転アンプのゲイン

反転アンプの例をもう少し詳しく見てみます。図 1.5 に示すように、非反転端子はグラウンドに接続されています（ここでは、両極性 (+ と -) 電源を想定しています）。オペアンプは、入力間の差動電圧を強制的にゼロにしようとするので、反転入力もグラウンドに接続されているように見えます。実際、このノードは通常「仮想グラウンド」と呼ばれています。

入力抵抗に電圧 (V_{in}) が印加されると、それにより抵抗 (R_{in}) には次式で与えられる電流 ($I1$) が流れます。

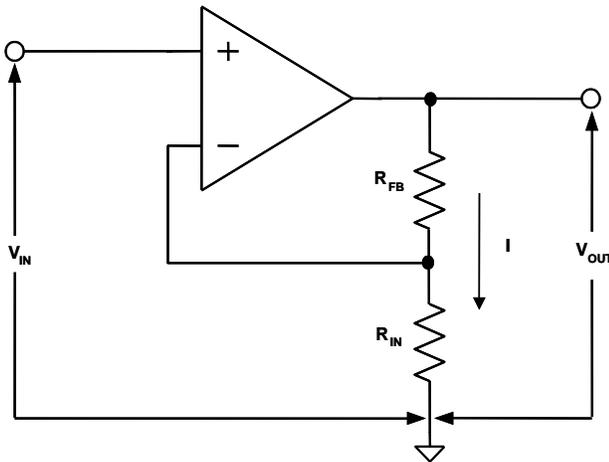
$$I1 = \frac{V_{in}}{R_{in}} \quad \text{式 1.3}$$

オペアンプの入力インピーダンスは無限大なので、反転入力には電流が流れません。したがって、同じ電流 ($I1$) が帰還抵抗 (R_{fb}) を流れなければなりません。アンプは反転端子を強制的にグラウンド電位にするので、出力は次式で与えられる電圧 (V_{out}) と見なすことができます。

$$V_{out} = I1 * R_{fb} \quad \text{式 1-4}$$

簡単な計算を少し行くと、式 1.1 の結果が得られます。

$$\frac{V_o}{V_{in}} = A = -\frac{R_{fb}}{R_{in}} \quad \text{式 1-5}$$



$$G = \frac{V_{OUT}}{V_{IN}} = 1 + \frac{R_{FB}}{R_{IN}}$$

図 1.6: 非反転アンプのゲイン

今度は、非反転アンプの例を詳しく見てみます。図 1.6 に示すように、入力電圧が非反転端子に印加されています。出力電圧は、 R_{fb} と R_{in} で構成される分圧器を駆動します。技術的には抵抗が入力に接続されていないため、この場合の名称「 R_{in} 」はやや誤解を与えます。しかし、この名称は反転構成に適合し、いずれにしても事実上の業界標準となっているため、今後もこの名称を使うこととします。2 個の抵抗の接続点である反転端子の電圧 (V_a) の値は次式のとおりです。

$$V_a = \frac{R_{in}}{R_{in} + R_{fb}} V_o \quad \text{式 1-6}$$

オペアンプの負帰還動作は、差動電圧を強制的に 0 にしようとします。したがって、次式のようになります。

$$V_a = V_{in} \quad \text{式 1-7}$$

この場合も、簡単な計算から最終的に次式が得られます。

$$\frac{V_o}{V_{in}} = \frac{R_{fb} + R_{in}}{R_{in}} = 1 + \frac{R_{fb}}{R_{in}} \quad \text{式 1-8}$$

これは、式 1-2 で示した式と同じものです。

これまでのすべての説明で、ゲイン設定部品を抵抗としてきました。実際には、これらの部品はインピーダンスで、単なる抵抗ではありません。このため、周波数依存性を持つアンプを構成することができます。このことについては、後のセクションで詳しく説明します。

オープンループ・ゲイン

オープンループ・ゲイン（一般に A_{VOL} と呼ばれる）とは、帰還ループが接続されていないアンプ（したがって「オープンループ」と呼ばれる）のゲインのことです。高精度オペアンプの場合、このゲインを 160 dB 以上の大きな値にすることが可能で、これは 1 億のゲインに相当します。このゲインは、DC から主極と呼ばれる周波数まで平坦です。ゲインは、この周波数から 6 dB/オクターブ（20 dB/ディケード）の比率で低下していきます。（オクターブとは周波数が 2 倍変化することで、ディケードとは周波数が 10 倍変化することです。）これを、単極応答と呼びます。ゲインは、応答内のもう 1 つの極に達するまでこのレートで低下し続けます。この 2 つ目の極でオープンループ・ゲインが低下するレートが 2 倍、つまり 12 dB/オクターブ（40 dB/ディケード）になります。2 つ目の極に達する前に、オープンループ・ゲインが 0 dB（ユニティ・ゲイン）未満に低下していれば、オペアンプはどのゲインでも無条件に安定になるはずですが、このことは、一般にデータシートのユニティ・ゲインで安定という記述を指します。ループ・ゲインが 1 (0 dB) より大きい場合に 2 つ目の極に達すると、条件によってはアンプが安定しない可能性があります。

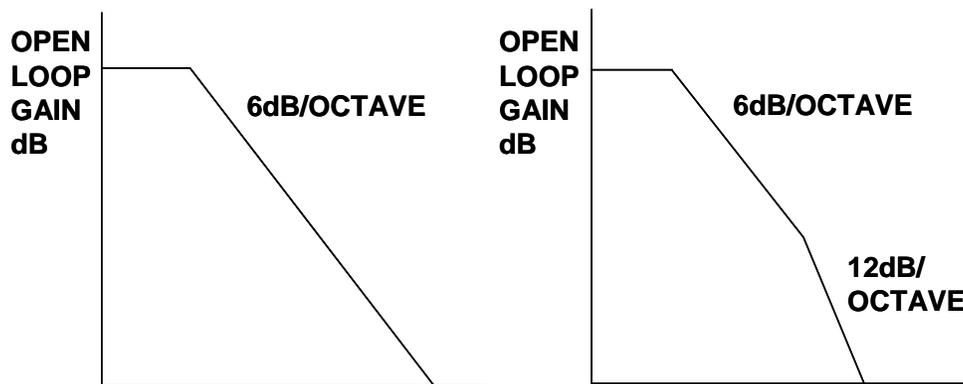


図 1.7: オープンループ・ゲイン（ボーデ線図）

オープンループ・ゲイン、クローズドループ・ゲイン、ループ・ゲイン、信号ゲイン、ノイズ・ゲインの違いを理解することが重要です。これらは根本的には似ており、相互に影響を与えますが、それぞれ異なります。ここでは、これらすべてを詳細に説明します。

オープンループ・ゲインは厳密に規定された仕様ではありません。オープンループ・ゲインは比較的範囲を広くすることができ、ほとんどの場合、仕様では最小値/最大値ではなく、代表値が用いられています。場合によっては、高精度オペアンプに代表されるように、最小値が用いられることもあります。

また、オープンループ・ゲインは出力電圧レベルと負荷によって変化する可能性があります。オープンループ・ゲインは温度にも多少依存します。一般に、これらの影響は非常に小さく、ほとんどの場合、無視することができます。

実際、この非直線性は、デバイスのデータシートに必ずしも記載されているとは限りません。

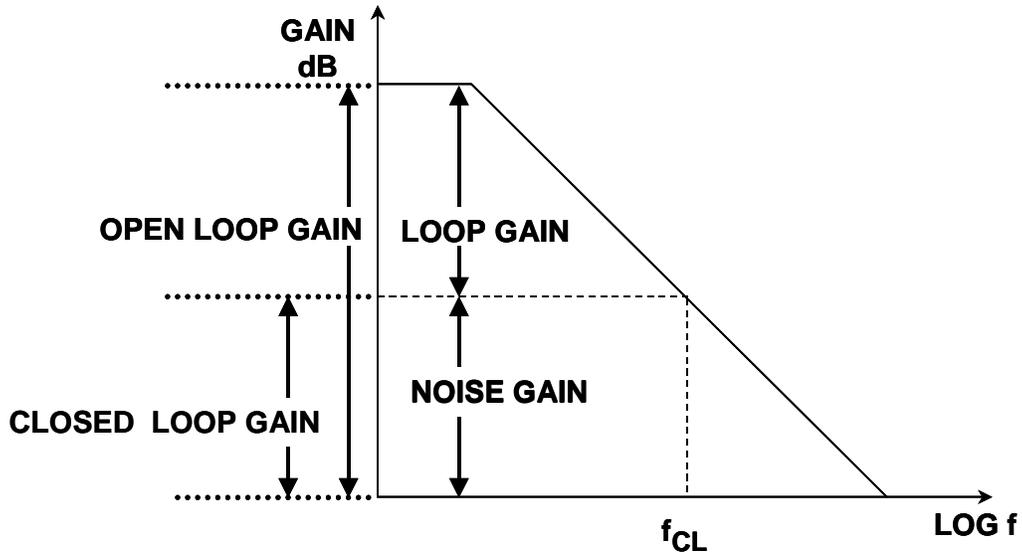
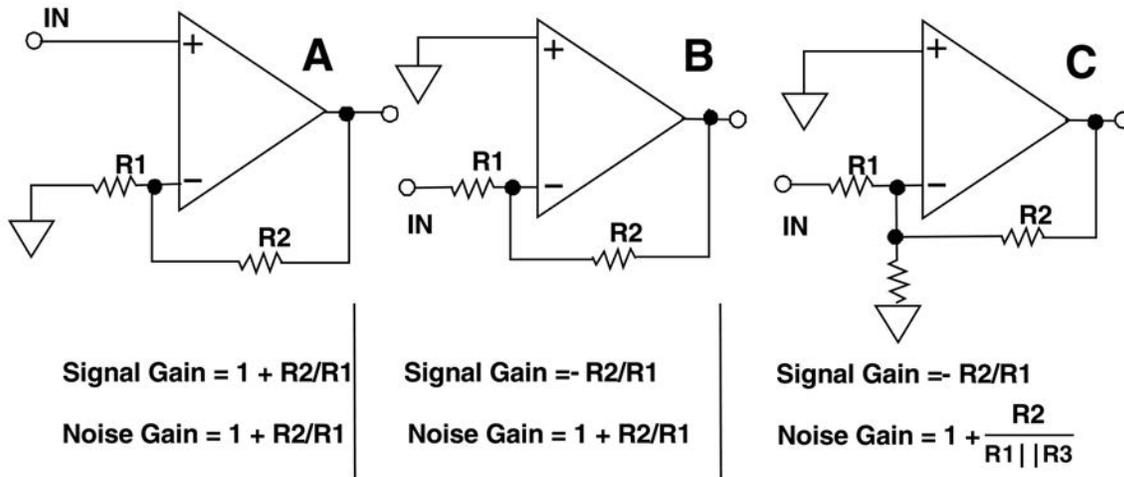


図 1.8: ゲインの定義



- Voltage Noise and Offset Voltage of the op amp are reflected to the output by the Noise Gain.
- Noise Gain, not Signal Gain, is relevant in assessing stability.
- Circuit C has unchanged Signal Gain, but higher Noise Gain, thus better stability, worse noise, and higher output offset voltage.

図 1.9: ノイズ・ゲイン

ゲイン帯域幅積

オープンループ・ゲインは 6 dB/オクターブで低下します。これは、周波数を 2 倍にすると、ゲインが半分に低下することを意味します。これとは逆に、周波数を半分にすると、図 1.8 に示すように、オープンループ・ゲインは 2 倍になります。これにより、いわゆるゲイン帯域幅積が得られます。オープンループ・ゲインに周波数を掛けたときの積は常に一定になります。こうなるのは、ボード線図の 6 dB/オクターブで低下する部分であることに注意してください。ゲイン帯域幅積は、特定のオペアンプが個々のアプリケーションに使用可能かどうかを決定するのに用いる、便利な性能指数として使うことができます。

例えば、ゲインが 10 で 100 kHz の帯域幅を必要とするアプリケーションの場合、ゲイン帯域幅積が 1 MHz 以上のオペアンプが必要です。ただし、これはやや単純化しすぎです。ゲイン帯域幅積にばらつきがあることと、クロズドループ・ゲインがオープンループ・ゲインと交差するポイントでは応答が実際に 3 dB 低下するという事実があるため、ある程度余裕を持たせる必要があります。前述のアプリケーションでは、ゲイン帯域幅積が 1 MHz のオペアンプが最低限必要です。期待性能を達成するための備えとして、5 以上の安全係数が望まれます。

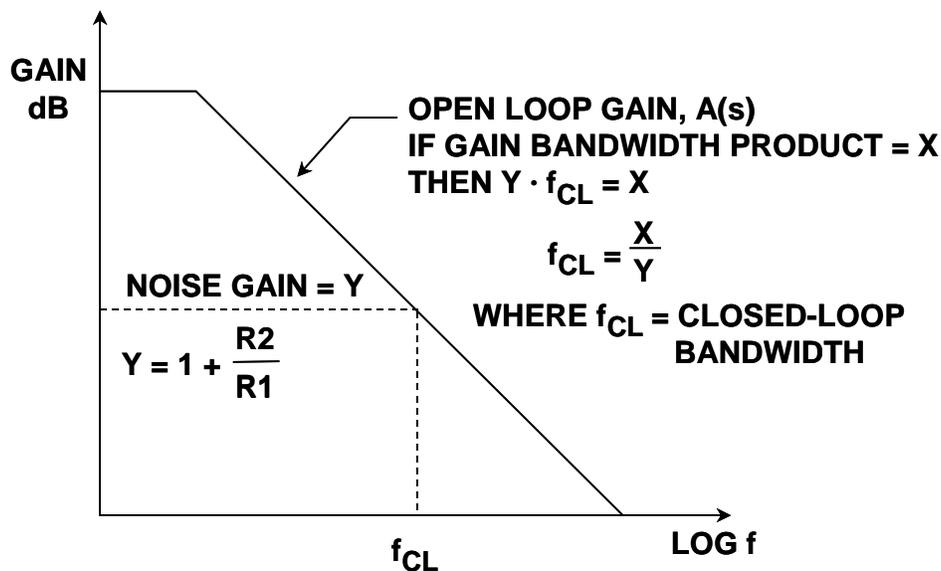


図 1.10: ゲイン帯域幅積

安定性の基準

帰還システムに関する理論では、システムを安定させるため、クロズドループ・ゲインは、6 dB/オクターブ（単極応答）のオープンループ・ゲインと交差する必要があるとされています。応答が 12 dB/オクターブ（2 極応答）の場合、オペアンプは発振します。これを最も容易に理解する方法は、極 1 つにつき 90° の位相シフトが追加されると考えることです。つまり、2 つの極によって 180° の位相シフトが生じ、この 180° の位相シフトにより、負帰還が正帰還に変わります。これは発振を意味します。

ユニティ・ゲインで安定しないアンプがなぜ製品として存在するのか、と問われるかもしれません。その答えは、所定のアンプ回路に対して、アンプがユニティ・ゲインで安定しない場合に帯域幅を増加させることができるからです。これは非補償と呼ばれる場合もありますが、ゲインの基準は満たす必要があります。この基準とは、クローズドループ・ゲインが 6 dB/オクターブ（単極応答）の勾配部分でオープンループ・ゲインと交差しなければならないことです。この基準を満たしていないと、アンプは発振します。

例として、図 1.11、図 1.12、図 1.13 のオープンループ・ゲインのグラフを比較します。ここに示す 3 つのデバイス AD847、AD848、AD849 は、基本的に同じデバイスです。AD847 はユニティ・ゲインで安定します。AD848 はゲイン 2 以上で安定します。AD849 はゲイン 10 以上で安定します。これらから、AD849 の帯域幅が非常に広いことがわかります。したがって、大きなゲインで動作させる場合は、帯域幅を広くします。

回路技法の点で役立つものがいくつかありますが、これについては後で取り上げます。

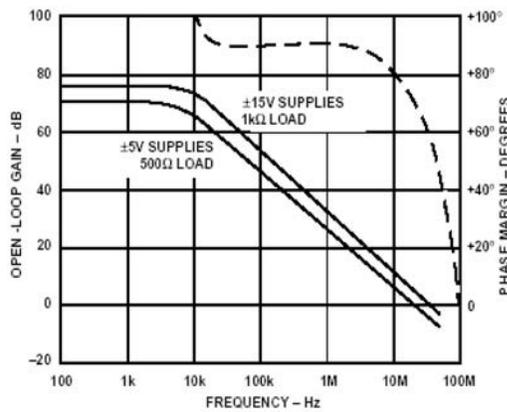


図 1.11: AD847 のオープンループ・ゲイン

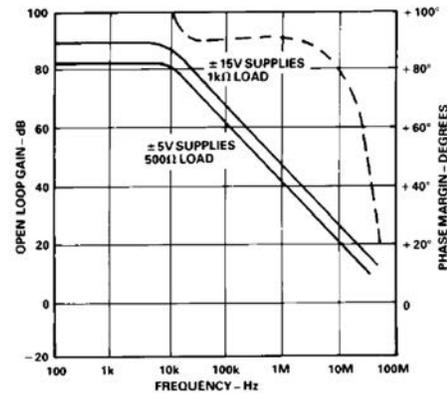


図 1.12: AD848 のオープンループ・ゲイン

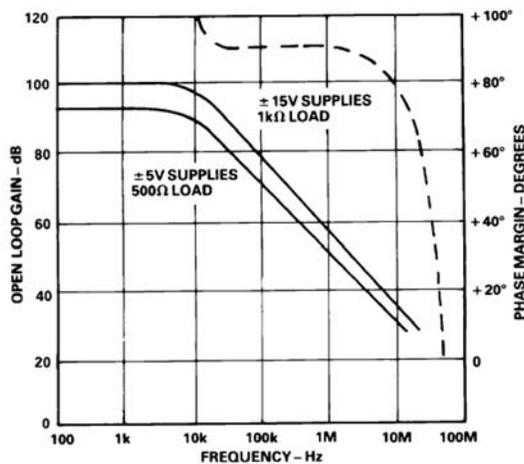


図 1.13: AD849 のオープンループ・ゲイン

位相余裕

安定性の指標の 1 つに位相余裕があります。振幅応答が平坦ではなく急峻に変化するのと同様に、位相もコーナー周波数より 1 桁手前から徐々に変化します。位相余裕とは、位相が 180° に達するまでにどの程度余裕があるかを示した位相の値で、ユニティ・ゲインのポイントで測定されます。

位相余裕が小さくなると、クローズドループ・ゲインがオープンループ・ゲインと交差する直前の出力のピークが大きくなります。図 1.14 を参照してください。

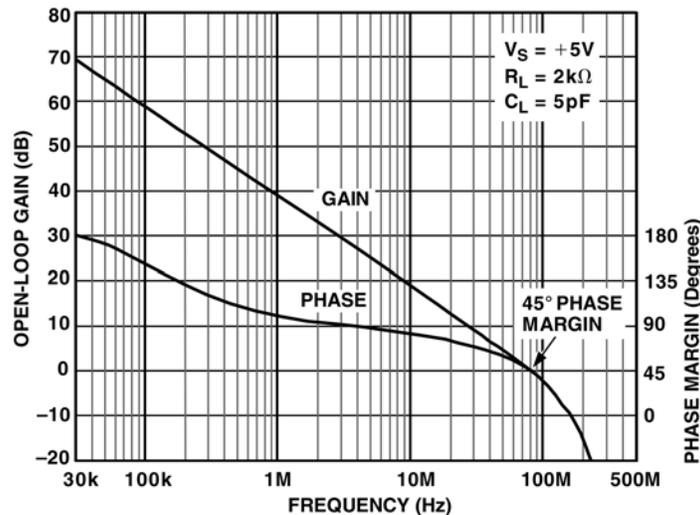


図 1.14: AD8051 の位相余裕

クローズドループ・ゲイン

言うまでもなく、オープンループ・ゲインは帰還ループが接続されていない場合のゲインであるのに対して、クローズドループ・ゲインは帰還ループが接続されている場合のゲインです。クローズドループ・ゲインには、信号ゲインとノイズ・ゲインの 2 種類があります。これらのゲインとそれぞれの違いについて以下に説明します。

クローズドループ・アンプのゲインの式には、オープンループ・ゲインの項が含まれています。G を実際のゲイン、 N_G をノイズ・ゲイン（以下を参照）、 A_{VOL} をアンプのオープンループ・ゲインとすると、次式のようになります。

$$G = N_G - \frac{N_G^2}{N_G + A_{VOL}} = \frac{N_G}{\frac{N_G}{A_{VOL}} + 1} \quad \text{式 1-9}$$

この式から、オープンループ・ゲインが非常に大きい場合（一般的な場合）、回路のクローズドループ・ゲインは単純にノイズ・ゲインとなります。

信号ゲイン

信号ゲインとは、帰還ループが接続された回路の入力信号に適用されるゲインのことです。前述の基本動作のセクションでは、反転回路と非反転回路のゲインに関する説明部分で、実際にクロズドループの信号ゲインについてより適切に説明しています。このゲインは反転と非反転のいずれも可能で、反転の場合は 1 より小さくすることもできます。信号ゲインは、回路を設計する際に何よりも関心の対象となるゲインです。

$$A = - \frac{R_{fb}}{R_{in}} \quad \text{式 1-10}$$

反転アンプ段の信号ゲインは次式のとおりです。

$$A = 1 + \frac{R_{fb}}{R_{in}} \quad \text{式 1-11}$$

そして、非反転アンプ段では次式のとおりです。

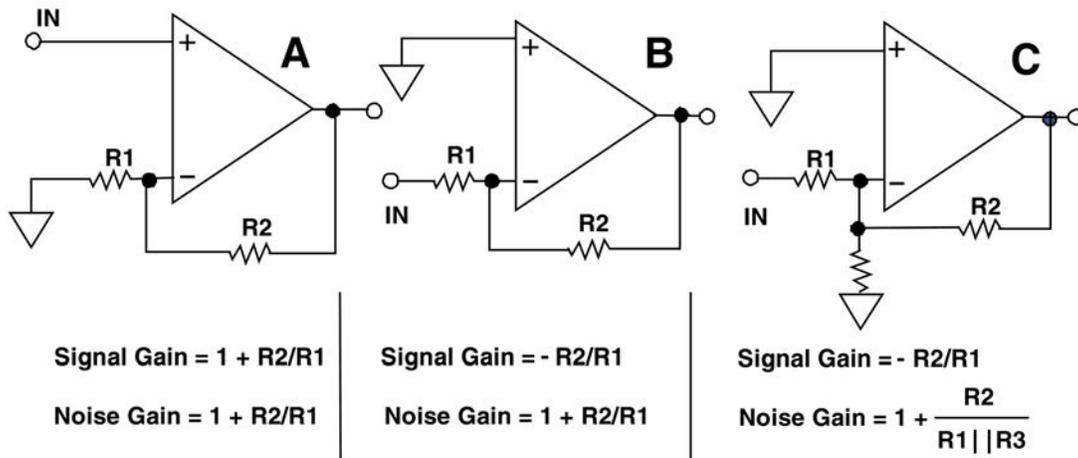
$$A = 1 + \frac{R_{fb}}{R_{in}} \quad \text{式 1-12}$$

ノイズ・ゲイン

ノイズ・ゲインとは、オペアンプ入力に直列接続されたノイズ源に適用されるゲインで、オフセット電圧にも適用されます。ノイズ・ゲインは次式で表すことができます。

ノイズ・ゲインは非反転アンプの信号ゲインに等しくなります。これは反転段でも非反転段でも同じです。

安定性を決めるのに用いられるのがノイズ・ゲインで、ボーデ線図に使われるクロズドループ・ゲインでもあります。ノイズ・ゲインの式には抵抗を使いましたが、これらが実際にはインピーダンスである点に注意してください。



- Voltage Noise and Offset Voltage of the op amp are reflected to the output by the Noise Gain.
- Noise Gain, not Signal Gain, is relevant in assessing stability.
- Circuit C has unchanged Signal Gain, but higher Noise Gain, thus better stability, worse noise, and higher output offset voltage.

図 1.15: ノイズ・ゲイン

ループ・ゲイン

オープンループ・ゲインとクローズドループ・ゲインの差がループ・ゲインとして知られています。ループ・ゲインはアンプ・システムに適用可能な負帰還の大きさを示すことから、有用な情報です。

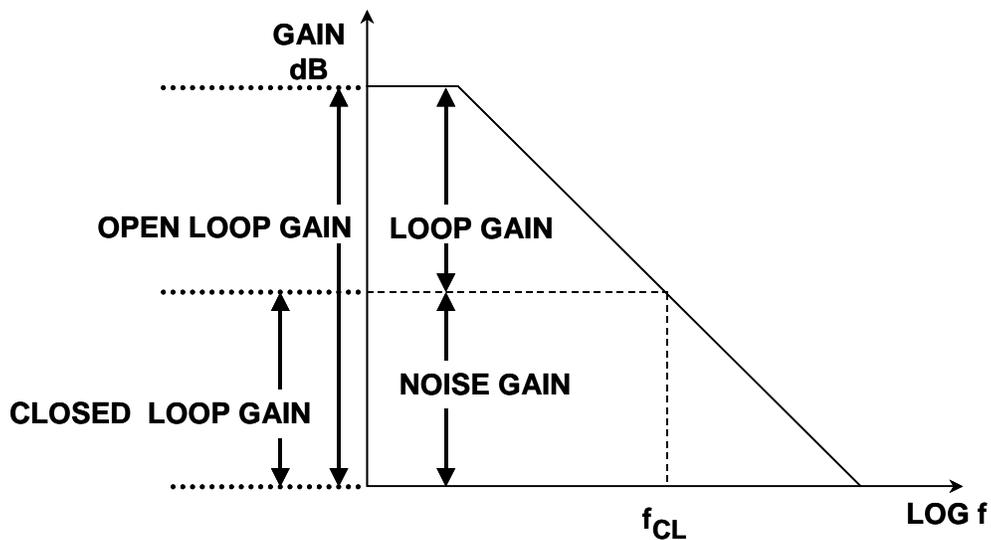


図 1.16: ゲインの定義

ボーデ線図

オープンループ・ゲインの値を対数スケールとし、周波数特性も対数スケールとしたグラフが、いわゆるボーデ線図です。ボーデ線図は、特定のオペアンプが特定のアプリケーションに適しているかを評価するときの主要なツールの1つです。

ボーデ線図にオープンループ・ゲインをプロットしてからノイズ・ゲインをプロットすると、これらが交差するポイントにより、アンプ・システムの最大クロードループ帯域幅が求められます。このポイントは、一般にクロードループ周波数 (F_{CL}) と呼ばれています。交差ポイントでの実応答が実際には 3 dB 低下していることに注意してください。 F_{CL} より 1 オクターブ上の周波数と、1 オクターブ下の周波数では、漸近応答と実応答の差は 1 dB 未満となります。

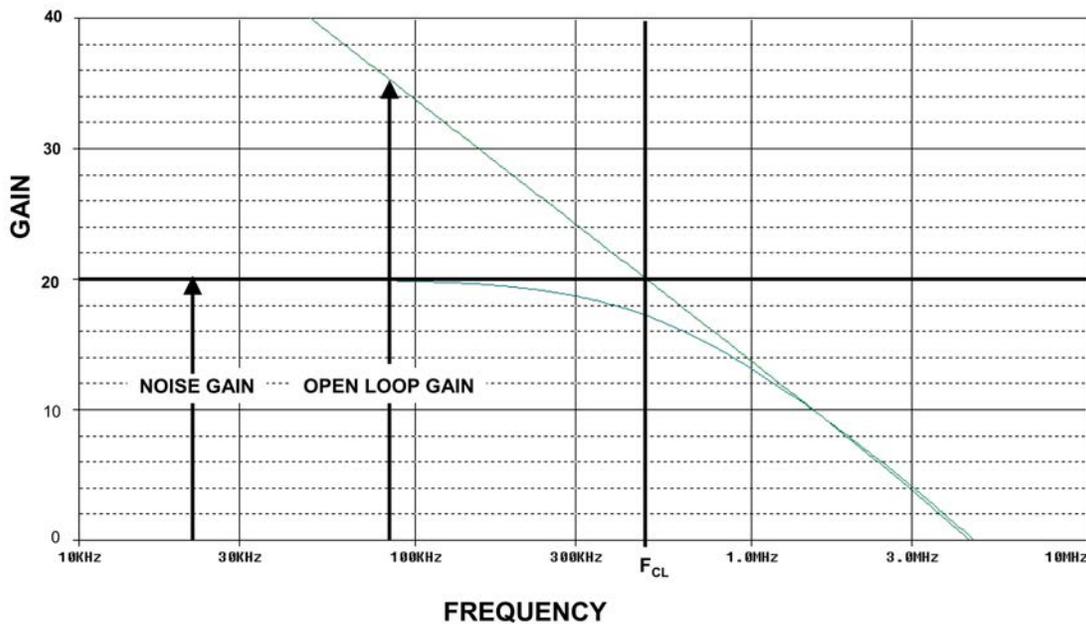


図 1.17: 漸近応答

ボーデ線図は安定性を決めるのにも便利です。上記のように、クロードループ・ゲイン（ノイズ・ゲイン）が 6 dB/オクターブ（20 dB/ディケード）より大きい勾配部分でオープンループ・ゲインと交差すると、アンプは不安定になる可能性があります（位相余裕に依存）。

電流帰還型 (CFB) モデル

標準的な電圧帰還型 (VFB) アンプと比べて、高周波数でいくつかの利点を持つタイプのアンプがあります。これらは電流帰還型 (CFB) アンプと呼ばれ、トランスインピーダンス・アンプと呼ばれることもあります。フォトダイオードのアプリケーションで一般に用いられる電流/電圧 (I/V) コンバータもトランスインピーダンス・アンプと呼ばれているため、混乱する可能性があります。回路図では、CFB オペアンプは標準的な VFB アンプと同様に見えますが、重要な違いがいくつかあります。

オペアンプの内部構造には触れないようにして、ここではシンプルな図を用意します。図 1.18 を参照してください。帰還のメカニズムも異なるため、名前も異なります。ただし、正確なメカニズムもここで取り上げたいことはありません。多くの場合、違いに注意し、付随する制約を守れば、どちらのタイプのアンプも基本動作は同じであると見なすことができます。ゲインの式は VFB アンプと同じですが、重要な制約について次のセクションで説明します。

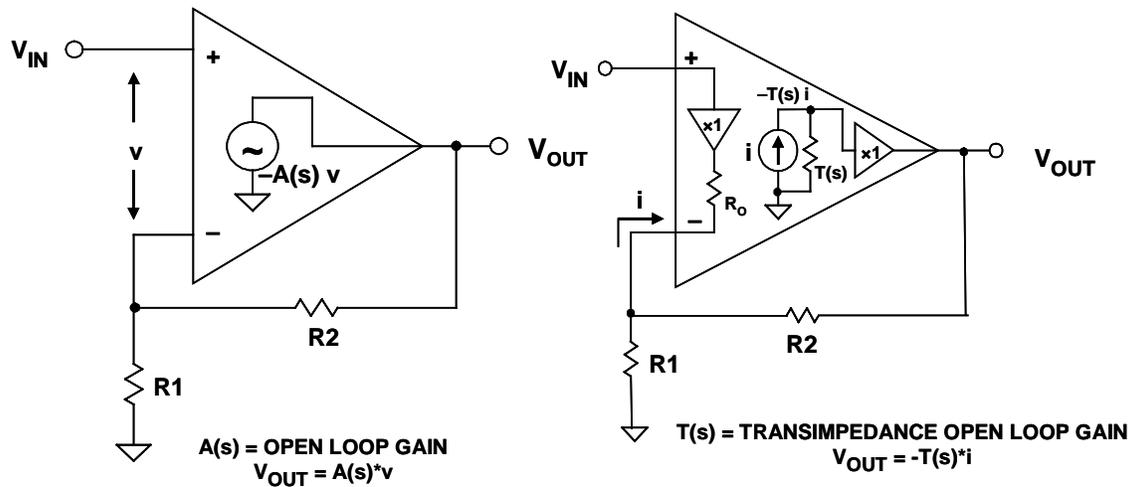
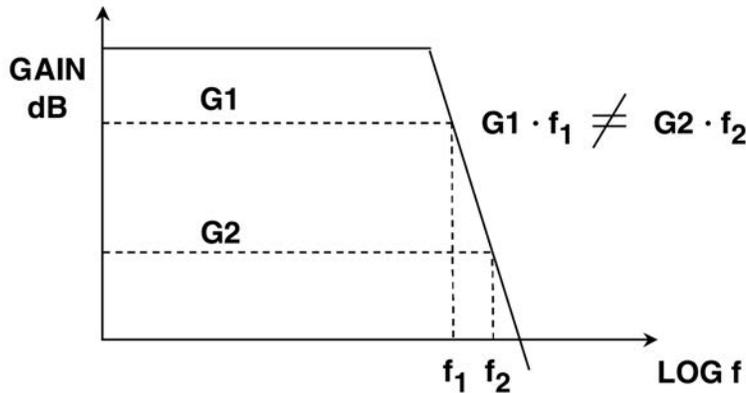


図 1.18: VFB アンプと CFB アンプ

VFB との違い

CFB アンプと VFB アンプの主な違いの 1 つは、ゲイン帯域幅積がないことです。ゲインによって帯域幅は変化しますが、VFB に見られる 6 dB/オクターブ近くまで変化することさえありません。図 1.19 を参照してください。また、オペアンプの内部容量を使って動作する場合、帰還抵抗の値によって帯域幅が決まるという大きな制約があります。すべての CFB オペアンプには、帯域幅を最大にするための帰還抵抗の推奨値があります。抵抗値を大きくすると、帯域幅が小さくなります。小さい値の抵抗を使うと、位相余裕が減ってアンプが不安定になる可能性があります。この抵抗の最適値は動作条件によって異なります。例えば、この値はパッケージの違い (SOIC と DIP など) によって異なります (図 1.20 参照)。



- ◆ FEEDBACK RESISTOR FIXED FOR OPTIMUM PERFORMANCE. LARGER VALUES REDUCE BANDWIDTH, SMALLER VALUES MAY CAUSE INSTABILITY.
- ◆ FOR FIXED FEEDBACK RESISTOR, CHANGING GAIN HAS LITTLE EFFECT ON BANDWIDTH.
- ◆ CURRENT FEEDBACK OP AMPS DO NOT HAVE A FIXED GAIN-BANDWIDTH PRODUCT.

図 1.19: 電流帰還型アンプの周波数応答

Component	AD8001AN (PDIP) Gain					AD8001AR (SOIC) Gain					AD8001ART (SOT-23-5) Gain				
	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100
R_f (Ω)	649	1050	750	470	1000	604	953	681	470	1000	845	1000	768	470	1000
R_G (Ω)	649		750	51	10	604		681	51	10	845		768	51	10
R_o (Nominal) (Ω)	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9
R_s (Ω)	0					0					0				
R_i (Nominal) (Ω)	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9
Small Signal BW (MHz)	340	880	460	260	20	370	710	440	260	20	240	795	380	260	20
0.1 db Flatness (MHz)	105	70	105			130	100	120			110	300	145		

図 1.20: AD8001 のパッケージに対する最適な帰還抵抗

また、CFB アンプでは帰還ループにコンデンサを使わないようにします。帰還ループにコンデンサを使うと、周波数が増加するにつれて帰還インピーダンスが減少することにより、オペアンプを発振させます。同じ理由で、オペアンプの反転入力周囲の浮遊容量に注意する必要があります。

電流帰還型オペアンプを使う際の一般的な誤りは、ユニティ・ゲインの電圧フォロワ（バッファ）を構成しようとして、反転入力を出力に直接短絡することです。この回路は発振します。この場合、帰還抵抗の値が推奨値より小さくなるのは明らかです。短絡の代わりに適正な値の推奨帰還抵抗を使えば、回路は完全に安定します。

VFB アンプと CFB アンプのもう 1 つの違いは、CFB アンプの反転入力が低インピーダンスであることです。低インピーダンスとは一般に $50 \Omega \sim 100 \Omega$ を意味します。したがって、VFB 回路が示すような 2 つの入力は、等しくありません。

CFB 構成により、スルー・レート性能も改善されます。内部補償コンデンサの充電に利用可能な電流は動的で、VFB 構成の場合のような固定値に制限されません。ステップ入力または過負荷状態の場合、オーバードライブ状態が解消されるまで電流は増加します（電流オンデマンド）。基本的な電流帰還型アンプは、本来スルー・レートが制限されません。スルー・レートを制限するのは内部の寄生容量だけで、この影響を減らすために多くの改善がなされています。

帯域幅とスルー・レートを大きくすることにより、CFB デバイスは、低消費電力で良好な歪み性能が得られます。

アンプの歪みは、アンプのオープンループ歪みとクローズドループ回路のループ・ゲインによって影響されます。CFB アンプは、内部構成が基本的に対称なので、生じるオープンループ歪みはわずかです。歪みに対するその他の主な要因は速度です。ほとんどの構成では、CFB アンプは VFB アンプよりも大きな帯域幅を持ちます。したがって、所定の信号周波数では、高速のデバイスはループ・ゲインが大きくなるため、歪みが小さくなります。

CFB と VFB の選択方法

電流帰還型（CFB）と電圧帰還型（VFB）のアプリケーションの利点は異なります。多くのアプリケーションでは、CFB と VFB は見かけ上容易には区別できません。最近の CFB アンプと VFB アンプは同等の性能を備えています。それぞれの構成に関わる特有の利点があります。電圧帰還型は、帰還抵抗（またはインピーダンス）を自由に選択できますが、代償として、ゲインの帯域幅が犠牲になります。電流帰還型は、帰還インピーダンスの選択が制限されますが、広範囲のゲインにわたって広い帯域幅を維持します。

一般に、VFB アンプは以下を提供します。

- 低ノイズ
- 良好な DC 性能
- 帰還部品の自由度

一方、CFB アンプは以下を提供します。

- 高速スルー・レート
- 低歪み
- 帰還部品の制約

電源電圧

従来、オペアンプの電源電圧は一般に ± 15 V で、動作入出力範囲は ± 10 V 程度でしたが、このようなレベルに対する要件は厳しくありませんでした。一般的に、最大電源電圧は ± 18 V で、下限は内部回路に応じて設定されていました。一般に動作範囲は両方の電源から 1.5 V または 2 V 以内が可能のため、 ± 8 V 程度の電源まで下げることができ、それでもなお、ある程度のダイナミック・レンジを持ちます。

しかし最近では、電源電圧が低くなる傾向にあります。これにはいくつかの理由があります。

第 1 の理由は、一般に高速回路のフル・スケール・レンジが狭いことです。この主な理由は、大きな電圧を変化させるアンプの能力にあります。すべてのアンプには、マイクロ秒あたりの電圧値で表す、スルー・レート制限値があります。したがって、速度を上げたい場合、他のすべての条件を等しくした状態で、電圧範囲を小さくする必要があります。2 つめの理由は、回路の浮遊容量の影響を抑えるため、インピーダンス・レベルを下げる必要があることです。小さいインピーダンスを駆動する際には、出力段に対する要件、およびアンプ・パッケージの電力放散能力に対する要件が増します。小さい電圧変化に必要な供給電流は少ないため、パッケージの電力消費は小さくなります。

第 3 の理由は、アンプ内部の素子の速度が増すにつれて、これらのデバイスの形状が小さくなる傾向にあることです。形状が小さくなることは通常、これらのデバイスのブレイクダウン電圧が低下することを意味します。ブレイクダウン電圧が低くなってきたため、電源電圧もそれに従う必要がありました。最近の高速オペアンプの一般的なブレイクダウン電圧は $\pm 7\text{ V}$ なので、電源は一般に $\pm 5\text{ V}$ 、あるいはそれ以下です。

バッテリー動作によってさらに低い電源電圧が必要になる場合もあります。電源電圧が低いとバッテリーの数を減らすことができるため、最終製品のサイズ、重さ、価格を低減できます。

同時に、単電源システムへ向けての動きがありました。標準的なプラスとマイナスの電源に代わり、オペアンプが正の単電源とグラウンドで動作すると、グラウンドは負電源になります。

単電源に関する考慮事項

オペアンプにはグラウンドを必要とする回路がありません。実際、信号がオペアンプの同相範囲内になるように残りの回路が適切にバイアスされる限り、 $\pm 15\text{ V}$ の両極性 (+ と -) 電源の代わりに $+30\text{ V}$ の単電源 (グラウンドを負電源とする) を容易に使うことができます。あるいは、 -30 V の単電源 (グラウンドを正の最大電源とする) を容易に使うことができます。

単電源動作と低電源電圧を組み合わせると、問題が生じる可能性があります。オペアンプの標準構成では、入力に NPN の差動ペア (図 1.21 参照) を、出力段にエミッタ・フォロワ (図 1.24 参照) を使用します。これらのどちらの回路でも、一方の電源から他方の電源までの「レール to レール」動作はできません。そこで、いくつかの回路変更が必要になります。

最初の変更は、PNP の差動入力 (図 1.22 参照) を使うことでした。この入力構成の最初の変更例が LM324 でした。この構成では、入力を負電源 (グラウンド) に近づけることができましたが、正電源まで変化させることはできませんでした。しかし、多くのシステム (特にデジタルが支配的なミックスド・シグナル・システム) にはこれで十分でした。精度に関しては、LM324 はあまり高くありません。

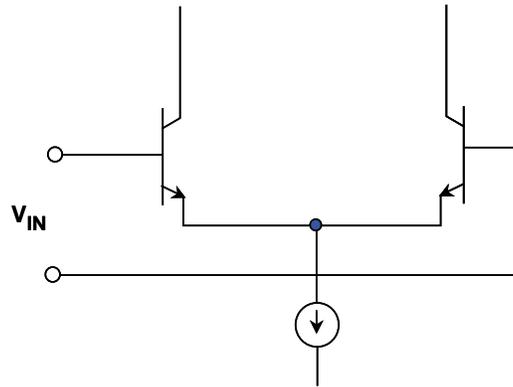


図 1.21: 標準的な入力段（差動ペア）

NPN 入力はグラウンドまで加えることはできず、PNP 入力は正電源まで加えることは出来ません。次の変更は、デュアル入力を使用することでした。ここでは、NPN 差動ペアと PNP 差動ペアを組み合せます。図 1.23 を参照してください。入力の同相電圧範囲の大部分で、両方のペアがアクティブになります。一方の電源または他方の電源に近づくと、一方の入力がオフになります。NPN ペアは上側の電源まで変化し、PNP ペアは下側の電源まで変化します。

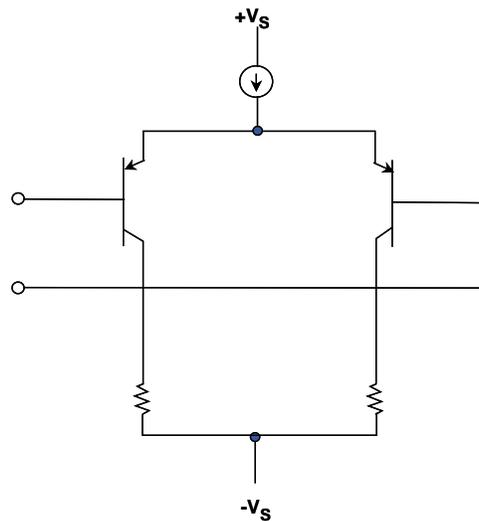


図 1.22: PNP 入力段

ここでは、主に入力回路に依存するオペアンプのパラメータ（例えば、バイアス電流）が入力の同相電圧に従って変化することに注目してください。このバイアス電流は、NPN 段から PNP 段へのフロント・エンドの遷移によっても方向を変えます。

もう 1 つの変更は出力段です。エミッタ・フォロワ（コモン・コレクタ）構成（図 1.24）を補完する標準的な出力段は、一般にコモン・エミッタ回路で置き換えられます。

これにより、出力を電源の近くまで変化させることができます。正確なレベルは出力トランジスタの V_{CEsat} によって設定され、 V_{CEsat} は出力電流レベルに依存します。この構成の実際の欠点は、コモン・エミッタ回路の出力インピーダンスがコモン・コレクタ回路よりも大きいことだけです。負帰還がループ・ゲインの大きさに比例して出力インピーダンスを減らすため、大抵はあまり問題視されません。これが問題になるのは、ループ・ゲインが低下するにつれ、この高出力インピーダンスが容量性負荷の影響を受けやすくなる場合です。

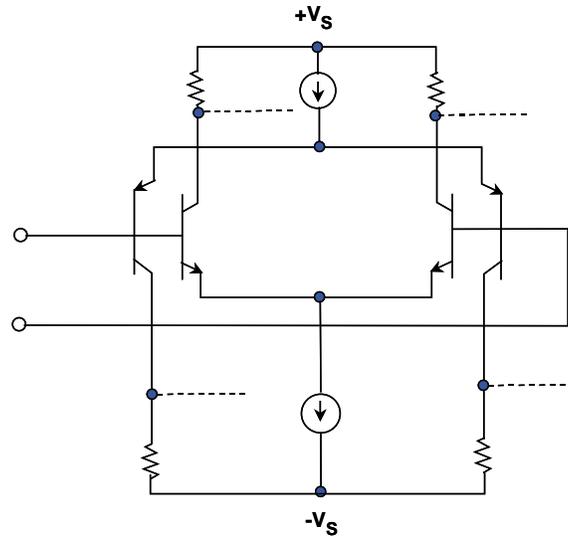


図 1.23: 複合入力段

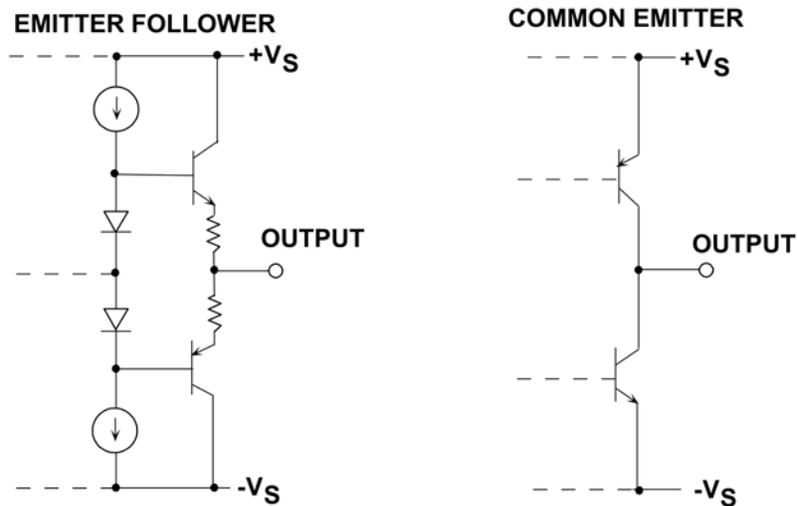


図 1.24: 出力段。標準構成のエミッタ・フォロワおよび「レール to レール」構成のコモン・エミッタ

単電源システムの回路設計に関する考慮事項

多くの波形は本質的に両極性です。つまり、信号は本来リファレンス・レベル（通常はグラウンド）を中心に变化します。単電源環境では、明らかにそうはいきません。そこで、信号の AC カップリングが必要になります。

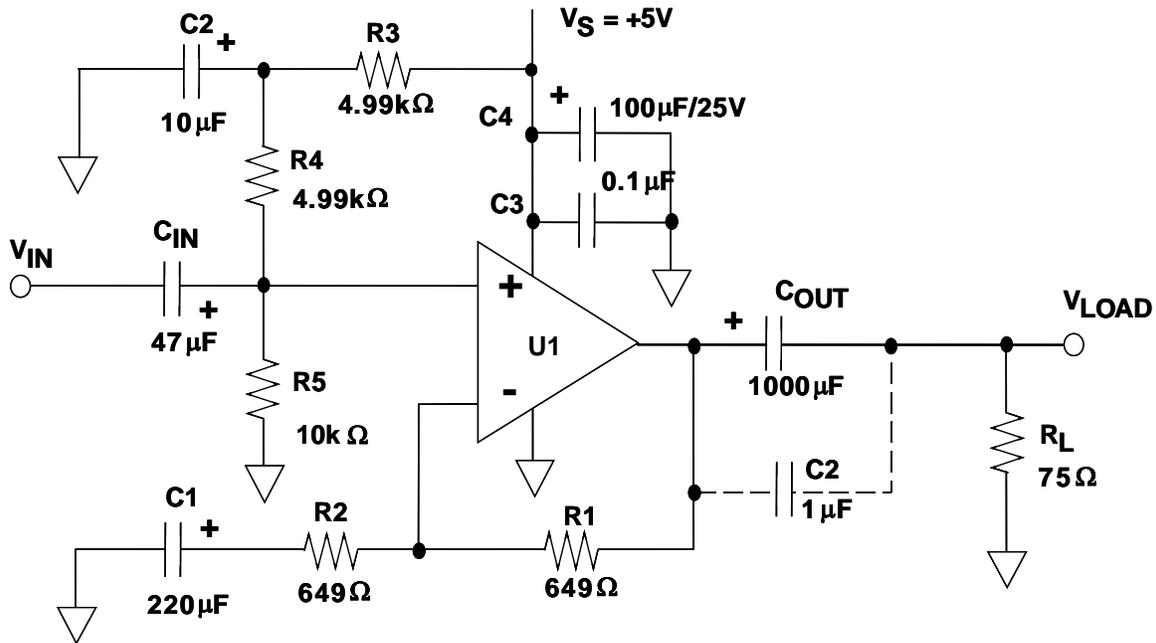


図 1.25: 単電源のバイアス

AC カップリングは、単にハイパス・フィルタを追加して、通常は電源電圧範囲の中心付近に新たなリファレンス・レベルを設定するものです。図 1.25 を参照してください。直列コンデンサによって入力信号の DC 成分がブロックされます。コーナー周波数（応答が中間帯域レベルから 3 dB 低下する周波数）は、次式の部品の値で決まります。

$$f_c = \frac{1}{2\pi R_{EQ} C} \quad \text{式 1-14}$$

ここで、

$$R_{EQ} = \frac{R4 R5}{R4 + R5} \quad \text{式 1-15}$$

複数のセクションを AC カップリングすると、各セクションの応答がコーナー周波数で 3 dB 低下することに注意する必要があります。したがって、コーナー周波数が等しいセクションが 2 つあると総合応答は 6 dB 低下し、3 つあると 9 dB 低下することになります。システムの総合応答が適切な値になるように、このことを考慮する必要があります。振幅応答はコーナー周波数からディケード以上のロールオフを開始することも考慮してください。

任意の波形を AC カップリングすると、DC カップリング・システムには全く存在しない問題が現実が発生する可能性があります。この問題は波形のデューティ・サイクルと関係があるもので、AC カップリングされた低電源電圧システムで信号が電源に近づく場合は特に重大です。

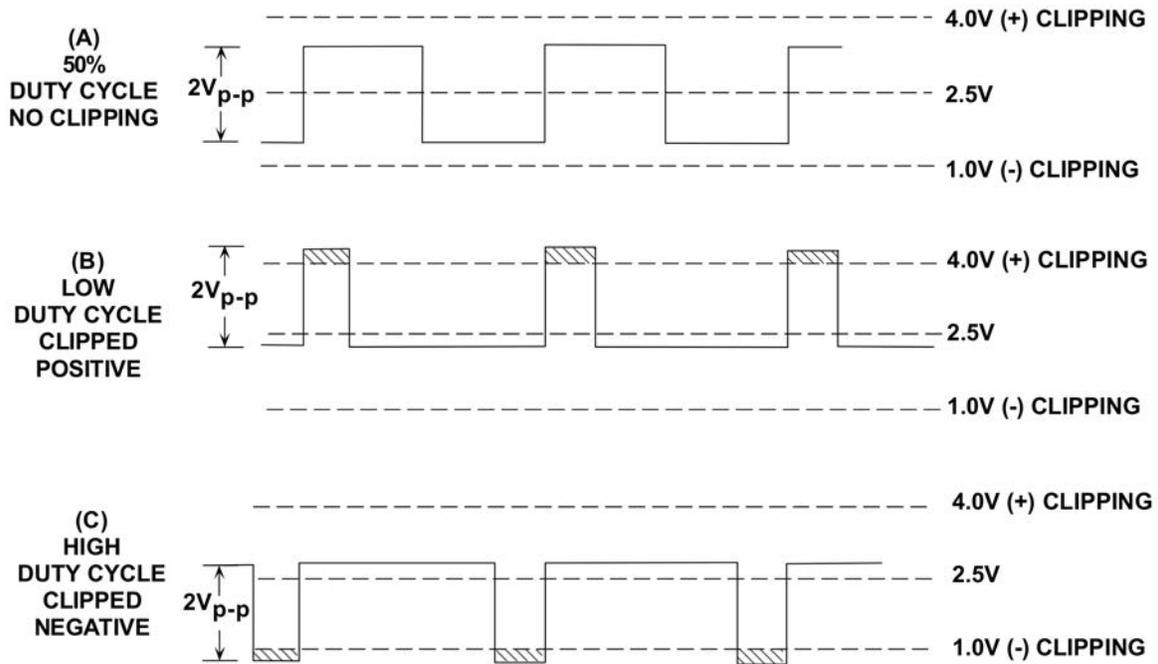


図 1.26: 単電源のバイアスでのヘッドルーム問題

図 1.25 のようなアンプ回路では、出力バイアス・ポイントはオペアンプの (+) 入力に印加された DC バイアスに等しくなります。出力レベルが $2V_{p-p}$ の対称 (50% デューティ・サイクル) 波形では、出力信号がバイアス・ポイント近くを対称に変化します。つまり、公称 $2.5V \pm 1V$ (図 1.25 の値を使用) になります。ただし、パルス波形のデューティ・サイクルが非常に高い (または低い) 場合、 C_{IN} と $R4 \parallel R5$ の平均化作用により、実効ピーク・レベルがデューティ・サイクルに応じて高く (または低く) シフトします。この現象には、アンプ動作時のヘッドルームを実質的に減らす作用があります (図 1.26 参照)。

図 1.26 (A) に、デューティ・サイクルが 50% の約 $2V_{p-p}$ レベルの方形波の例が示されています。信号振幅は 5V アンプ電源の上側と下側のクリップ・ポイントの間で対称にバイアスされています。例えば、このアンプ (図 1.25 と同様にバイアスされた AD817) の可能な振幅範囲は、マークされているように両方の電源から約 1V に制限された DC レベルです。(B) と (C) の場合では、入力波形のデューティ・サイクルが極度に低い方と高い方に調整されながら、同じピーク to ピーク入力レベルを維持しています。アンプ出力では、(B) と (C) の波形に、それぞれ正側と負側にクリップが見られます。

レール to レール

入力または出力が電源の非常に近くまで振幅可能なとき、これを「レール to レール」といいます。これには業界標準の定義がありません。アナログ・デバイスでは、これを両方の電源の 100 mV 以内までの振幅と定義しています。実際の最大出力レベルが出力電流に依存するため、出力では標準負荷を駆動する場合とします。単電源と表示されたアンプがすべてレール to レールとは限らないことに注意してください。また、すべてのレール to レール・アンプが入力と出力でレール to レールとは限りません。入力と出力のいずれかか、両方がレール to レール、あるいはどちらもレール to レールでない可能性が考えられます。実際にどうであるかはデータシートを調べる必要があります。出力が完全に電源まで変化することは、現実にはありません。

位相反転

オペアンプの同相電圧範囲を超えたときに生じる興味深い現象があります。一部の内部ノードがオフになる場合があります、入力が動作範囲に戻るまで出力が反対側の電源電圧になります。最近の設計の多くは、この問題を排除する対策を講じています。この対策は、表紙の目次にたびたび登場します。図 1.27 を参照してください。位相反転は、アンプをフォロワ・モードで使う場合に最も多く発生します。

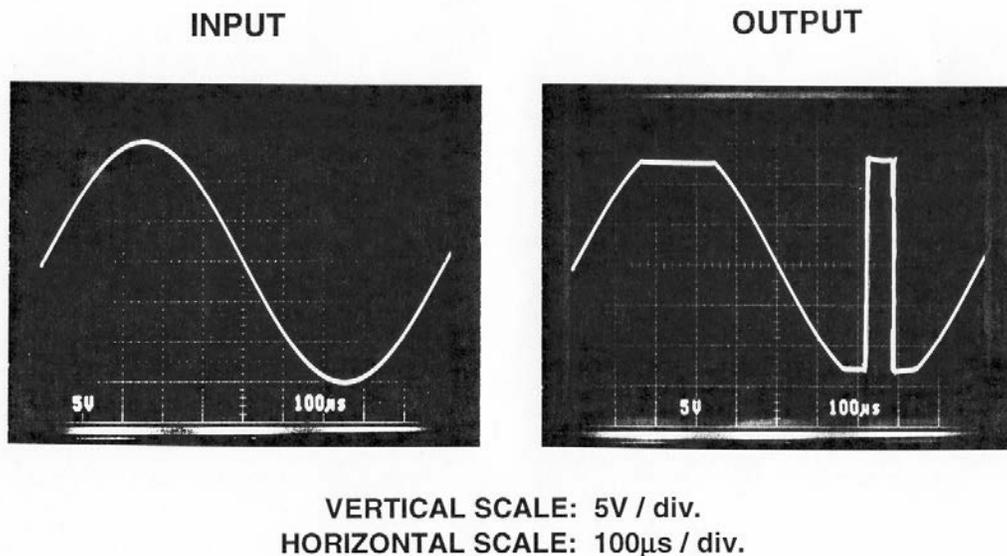


図 1.27: 位相反転

低消費電力とマイクロパワー

アンプは、単電源化とともに低消費電力化の傾向にあります。これはアンプ自体が消費する電力のことです。現在、すべてのアンプが 741 タイプのアンプのバイアス電流で動作可能なレベルに達しています。ただし、低消費電力を実現するにはトレードオフがいくつかあります。

消費電力を下げる 1 つの方法は、出力段でのバイアス電流を少なくすることです。これは、A 級動作から B 級動作の方へ移行することを意味します。この結果、出力段の歪みが増えやすくなります。

消費電力を下げるもう 1 つの方法は、入力段の定常電流を少なくすることです。この結果、帯域幅が減少してノイズが増加します。

一方、「低消費電力」という用語は、アプリケーションによっては大きく異なるものを意味する場合があります。アナログ・デバイスでは、オペアンプの定義を設定しています。低消費電力は、自己消費電流が 1 アンプあたり 1 mA 未満であることを意味します。マイクロパワーは、自己消費電流が 1 アンプあたり 100 μ A 未満と定義しています。「ルール・トゥ・ルール」と同様に、これにも業界全体の定義はありません。

製造プロセス

最近のオペアンプの大部分は、バイポーラ・トランジスタを使って構成されています。

入力段に接合 FET を用いることもあります。これは、一般に Bi-FET (Bipolar-FET) と呼ばれています。通常、オペアンプの入カインピーダンスを大きくする、つまり逆の言い方をすれば、入力バイアス電流を小さくするために使用するものです。FET デバイスは入力段だけに使用するのが普通ですが、単電源のアプリケーションでは N チャンネルにすることも P チャンネルにすることもできます。これにより、入力範囲を負電源と正電源までそれぞれ拡大することができます。

オペアンプには CMOS プロセスも用いられます。従来、CMOS はリニア・アンプにとって魅力的なプロセスではありませんでしたが、今では CMOS オペアンプから十分な性能が得られるレベルまで、製造プロセスと回路設計が向上しています。

特に CMOS を利用する魅力の 1 つに、混合モード (アナログとデジタル) のアプリケーションに容易に適用できることが挙げられます。この例として、Digi-Trim オペアンプとチョッパ安定化オペアンプがあります。

「Digi-Trim」は、オペアンプのオフセット電圧を最終テストで調整可能にする技術です。これは、ウェーハ・レベルで行う必要があるツェナー・ザッピングやレーザ・トリミングなどの普及している技術に取って代わるものです。ウェーハ・レベルでのトリミングの問題は、トリミング終了後に行われるパッケージングなどによってパラメータが多少変化することです。パラメータの変化については十分にわかっており、変化の一部は予測可能ですが、最終テストでのトリミングを選択できることは非常に魅力的です。Digi-trim アンプは基本的に、オフセットを調整するための小さな DAC を組み込んでいます。

チョッパ安定化アンプには、オフセットを継続的に調整するための技術が用いられています。この技術を実現するには、高精度 DC アンプで広帯域幅アンプのオフセットを調整します。高精度 DC アンプは、リファレンス・ノード (通常、グラウンド) と入力の間でスイッチングするので、これを使って「メイン」アンプのオフセットを調整します。

Digi-Trim アンプとチョッパ安定化アンプの詳細については、2 章を参照してください。

オペアンプ入力でのオーバードライブの影響

オペアンプ入力のオーバードライブの影響について考慮すべき重要なポイントがいくつかあります。最初のポイントは、当然のことですが、損傷です。オペアンプのデータシートには、デバイスの「絶対最大」入力定格が記載されています。一般に、これらは電源電圧に関する項目として示されていますが、データシートで特に明確に規定されていない限り、最大定格は電源が接続されている場合にのみ適用されます。したがって、電源が未接続の場合は、入力電圧をゼロに近い値に維持する必要があります。

一般的な定格は、電源の最大入力電圧 ($V_{SS} \pm 0.3 \text{ V}$) として示されます。実質的に、どちらの入力も電源のオン/オフにかかわらず、電源電圧から 0.3 V 以上離れると許容されません。電流が 5 mA 以下に制限されていれば、電源がオフのときに入力が $\pm 0.3 \text{ V}$ 離れても通常問題にはなりません（ただし、ベース-エミッタ間逆ブレークダウンが生じない場合）。電源がオンしたときに入力がこの範囲をはずれると、デバイス構造内の寄生 SCR がオンして数マイクロ秒以内にデバイスを破壊する可能性があるため、問題になってきます。この状態はラッチアップと呼ばれ、デジタル CMOS ではオペアンプに使われるリニア・プロセスよりもはるかに多く見られます。デバイスがラッチアップの影響を受けやすいことがわかっている場合は、電源が立ち上がる前に信号が入力される可能性を排除します。（信号が同じ電源を使う別の回路から入力される場合、問題になることがまれにあります。）幸い、最近のほとんどの IC オペアンプはラッチアップの影響を比較的受けにくくなっています。

入力電流を制限すると、入力段の損傷を抑えることができます。一般的な経験則としては、電流を 5 mA に制限することです。逆バイアスによる接合部のブレークダウンはなんとしても防ぐ必要があります。コモンモードと差動モードの仕様が異なる場合があることに注意してください。また、過電圧による損傷が致命的なものばかりとは限りません。オペアンプに過電圧をかけて常に酷使することで、一部の仕様にわずかに劣化が生じる可能性があります。

信号を電源電圧の範囲内に維持する一般的な方法は、図 1.28 に示すように、ショットキー・ダイオードを使って信号を電源電圧にクランプすることです。実際には、このことによってすべての温度で信号が $\pm 0.3 \text{ V}$ の範囲に制限されるわけではありませんが、ショットキー・ダイオードがオペアンプと同じ温度であれば、信号の電圧を常にデータシートの定格内に制限しなくても、電圧は安全なレベルに制限されます。過電圧がターンオン時にしか起こらないとすれば、ダイオードとオペアンプを常に同じ温度にすることで、電圧は簡単に制限できます。ただし、電源を再投入したときにオペアンプがまだ熱を持っている可能性があれば、再投入時にダイオードとオペアンプを同じ温度にする対策が必要です。

多くのオペアンプでは、コモンモード入力電圧や差動入力電圧の定格が制限されています。

コモンモードの場合に制限するのは、通常は超高速オペアンプの構造が複雑なためで、制限値はデバイス間で異なります。差動入力を制限すると、入力トランジスタ（特にスーパーベータ・トランジスタ）に損傷を与える逆ブレークダウンを防止できます。この損傷は非常に低い電流レベルでも生じることがあります。ブレークダウンを防止するために内部保護回路を導通している場合、高電流レベルで過熱状態にならないように、差動入力を制限することも必要です。この場合、数百マイクロ秒の過電圧では問題ありません。「絶対最大」定格を超えてはいけませんが、永続的損傷が突然生じるリスクを現実的に評価できるように、定格の意味を理解する必要があります。

オペアンプを定格内でオーバードライブしても永続的損傷は生じませんが、内部段の一部が飽和する可能性があります。飽和からの回復は、高速オーバードライブからの回復用に特に設計され、一定の電圧に「クランプされた」オペアンプを除き、一般に低速です。したがって、オーバードライブされたオペアンプは予想外に低速です。

飽和によりこのように速度が低下する（また、出力段がロジックの駆動に適していない）ため、オペアンプをコンパレータとして使用するのには一般に賢明ではありません。それでも、場合によってはオペアンプをコンパレータとして使用する理由があります。この問題については、リファレンスの3章と2章で説明されています。

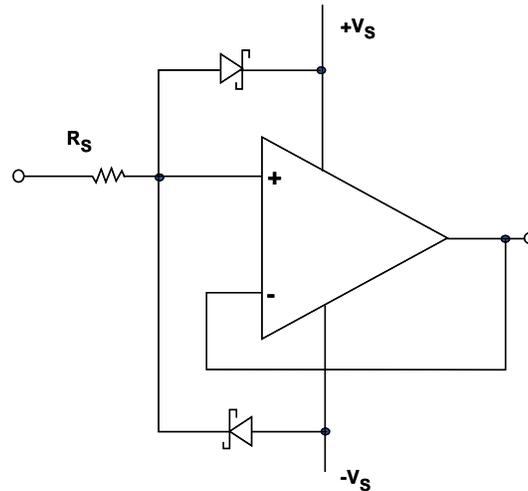


図 1.28: 入力過電圧保護

1.2: オペアンプの仕様

はじめに

このセクションでは、オペアンプの基本的な仕様について説明します。どの仕様も、重要性がアプリケーションに応じて異なるのは当然です。例えば、オフセット電圧、オフセット電圧ドリフト、オープンループ・ゲイン（DC 仕様）は、高精度のセンサー信号処理回路では非常に重要ですが、帯域幅、スルー・レート、歪み（AC 仕様）が主に重要な仕様となる高速アプリケーションでは、重要でない可能性があります。

ほとんどのオペアンプの仕様は構成にあまり依存しません。ただ、電圧帰還型（VFB）オペアンプと電流帰還型（CFB）オペアンプの誤差成分と仕様が類似していても、各デバイスのアプリケーションでは、仕様の一部を個別に検討する必要があります。以下に、大幅な違いがある場合について説明します。

あらゆる仕様項目が全データシートに記載されているとは限らないことに注意してください。オペアンプの性能が向上するにつれ、仕様の数が増えるほど値はより厳しくなります。代表値と最小値／最大値の違いにも注意してください。アナログ・デバイスでは、最小値／最大値の仕様をテストで保証しています。代表値の仕様は一般にテストしていません。

DC 仕様

オープンループ・ゲイン

オープンループ・ゲインは、帰還ループが接続されていないときのアンプのゲインです。ただし、一般的には、ゲインが非常に大きいときでも、帰還ループを接続して測定します。理想オペアンプでは、ゲインは無限大で帯域幅も無限大です。実際、DC では非常に大きく（最大 160 dB）なります。特定の周波数（主極）のとき、ゲインは 6 dB/オクターブ（20 dB/ディケード）の比率で低下し始めます。（オクターブとは周波数が 2 倍変化することで、ディケードとは周波数が 10 倍変化することです。）これを、単極応答と呼びます。主極の周波数範囲は、高精度アンプの 10 Hz 付近から高速アンプの数 kHz までです。ゲインは、応答内のもう 1 つの極に達するまでこのレートで低下し続けます。この 2 つ目の極でオープンループ・ゲインが低下するレートが 2 倍、つまり 12dB/オクターブ（40 dB/ディケード）になります。2 つ目の極に達する前に、オープンループ・ゲインが 0 dB（ユニティ・ゲイン）未満に低下していれば、オペアンプはどのゲインでも無条件に安定になるはずですが、これは、データシートではユニティ・ゲインで安定として表されます。ループ・ゲインが 1（0 dB）より大きい場合に 2 つ目の極に達すると、条件によってはアンプが安定しない可能性があります。

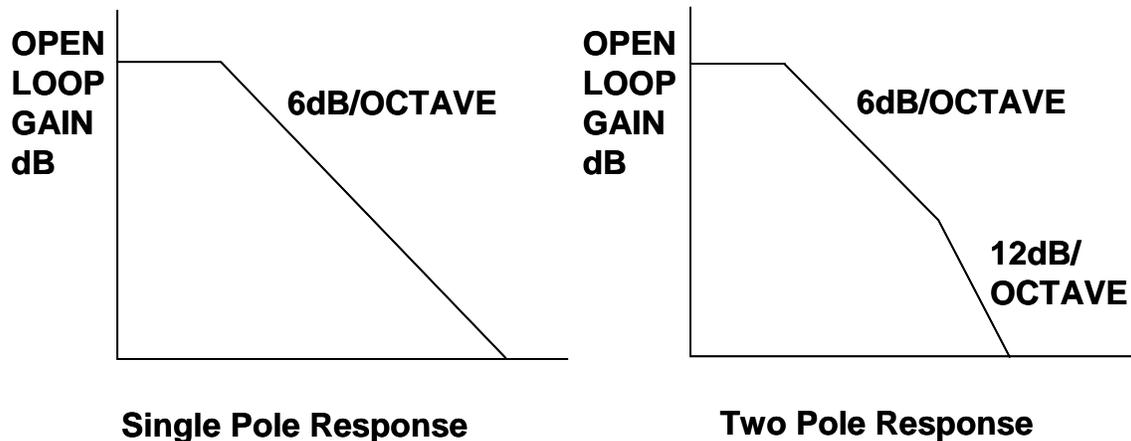


図 1.29: オープンループ・ゲイン

単極応答に対して周波数を 2 倍にすると、オープンループ・ゲインが半分に低下するため、いわゆるゲイン帯域幅積が一定の状態になります。曲線の任意のポイントで、周波数にその周波数でのゲインを掛けたときの積が一定になります。例えば、アンプのゲイン帯域幅積が 1 MHz の場合、オープンループ・ゲインは 100 kHz で 10（20 dB）、10 kHz で 100（40 dB）になります。これは、ゲインの値を対数スケールとし、周波数特性も対数スケールとしたグラフであるボーデ線図で容易にわかります。

電圧帰還型オペアンプは電圧入力/電圧出力デバイスとして動作するため、オープンループ・ゲインの比率は無次元です。したがって単位は不要です。データシートでは、小さい数字を使用する都合上、ゲインを V/V の代わりに V/mV や V/ μ V で表すことがあります。あるいは、dB で表したゲインは $20 \times \log A_{VOL}$ なので、電圧ゲインを dB で表すこともできます。このように、1 V/ μ V（1000 V/mV、1,000,000 V/V）のオープンループ・ゲインは 120 dB に相当するなどのように表すことができます。

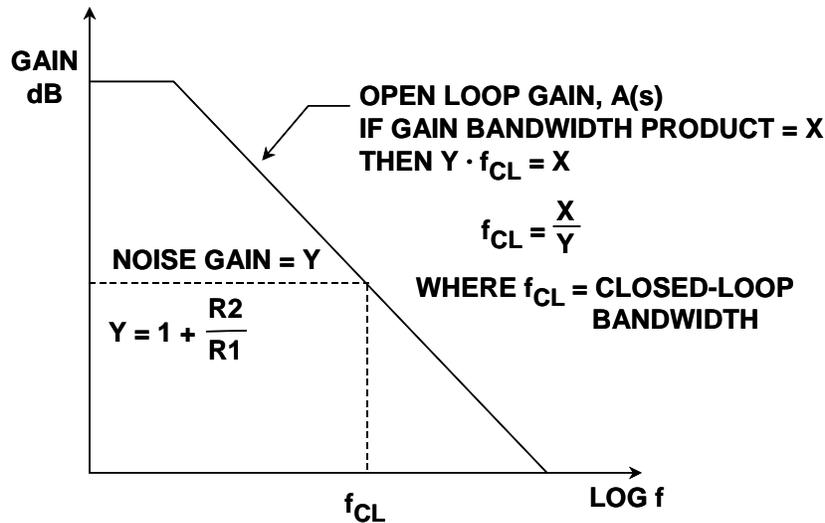
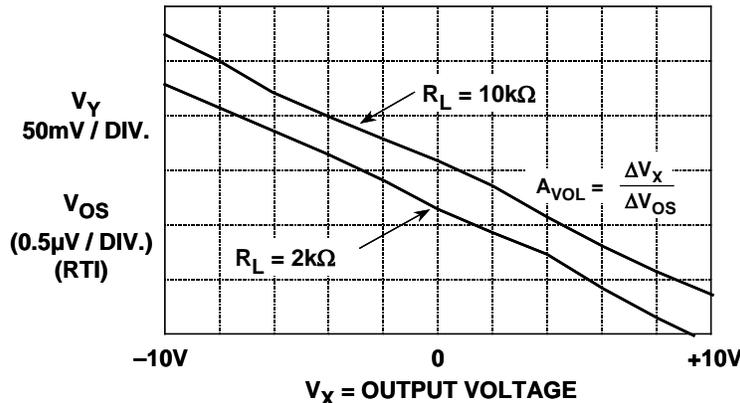


図 1.30: ボーデ線図 (VFB アンプ)

非常に高精度な動作をさせるには、オープンループ・ゲインの非直線性を検討する必要があります。出力電圧レベルと出力負荷の変化は、オペアンプのオープンループ・ゲインの変化の最も一般的な要因です。信号レベルに対してオープンループ・ゲインが変化すると、クローズドループ・ゲインの伝達関数に非直線性を生じます。これをシステム・キャリブレーション時に除去することはできません。ほとんどのオペアンプは負荷が一定なため、負荷に対する A_{VOL} の変化は一般に重要ではありません。ただし、負荷電流が多くなると、出力信号レベルが A_{VOL} に与える影響が大きくなる可能性があります。図 1.31 を参照してください。



A_{VOL} (AVERAGE) \approx 8 million
 $A_{VOL,MAX}$ \approx 9.1 million, $A_{VOL,MIN}$ \approx 5.7million
 OPEN LOOP GAIN NONLINEARITY \approx 0.07ppm
 CLOSED LOOP GAIN NONLINEARITY \approx NG \times 0.07ppm

図 1.31: オープンループの非直線性

この非直線性の度合いはデバイスのタイプによって大きく異なり、一般的にデータシートで仕様規定されていません。最小 A_{VOL} は必ず仕様規定されており、 A_{VOL} が高いオペアンプを選択すると、ゲイン非直線性誤差の発生確率を抑えることができます。 A_{VOL} の非直線性を補償する手段はありません。

CFB オペアンプのオープンループ・トランスレジスタンス

電流帰還型アンプでは、オープンループ応答は電流入力に対する電圧出力になるので、ゲインではなくトランスレジスタンス (Ω) になります。これは、AC 成分と DC 成分を含むため、一般にトランスインピーダンスと呼ばれます。CFB アンプのトランスインピーダンスは通常、500 k Ω ~ 1 M Ω の範囲です。

CFB オペアンプのオープンループ・トランスインピーダンスは、VFB のオープンループ・ゲインと同じようには変化しません。したがって、CFB オペアンプのゲイン帯域幅積は、VFB アンプと同じ値になりません。CFB アンプでは周波数に対する周波数応答に多少ばらつきが生じますが、6 dB/オクターブに近づくところはありません。図 1.32 を参照してください。

トランスインピーダンス・アンプという用語を使うと、いく分混乱する可能性があります。電流/電圧 (I/V) コンバータとして構成されるアンプ (一般にフォトダイオード回路に使用) は、トランスインピーダンス・アンプとも呼ばれます。しかし、フォトダイオード・アプリケーションでは通常、CFB アンプではなく FET 入力の VFB アンプを使用します。その理由は、フォトダイオード・アプリケーションの電流レベルが非常に低く、CFB オペアンプの低インピーダンス入力と最も相性が良いわけではないからです。

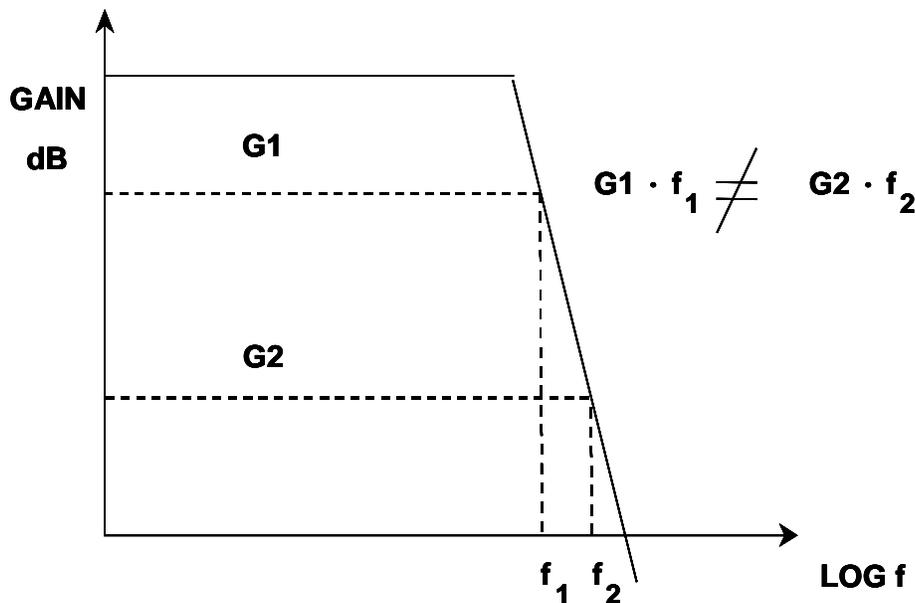


図 1.32: CFB オペアンプのオープンループ・ゲイン

オフセット電圧

オペアンプの両方の入力が同一電圧の場合、0 V の差によって 0 V の出力が生成されるため、出力はゼロ・ボルトになります。しかし実際は、出力に通常いくらかの電圧が生じます。これをオフセット電圧 (V_{OS}) といいます。オフセット電圧を規定する一般的な方法は、出力を 0 V に強制するために入力に加えるべき電圧の値とすることです。この電圧を回路のノイズ・ゲインで割ると、入力オフセット電圧または入力換算オフセット電圧になります。オフセット電圧は、回路ゲインの影響を排除するため、一般に入力換算とすることで比較しやすくします。図 1.33 に示すように、オフセット電圧は、オペアンプの反転入力と直列の電圧源 (V_{OS}) としてモデル化されます。

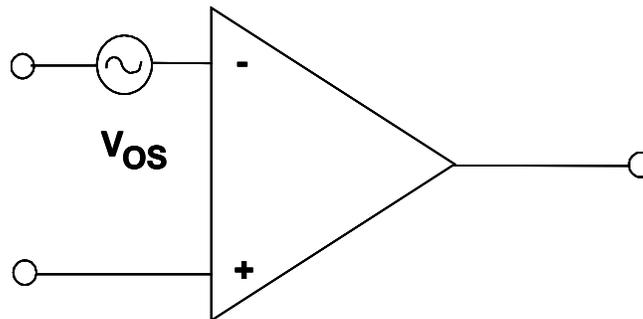


図 1.33: オフセット電圧

オフセット電圧のドリフト

入力オフセット電圧は温度に応じて変化します。この温度係数は TCV_{OS} として知られ、一般的にはドリフトと呼ばれています。オフセット・ドリフトは最小 $0.1 \mu V/^{\circ}C$ (非常に高精度のオペアンプ OP177F の代表値) が可能です。さまざまな汎用高精度オペアンプの一般的なドリフト値は、 $1 \mu V/^{\circ}C \sim 10 \mu V/^{\circ}C$ の範囲にあります。ほとんどのオペアンプでは TCV_{OS} の値が仕様で規定されていますが、代わりに動作温度範囲で保証された V_{OS} の最大値をもう 1 つの値として規定しているものもあります。 TCV_{OS} が一定数または単調増加数であるという保証がないため、このような仕様はあまり有用ではありません。

時間によるドリフト

オフセット電圧は時間の経過によっても変化します (経時変化)。経時変化は一般に μV /月または $\mu V/1000$ 時間で仕様規定されますが、これは間違った判断を導く可能性があります。経時変化は直線的ではなく、経過時間の平方根に比例する非直線的な現象です。このため、ドリフト・レートが $1 \mu V/1000$ 時間であれば、約 $3 \mu V$ /年 ($9 \mu V$ /年ではない) になります。OP177F の長期ドリフトは約 $0.3 \mu V$ /月です。これは、動作の最初の 30 日が経過した時間を表します。初期の動作時間を除くと、これらのデバイスの動作の最初の 30 日のオフセット電圧の変化は標準で $2 \mu V$ 未満です。時間によるオフセット電圧の長期ドリフトは、高精度オペアンプであっても規定されているとは限りません。

オフセット電圧の補正

初期のオペアンプは、一般にオフセット電圧を無効にするためのピンを備えていました。これらのピンにポテンショメータを接続し、摺動子を電源電圧の一方に接続することにより、入力段をバランス調整してオフセット電圧を無効にすることができました。図 1.34 を参照してください。

アナログ・デバイセス（ADI）や Precision Monolithics（PMI）などの高精度オペアンプのメーカーは、入力回路を内部でバランス調整するための回路設計技法を採用しています。ADI では、入力段の負荷抵抗のレーザ・トリミングを用いてバランス調整を行っています。PMI では、ツェナー・ザッピングと呼ばれる技術を用いて、基本的に同様のことを行っています。

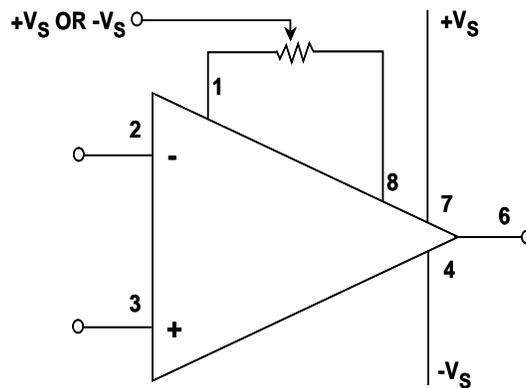


図 1.34: オフセット調整ピン

レーザ・トリミングでは、レーザを使ってコレクタ抵抗の一部を焼き切り、これらの値を調整します。ツェナー・ザッピングでは、抵抗列を使用し、各抵抗を半導体の構成（基本的にはツェナー・ダイオード）でバイパスします。これらのツェナー・ダイオードは電圧パルスを加えると短絡（ザップ）します。これを利用して抵抗列の値を調整します。

DigiTrim™ 技術

DigiTrim は、デジタル的に重み付けされた電流源（基本的に DAC）の設定により、回路のオフセット性能を調整する技術です。この技術は、CMOS プロセスのミックスド・シグナル機能を利用しています。従来、CMOS は高精度アンプの最初の選択肢ではありませんでしたが、最近のプロセス技術の向上と DigiTrim 技術の組み合わせにより、非常に適切な高精度性能が得られるようになりました。この特許取得済みの新しいトリミング方法では、特殊なデジタル・キーワード・シーケンスを使用し、既存のアナログ・ピンを介してトリミング情報を入力します。恒久的な調整を行う前に、調整値を一時的に設定し、評価と再調整を行うことで最適な精度が得られます。トリミングが完了すると、トリミング回路がロックアウトされ、エンド・ユーザーが偶発的に再トリミングする可能性を排除します。

この技術に固有の特長は、調整がチップのパッケージ化後に行われることです。ツェナー・ザッピングとレーザ・トリミングでは、オフセットはダイ・レベルで調整する必要があります。その後の処理、ヘッダへのチップの実装、プラスチックのカプセル化により、オフセットにシフトが生じます。これは、実装時の機械的応力（ストレイン・ゲージ効果）とパッケージ成形時の熱の両方に起因します。シフトの大きさは十分に把握できますが、チップ・レベルでのトリミングに対してパッケージ・レベルでのトリミングの能力は明らかに優れています。

ポリシリコン・ヒューズの溶断による物理的トリミングは、信頼性が非常に高い方法です。このトリミング方法にはパッドやピンを追加する必要がなく、トリミングを行うのに特殊なテスト装置を必要としません。トリミングは、入力ピンを介して行います。DigiTrim を使ったアンプの簡略図を図 1.35 に示します。ダイが適正であれば、ウェーハ・レベルでのテストは不要です。特殊なウェーハ製造プロセスを必要としないため、回路は当社の製造委託先でも生産できます。どのトリミング回路もプロセスの特性に応じて規模が変わることが多いため、プロセスとアンプ回路がシュリンクすると、トリミング回路も比例してシュリンクします。トリミング回路は通常のアンプ回路より非常に小さいため、ダイ・コストに与える影響はごくわずかです。リンク・トリミングやツェナー・ザッピングの場合、非連続的なトリミング値になります。しかし、トリミングなしの部品と比べると、コスト増をごくわずかに抑えて必要な精度を容易に実現します。

DigiTrim 方法は、別のアンプ設計に対するシステム・オフセットのトリミングに対応することもできます。この方法はまだデバイスの製造に組み込まれていませんが、可能性は残されています。

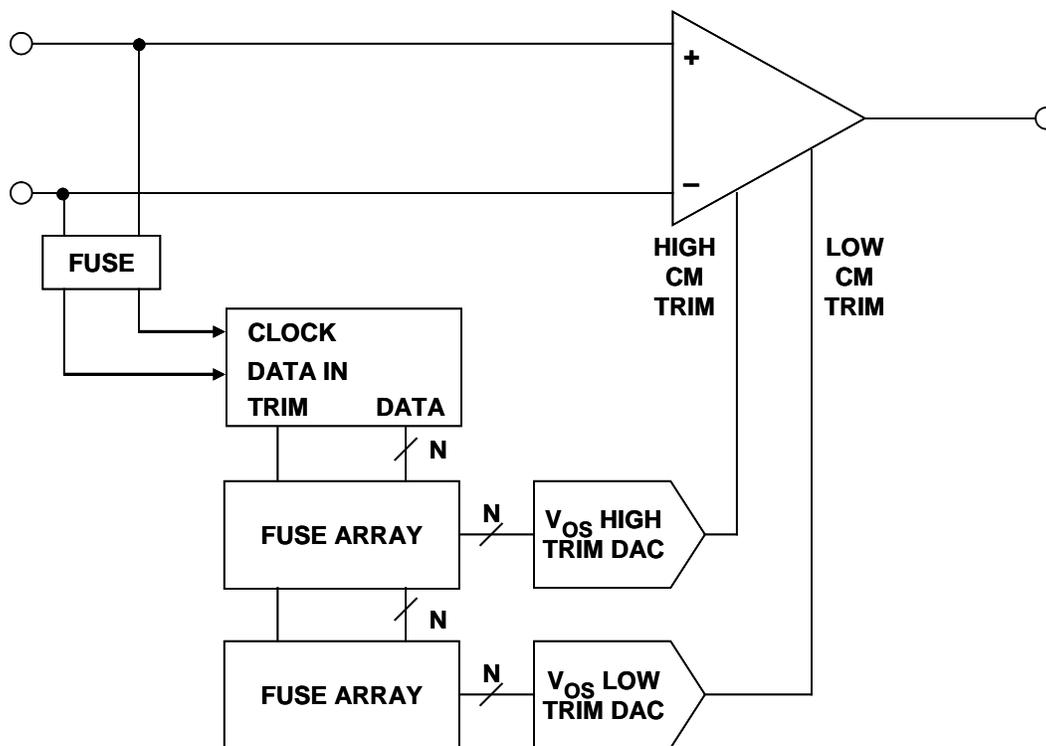


図 1.35: DigiTrim 技術の簡略図

外部トリミング

デュアル・オペアンプの登場とともに、オフセット調整ピンは姿を消し始めました。8ピン・パッケージにこれに使用できるピンが残されていなかったからです。そこで、外部調整技術が必要となりました。

オフセットの外部トリミングでは、基本的にオフセットを打ち消す小さな電圧を入力に加えます。図 1.36 を参照してください。オフセット・ポテンショメータに加えられる電圧の極性は、デバイスの製造プロセスおよび入力デバイスの極性（NPN または PNP）に依存します。オフセットは、ポテンショメータ、デジタル・ポテンショメータ、または DAC で処理することができます。外部トリミングでの主な問題は、内部部品と外部部品の温度係数が一致しないことでしょう。これにより、全温度範囲での調整の有効性が制限されます。

また、機械式ポテンショメータは経時変化と機械的振動の影響を受けます。

追加した抵抗とポテンショメータの抵抗により、ノイズ・ゲインが増加します。増加したノイズ・ゲインは、R3 を R1 より大幅に大きくすることによって低減できます。そうしないと、オフセット・ポテンショメータを調整したときに、信号ゲインに影響を与える可能性があります。ただし、R3 を低インピーダンスの固定リファレンス電圧源（±V_R）に接続すると、ゲインを安定させることができます。

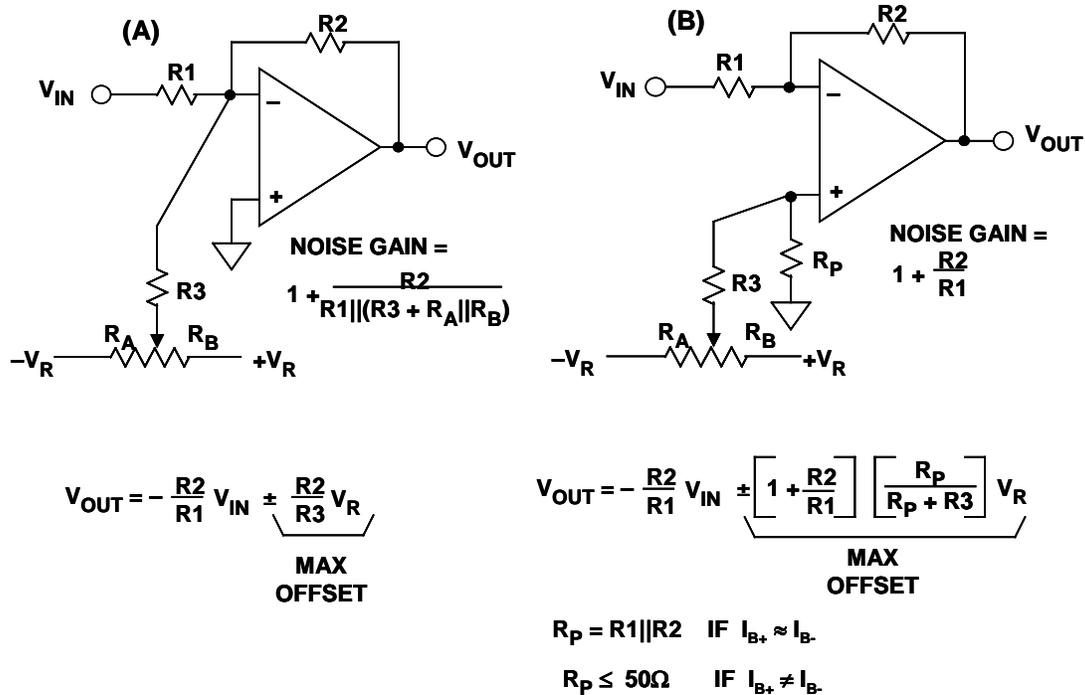


図 1.36: 外部オフセット調整

ただし、デジタル・ポテンシオメータや DAC は、マイクロプロセッサやマイクロコントローラの管理により回路内で調整できるため、経時変化や温度の影響を軽減できます。

DC への応答が不要な場合、代替方法としてサーボ制御と呼ばれる回路を使用します。図 1.38 を参照してください。この回路は基本的に積分器で、メイン・アンプの近くの帰還ループに設置します。積分器には高精度アンプを用いる必要がありますが、メイン・アンプに必要なすべての周波数スペクトルを通すほど高速である必要はありません。この回路は、出力の DC レベルを平均してメイン・アンプに戻す動作をします。実質的には信号から差し引きます。

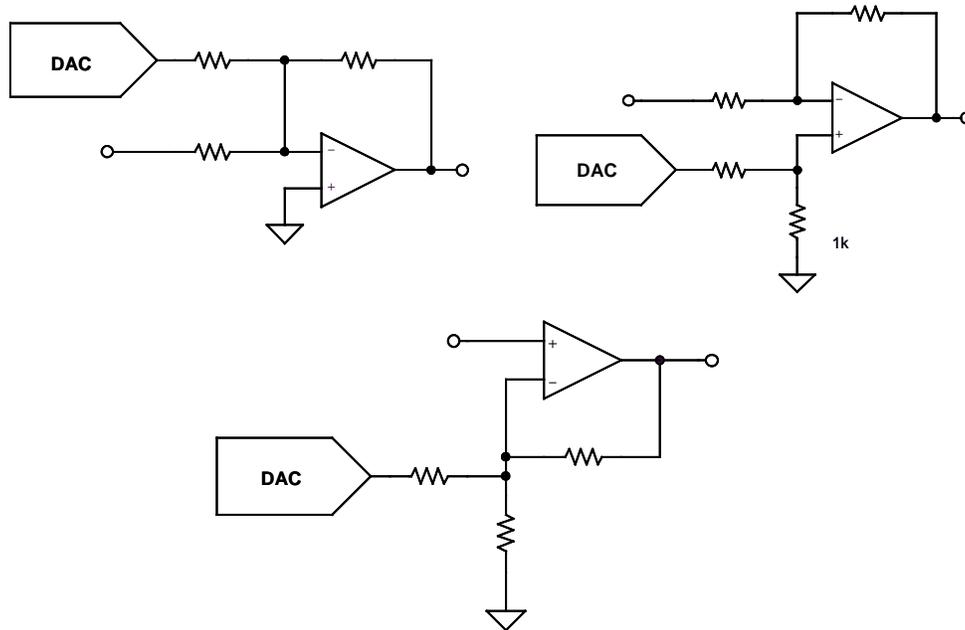


図 1.37: DAC を使用したオフセット制御

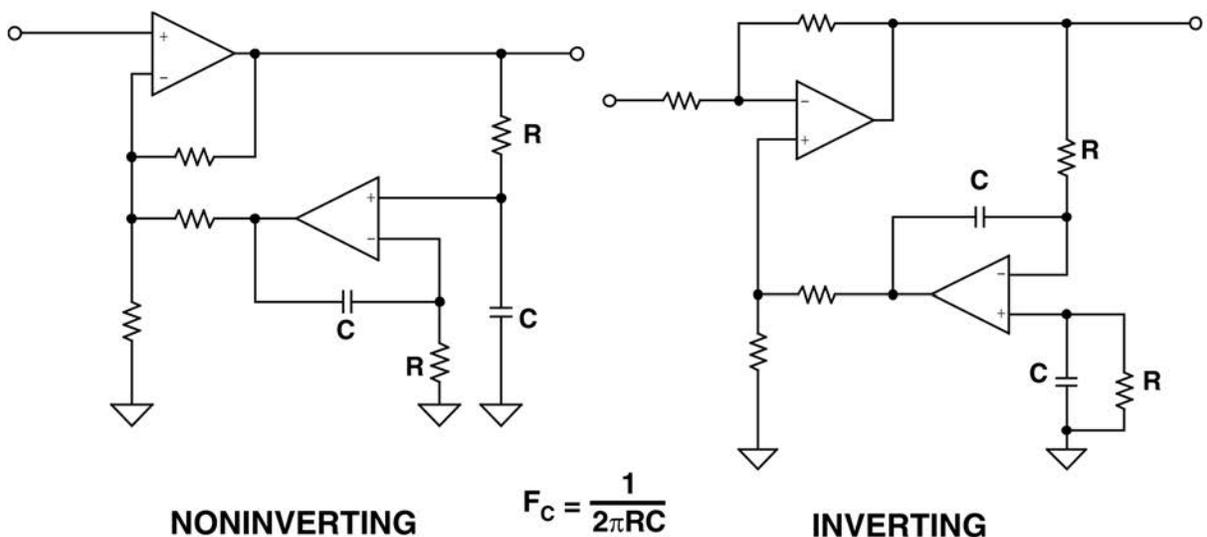


図 1.38: サーボ回路を使用したオフセット制御

入力バイアス電流

しかし、最も一般的な入力回路ではバイポーラ接合トランジスタ (BJT) を使用しており、BJT は電流制御デバイスであるため、動作させるには常にある程度の電流を必要とします。この電流は、バイアス電流 (I_B) または入力バイアス電流と呼ばれます。実際に、2つの入力バイアス電流、 I_{B+} と I_{B-} (図 1.39 参照) が入力の方に常に流れています。 I_B の値は、AD549 電位計での 60 fA (約 3 マイクロ秒に 1 回電子 1 個が流れる電流) から一部の高速オペアンプでの数十マイクロアンペアまでの範囲となります。モノリシック・オペアンプの製造プロセスに固有の性質により、これらのバイアス電流は等しくなることが多いものの、その保証はありません。また、電流帰還型アンプの場合、入力の非対称特性によりバイアス電流は異なります。

入力バイアス電流は、外部インピーダンスを流れてオフセット電圧を生成し、システム誤差に加わるため、オペアンプにとって問題となります。1 M Ω の信号源インピーダンスで駆動される非反転ユニティ・ゲイン・バッファについて考えてみます。 I_B を 10 nA とすると、10 mV の誤差が加わります。あるいは、単に I_B を無視して容量性カップリングを用いると、回路は全く動作しません。これは、バイアス電流がグラウンドへの DC リターン・パスを必要とするからです。DC リターン・パスがないと、オペアンプの入力は電源の一方にドリフトします。また、 I_B が非常に小さいと、コンデンサの充電時に一時的に動作しますが、さらに間違っただ判断を導く結果になります。このことから、どのオペアンプ回路でも I_B の影響を無視できないことがわかります。

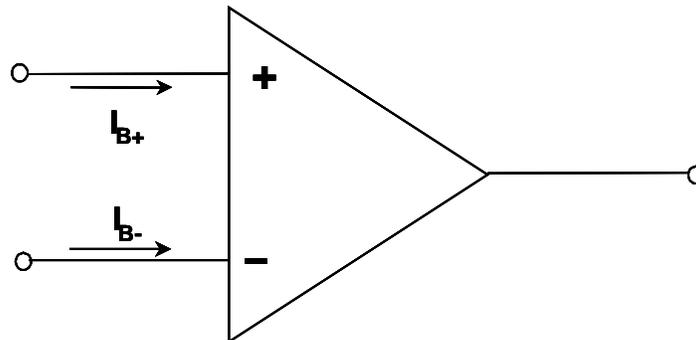


図 1.39: 入力バイアス電流

入力オフセット電流

バイアス電流の差が入力オフセット電流になります。一般にバイアス電流の差は小さいため、オフセット電流も小さくなります。バイアスが補償されたオペアンプ (次のセクションを参照) では、オフセット電流はバイアス電流にほぼ等しくなります。

入力バイアス電流の補償

バイアス電流を補償するための方法はいくつかあります。メーカーで対応するか、または外部技術を利用することもできます。

IC メーカーがバイアス電流を処理できる方法は、基本的に2種類あります。

1つ目の方法は、入力段に「スーパーベータ」トランジスタを使用することです。

スーパーベータ・トランジスタは、ベース領域が非常に狭く、製造プロセスが特殊なデバイスです。これらのデバイスは、標準的な BJT トランジスタでは一般的な数百ではなく、通常、数千または数万の電流ゲイン (β) を持ちます。入力段がスーパーベータのオペアンプは、バイアス電流は非常に小さいものの、周波数応答の制限は大きくなります。また、スーパーベータ・デバイスのブレークダウン電圧は通常非常に小さいため、入力の過電圧による損傷から入力段を保護する回路を追加する必要があります。

バイアス電流を処理する2つ目の方法は、バイアス補償された入力回路を使用することです。図 1.40 を参照してください。バイアス電流が補償された入力では、入力デバイスのベースに小さな電流源が加えられます。これは、外部回路から見た正味電流が大幅に減少するように、入力デバイスが必要とするバイアス電流を電流源から供給するためです。

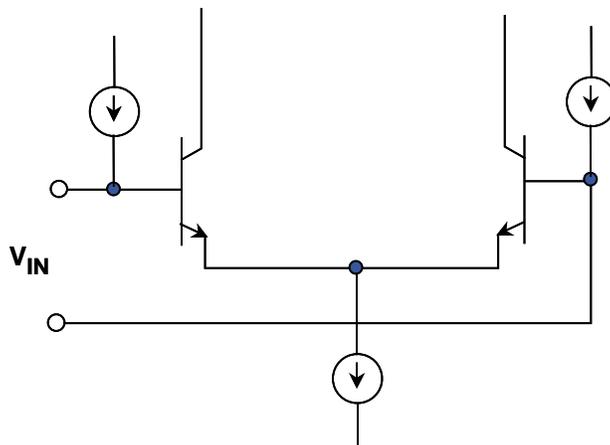


図 1.40: 入力バイアス電流の補償

バイアス電流が補償された入力段は、低電圧ノイズ、低オフセット、低ドリフトなど、シンプルなバイポーラ入力段の優れた特性を備えています。さらに、バイアス電流が小さく、温度に対して非常に安定しています。ただし、入力に電流源が加わるため、電流ノイズ特性はあまり良好ではありません。また、バイアス電流のマッチングも不十分です。この2つの好ましくない副作用は、補償電流源と入力トランジスタのベース電流の差である外部バイアス電流に起因しています。どちらの電流もノイズは避けられません。2つのノイズには相関性がないため、DC電流は差し引かれるとしても、2乗和の平方根で加算されます。

このことは、オフセット電流の仕様（バイアス電流の差）を調べれば容易に確認できます。内部バイアス電流の補償機能があると、オフセット電流はバイアス電流と同じ大きさになります。バイアス電流の補償機能がない場合は、オフセット電流は一般にバイアス電流の 1/10 以下になります。通常、これらの関係はバイアス電流の実際の大きさに関わらず維持されます。

その結果、外部バイアス電流は 2 つのほぼ等しい電流の差になるため、正味電流の極性を決める必要はありません。このため、バイアス補償されたオペアンプのバイアス電流はマッチングしていないだけでなく、実際に反対方向に流れる可能性があります。このことは、ほとんどのアプリケーションでは問題になりませんが、アプリケーションによっては予期せぬ影響（例えば、バイアス補償されたオペアンプで構成されたサンプル & ホールド・アンプ（SHA）の電圧低下（ホールド・モードの電圧変化）が極性を持つ）を及ぼす可能性があります。

多くの場合、バイアス電流補償機能はオペアンプのデータシートには記載されていません。これは、バイアス電流の仕様を確認してバイアス電流補償を使用すると、容易に決まります。バイアス電流が「±」の値として仕様規定されていると、オペアンプはほとんどバイアス電流に対して補償されます。

設計者は、2 つの入力から見たインピーダンスを同等化することにより、バイアス電流の影響を補償することができます。図 1.40 を参照してください。これらのインピーダンスが等しいと、これらを通るバイアス電流（これらも等しくなる傾向がある）によって同じオフセット電圧が生じ、コモンモード信号として現われます。これはコモンモード信号であるため、アンプのコモンモード除去（CMRR、このセクションの後半で説明）により、誤差には追加されない傾向があります。

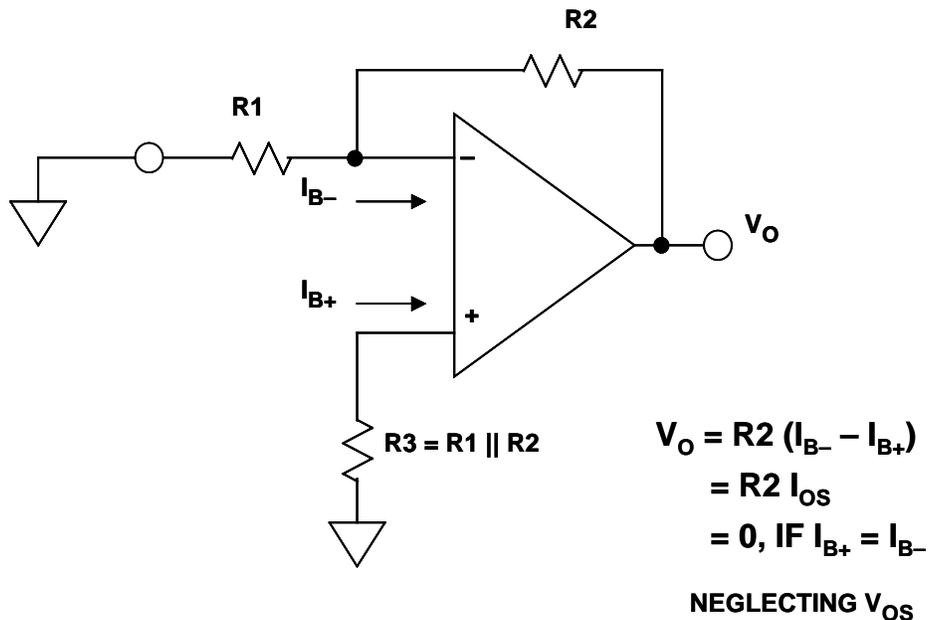


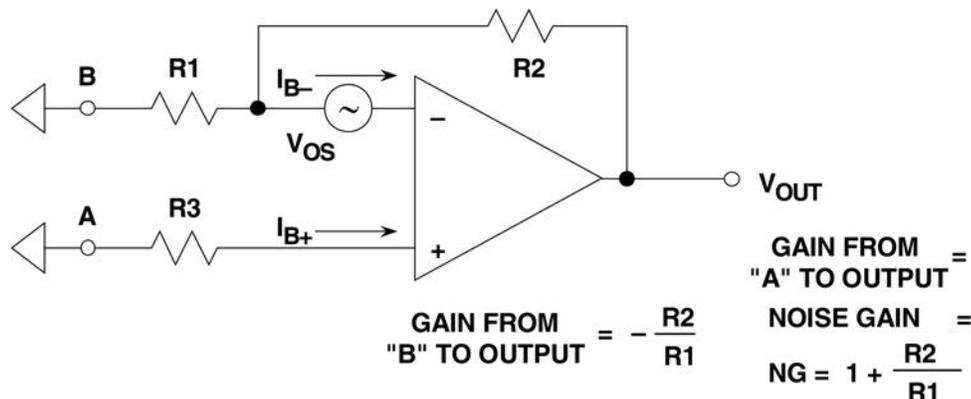
図 1.41: バイアス電流の補償

この方法を適用する際には注意する必要があります。バイアス補償されたオペアンプでは、バイアス電流が等しくないため、この方法は明らかに機能しません。FET 入力のアンプでは、インピーダンス・レベルが大きく、バイアス電流が小さくなる傾向があるため、高入力インピーダンスのジョンソン・ノイズの相対的影響の方が入力に流れるバイアス電流の影響よりも深刻になるかもしれません。このため、分析を行う必要があります。

IB と VOS による総合出力オフセット誤差の計算

下記の図 1.42 に示す式は、すべてのオフセット電圧と、バイアス電流誤差からオペアンプの入力換算値 (RTI) または出力換算値 (RTO) に誘導されるオフセット電圧を参照するのに役立ちます。RTI または RTO の選択は好みの問題です。

RTI 値は、入力信号に対するオペアンプの累積オフセット誤差を比較するのに役立ちます。オペアンプが追加回路を駆動して、正味誤差を次段のものと比較する場合、RTO 値はさらに役立ちます。



- ◆ $OFFSET (RTO) = V_{OS} \left[1 + \frac{R2}{R1} \right] + I_{B+} \cdot R3 \left[1 + \frac{R2}{R1} \right] - I_{B-} \cdot R2$
- ◆ $OFFSET (RTI) = V_{OS} + I_{B+} \cdot R3 - I_{B-} \left[\frac{R1 \cdot R2}{R1 + R2} \right]$

FOR BIAS CURRENT CANCELLATION:

$$OFFSET (RTI) = V_{OS} \quad \text{IF } I_{B+} = I_{B-} \quad \text{AND } R3 = \frac{R1 \cdot R2}{R1 + R2}$$

図 1.42: 総合オフセット電圧の計算

いずれの場合も、RTO 値は、RTI 値にその段のノイズ・ゲイン (1 + R2/R1) を掛けるだけで求められます。

オフセット電圧とバイアス電流の誤差を最小限に抑えるための経験則がいくつかあります。まず、バイアス電流の影響によるオフセット電圧を最小限に抑えるため、入力/帰還抵抗の値を小さくしておきます。次に、バイアス補償抵抗を使用します。これらの抵抗は、十分に大きな値の容量でバイパスします。これにより、バイアス電流に対する DC 抵抗の利点がありますが、高い周波数では、抵抗を短絡させて高周波ノイズを最小限に抑えます。ここで FET 入力のデバイスにこの技術を使用することは、賢明とは言えないでしょう。

それは、補償抵抗の値がバイアス電流を補正する機能を上回るノイズを発生させる可能性が高いからです。オペアンプが内部バイアス電流補償機能を使用する場合、バイアス電流が一致しないため、補償抵抗を使用してはいけません。必要な場合は、外付けオフセット調整回路を使って、誘導ドリフトを最小限に抑えます。調整回路に代わるものとしては、オフセットとドリフトが小さくなるように仕様規定された適切な高精度オペアンプを選択します。

入力インピーダンス

VFB オペアンプは通常、差動とコモンモードの両方の入力インピーダンスが仕様規定されています。電流帰還型オペアンプは通常、各入力のグラウンドへのインピーダンスが仕様規定されています。種々の電圧帰還型オペアンプに対して種々のモデルを使用できますが、その他の情報がないときは、一般に図 1.43 のモデルを使用するのが無難です。このモデルでは、インピーダンスが無限大の電流源からバイアス電流が入力に流れます。

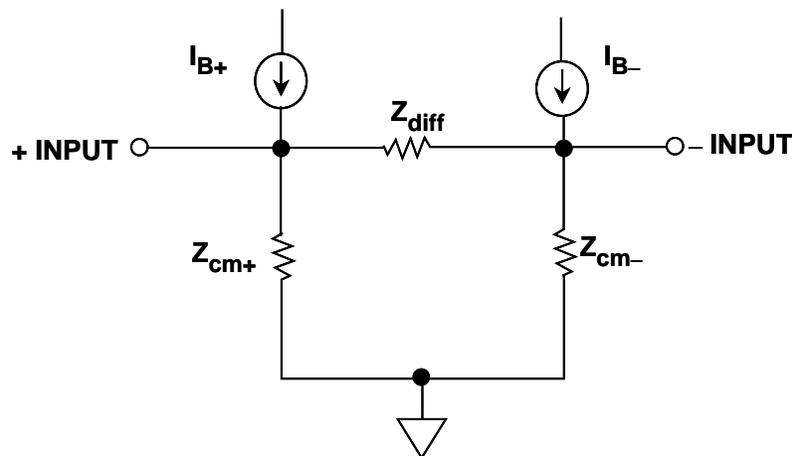


図 1.43: 入力インピーダンス

データシートのコモンモード入力インピーダンスの仕様 (Z_{cm+} と Z_{cm-}) は、片方の入力からグラウンドまでのインピーダンスで、両方の入力からグラウンドまでのインピーダンスではありません。差動入力インピーダンス (Z_{diff}) は 2 つの入力間のインピーダンスです。これらのインピーダンスは一般に抵抗性の大きい値 ($10^5 \Omega \sim 10^{12} \Omega$) で、いくらかのシャント容量 (通常は数 pF、場合によっては $20 \text{ pF} \sim 25 \text{ pF}$) を伴います。ほとんどのオペアンプ回路では、負帰還により反転入力インピーダンスが非常に小さい値まで減少し、 Z_{cm+} と Z_{diff} だけが重要になります。

図 1.44 に示すように、電流帰還型オペアンプはさらにシンプルになります。 Z_+ は抵抗性成分で、一般にいくらかのシャント容量を伴い、大きな値 ($10^5 \Omega \sim 10^9 \Omega$) です。一方、 Z_- はリアクタンス成分 (L 、 r 、 C 、デバイスに依存) ですが、タイプによって $10 \Omega \sim 100 \Omega$ の抵抗性成分を持ちます。

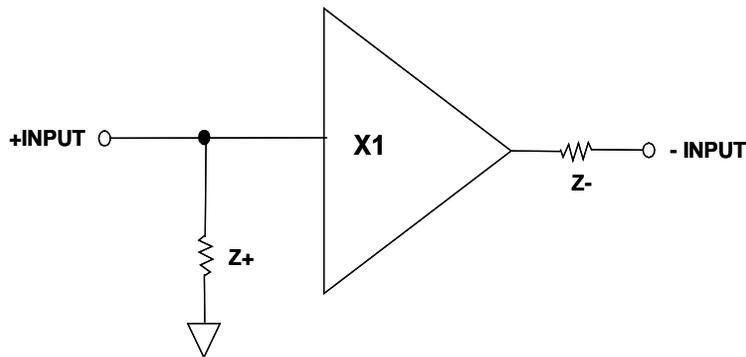


図 1.44: 電流帰還入力抵抗

入力容量

一般に、高速オペアンプでは入力容量は問題にはなりません。信号源インピーダンスが大きいフォトダイオード・アンプなど特定のアプリケーションでは、入力容量が関係する可能性があります。信号源インピーダンスが非常に大きい場合、比較的小さな容量が伝達関数にゼロ点を設定する可能性があります。これは不安定性の要因になり得ます。アンプのノイズ・ゲインは 6 dB/オクターブで増加し、オープンループ・ゲインは 6 dB/オクターブで減少し、その交点が 12 dB/オクターブとなり、不安定になります。

反転構成の高インピーダンス源で駆動される FET 入力デバイスのもう 1 つの問題は、コモンモード電圧によって入力容量が変調されることです。これはレベルに依存した歪みをもたらします。この影響を補償するため、入力から見たインピーダンスのバランス調整を使用します。これは、バランスが DC だけのためでない場合を除き、入力バイアス電流に使われるバランス調整と同じです。

入力コモンモード電圧範囲

入力コモンモード電圧範囲は入力ピンの許容電圧です。通常、これは全電源電圧範囲ではありません。従来のシステム設計では、必要なダイナミック・レンジ $\pm 10\text{ V}$ に対して $\pm 15\text{ V}$ の電源を使用していたため、実際、入力はこれらの電源電圧範囲をカバーしさえすればよかったです。

しかし、電流は小さくなる傾向にあり、電源電圧も低くなっています。これにより、入力ダイナミック・レンジを最大限に高める必要性が増します。多くの低電圧オペアンプは「レール to レール」入力を用いています。「レール to レール」に対する業界標準の定義はありませんが、アナログ・デバイスでは、両方の電源の 100 mV 以内の振幅と定義しています。単電源として販売されるすべてのデバイスがレール to レールとは限らず、レール to レールとして販売されるすべてのデバイスが入力と出力の両方で電源電圧まで振幅できるとは限らないことに注意してください。データシートに注意深く目を通す必要があります。

バイアス補償されたスーパーベータのオペアンプなどの特定の入力では、入力電圧範囲がさらに制限されます。

差動入力電圧

特定の入力回路では、損傷を防止するために差動入力電圧を制限する必要があります。これらのオペアンプでは、通常、入力の両端にバック to バック・ダイオードを備えています。これは、アンプの簡略回路図に必ずしも示されているとは限りません。ただし、 ± 700 mV（最大値）の差動入力電圧の仕様として示されています。

さらに、最大入力差動電流に対する仕様も見られます。電流制限抵抗を内蔵したアンプもありますが、これらの抵抗はノイズを大きくするため、低ノイズ・オペアンプではこれらは除外されています。

電源電圧

従来のシステム設計では、必要な信号のダイナミック・レンジが ± 10 V の場合の電源は ± 15 V でした。初期のオペアンプのほとんどは、これらの電圧で動作するように設計され、電源電圧範囲は概して非常に広いものでした。データシートには許容電源電圧の範囲が記載されるのが一般的で、この範囲は ± 4.5 V ~ ± 18 V のような値になることもありましたが（AD712 の仕様）。一般に、同じオペアンプでも動作する電源電圧が異なると仕様が多少変化します。通常、この仕様は複数の仕様ページに、それぞれ異なる条件セット（通常、異なる電源を意味する）で記載されます。

電圧仕様が一般に対称な両極性電圧として与えられたとしても、それが対称または両極性でなければならない理由はありません。オペアンプにとって、入力アクティブ領域（コモンモード電圧範囲内）にバイアスされている限り、 ± 15 V 電源は $+30$ V/0 V 電源や $+20$ V/ -10 V 電源と同じです。

最近では電源電圧を下げる傾向にあります。高速アンプでは、これは 1 つには製造プロセスの制約に起因します。高速化は物理的構造を小さくすることを意味し、それが次にはブレークダウン電圧を下げることを意味します。ブレークダウン電圧の低下は電源電圧の低下を意味します。最近の多くの高速オペアンプは、 ± 5 V 電源または $+5$ V 単電源を必要とします。汎用オペアンプでは、電源は最小 $+1.8$ V になっています。単電源という用語は場合によっては低い電源電圧を示すのに使われることに注意してください。

これら 2 つの概念に関連性はありますが、上述のように、単電源が低電圧を意味するとは限りません。これらの概念は分けて考えてください。

CMOS オペアンプも一般に低い電圧で動作します。デジタル回路で駆動される CMOS プロセスの動向としては、小型形状および形状の一層の小型化と、それに伴うブレークダウン電圧の低減に重点が置かれています。

自己消費電流

自己消費電流は、オペアンプ自体が内部で消費する電流です（無負荷時）。一般に、高速アンプには汎用アンプよりも大きな自己消費電流が流れる傾向があります。また、汎用オペアンプでは、いくつかの性能パラメータ（特に、ノイズと歪み）が電流の増加に応じて改善する傾向があります。スペクトラムの他端で、自己消費電流が最小のアンプの帯域幅が大幅に制限されます。

アナログ・デバイセズの自己消費電流が最小の最新デバイスは、3.5 μA の OP290 です。

自己消費電流が小さいオペアンプには強い需要があります。駆動アプリケーションの 1 つはバッテリー駆動機器です。「低消費電力」を意味する業界の基準はありませんが、アナログ・デバイセズでは、「低消費電力」を 1 mA 未満の自己消費電流と定義しています。また、「マイクロパワー」を 100 μA 未満の自己消費電流と定義しています。これはアンプあたりの値であるため、クワッド・オペアンプではこの 4 倍の電流が流れることに注意してください。また、これがアンプだけに当てはまることに注意してください。低消費電力の意味は人によって異なる場合があります。例えば、非常に高速の ADC は 1 W を超える電力を消費するかもしれませんが、競合製品が 4 W を超えることがあるため、これでも低消費電力とみなされる可能性があります。

出力電圧振幅（出力電圧ハイ・レベル/出力電圧ロー・レベル）

上述したように、従来のシステム設計では、必要なダイナミック・レンジが $\pm 10\text{ V}$ の場合に $\pm 15\text{ V}$ の電源を使用していました。標準的な出力構造はエミッタ・フォロワ（共通コレクタ）回路でした。ベースは、出力よりダイオードの電圧降下分高い電圧です。駆動信号をバイアスするには、この電圧よりいく分高い電圧が必要です。したがって、出力から予測可能な電圧の仕様が必要になります。低減された電源電圧を使用する場合、オーバーヘッドに対するこの仕様は一定のままです。例えば、 $\pm 15\text{ V}$ 電源での仕様が $\pm 12\text{ V}$ （最小値）の場合、 $\pm 9\text{ V}$ 電源で $\pm 6\text{ V}$ を実現することが予測されます。

さらに、電源電圧をシュリンクすると、出力のダイナミック・レンジを最大化する必要があります。結局、上記の例のように、電源のそれぞれで 3 V 失うととして $\pm 3\text{ V}$ の電源で動作させる場合、ダイナミック・レンジが大幅に圧縮されることとなります。ダイナミック・レンジを広げるために通常行われることは、出力段の構成をエミッタ・フォロワから共通エミッタに変えることです。すると、出力トランジスタの V_{CEsat} 以内まで出力が振幅できるようになります。

出力を電源の近くまで振幅させることは、「レール to レール」と呼ばれます。入力電圧のセクションで説明したように、業界標準のレール to レール仕様はありません。この場合も、アナログ・デバイセズでは、10 k Ω の負荷を駆動するという制約付きで、両方の電源の 100 mV 以内を振幅できると定義しています。出力トランジスタの V_{CEsat} が出力電流に依存するため、負荷の値は重要になります。すべての「単電源」オペアンプが「レール to レール」とは限らず、すべての「レール to レール」が入力と出力の両方で「レール to レール」とは限らないことを思い出してください。データシートに目を通す必要があります。

出力電流（短絡電流）

ほとんどの汎用オペアンプの出力段は、グラウンドまたは両方の電源への短絡に対して保護されています。アンプが短絡箇所に無制限に電流を流せるため、これは一般に「無制限」短絡保護と呼ばれています。オペアンプが供給することが期待できる電流が出力電流になります。一般に、汎用オペアンプにおいて、オペアンプが 10 mA を供給できるように制限値が設定されます。

オペアンプが高精度と大出力電流の両方を備える必要がある場合、独立した出力段（帰還ループ内）を使って高精度オペアンプの自己発熱を最小限に抑えることを推奨します。この追加されたアンプは一般に電圧ゲインが 1 なので、多くの場合バッファと呼ばれています。大きな出力電流を供給するように設計されたオペアンプもあります。

1 つの例は AD8534 で、4 つの部分のそれぞれの出力電流が 250 mA のクワッド・デバイスです。注意点としては、4 つすべての部分から同時に 250 mA を供給しようとする、パッケージの熱放散仕様を超えてしまうことです。アンプは過熱状態になり、アンプ自体を破壊する可能性があります。この問題は、熱放散が小さい小型パッケージではより深刻になります。

高速オペアンプでは、スルー・レートと低インピーダンスを駆動する能力に影響を与えるため、一般に出力電流が小さい値に制限されていません。ほとんどの高速オペアンプでは、一部は 30 mA 未満に制限されていますが、50 mA ~ 100 mA のソースとシンクを行います。短絡保護機能を備えた高速オペアンプでも、大きな短絡電流によってジャンクション温度を超える場合があり、長時間の短絡でデバイスが損傷することになります。

AC 仕様

ノイズ

このセクションでは、オペアンプが拾う外部ノイズではなく、オペアンプ内部で生じるノイズについて説明します。外部ノイズは重要であり、これを詳細に説明している解説書もありますが、このセクションでは内部ノイズだけを取り上げます。

オペアンプには、2つの入力両端に差動で生じる電圧ノイズと各入力の電流ノイズの3つのノイズ源があります。これらのノイズ源は実質的に相関がありません（互いに独立）。実際には、2つのノイズ電流の間にわずかに相関関係がありますが、小さすぎて実際のノイズ解析で検討する必要はありません。これら3つの内部ノイズ源の他には、帰還回路内のオペアンプに使われる外付け抵抗のジョンソン・ノイズを考慮する必要があります。

電圧ノイズ

オペアンプの電圧ノイズは、 $1 \text{ nV}/\sqrt{\text{Hz}}$ 未満から $20 \text{ nV}/\sqrt{\text{Hz}}$ 、あるいはそれ以上とさまざまです。バイポーラ・オペアンプの電圧ノイズは JFET アンプよりも小さくなる傾向があります。電圧ノイズはデータシートで仕様が規定されており、その他のパラメータからは予測不能です。

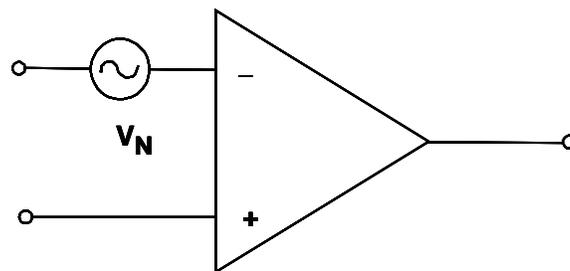


図 1.45: 電圧ノイズ

最近まで、JFET 入力アンプは比較的大きな電圧ノイズを持つ（ただし、電流ノイズは非常に小さい）傾向がありました。このため、低インピーダンス回路よりも高インピーダンス回路の低ノイズ・アプリケーションに適していました。AD645 と AD743/AD745 は、電圧と電流のどちらのノイズも非常に小さい値です。AD645 の 10 kHz での仕様は $10 \text{ nV}/\sqrt{\text{Hz}}$ と $0.6 \text{ fA}/\sqrt{\text{Hz}}$ 、AD743/AD745 の 10 kHz での仕様は $2.9 \text{ nV}/\sqrt{\text{Hz}}$ と $6.9 \text{ fA}/\sqrt{\text{Hz}}$ です。これらは、広範囲の信号源インピーダンスでノイズが小さい低ノイズ・アンプ回路の設計を可能にします。しかし、電圧ノイズを低減する代償として入力デバイスが大きくなり、そのため入力容量も大きくなります。

ノイズ帯域幅

ノイズ成分の帯域幅を計算するときは、必ず $1.57 f_c$ の帯域幅を使ってノイズを計算します。この理由は、カットオフ周波数が f_c の単極フィルタを通過するガウス（白色）ノイズ源が、カットオフ周波数が $1.57 f_c$ のブリック・ウォール・フィルタを通過する同じノイズ源と等しいスペクトル・エネルギーを持つからです。ブリック・ウォール・フィルタはカットオフ周波数まで応答が平坦で、それ以降は限りなく減衰します。同様に、2 極フィルタには約 $1.2 f_c$ のコーナー周波数が生じます。2 つ以上の極を持つフィルタでは通常、誤差補正係数は無視できます。

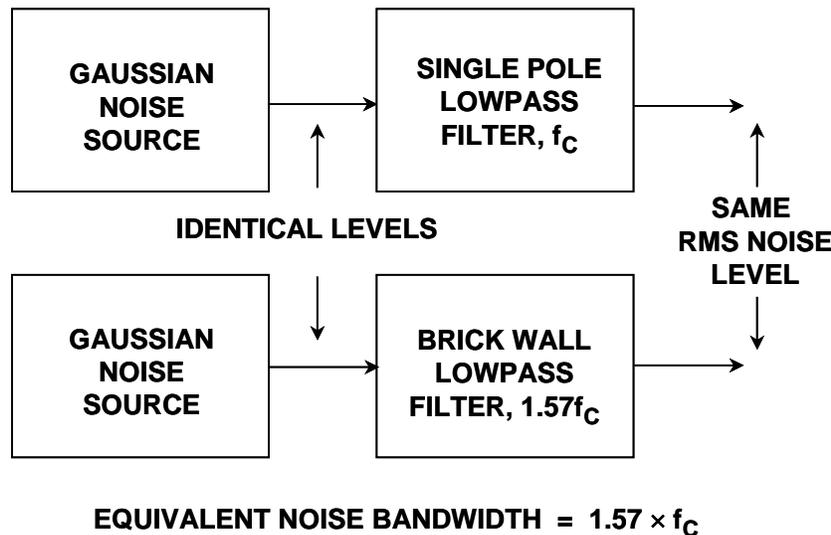


図 1.47: 等価ノイズ帯域幅

ノイズ指数

ノイズ指数はオペアンプにはほとんど使われません。アンプのノイズ指数は、アンプのノイズが同じ環境の完全なノイズフリー・アンプのノイズを超える大きさ（単位: dB）を示します。この概念は、 50Ω または 75Ω の伝送ラインと終端が一般的な RF アプリケーションや TV アプリケーションから生まれたものですが、幅広いインピーダンスで使われるオペアンプには役立ちません。電圧ノイズ・スペクトル密度と電流ノイズ・スペクトル密度は非常に役立つ仕様です。

電流ノイズ

電流ノイズは、約 $0.1 \text{ fA}/\sqrt{\text{Hz}}$ (JFET 電位計オペアンプ) から数 $\text{pA}/\sqrt{\text{Hz}}$ (高速バイポーラ・オペアンプ) と非常に大きくばらつく可能性があります。電流ノイズは必ずしもデータシートで仕様規定されているとは限りませんが、すべてのバイアス電流が入力接合を流れる場合 (シンプルな BJT や JFET の入力デバイスなど) には、単にバイアス電流のショットキー・ノイズ (つまりショット・ノイズ) であるため、計算が可能です。外部バイアス電流が 2 つの内部電流源の差であるバイアス補償型または電流帰還型オペアンプでは、計算することはできません。ショット・ノイズのスペクトル密度は $\sqrt{2I_b q}/\sqrt{\text{Hz}}$ とシンプルです。ここで、 I_b はバイアス電流 (単位: アンペア)、 q は電子の電荷 ($1.6 \times 10^{-19} \text{ C}$) です。

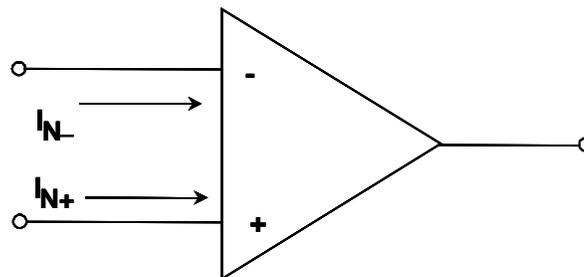


図 1.48: 電流ノイズ

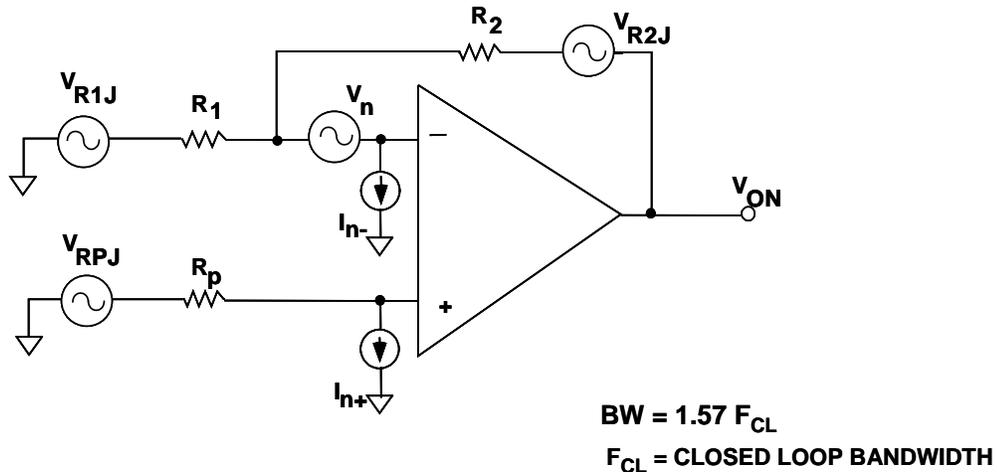
VFB オペアンプの入力の電流ノイズには相関がなく、ほぼ等しい値です。シンプルな入力回路では、電流ノイズは入力バイアス電流のショット・ノイズになります。バイアス補償されたオペアンプでは、電流ノイズを計算することはできません。また、CFB 型オペアンプの入力は異なるため、2 つの入力の電流ノイズが大きく異なる可能性があります。1/f コーナー周波数も一般に一致しません。

電流ノイズは、インピーダンスを流れてノイズ電圧を発生するときだけ重要になります。したがって、低ノイズ・オペアンプの選択は周囲のインピーダンスによって決まります。低電圧ノイズ ($3 \text{ nV}/\sqrt{\text{Hz}}$) でありながら、電流ノイズが非常に大きい ($1 \text{ pA}/\sqrt{\text{Hz}}$) バイアス補償されたオペアンプ OP-27 について考えてみます。信号源インピーダンスがゼロの場合、電圧ノイズが支配的になります。3 kΩ の信号源抵抗では、電流ノイズ (3 kΩ に流れる $1 \text{ pA}/\sqrt{\text{Hz}}$) が電圧ノイズに等しくなりますが、3 kΩ 抵抗のジョンソン・ノイズが $7 \text{ nV}/\sqrt{\text{Hz}}$ になるため、これが支配的になります。300 kΩ の信号源抵抗では、電流ノイズは 100 倍の $300 \text{ nV}/\sqrt{\text{Hz}}$ が増えますが、電圧ノイズは変化しません。また、ジョンソン・ノイズ (抵抗の平方根に比例する) は 10 倍に増えます。これで、電流ノイズが支配的になります。

総合ノイズ (ノイズ源の加算)

相関のないノイズ電圧を「2 乗和平方根」で加算します。つまり、ノイズ電圧 V_1 、 V_2 、 V_3 から $\sqrt{V_1^2 + V_2^2 + V_3^2}$ の加算結果を求めます。当然ながら、ノイズ電力は普通に加算します。

このように、他のノイズより 3 倍から 5 倍大きなノイズ電圧が支配的になり、他のノイズは一般に無視されます。これにより、ノイズ評価が簡素化されます。抵抗を流れる電流ノイズはノイズ電圧に等しくなります。



$$V_{ON} = \sqrt{BW} \sqrt{[(I_{n-}^2 R_2^2) [NG] + [(I_{n+}^2) R_p^2] [NG] + V_n^2 [NG] + 4kTR_2 [NG-1] + 4kTR_1 [NG-1] + 4kTR_p [NG]}$$

図 1.49: 総合ノイズの計算

EXAMPLE: OP27
Voltage Noise = 3nV / √ Hz
Current Noise = 1pA / √ Hz
T = 25°C

CONTRIBUTION FROM	VALUES OF R		
	0	3kΩ	300kΩ
AMPLIFIER VOLTAGE NOISE	3	3	3
AMPLIFIER CURRENT NOISE FLOWING IN R	0	3	300
JOHNSON NOISE OF R	0	7	70

RTI NOISE (nV / √ Hz)
Dominant Noise Source is Highlighted

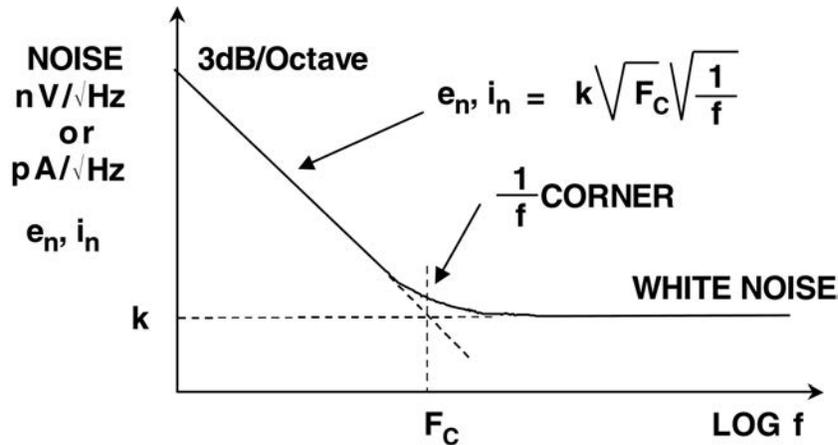
図 1.50: 入力インピーダンスによって決まる支配的なノイズ源

低ノイズ・オペアンプの選択は信号源のインピーダンスによって決まり、インピーダンスが高い場合には、電流ノイズが常に支配的になります。

低インピーダンス回路の場合、OP-27 のような低電圧ノイズのアンプを選択するのが当然です。これらのアンプは低価格で、比較的大きな電流ノイズがアプリケーションに影響を与えることがないからです（図 1.50 参照）。中程度の抵抗の場合、抵抗のジョンソン・ノイズが支配的ですが、非常に大きな抵抗の場合は、FET 入力デバイス AD549 や AD645 など、電流ノイズができるだけ小さいオペアンプを選択する必要があります。

1/f ノイズ (フリッカ・ノイズ)

ここまで、ノイズを白色（つまり、スペクトル密度が周波数によって変化しない）と仮定してきました。このことはほとんどのオペアンプの周波数範囲で当てはまりますが、低い周波数ではノイズ・スペクトル密度が 3 dB/オクターブの比率で増加します（図 1.51 参照）。この領域の電力スペクトル密度が周波数に反比例するため、電圧ノイズ・スペクトル密度は周波数の平方根に反比例します。したがって、このノイズは一般に $f/1$ ノイズと呼ばれています。ただし、解説書によってはまだ従来の用語であるフリッカ・ノイズを使っていることに注意してください。



- ▼ 1/f Corner Frequency is a figure of merit for op amp noise performance (the lower the better)
- ▼ Typical Ranges: 2Hz to 2kHz
- ▼ Voltage Noise and Current Noise do not necessarily have the same 1/f corner frequency

図 1.51: 1/f ノイズ帯域幅

このノイズが増加し始める周波数は、1/f コーナー周波数 (F_C) と呼ばれるもので、値が小さいほど良好なことを示す性能指数です。1/f コーナー周波数は、必ずしも特定のアンプの電圧ノイズと電流ノイズと同じとは限りません。また、電流帰還型オペアンプは、電圧ノイズ、反転入力電流ノイズ、非反転入力電流ノイズに対する 3 つの 1/f コーナー周波数を持つ場合があります。

1/f 領域の電圧または電流のノイズ・スペクトル密度を表す一般式は以下のとおりです。

$$e_n, i_n = k\sqrt{F_c}\sqrt{\frac{1}{f}} \quad \text{式 1-16}$$

ここで、k は電流または電圧の「白色」ノイズ・レベル、 F_c は 1/f コーナー周波数です。

低周波数で低ノイズの最良なアンプのコーナー周波数は 1 Hz ~ 10 Hz の範囲ですが、JFET デバイスや多くの汎用オペアンプの値は 100 Hz から場合によっては 1 kHz を上回る範囲になります。しかし、非常に高速のアンプでは高速動作を実現するために処理で妥協することがあります。この結果、数百 Hz あるいは 1 kHz ~ 2 kHz のかなり劣悪な 1/f コーナー周波数になります。これは、対象とする帯域が広いアプリケーションでは一般に重要ではありませんが、オーディオ周波数（特にイコライゼーション回路）での使用に影響する可能性があります。

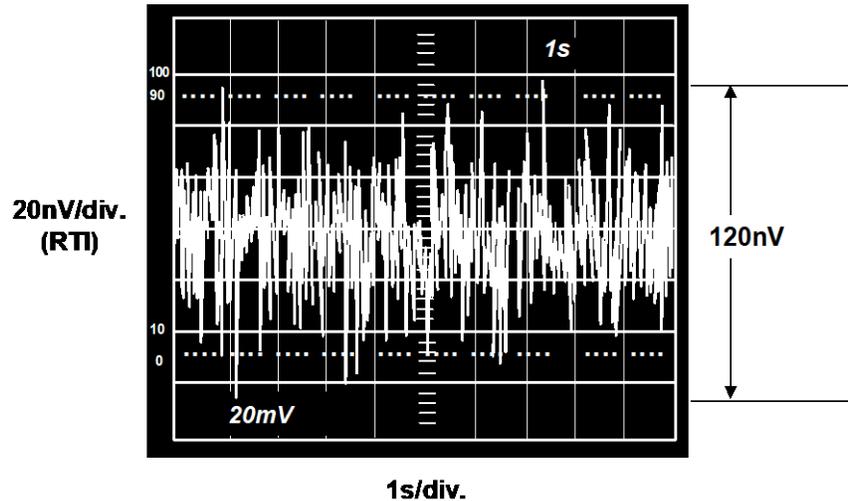


図 1.52: 0.1 Hz ~ 10 Hz のノイズ。OP-213 の帯域幅

ポップコーン・ノイズ

ポップコーン・ノイズと呼ばれるのは、オーディオ・システム再生時にポップコーンを料理しているように聞こえるからです。このノイズは、10 ミリ秒以上のランダムな間隔で生じるオフセット電圧のランダムなステップ変化から成ります。このようなノイズは、シリコン・チップ表面の高レベルの汚染と結晶格子の転位に起因し、さらには、不適切な処理技術や原材料の不十分な品質に起因します。1960 年代にモノリシック・オペアンプが最初に導入されたときは、ポップコーン・ノイズが支配的なノイズ源でした。しかし今日では、ポップコーン・ノイズの原因が十分に理解され、原材料の純度が高く、汚染が低レベルで、出荷時のテストが信頼できるため、オペアンプのメーカーはポップコーン・ノイズを大幅に排除した製品を問題なく出荷しています。

このため、最新のオペアンプの解説書やデータシートでは記述さえしていません。

RMS ノイズに関する考慮事項

前述のように、ノイズ・スペクトル密度は周波数の関数になります。実効値ノイズを求めるためには、対象となる帯域幅にわたってノイズ・スペクトル密度の曲線を積分する必要があります。

1/f 領域では、帯域幅 $f_1 \sim f_2$ の実効値ノイズは次式で求められます。

$$e_{rms} = \sqrt{\int_{f_1}^{f_2} \frac{df}{f}} = k \sqrt{\ln \frac{f_2}{f_1}} \quad \text{式 1-17}$$

ここで、k は 1 Hz でのノイズ・スペクトル密度です。所定の帯域での総合 1/f ノイズは、実際の周波数が相殺されるため、低い帯域端と高い帯域端の周波数の比の関数になります。ただし、上式が正確であるためには、上側の帯域端が 1/f 領域内に残っている必要があります。

実効値ノイズの測定値は、多くの場合ピーク to ピーク値に変換することが求められます。これを行うには、ノイズの統計的性質をある程度理解している必要があります。ガウス・ノイズと所定の値の実効値ノイズでは、統計的に特定のピーク to ピーク値を超える確率はその値が大きくなるに従って急激に低下することがわかります。ただし、決してゼロにはなりません。

NOMINAL PEAK-TO-PEAK	% OF THE TIME NOISE WILL EXCEED NOMINAL PEAK-TO-PEAK VALUE
2 × rms	32%
3 × rms	13%
4 × rms	4.6%
5 × rms	1.2%
6 × rms	0.27%
6.6 × rms**	0.10%
7 × rms	0.046%
8 × rms	0.006%

** MOST OFTEN USED CONVERSION FACTOR IS 6.6

図 1.53: 実効値とピーク to ピーク電圧の比較表

このように、所定の実効値ノイズでは、所定のピーク to ピーク値を超える時間の割合を予測可能ですが、図 1.53 に示すように、ノイズを超えることのないピーク to ピーク値を求めることはできません。

したがって、ピーク to ピーク・ノイズの仕様は、必ず規定された制限時間に対して設定する必要があります。ピーク to ピーク・ノイズの一般的な選択値は、実効値の 6.6 倍です。つまり、ピーク to ピーク・レベルを 0.1 % の時間だけ超えることとなります。

多くの場合、低周波ノイズは 0.1 Hz ~ 10 Hz の帯域内のピーク to ピーク値として仕様規定されます。これは、オペアンプと測定デバイス間に 0.1 Hz ~ 10 Hz のバンドパス・フィルタを挿入して測定します。測定結果は、多くの場合、OP-213 に関して図 1.54 に示すような時間軸が 1 s/div のオシロスコープの写真（図 1.54 参照）で表します。

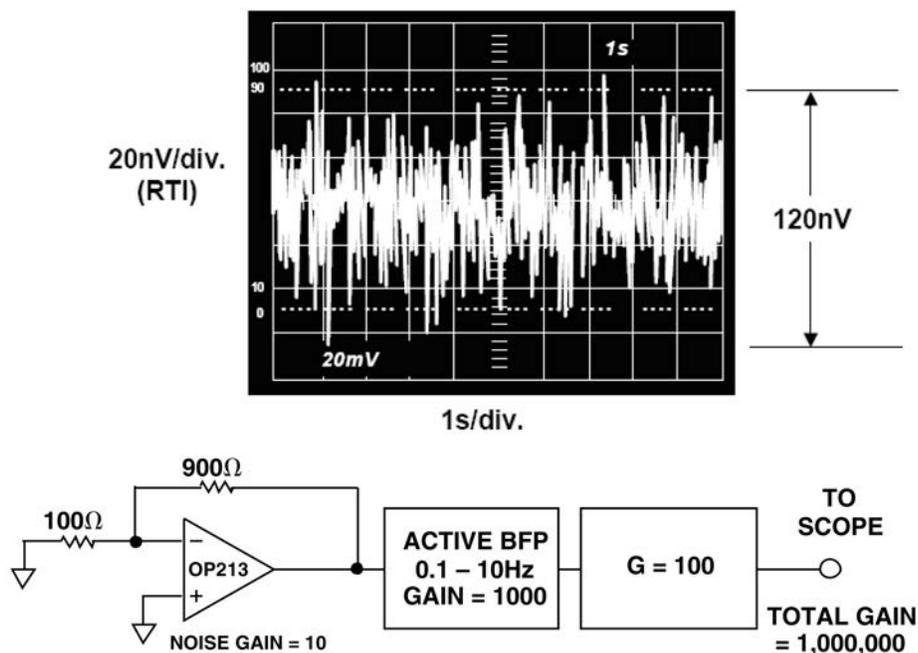


図 1.54: 0.1 Hz ~ 10 Hz の帯域内のピーク to ピーク・ノイズ
(OP213 では 120 nV 未満)

実際には、実質的なフィルタに有限のロールオフ特性があるため、特定の周波数制限値内で、これらの制限値外からの影響を受けることなくノイズを測定するのは不可能です。幸い、単極ローパス・フィルタが生じる測定誤差を計算するのは容易です。ノイズの帯域幅に関しては前のセクションを参照してください。

帯域幅の広いオペアンプの実効値ノイズを計算する場合、 $1/f$ ノイズの重要性は比較的低くなります。支配的なノイズ源はガウス（白色）ノイズです。このノイズは、幅広い周波数にわたって比較的一定のノイズ・スペクトル密度を持っています。実効値ノイズは、ノイズ・スペクトル密度に等価ノイズ帯域幅の平方根を掛けて計算します。

総合出力ノイズの計算

発生させるノイズが他のノイズ源の 1/3 ~ 1/5 未満のノイズ源を無視できることは、すでに述べました。
 (両方のノイズ電圧は回路内の同じポイントで測定する必要があります。) オペアンプ回路のノイズ性能を解析するには、回路の各部分のノイズ成分を査定し、どれが影響するかを特定する必要があります。
 下記の計算を簡略化するために、実際の電圧ではなくノイズ・スペクトル密度を使って、式から帯域幅を消去します (一般に $\mu\text{V}/\sqrt{\text{Hz}}$ で表されるノイズ・スペクトル密度は、1 Hz の帯域内のノイズと等価です)。

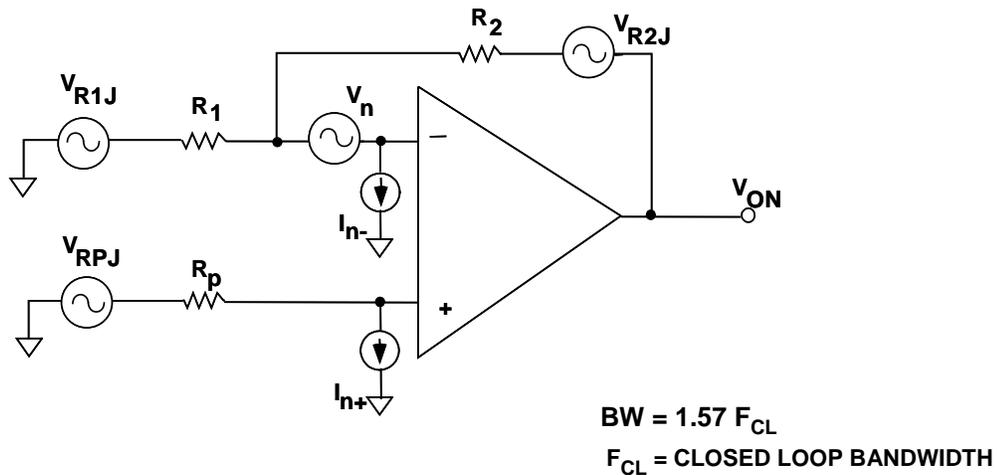
すべての抵抗は $\sqrt{4kTBR}$ のジョンソン・ノイズを持っています。ここで、k はボルツマン定数 ($1.38 \times 10^{-23}\text{J}/\text{K}$)、T は絶対温度、B は帯域幅、R は抵抗です。これは固有の値であり、ジョンソン・ノイズを持たない抵抗を得るのは不可能です (0 °K での動作を除く)。

オペアンプと 3 本の抵抗 (R_p はノード A の信号源抵抗) で構成されるアンプである図 1.56 の回路を検討すると、6 個の独立したノイズ源があることがわかります。つまり、3 本の抵抗のジョンソン・ノイズ、オペアンプの電圧ノイズ、オペアンプの各入力の電流ノイズです。それぞれがアンプ出力のノイズに独自に影響を与えます。(ノイズは一般に RTI (入力換算) で仕様規定されていますが、多くの場合、出力のノイズの計算を簡略化してから、アンプのノイズ・ゲインではなく信号ゲインで割って RTI ノイズを求めます。)



- ALL resistors have a voltage noise of $V_{NR} = \sqrt{(4kTBR)}$
- T = Absolute Temperature = T (°C) + 273.15
- B = Bandwidth (Hz)
- k = Boltzmann's Constant ($1.38 \times 10^{-23}\text{J}/\text{K}$)
- A 1000Ω resistor generates $4\text{ nV} / \sqrt{\text{Hz}}$ @ 25°C

図 1.55: 抵抗ノイズ



$$V_{ON} = \sqrt{BW} \sqrt{[(I_{n-}^2)R_2^2] [NG] + [(I_{n+}^2)R_p^2] [NG] + V_n^2 [NG] + 4kTR_2 [NG-1] + 4kTR_1 [NG-1] + 4kTR_p [NG]}$$

図 1.56: 総合ノイズの計算

図 1.57 の回路は 2 次システムを表しています。ここで、コンデンサ C_1 は、信号源容量、反転入力 of 浮遊容量、オペアンプの入力容量、またはこれらの組み合わせを表します。 C_1 はノイズ・ゲインにブレークポイントを生じるコンデンサで、 C_2 は安定性を得るために追加する必要があるコンデンサです。 C_1 と C_2 により、ノイズ・ゲインは周波数の関数になり、高周波数でピークに達します (C_2 は 2 次システムを十分に制動するように選択すると仮定)。

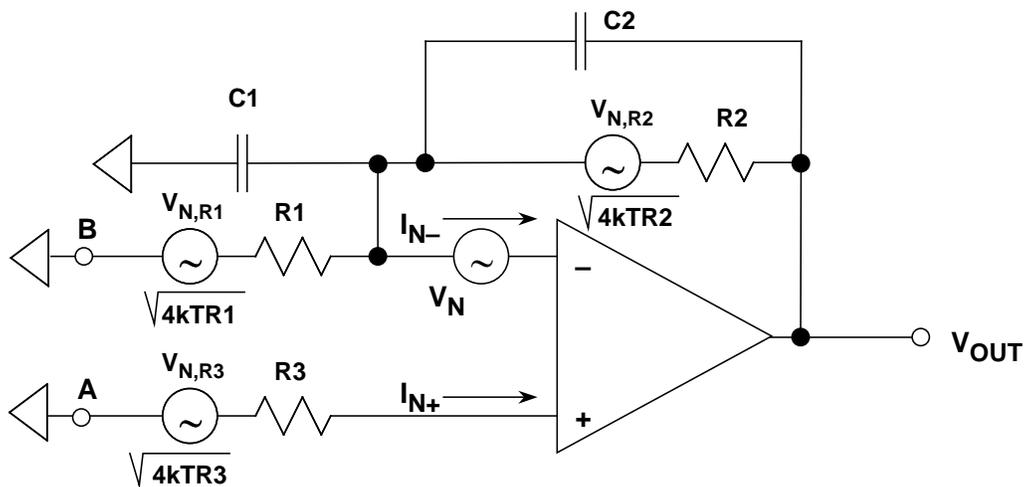


図 1.57: 2 次ノイズ・モデル

入力 A に与えられる DC 信号 (B は接地) のゲインは次のとおりです。

$$1 + R_2/R_1 = \text{DC ノイズ・ゲイン} \quad [1a] \quad \text{式 1-18}$$

高い周波数では、入力 A から出力までのゲインは次のようになります。

$$1 + C_2/C_1 = \text{AC ノイズ・ゲイン} \quad \text{式 1-19}$$

クローズドループ帯域幅 f_{cl} は、ノイズ・ゲインがオープンループ・ゲインと交差するポイントになります。

入力 B に与えられる DC 信号 (A は接地) のゲインは次のとおりです。

$$-R_2/R_1 \quad \text{式 1-20}$$

高いカットオフ高周波が R_2C_2 で決まる場合には次のようになります。

$$\text{帯域幅 (B から出力)} = 1/2\pi R_2C_2 \quad \text{式 1-21}$$

これらはそれぞれ、アンプの非反転と反転のゲインと帯域幅です。

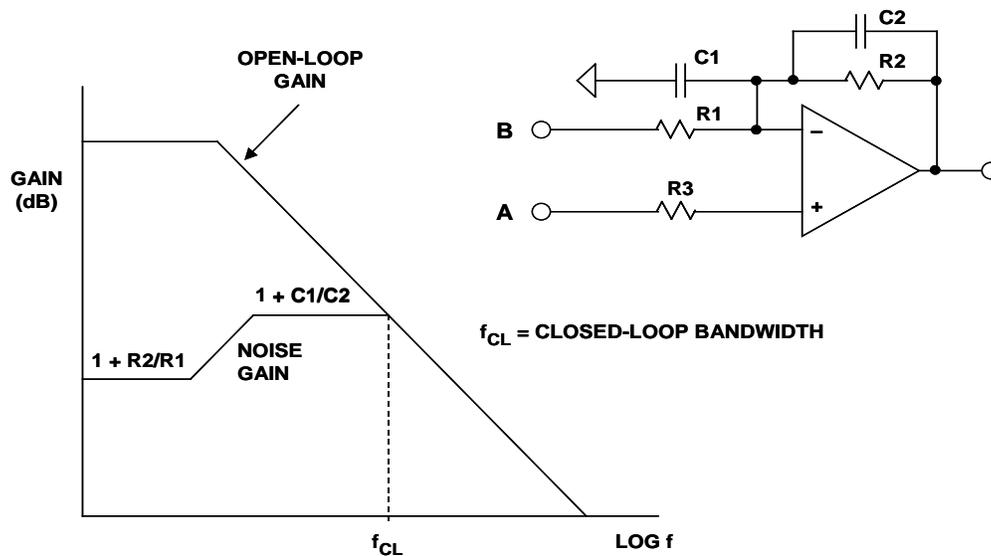


図 1.58: 2 次システムのノイズ・ゲイン

非反転入力の電流ノイズ I_{n+} が R_p を流れ、 $I_{n+}R_p$ のノイズ電圧を生じ、この電圧は、オペアンプのノイズ電圧 V_n と R_p のジョンソン・ノイズ $\sqrt{4kTR_p}$ 同様に [1a]、[1b] で増幅されます。

R_1 のジョンソン・ノイズは $1/2\pi R_2 C_2$ [2b] の帯域幅にわたって [2a] で増幅され、 R_2 のジョンソン・ノイズは全く増幅されませんが、 $1/2\pi R_2 C_2$ の帯域幅にわたって出力に対して直接バッファされます。反転入力に電流ノイズ I_n は当然のように R_1 を流れません。つまり、アンプ周りの負帰還が反転入力に電位が変わらないように動作し、反転入力ピンから流れる電流を負帰還によって R_2 だけに強制的に流す結果、 $1/2\pi R_2 C_2$ の帯域幅にわたってアンプ出力の電圧が $I_n R_2$ になります (R_1 と R_2 の並列接続を流れる I_n によって生じ、アンプのノイズ・ゲイン (下記を参照) によって増幅される電圧を同様に検討することができますが、結果は同じで、計算が複雑になるだけです)。

これら 6 つのノイズ成分を検討すると、 R_p と R_2 が小さい場合、電流ノイズとジョンソン・ノイズの影響が最小限に抑えられ、オペアンプの電圧ノイズが支配的になることがわかります。抵抗を大きくすると、ノイズ電流によって生成されるジョンソン・ノイズと電圧ノイズのどちらも増加します。ノイズ電流が小さい場合、ジョンソン・ノイズが支配的な成分として電圧ノイズに取って代わります。ただし、ジョンソン・ノイズは抵抗の平方根とともに増加し、電流ノイズ電圧は抵抗に比例して増加するため、抵抗が増加し続けると、最終的にノイズ電流による電圧が支配的になります。

分析したこれらのノイズ成分は、入力がノード A とノード B のどちらに接続されるかには影響されません (これらのノードは他方が接地されるか、または他の低インピーダンス電圧源に接続されます)。このため、オペアンプの電圧ノイズから見た非反転ゲイン $(1 + R_2/R_1) V_n$ がアンプの「ノイズ・ゲイン」と呼ばれます。

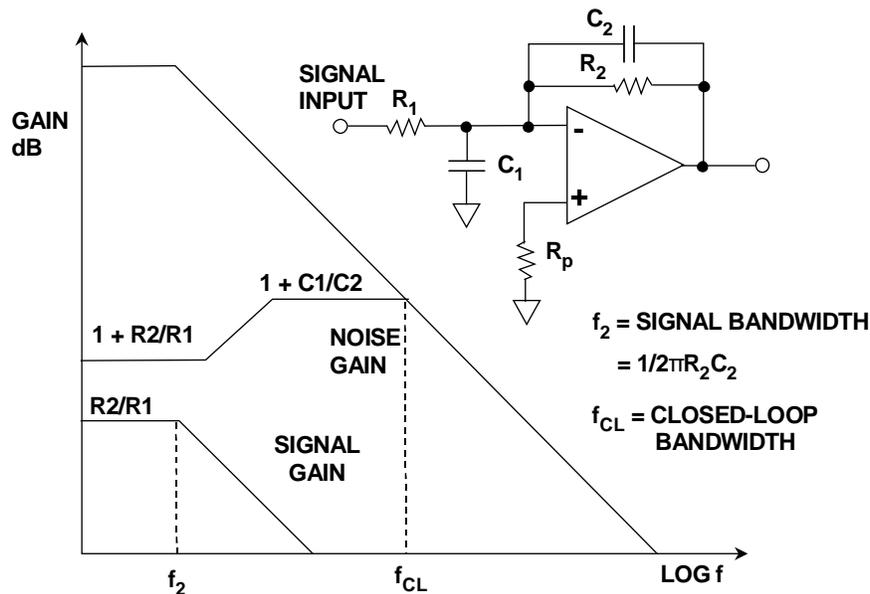
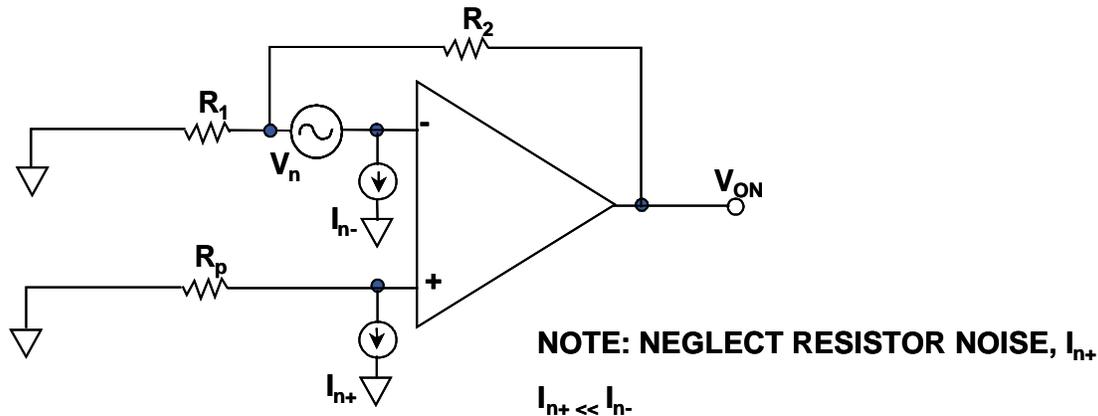


図 1.59: 2 次システムのノイズと信号ゲイン

オペアンプの総合出力実効値ノイズを計算するには、6つのノイズ電圧のそれぞれに適切なゲインを掛け、適切な周波数にわたって積分する必要があります。すべての出力成分の2乗和平方根を取ると、トータルの出力ノイズ実効値になります。幸い、この煩雑な作業は多くの場合適切な仮定を行うことによって大幅に簡略化できます。

代表的な2次システムのノイズ・ゲインを図1.58に示します。電圧ノイズの積分を2つのステップで行うのはとても簡単ですが、ピーキングが生じるため、入力電圧ノイズによる出力ノイズの大部分は、ノイズ・ゲインが $1 + C_1/C_2$ となる高周波部分によって決まることに注意してください。このタイプの応答は2次システムに特有のもので、 R_1 と R_2 の反転入力電流ノイズに起因するノイズは、帯域幅 $1/2\pi R_2 C_2$ にわたって積分するだけです。

高速オペアンプのアプリケーションでは、さらに簡略化することができます。セトリング・タイムが短くなるように最適化された1次システムのノイズ・ゲインのプロットは通常、クローズドループ帯域幅の周波数まで平坦で、ゲインのピーキングはわずか1dB程度です。したがって、すべてのノイズ源はクローズドループ・オペアンプの帯域幅にわたって積分することができます。



$$V_{ON} = \sqrt{1.57 f_{cl}} \sqrt{\left[V_n^2 \left(1 + \frac{R_2}{R_1} \right) \right]^2 + I_{n-}^2 R_2^2}$$

f_{cl} = CLOSED LOOP BANDWIDTH

図 1.60: 電流帰還型アンプのノイズ・モデル

高速電流帰還型オペアンプの回路では、図1.60に示すように、入力電圧ノイズと反転入力電流ノイズが出力ノイズの支配的な要因になります。

歪み

オペアンプのダイナミック・レンジはいくつかの方法で規定することができます。一般的な方法の 1 つは、高調波歪み、全高調波歪み (THD)、または全高調波歪み + ノイズ (THD + N) を規定することです。その他の関連する仕様として、特に相互変調歪み (IMD)、インターセプト・ポイント (IP)、スプリアスフリー・ダイナミック・レンジ (SFDR)、マルチトーン電力比 (MTPR) などがあります。

THD (全高調波歪み)

THD は、アンプの非直線性に起因する基本周波数の 2 倍、3 倍、4 倍といった高調波信号成分の比を表します。測定には高調波信号のみが含まれます。全高調波歪みを構成する歪み成分は、一般に基本波の最初の 5 つまたは 6 つの高調波の 2 乗和の平方根を取ることによって計算します。ただし、実際の状況の多くは、ほとんどの場合に高次の項の振幅が大幅に減衰するため、2 次と 3 次の高調波を含めただけで誤差を無視できます。

THD + N (全高調波歪み + ノイズ)

THD + N は、基本波だけを除いた残留信号を表します。重要なのは、THD の測定にはノイズ項が含まれず、THD + N には含まれる点に注意することです。THD + N の測定におけるノイズは、測定帯域幅にわたって積分する必要があります。狭帯域のアプリケーションでは、フィルタ処理によりノイズのレベルが低下することで、THD + N が低下し、S/N 比 (SNR) を増加させる可能性があります。THD の仕様が引用されるほとんどの場合、多くの測定システムは高調波信号を他の信号と区別しないので、実際には THD + N の仕様になります。THD は、一般に基本波信号をノッチング処理し、残りの信号 (残留信号) を測定して行います。THD と THD + N の定義を図 1.61 に示します。

- ◆ $V_s = \text{Signal Amplitude (RMS Volts)}$
- ◆ $V_2 = \text{Second Harmonic Amplitude (RMS Volts)}$
- ◆ $V_n = \text{nth Harmonic Amplitude (RMS Volts)}$
- ◆ $V_{\text{noise}} = \text{RMS value of noise over measurement bandwidth}$

$$\text{THD + N} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2 + V_{\text{noise}}^2}}{V_s}$$

$$\text{THD} = \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_n^2}}{V_s}$$

図 1.61: THD と THD + N の定義

相互変調歪み (IMD)

多くの場合、シングル・トーンのサイン波入力によって生成される THD を単に検討することよりも、2つのトーンによって生成される歪み積を調べるの方が役に立ちます。図 1.62 に示すように、2つのトーンによって相互変調積が生成されます。相互変調は、2つ（または2つ以上）の信号が非線形システムを通過するとき生じます。また、すべてのシステムはある程度非線形です。相互変調積は周波数の和と差で構成されます。この例は、非線形システムに2つの周波数 f_1 と f_2 を与えることによって生成される2次と3次の積を示しています。 $f_2 + f_1$ と $f_2 - f_1$ に位置する2次の積は2つのトーンから比較的離れているため、システムの帯域幅によっては、フィルタ処理で除去できるかもしれません。システムが広帯域の場合、これらの歪み積は帯域内に留まる可能性があります。 $2f_1 + f_2$ と $2f_2 + f_1$ に位置する3次の積も同様に除去できるかもしれません。ただし、 $2f_1 - f_2$ と $2f_2 - f_1$ に位置する3次の積は元のトーンに近いので、これらを除去するのは困難です。

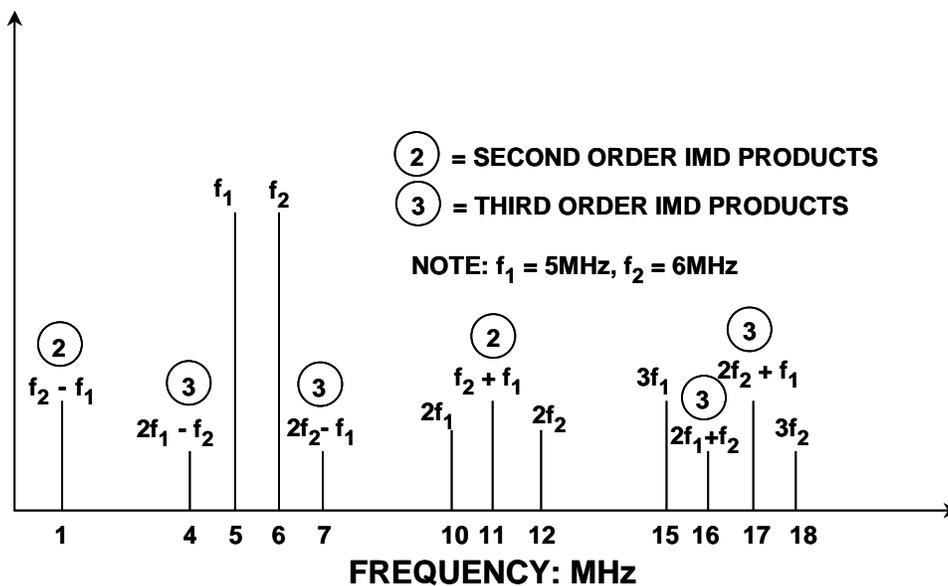


図 1.62: 相互変調歪み積

3次インターセプト・ポイント (IP3)、2次インターセプト・ポイント (IP2)

相互変調歪み積は RF 領域と特別な関係にあり、無線レシーバの設計に大きく関係します。大きな信号が隣接していると、3次 IMD 積は小信号をマスクすることがあります。3次 IMD は通常、3次インターセプト・ポイント (IP3) として仕様規定されています (図 1.63 参照)。

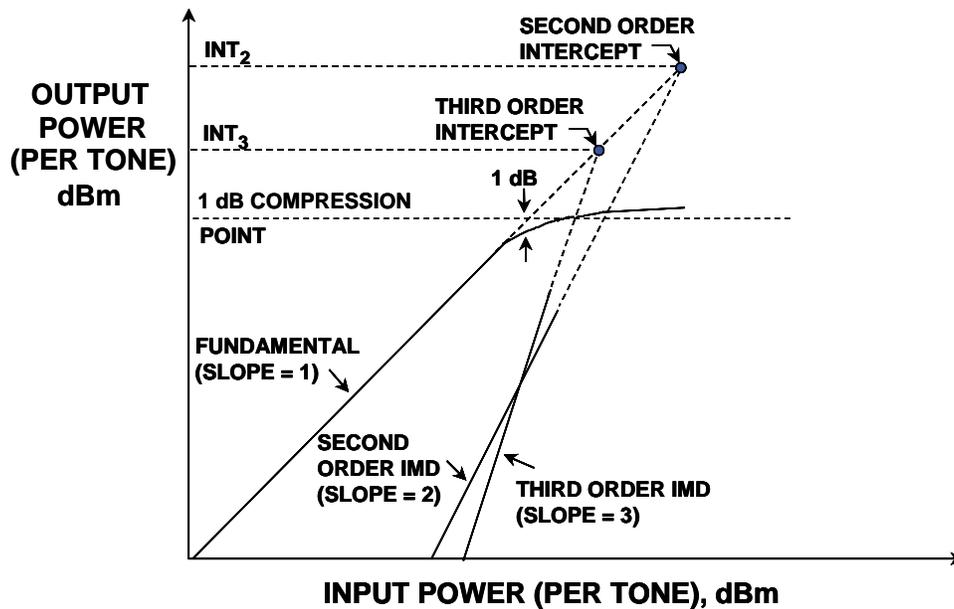


図 1.63: IMD、インターセプト・ポイント、およびゲイン圧縮

システムの非直線性をべき級数展開で近似すると、2次 IMD 振幅は信号が 1 dB 増加するごとに 2 dB 増加します。同じようにすると、3次 IMD 振幅は信号が 1 dB 増加するごとに 3 dB 増加します。ただし、入力が特定のレベルに達すると、出力信号は緩やかに制限され始めます。つまり、電源の制限値、出力駆動の最大値などにより圧縮され始めます。

それでも、2次と3次のインターセプト・ラインを延ばして、出力信号ラインの延長部分と交差させることが可能です。これらの交点はそれぞれ、2次インターセプト・ポイントと3次インターセプト・ポイントと呼ばれています。これらの値は通常、デバイスの出力電力を基準にし、dBm で表されます。したがって、通常、IP3 ポイントには実際に達することはありませんが、IP3 ポイントは高速システムの性能指数として使用されています。

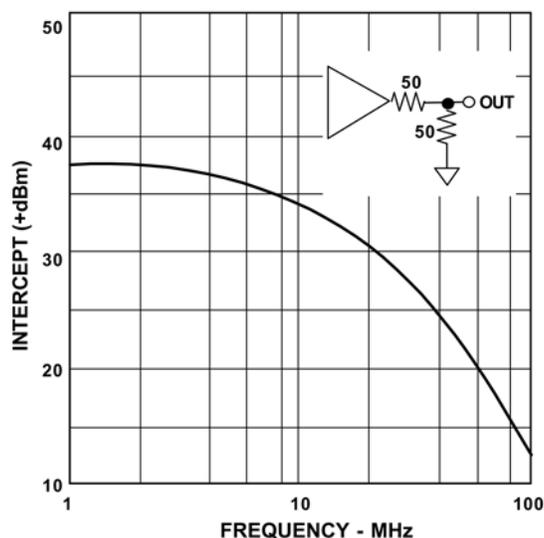


図 1.64: 周波数に対する標準的な IP3 の変化

IP3 ポイントを求めるには、スペクトルが純粋な 2 つのトーンをシステムに与えます。1 つのトーンの出
力信号電力 (dBm) と 3 次積の相対振幅 (1 つのトーンを基準とする) を入力信号電力の関数としてプロ
ットします。1 つのポイントと 1 つの勾配で各直線が決まるため、図 1.63 に示すように、レベルが低い
(クリッピングを十分に下回る) 2 つのトーンの入力信号と 2 つのデータ・ポイントで、2 次と 3 次の
IMD ラインを描きます。ここで、これらの交点はそれぞれ、2 次インターセプト・ポイントと 3 次インタ
ーセプト・ポイントになります。

標準的な電圧帰還アンプにおける周波数の関数としての 3 次インターセプト値を図 1.64 に示します。

オペアンプの出力信号が 5 MHz と 2 V ピーク to ピークで、100 Ω 負荷 (50 Ω の信号源と負荷終端) に加
えられていると仮定します。したがって、50 Ω 負荷への電圧は 1 V ピーク to ピークで、+4 dBm に相当
します。5 MHz での 3 次インターセプトの値は 36 dBm です。+36 dBm と +4 dBm の差は 32 dB です。次
いで、この値に 2 を掛けて 64 dB (1 トーンの電力を基準にした 3 次相互変調積の値) を得ます。したが
って、相互変調積は - 64 dBc (搬送波周波数を下回る dB 値)、つまり - 60 dBm のレベルになります。
この例のグラフィカルな解析を図 1.62 に示します。

1 dB 圧縮ポイント

対象となる可能性のあるもう 1 つのパラメータは 1 dB 圧縮ポイントです。これは、出力信号が理想入出
力伝達関数から 1 dB 圧縮されるポイントのことです。これが生じるのは、アンプ出力のダイナミック・
レンジに達して、アンプへの入力を上げて出力が上がらない (つまり、クリッピング) 状態の場合で
す。このポイントも図 1.63 に示します。

SNR (S/N 比)

S/N 比はシステムのダイナミック・レンジであり、一般に dB で表します。リファレンス・レベルは最大
信号レベルで、ノイズの実効値レベルがノイズ・フロアになります。測定の帯域幅を規定する必要があ
ります。

ENOB (有効ビット数)

オペアンプの SNR をビットで表すのに ENOB を使います。変換式は次のとおりです。

$$\text{ENOB} = \frac{\text{SNR (in dB)} - 1.76}{6.02} \quad \text{式 1-22}$$

ビットは主にコンバータのアプリケーションで考えられるものですが、オペアンプとの関連で使われる
こともあります。この場合も、測定の帯域幅を規定する必要があります。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、システムのダイナミック・レンジのもう 1 つの指標です。これは 2 つの方法で測定できます。1 つ目の方法は、最大信号とすべての歪みの主要な成分の差を取ることです。測定値は dB で表されます。これは dBFS で表される SFDR になります。もう 1 つの方法は、実際の信号強度を基準にして測定することです。これは dBc (搬送波を基準とする) で表される SFDR になります。この場合も、コンバータの仕様でより一般的ですが、オペアンプのリファレンスに SFDR が使われることもあります。

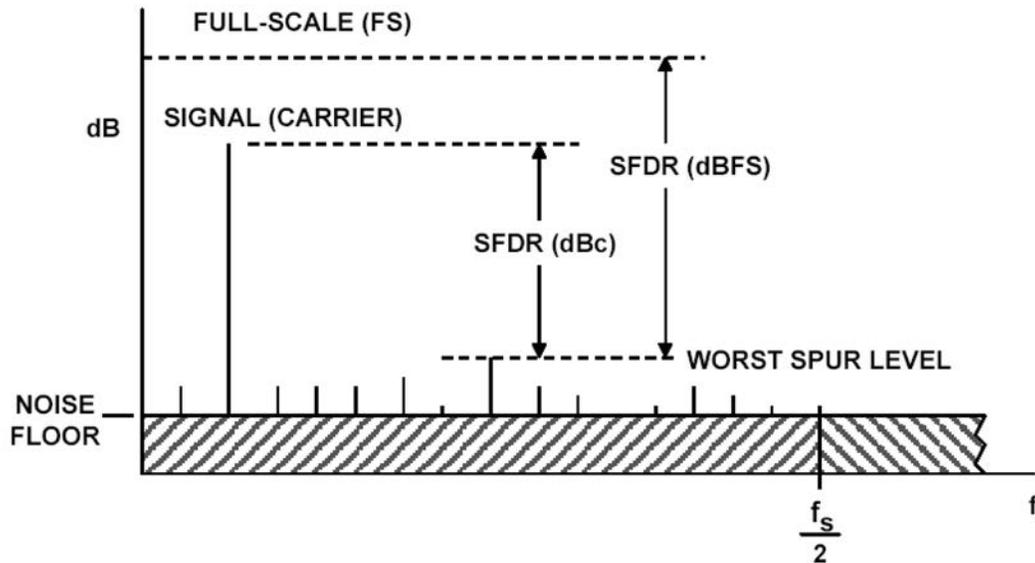


図 1.65: スプリアスフリー・ダイナミック・レンジ (SFDR)

スルー・レート

アンプのスルー・レートは、出力の電圧の最大変化率を表します。これは V/s (V/μs の方が一般的) で表されます。オペアンプは、回路設計によって立上がり遷移時と立下がり遷移時のスルー・レートが異なる場合がありますが、この解析ではスルー・レートが十分に対称な優れた高速オペアンプを仮定します。

ピーク to ピーク振幅が $2V_p$ で周波数が f のサイン波を考えると、出力電圧の式は次のようになります。

式 1-23

$$v(t) = V_p \sin 2\pi f t$$

これは次の最大スルー・レートを持ちます。

式 1-24

$$\left. \frac{dv}{dt} \right|_{\max} = 2\pi f V_p$$

ここで 1 つ注意する点は、多くの高速アンプにはオーバーシュートがあるということです。つまり、出力が最終値を越えてから最終値の周りで減衰発振をします。これを「リングング」と呼びます。

オーバーシュートとリングングの大きさは、アンプの位相余裕の指標になります。オーバーシュートが大きくなり、リングングが大きくなるほど、位相余裕が小さくなります。

スルー・レートは、一般に最終値の 10% ~ 90% で測定されます（ただし、20% ~ 80% が使われることもあります）。

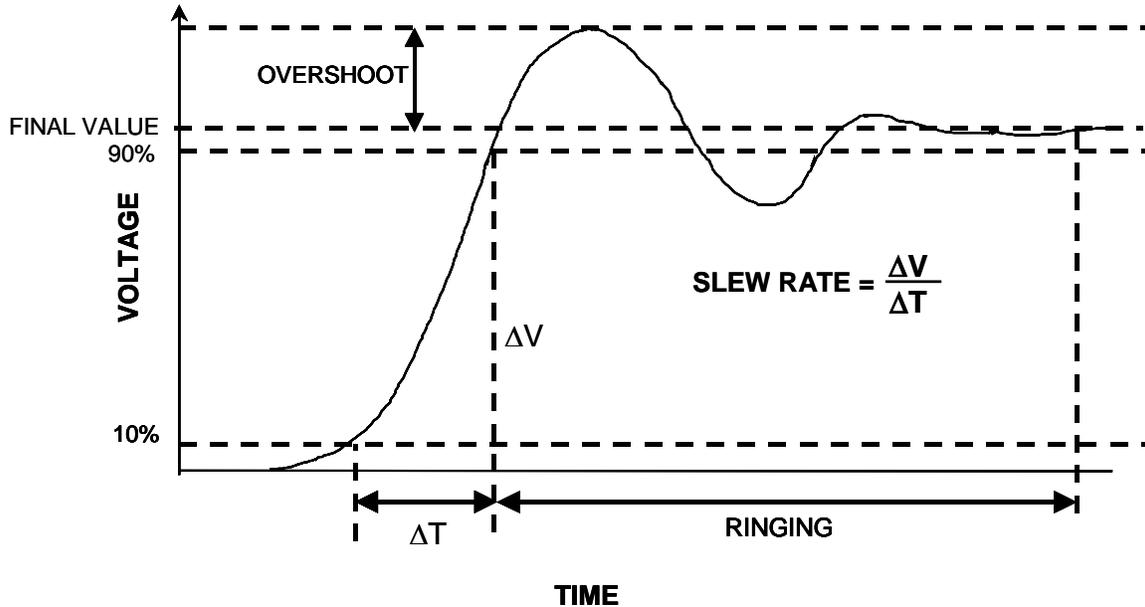


図 1.66: スルー・レート

フルパワー帯域幅

スルー・レート制限が生じる最大出力周波数は、スルー・レートに正比例し、信号の振幅に反比例します。これにより、オペアンプの「フルパワー帯域幅」(FPBW)を定義することができます。

$$FPBW = \text{スルー・レート} / 2\pi V_p \tag{式 1-25}$$

スルー・レートとフルパワー帯域幅のどちらも、使用する電源電圧とアンプが駆動する負荷（特に容量性）にある程度依存する可能性がある点に気付くことが重要です。

実際、許容歪み性能を達成するためには、オペアンプの FPBW を最大出力周波数の約 5 倍 ~ 10 倍にする必要があります。

Slew Rate = Maximum rate at which the output voltage of an op amp can change

Ranges: A few volts / μ s to several thousand volts / μ s

For a sine wave, $V_{out} = V_p \sin 2\pi f t$

$$dV/dt = 2\pi f V_p \cos 2\pi f t$$

$$(dV/dt)_{max} = 2\pi f V_p$$

If $2 V_p =$ full output span of op amp, then

$$\text{Slew Rate} = (dV/dt)_{max} = 2\pi * \text{FPBW} * V_p$$

$$\text{FPBW} = \text{Slew Rate} / 2\pi V_p$$

図 1.67: スルー・レートとフルパワー帯域幅

-3 dB 小信号帯域幅

オペアンプの - 3 dB 帯域幅はほとんどの場合、フルパワー帯域幅よりも大きくなります。その理由は、信号がその範囲まで振幅する必要がないからです。V_p が低下すると帯域幅は大きくなります。

平坦度 0.1 dB の帯域幅

プロ向けビデオのような要求の厳しいアプリケーションでは、規定された最大周波数まで比較的平坦な帯域幅と直線的な位相を維持することが求められます。その理由は、システムのゲインや位相が変化すると、色度や色相に影響を与えるからです。

3 dB 帯域幅を規定しただけでは不十分です。0.1 dB 帯域幅や 0.1 dB 帯域幅の平坦度を規定するのが一般的になっています。これは、規定された 0.1 dB 帯域幅の周波数まで 0.1 dB 以上のリップルがないことを意味します。ビデオ・バッファ・アンプでは、一般に 3 dB と 0.1 dB の両方の帯域幅を規定しています。AD8075 トリプル・ビデオ・バッファの周波数応答を図 1.68 に示します。

3 dB 帯域幅は約 400 MHz になります。これは、グラフの「GAIN」と表示された応答から求められ、対応するゲインの目盛りは左側の垂直軸（1 dB 刻みの目盛り）に示されています。「FLATNESS」の応答の目盛りは右側の垂直軸にあり、この場合の目盛りは 0.1 dB 刻みです。これにより 0.1 dB 帯域幅が求められ、この場合には約 65 MHz です。適用可能な帯域幅の大きな違いは、3 dB と 0.1 dB の評価基準にあります。65 MHz で 0.1 dB の平坦度定格を実現するためには、400 MHz 帯域幅のアンプ（従来どおりの測定）が必要です。

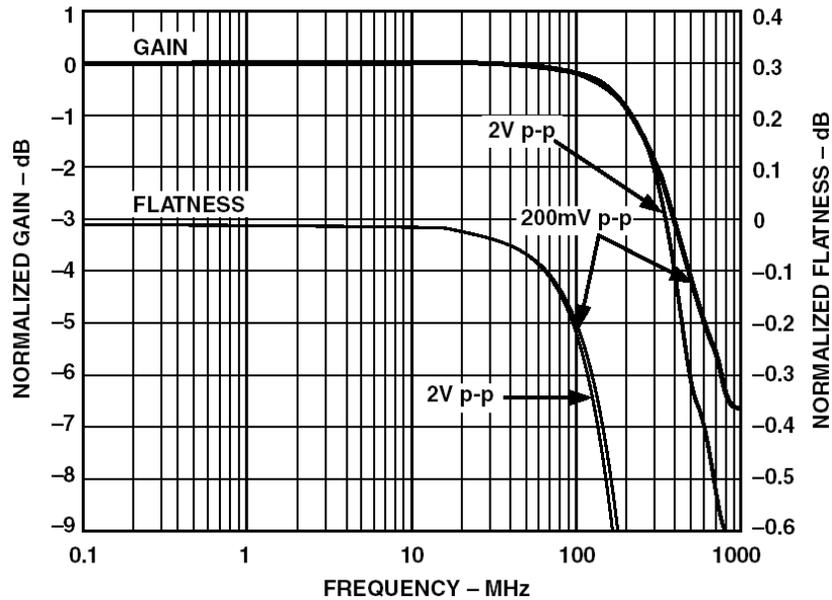


図 1.68: 0.1dB のゲイン平坦度

これらの仕様は、75 Ω の信号源と負荷で終端したケーブル（150 Ω の抵抗性負荷を表す）を駆動する場合に当てはまることに注意する必要があります。アンプ出力の容量性負荷は、周波数応答にピーキングを生じる可能性があるため、避ける必要があります。

ゲイン帯域幅積

VFB 型アンプでは、特定の周波数のゲインにその周波数を掛けると、積が一定になります。その理由は、1 次システムでは周波数が 2 倍になるとゲインが半分になるからです。したがって、この積はオペアンプの帯域幅を比較する際に役立つ性能指数になります。

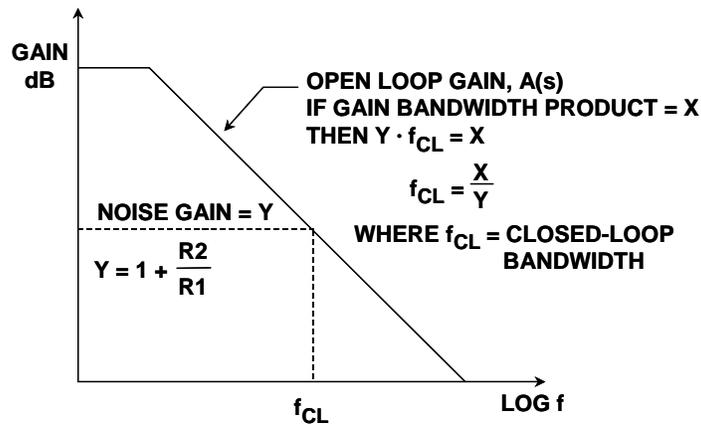


図 1.69: ゲイン帯域幅積

CFB 型の周波数依存性

電流帰還型オペアンプは、電圧帰還型オペアンプと同様の動作をしません。容量性帰還で安定しないだけでなく、出力から反転入力への短絡でも安定しません。CFB オペアンプには、帯域幅を最大にするための最適な帰還抵抗があります。この抵抗の値は電源電圧によって異なることに注意してください。帰還抵抗を大きくすると、帯域幅は小さくなります。逆に、帰還抵抗を小さくすると、帯域幅は大きくなり、アンプは不安定になる可能性があります。

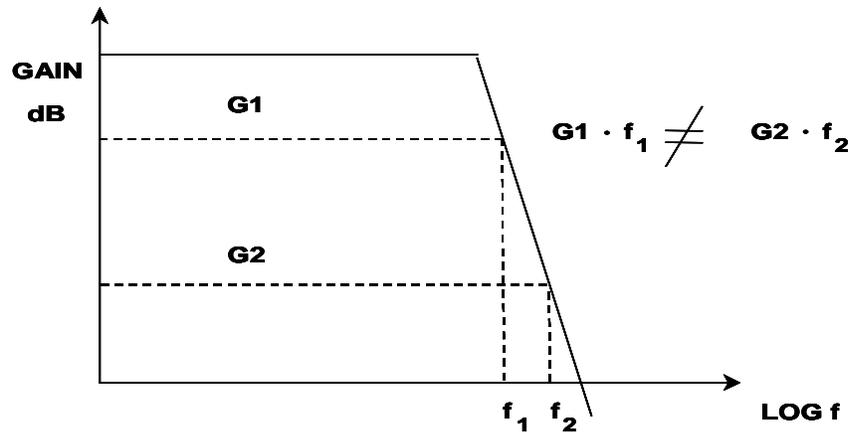


図 1.70: CFB オペアンプのオープンループ・ゲイン

I CFB オペアンプでは、所定の値の帰還抵抗に対して、クローズドループ帯域幅はノイズ・ゲインの影響をあまり受けません（図 1.70 参照）。したがって、CFB アンプにおいてゲイン帯域幅積に触れるのは適切ではありません。ゲイン帯域幅積が一定ではないという事実があるからです。CFB オペアンプのアプリケーションでは、デバイスの適正な帰還抵抗を選択してから入力抵抗を選択することによってゲインを操作し、必要なクローズドループ・ゲインを与えます。電流帰還アンプの信号ゲイン（帰還回路で決まる）は、VFB オペアンプの場合と同じです。

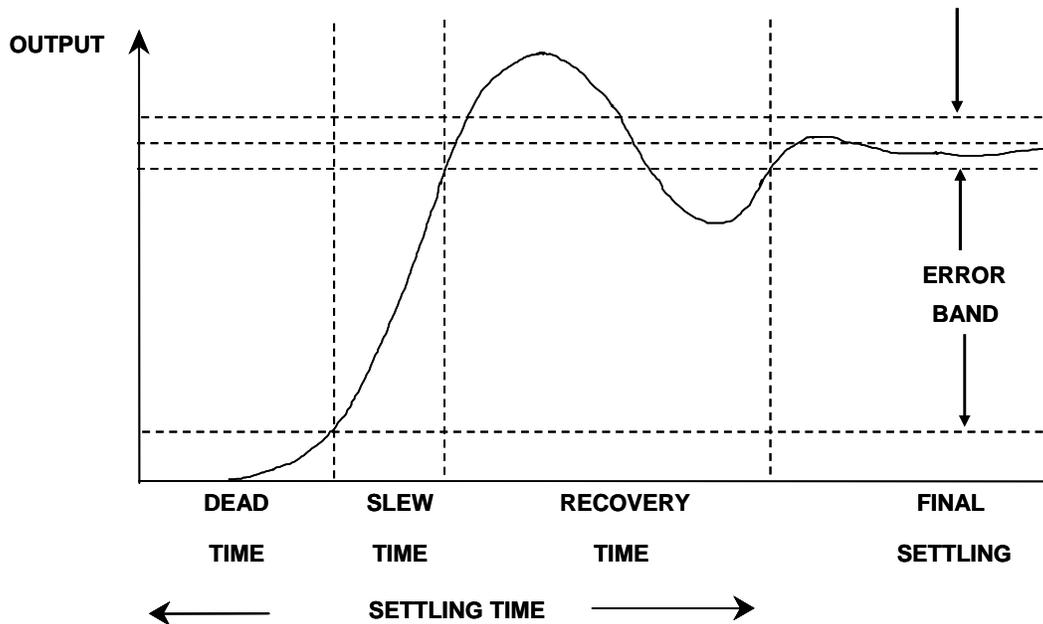
Component	AD8001AN (PDIP) Gain					AD8001AR (SOIC) Gain					AD8001ART (SOT-23-5) Gain				
	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100
R_f (Ω)	649	1050	750	470	1000	604	953	681	470	1000	845	1000	768	470	1000
R_c (Ω)	649		750	51	10	604		681	51	10	845		768	51	10
R_o (Nominal) (Ω)	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9
R_s (Ω)	0					0					0				
R_i (Nominal) (Ω)	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9
Small Signal BW (MHz)	340	880	460	260	20	370	710	440	260	20	240	795	380	260	20
0.1 db Flatness (MHz)	105	70	105			130	100	120			110	300	145		

図 1.71: AD8001 の推奨帰還抵抗値

一般に、CFB オペアンプのデータシートには推奨抵抗値の表が記載されており、ある範囲のゲイン、電源電圧、パッケージタイプに対するデバイスの最大帯域幅も示されています。これらの表を使うことで設計プロセスが大幅に簡略化されます。

セトリング・タイム

アンプのセトリング・タイムは、入力パルスの 50 % のポイントを基準に測定したときに、出力が入力のステップ変化に応答し、規定された誤差帯域内に入りその帯域内に残るようになるまでの時間として定義されます（図 1.72 参照）。オペアンプには固有の誤差帯域はありません（DAC には本来、1 LSB または約 ± 1 LSB の誤差帯域があります）。そのため、誤差帯域を選択して規定する必要があります。選択する値はオペアンプの性能に依存しますが、デバイスによって異なるため、比較するのは非常に困難です。セトリングが直線的でなく、異なる時定数が多く含まれる可能性があるため、このことは確かです。これらの例は、誘電体分離（DI）プロセスを使った初期のオペアンプです。これらのオペアンプはフル・スケールの 1 % まで非常に速くセトリングしましたが、10 ビット精度（0.1 %）にセトリングするための時間はほとんど無制限でした。同様に、非常に高精度のオペアンプの中には、数 μs で 0.025 % までセトリングできても、熱の影響により 0.001 % 以下までセトリングするのに数十 ms かかるものもあります。



Error band is usually defined to be a percentage of the step 0.1 % 0.05%, 0.01%, etc.

Settling time is non-linear; it may take 30 times as long to settle to 0.01% as to 0.1%.

Manufacturers often choose an error band which makes the op amp look good.

図 1.72: セトリング・タイム

熱の影響により、短時間セトリング・タイム（通常、ナノ秒で測定）と長時間セトリング・タイム（マイクロ秒またはミリ秒で測定）の間に大きな差を生じる可能性があることにも注意する必要があります。多くの AC アプリケーションでは、長時間セトリング・タイムは重要ではありませんが、重要な場合、短時間セトリング・タイムとは大きく異なるタイム・スケールで測定する必要があります。

立上がり時間と立下がり時間

高速オペアンプでは、立上がり時間と立下がり時間の仕様を設定することもできます。これらを等しくするのが理想ですが、実際のオペアンプでは通常いくらか異なります。立上がり時間と立下がり時間は、オペアンプに方形波を与えて出力波形で測定します。これはスルー・レートと密接な関係があります。また、スルー・レートの測定のように、一般にオーバーシュートとリングングが図の中に入らないように、10% と 90% のポイントの間を測定します。入力波は一般にフル・スケールになりますが、小さい入力信号に規定することもあります。立上がり時間と立下がり時間の合計は、スルー・レートやセトリング・タイムほど多く使われる仕様ではありません。

位相余裕

位相余裕は、（電圧帰還型）アンプのゲインが 0 dB を通過するときの位相シフトの大きさを表します。これは基本的に、システムの 2 つ目の極の近さが不安定性を引き起こす程度の指標になります。位相は、コーナー周波数の前で約 10 倍の変化をし始めます。位相シフトは 180° 未満でなければなりません。位相余裕は 180°（アンプの実際の位相シフト）です。通常、45° 以上であれば許容範囲です。位相余裕が大きいほど、システムはより安定します。容量性負荷は位相余裕を低下させます。

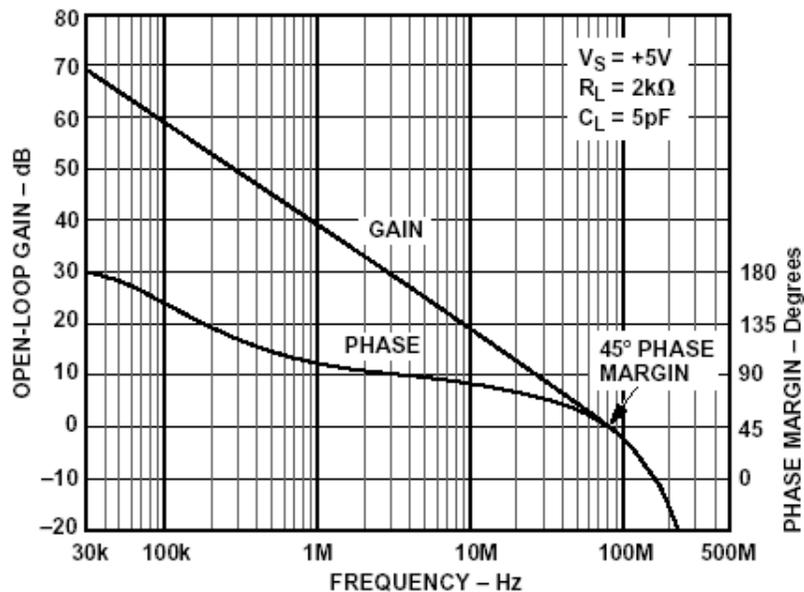


図 1.73: AD8054 の位相余裕

AD8054 のデータシートから引用した図 1.73 のグラフは、オープンループ・ゲイン（左側の目盛り）が 0 dB を下回るときに、位相余裕（右側の目盛り）が約 45° になることを示しています。これは位相余裕に対して良好な値です。一般に、20° ~ 25° を下回る位相余裕は避ける必要があります。

CMRR（同相ノイズ除去比）

差動入力電圧が変化しないように、オペアンプの両方の入力に信号を等しく与えると、出力は変化しません。実際には、コモンモード電圧の変化によって出力に変化が生じます。オペアンプの同相ノイズ除去比（CMRR）は、差動モード・ゲインに対するコモンモード・ゲインの比を表します。例えば、差動入力の Y ボルトの変化で出力に 1 V の変化が生じ、コモンモード入力の X ボルトの変化で出力に同じ 1 V の変化が生じる場合、CMRR は X/Y になります。同相ノイズ除去比を dB で表す場合には、一般に同相ノイズ除去（CMR）のことを指します。通常、低周波数の CMR 値は 70 dB ~ 120 dB の範囲が可能です。これより高い周波数では CMR 値は低下します。CMRR の数値の仕様に加えて、図 1.74 の OP177 オペアンプの CMRR に示すように、多くのオペアンプのデータシートには周波数対 CMR がプロット表示されています。

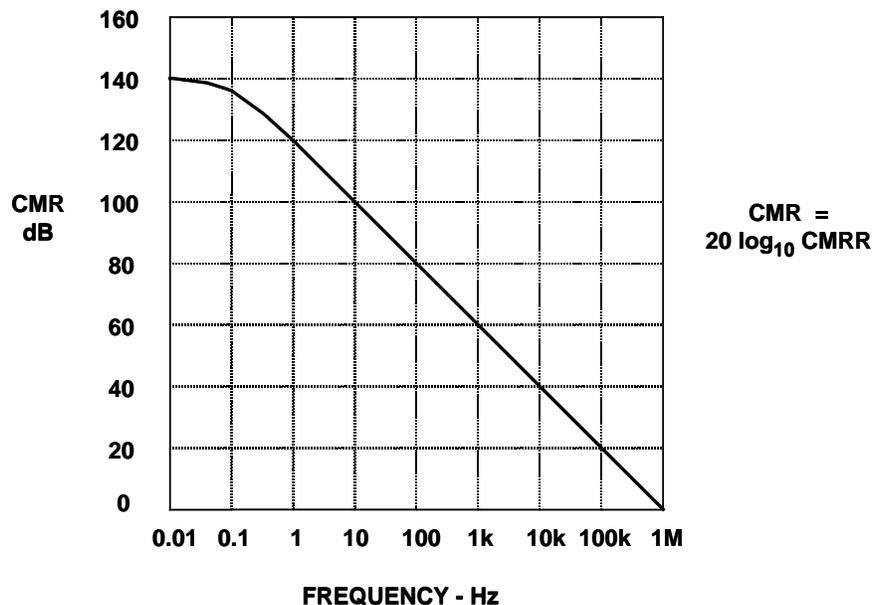


図 1.74: OP177 の CMRR

CMRR は、図 1.74 に示す非反転モード構成のオペアンプに、対応する出力オフセット電圧誤差を生成します。

反転モード動作をするオペアンプの CMRR 誤差は小さい値になります。両方の入力がグラウンド（または仮想グラウンド）に維持されるため、コモンモード電圧は変化しません。

PSRR (電源電圧変動除去比)

オペアンプの電源電圧が変化しても出力は変化してはいけないのですが、通常は変化します。電源電圧変動除去比 (PSRR) の仕様は、CMRR の定義と同様に規定されます。電源電圧の X ボルトの変化で、差動入力 Y ボルトの変化と同じ出力の変化が生じる場合、電源電圧の PSRR は X/Y になります。PSRR の定義では、両方の電源電圧が反対方向に等しく変化することを仮定しています。そうでない場合、この変化により電源電圧の変化とともにコモンモード電圧が変化し、分析が非常に複雑になります。正電源と負電源の PSRR に見かけ上の差を生じるのはこの影響です。

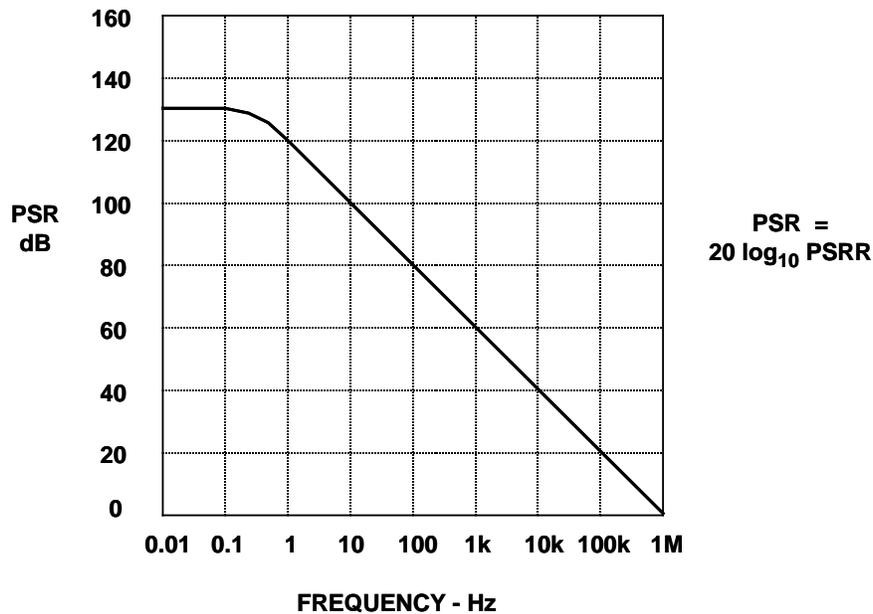


図 1.75: 電源電圧変動除去比

オペアンプの PSRR は周波数に依存するため、オペアンプの電源を十分にデカップリングする必要があります。周波数が低い場合、コンデンサまでの PC 上の距離が 10 cm を超えない限り、複数のデバイスが各電源に 10 μF ~ 50 μF のコンデンサを共有することができます。

周波数が高い場合、各 IC の電源リードは、リードと PC 上の距離が短い 0.1 μF 程度の低インダクタンス・コンデンサでデカップリングする必要があります。これらのコンデンサは、オペアンプの負荷の高周波電流用のリターン・パスも提供する必要があります。代表的なデカップリング回路を図 1-76 に示します。バイパスとデカップリングの詳細については 12 章を参照してください。

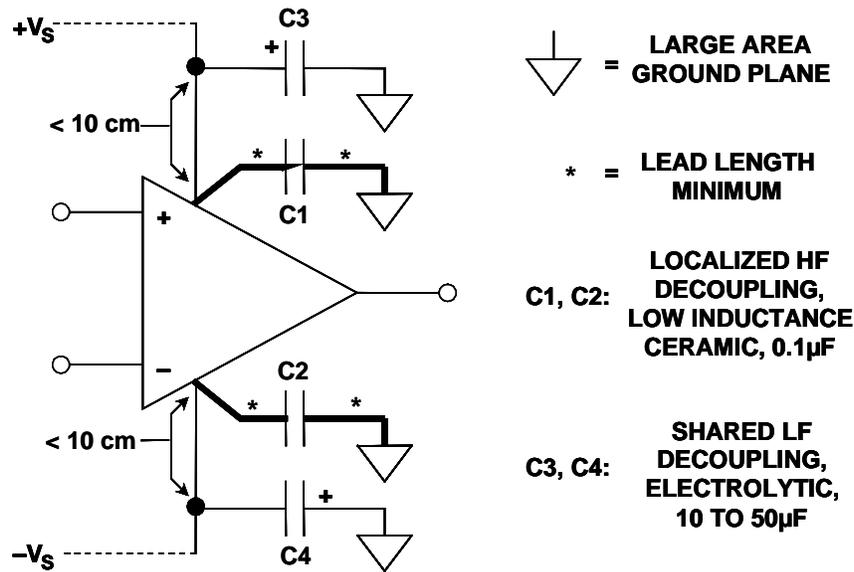


図 1.76: 推奨する電源のデカップリング

微分ゲイン

微分ゲインは、ビデオ・アプリケーションに由来する仕様です。初期のビデオ処理装置では、アンプのゲインが DC レベルとともに変化することがありました。より正確には、微分ゲインは、低周波数のルマ（輝度）信号の振幅変化に対する色飽和度レベル（色変調の振幅）の変化を表します。この変調は、明らかに色度を変化させる歪みになります。プロ向けビデオ編集装置では一般に、システムの総微分ゲインを 1 % 未満に維持するようにしています。最近の高性能ビデオ・オペアンプの微分ゲインの仕様は 0.01 % 未満です。

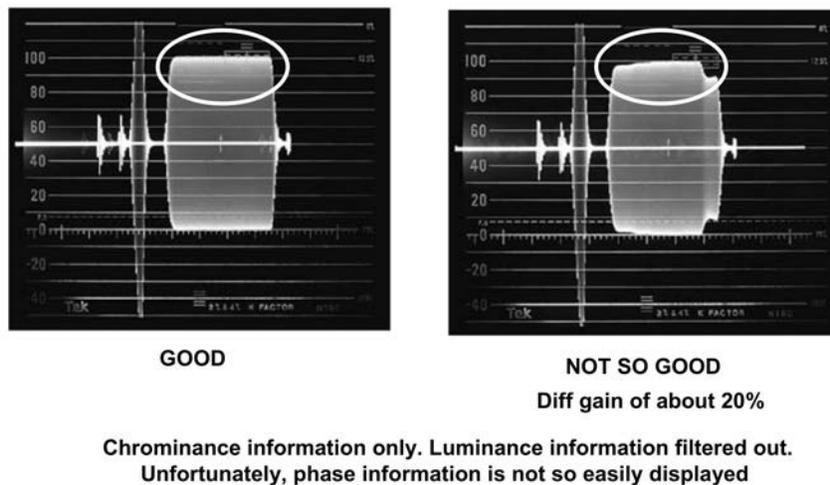


図 1.77: 微分ゲインの例

AD829-SPECIFICATIONS (@ $T_A = +25^\circ\text{C}$ and $V_S = \pm 15\text{ V dc}$, unless otherwise noted)

DIFFERENTIAL GAIN ERROR ³	$R_{LOAD} = 100\ \Omega$ $C_{COMP} = 30\ \text{pF}$	$\pm 15\ \text{V}$	0.02	0.02	%
DIFFERENTIAL PHASE ERROR ³	$R_{LOAD} = 100\ \Omega$ $C_{COMP} = 30\ \text{pF}$	$\pm 15\ \text{V}$	0.04	0.04	Degrees

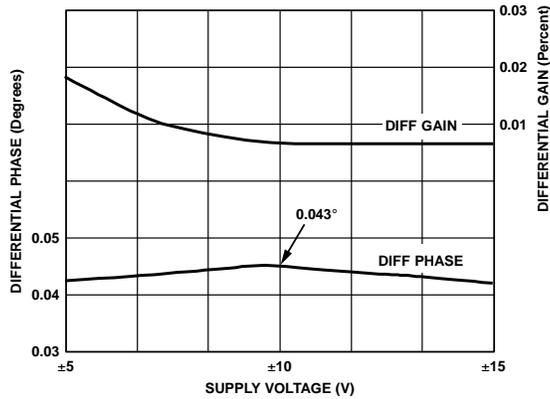


図 1.78: 微分ゲインと微分位相の仕様

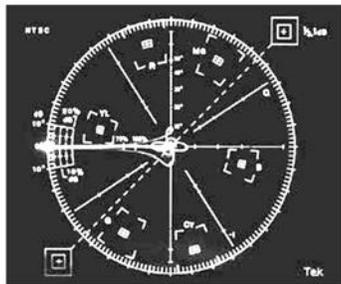
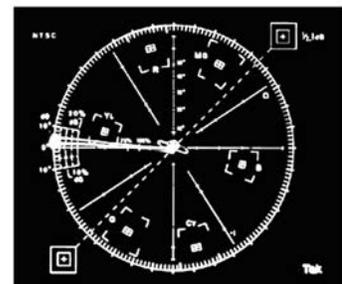
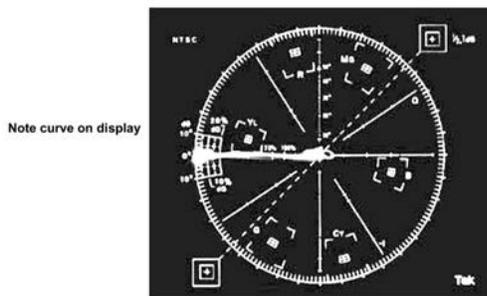


図 1.79: 「良好な」信号のベクトルスコープ表示



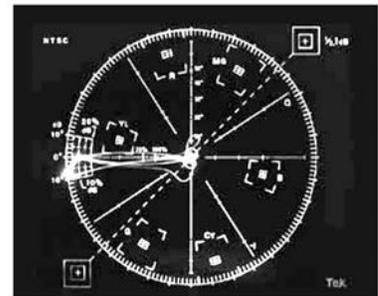
Note smearing of display line

図 1.81: 約 5° の微分位相を示すベクトルスコープ表示



Note curve on display

図 1.80: 約 15% の微分ゲインを示すベクトルスコープ表示



Note both curving & smearing of display line

図 1.82: 約 10% の微分ゲインと約 9° の微分位相を示すベクトルスコープ表示

絶対最大定格

オペアンプの絶対最大定格は、電圧、電流、そして温度制限です。絶対最大値を超えると、オペアンプを破壊する可能性があります。

入力ピンへの過電圧の印加はオペアンプを破壊するよくある状況の 1 つです。過電圧状態は、過電圧と ESD の 2 つのグループに分けることができます。

ESD 電圧は一般に数千ボルトまで達します。ほとんどの人は ESD を体験しています。特に乾燥した環境で足をナイロンのカーペットでちょっと引きずり、金属のドアノブに触れると、指からスパークが飛びます。CMOS 回路は特に ESD の影響を受けます。

過電圧は、オペアンプの最大許容電圧を超えると生じます。最大許容電圧は、いくつかの例外はあるものの、一般に電源電圧によって設定されます。一般に入力の過電圧により、入力デバイスは通常、基板を通した SCR (シリコン制御整流器) タイプの構造になります。故障のメカニズムは過電圧自体ではなく、過電圧によって電流が流れることです。したがって、電流を制限すると、破壊的な損傷はなくなります。一般に電流を 5 mA に制限します。

ABSOLUTE MAXIMUM RATINGS¹	
Supply Voltage	12.6 V
Internal Power Dissipation @ 25°C ²	
PDIP Package (N)	1.3 W
SOIC (R)	0.8 W
8-Lead CERDIP	1.1 W
SOT-23-5 Package (RT)	0.5 W
Input Voltage (Common Mode)	±V _S
Differential Input Voltage	±1.2 V
Output Short Circuit Duration	
.....	Observe Power Derating Curves
Storage Temperature Range N, R	-65°C to +125°C
Operating Temperature Range (A Grade) ...	-40°C to +85°C
Lead Temperature Range (Soldering 10 sec)	300°C
NOTES	
¹ Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.	
² Specification is for device in free air:	
8-Lead PDIP Package: $\theta_{JA} = 90^{\circ}\text{C}/\text{W}$	
8-Lead SOIC Package: $\theta_{JA} = 155^{\circ}\text{C}/\text{W}$	
8-Lead CERDIP Package: $\theta_{JA} = 110^{\circ}\text{C}/\text{W}$	
5-Lead SOT-23-5 Package: $\theta_{JA} = 260^{\circ}\text{C}/\text{W}$	

図 1.84: 代表的な絶対最大定格 (AD8001)

破壊的な損傷は生じないとはいえ、入力に過度のストレスを絶えず与えると、バイアス電流やオフセット電圧などのパラメータが変化する可能性があります。したがって、破壊させないとしても過電圧は避ける必要があります。

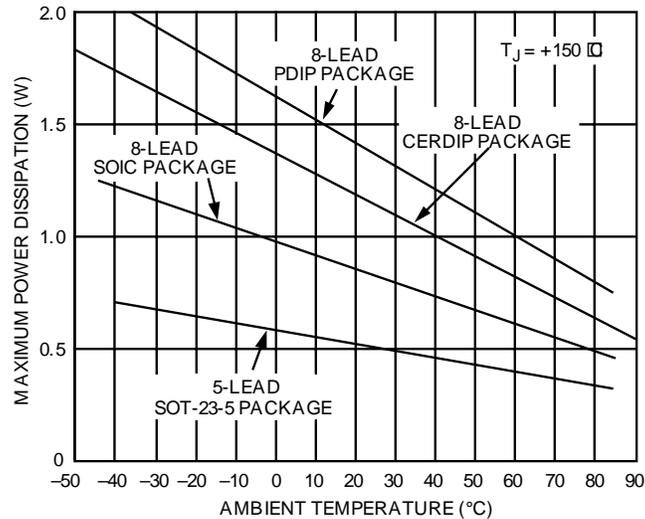


図 1.85: 最大電力チャート (AD8001)

過電圧に対する保護回路は、入力ピンから電源に接続されたダイオードと電流制限抵抗で構成することができます。ダイオードは通常、順方向電圧降下が小さいショットキー・ダイオード（標準で、シリコン・ダイオードの 700 mV に対して 300 mV）を使用します。ただし、保護デバイスは注意して使用する必要があります。ダイオードにはリーク電流が大きなものもあり、バイアス電流と同様の問題を生じる可能性があります。また、かなり大きな容量のものもあり、周波数応答を制限する可能性があります。これは、高速アンプで特に顕著です。電流制限抵抗はノイズ・フロアを上げます。OP-27 のようなオペアンプには保護ダイオードが内蔵されていますが、電流制限は必要です。オペアンプが保護ダイオードを備えている場合、一般に最大差動入力電流の仕様となります。保護回路も簡略回路図に示す必要があります。

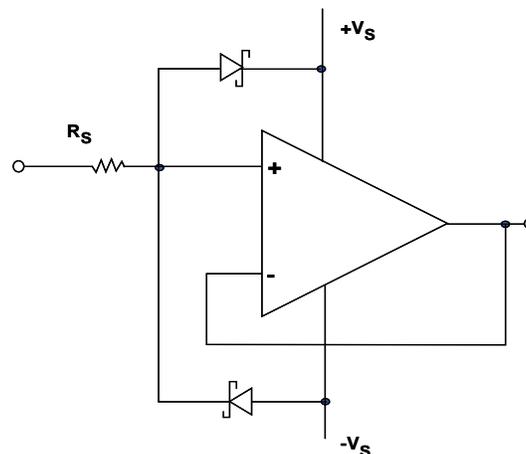


図 1.86: 入力保護

入力間に双方向ダイオードを備えたオペアンプもあります。これらは入力過電圧保護用ではなく、差動電圧を制限するためのものです。これらがあると、差動入力電圧が ± 700 mV の絶対最大仕様になります。

温度で最も重要な仕様は 150°C の最大ジャンクション温度です。この制限値に近づくと、実際にどの半導体のアンプの平均寿命も短くなります。

接合部とケースの間の温度勾配はパッケージの熱抵抗に基づくもので、 θ_{JC} と呼ばれています。また、パッケージと周囲の間の熱抵抗、 θ_{CA} もあります。これらの熱抵抗は線形加算されるため、接合部と周囲の間の総熱抵抗、 θ_{JA} は $\theta_{\text{JC}} + \theta_{\text{CA}}$ となります。

最大動作温度定格は、潜在的な損傷よりはむしろオペアンプの他の仕様の温度性能範囲と関係しています。

参考文献

- 1) John R. Ragazzini, Robert H. Randall, and Frederick A. Russell, "Analysis of Problems in Dynamics by Electronic Circuits," **Proceedings of the IRE**, Vol. 35, May 1947, pp. 444-452.
- 2) Walter Borlase, **An Introduction to Operational Amplifiers (Parts 1-3)**, September 1971, Analog Devices Seminar Notes, Analog Devices, Inc.
- 3) Karl D. Swartzel, Jr. "Summing Amplifier," **US Patent 2,401,779**, filed May 1, 1941, issued June 11, 1946.
- 4) Frederick E. Terman, "Feedback Amplifier Design," **Electronics**, Vol. 10, No. 1, January 1937, pp. 12-15, 50.
- 5) Julian M. West, "Wave Amplifying System," **US Patent 2,196,844**, filed April 26, 1939, issued April 9, 1940.
- 6) Hendrick W. Bode, "Relations Between Attenuation and Phase In Feedback Amplifier Design," **Bell System Technical Journal**, Vol. 19, No. 3, July, 1940.
See also: "Amplifier," **US Patent 2,173,178**, filed June 22, 1937, issued July 12, 1938
- 7) Ray Stata, "Operational Amplifiers-Parts I and II," **Electromechanical Design**, September, November 1965.
- 8) Dan Sheingold, Ed., **Applications Manual for Operational Amplifiers for Modeling, Measuring, Manipulating, and Much Else**, George A. Philbrick Researches, Inc., Boston, MA, 1965.
以下も参照してください。 **Applications Manual for Operational Amplifiers for Modeling, Measuring, Manipulating, and Much Else, 2nd Ed.**, Philbrick/Nexus Research, Dedham, MA, 1966, 1984.
- 9) Walter G. Jung, **IC Op Amp Cookbook, 3rd Ed.**, Prentice-Hall PTR, 1986, 1997, I
SBN: 0-13-889601-1.
- 10) Walt Kester, Editor, **Linear Design Seminar**, Analog Devices, Inc., 1995, ISBN: 0-916550-15-X.
- 11) Sergio Franco, **Design With Operational Amplifiers and Analog Integrated**.
- 12) "Video Op Amp," **Analog Dialogue**, Vol. 24, No. 3, pp. 19.
- 13) George Erdi, "Amplifier Techniques for Combining Low Noise, Precision, and High-Speed Performance," **IEEE Journal of Solid-State Circuits**, Vol. SC-16, December, 1981 pp. 653-661.
- 14) George Erdi, Tom Schwartz, Scott Bernardi, and Walt Jung, "Op Amps Tackle Noise-and for Once, Noise Loses," **Electronic Design**, December 12, 1980.
- 15) George Erdi, "A Precision Trim Technique for Monolithic Analog Circuits," **IEEE Journal of Solid- State Circuits**, Vol. SC-10, December, 1975 pp. 412-416.
- 16) Richard Wagner, "Laser-Trimming on the Wafer," **Analog Dialogue**, Vol. 9, No. 3, pp. 3-5.
- 17) Donn Soderquist, George Erdi, "The OP-07 Ultra-Low Offset Voltage Op Amp," **Precision Monolithics AN-13**, December, 1975.
- 18) Walt Kester, Editor, **Linear Design Seminar**, Analog Devices, 1995, ISBN: 0-916550-15-X.
- 19) Walt Kester, Editor, **High Speed Design Techniques**, Analog Devices, 1996, ISBN: 0-916550-17-6 (available for download at <http://www.analog.com>).

- 20) Walt Kester, Editor, **Practical Analog Design Techniques**, Analog Devices, 1995, ISBN: 0-916550-16-8. (available for download at <http://www.analog.com>).
- 21) Wyn Palmer, Barry Hilton, "A 500V/ μ s 12 Bit Transimpedance Amplifier," **ISSCC Digest**, February 1987, pp. 176-177, 386.
- 22) Frederick E. Terman, "Feedback Amplifier Design," **Electronics**, January 1937, pp. 12-15, 50.
- 23) Edward L. Ginzton, "DC Amplifier Design Techniques," **Electronics**, March 1944, pp. 98-102.
- 24) Stewart E. Miller, "Sensitive DC Amplifier with AC Operation," **Electronics**, November 1941, pp. 27-1, 105-109.
- 25) J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," **Bell System Technical Journal**, Vol. 44, No. 9, November 1965, pp. 1887-1950.
- 26) "Op Amps Combine Superb DC Precision and Fast Settling," **Analog Dialogue**, Vol. 22, No. 2, pp. 12-15.
- 27) David A. Nelson, "Settling Time Reduction in Wide-Band Direct-Coupled Transistor Amplifiers," **US Patent 4,502,020**, Filed October 26, 1983, Issued February 26, 1985.
- 28) Royal A. Gosser, "DC-Coupled Transimpedance Amplifier," **US Patent 4,970,470**, Filed October 10, 1989, Issued November 13, 1990.
- 29) James L. Melsa and Donald G. Schultz, **Linear Control Systems**, McGraw-Hill, 1969, pp. 196-220, ISBN: 0-07-041481-5
- 30) Lewis Smith and Dan Sheingold, "Noise and Operational Amplifier Circuits," **Analog Dialogue**, Vol. 3, No.1, pp. 1, 5-16. 以下も参照してください。 **Analog Dialogue 25th Anniversary Issue**, pp. 19-31, 1991.
- 31) Thomas M. Frederiksen, **Intuitive Operational Amplifiers**, McGraw-Hill, 1988., ISBN: 0-07-021966-4
- 32) Walter G. Jung, **IC Op Amp Cookbook, 3rd Ed.**, Prentice-Hall PTR, 1986, 1997, ISBN: 0-13-889601-1.
- 33) J. K. Roberge, **Operational Amplifiers-Theory and Practice**, John Wiley, 1975, ISBN: 0-471-72585-4.
- 34) D. Stout, M. Kaufman, **Handbook of Operational Amplifier Circuit Design**, New York, McGraw-Hill, 1976, ISBN: 0-07-061797-X.
- 35) J. Dostal, **Operational Amplifiers**, Elsevier Scientific Publishing, New York, 1981, ISBN: 0-444-99760-1.
- 36) Paul R. Gray and Robert G. Meyer, **Analysis and Design of Analog Integrated Circuits, 3rd Edition**, John Wiley, 1993, ISBN: 0-471-57495-3.
- 37) Sergio Franco, **Design With Operational Amplifiers and Analog Integrated Circuits, 2nd Ed.**, McGraw-Hill, 1998, ISBN: 0-07-021857-9
- 38) Walt Kester, Editor, **Linear Design Seminar**, Analog Devices, Inc., 1995, ISBN: 0-916550-15-X.
- 39) Walt Kester, Editor, **Practical Analog Design Techniques**, Analog Devices, 1995, ISBN: 0-916550-16-8, (available for download at <http://www.analog.com>).

- 40) Walt Kester, Editor, **High Speed Design Techniques**, Analog Devices, 1996, ISBN: 0-916550-17-6, (available for download at <http://www.analog.com>).
- 41) Roy Gosser, "Wide-Band Transconductance Generator," **US Patent 5,150,074**, filed May 3, 1991, issued September 22, 1992.
- 42) Roy Gosser, DC-Coupled Transimpedance Amplifier, **US Patent 4,970,470**, filed October 10, 1989, issued November 13, 1990.
- 43) James L. Melsa and Donald G. Schultz, **Linear Control Systems**, McGraw-Hill, 1969, pp. 196-220, SBN: 0-07-041481-5
- 44) Thomas M. Frederiksen, **Intuitive Operational Amplifiers**, McGraw-Hill, 1988., ISBN: 0-07-021966-4
- 45) Sergio Franco, **Design With Operational Amplifiers and Analog Integrated Circuits, 2nd Ed.**, McGraw-Hill, 1998, ISBN: 0-07-021857-9
- 46) Walt Kester, Editor, **High Speed Design Techniques**, Analog Devices, 1996, ISBN: 0-916550-17-6, (available for download at <http://www.analog.com>).
- 47) Data sheet for **AD8011 300 MHz, 1 mA Current Feedback Amplifier**, <http://www.analog.com>
- 48) Walt Kester, Editor, **1992 Amplifier Applications Guide**, Analog Devices, 1992, ISBN: 0-916550-10-9.
- 49) Walt Kester, Editor, **Practical Design Techniques for Sensor Signal Conditioning**, Analog Devices, 1999, ISBN: 0-916550-20-6.
- 50) Data Sheet for **AD8551/AD8552/AD8554 Zero-Drift, Single-Supply, Rail-to-Rail Input/Output Operational Amplifiers**, <http://www.analog.com>
- 51) Data Sheet for **AD8571/AD8572/AD8574 Zero-Drift, Single-Supply, Rail-to-Rail Input/Output Operational Amplifiers**, <http://www.analog.com>
- 52) Data Sheet for **OP777/OP727/OP747 Precision Micropower Single-Supply Operational Amplifiers**, <http://www.analog.com>
- 53) Data Sheet for **OP1177/OP2177/OP4177 Precision Low Noise, Low Input Bias Current Operational Amplifiers**, <http://www.analog.com>

注記

1.3: データシートの読み方

データシートの形式に関して業界標準はありませんが、各メーカーの大部分のデバイスのデータシートの適用範囲、記載内容、記載箇所は一般に同じような構成になっています。このセクションではいくつかのデータシートを調べ、特定の情報の記載場所や情報の解釈の仕方について理解を深めます。

実証例として、高精度アンプ（OP1177/OP2177/OP4177）、単電源アンプ（AD8531/AD8532/AD8534）、高速 VFB アンプ（AD8051/AD8052/AD8054）、CFB アンプ（AD8001）、AD847 の 5 つのデータシートを検討します。製品番号は任意に選択したもので、広範囲のデバイスが対象となることを配慮して選択しました。

表紙

このページは、デバイスを選択するのに必要な基本情報を提供するように考案されています。図 1.87 に示すように、表紙は 3 つの部分に分けることができます。

1 の部分は特長です。これらの箇条書きは、メーカーが対象とするアプリケーションに対して製品のより重要なパラメータとみなす内容を示しています。通常、対象とするアプリケーションもリストされています。

2 の部分は製品の概要です。ここには、一般にメーカーがオペアンプの主要な特長と見なす内容の一部が記載されています。

3 つ目の部分は機能ブロック図です。オペアンプでは、この部分は一般に各種パッケージのピン配置になります。複雑なデバイスの場合は、正確なブロック図を表します。

仕様表

どのような仕様を測定する場合も、条件の数が無制限になる可能性があります。ありうるすべての条件をテストすることは不可能なことは明らかです。そのため、代表的な条件のセットが選択されています。テスト条件が仕様規定されています（図 1.88 の 1）。より明確な条件や条件の変更が必要な場合は、脚注を使って示します（図 1.88 の 2）。

オペアンプが広範囲の条件で仕様規定されている場合、複数の仕様ページになることもあります。それぞれのページに異なる条件のセットが記載されています。例えば、オペアンプは ± 15 V 電源、 ± 5 V 電源、 $+5$ V 単電源などで仕様規定される場合があります。例として、AD8051/AD8052/AD8054 のデータシートを参照してください。



Precision Low Noise, Low Input Bias Current Operational Amplifiers

OP1177/OP2177/OP4177

<p>FEATURES Low Offset Voltage: 60 μV Max Very Low Offset Voltage Drift: 0.7 $\mu\text{V}/^\circ\text{C}$ Max Low Input Bias Current: 2 nA Max Low Noise: 8 nV/$\sqrt{\text{Hz}}$ CMRR, PSRR, and A_{VO} > 120 dB Min Low Supply Current: 400 $\mu\text{A}/\text{Amp}$ Dual Supply Operation: $\pm 2.5\text{ V}$ to $\pm 15\text{ V}$ Unity Gain Stable No Phase Reversal Inputs Internally Protected Beyond Supply Voltage</p> <p>APPLICATIONS Wireless Base Station Control Circuits Optical Network Control Circuits Instrumentation Sensors and Controls Thermocouples RTDs Strain Bridges Shunt Current Measurements Precision Filters</p> <p style="text-align: right;">1</p>	<p>FUNCTIONAL BLOCK DIAGRAM</p> <div style="display: flex; justify-content: space-around;"> <div style="text-align: center;"> <p>8-Lead MSOP (RM-Suffix)</p> <p>NC = NO CONNECT</p> </div> <div style="text-align: center;"> <p>8-Lead SOIC (R-Suffix)</p> <p>NC = NO CONNECT</p> </div> </div> <div style="display: flex; justify-content: space-around; margin-top: 20px;"> <div style="text-align: center;"> <p>8-Lead MSOP (RM-Suffix)</p> </div> <div style="text-align: center;"> <p>8-Lead SOIC (R-Suffix)</p> </div> </div> <div style="display: flex; justify-content: space-around; margin-top: 20px;"> <div style="text-align: center;"> <p>14-Lead SOIC (R-Suffix)</p> </div> <div style="text-align: center;"> <p>14-Lead TSSOP (RU-Suffix)</p> <p style="text-align: right;">3</p> </div> </div>
<p>GENERAL DESCRIPTION The OPx177 family consists of very high-precision, single, dual, and quad amplifiers featuring extremely low offset voltage and drift, low input bias current, low noise, and low power consumption. Outputs are stable with capacitive loads of over 1,000 pF with no external compensation. Supply current is less than 500 μA per amplifier at 30 V. Internal 500 Ω series resistors protect the inputs, allowing input signal levels several volts beyond either supply without phase reversal.</p> <p>Unlike previous high-voltage amplifiers with very low offset voltages, the OP1177 and OP2177 are available in the tiny MSOP 8-lead surface-mount package, while the OP4177 is available in TSSOP14. Moreover, specified performance in the MSOP/TSSOP package is identical to performance in the SOIC package.</p> <p>OPx177 family offers the widest specified temperature range of any high-precision amplifier in surface-mount packaging. All versions are fully specified for operation from -40°C to $+125^\circ\text{C}$ for the most demanding operating environments.</p> <p>Applications for these amplifiers include precision diode power measurement, voltage and current level setting, and level detection in optical and wireless transmission systems. Additional applications include line powered and portable instrumentation</p> <p style="text-align: right;">2</p>	<p>and controls—thermocouple, RTD, strain-bridge, and other sensor signal conditioning—and precision filters.</p> <p>The OP1177 (single) and the OP2177 (dual) amplifiers are available in the 8-lead MSOP and 8-lead SOIC packages. The OP4177 (quad) is available in 14-lead narrow SOIC and 14-lead TSSOP packages. MSOP and TSSOP packages are available in tape and reel only.</p>

図 1.87: データシートの表紙の例

AD847-SPECIFICATIONS (@ T _A = +25°C, unless otherwise noted)										
Model	Conditions	V _S	AD847J			AD847AR			Units	
			Min	Typ	Max	Min	Typ	Max		
INPUT OFFSET VOLTAGE ¹	T _{MIN} to T _{MAX}	±5 V		0.5	1		0.5	1	mV	
			Offset Drift		15	3.5		15	4	mV μV/°C
INPUT BIAS CURRENT	T _{MIN} to T _{MAX}	±5 V, ±15 V		3.3	6.6		3.3	6.6	μA μA	
INPUT OFFSET CURRENT	T _{MIN} to T _{MAX}	±5 V, ±15 V		50	300		50	300	nA nA	
			Offset Current Drift		0.3	400		0.3	500	nA/°C
OPEN-LOOP GAIN	V _{OUT} = ±2.5 V R _{LOAD} = 500 Ω T _{MIN} to T _{MAX} R _{LOAD} = 150 Ω V _{OUT} = ±10 V R _{LOAD} = 1 kΩ T _{MIN} to T _{MAX}	±5 V	2	3.5		2	3.5	V/mV		
			1		1.6	1	1.6	V/mV		
		±15 V	3	5.5		3	5.5	V/mV		
DYNAMIC PERFORMANCE	Unity Gain Bandwidth	±5 V		35			35	MHz		
		±15 V		50			50	MHz		
Full Power Bandwidth ²	V _{OUT} = 5 V p-p R _{LOAD} = 500 Ω V _{OUT} = 20 V p-p R _{LOAD} = 1 kΩ	±5 V		12.7			12.7	MHz		
		±15 V		4.7			4.7	MHz		
Slew Rate ³	R _{LOAD} = 1 kΩ	±5 V		200			200	V/μs		
		±15 V	225	300		225	300	V/μs		
Settling Time	to 0.1%, R _{LOAD} = 250 Ω	±5 V		65			65	ns		
		±15 V		65			65	ns		
to 0.01%, R _{LOAD} = 250 Ω	-2.5 V to +2.5 V 10 V Step, A _V = -1	±5 V		140			140	ns		
		±15 V		120			120	ns		
Phase Margin	C _{LOAD} = 10 pF R _{LOAD} = 1 kΩ	±5 V		50			50	Degree		
		±15 V		0.04			0.04	%		
Differential Gain	f = 4.4 MHz, R _{LOAD} = 1 kΩ	±5 V		0.19			0.19	Degree		
		±15 V		0.19			0.19	Degree		
COMMON-MODE REJECTION	V _{CM} = ±2.5 V V _{CM} = ±12 V T _{MIN} to T _{MAX}	±5 V	78	95		78	95	dB		
			78	95		78	95	dB		
		±15 V	75			75		dB		
POWER SUPPLY REJECTION	V _S = ±5 V to ±15 V T _{MIN} to T _{MAX}		75	86		75	86	dB dB		
INPUT VOLTAGE NOISE	f = 10 kHz	±15 V		15			15	nV/√Hz		
INPUT CURRENT NOISE	f = 10 kHz	±15 V		1.5			1.5	pA/√Hz		
INPUT COMMON-MODE VOLTAGE RANGE		±5 V		+4.3			+4.3	V		
		±15 V		-3.4			-3.4	V		
OUTPUT VOLTAGE SWING	R _{LOAD} = 500 Ω R _{LOAD} = 150 Ω R _{LOAD} = 1 kΩ R _{LOAD} = 500 Ω	±5 V	3.0	3.6		3.0	3.6	±V		
		±15 V	2.5	3		2.5	3	±V		
Short-Circuit Current	R _{LOAD} = 1 kΩ R _{LOAD} = 500 Ω	±15 V	12			12		±V		
		±15 V	10			10		±V		
Short-Circuit Current		±15 V		32			32	mA		
INPUT RESISTANCE				300			300	kΩ		
INPUT CAPACITANCE				1.5			1.5	pF		
OUTPUT RESISTANCE	Open Loop			15			15	Ω		
POWER SUPPLY	Operating Range Quiescent Current	±5 V		±4.5	±18		±4.5	±18	V	
			T _{MIN} to T _{MAX}		4.8	6.0		4.8	6.0	mA
			±15 V		5.3	6.3		5.3	6.3	mA
T _{MIN} to T _{MAX}			7.6			7.6	mA			

NOTES
¹Input Offset Voltage Specifications are guaranteed after 5 minutes at T_A = +25°C.
²Full Power Bandwidth = Slew Rate/2πV_{PEAK}.
³Slew Rate is measured on rising edge.
 All min and max specifications are guaranteed. Specifications in boldface are 100% tested at final electrical test.
 Specifications subject to change without notice.

図 1.88: 仕様ページの例

AD8051/AD8052/AD8054

SPECIFICATIONS (@ $T_A = 25^\circ\text{C}$, $V_S = 5\text{ V}$, $R_L = 2\text{ k}\Omega$ to 2.5 V , unless otherwise noted.)

Parameter	Conditions	AD8051A/AD8052A			AD8054A		Unit	
		Min	Typ	Max	Min	Typ		Max
DYNAMIC PERFORMANCE								
-3 dB Small Signal Bandwidth	$G = +1, V_O = 0.2\text{ V p-p}$	70	110		80	150	MHz	
Bandwidth for 0.1 dB Flatness	$G = -1, +2, V_O = 0.2\text{ V p-p}$		50			60	MHz	
	$G = +2, V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V , $R_F = 806\ \Omega$ for AD8051A/ AD8052A $R_F = 200\ \Omega$ for AD8054A		20				MHz	
Slew Rate	$G = -1, V_O = 2\text{ V Step}$	100	145		140	170	V/ μs	
Full Power Response	$G = +1, V_O = 2\text{ V p-p}$		35			45	MHz	
Settling Time to 0.1%	$G = -1, V_O = 2\text{ V Step}$		50			40	ns	
NOISE/DISTORTION PERFORMANCE								
Total Harmonic Distortion*	$f_C = 5\text{ MHz}, V_O = 2\text{ V p-p}, G = +2$		-67			-68	dB	
Input Voltage Noise	$f = 10\text{ kHz}$		16			16	nV/ $\sqrt{\text{Hz}}$	
Input Current Noise	$f = 10\text{ kHz}$		850			850	fA/ $\sqrt{\text{Hz}}$	
Differential Gain Error (NTSC)	$G = +2, R_L = 150\ \Omega$ to 2.5 V		0.09			0.07	%	
	$R_L = 1\text{ k}\Omega$ to 2.5 V		0.03			0.02	%	
Differential Phase Error (NTSC)	$G = +2, R_L = 150\ \Omega$ to 2.5 V		0.19			0.26	Degrees	
	$R_L = 1\text{ k}\Omega$ to 2.5 V		0.03			0.05	Degrees	
Crosstalk	$f = 5\text{ MHz}, G = +2$		-60			-60	dB	
DC PERFORMANCE								
Input Offset Voltage			1.7	10		1.7	12	mV
Offset Drift	$T_{\text{MIN}}-T_{\text{MAX}}$		10	25		15	30	mV
Input Bias Current			1.4	2.5		2	4.5	μA
	$T_{\text{MIN}}-T_{\text{MAX}}$			3.25			4.5	μA
Input Offset Current			0.1	0.75		0.2	1.2	μA
Open-Loop Gain	$R_L = 2\text{ k}\Omega$ to 2.5 V	86	98		82	98		dB
	$T_{\text{MIN}}-T_{\text{MAX}}$		96			96		dB
	$R_L = 150\ \Omega$ to 2.5 V	76	82		74	82		dB
	$T_{\text{MIN}}-T_{\text{MAX}}$		78			78		dB
INPUT CHARACTERISTICS								
Input Resistance			290			300		k Ω
Input Capacitance			1.4			1.5		pF
Input Common-Mode Voltage Range			-0.2 to +4			-0.2 to +4		V
Common-Mode Rejection Ratio	$V_{\text{CM}} = 0\text{ V}$ to 3.5 V	72	88		70	86		dB
OUTPUT CHARACTERISTICS								
Output Voltage Swing	$R_L = 10\text{ k}\Omega$ to 2.5 V		0.015 to 4.985			0.03 to 4.975		V
	$R_L = 2\text{ k}\Omega$ to 2.5 V	0.1 to 4.9	0.025 to 4.975		0.125 to 4.875	0.05 to 4.95		V
	$R_L = 150\ \Omega$ to 2.5 V	0.3 to 4.625	0.2 to 4.8		0.55 to 4.4	0.25 to 4.65		V
Output Current	$V_{\text{OUT}} = 0.5\text{ V}$ to 4.5 V		45			30		mA
	$T_{\text{MIN}}-T_{\text{MAX}}$		45			30		mA
Short-Circuit Current	Sourcing		80			45		mA
	Sinking		130			85		mA
Capacitive Load Drive	$G = +1$ (AD8051/AD8052)		50					pF
	$G = +2$ (AD8054)					40		pF
POWER SUPPLY								
Operating Range		3		12	3		12	V
Quiescent Current/Amplifier			4.4	5		2.75	3.275	mA
Power Supply Rejection Ratio	$\Delta V_S = \pm 1\text{ V}$	70	80		68	80		dB
OPERATING TEMPERATURE RANGE								
	RT, RU, RN-14	-40		+85	-40		+85	$^\circ\text{C}$
	RM, RN-8	-40		+125				$^\circ\text{C}$

*Refer to TPC 13.

Specifications subject to change without notice.

図 1.89: 仕様ページの例 2

AD8051/AD8052/AD8054

SPECIFICATIONS

(@ $T_A = 25^\circ\text{C}$, $V_S = 3\text{ V}$, $R_L = 2\text{ k}\Omega$ to 1.5 V , unless otherwise noted.)

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
DYNAMIC PERFORMANCE								
-3 dB Small Signal Bandwidth	$G = +1$, $V_O = 0.2\text{ V p-p}$	70	110		80	135		MHz
Bandwidth for 0.1 dB Flatness	$G = -1, +2$, $V_O = 0.2\text{ V p-p}$ $G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V , $R_F = 402\ \Omega$ for AD8051A/AD8052A $R_F = 200\ \Omega$ for AD8054A		50			65		MHz
Slew Rate	$G = -1$, $V_O = 2\text{ V Step}$	90	135		110	150		V/ μs
Full Power Response	$G = +1$, $V_O = 1\text{ V p-p}$		65			85		MHz
Settling Time to 0.1%	$G = -1$, $V_O = 2\text{ V Step}$		55			55		ns
NOISE/DISTORTION PERFORMANCE								
Total Harmonic Distortion*	$f_C = 5\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = -1$, $R_L = 100\ \Omega$ to 1.5 V		-47			-48		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16			16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		600			600		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$, $V_{CM} = 1\text{ V}$, $R_L = 150\ \Omega$ to 1.5 V , $R_L = 1\text{ k}\Omega$ to 1.5 V		0.11			0.13		%
Differential Phase Error (NTSC)	$G = +2$, $V_{CM} = 1\text{ V}$, $R_L = 150\ \Omega$ to 1.5 V , $R_L = 1\text{ k}\Omega$ to 1.5 V		0.24			0.3		Degrees
Crosstalk	$f = 5\text{ MHz}$, $G = +2$		0.10			0.1		Degrees
DC PERFORMANCE								
Input Offset Voltage			1.6	10		1.6	12	mV
Offset Drift	$T_{MN} - T_{MAX}$			25			30	mV
Input Bias Current			1.3	2.6		2	4.5	$\mu\text{A}/^\circ\text{C}$
Input Offset Current	$T_{MN} - T_{MAX}$			3.25			4.5	μA
Open-Loop Gain	$R_L = 2\text{ k}\Omega$	80	96	0.8	80	96		dB
	$T_{MN} - T_{MAX}$		94			94		dB
	$R_L = 150\ \Omega$	74	82		72	80		dB
	$T_{MN} - T_{MAX}$		76			76		dB
INPUT CHARACTERISTICS								
Input Resistance			290			300		k Ω
Input Capacitance			1.4			1.5		pF
Input Common-Mode Voltage Range			-0.2 to +2			-0.2 to +2		V
Common-Mode Rejection Ratio	$V_{CM} = 0\text{ V}$ to 1.5 V	72	88		70	86		dB
OUTPUT CHARACTERISTICS								
Output Voltage Swing	$R_L = 10\text{ k}\Omega$ to 1.5 V $R_L = 2\text{ k}\Omega$ to 1.5 V $R_L = 150\ \Omega$ to 1.5 V	0.075 to 2.9	0.01 to 2.99		0.1 to 2.9	0.025 to 2.98		V
Output Current	$V_{OUT} = 0.5\text{ V}$ to 2.5 V	0.2 to 2.75	0.02 to 2.98		0.35 to 2.55	0.35 to 2.965		V
Short-Circuit Current	$T_{MN} - T_{MAX}$		45			25		mA
	Sourcing		45			25		mA
	Sinking		60			30		mA
Capacitive Load Drive	$G = +1$ (AD8051/AD8052) $G = +2$ (AD8054)		90			50		mA
			45			35		pF
POWER SUPPLY								
Operating Range		3		12	3		12	V
Quiescent Current/Amplifier			4.2	4.8		2.625	3.125	mA
Power Supply Rejection Ratio	$\Delta V_S = 0.5\text{ V}$	68	80		68	80		dB
OPERATING TEMPERATURE RANGE								
	RT, RU, RN-14	-40		+85	-40		+85	$^\circ\text{C}$
	RM, RN-8	-40		+125				$^\circ\text{C}$

*Refer to TPC 13.

Specifications subject to change without notice.

図 1.90: 仕様ページの例 3

AD8051/AD8052/AD8054

SPECIFICATIONS

(@ $T_A = 25^\circ\text{C}$, $V_S = \pm 5\text{ V}$, $R_L = 2\text{ k}\Omega$ to Ground, unless otherwise noted.)

Parameter	Conditions	AD8051A/AD8052A			AD8054A			Unit
		Min	Typ	Max	Min	Typ	Max	
DYNAMIC PERFORMANCE								
-3 dB Small Signal Bandwidth	$G = +1$, $V_O = 0.2\text{ V p-p}$ $G = -1$, $+2$, $V_O = 0.2\text{ V p-p}$	70	110		85	160		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$, $R_F = 1.1\text{ k}\Omega$ for AD8051A/AD8052A $R_F = 200\ \Omega$ for AD8054A		20			15		MHz
Slew Rate	$G = -1$, $V_O = 2\text{ V Step}$	105	170		150	190		V/ μs
Full Power Response	$G = +1$, $V_O = 2\text{ V p-p}$		40			50		MHz
Settling Time to 0.1%	$G = -1$, $V_O = 2\text{ V Step}$		50			40		ns
NOISE/DISTORTION PERFORMANCE								
Total Harmonic Distortion	$f_C = 5\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = +2$		-71			-72		dB
Input Voltage Noise	$f = 10\text{ kHz}$		16			16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\text{ kHz}$		900			900		fA/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$		0.02			0.06		%
	$R_L = 1\text{ k}\Omega$		0.02			0.02		%
Differential Phase Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$		0.11			0.15		Degrees
	$R_L = 1\text{ k}\Omega$		0.02			0.03		Degrees
Crosstalk	$f = 5\text{ MHz}$, $G = +2$		-60			-60		dB
DC PERFORMANCE								
Input Offset Voltage	$T_{\text{MIN}} - T_{\text{MAX}}$		1.8	11		1.8	13	mV
Offset Drift			10	27		15	32	mV/ $^\circ\text{C}$
Input Bias Current	$T_{\text{MIN}} - T_{\text{MAX}}$		1.4	2.6		2	4.5	μA
				3.5			4.5	μA
Input Offset Current			0.1	0.75		0.2	1.2	μA
Open-Loop Gain	$R_L = 2\text{ k}\Omega$	88	96		84	96		dB
	$T_{\text{MIN}} - T_{\text{MAX}}$		96			96		dB
	$R_L = 150\ \Omega$	78	82		76	82		dB
	$T_{\text{MIN}} - T_{\text{MAX}}$		80			80		dB
INPUT CHARACTERISTICS								
Input Resistance			290			300		k Ω
Input Capacitance			1.4			1.5		pF
Input Common-Mode Voltage Range			-5.2 to +4			-5.2 to +4		V
Common-Mode Rejection Ratio	$V_{\text{CM}} = -5\text{ V to } +3.5\text{ V}$	72	88		70	86		dB
OUTPUT CHARACTERISTICS								
Output Voltage Swing	$R_L = 10\text{ k}\Omega$		-4.98 to +4.98			-4.97 to +4.97		V
	$R_L = 2\text{ k}\Omega$		-4.85 to +4.85			-4.97 to +4.97		V
	$R_L = 150\ \Omega$		-4.45 to +4.3			-4.0 to +3.8		V
Output Current	$V_{\text{OUT}} = -4.5\text{ V to } +4.5\text{ V}$		45			30		mA
	$T_{\text{MIN}} - T_{\text{MAX}}$		45			30		mA
Short-Circuit Current	Sourcing		100			60		mA
	Sinking		160			100		mA
Capacitive Load Drive	$G = +1$ (AD8051/AD8052) $G = +2$ (AD8054)		50			40		pF
POWER SUPPLY								
Operating Range		3		12	3		12	V
Quiescent Current/Amplifier			4.8	5.5		2.875	3.4	mA
Power Supply Rejection Ratio	$\Delta V_S = \pm 1\text{ V}$	68	80		68	80		dB
OPERATING TEMPERATURE RANGE								
	RT, RU,		-40				+85	$^\circ\text{C}$
	RN-14		-40				+125	$^\circ\text{C}$
	RM, RN-8							$^\circ\text{C}$

Specifications subject to change without notice.

図 1.91: 仕様ページの例 4

多くのオペアンプでは、個々の仕様に複数記入されていることがあります。これは異なる性能レベルに対するものです。また、異なる温度範囲（一般に民生用、工業用、防衛用）に対するものもあります。これは図 1-84 (3) に見られます。

一般に、最小値、代表値、最大値の 3 つの仕様を設定可能です。図 1-84 (3) を参照してください。アナログ・デバイセズでは、min（最小値）と max（最大値）の欄のすべての仕様をテストで保証しています。これは直接テストするか、1 つのパラメータのテストで別のパラメータを保証する場合もあります。typ（代表値）の仕様は代表値そのものです。個々の仕様に応じて、代表値からの偏差が大きくなる可能性があります。代表値の仕様の偏差の範囲を知る方法はありません。同じ仕様に対する代表値と最小値（または最大値）が示されている場合があります。このことは、テスト制限値が特定のレベル（最小値または最大値）であっても、代表値はテスト制限値よりもはるかに良好な動作をする傾向があることを示しています。設計の際に代表値を使用するのはリスクがあります。許容誤差の解析では、最小値または最大値を使う方がはるかに得策です。

テストは、オペアンプの製造で最も費用のかかる段階の 1 つです。したがって、高度に仕様規定されているデバイスは十分に仕様規定されていないデバイスよりも一般に費用がかかります。しかし、システムでは、回路性能を保証するために高度に仕様規定されているデバイスを必要とします。

絶対最大値

仕様表のすぐ後に絶対最大定格を含む部分が必ず記載されています。これらは通常、電圧と温度に関連した内容です。

一般にオペアンプの製造に使用するプロセスにより、最大電源電圧が決まります。最大入力電圧は通常、電源電圧に制限されます。電源電圧は平均値でも最終値でもなく、瞬間的な値である点に注意する必要があります。したがって、オペアンプの入力に電圧が加えられているのに電源電圧が存在しない場合（この状態は、電源投入時にシステムの 1 箇所に電力が供給され、その他の部分に供給されないときに生じる可能性があります）、オペアンプに電力が供給され、すべてが動作制限値以内であっても、オペアンプは過電圧になります。

図 1.92 を参照すると、最大入力電圧の仕様は GND と V_S の間の電圧です。差動入力電圧の最大値は $\pm 6\text{ V}$ です。これらの要件の両方を満たす必要があります。したがって、オペアンプの入力ピンは GND と V_S の間の電圧で、互いの差が 6 V 以下でなければなりません。

半導体の信頼性に関して最も重要な問題は、ジャンクション温度を 150°C 未満に維持することです。様々なパッケージ・オプションに対して θ_{ja} が与えられます。これは熱抵抗です。単位は $^\circ\text{C}/\text{W}$ です。図 1.92 を参照してください。この情報を使用するには、まずパッケージの消費電力を求めます。これは自己消費電流に電源電圧を掛けたものになります。次に、出力段で発生する最大消費電力（出力電流に出力電圧と電源電圧の差を掛けたもの）を求めます。

この2つを加算すると、パッケージの総消費電力 (W) が得られます。熱抵抗に消費電力を掛けると、温度上昇値が得られます。周囲温度 (°C) から始めて上記の温度上昇を計算すると、ジャンクション温度が得られます。周囲温度は動作時の場合であることに注意してください。回路が筐体に収められ、さらに他の装置とともにラックに置かれていると、内部の周囲温度は筐体が置かれた大気温度を大幅に上回る可能性があります。これは検討する必要があります。

ABSOLUTE MAXIMUM RATINGS¹

Supply Voltage	12.6 V
Internal Power Dissipation ²	
Plastic DIP Package (N)	1.3 W
Small Outline Package (R)	0.9 W
SOT-23-5 Package (RT)	0.5 W
Input Voltage (Common Mode)	$\pm V_S$
Differential Input Voltage	± 1.2 V
Output Short Circuit Duration	
.....	Observe Power Derating Curves
Storage Temperature Range N, R	-65°C to +125°C
Operating Temperature Range (A Grade) ...	-40°C to +85°C
Lead Temperature Range (Soldering 10 sec)	+300°C

NOTES

¹Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

²Specification is for device in free air:
 8-Lead Plastic DIP Package: $\theta_{JA} = 90^\circ\text{C/W}$
 8-Lead SOIC Package: $\theta_{JA} = 155^\circ\text{C/W}$
 8-Lead Cerdip Package: $\theta_{JA} = 110^\circ\text{C/W}$
 5-Lead SOT-23-5 Package: $\theta_{JA} = 260^\circ\text{C/W}$

図 1.92: 代表的な絶対最大定格

例として、AD8534 を取り上げます。このデバイスをライン・ドライバとして使用すると仮定します。必要な出力電圧範囲は 500 mV ~ 5 V です。5 V の最大出力電圧時に各 4 つのセクションから期待できる最大出力電流は 100 mA です。これは 50 Ω の負荷に相当します。回路が 5.5 V の電源で動作するとします。これによりドライバに少しのヘッドルームが許容されます。負荷が抵抗性のアンプの出力電流に対して出力電圧をプロットすると、最大消費電力は最大値の約 55 % になります (図 1.93 参照)。これは、出力電圧が増加すると、消費電圧 (出力電圧と電源電圧の差) が、電流が増加し続けても減少するということによります。出力電圧の増加とともに増えるのは、負荷ではなくパッケージの消費電力であることに注意してください。

アンプあたりの全温度範囲での自己消費電流 (I_q) は 1.75 mA (最大値) です。4 つのアンプでは、総自己消費電力は 38.5 mW (I_q × V_s × 4) となります。最大出力消費電力は次式で計算されます。

$$P_D = \frac{(V_S - .55 * V_O(max))^2}{R_{LOAD}} \quad \text{式 1-26}$$

この計算により、アンプあたり 150 mW、つまり合計で 600 mW となります。したがって、総消費電力は 638.5 mW となります。

入手可能な中で最小であったことから TSSOP パッケージを選択しました。このパッケージの θ_{ja} は 240°C/W です。これにより、154°C (240°C/W × 638.5 mW) の温度上昇が生じます。周囲温度を 25°C (室温の通常値) と仮定すると、ジャンクション温度は 179°C に達します。これは問題です。したがって、AD8534 を最大出力電流定格とされる値 (250 mA) 未満で動作させても、ジャンクション温度が 150°C を超える可能性があることから、デバイスの信頼性が損なわれる可能性があることがわかります。

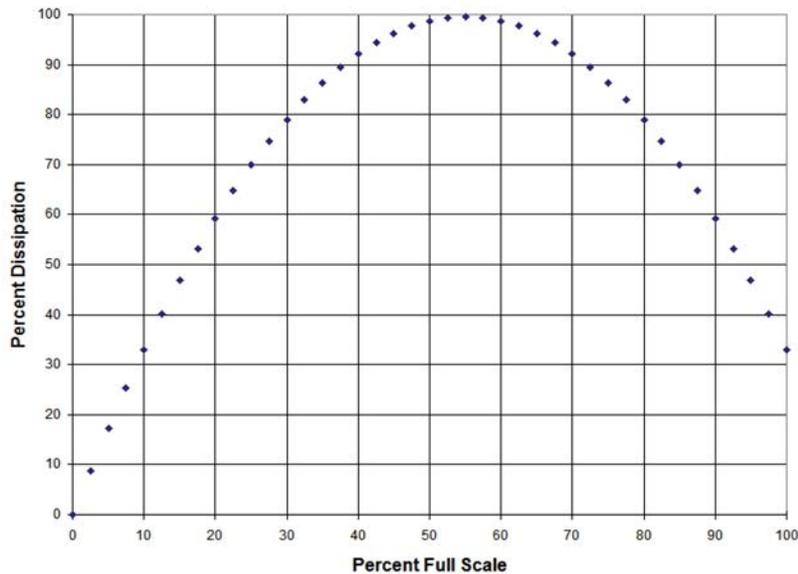


図 1.93: パーセント・フル・スケール対消費電力

実際、θ_{ja} には θ_{jc} (接合部-ケース間熱抵抗) と θ_{ca} (ケース-周囲間熱抵抗) の 2 つの成分があります。これらは線形加算されます。θ_{jc} はどうにもなりません、ヒートシンクを追加することによって θ_{ca} をある程度変えることができます。オペアンプではほとんどの場合、このことは問題にされませんでした、上記の例のように小型パッケージの大電流出力オペアンプに有効です。

オーダー・ガイド

多くのオペアンプは複数のパッケージや複数の温度範囲で提供されています。パッケージと温度範囲の組み合わせごとに固有の製品番号を必要とします。これはオーダー・ガイドに明記されています（図 1.94 参照）。

図に記載されているように、オペアンプの場合、民生用温度範囲（0°C ~ 70°C）はあまり一般的でなくなってきました。その理由は、ほとんどの回路が工業用温度範囲に対応しているからです。デバイスの種類が少なくなると、費用も低減されます。個別の製品番号ごと異なるテスト・プログラム、異なる在庫管理を必要とするからです。このルールの例外は、定義上は民生用として特定のアプリケーション向けに設計されたデバイスがあります。例としてオーディオなどの民生用アプリケーションがあります。このようなデバイスは温度範囲を広くしても、利点はありません。

工業用温度範囲として、異なるものを意味する場合もあります。標準的な工業用温度範囲は -40°C ~ +85°C ですが、これと異なるものとして、一般に車載温度範囲と呼ばれる -40°C ~ +105°C があります。0°C ~ 100°C も一般的です。

ミリタリ温度範囲は -55°C ~ +125°C です。

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option	Branding Information
AD8531AKS*	-40°C to +85°C	5-Lead SC70	KS-5	A7B
AD8531AR	-40°C to +85°C	8-Lead SOIC	SO-8	
AD8531ART*	-40°C to +85°C	5-Lead SOT-23	RT-5	A7A
AD8532AR	-40°C to +85°C	8-Lead SOIC	SO-8	
AD8532ARM*	-40°C to +85°C	8-Lead MSOP	RM-8	ARA
AD8532AN	-40°C to +85°C	8-Lead Plastic DIP	N-8	
AD8532ARU*	-40°C to +85°C	8-Lead TSSOP	RU-8	
AD8534AR	-40°C to +85°C	14-Lead SOIC	SO-14	
AD8534AN	-40°C to +85°C	14-Lead Plastic DIP	N-14	
AD8534ARU*	-40°C to +85°C	14-Lead TSSOP	RU-14	

*Available in reels only.

図 1.94: 代表値なオーダー・ガイド

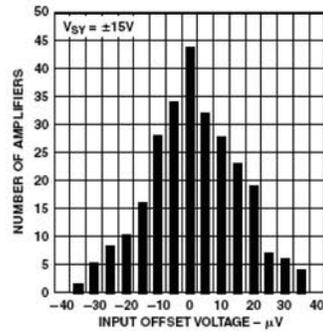
グラフ

多くの仕様はオペアンプの動作範囲で変化します。1 つの例は周波数に対するオープンループ・ゲインの変動です。図 1.95 を参照してください。デバイスのオープンループ・ゲインを十分に規定するための DC でのオープンループ・ゲインの仕様があり、一般に仕様表と、周波数に対する変動を示すグラフで表されます。グラフで示された情報は、メーカー間、場合によっては同じメーカーのデバイス間で均一ではありません。高性能なデバイスほどより十分に規定される傾向があります。ほとんどのデバイスのグラフは、代表値になる傾向にあります。

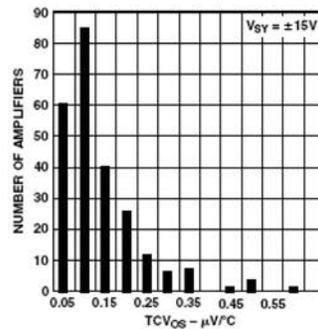
本文

データシートの本文には、オペアンプの動作の詳細とアプリケーションが記載されています。
本文は通常、デバイスの動作原理のセクションから始まります。

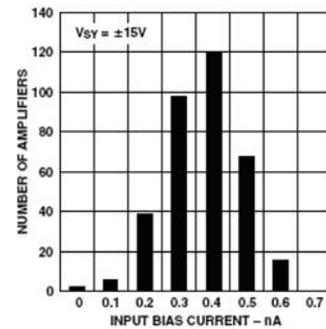
Typical Performance Characteristics—OP1177/OP2177/OP4177



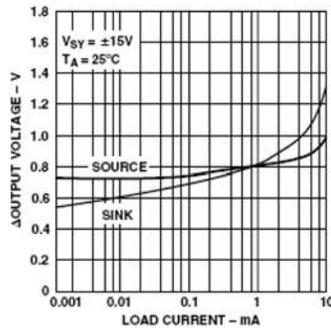
TPC 1. Input Offset Voltage Distribution



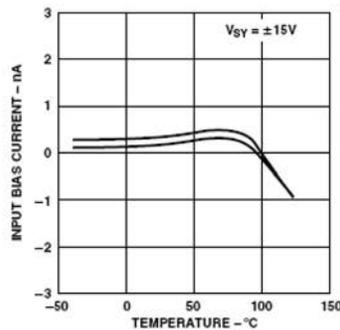
TPC 2. Input Offset Voltage Drift Distribution



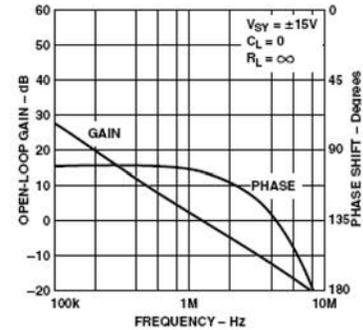
TPC 3. Input Bias Current Distribution



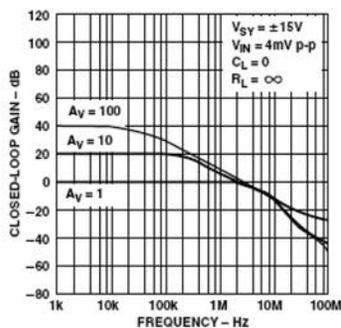
TPC 4. Output Voltage to Supply Rail vs. Load Current



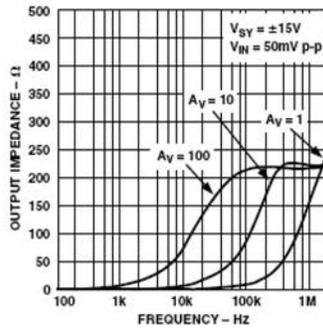
TPC 5. Input Bias Current vs. Temperature



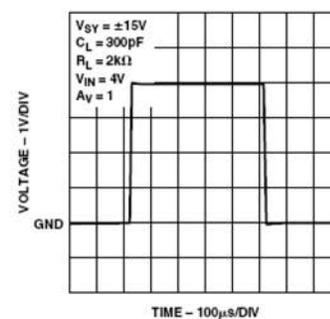
TPC 6. Open-Loop Gain and Phase Shift vs. Frequency



TPC 7. Closed-Loop Gain vs. Frequency



TPC 8. Output Impedance vs. Frequency



TPC 9. Large Signal Transient Response

図 1.95: 代表的な性能特性グラフ

これは、一般に細部にわたって記述することが最良とは思われない種々の仕様を簡潔に説明したものです。

通常、ノイズなどのシンプルな計算が例として説明されています。

データシートの本文のその他の部分には、アプリケーション情報があります。アナログ・デバイスは創設時からアンプを提供し、お客様が目的とするものを独自に構築できるようにしています。このため、アナログ・デバイスはデータシートに個別のオペアンプに対応するアプリケーション情報を記載しています。例えば、高精度オペアンプではオフセットとノイズに重点を置き、高速オペアンプでは帯域幅と速度に重点を置いています。

アプリケーションのセクションの情報の大部分は、記載されている以外のオペアンプに大きく関係するものです。

データシートの最後には通常、パッケージの図が記載されています。

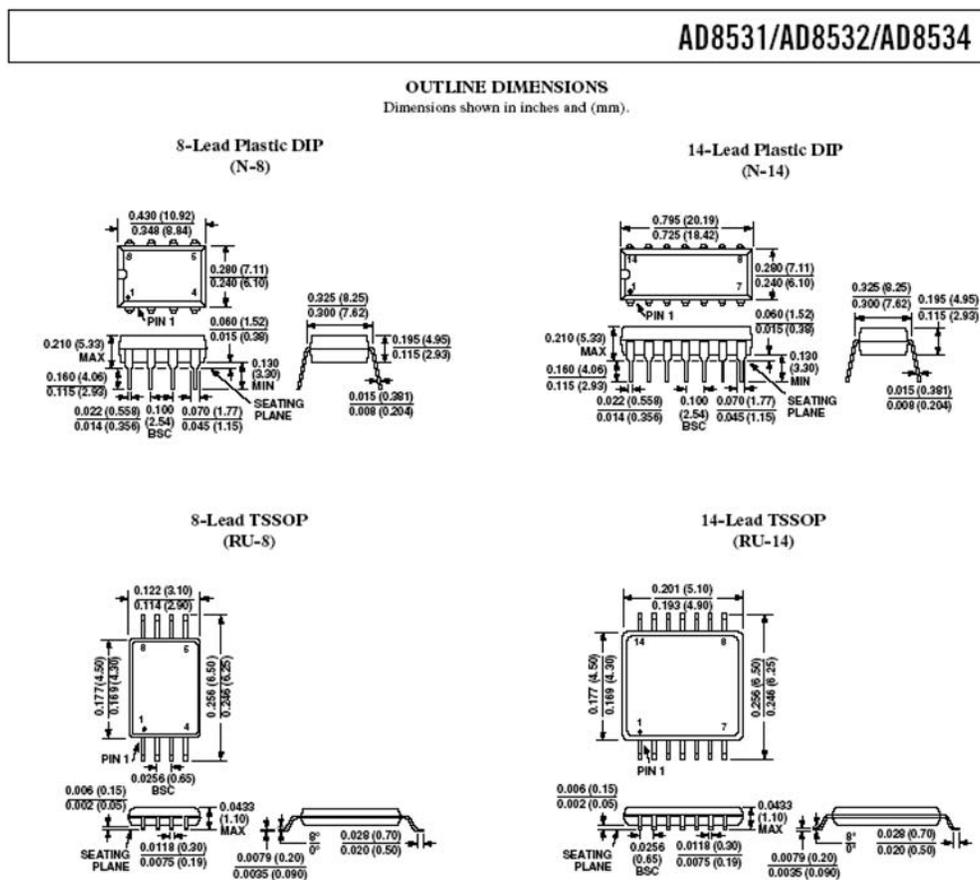


図 1.96: 代表的なパッケージ寸法図

1.4: オペアンプの選択

前のセクションで示したように、オペアンプには多くの仕様があり得ます。これらの仕様の意味するところとデータシートの読み方について理解を深めたところで、次のステップに進みます。まず、要件に最適なアンプをどのように決めるのでしょうか？

ステップ 1: パラメータの決定

オペアンプを選択するための最初のステップは、設計に重要なパラメータが何かを決めることです。このためには、以下について明確に把握する必要があります。

- 1) 入力信号。
 - a. 電圧か電流か？
 - b. 周波数と振幅範囲は？
 - c. 周辺回路のインピーダンス・レベルは？
- 2) 精度要件。
- 3) 出力信号。
 - a. 周波数と振幅範囲は？
 - b. 回路が駆動する対象は（別のオペアンプ段、ADC、ケーブルなど）？
- 4) 物理的環境。
 - a. 動作温度範囲は？
 - b. サイズの制約は？
 - c. 供給される電力は？

例えば、容量結合をする単電源システムを設計する場合、オフセットはまず関係しません。低レベルの物理的センサーとインターフェースするシステムを設計する場合は、ノイズ、DC 精度、クローズドループ・ゲインは重要ですが、大部分の物理的センサーの帯域幅は比較的小さいため、帯域幅はおそらくそれほど重要ではありません。ただし、必要なクローズドループ・ゲインに対応するためには、十分な帯域幅にする必要があります。

この手順の部分は、各種パラメータの値を決定することです。この際、最適値と許容値の両方を決定する必要があります。例えば、オフセット電圧に対する目標値が $500\ \mu\text{V}$ だとしても、 $1\ \text{mV}$ を許容してこの仕様を緩和することで、全体が良好に調和する可能性があります。回路の動作に必要な動作温度範囲も決定に影響を与えます。パッケージの物理的サイズとコストも従来どおり検討する必要があります。経時的な影響などにより回路が仕様の範囲外にならないように、仕様に小さなマージンを許容するのも良い方法です。

ステップ2: パラメータの優先順位付け

次のステップはこれらのパラメータの優先順位付けです。一般に 1 つまたは 2 つのパラメータが重要になります。2 ~ 3 以上のパラメータは、望ましいかもしれませんが必要ありません。デバイスの仕様に条件を付けすぎないようにします。デバイスの仕様が增えるほど正確に整合させるのが難しくなり、仕様を厳しくするほどデバイスが高価になる傾向があることに注意してください。

ステップ3: デバイスの選択

次のステップはデバイスを最終的に選択することです。強引な方法は、データ・ブックを集め、デバイスのそれぞれの仕様について個別にランダムな検索を開始することです。この方法はすぐに収拾がつかなくなります。この作業をはるかに容易にするいくつかのツールがあります。

まずは選択ガイドを使用します。これらは雑誌広告や販促郵便物によく見られます。これらのガイドを使用する際の問題は、多くの場合、リストにはすべてが含まれているわけではなく、通常は新製品、単電源などの特定のサブグループに絞られていることです。対象範囲が狭いと、本来使用可能ないくつかのオプションを見逃してしまう可能性があります。

ADI ではこの目的に最適なガイド「The Short Form Designers Guide」を提供しています。これには、機能と性能で分類された ADI の現行の提供製品のすべてが記載されています。このガイドには製品ツリーと選択ガイドの 2 つの主要部分があります。

例としてアンプのセクションを使用する場合、いくつかの可能性から選択可能で、それぞれがそれに続くツリーに拡張されています。これにより、設計者はアプリケーションで対応可能な特定のアンプまで掘り下げることができます。図 1.97 ~ 図 1.99 に、アンプ選択ツリーの一部を示します。

通常、選択ツリーには 1 つ、場合によっては 2 つの仕様があります。これは選択手順の開始点になるように設計されています。より詳細な仕様は選択ガイドに示されています。選択ガイドでは、選択ツリーのセクションの 1 つに対応する特定のカテゴリを取り上げ、関連するパラメータでデバイスを分類しています。例えば、単電源の高精度アンプはまずオープンループ・ゲイン（最大オープンループ・ゲイン）で分類されます。同じオープンループ・ゲインを持つ複数のアンプがある場合、アンプは次のパラメータ（この場合はオフセット電圧）でさらに分類されます。

高速アンプでは、主要な分類仕様は帯域幅になります。その理由は、帯域幅が対象となる最も重要な評価基準だからです。

デバイスを分類する仕様の他に、いくつかの仕様があります。これらにはパッケージ・サイズやコストが含まれます。コストは、アンプの最小単位として一般に 1000 個の価格を見積もります。これは比較目的で使われます。一般的に数量が少ないと高価になり、数量が多いと安価になります。

選択ガイドに代わる方法はパラメータ検索エンジンです。これに、設計に関連するパラメータを入力します。オペアンプの検索を図 1.96 ~ 図 1.99 に示します。「priority」ボックスをクリックすることによって選択に優先順位を付けることもできます。すると、検索エンジンがデバイスのデータベースを検索し、10 個の選択肢を見つけます。

検索エンジンの特に優れた機能は、選択基準を厳密に満たすことができない場合に、選択基準にほぼ適合するデバイスを選択することです。パラメータに一致していない部分は赤で示されています。これにより、設計者は提供される要素でアプリケーションのラインナップを良好に評価する機会が得られます。

設計支援の詳細については、13章を参照してください。

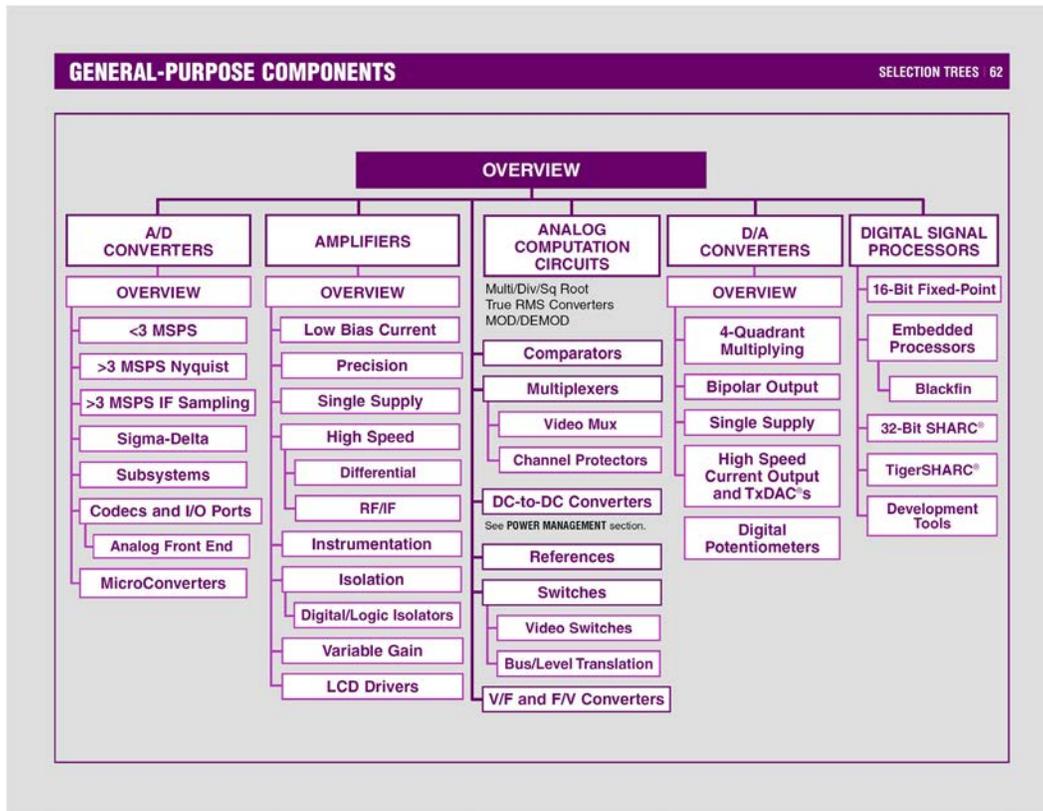


図 1.97: 選択ツリーのトップ・レベル

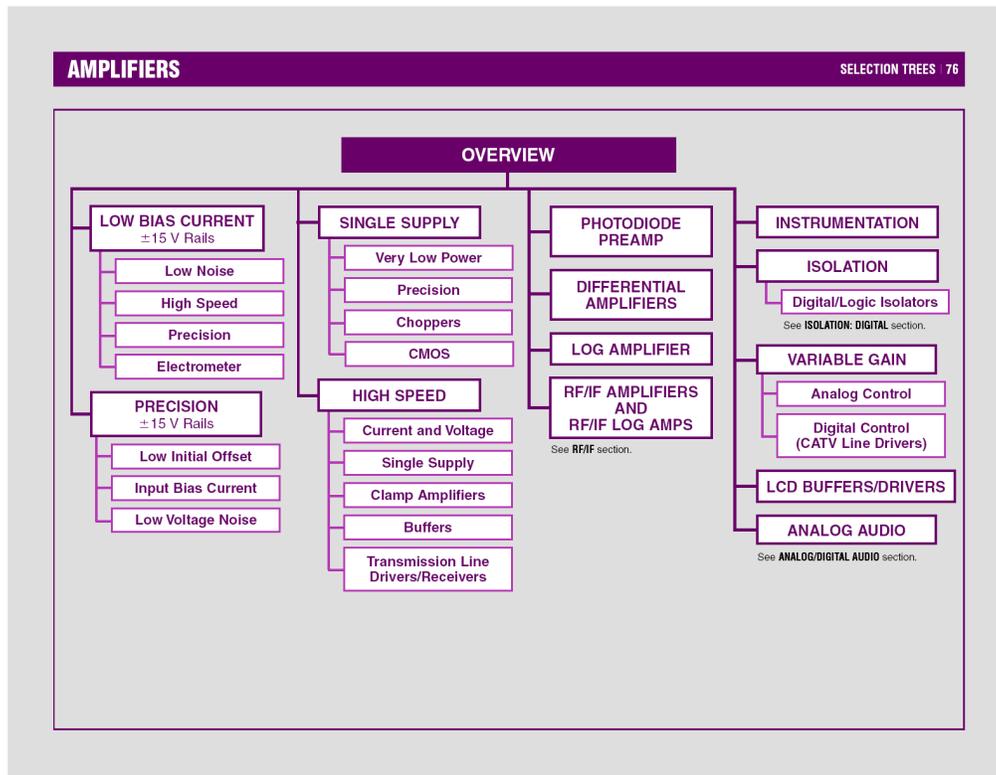


図 1.98: アンプ選択ツリーのトップ・レベル

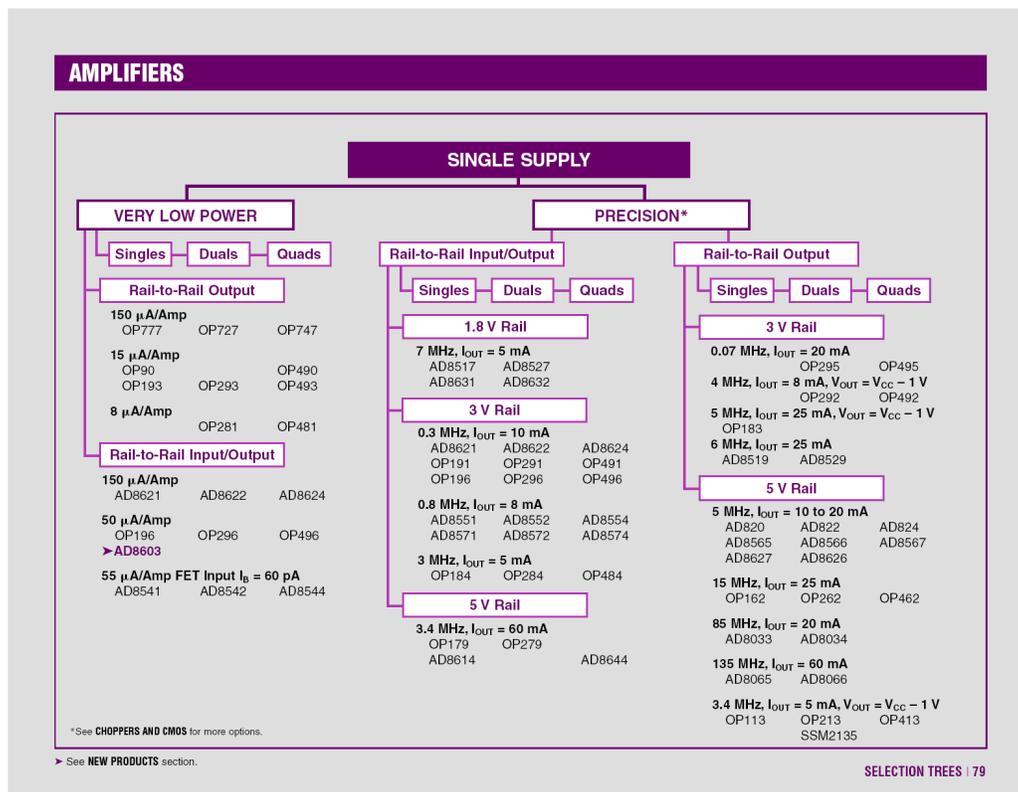


図 1.99: アンプ選択ガイドのページ例

AMPLIFIERS

Single Supply, Precision

Model	V _{SUPPLY} Specs @ 5 V Min/Max	Open-Loop Gain V/μV	CMRR dB	Unity Gain BW MHz	Slew Rate V/μs	Initial Offset E _{os} ±mV Max	E _{os} vs. Temp ±μV/°C	I _B 25°C Max ±nA	I _Q 25°C Max mA	I _{OUT} mA	Smallest Available Package	Lowest Grade Price 100s	Comments	Eval Board Avail
Rail-to-Rail Output														
Singles														
OP113	5/36	2	90	3.4	0.6	0.175	4	650	3	30	8 SOIC	\$ 1.76	V _{OUT} = V _{CC} - 1 V	
OP162	2.7/12	0.03	70	15	10	0.325	8	600	0.65	25	8 TSSOP	\$ 1.65	Fast, Low Power	
AD8065	5/24	0.1	80	135	200	1	2.5	1 pA	6.5	60	5 SOT	\$ 1.59	JFET Input	
AD8627	5/26	0.08	65	5	5	1	2	10 pA	0.7	10	5 SOT	\$ 1.69	No Phase Reversal	
OP183	3/36	0.1	70	5	5	1	20	600	1.5	25	8 SOIC	\$ 1.74	V _{OUT} = V _{CC} - 2 V	
AD820	3/36	0.3	60	1.8	3	1	20	25 pA	0.8	10	8 SOIC	\$ 1.65	CMV Range = V _{CC} - 2 V	
AD8519	2.7/16	0.02	55	6	1.5	1.4	5	300	1.1	25	5 SOT	\$ 0.92	Low Offset, 125°C Operation	
AD8565	4.5/16	0.03	54	4	4	10	5	600	0.85	35	5 SC70	\$ 0.68*	LCD REF Driver	
AD8033	4/24	0.03	90	75	80	6	5	1 pA	3.3	20	5 SC70	\$ 1.19	CMV Range = V _{CC} - 3 V	
Duals														
OP213	5/36	2	90	3.4	0.6	0.175	4	650	6	30	8 SOIC	\$ 2.09	V _{OUT} = V _{CC} - 1 V	
OP295	3/36	0.75	90	0.075	0.03	0.300	5	20	0.3	10	8 SOIC	\$ 2.53	Low Offset	
OP262	2.7/12	0.03	70	15	10	0.325	8	600	1.3	25	8 TSSOP	\$ 2.38	Fast, Low Power	
OP292	5/33	0.025	75	4	1.5	0.8	15	700	2.4	5	8 SOIC	\$ 1.53	V _{OUT} = V _{CC} - 1 V	
AD8066	5/24	0.1	80	135	200	1	2.5	1 pA	6.5	60	8 MSOP	\$ 2.29	FastFET	
AD822	3/36	0.3	60	1.8	3	1	20	25 pA	1.6	10	8 SOIC	\$ 2.64	JFET	
AD8626	5/26	0.08	65	5	5	1	2	10 pA	1.4	10	8 MSOP	\$ 1.59	No Phase Reversal	
AD8529	2.7/16	0.02	55	6	1.5	1.4	5	300	2.2	25	8 MSOP	\$ 1.22	125°C Operation	
AD823	3.3/36	0.015	54	12	13	1.5	20	25 pA	5.7	25	8 SOIC	\$ 2.91	JFET	
AD8566	4.5/16	0.03	54	4	4	10	5	600	1.7	35	8 MSOP	\$ 0.98*	LCD REF Driver	
AD8034	4/24	0.03	90	75	80	6	5	1 pA	6.6	20	8 SOT	\$ 1.05	FastFET	
SSM2135	4/36	2	87	3.5	0.6	2	ns	7570	6	10	8 SOIC	\$ 2.59	Audio Quality	
Quads														
OP495	3/36	0.75	90	0.075	0.03	0.3	5	20	0.3	11	14W SOIC	\$ 4.52	Low Offset	
OP462	2.7/12	0.03	70	15	10	0.325	8	600	2.6	25	14 TSSOP	\$ 3.02	Fast, Low Power	
OP413	5/36	2	90	3.4	0.6	0.325	5	650	12	30	14N SOIC	\$ 3.85	V _{OUT} = V _{CC} - 1 V	
OP492	5/33	0.025	75	4	1.5	0.8	15	700	4.8	5	14N SOIC	\$ 2.71	V _{OUT} = V _{CC} - 1 V	
AD824	3/36	0.25	60	1.8	3	1	20	25 pA	1.6	8	14N SOIC	\$ 4.13	JFET	
AD8567	4.5/16	0.03	54	4	4	10	5	600	3.4	35	14 TSSOP	\$ 1.38*	LCD REF Driver	
AD8625	5/26	0.08	65	5	5	1	2	10 pA	2.8	10	14 TSSOP	\$ 4.75	No Phase Reversal	

図 1.100: 代表的なアンプ選択ガイドのページ

