

第 13 章: 設計開発ツール

はじめに	13.1
<b>13.1: シミュレーション</b>	13.3
SPICE	13.3
マクロモデルとマイクロモデル	13.4
ADSpice のオペアンプのマクロモデル	13.5
入力段とゲイン／ポール段	13.6
周波数特性の設定段	13.7
マクロモデルの出力段	13.8
モデルの過渡応答特性	13.9
ノイズ・モデル	13.10
電流帰還型アンプのモデル	13.11
シミュレーションはブレッドボードの置き換えにはならない	13.13
シミュレーションをツールとして賢く使う	13.14
モデルのことを知る	13.14
プリント基板の寄生要素を理解する	13.14
シミュレーションによる設計サイクルの短縮	13.16
SPICE のサポート状況	13.17
モデルのサポート	13.17
IBIS モデル	13.17
Saber モデル	13.17
ADIsimADC	13.18
ビヘイビア対ビット・イグザクト	13.18
モデル対ハードウェア	13.18
モデル化には何が重要か?	13.19
ゲイン、オフセット、DC 直線性	13.19
サンプル・レートと帯域幅	13.21
ダイナミック歪みとスタティック歪み	13.22
ジッタ	13.24
レイテンシ	13.25
ADIsimPLL™	13.26
参考資料:	13.31
<b>13.2: オンライン・ツールとウィザード</b>	13.33
シンプルなカリキュレータ	13.33
設定アシスタント	13.46

## ■ ベーシック・リニア・デザイン

## 設計開発ツール

設計ウィザード	13.58
フォトダイオード・ウィザード	13.58
アナログ・フィルタ・ウィザード	13.61
SUMMARY (要約)	13.68
<b>13.3: 評価用ボードとプロトタイピング</b>	13.69
評価用ボード	13.69
汎用のオペアンプ評価用ボード	13.69
専用のオペアンプ評価ボード	13.70
データ・コンバータの評価用ボード	13.72
高速 FIFO 評価用ボード・システム	13.74
FIFO ボードの動作原理	13.75
クロックの説明	13.76
インタリーブ・データによるクロッキング	13.78
高精度 ADC 用コントローラ	13.79
ハードウェアの説明	13.80
通信	13.80
電源	13.80
出力コネクタ	13.80
ソフトウェア	13.81
プロトタイプ製作	13.82
デッドバグによるプロトタイプ	13.82
ハンダ付け実装によるプロトタイプの制作	13.84
ミリングされたプリント回路基板によるプロトタイプの製作	13.86
ソケットの使用には注意が必要	13.87
プロトタイプ製作のその他のポイント	13.88
全体のプロトタイプ・ボード	13.89
SUMMARY (要約)	13.90
参考資料:	13.91

## 第 13 章: 設計開発ツール

### はじめに

設計と検証の段階で作業を効率よく進めるために、設計ツールを利用することができます。そのようなツールには、部品を選択するためのソフトウェアや回路シミュレーション、誤差解析のためのツールなどがあり、設計プロセスをより迅速に、容易に、かつ正確なものにするのに役立ちます。

最初の節では、シミュレーション・ソフトウェアについて説明します。最も重要なのは Spice (Spice Simulation Program with Integrated Circuit Emphasis) です。このソフトウェアは集積回路向けに、線形回路の解析用に開発されたものですが、改良を加えられ、主要な線形シミュレーション・エンジンとなっています。Pspice®、Hspice® など多くのバージョンが入手可能です。最初の Spice は 1970 年代半ばに開発されました。もともとはメインフレームで動作していたので、グラフィカル・ユーザ・インターフェース (GUI) の恩恵を受けることができませんでした。独自バージョンのほとんどは、フロントエンド処理とバックエンド処理を用いてヒューマン・インターフェースを容易にしています。モンテカルロ解析などの他の機能を追加しているものもありますが、基本的な Spice 機能を扱う点についてはどれも同じです。アナログ・デバイセズでは Pspice を標準として採用しましたが、基本的な SPICE2-G 機能のみを使用しています。これにより、ファイルの受け渡しが容易になります。

データ・コンバータなどの非常に大きな回路では、Spice を使うのは難しくなります。このため、コンポーネント・レベルのモデリングから動作のモデリングに移行します。その一例として、本節でも説明している ADIsimADC プログラムが挙げられます。

次の節では、アナログ・デバイセズが開発したオンライン・ツールのファミリーについて説明します。これは、セトリング時間の計算など比較的単純なツールから、フィルタ設計ウィザードなどの「ウィザード」まで様々なものがあります。ウィザードは部品の選定だけでなく、回路設計にも役立ちます。

シミュレーションや設計ツールが回路設計にどれほど役立つとも、回路を実際に組み立てることに勝る方法はありません。評価用ボードとプロトタイプ製作のテクニックについては、最後の節で説明します。



### 13.1: シミュレーション

#### Spice

ここ 10 年で回路シミュレーションは、アナログ回路設計においてますます重要な役割を担うようになってきました。アナログ回路の設計で最も普及しているシミュレーション・ツールは Spice で、種々のコンピュータ・プラットフォーム向けに様々な形式で入手可能です（参考資料（1）、（2）参照）。ただし、有効なシミュレーション結果を得るには、設計者は多数のシステム部品について正確なモデルを用意する必要があります。それらの中で最も重要なのは、最新の設計を可能にする IC の実用的なモデルです。1990 年代初期、アナログ・デバイスが開発したオペアンプの先進の SPICE モデルは、今日でも使用されています [参考資料（3）、（4）参照]。このアンプの革新的なオープン・アーキテクチャにより、ゲイン特性と位相特性が完全にモデリング可能となるので、設計者 AC/DC/過渡応答特性を正確に予測できるようになりました。このモデリング手法は、計装アンプや電圧リファレンス、アナログ乗算器などのデバイスに対しても使用できるように拡張されてきました。

SPICE シミュレーションの普及により多くのオペアンプ向けマクロモデルが提供されるようになり、アンプの電子的性能を（理想的には）ソフトウェアで模擬します。また、数多くのモデルが入手可能になったことにより、混乱も生じるおそれがあります。「何がモデル化され、何がモデル化されていないのか」といった不確実性や、「モデルの正確さ」に関する基本的な疑問が生じることがあります。これらはすべてシミュレーション結果に確信を持てるようにするために非常に重要です。したがって、シミュレーション結果を信じて実際の設計に使用する前に、実際のデバイスの性能と比較してモデルを検証することが重要です。

もちろん、正確なオペアンプ・モデルを使用した最初の設計段階がうまくいっただけでは、全体として正しいシミュレーション結果が得られることが保証されとは限りません。不完全な情報に基づくシミュレーションは、限定的な意味しか持ちません。目的とする回路の部品は、周辺の受動部品、種々の寄生要素、温度変化を含めてすべてモデル化します。さらに、回路はブレッドボードやプロトタイプを使ってラボで検証する必要があります。ブレッドボード回路は、実験用の汎用ボードを用いて短時間で製作した設計回路のモックアップで、最終完成品の物理形状ではありません。つまり、実際の回路の性能チェックを目的としていますが、実際の物理的環境は欠けています。良くできたブレッドボードを使うと、SPICE で予想できないような回路の振る舞いが明らかになることがよくあります。これは、モデルの不完全さや、外部回路の寄生要素といった多くの原因のためです。ただし、よく検討して作成されたブレッドボードと SPICE の併用により、プロトタイプ段階で、さらには最終段階のプリント基板でも、正しく動作することを十分に保証できる回路を短期間で効率よく設計することができます。それに続くプロトタイプ段階は、最終プリント回路基板製作の一手手前の段階で（実際、テスト用のプリント基板の場合もある）、設計で用いる部品をほぼすべて実装した完全な性能に近いものです。

ブレッドボードとプロトタイプの設計段階は、シミュレーションと深く関係しており、通常は全体の設計プロセスにおいてシミュレーションの後に行われます。これらについては、この後のセクションで詳しく説明します。

マクロモデルとマイクロモデル

マクロモデル (macromodel) とマイクロモデル (micromodel) の区別は、あまり明確でないことがよくあります。マイクロモデルは、実際のトランジスタ・レベルや他の IC デバイスの SPICE モデルを用いており、すべての能動／受動部品は製造プロセスに従って完全に特性が定義されています。このタイプのモデルをマクロモデルと区別して、モデルの作成者によっては、得られたオペアンプ全体のモデルを表すために「デバイス・レベル・モデル」という用語を使うこともあります。一般に、マイクロモデルは IC の設計現場で用いられています。

	METHODOLOGY	ADVANTAGES	DISADVANTAGES
MACROMODEL	IDEAL ELEMENTS MODEL DEVICE BEHAVIOR	FAST SIMULATION TIME, EASILY MODIFIED	MAY NOT MODEL ALL CHARACTERISTICS
MICROMODEL	FULLY CHARACTERIZED TRANSISTOR LEVEL CIRCUIT	MOST COMPLETE MODEL	SLOW SIMULATION, CONVERGENCE DIFFICULTY, NON-AVAILABILITY

図 13.1: マクロモデルとマイクロモデルの相違

マクロモデルは、別の方法でオペアンプの性能をエミュレートします。デバイスの最終的な性能を考慮し、SPICE に本来備わっている理想素子を使って、観測された挙動を（必要なだけ）モデル化します。マクロモデルの開発に際しては、実験とデータシート上の性能に基づいて実デバイスを測定し、マクロモデルがこの挙動に一致するように調整されます。ただし、この調整過程で、性能が多少損なわれる場合があります。マクロモデルとマイクロモデルに関し、主な長所と短所を表 13.1 に比較します。

いずれのアプローチにも、それぞれ優劣があります。マイクロモデルは、ほぼすべての条件下でオペアンプ回路の挙動の完全かつ正確なモデルを提供できます。ただし、（非線形な PN 接合を持つ）多数のトランジスタとダイオードを含むため、シミュレーションには長い時間を要します。製造メーカーも、これらのモデルには知的財産権の情報が含まれるため、当然公開したがりません。また、たとえすべてのトランジスタがモデルに含まれているとしても、トランジスタ・モデル自体がすべての動作領域を正確にカバーしているとは限らないので、全体の正確さは保証されません。さらに、ノードの数が非常に多いと、Spice が収束するのが難しくなり、シミュレーションが失敗します。このため、多数のオペアンプを使用したアクティブ・フィルタなどの場合、マイクロモデルは実際、使いものにならなくなってしまいます。

他方、慎重に開発されたマクロモデルは正確な結果を出せるとともに、シミュレーション時間が短縮されます。後述する ADSpice モデルのような先進のマクロモデルでは、デバイスの過渡応答性能と AC 性能を現実に近いレベルで再現することができます。オペアンプの非線形動作（出力の電圧／電流スイングのリミットなど）も含めることができます。

ただし、これらのマクロモデルは実デバイスを単純化したものであり、すべての非線形性はモデル化されていません。例えば、すべての ADSpice モデルがコモンモード入力電圧範囲やノイズを含んでいるわけではありません（最近のものは含んでいます）。

一般に、モデルを開発する際、目的とするアプリケーションで重要な点についてパラメータを最適化しています（例えば AC 特性と過渡応答特性）。考えられるすべての特性を含めると、扱いにくいマクロモデルとなってしまい、収束性に問題が生じることもあります。そのため ADSpice マクロモデルには、通常の動作環境で、目的とするアプリケーションにおいて重要となるオペアンプの挙動特性が含まれていますが、必ずしもすべての非線形な挙動特性が含まれているわけではありません。

### ADSpice のオペアンプのマクロモデル

基本的な ADSpice モデルはオペアンプのマクロモデルの進化版として、またアプリケーション回路のより正確なシミュレーションを行うために改良された設計ツールとして開発されました。1990 年に登場して以来、周波数特性設定のコンセプトが業界で受け入れられたことから明らかなように、このモデルはオペアンプのマクロモデルの標準的なトポロジーとなりました。

1990 年以前は、オペアンプ・モデルのアーキテクチャは、ボイル・モデル (Boyle model) が主流でした。1970 年代初期に開発されたこのマクロモデルは、高速アンプを正確にモデル化することができませんでした。その主な理由は、ゼロがなく、2 つのポールしかないという、周波数整形能力の制限があったためです。これとは対照的に、ADSpice モデルのアーキテクチャは柔軟でオープンであるので、カスケード接続される、ポールとゼロの周波数整形段の数に事実上、制限がありません。この重要な相違により、単純なボイル・モデルのトポロジーと比較して、はるかに正確な AC 性能と過渡応答特性が得られます。

ADSpice モデルは、以下に示す 3 つの主要部分で構成されています。1 つめは、結合された入力およびゲイン段で、モデル化されるデバイスに適切なトランジスタ・モデル (NPN/PNP バイポーラ、接合型 FET、MOSFET など) が含まれています。2 つめは、ポールとゼロの合成段で、それらは SPICE が本来備えている理想素子で構成されています。オペアンプの周波数応答の複雑さに依存して、使用する素子の数は少数の場合も多数の場合もあります。3 つめは出力段で、最初の 2 つの部分を外部に結合します。

これらの部分について詳述する前に、以下に示すような多くのバリエーションがあることを知っておくことが重要です。これは、単に 1 つのオペアンプ・モデルと他のモデルとの間に違いがあるためだけでなく、オペアンプ自体のトポロジーの進化が順次モデル化技術の革新を促しているためです。例えば、現在の大半のオペアンプはレール to レールの出力段か入力段のどちらか（もしくは両方）を備えています。その結果、最近の ADSpice モデルの開発では、対応するモデルの開発とともに、これらの問題に取り組んできました。

さらに、ボイル・モデルとオリジナルの ADSpice モデルは電圧帰還型オペアンプのトポロジーに対応するように設計されていましたが、その後、電流帰還型アンプのトポロジーが追加されました。実際、参考文献 (3) の電圧帰還型モデルの後まもなく登場した ADSpice の電流帰還型マクロモデルについて、参考資料 (9) で解説しています。電流帰還型マクロモデルについては、後の節で詳しく説明します。

入力段とゲイン／ポール段

基本的な ADSpice 電圧帰還型オペアンプのマクロモデルの入力段を図 13.2 に示します。注記されているように、入力段にモデル全体の中で（一般に）ここだけにあるトランジスタが使われています。この例では、図の左側の Q1-Q2 の NPN ペアです。これらはオペアンプの差動入力段の特性を的確にモデル化するために必要です。このモデルのトポロジーの基本的な考え方として重要なのは、この段が、Q1-Q2 の動作電流とゲインを設定する抵抗 R3-R4、R5-R6 を適切に選択して、ユニティ・ゲインになるように設計されている点です。

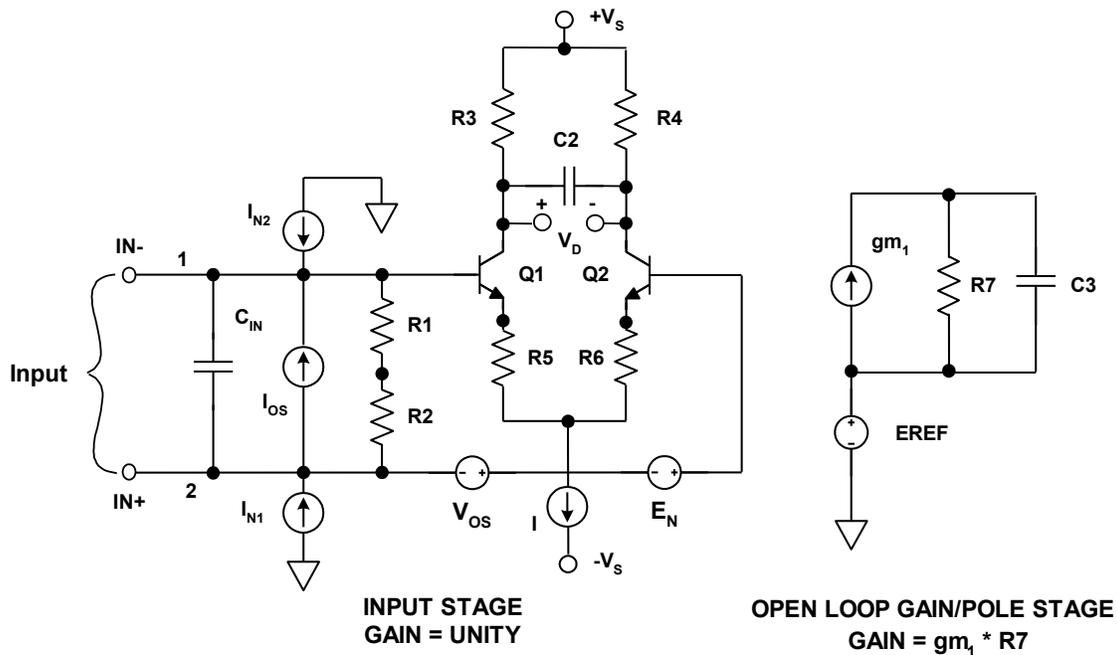


図 13.2: ADSpice マクロモデルでの入力段とゲイン段／ポール段

この例では NPN トランジスタを用いていますが、入力段は PNP バイポーラ・トランジスタや接合型 FET や MOSFET や、レール to レール入力のオペアンプで一般に見られる NPN-PNP の組み合わせにさえ簡単に修正することができます。入力段の他の部分には、抵抗、コンデンサ、制御された信号源などの単純な SPICE 素子を用います。

モデル化されたオペアンプのオープンループ・ゲインー周波数特性は、図の右側のゲイン段により与えられます。ここで、制御されたソース  $gm_1$  は入力段からの差動コレクタ電圧  $V_D$  を検出し、その電圧をそれに正比例した電流に変換します。 $gm_1$  の出力電流は負荷抵抗  $R_7$  に流れ、内部電圧  $EREF$  を基準とするシングルエンドの電圧を発生させます。この電圧  $EREF$  は電源電圧の midpoint として得られ、モデル全体で使用されます。

単純に  $gm_1 \cdot R_7$  の積をオペアンプの規定されたゲインに等しくすることにより、この段はマクロモデル全体のオープンループ・ゲインを発生します。この設計要素は、モデル内の他のすべての段がユニティ・ゲインで動作することを意味します。この特長により、後続の段の追加や削除を非常に柔軟に行えるようになります。

この手法により、高性能／高速なオペアンプに一般的で複雑な AC 特性を短時間で合成することができます。さらに、この段は増幅器の AC 応答の支配的ポールを与えます。オープンループのポール周波数は、図中のコンデンサ C3 の値によって設定されます。

**周波数特性の設定段**

マクロモデルのゲイン段に続くのは、様々な段数で、かつ段数に制限のないポール段やゼロ段です。それらの組み合わせにより周波数応答の特性が設定されます。これらの段の代表的なトポロジーを図 13.3 に示します。これらの段は、単一ポール段または単一ゼロ段、もしくはポール／ゼロ段またはゼロ／ポール段の結合にすることができます。これらすべての段は DC 伝達特性がユニティ・ゲインであり、アンプの種類により、これらの段のすべての段またはいくつかの（その周波数応答を作り上げるのに必要な）段を含んでいます。

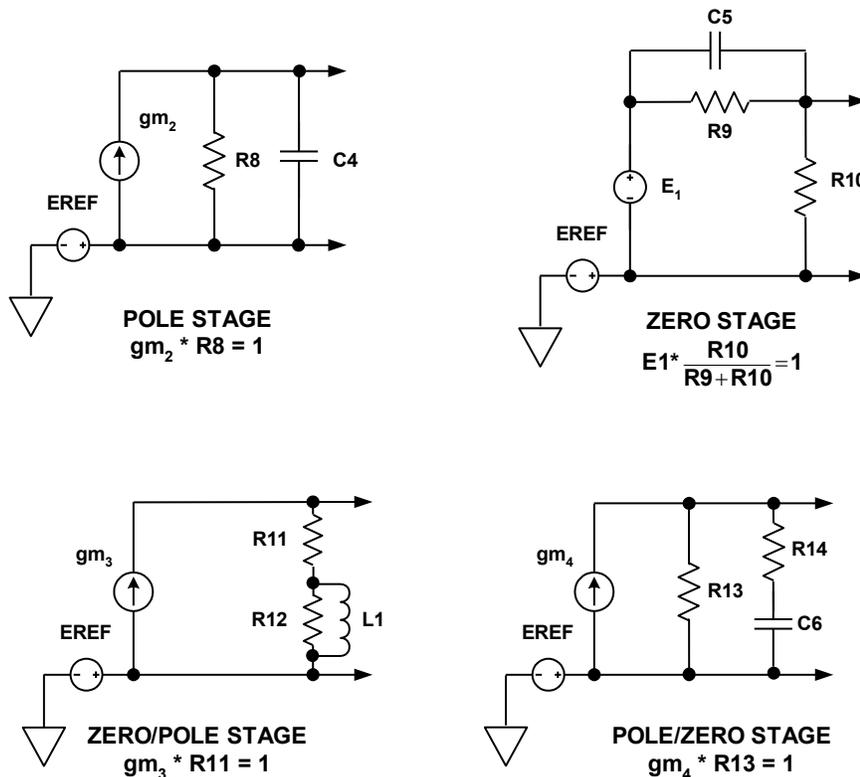


図 13.3: ADSpice モデル内で可能な周波数特性設定段

ポールやゼロの周波数は、場合に応じて抵抗とコンデンサ、または抵抗とインダクタの組み合わせにより設定されます。SPICE 内部では値の数に制限がないため、RC の値はある程度、任意に選択でき、広範囲で正しく機能します。初期の ADSpice モデルは相対的に高い値を使用していましたが、最近のものはノイズを減らすために低い値が使用されています（詳細は後述）。

あらゆる場合で、それぞれの段はドライブ段に対してゼロ負荷を与えるように想定されています。ここで示した段は特定のオペアンプのものではありませんが、OP27 のモデルにその具体例を見ることができます。

これらの周波数特性の設定段はすべて DC 結合されており、ユニティ・ゲインなので、任意の数の段を追加したり削除したりすることができ、モデルの低周波応答特性に対しては何の影響も与えません。最も重要なことは、高周波ゲイン特性と位相応答特性は、実際のアンプの応答特性に一致するように正確に調整できるということです。この周波数特性設定の柔軟性の利点は、ADSpice モデルとより単純なモデルのクローズドループのパルス応答と安定性の解析の性能の比較において特に明らかです。実例を後に示します。

### マクロモデルの出力段

DSPice モデルの出力段は図 13.4 に示すような一般的な形状をしており、いくつかの非常に重要なオペアンプ特性をモデル化しています。テブナン等価抵抗  $R_{O1}$  と  $R_{O2}$  は、オペアンプの DC オープンループ出力インピーダンスを等価的に表しており、インダクタンス  $L_o$  は高い周波数でのインピーダンスの上昇をモデル化しています。この段のユニティ・ゲイン特性は、 $g_7 \cdot R_{O1}$  の積と  $g_8 \cdot R_{O2}$  の積で設定されます。

さらに、出力負荷電流は正しく電源電流に反映されます。この特長により負荷のかかった回路の消費電力を正確に解析できるため、ボイル・モデルと比較してかなり改善が見られます。さらに、信号経路の一部としてオペアンプの電源電流を利用する回路も正しくシミュレーション可能です。図に示した出力段は特定のオペアンプを意図していませんが、AD817 のモデルの中に非常に近い箇所が見られます。

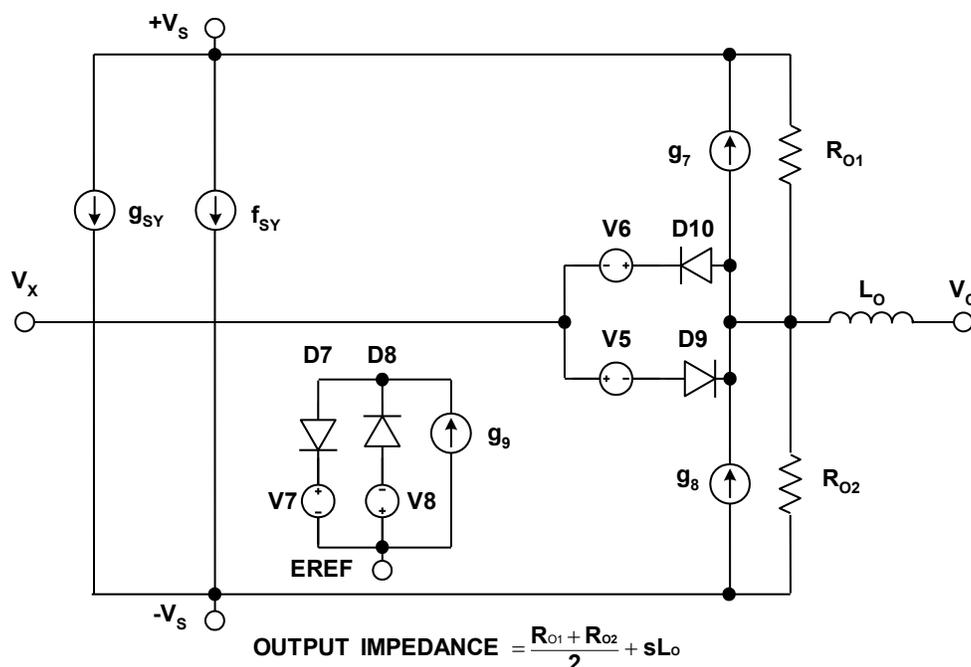


図 13.4: 汎用マクロモデルの出力段

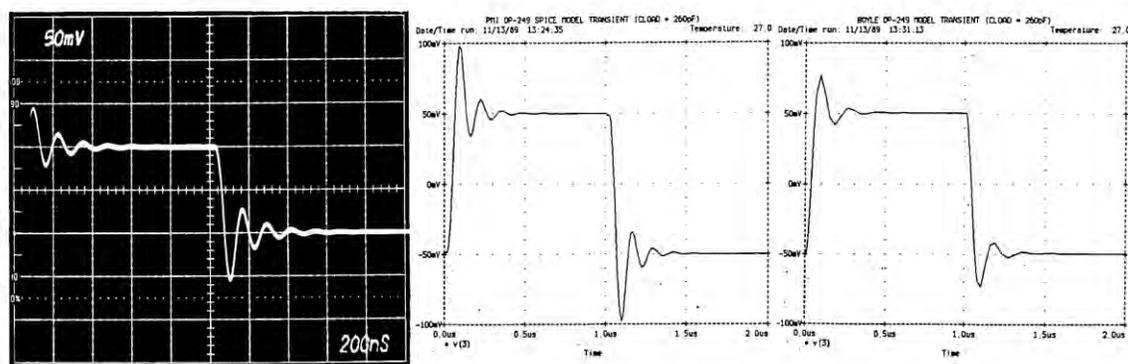
最近、多くのレール to レール出力段のオペアンプが出現したことに対応して、カスタム化された多くのモデル・トポロジーが開発されてきました。これによって拡張された ADSpice のライブラリには、バイポーラ・デバイスとともに、P/N チャンネルの MOSFET デバイスを用いてオペアンプ・アーキテクチャを整合させた、レール to レール動作のモデルが含まれています。特性上、レール to レール出力段にはいくつか重要な性能の違いがあります。最も重要なポイントは、両供給電源の数 mV 近くまで出力を振幅させることができることです。2 つ目のポイントは、それらの出力段は電圧ゲインが 1 より大きいことで、3 つ目のポイントは、(従来のエミッタ・フォロワ出力と比較して) 出カインピーダンスが相対的に高いことです。

レール to レール出力動作に加え、近年の多くのオペアンプはレール to レール入力段も備えています。これらの段は基本的に二重化されており、例えば NPN ベースの差動段に相補的 PNP 段を組み合わせて、両方の段が並列に動作します。これにより、オペアンプのコモンモード入力電圧範囲を両電源の電圧レベルまで広げることが可能です。CMOS オペアンプでは、P 型と N 型の両方の MOSFET 差動ペアを用いてこの特長を実現できます。

### モデルの過渡応答特性

複数のポール段とゼロ段の有利な点は、図 13.5 に示すように、過渡パルス応答テストで直ちに明らかになります。この図では、実際のおペアンプ OP249、ADSpice モデル、そしてボイル・モデルを比較しています。ADSpice モデルではポールとゼロの数に制限がないので、より優れた実行結果が得られています。

この違いはユニティ・ゲインのフォロワ回路のトランジェント解析のこのプロットに明示されています。OP249 アンプが使われ、出力は反転入力に接続され、260 pF の容量性負荷が使われています。



VERTICAL SCALE: 50mV / div.  
HORIZONTAL SCALE: 200ns / div.

LOAD = 260pF

図 13.5: OP249 フォロワ (左)、ADSpice モデル (中央)、ボイル・モデル (右) のパルス応答の比較

オペアンプの応答（左）に見られるように、リングングが発生しています。ADSpice モデルはオーバーシュートの大きさと減衰していくリングングの周波数を正確に予測していることに注意してください。対照的に、ボイル・モデル（右）の予測するオーバーシュートは約半分で、リングングの数が明らかに少なくなっています。

### ノイズ・モデル

ADSpice モデルで重要な改良点は、オペアンプのノイズ特性に関して実際的なモデルを得られることです。SPICE で回路のノイズをモデル化する機能は、手計算でノイズを解析しようとするあらゆる人に歓迎されるでしょう。ノイズを完全に解析するとなると、すべてのアクティブ素子とすべての抵抗から生じる個々のノイズ量を加算して入力基準に換算する、という手間のかかる退屈な作業を強いられます。

この作業を支援するため、ADSpice モデルは、実際のオペアンプの広帯域ノイズと  $1/f$  ノイズを正確に模擬するノイズ源が含まれるように改良されました。概念的には、まずノイズなしの従来のモデルを作ってから、個別のノイズ信号を追加してターゲットとするデバイスをエミュレートします。先に示したように、必ずしもすべてのアナログ・デバイスのモデルがこのように正確なノイズ性能を付与されるように設計されているわけではありません。ただし、低ノイズのアプリケーションによく用いられる一部のデバイス向けモデルは、ノイズを十分に考慮して設計されています。

最初のステップは、モデルの内部インピーダンスをスケールダウンすることです。例えば、図 13.6 に示すように、ポール段とゼロ段の抵抗を基本的な  $1\text{ M}\Omega$  から  $1\ \Omega$  に下げると、全体のノイズが劇的に減少します。

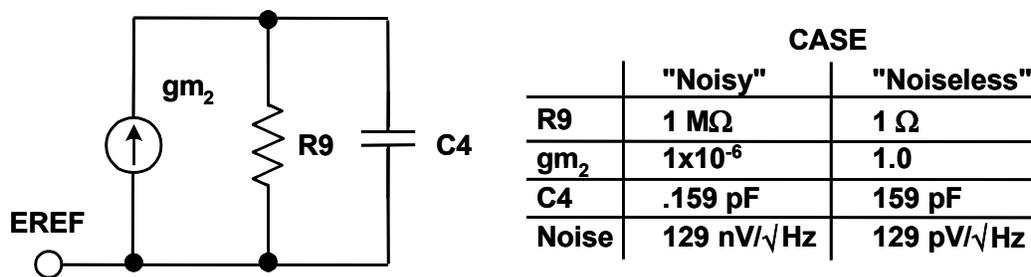


図 13.6: 低ノイズ動作を実現するための最初の設計ステップは、ポール段とゼロ段のインピーダンス値を低減

表中の「ノイズあり "Noisy"」の列では、R9 の抵抗値が大きなポール段から発生するノイズは  $129\text{ nV}/\sqrt{\text{Hz}}$  です。しかし、「ノイズなし」の列のように、この抵抗値を  $10^{-6}$  の係数で  $1\ \Omega$  までスケールダウンすると、この段のノイズは  $129\text{ pV}/\sqrt{\text{Hz}}$  になります。相互コンダクタンス  $gm_2$  と容量 C4 の値も同じ係数でスケールされており、同じゲインとポール周波数を維持していることに注意してください。モデルの入力段をノイズレスにするには、高電流と低負荷抵抗で動作させ、ノイズの影響を無視できる程度にします。この手法をモデル全体に応用すると、実質的にノイズレスにすることができます。

全体のノイズ低減を達成できたら、個別のノイズ源（電圧ノイズを 1 つ、電流ノイズを 2 つ）を付加します。モデルに用いられる基本的なノイズ源のトポロジーは図 13.7 に示すようなもので、電圧ノイズ出力と電流ノイズ出力の両方を発生するように設定することができます。

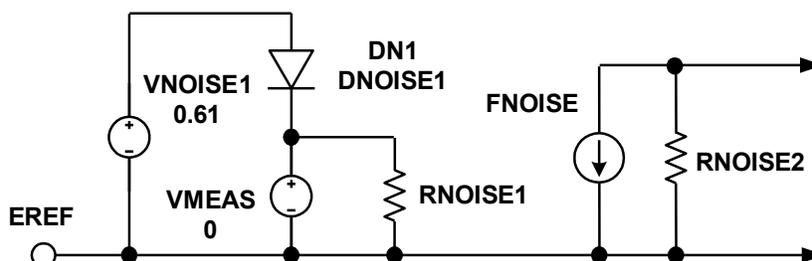


図 13.7: SPICE の基本的なノイズ発生源はダイオードと抵抗と制御されたソースで構成される

特筆すべきは、SPICE の半導体モデルは  $1/f$  ノイズ（フリッカ・ノイズ）を生成できることです。ノイズ・ジェネレータが DN1 のようなダイオードを用いてノイズのこの部分を発生し、オペアンプの  $1/f$  ノイズをモデル化します。ダイオード・モデルのパラメータとバイアス電圧 VNOISE1 を適切に設定することにより、 $1/f$  ノイズは実際のオペアンプに一致するように調整されます。DN1 からのノイズ電流はゼロ電圧源 VMEAS を経由します。この VMEAS は、DN1 からの  $1/f$  ノイズと RNOISE1 からの広帯域ノイズを結合する測定デバイスとして使われています。

RNOISE 1 の値は、適切な広帯域ノイズを与えるように選択されます。VMEAS で結合されたノイズ電流は FNOISE によりモニタされ、RNOISE 2 の両端に電圧として現れます。この電圧は（図 13.2 の  $E_N$  のような）制御された電圧源を介して、アンプの 1 つの入力に直列に注入されます。FNOISE または制御される電圧源のどちらかの係数を使って、全体のノイズ電圧をスケールアップすることができます。

電流ノイズ源は、電圧を発生させる抵抗 RNOISE 2 が使われていないことと、制御される 2 つの電流源がアンプの両方の入力を駆動することを除いて、上記のものに類似しています。ノイズ・ジェネレータはすべてグラウンドを中心に対称なので、DC 誤差は発生しません。

### 電流帰還型アンプのモデル

先に説明したように、このようなユニークな入力段の構成に対応するため、電流帰還型アンプの新しいモデル・トポロジーが開発されました。このモデルは図 13.8 に示すような入力段とゲイン段のトポロジーを使用します。この図に示されていないモデルの残りの部分は複数のポール段／ゼロ段と出力段で構成されており、上述の電圧帰還型アンプと基本的に同じです。

4 個のバイポーラ・トランジスタで構成される入力段は、実際の電流帰還型アンプに似ており、高インピーダンスの非反転入力（+IN）と低インピーダンスの反転入力（- IN）を備えています。電流帰還型アンプでは、その動的なスルー電流は（電圧帰還型オペアンプとは異なり）差動ペアのテール電流によって制限されないため、最大スルーレートは非常に高くなります。

電流帰還型オペアンプの設計では、フィードバック回路により生じる、はるかに大きい誤差電流が反転入力に流れ込むことがあります。この電流は内部的に Q3 か Q4 のどちらかを流れて、カレント・ミラーを介して補償コンデンサ C3 を充電します。

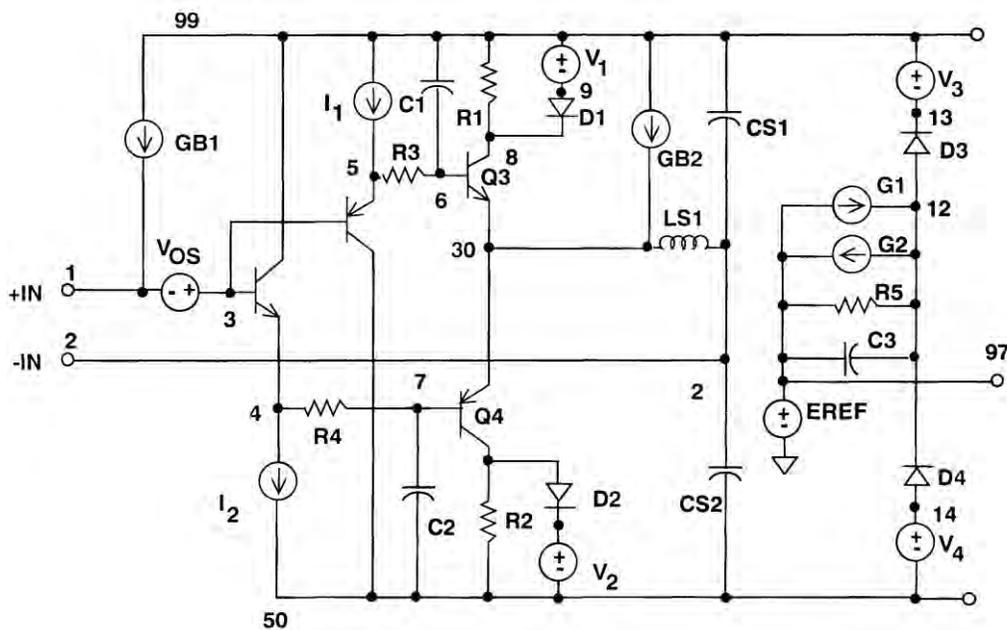


図 13.8: 電流帰還型オペアンプのマクロモデルの入力段とゲイン段

ADSpice モデルのカレント・ミラーは、実際にはゲイン段の電圧制御電流源 G1 と G2 です。これらは入力段の抵抗 R1 と R2 それぞれの両端の電圧降下を検出し、それを C3 の充電電流に変換します。G1 と G2 の値を R1 と R2 にそれぞれ対応させると、スルー電流は同一になります。R1 と R2 の電圧降下を D1-V1 と D2-V2 でクランプすることにより、最大電流が制限され、したがって最高スルーレートが設定されます。このモデルのオープンループ・ゲイン、つまりトランス・レジスタンスは R5 で設定され、オープンループのポール周波数は C3-R5 により設定されます（図 13.2 を再度参照）。R5-C3 両端からの出力（ノード 12）は、この後に続く周波数特性の設定段をドライブします。ここでも EREF は内部リファレンス電圧です。

電流帰還型アンプのユニークな性質の一つは、その帯域幅が帰還抵抗と内部補償コンデンサ C3 の関数であるということです。帰還抵抗の値が事実上の下限（デバイスが発振する値）に達するまでは、帰還抵抗の値が低いほど、帯域幅が広がります。モデルの反転入力インピーダンスが低いので、帰還抵抗  $R_F$  の値が変更されても実際の回路の振舞いを正確にシミュレーションします。図 13.9 は AD811 ビデオ・アンプの実際の素子と ADSpice モデルを比較しています。図示されているように、モデルは 1 kΩ の帰還抵抗では（500 Ω の帰還抵抗の場合と比較して）ゲインのロールオフ周波数がはるかに低くなることを正確に予測しています。

電流帰還型アンプの入力段とゲイン段は、ADSpice のモデルを強化したもので、異なるオペアンプ・デバイスのモデリングの柔軟性が増しており、設計時間を短縮します。

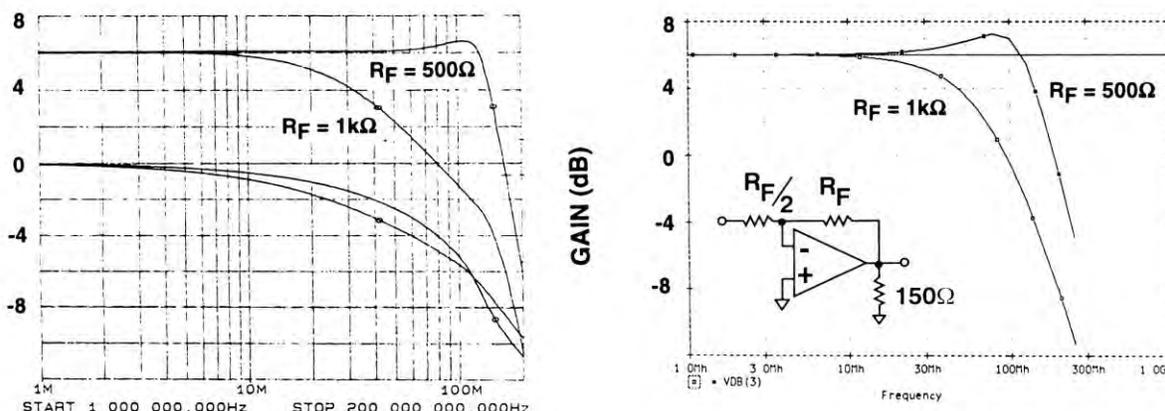


図 13.9: 実際の AD811 電流帰還型オペアンプ (左) とそのマクロモデル (右) の帰還抵抗を変えた場合の比較

### シミュレーションはブレッドボードの置き換えにはならない

使用しているモデルがいかに正確であっても、また、シミュレーションに対していかに自信を持っているにしても、SPICE による解析だけではブレッドボードの完全な置き換えにはなりません。実際のプリント基板アセンブリに存在する実際のデバイスやレイアウトによって、2 次的、3 次的影響が容易に性能に影響を与えることがあります。一般に、実回路の様々な要素をすべてネット・リストに明示しない限り、SPICE が上述のようなことを「知りえる」ことは不可能です。かといって、これらを明示することは困難あるいは全く不可能です。プリント基板を製作し、最終的なシステムでテストするまでは、何らかの問題点に気付くことさえできないかもしれません。例えば不要信号の結合、クロストーク、避け難い寄生容量、インダクタンス、抵抗など問題点を挙げていったらきりがありません。これらの影響をすべてシミュレーションに含めることは全く不可能であるということ直視する必要があります。これらの存在に気づいていたとしても、実際にプリント基板を作成して目的とする条件で動作させてみない限り、何らかの影響を与える要素の大きさのデータさえ入手できないでしょう。

さらに、どんなマクロモデルも、オペアンプのすべての特性を含んでいるわけではないことを忘れないでください。例えば、入力電圧範囲を超えると、オペアンプは非線形動作をすることがありますが、このような特性がモデルに組み込まれているとは限りません。シミュレーションでは予想できない影響のため、回路をブレッドボード化することが必要です。

ADSpice ライブラリのような包括的モデルを使用しても、外部の影響で回路が容易に動作不具合を引き起こすことがあります。先に示したように、高速回路の設計ではプリント基板の寄生要素により周波数特性が大幅に変わってしまうことがあります。それらの寄生要素は SPICE シミュレーションでは容易に見逃されてしまいますが、ブレッドボードでは問題が露見します。

結局のところ、設計効率を最大限にするためにシミュレーションとブレッドボードの両方を使用することが重要です。シミュレーションでは何ができて何ができないかを理解し、シミュレーションが示す結果を妥当な期待レベルで考察する必要があります。

### シミュレーションをツールとして賢く使う

シミュレーションは非常に強力なツールですが、その長所を十分に活かすには賢く使わなければなりません。それには、モデルを良く知り、プリント基板とその寄生要素について理解し、結果をあらかじめ予測することが必要です。例えば、オペアンプと 4 個の等しい抵抗で構成された単純な差動アンプを取り上げ、その同相ノイズ除去比 (CMRR) の性能を解析します。低い周波数では、CMRR は抵抗の不整合によって支配されますが、高い周波数ではオペアンプ自体の CMRR 性能によって支配されます。ただし、SPICE シミュレーションでこれが示されるのは、現実似せて外部抵抗を故意に mismatch させ、使用するオペアンプのモデルが DC での CMRR だけでなく、高い周波数での CMRR の低下も適切に扱う場合だけです。万一、これらの重要なポイントが解析で見逃されると、回路の全帯域幅にわたってすばらしい CMRR 性能を示すという楽観的な結果となってしまいます。残念ながら、これは全くの誤りです。ここで (CMRR の周波数特性をモデル化した) ADSpice モデルとともに抵抗をそれらの規定許容誤差範囲まで mismatch させたネット・リストに差し替えた場合、得られるシミュレーション結果はかなり異なってきます。低い周波数での CMRR 性能は抵抗の不整合によって制限され、高い周波数では、実際のオペアンプ・デバイスの CMRR の周波数特性のように、CMRR 性能が低下します。

### モデルを知る

どのようなオペアンプのマクロモデルも、各種 DC テストや AC テストを用いて、その精度と機能的な完全性をチェックすることができます。また、特定の解析を行うのに重要なオペアンプの他のパラメータ用に、特別なテスト・シミュレーションを作成することもできます。このようなことは非常に重要で、あらかじめオペアンプのモデルの能力を知っておくと、その後に起こる問題の多くを防ぐのに役立ちます。

### プリント基板の寄生要素を理解する

たとえモデルが暫定的テストをすべてパスしたとしても、まだ注意を払う必要があります。前に述べたように、プリント基板の寄生要素は回路の性能に対して非常に大きな影響を与ることがあります。これは特に高速回路に当てはまります。入力ノードの数 pF の容量でも、安定な回路と発振する回路で差を生じることがあります。これらの影響は、回路シミュレーションで有意義な結果を得るために慎重に検討する必要があります。

プリント回路基板の寄生要素の影響を示すため、図 13.10 (左) の簡単な電圧フォロワ回路を 2 種類用意しました。1 つはプリント回路基板に注意深くレイアウトしたもので、もう 1 つはプラグイン式の試作用基板に部品を並べたものです。オペアンプ AD847 を使ったのはその帯域幅が 50MHz あり、そのため寄生要素の影響が現れやすいからです (小さい容量でも大きな影響が出る)。

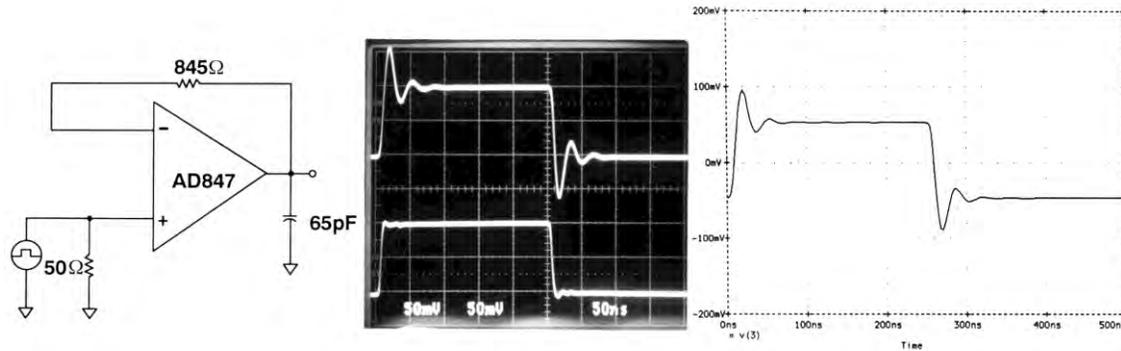


図 13.10: PCB レイアウトの寄生要素の影響、実験室でのテストの結果（中央）およびシミュレーション（右）

上の結果が示すように、適切なレイアウトのプリント基板に実装した回路は、応答がクリーンで、オーバーシュート／リングングがわずかです（中央の写真）。SPICE モデルの結果も実際の回路に近く、対応するシミュレーションを示しています（右図）。

他方、プラグイン方式の試作ボードに実装した同じ回路は、明らかに異なる結果が出ました。一般に、オペアンプの入力付近のノードの比較的高い寄生容量によって大幅な性能低下が見られ、方形波応答性能を悪化させる大きなリングングを生じ、デバイスのフル能力よりはるかに悪化しました。

このことは図 13.11 の中央の写真と右側の図にそれぞれ示されています。左側の電圧フォロワ回路には、試作ボード自体の容量が示されています。この不十分なテスト回路の実験結果とそれに対応する SPICE シミュレーションは「最初は」一致しませんでした。ただし、動作に關与するプリント基板上の寄生容量を SPICE ファイルに含めると、右側の図に示されているようにシミュレーション結果は実際の回路に一致します。

この例はいくつか重要なポイントを示しています。まず、プリント回路基板には寄生要素があるため、高速回路は、単純な SPICE 解析とはかなり異なる振舞いを示すことがよくあります。次に、SPICE ネット・リストを調整してプリント回路基板の寄生要素の影響をそれなりに反映させると、シミュレーション結果は実際の実験結果に近くなります。最後に、明確にしておくべき点として、寄生要素を最小に抑えたクリーンなプリント回路基板のレイアウトは高速動作回路において非常に重要です。これを広い視野で見ると、現在のオペアンプは 1 GHz を超える動作が可能です。

別の興味深い点として、シミュレーションはプリント回路基板設計の大雑把な評価方法として使用できます。仮に、寄生要素なしのシミュレーション結果が実際のプリント回路基板の動作と一致した場合、そのプリント回路基板が適切にレイアウトされていることの根拠ある判断材料となります。

プリント回路基板の寄生要素は、シミュレーションとブレッドボードとの差異を生む唯一の領域ではありません。回路が電源投入時に非線形動作を示し、結果として素子がロックアップしてしまうことがあります。あるいは、電源の不十分なデカップリングやリード線のインダクタンスにより、デバイスが発振することがあります。

SPICE ではバイパス処理は不要ですが、実際の回路では必須です。現実には、増幅器が置かれる通常時および異常時の動作条件をすべて予測することは不可能です。

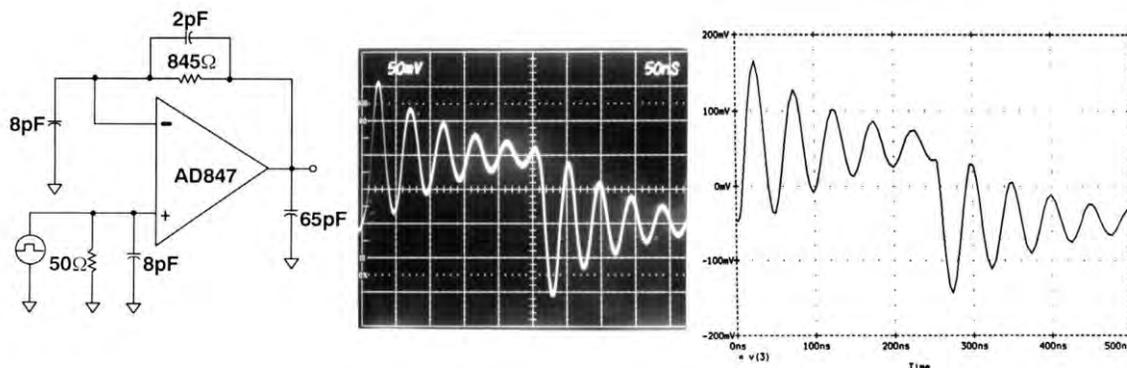


図 13.11: ラボでのテスト結果（中央）とシミュレーション（右）に収束が見られる（減衰の小さな応答）

このように、回路は必ずブレッドボード化し、ラボで完全にチェックすることが重要です。これらの設計段階における慎重な事前検討が、最終のプリント回路基板の製造時に露呈する未知の問題を最少に抑えるのに役立ちます。

### シミュレーションによる設計サイクルの短縮

シミュレーションは、設計の初期段階で異なるアイデアや回路方式を試すのに非常に有効です。回路トポロジーが決まり、SPICE でテストしたら、ブレッドボードを作成することができます。シミュレーションが適切になされていれば、ブレッドボードは大きな修正なしに、正しく動作する可能性が高くなります。

シミュレーションと実際の結果に相関が得られていれば、SPICE で回路を簡単に変更して、別の様々な解析を実行することができます。例えば、SPICE 上で動作させながら回路を最適化する作業は、ブレッドボードを繰り返し修正する作業と比べれば格段に簡単です。オペアンプや部品を SPICE 上で素早く置き換えて、その結果を直ちに確認することができます。

ワーストケースと感度の解析も、紙面で行うのと比較して、SPICE では簡単に行うことができます。SPICE を複数回実行して、あるパラメータに対する感度を確認することもできます。多段のアクティブ・フィルタの設計で、部品値のあらゆる組み合わせを解析する例を考えてみましょう。これは手計算や実験で行うとすると、不可能ではないとしても悪夢となり得ます。SPICE のモンテカルロ・オプションを使えば、応答の限界値の有効な結果を比較的容易に得ることができ、設計に対する確信が高まります。

シミュレーションをブレッドボードの置き換えとすることはできませんが、設計サイクルを効率化し短縮するには、両方を併用することができ、またそうすべきです。

### SPICE のサポート状況

業界の多くのベンダーが種々のコンピュータ・プラットフォーム（PC を含む）で使える SPICE 解析パッケージを提供しています。これらのうち最初のもので、よく使われているものの 1 つが PSpice® です。これは市販のプログラムで、現在は回路図入力とプリント回路基板レイアウトの両方のパッケージを同梱しています。これに加えて、多くのベンダーがそれぞれの SPICE プログラムの機能が制限された学生向けバージョンを低価格あるいは無償で提供しています。

### モデルのサポート

ADSpice のモデル・ライブラリは、いくつかの異なる形式で提供されています。これまで説明してきたオペアンプのモデルに加えて、別の種類の IC のモデルも含まれています。すなわち、計装アンプ、アナログ乗算器、電圧リファレンス、アナログ・スイッチ、アナログ・マルチプレクサ、マッチング・トランジスタ、バッファなどです。個々のオペアンプのモデルは、多くのデータシート上にリストとして記載されています。モデル・ライブラリの電子式 ASCII テキスト・ファイは、アナログ・デバイセズのホームページから、資料センタ（1-800-262-5643 \*1）から、またサポート CD で入手することができます。

### IBIS モデル

IBIS (I/O Buffer Information Specification) モデルは、IBIS ベースの様々なシミュレータで使用されています。IBIS モデルはデジタル・システムの伝送ラインのシミュレーションに使われます。これらのモデルは、I/O バッファや終端、それに回路基板のトレースを正確にシミュレーションします。これは、表形式の電流対電圧の特性を用いるビヘイビア・モデルです。

IBIS 仕様は高速かつ高精度なビヘイビア手法であり、測定や全回路のシミュレーションから得られた V/I 曲線データに基づいて入力／出力バッファをモデル化します。これは、ソフトウェア・パーシング可能な ASCII ファイル形式の標準フォーマットを使用して、集積回路デバイスの特性をモデル化するのに必要なビヘイビア情報を格納します。IBIS は、ほぼすべての既存シミュレータや EDA ツールと互換性があります。

### Saber モデル

Saber モデルは、アナログやデジタルあるいはミックスド・シグナルのシステムをシミュレーションするのに使用されます。Saber モデルは、プロトタイプを製作する前に、システムやサブシステム、さらに部品をシミュレーションして解析するのに使用されます。Saber シミュレーションは、数学エンジンを用いて、回路またはシステム内の相互接続されたモデルで表される方程式のネットワークを解きます。

## ADIsimADC

ADIsimADC™ のリリース以前は、データ・コンバータのモデル化は見過ごされてしまうか省略されることがしばしばでした。あるいは理想的なデータ・コンバータで済まされることがほとんどでした。ミックスド・シグナル技術を用いて実装されるシステムが増加するにつれて、システム・モデリングの重要性が高まり、サイン・サイクルの短縮とファースト・パスでの成功を求めるプレッシャーにより、完全なシステム・モデリングの重要性が増しています。

モデリングを用いる場合、理想コンバータ・モデルがよく使われます。これは機能のモデリングには役立ちますが、選択された特定のデバイスが実際にシステムの目標値を満たすかどうかを判断するのに必要な性能の詳細を提供するわけではありません。これが、ADIsimADC™ が開発された理由です。このモデルは初めて顧客が自身のデータを自身の条件を使って、顧客のシステムでコンバータの性能を検証し、選択したデバイスを自身の用途に使えるか判断する手段を提供します。このバージョンのモデルは ADC のすべての特性をモデル化するわけではありませんが、顧客がシステム・シミュレーションで実際のデータ・コンバータをモデル化できるようにするという目標の達成に向かって長い道のりを進んでいます。

### ビヘイビア対ビット・イグザクト

ADIsimADC モデリング・ソフトウェアはビット・イグザクト (bit exact) モデルではありません。ビット・イグザクト・モデルとは、既知のテスト信号を入力した場合に既知で予測可能な出力が得られるモデルです。この種のモデルはよくデジタル・システムで見られます。アナログ機能を扱う場合、ノイズ、歪みなどの非直線性があるため、与えられた入力に対する既知の応答はありません。応答の一部を予測可能な場合がありますが、その他の多くの部分は、歪み、ノイズ、さらにはデバイス間のバラツキの影響を受けます。さらに、ビット・イグザクト・モデルを用意するには、過渡応答を処理する SPICE モデルのような回路シミュレーション・ファイルを用意する必要があり、複雑な初期条件を設定する必要があります。しかし、これらのモデルは大規模かつ複雑で、非常に低速であり、結局は得られる精度が大きな制約を受けます。縮小したまたは等価な SPICE モデルでは、スタティック性能とダイナミック性能の詳細を適切にモデリングすることができません。

ビヘイビア・モデルでは大きな SPICE ファイルの複雑さがなくなると同時に、回路ファイルでは実現できない詳細性能のモデリングが可能になります。ADIsimADC は Matlab、C++ などの多くのサードパーティのシミュレーション・ツールや、ADC Analyzer™を使用したスタンドアロンのコンバータ評価ツールにそのまま含めることができます。

### モデル対ハードウェア

システムのモデリングはもちろんです。単なる ADC のモデリングであっても、実システムの作成や特性評価に取って代わるものではありません。RF 技術者の誰もが言うように、回路をモデル化することと、実際に回路を作成してテストすることは全く異なります。シミュレーションで得られた性能を実現するには、アナログまたはミックスド・シグナルのデバイスの場合と同様、適切なレイアウトと構成が必要です。

したがって、製品データシートに記載されているすべてのレイアウトのルールとガイドラインに従うことが重要です。十分な電源用のバイパス・コンデンサを使うことも重要です。ミックスド・シグナル・デバイスには何らかのデジタル回路が含まれているため、デジタル・スイッチング・ノイズがしばしば問題となり、コンデンサを使用してこれらのスイッチング電流を軽減しないと、最良のデバイスであっても性能が大幅に損なわれることがあります。多くの場合、コンバータの周囲には、追加のコンデンサ、インダクタ、抵抗といったサポート・デバイスが必要です。何が重要かを知る唯一の方法は、製品データシートを調べ、さらに、しばしばデータシートに記載されている評価用ボードの回路図についても調べることです。ADIsimADC は、製品データシートに記載されている推奨レイアウトを基に実デバイスの実際の性能を提供することを目標にしています。

### モデル化には何が重要か？

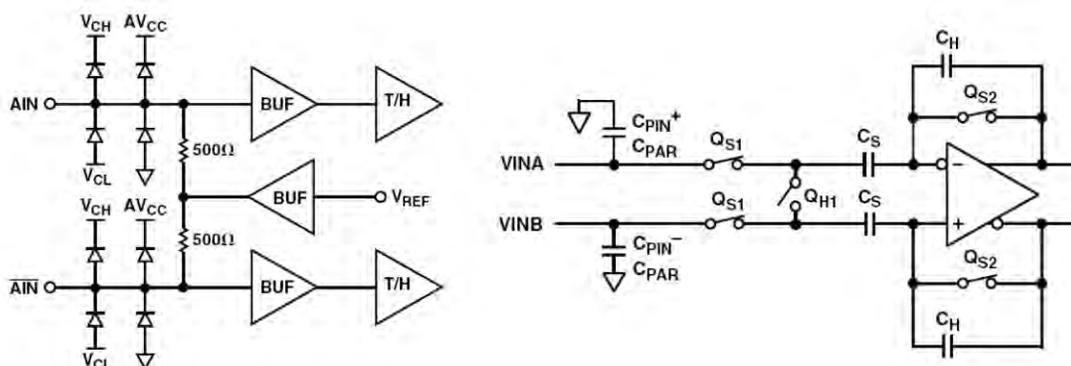
モデル化に何が重要かは、実行しようとしている解析の種類に依存します。例えば、制御ループでは正確な伝達関数と遅延情報が必要となり、無線システムではノイズと歪みの正確な表現が必要になるでしょう。ADIsimADC は、オフセット、ゲイン、サンプル・レート、帯域幅、ジッタ、レイテンシ、AC と DC 両方の非直線性といったデータ・コンバータの多くの重要な仕様をモデル化します。

### ゲイン、オフセット、DC 直線性

コンバータのフルスケール・レンジは、コンバータのデザインによって決められます。固定のこともあり、選択可能または可変のこともあります。コンバータのゲイン誤差は公称値からの偏差で、しばしば入力スパンと呼ばれます。ADC は電圧入力デバイスなので、フルスケール・レンジは DC または低周波数でのボルト値で規定されます。入力周波数が高くなると、振幅応答の減衰により、コンバータの見かけ上のフルスケール・レンジが実効的に大きくなるため、コンバータの応答がロールオフします。応答が 3 dB 減少する周波数は、コンバータのフル・パワー 3 dB 帯域幅と呼ばれます。

オフセットは、入力リファレンスに短絡されている場合のデジタル出力を表します。多くのデバイスには、入力コモンモード電圧を設定するために、入力ピンを内部リファレンスにバイアスするための内部接続があります。このようなデバイスでは、この接続を外部で行う必要はありません。シングルエンド入力の場合は、その入力をフロートさせておくか、あるいは差動入力の場合は互いに短絡します。内部にコモンモード電圧への接続がないデバイスでは、外部で接続する必要があります。入力スパンの場合と同様に、コモンモード電圧は固定のことも調整可能なこともあります。対象デバイスがどのように構成されているか知るには、デバイスのデータシートを参照してください。

ADIsimADC では、入力スパンやコモンモードを変更することはできません。入力スパンが複数あるデバイスには、個別にコンバータ・モデルが提供されます。コモンモードは、すべてのデバイスで固定されており、変更不可です。異なるコモンモード・レンジを使うシステム用にモデル化が必要な場合は、外部オフセットを使って差を減算することができます。



注: 2 種類の入力データ構成。内部共通モード電圧に両方接続されている構成 (左側) と接続されていない構成 (右側)。

図 13.12: 代表的な ADC の入力構成

DC 直線性は、データ・コンバータの伝達関数によって決まります。静的伝達関数 (つまりデバイスの DC 直線性) などの多くの要因によって決まります。ADC の DC 直線性は、コンバータの量子化の方法によって決まります。コンバータには多くのタイプがあり、参考資料に分かりやすくまとめられています。コンバータのタイプごとに独自の伝達関数を持ち、DC と高い周波数の両方で異なる結果になります。

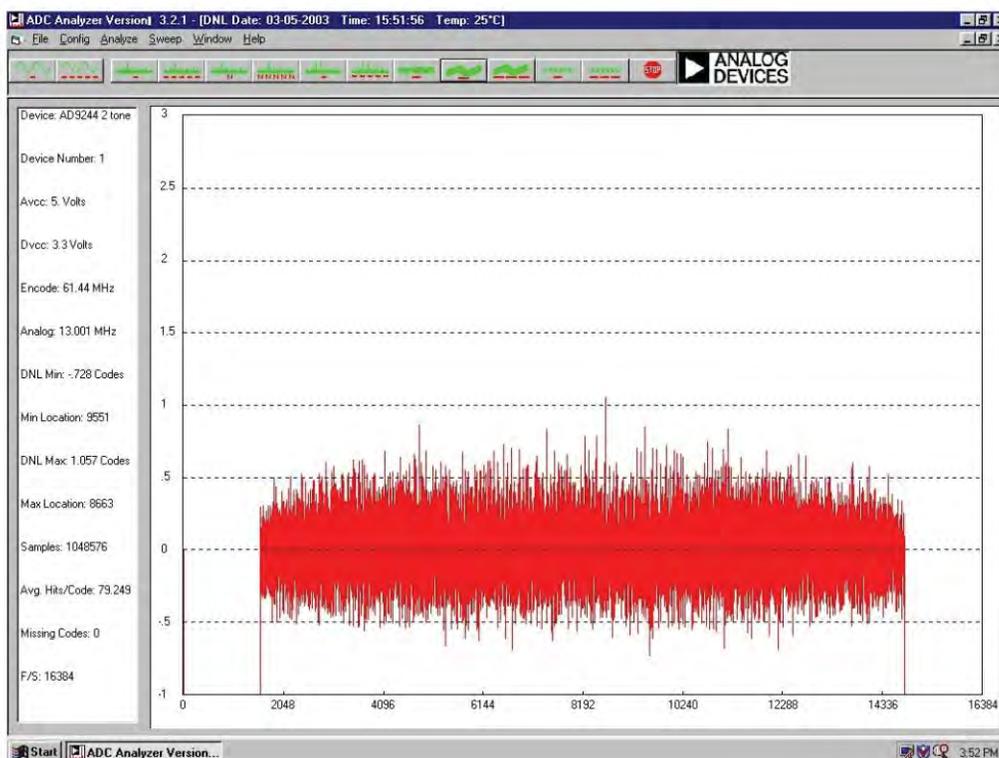


図 13.13: コンバータの伝達関数に重要な影響を与えるコンバータの代表的な DNL

サンプル・レートと帯域幅

コンバータの性能は、通常、サンプル・レートの変化とアナログ入力周波数の変化に応じて変わってきます。サンプル・レートの観点からすると、優れたコンバータは最小の規定サンプル・レートから最大の規定サンプル・レートまで一貫した性能を提供します。非常に低いサンプル・レートでは、正常に動作しないコンバータもあります。これは、内蔵コンデンサに蓄積された電荷の放電すなわち電圧低下によりデータ変換が正しく行われなためです。したがって、コンバータのデータシートで最小の有効サンプル・レートを確認しておく必要があります。コンバータのクラスに応じて、0 Hz または他の周波数になります。非常に高いサンプル・レートでは、次の 2 つの問題が発生する可能性があります。1 つは、単純にデバイス内部でデジタル信号を 1 つのステージから次のステージへ渡せないことがあります。これは、チップ上でセットアップ時間またはホールド時間が不足するために発生します。もう 1 つの問題は、クリティカルなアナログ信号が、割り当てられた処理時間内に安定しないことです。一例としては、ホールド・コンデンサのアクイジション時間があります。前と同様、コンバータのデータシートで最大サンプル・レートを確認しておく必要があります。ADIsimADC では、規定のサンプル・レートを使ってコンバータの動作を決めますが、デバイスの規定範囲外では、このモデルではすべてゼロの結果が出力されます。

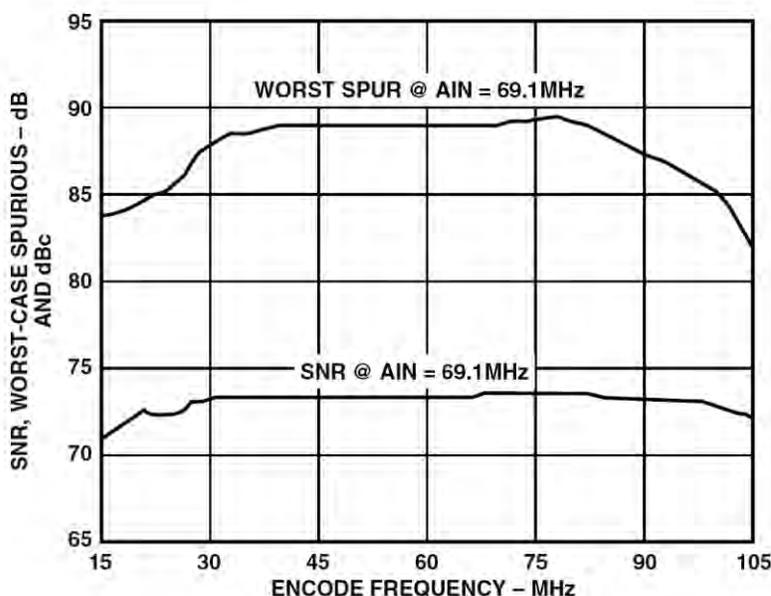


図 13.14: コンバータの性能対サンプル・レート

他のアナログ・デバイスと同様に、アナログ入力周波数が高くなるにつれて、コンバータはその周波数応答がロールオフする傾向があります。これは、ADIsimADC でモデル化されているため、モデル内で応答が減衰します。これは、FFT の信号レベルが減衰していることで確認できます。この減衰を相殺するため、モデルのデフォルトとして規定された範囲を超えて入力信号レベルを大きくする必要があります。このため入力はコンバータのフルスケール・レンジを超えているように見えます。現実には、この信号はパッケージやデバイスの寄生要素により、また内蔵サンプル&ホールド・アンプ (SHA) のホールド・コンデンサで形成されるフィルタにより減衰させられます。

ダイナミック歪みとスタティック歪み

ADC の帯域幅は有限なので、基本的にスルーレートには限界があります。このスルーレートの限界が、ADC 内の歪みの原因の 1 つです。データ・コンバータの入力周波数を DC から高い周波数まで変化させると、入力周波数が高くなるにつれてコンバータの SFDR 性能が一様に低下していきます。これは、ここで概説したようにコンバータのダイナミックな限界に起因します。入力周波数がさらに高くなるにつれ、高調波も増加していきます。

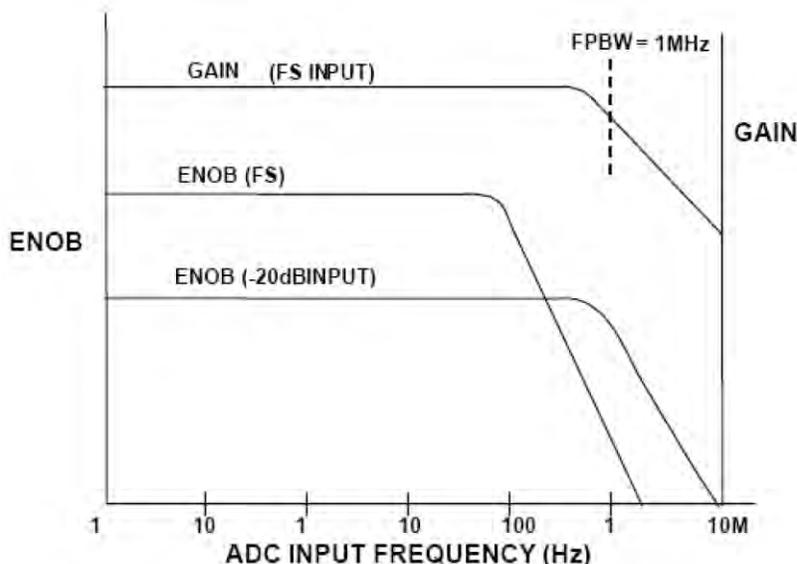


図 13.15: コンバータのアナログ帯域幅

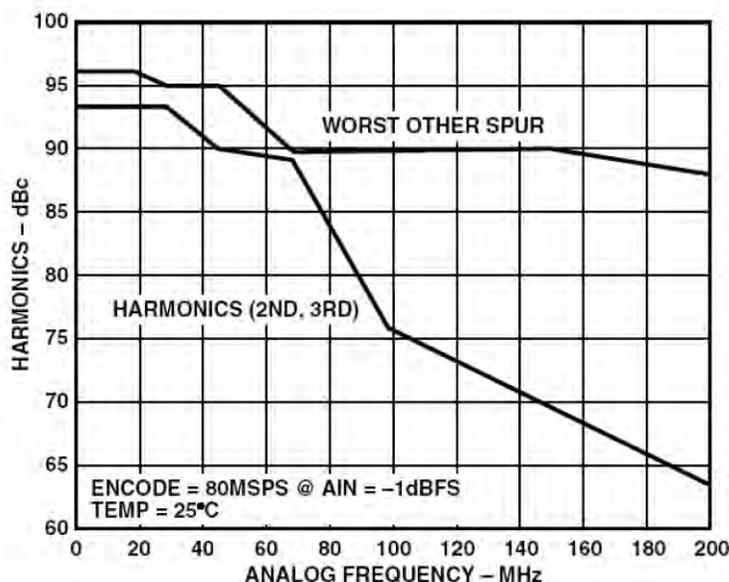


図 13.16: コンバータ性能対アナログ入力周波数の例

これらの限界は少なくとも部分的にはスルーレートの問題から生じるため、（アナログ周波数を一定に維持したまま）信号入力の振幅を小さくするとスルーレートが小さくなり、コンバータのフルスケールに対して高調波を改善することができます。これらのスプリアス成分は必ずしも古典的な  $m$  次積の傾向に従いませんが、この傾向は弱いながらもよく観測されます。信号レベルが小さくなると、スルーレートへの影響はなくなりますが、スタティックな影響が歪みの支配的な因子として急速に置き換わっていきます。

スタティックな歪みは、コンバータの伝達関数に起因する歪みです。この歪みは全く予測不能な結果を生じさせることがよくあります。例えば、入力レベルの関数として急激に変化するスプリアス成分を発生させ、正負両方のスロープ特性を示すことがあります。これらのスプリアスは、主にコンバータのアーキテクチャの特性に起因します。コンバータによってスタティック伝達関数が大きく異なるため、歪み応答が大きく異なります。さらに、これらはアナログ部品であるため、同じデザイン内の各デバイスは入力信号に対して異なる応答を示します。このため、部品間で常に何らかのバラツキがあります。

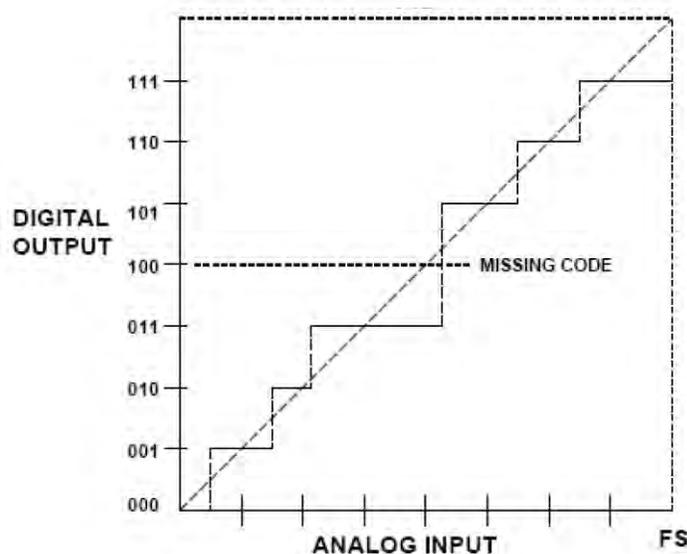


図 13.17: データ・コンバータの伝達関数

ADIsimADC は、データ・コンバータの公称性能をモデル化しようとしています。ADIsimADC はこの点で効果的に機能しますが、部品間のバラツキは常に存在します。前述したように、性能上どのようなバラツキが予測されるかを確認するには、コンバータのデータシートを調べてください。

ジッタ

コンバータにおけるアナログ入力のスルーレートの限界の他に、高周波アナログ信号のサンプリングで最も難しい問題の 1 つにジッタがあります。ジッタは、すべてのデータ・コンバータのフロントエンドでのサンプリング・プロセスで発生するサンプル間隔のバラツキです。低いアナログ入力周波数では、ジッタは全く問題になりませんが、高いアナログ入力周波数では、ジッタが原因でアナログ・サンプリング・プロセスで発生する誤差が大きな誤差をもたらすことがあります。サンプリング・タイム誤差はフェムト秒のオーダーでしょうが、S/N 比に大きく影響することがあります。

全体のノイズには複数の要因が関係しますが、高い周波数では、特に高分解能コンバータの場合、下の式に示すようにジッタは明らかに支配的な要因となります。

$$SNR = -20 \log \left[ \sqrt{\left(2\pi f_{ana} t_{jitter_{rms}}\right)^2 + \left(\frac{2}{3}\right)\left(\frac{1+\epsilon}{2^N}\right)^2 + \left(\frac{2V_{Noise_{rms}}\sqrt{2}}{2^N}\right)^2} \right] \quad \text{式 13-1}$$

ジッタには 2 つの原因があります。まず、デバイスに内在する内部ジッタです。これは、テスト対象の ADC のみに起因するジッタです。最新のコンバータ設計では、種々の技法によって内部ジッタを小さくする努力がなされているため、内部ジッタは通常 2 つの原因のうち小さいほうになっています(ただし、無視はできません)。次に、ジッタの主要原因になっているのは、外部クロックのジッタです。モデルがジッタから生ずるノイズを計算する際には、これらの 2 つのジッタ要因の二乗和平方根がとられてからノイズが計算されます。

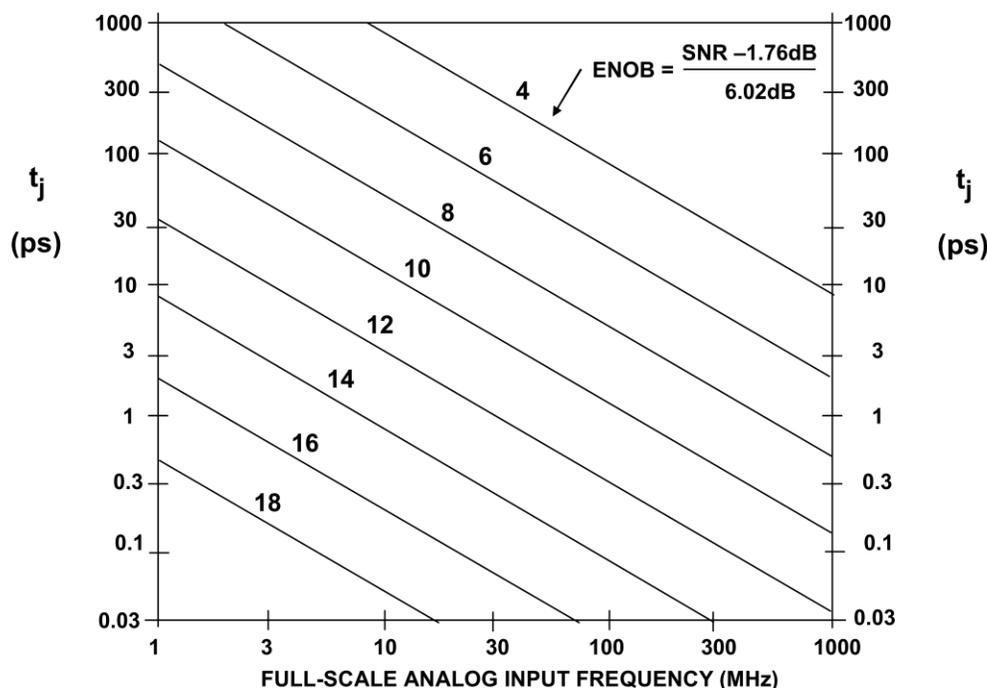


図 13.18: S/N 比 (SNR) 対入力周波数対ジッタ

ADIsimADC は入力信号の瞬時スループレートを見積り、この値にガウス・モデルによるジッタ（シグマ = 内部ジッタと外部ジッタの二乗和平方根値の和）を乗算します。この結果としてノイズのジッタ成分が得られ、アナログ入力の周波数と振幅レベルの両方の関数としてジッタの影響を正確にモデル化します。外部ジッタのデフォルトは、デバイスの特性評価の際に使用されたセットアップでの外部ジッタですが、この値は任意の値に設定することができます。

### レイテンシ

種々のコンバータには、サンプルした時点から、データがデジタル出力に現れるまでの間にパイプライン遅延があります。SAR コンバータとフラッシュ・コンバータは、一般にサンプル周期後直ちにデータを出力します。しかし、パイプライン・コンバータや $\Sigma\Delta$  ( $\Delta\Sigma$ とも呼ばれる) コンバータのようなマルチステージ・コンバータは、数十か数百クロック・サイクルが経過するまでデータを出力しません。これは多くの場合、問題になりませんが、制御システムやレイテンシが重要なシステムでは問題になります。ADIsimADC では、レイテンシをクロック周期の整数値でモデル化します。このため、パイプラインへのデータ書き込み中に変換周期の始めで無効なデータが発生し、パイプラインのフラッシュ中に変換周期の終わりで有効なデータが発生するということが起こります。このモデルを使用するときは、バッファのフラッシュなどの方法により、パイプライン遅延に適切に対処する必要があります。

## ADIsimPLL™

PLL シンセサイザの設計では従来、PLL ループ・フィルタを設計する際には、書籍やアプリケーション・ノートなどの出版物に頼ってきました。また、ロック時間、位相ノイズ、リファレンス・スプリアス・レベルなどの主要な性能パラメータを決定するためにプロトタイプ回路を作成する必要がありました。最適化の際は、ベンチ上で部品の値を「微調整」し、長々と測定を繰り返せざるを得ませんでした。

ADIsimPLL を使用すると、従来の設計プロセスを合理化し改善することができます。設計者は「新規 PLL ウィザード」を開始し、PLL の周波数要件を指定し、実装方法をインテジャ N にするかフラクショナル N にするか選択し、さらに、様々なトポロジの中から PLL デバイスのライブラリやカスタム VCO のライブラリ、さらにループ・フィルタを選択して、PLL を構築します。ウィザードは、ループ・フィルタを設計し、位相ノイズ、リファレンス・スプリアス、ロック時間、ロック検出性能などの主要パラメータを表示するようにシミュレーション・プログラムを設定します。

ADIsimPLL は、スプレッドシートのようにシンプルかつインタラクティブに動作します。ループ帯域幅、位相マージン、VCO 感度、部品の値などの設計パラメータすべては、シミュレーション結果のリアルタイム更新に応じて変更することができます。このため、ユーザは特定の条件に合わせて設計を容易に調整および最適化できます。例えば、帯域幅を変化させることにより、ロック時間と位相ノイズの間のトレードオフをリアルタイムかつベンチ測定の精度で観察することができます。

ADIsimPLL には位相ノイズの正確なモデルが含まれているため、シンセサイザのクローズドループ位相ノイズを高い信頼性で予測可能です。ユーザからは、シミュレーションと測定の高い相関関係があると報告されています。

また、ADIsimPLL は最も重要な非線形効果を含め、PLL のロック動作を正確にシミュレーションします。ラプラス変換手法に基づいた単純な線形シミュレータとは異なり、ADIsimPLL には、位相検出器のサイクル・スリップ、チャージ・ポンプの飽和、VCO チューニング法の曲率、位相周波数検出器のサンプリング特性の影響が含まれています。ADIsimPLL は周波数遷移を正確にシミュレーションし、周波数と位相ロックの詳細なロック時間を予測するだけでなく、ロック検出回路をもシミュレーションします。設計者は測定に頼ることなく、ロック検出回路がどのように動作するかを初めて簡単に予測できるようになりました。

ADIsimPLL のシミュレーション・エンジンは高速で、通常、結果はすべて（トランジェントのシミュレーションでさえ）、「瞬時に」更新されます。設計を容易に最適化できるインタラクティブな環境が提供され、設計者は様々な設計オプションやパラメータを試してみることができます。設計、ビルド、その後のパラメータの測定に何日もかかる従来の方法と異なり、ADIsimPLL では PLL 回路の設計を変更すると瞬時に性能の変化を観察することができます。ADIsimPLL を使用すると、設計者はより高いレベルで作業し、ループ帯域幅などの派生パラメータを直接変更することができます。位相マージンやポールの位置、さらに性能が変化した影響が即座に表示されます（しかも、ハンダごてで指をやけどせずに済みます）。

必要なら部品レベルで直接作業し、各部品の値が変更された影響を観察することもできます。

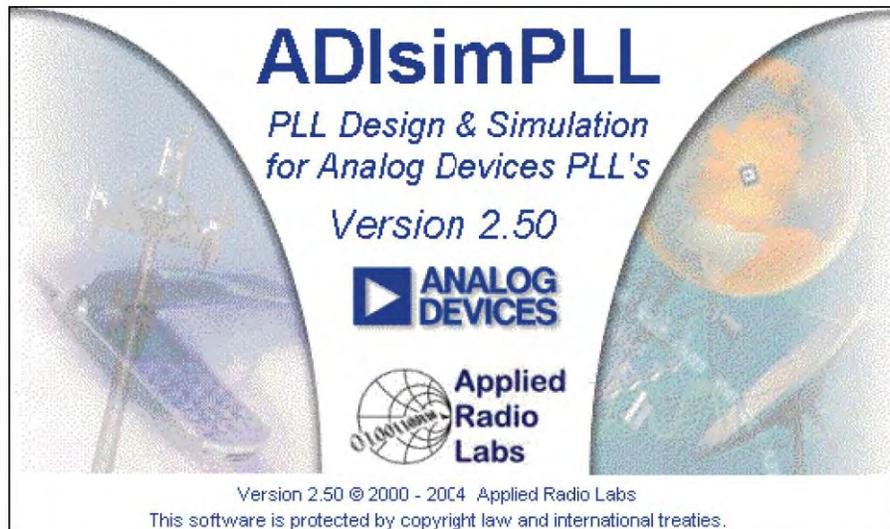


図 13.19: ADIsimPLL のフロント・ページ

ADIsimPLL のバージョン 2.5 には、次のような多くの拡張機能が含まれています。

- 新しい PLL ウィザードには、PLL チップを選択するためのショートフォーム・セレクション・ガイドが含まれており、全チップの簡略データが表示され、アナログ・デバイセズの Web サイトの製品ページへリンクしています。
- VCO デバイスを選択するための同様に簡略化されたセレクション・ガイドが用意されています。これらのガイドには、ベンダの Web サイトにある詳細なデバイス・データへリンクが貼られています。セレクション・ガイドのデータは、任意のパラメータでソートすることができます。
- チップ・プログラミング・アシスタントにより、任意の周波数をチップに設定するためのレジスタ値を即座に計算することができます。これは、プリスケアラの制限によりアクセス不能なチャンネルを調べるのにも最適です。
- ループ・フィルタの範囲が、4 ポールのパッシブ・フィルタと非反転アクティブ・フィルタが含まれるように拡張されました。ADIsimPLL のすべてのループ・フィルタの設計と同様に、これらのモデルは、正確な抵抗の熱ノイズ、オペアンプの電圧と電流のノイズを含んでおり、さらにオペアンプのバイアス電流に起因するリファレンス・スプリアスを正確に予測します。
- 位相ジッタの結果を、度、秒の単位またはエラーベクトル振幅 (EVM ; Error Vector Magnitude) で表示可能になりました。
- パワーアップ周波数トランジェントをシミュレーション可能になりました。
- VCO を内蔵したアナログ・デバイセズの新しい PLL チップをサポート。

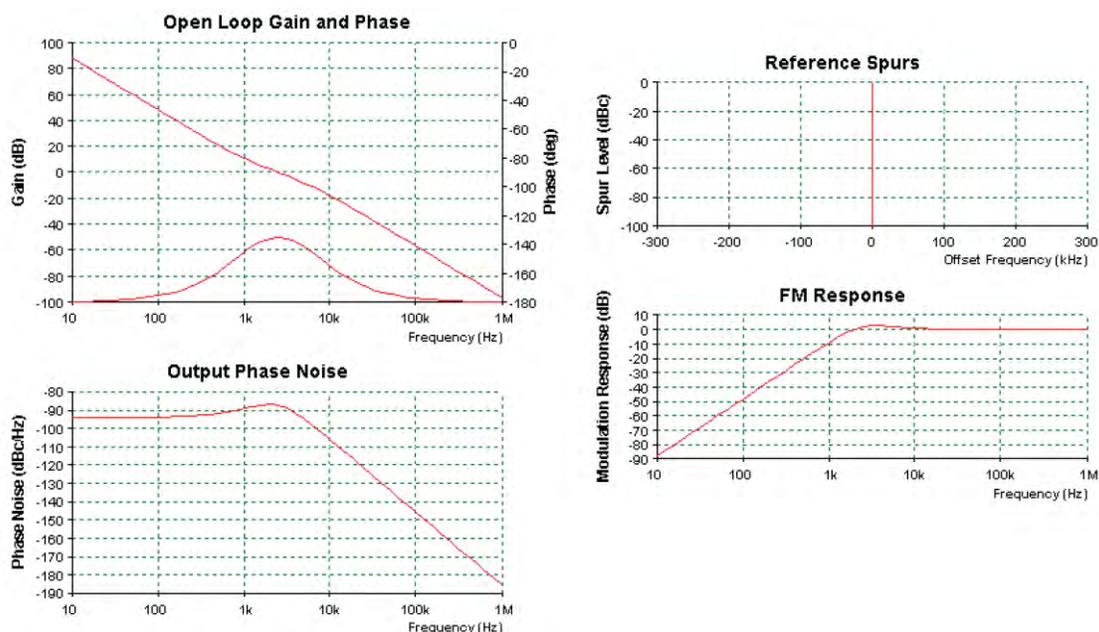


図 13.20: ADIsimPLL の周波数領域の結果

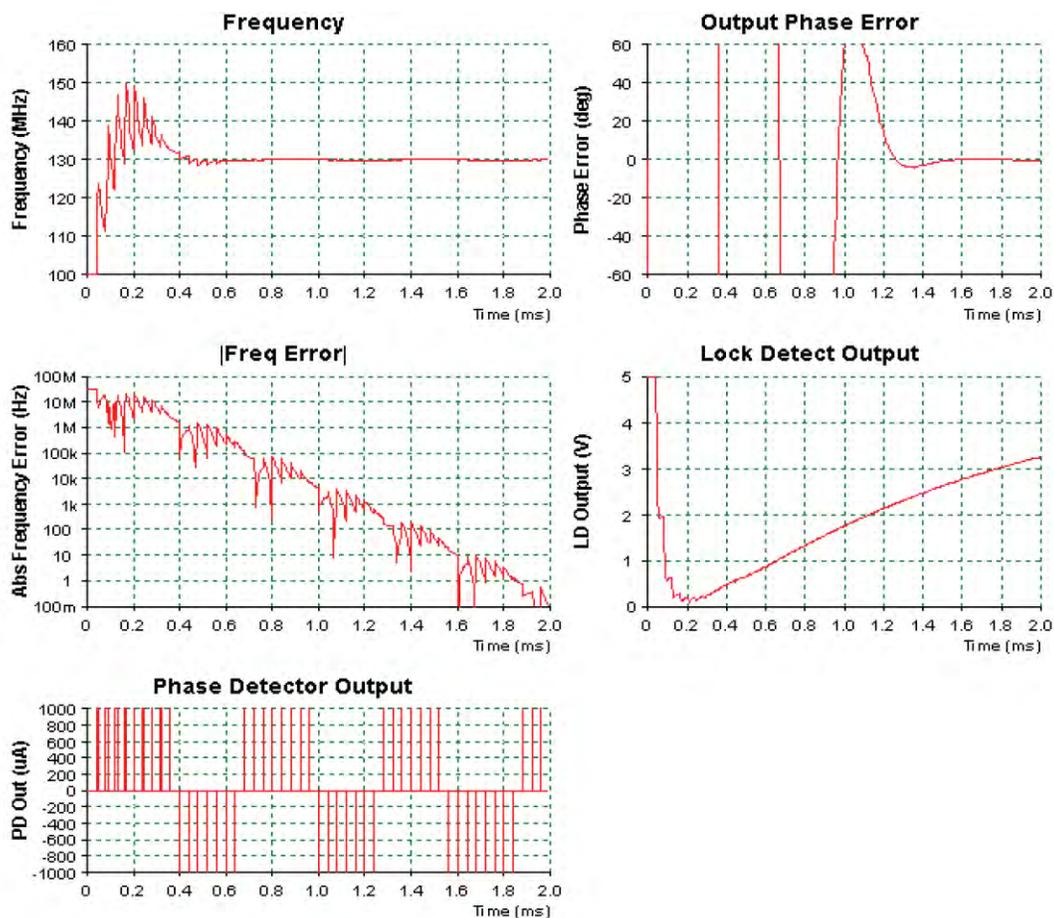


図 13.21: ADIsimPLL の時間領域の結果

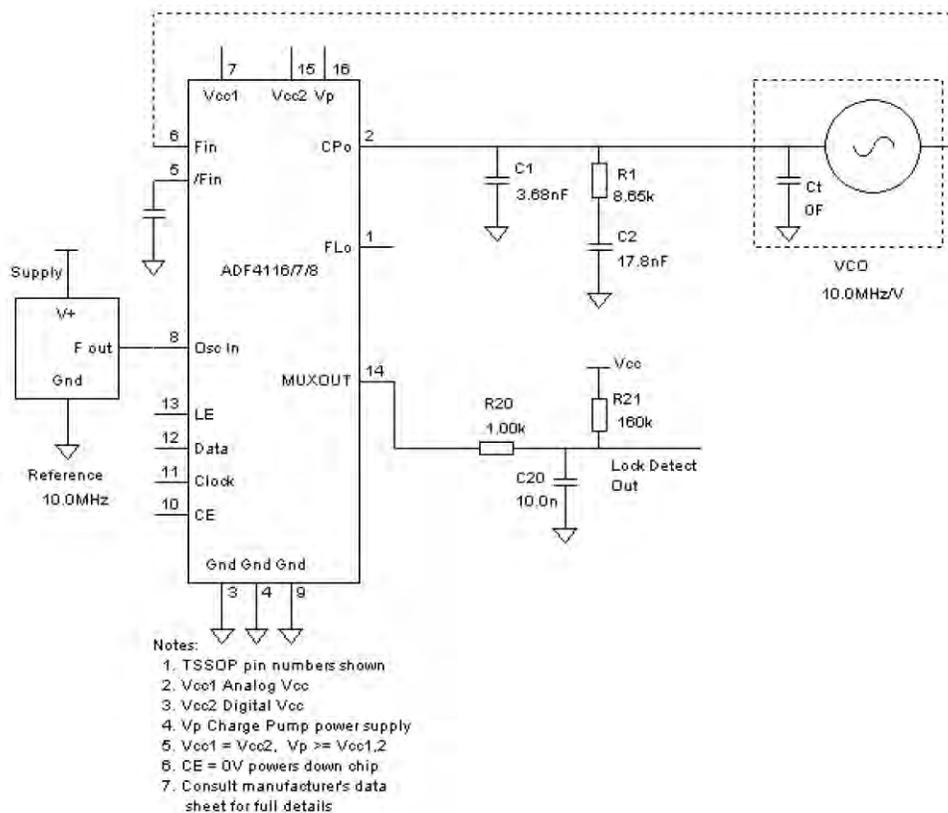


図 13.22: ADIsimPLL の回路図出力

### Transient Analysis of PLL

Frequency change from 100MHz to 130MHz  
Simulation run for 2.00ms

### Frequency Locking

Time to lock to 1.00kHz is 1.21ms  
Time to lock to 10.0 Hz is 1.60ms

### Phase Locking (VCO Output Phase)

Time to lock to 10.0 deg is 1.21ms  
Time to lock to 1.00 deg is 1.48ms

### Lock Detect Threshold

Time to lock detect exceeds 2.50 V is 1.42ms

---- End of Time Domain Results ----

図 13.23: ADIsimPLL の時間領域の結果

**Design1 analysed at 07/23/02 07:02:53**

PLL Chip is ADF4116  
VCO is custom  
Reference is custom

**Frequency Domain Analysis of PLL**

Analysis at PLL output frequency of 114MHz

**Phase Noise Table**

Freq	Total	VCO	Ref	Chip	Filter
100	-93.73	--	--	-93.81	-111.5
1.00k	-88.97	--	--	-91.73	-92.25
10.0k	-106.0	--	--	-110.5	-107.9
100k	-145.7	--	--	-150.3	-147.6
1.00M	-185.7	--	--	-190.3	-187.6

**Phase jitter using brick wall filter**

from 10.0kHz to 100kHz  
Phase Jitter **0.02 degrees rms**

**Carrier Recovery phase jitter**

Carrier recovery bandwidth 6.40kHz damping factor 0.7071  
Symbol Filter cutoff 32.0kHz Butterworth with 3 poles  
Phase Jitter **0.09 degrees rms**

**Residual FM**

from 300 Hz to 5.00kHz is **8.52 Hz**

**FM SNR**

sinusoidal modulation with 10.0kHz peak deviation  
Signal to Noise Ratio = **58.4 dB**

**ACP - Channel 1**

Channel 1 is centred 25.0kHz from carrier with bandwidth 15.0kHz  
Power in channel = **-78.6dBc**

---- End of Frequency Domain Results ----

図 13.24: ADIsimPLL の周波数領域の結果

参考資料:

1. L. W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits," May 1975, UCB/ERL M75/520, Univ. of California, Berkeley, CA, 94720.
2. A.Vladimirescu, K.Zhang, A.R.Newton, D.O.Pederson, "SPICE Version 2G User's Guide," August 1981, Department of Electrical Engineering and Computer Sciences, Univ. of California, Berkeley, CA, 94720.
3. Mark Alexander, Derek Bowers, "SPICE-Compatible Op Amp Macromodels," **EDN**, February 15, 1990 and March 1, 1990 (available as Analog Devices, Inc. AN138).
4. Joe Buxton, "Analog Circuit Simulation," Chapter 13 of **Amplifier Applications Guide**, 1992, Analog Devices, Inc., Norwood, MA, ISBN 0-916550-10-9.
5. Andrei Vladimirescu, **The SPICE Book**, John Wiley & Sons, New York, 1994, ISBN 0-471-60926-9.
6. "Development of an Extensive SPICE Macromodel for 'Current-Feedback' Amplifiers," National Semiconductor AN-840, July 1992.
7. David Hindi, "A SPICE Compatible Macromodel for CMOS Operational Amplifiers," National Semiconductor AN-856, September 1992.
8. G.R. Boyle, et al, "Macromodelling of Integrated Circuit Operational Amplifiers," **IEEE Journal of Solid State Circuits**, Vol. SC-9, no.6, December 1974.
9. Derek Bowers, Mark Alexander, Joe Buxton, "A Comprehensive Simulation Macromodel for 'Current Feedback' Operational Amplifiers," **IEE Proceedings**, Vol. 137, Pt. G, # 2, April 1990.
10. Walt Kester, Editor, **Analog-Digital Conversion**, Analog Device, Inc., 2004, ISBN 0-916550-27-3.
11. Brad Brannon, "DNL and Some of its Effects on Converter Performance," **Wireless Design and Development**, June 2001.
12. Brad Brannon, "Aperture Uncertainty and ADC System Performance," **Applications Note AN-501**, Analog Devices, <http://www.analog.com>.
13. Mark Looney, "Analog-to-Digital Converter (ADC) Signal-to-Noise ratio (SNR) Analysis," unpublished.
14. Salina Downing and Brad Brannon. "How ADIsimADC™ Models an ADC" **Application Note AN-737**, Analog Devices <http://www.analog.com>.
15. W. Hobbs, A. Muranyi,, R. Rosenbaum, D. Telian. "IBIS:I/O Buffer Information Specification Overview," Intel Corp.,
16. vhdl.org:(198.31.14.3) has been a central location to find various IBIS related information. This includes: Models, Golden Parser, BIRD (Buffer Issue Resolution Documents), Summit information, and a participating company roster listing. This is an anonymous ftp site and anyone can log on as *anonymous* and use their E-mail ID as a password. Dial up modem access also is available at (415)335-0110
17. ANSI/EIA-656: This IBIS web site serves as a central location that will continually provide various tools and resources in helping create IBIS models. IBIS related articles, FAQ (Frequently Asked Questions), Hypertext links to information on vhdl.org, Virtual Poster pages with hot links to member companies are some of the items available through this web site.

18. North Carolina State University. The University provides SPICE-to-IBIS translator tools from their site.

### 13.2: オンライン・ツールとウィザード

アナログ・デバイセズは、Web 上で動作する設計ツールを数多く開発しています。これらのツールの目的は、設計プロセスを支援することです。多くのツールは単にスプレッドシートを作り直しているに過ぎません。多くの処理は数学的に単純なので、この手法に適しています。

#### シンプルなカリキュレータ

例えば、V<sub>rms</sub>/dBm/dBu/dBV カリキュレータを見てみましょう。このシンプルなユーティリティは、AC 電圧レベルの表現方法を変換します。この計算には、dBm (m はミリワット) の測定に必要なインピーダンスが含まれています。V<sub>rms</sub>/dBm/dBu/dBV カリキュレータの表示画面を図 13.25 に例示します。

図 13.25: V<sub>rms</sub>/dBm/dBu/dBV 計算ツールの画面

消費電力カリキュレータは、「パラメータ」で指定された値から、直線的に制御された出力に対するダイの消費電力と温度を計算します。また、外部負荷で消費される電力も計算します。

このモデルは、外部抵抗負荷を駆動する線形プッシュプル出力です。2 つの代表的な例としては、デジタル・バイポーラ出力やクラス A のアンプがあります。抵抗両端の電圧  $V_{OUT}-V_{GND}$  が、出力から供給される電流  $I_L$  を決定します。この電流を直線的に供給するには、内部ドライバは  $I_L * (V_+ - V_{OUT})$  または  $I_L * (V_{OUT} - V_-)$  の電力を消費する必要があります。どちらのレールが電流を供給するかは、負荷電流が正か負かによって決まります。

合計オンチップ電力  $P_{TOTAL}$  は、負荷を駆動するために消費する電力と、静止電力  $I_Q * (V_+ - V_-)$  の合計です。チップ温度の上昇値は、 $TT_A + \theta_{JA} * P_{TOTAL}$  になります。 $\theta_{JA} = \theta_{JP}$  (ジャンクションとパッケージ間の熱抵抗) +  $\theta_{PA}$  (パッケージと周囲間の熱抵抗) です。

このカリキュレータを使うには、パラメータ・フィールドに該当する数値を入力して [Calculate] をクリックします。入力項目はタブ・キーで移動できます。

消費電力カリキュレータ画面の一例を図 13.26 に示します。

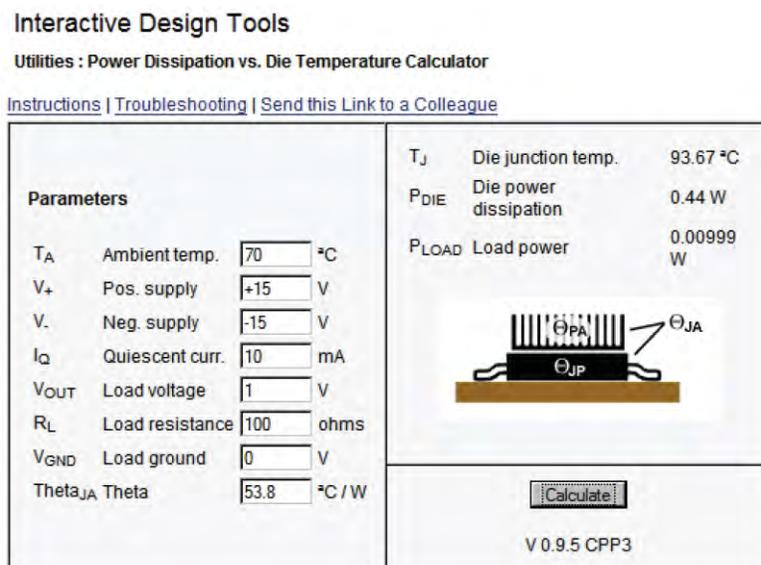


図 13.26: 消費電力カリキュレータの画面

シンプルな計算ツールの別の例として、SNR/THD/SINAD カリキュレータがあります。この計算ツールは、SNR (S/N 比)、THD、SINAD の各名称の左にあるラジオ・ボタンで選択した 1 つの項目を、他の 2 つの項目から計算します。SINAD は THD と S/N 比の RMS の合計です。SINAD の計算結果または入力値に対応する RMS ノイズと有効ビット数が右側の出力フィールドに表示されます。SNR/THD/SINAD カリキュレータを図 13.28 に示します。

以前の節で述べたように、容量性負荷を駆動することはアナログ回路の設計者が直面する最大の問題の 1 つです。また、「大きな値」というのは相対的なものです。低速の高精度アンプには影響を与えないような負荷が、高速アンプでは厄介な問題を引き起こすことがあります。通常は選択の余地なく大きな容量性負荷 (多くの場合、不要な寄生要素) を駆動せざるをえません。一例として、ある長さの同軸ケーブルの容量があげられます。ただし、オペアンプの出力で DC 電圧をデカップリングすることが望ましい場合があります。例えば、オペアンプを用いてリファレンス電圧を反転させてダイナミック負荷を駆動する場合があります。この場合、オペアンプの出力にバイパス・コンデンサを直接接続するとよいでしょう。いずれにしても、容量性負荷はオペアンプの性能に影響します。

### Interactive Design Tools: Utilities : SNR / THD / SINAD calculator

A tool to compute RMS noise and equivalent number of bits (ENOB) from SNR, THD and SINAD data.

[Instructions](#) | [Troubleshooting](#) | [Send this Link to a Colleague](#)

Application Data		Results	
V <sub>PP</sub>	<input type="text" value="2"/> V	Noise (RMS)	177.6 uV
<input type="radio"/> THD	- <input type="text" value="79.85"/> dB	ENOB	11.56 bits
<input type="radio"/> SNR	<input type="text" value="72"/> dB	<input type="button" value="Calculate"/>	
<input checked="" type="radio"/> SINAD (= SNR + THD)	<input type="text" value="71.34"/> dB		

図 13.27 SNR/THD/SINAD カリキュレータの画面

実際、負荷容量によってアンプが発振してしまうことがあります。オペアンプには固有の出力抵抗  $R_o$  があり、それが容量性負荷と組み合わせさせてアンプの伝達関数にポールを追加します。ボード線図が示すように、各ポールで 20 dB/decade ずつ負の振幅勾配が増します。また、ポールごとに  $-90^\circ$  の位相シフトが加わります。不安定さは、次の 2 つの視点から見ることができます。対数プロットの振幅応答を見ると、オープンループ・ゲインと帰還減衰の和が 1 より大きくなると回路が不安定になることがわかります。同様に位相応答を見ると、ループの位相シフトが  $-180^\circ$  を超える周波数で、その周波数がクローズドループ帯域幅よりも小さいと、オペアンプが発振することがわかります。

オペアンプ回路の位相余裕は、回路を不安定にするのに必要なクローズドループ帯域幅で追加される位相シフト量と考えることができます（すなわち、位相シフト + 位相マージン =  $-180^\circ$ ）。位相余裕がゼロに近づくと、ループ位相シフトは  $-180^\circ$  に近づき、オペアンプ回路は不安定状態に近づきます。通常、位相余裕の値が  $45^\circ$  よりもはるかに小さければ、周波数応答の「ピーキング」や、ステップ応答のオーバーシュートまたは「リングング」などの問題が発生する可能性があります。ある程度の位相余裕を維持するには、容量性負荷によって生じるポールは、回路のクローズドループ帯域幅よりも少なくとも 10 倍以上高くなければなりません。そうでない場合は、不安定となる可能性を考慮する必要があります。

オペアンプのデータシートによっては、オープンループでの出力抵抗 ( $R_o$ ) を規定しているものがあります。これに基づき上述した追加ポールの周波数を計算することができます。追加ポールの周波数 ( $f_p$ ) が回路の帯域幅と比べて 10 倍以上大きければ、回路は安定します。

オペアンプのデータシートに容量性負荷駆動の値やオープンループ出力抵抗が規定されておらず、かつオーバーシュート対容量性負荷のグラフが掲載されていない場合は、安定性を確保するために負荷容量に対して何らかの方法で補償が必要だと想定しなければなりません。容量性負荷を駆動する標準的なオペアンプ回路を安定させるには、多くの方法があります。いくつかを以下に紹介します。

**ノイズ・ゲインの操作:** 設計者が見過ごしがちな低周波アプリケーションの安定性を維持するのに最も有効な方法は、信号ゲインを変えずに回路のクロズドループ・ゲイン（「ノイズ・ゲイン」としても知られている）を上げ、オープンループ・ゲインと帰還減衰量の積が 1 になる周波数を下げることです。オペアンプの入力間に  $R_D$  を接続することによって、これを実現する回路を以下に示します。この回路の「ノイズ・ゲイン」は、図中の式によって得られます。

安定性は号ゲインではなくノイズ・ゲインによって決まるため、図 13.29 の回路は、信号ゲインに影響を与えずに安定性を向上させることができます。「ノイズ帯域幅」（ $GBP/A_{NOISE}$ ）を、負荷によって生じるポールの少なくとも 1 デケード下にすることで安定性を確保することができます。

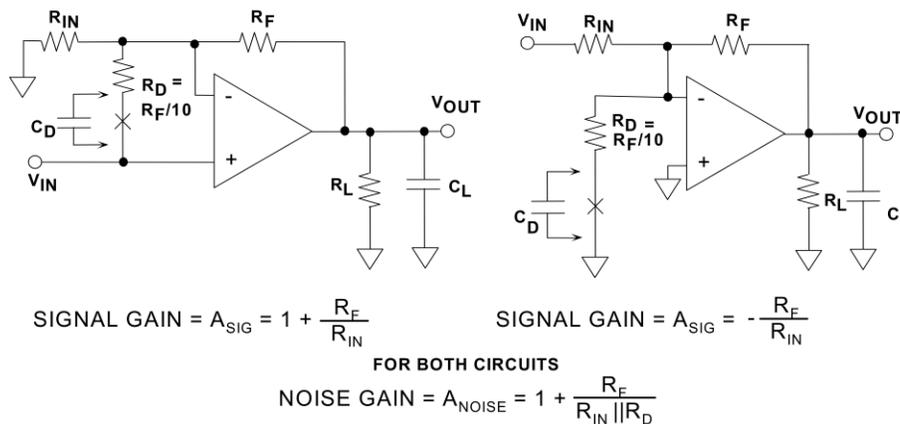


図 13.28: ノイズ・ゲインの操作

この安定化手法の欠点の 1 つは、入力換算電圧ノイズと入力オフセット電圧がさらに増幅されて出力ノイズとオフセット電圧が追加されることです。追加される DC オフセットは、 $R_D$  と直列に  $C_D$  を接続することで除去できますが、追加されるノイズはこの方法固有のもので、 $C_D$  がある場合とない場合について、これらの回路の実効ノイズ・ゲインを図に示します。 $C_D$  を使用する場合は、可能な限り大きくします。その最小値は  $10 \cdot A_{\text{NOISE}} / (2 \cdot \pi \cdot R_D \cdot \text{GBP})$  にして、「ノイズ・ポール」を「ノイズ帯域幅」の少なくとも 1 デケード下に保ちます。

**アウト・オブ・ループ補償:** 容量性負荷を駆動するオペアンプを安定させるもう 1 つの方法は、オペアンプの出力端子と負荷容量の間に抵抗  $R_x$  を追加することです（図 13.29 参照）。帰還ループの外側に見えるように見えますが、負荷コンデンサと連携して帰還回路の伝達関数にゼロを導入し、高周波数でのループ位相シフトを低減します。

安定性を確保するには、追加されるゼロ ( $f_z$ ) がオペアンプ回路のクロズドループ帯域幅の少なくとも 1 デケード下になるように  $R_x$  の値を設定します。 $R_x$  の追加によって、最初の方法ほど出力ノイズの増加による回路性能への影響はありませんが、負荷から見た出力インピーダンスは増加します。

このため、 $R_X$  と  $R_L$  で形成される抵抗分圧器のために信号ゲインが減少する可能性があります。さらに、容量 ( $C_L$ ) が存在すると、この分圧器は周波数に依存するようになります。 $R_L$  が既知でほぼ一定であれば、このゲイン損失はオペアンプ回路のゲインを増加させることによって相殺することができます。

この方法は、伝送ラインの駆動に非常に有効です。定在波を避けるために、 $R_L$  と  $R_X$  の値はケーブルの特性インピーダンス（多くの場合  $50 \Omega$  または  $75 \Omega$ ）と等しくなければなりません。したがって  $R_X$  はあらかじめ決められるため、あとは抵抗分圧器による信号損失を相殺するためにアンプのゲインを 2 倍にするだけで済みます。これで問題が解決します。

また、この手法を適用するためには、 $C_L$  は既知の（かつ一定の）値である必要があります。多くのアプリケーションでは、アンプはそれ自体の外部の負荷を駆動するため、 $C_L$  は負荷ごとに大きく異なる可能性があります。 $C_L$  がクロズド・システムに含まれる場合にのみ、上記の回路を使用することが最善です。

### Interactive Design Tools

Operational Amplifiers : OpAmp Stability Effects when Driving Capacitive Loads  
An applet for demonstrating stability effects in opamp buffers.

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

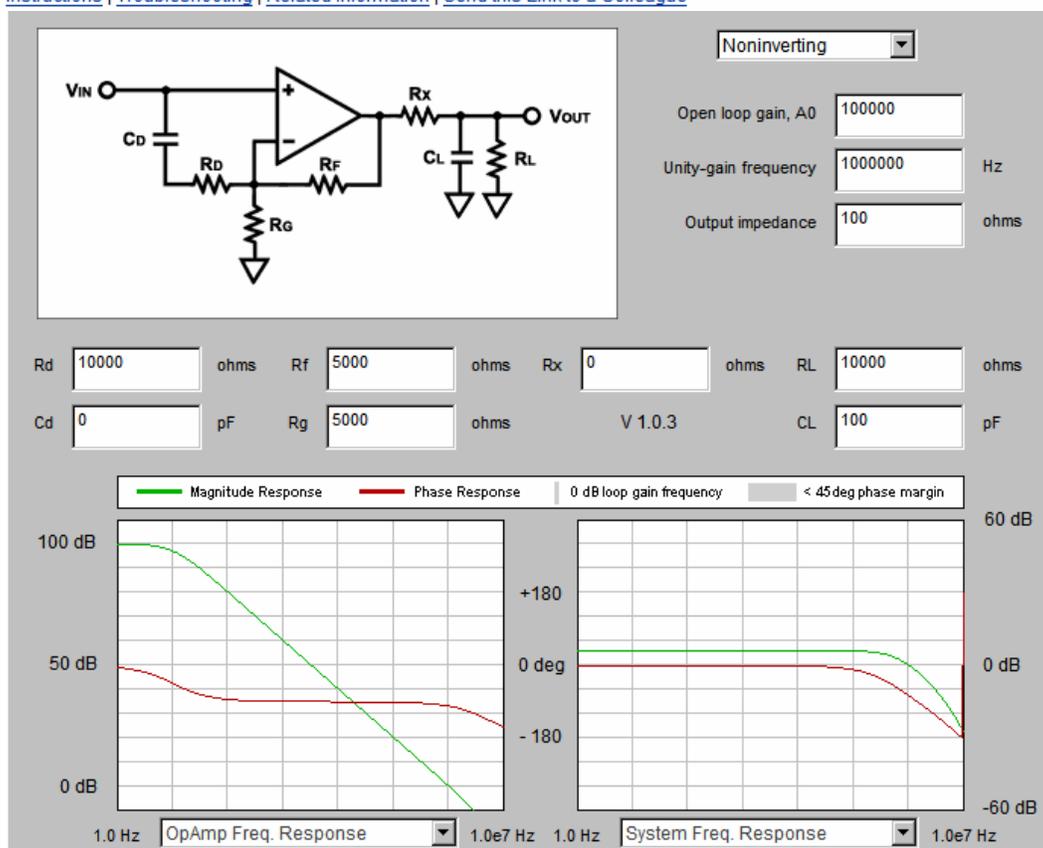


図 13.29: オペアンプ安定性ツールの画面

安定性解析に役立つツールの例を図 13.29 に示します。クローズドループ・ゲイン ( $R_F$  と  $R_G$ ) と負荷 ( $R_L$  と  $C_L$ ) に加え、オープンループ・ゲイン、ゲイン帯域幅積 (ユニティゲイン周波数)、 $R_O$  の値を入力します。すると、ゲインと位相がプロットされます。修正が必要な場合は、インライン抵抗とノイズ・ゲインのどちらも調整できます。

図 13.30 に示すセトリング時間カリキュレータは、カスケード接続された RC ネットワークの 2 つの時定数のうち遅いほうを計算し、システムが最終値の 1%、0.1%、0.01%、0.001% 以内に安定する前にいくつ時定数が経過する必要があるかを計算することによって、マルチプレクサのセトリング時間を推定します。

このカリキュレータは、S/H 入力を備えた以前からある A/D コンバータで可能な最大サンプリング・レートも推定します。サンプリング・レートは  $1/\sqrt{((t_{settle}+t_{transition})^2 + t_{PGA}^2)}$  で推定されます。この数値は  $t_{ACQ}+t_{CONV}$  の合計より小さくなければなりません。そうでなければ、最大サンプリング周波数が制限されます。最大サンプリング周波数の推定値は、セトリング時間の数値の右側に、メガ・サンプル/秒の単位で表示されます。

このカリキュレータを使用するには、マルチプレクサのパラメータを  $R_{ON}$ 、 $C_S$ 、 $C_D$  に入力し、アプリケーション・パラメータを  $R_{SOURCE}$ 、 $R_{LOAD}$ 、 $C_{LOAD}$  に入力します。フィールド間でタブ移動するか、[Calculate] をクリックすると、右側の表形式の表示が更新されます。

### Interactive Design Tools

Utilities : Switch / Mux Settling-time Calculator

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

#### Device / Application Data

$R_{SOURCE}$   ohms

$R_{ON}$   ohms

$R_{LOAD}$   ohms

$C_S$  (OFF)  pF

$C_D$  (OFF)  pF

$C_{LOAD}$   pF

---

Transition time  ns

Prog. gain amp. settling time  ns

V 1.0.3

Time constant, $t_{RC}$	0.0134 us		
	<b>Settle</b>	<b>Sample</b>	
4.6 x $t_{RC}$ ~1% or 7-bit	0.0615 us	16.25 MS/sec	
6.9 x $t_{RC}$ ~0.1% or 10-bit	0.0923 us	10.84 MS/sec	
9.2 x $t_{RC}$ ~0.01% or 13-bit	0.123 us	8.127 MS/sec	
11.5 x $t_{RC}$ ~0.001% or 16-bit	0.154 us	6.502 MS/sec	

図 13.30: セトリング時間カリキュレータ

オペアンプの誤差源に関する節で見てきたように、オペアンプの設計には潜在的な誤差源がいくつかあります。誤差バジェット・カリキュレータには 2 つの部分があり、上側にパラメータ名付き回路図が、下側に誤差源の表が表示されます。オペアンプのパラメータのデータは表の下段の該当するフィールドに自動的に入力され、アプリケーションのパラメータのデフォルト値は上段のアプリケーション固有のフィールドに割り当てられています。すべての入力データは手動で上書きできますが、出力フィールド（ライト・グレー色で囲まれた部分）は変更できません。すべてのデータを手作業で入力する必要がないので、時間を大幅に節約できます。

フィールドにデータを入力したらタブを押すか [Update] をクリックすると値が計算されるので、回路図で更新表示されるノード電圧を確認します。入力が範囲外の場合、アラートが表示されます。入力の組み合わせが内部または外部の出力制限を超えると、問題のノード値が赤で強調表示され [Out of Range!] メッセージが表示されます。このメッセージが表示された場合は、すべてのノード値が無効とみなさなければなりません。フィールドを空白のままにしないでください。[NaN]（数値以外）が表示された場合は、値の計算にデータが不足していることを示しています。

[Gain] と [R<sub>F</sub>] は、[R<sub>G</sub>] の値に基づいて、互いに片方の値から他方の値が自動的に計算されます。この計算は理想的なもので、R<sub>S</sub>、R<sub>X</sub>、R<sub>L</sub> などは反映していません。

[Calculation] の列に表示される式は概算で、3 つのアンプ構成の選択肢のうち最悪のものを示しています。特定の構成タイプの式が修正された場合は、（）内に示されます。例えば（1/2 : noninv）は、非反転構成でこの量を計算するには 1/2 の係数を追加する必要があることを示しています。

表示される規定値は、選択された部品の最も厳しい値を示します（規定されている場合）。規定されていない場合は、代表値を示します。規定値がない場合にはそのフィールドに [N/S] と表示され、理想的な規定値（通常はゼロ）が計算に使用されます。同じデバイスにすべてのワーストケースの規定値が同時に存在することは滅多にない点に注意してください。設計者は常に適切なデータシートを参照し、アプリケーションに最適な数値に置き換える必要があります。計算はすべて近似値で、誤差は実際の値が負であっても PPM の絶対値で表示され、合計されます。

オペアンプの誤差源の節で説明したように、計算される誤差は次の 2 つの部分に分かれます。すなわち、システムで調整不能の誤差である「分解能誤差」と、適切な回路で調整可能なドリフト／ゲイン誤差です。詳細はオペアンプの誤差源に関する節を参照してください。

オペアンプ誤差計算ツールの画面を、図 13.31(a) と図 13.31(b) に示します。

### Interactive Design Tools

Operational Amplifiers :

AD8021  Simple OpAmp Buffer Error Budget Calculator

An online tool to illustrate range, gain and accuracy issues in simple opamp buffers.

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

Topology  Inverting

Positive Supply

Negative Supply

Reset

---

Application Parameters

Operating Temp.,  $T_A$   °C

Supply Variability (ripple+load reg.)  %

Error Source	Specification	Approx. Calculation	Absolute Error	Drift/Gain Error	Resolution Error
Resistor Tolerance	<input type="text" value="0.1"/> %		<input type="text" value="2000"/> ppm		
Resistor Drift, $TC_R$	<input type="text" value="25"/> ppm / °C	~ (1/2 : noninv) $TC_R \times T_{DIFF}$		<input type="text" value="125"/> ppm	
Temp. difference, $T_{DIFF}$	<input type="text" value="5"/> °C				
Nom. Open Loop Gain, $A_{OL}$	<input type="text" value="25"/> V/mV		<input type="text" value="80"/> ppm		
Min. Open Loop Gain	<input type="text" value="16"/> V/mV				<input type="text" value="45"/> ppm
Input Offset Voltage, $V_{OSI}$	<input type="text" value="1"/> mV	$V_{OSI} / (V_{IN} - V_{REF})$	<input type="text" value="2000"/> ppm		
Input Offset Voltage Drift, $V_{OSI\_TC}$	<input type="text" value="0.2"/> $\mu V / ^\circ C$	$(2 : inv.) V_{OSI\_TC} \times (T_A - 25) / (V_{IN} - V_{REF})$		<input type="text" value="24"/> ppm	

図 13.31(a): オペアンプの誤差バジェット・カリキュレータの画面 (1/2)

Bias Current, $I_B$ - Source Imbalance Error	<input type="text" value="11.3e3"/> nA	$(I_B / (V_{IN}-V_{REF})) \times (R_F    (R_G+R_S) - (R_{G2}+R_{S+}))$	<input type="text" value="5.55e-10"/> ppm
Bias Current Drift, $I_{B\_TC}$ - Source Imbalance Drift	<input type="text" value="10e3"/> pA / °C	$(I_{B\_TC} \times (T_A-25) / (V_{IN}-V_{REF})) \times (R_F    (R_G+R_S) - (R_{G2}+R_{S+}))$	<input type="text" value="0"/> ppm
Offset Current, $I_{OS}$ - Source Imbalance Error + Source Resistance Error	<input type="text" value="0.5e3"/> nA	$(I_{OS} / (V_{IN}-V_{REF})) \times (3 \times (R_F    (R_G+R_S)) - (R_{G2}+R_{S+})) / 2$	<input type="text" value="5000"/> ppm
Offset Current Drift, $I_{OS\_TC}$ - Source Imbalance Drift + Source Resistance Drift	<input type="text" value="N/S"/> pA / °C	$(I_{OS\_TC} \times (T_A-25) / (V_{IN}-V_{REF})) \times (3 \times (R_F    (R_G+R_S)) - (R_{G2}+R_{S+})) / 2$	<input type="text" value="0"/> ppm
Common Mode Rejection Ratio, CMRR	<input type="text" value="86"/> dB	$(inv. (1+1/gain) \times 10^{-CMRR/20} \times  (V_+ + V_-) / 2 - (V_{S+} + V_{S-}) / 2  /  V_{IN}-V_{REF} $	<input type="text" value="1e-7"/> ppm
Power Supply Rejection Ratio, PSRR	<input type="text" value="86"/> dB	$(inv. (1+1/gain) \times 10^{-PSRR/20} \times ( V_{S+}-V_{S+nom}  +  V_{S-}-V_{S-nom} ) /  V_{IN}-V_{REF} $ $10^{-PSRR/20} \times SUP-VAR \times (V_{S+}-V_{S-}) /  V_{IN}-V_{REF} $	<input type="text" value="0"/> ppm <input type="text" value="12"/> ppm
Noise BW	0.1 - <input type="text" value="100"/> Hz		
Voltage noise, $V_{NW}$	<input type="text" value="2.6"/> nV/root-Hz	Corner freq <input type="text" value="2000"/> Hz	<input type="text" value="117"/> ppm
Current noise, $I_{NW}$	<input type="text" value="2.1"/> pA/root-Hz	Corner freq <input type="text" value="2000"/> Hz	
Total resolution error			<input type="text" value="174"/> ppm
Total drift / gain error			<input type="text" value="149"/> ppm
Total absolute + drift + resolution error			<input type="text" value="9410"/> ppm

V 1.0.0

図 13.31(b): オペアンプの誤差バジェット・カリキュレータの画面 (2/2)

計装アンプ用にも同様の誤差バジェット・カリキュレータが存在します。このツールでは、該当するデータがカリキュレータの最上部のフィールドに入力されます。このツールは、選択された特定の計装アンプの仕様データを自動的に入力し、誤差を計算します。この場合も、誤差は低減不可能な「分解能誤差」と、ドリフト／ゲイン誤差とに分けられます。計装アンプ用のカリキュレータ画面を図 13.32 に示します。

### Interactive Design Tools

Instrumentation Amplifiers :  
AD620B Error Budget Analysis

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

#### Application Parameters

Differential Amplitude, $V_{DIFF}$	<input type="text" value="10"/> mV	Common Mode Voltage, $V_{CM}$	<input type="text" value="0"/> V
Gain	<input type="text" value="100"/>	Operating Temperature, $T_A$	<input type="text" value="85"/> °C
Source Impedance $R_{S+}$	<input type="text" value="25"/> ohms	$R_{S-}$	<input type="text" value="25"/> ohms

Error Source	Specification	Calculation	Effect on Absolute Accuracy	Effect on Resolution at Temp.
Gain Error	<input type="text" value="0.5"/> %		<input type="text" value="5000"/> ppm	
Gain Drift, $G_{TC}$	<input type="text" value="-50"/> ppm / °C	$G_{TC} * (T_A - 25)$	<input type="text" value="3000"/> ppm	
Gain Nonlinearity	<input type="text" value="0.0095"/> %			<input type="text" value="95"/> ppm
Input Offset Voltage, $V_{OSI}$	<input type="text" value="85"/> μV	$V_{OSI} / V_{DIFF}$	<input type="text" value="8500"/> ppm	
Input Offset Voltage Drift, $V_{OSI\_TC}$	<input type="text" value="0.6"/> μV / °C	$(V_{OSI\_TC} / V_{DIFF}) * (T_A - 25)$	<input type="text" value="3600"/> ppm	
Output Offset Voltage, $V_{OSO}$	<input type="text" value="1"/> mV	$V_{OSO} / (GAIN * V_{DIFF})$	<input type="text" value="1000"/> ppm	
Output Offset Voltage Drift, $V_{OSO\_TC}$	<input type="text" value="7"/> μV / °C	$(V_{OSO\_TC} / (GAIN * V_{DIFF})) * (T_A - 25)$	<input type="text" value="420"/> ppm	
Bias Current, $I_B$ - Source Imbalance Error	<input type="text" value="1.5"/> nA	$I_B * (R_{S+} - R_{S-}) / V_{DIFF}$	<input type="text" value="0"/> ppm	
Bias Current Drift, $I_{B\_TC}$ - Source Imbalance Drift	<input type="text" value="3.0"/> pA / °C	$I_{B\_TC} * (R_{S+} - R_{S-}) * (T_A - 25) / V_{DIFF}$	<input type="text" value="0"/> ppm	
Offset Current, $I_{OS}$ - Source Resistance + Imbalance Error	<input type="text" value="0.75"/> nA	$I_{OS} * MAX(R_{S+}, R_{S-}) / V_{DIFF}$	<input type="text" value="0"/> ppm	
Offset Current Drift, $I_{OS\_TC}$ - Source Resistance + Imbalance Drift	<input type="text" value="1.5"/> pA / °C	$I_{OS\_TC} * MAX(R_{S+}, R_{S-}) * (T_A - 25) / V_{DIFF}$	<input type="text" value="0"/> ppm	
Common Mode Rejection, CMRR	<input type="text" value="80"/> dB	$V_{CM} / (10^{CMRR/20} * V_{DIFF})$	<input type="text" value="0"/> ppm	
Noise, RTI (0.1 Hz - 10 Hz)	<input type="text" value="6"/> μV p-p			<input type="text" value="600"/> ppm
<b>TOTALS</b>			<input type="text" value="21520"/> ppm	<input type="text" value="695"/> ppm

V 1.0.6

図 13.32: 計装アンプの誤差バジェット・カリキュレータの画面

計装アンプ用のゲイン・カリキュレータは、ゲイン設定抵抗が与えられると計装アンプ回路のゲインを計算します。あるいは逆に特定のゲインに対して必要な抵抗の値を計算します。また、内部ノードも含め、すべてのノードが動作範囲内にあることを確認します。

このツールの使い方は、表示されているフィールドにデータを入力するだけです。入力が範囲外の場合にはアラートが表示されます（赤色で [error] メッセージとともに表示）。

右側の回路図にノード電圧を表示させるには、[Update] をクリックするか、タブをクリックして別のフィールドへ移ります。内部ノードの電圧は、レベル・シフトを 0.5 V と仮定した、同等の 3 オペアンプ（または 2 オペアンプ）回路のものです。これは内部実装を正確に示しているわけではなく、単純化した回路図です。

入力の組み合わせが内部または外部の制限を超えると、問題のノード値が赤で強調表示され、[Out of Range!] メッセージが表示されます。このメッセージが表示された場合は、すべてのノード値は無効であるとみなさなければなりません。このような入力条件には、出力のオーバーレンジや、特に単電源アプリケーションにおける内部ノードの範囲超過などがあります。内部ノードの状態が表示されるというのは便利です。内部ノードの状態は直接調べられず、回路が実際には正常に動作していないにもかかわらず、正常に動作していると誤認する可能性があるためです。

[Gain] または [ $R_G$ ] のいずれかを指定でき、他方は自動的に計算されます。

### Interactive Design Tools

Instrumentation Amplifiers : Inamp Common-Mode Range / Gain Calculator  
AD524

An online tool to select a value for  $R_G$  and determine the maximum differential and common mode voltages allowable.

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

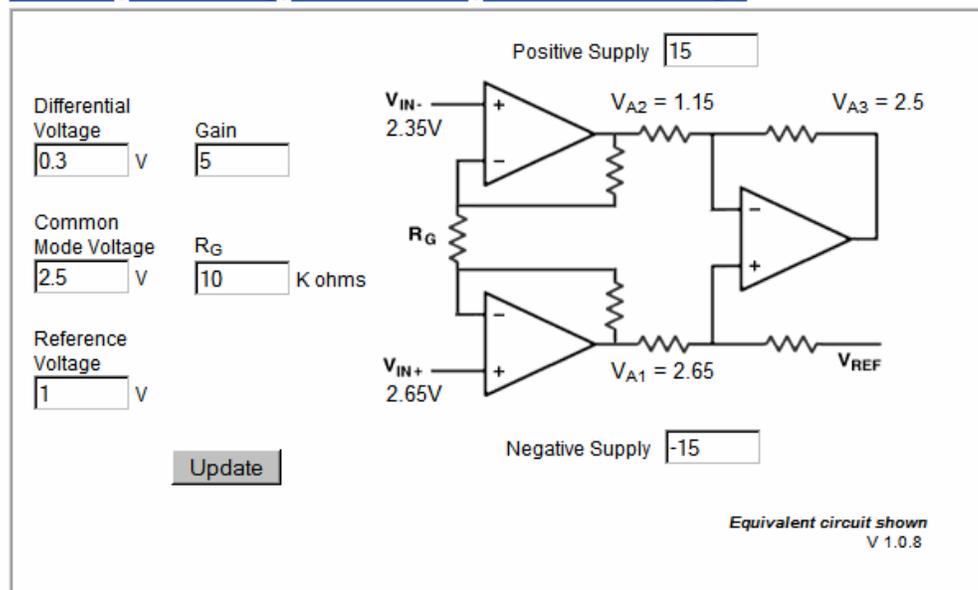


図 13.33: 計装アンプのコモンモード・レンジ/ゲイン/ノイズのカリキュレータの画面

差動アンプやアクティブ・フィードバック・アンプ用にも同様の基本ツールが存在します。差動アンプのコモンモード・レンジ／ゲイン／ノイズのカリキュレータの画面を図 13.34 に示します。

### Interactive Design Tools

#### Differential Amplifiers : DiffAmp Common-Mode Range / Gain / Noise Calculator

An online tool to select values for  $R_G$  &  $R_F$  and to illustrate the maximum differential and common mode voltages allowable.

AD8138 dual supply

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

図 13.34: 差動アンプのコモンモード・レンジ／ゲイン／ノイズのカリキュレータの画面

差動アンプ用のカリキュレータには、手動と自動の 2 つの基本モードがあります。デフォルトは自動で、ソース・インピーダンスと整合する抵抗値（終端を含む）を計算することを想定しています。自動モードでは、 $R_F$  は  $R_G$  と Gain から計算されます。後者のいずれかを変更すると前者に影響します。 $Z_0$  を変更すると、すべてのゲイン抵抗（必ず  $10 \times Z_0$  以上でなければならない）と  $R_T$  に影響します。 $R_T$  は差動アンプのゲイン・ネットワークのインピーダンスを考慮した終端抵抗の値であり、 $R_F$  または  $R_G$  のいずれかが変更されると再計算されます（ $R_T$  を変更しても何も影響しません）。シングルエンドの終端抵抗は、 $V_{CM} = 0$  と仮定して計算されます。他の電圧に固定すると、入力インピーダンスは非線形になります。

[Update resistor values automatically] のチェックを外すと、カリキュレータは手動モードになり、それぞれの抵抗を個別に設定することができます。[Recalculate] をクリックするか、新しいフィールドに入力すると、ゲインとノード電圧だけが計算されます。

開回路つまり無限大の抵抗を設定するには、代わりに  $1e99$  のような大きな値を使用します。どのフィールドも空白のままにしないでください。

回路図には、整合したテブナン・ソースが終端線路を駆動しているように示されていますが、実際、入力電圧は各  $R_G$  に対して独立に設定されます。そのため、 $Z_0$  と  $R_T$  はノード電圧の計算に影響しません。終端されていない場合の計算では、 $Z_0$  はゼロに設定します。

**注意:** このカリキュレータは理想的な動作を示すものであって、入力オフセット電流と入力オフセット電圧の影響は示しません。

アクティブ・フィードバック・カリキュレータを図 13.35 に示します。

**Interactive Design Tools: Differential Amplifiers :  
AD8129/30 Common-Mode Range / Gain Calculator**

An online tool to select values for  $R_G$ ,  $R_F$  and to illustrate the maximum differential and common mode voltages allowable.

AD8129 +/- 12V

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

Positive Supply

Update resistor values automatically

$V_{IN+}$   V     $V_{IN-}$   V

$V_{DIFF} = 0.3$ ,  $V_{CM} = 0.15$

Diff. gain      $V_{REF}$   V

$R_G$   ohms     $R_F$   ohms

$V_{FB} = 0.3$

Negative Supply

図 13.35: アクティブ・フィードバックのコモンモード・レンジ/ゲインのカリキュレータの画面

### 設定アシスタント

「オンライン」の設計アシスタントには、他に設定アシスタントがあります。最新のコンバータの多くは実際には小さなシステムと言ってよく、通常は大量のデジタル・コンテンツが付属しています。このデジタル・コンテンツは、動作条件（マルチチャンネル入力 ADC のチャンネル指定など）を設定するのに使われます。データシートのレジスタの説明に従って正しいレジスタに正しいビットを 1 つずつ設定していくこともできますが、設定アシスタントを使うほうがはるかに簡単です。

一例として、 $\Sigma\Delta$  ADC である AD7730 の設定アシスタントを取り上げます（図 13.36 参照）。それぞれのダーク・グレーの四角形は、1 つのレジスタの内容を 2 通りの方法で示しています。ほとんどのスペースは、プルダウン・メニューやレジスタ内のビット・フィールドを表す数個の 16 進数入力フィールド（MSB ~ LSB）で占められています。行ごとに 8 ビットが表示され、各ビットは番号付きの列に並んでいます。その右側には、それぞれのビット・フィールドに選択された値に対応する、結合された 16 進コードが表示されます。

16 進コードまたはビット・フィールドのどちらかを変更すると、他方が更新されます。個別のフィールドに分割できないレジスタは、操作はほとんどできませんが、一貫性を保つために表示されています。

実際の AD7730 のレジスタの設定では、最初にコミュニケーション・レジスタ（CR2:0）のレジスタ選択ビットを設定します。ただし、このツールでは、最初に対象レジスタを CR で選択しなくても、それぞれのレジスタを直接変更することができます。

同様に、キャリブレーション用のオフセット・レジスタ/ゲイン・レジスタの 3 ペアのうちの 1 ペアは、モード・レジスタのチャンネル選択ビットを設定することによって選択されます（MR1:0。ただし 2 つのチャンネルしかないことに注意）。アクティブなペアは、ピンク色で強調表示されます。

クロック・レジスタを設定するには、まず更新レートを選択し、それに応じてフィルタ選択ビットと MCLK 周波数を設定します。フィルタ選択ビットは、希望する更新レートまたは -3 dB ポイントを設定することによって自動的に設定できますが、周波数は量子化されるため、MCLK 周波数を調整して希望する正確な更新レートまたはカットオフ周波数を得る必要がある場合があります。詳細については、AD7730 のデータシートを参照してください。

デフォルトでは、レジスタ擬似コードの読出しおよび書込みは、実際の AD7730 と同様に 2 ステップのプロセスで行います。つまり、まず Comm レジスタを設定して次の読出しまたは書込みのターゲットを選択する必要があります。希望どおりにレジスタを設定したら、Comm レジスタの中のそれを選択し、[W] をクリックします。選択されたレジスタは黄色で（チャンネルはピンク色で）強調表示されます。サイクルを完了するには、有効になっている [W] または [R] をクリックします。これにより、レジスタ選択ビットもクリアされます。これらのビットは、アクセスごとに手動で再設定する必要があります。複数回の読出し設定は機能せず、代わりに通常の実行されることに注意してください。

どちらの操作でも、アプレットの右下にある命令ティッカーに擬似コード命令が追加表示されます。writeSerial (val, length) は、量 val を受け取って、そのビット数 length だけ MSB を先にしてシリアルに AD7730 へ送る抽象サブルーチンです。このコード・リストは、（ほとんどのプラットフォームで）他のアプリケーションにコピー&ペーストすることができます。

コード出カウィンドウの上にある [Auto] にチェックを入れると、コード生成が第 2 のモードになり、すべてのレジスタが有効になり、任意のレジスタの [W] または [R] をクリックすると、適切な Comm レジスタ書き込みが自動的に先頭に追加されます。このモードでは、Comm レジスタのレジスタ選択ビットは無視されることに注意してください。

### Interactive Design Tools: Sigma-Delta Analog-to-Digital Converters : AD7730 Register Configuration Assistant

A register configuration tool for the Analog Devices AD7730 3-Channel Sigma-Delta ADC.

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

The screenshot shows the 'AD7730 Code Generating Applet' interface. At the top, it displays 'AD7730 Code Generating Applet' and 'V 1.0.3b'. Below this is a bit-level configuration table with columns for bit numbers (7, 6, 5, 4, 3, 2, 1, 0) and a 'Register Select' dropdown. The configuration is as follows:

Register	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Register Select
0 Comm. Reg. (WO, 8 bits)	0	0	Single Write	0	0	0	0	0	Comm (W) / Status (R)
0 Status Reg. (RO, 8 bits)	/RDY: Neg.	Steady: Neg.	Standby: Norm.	No ref.: Neg.	X	X	X	X	CX
1 Data Register (RO, 24 bits)	Rel. input voltage: 0.00000 mV		Vref: 5.0 V		800000				
2 Mode Reg. (RW, 16 bits)	Mode: Sync (Idle)		Polarity: Bipole	Dig. out: Disabl	D1: D1=0	D0: D0=0	Data Len.: 24 bit		01B0
	Hiref: 5.0V F		Range: -80 mV to +80 mV	MCLK dis.: Enabl	Burnout: Off	Channel Select: AIN1+ / AIN1- / Ca			
3 Filter Reg. (RW, 24 bits)	Filter Selection Bits: 200		AC: 0	Chop: 0	Delay: 0	Skip: Neg.	Fast: Neg.	200010	
	MCLK: 4.9152 MHz	-3 dB freq: 7.9 Hz	Update rate: 200.0 Hz						
4 DAC Register (RW, 8 bits)	20								
5 Offset Registers (RW, 24 bits)	0: 800000	1: 800000	2: 800000						
6 Gain Registers (RW, 24 bits)	0: 593CEA	1: 593CEA	2: 593CEA						
7 Test Register (RW, 24 bits)	000000								

At the bottom, there is a 'Help' section with a table:

RW1	RW0	Read/Write Mode
0	0	Single Write to Specified Register
0	1	Single Read of Specified Register
1	0	Start Continuous Read of Specified Register
1	1	Stop Continuous Read Mode

図 13.36: AD7730 のレジスタの設定アシスタントの画面

ある入力電圧に対する、理想的な（低周波数、低ノイズ／歪み、完全校正済みの）デジタル化された値は、データ・レジスタの [R] ボタンの左側のフィールドに電圧を入力することによって得られます。 $V_{REF} (= V(REF+) - V(REF-))$  は 5.0 V または 2.5 V を選択できますが、入力電圧は常にリファレンスを基準とします。**注意:** このカリキュレータはシミュレータではないため、キャリブレーション・レジスタなどを変更しても、計算されたデジタル値は変更されません。

それぞれのフィールドを選択するだけで、そのドキュメントがアプレットの最下部にあるヘルプ・テキスト・エリアに表示されます。テキストを下にスクロールするには、スクロール・バーを使用します。

レジスタ設定アシスタントのもう 1 つの例として、AD9850 ダイレクト・デジタル・シンセシス (DDS) システムがあります。

このカリキュレータには注目すべき機能がいくつかあります。1 つは、出力電流を設定する  $R_{SET}$  を選択し、出力レベルが所定の負荷の限界内にあるかを確認するツールです。

AD9850 は相補型の電流出力構造を採用しています。この構造では供給可能な電流と電圧は制限されますが、データシートの他の仕様は満たしています。出力電流レベル  $I_{OUT}$  は 1 個の外付け抵抗  $R_{SET}$  で設定され、この 2 つの関係は 1 つの式で表されます。カリキュレータでこれらのフィールドのどちらかを変更すると、自動的に他方のフィールドが更新されます。指定した電流が大きすぎると、エラーが表示されます。 $I_{OUT}$  電流により、回路図に示されている選択された  $R_{LOAD}$  に電圧が発生し、AD9850 のコンプライアンス電圧と比較してチェックされます。

2 つ目の機能は、基準クロックと希望の出力周波数を指定した場合、32 ビットと同調ワードを選択するためのアシスタントとしての機能です。3 つ目は、パラレルまたはシリアルインターフェースを介して AD9850 を設定する際に使用する、16 進数コードのシーケンスとしてコード化される同調ワードやその他の設定ビットを示します。

同調ワードは、所望の REFCLK と出力周波数を入力するだけで選択されます。REFCLK の最大周波数は、（画面上部で選択される）電源電圧に依存します。同調ワードは 32 ビットに制限されているため、通常は所望の出力周波数と実際の出力周波数の間に小さな偏差があり、実際の出力周波数が右側のフィールドに示されます。実際の出力周波数は同調ワードとしてエンコードされ、パラレル 16 進コードの最後の 4 バイトとシリアル・コードの最初の 4 バイトで構成されます。7FFFFFFF H より大きい同調ワードはナイキスト周波数を超えるため、エラー・メッセージが表示されます。

AD9850 には 5 ビットのプログラマブル・フェーズがあり、所望する出力周波数と同様の方法で選択します。使用可能な最も近い位相設定が、対応する 16 進コードで、パワー・ダウン・ビットとともに右側のフィールドに表示されます。この 16 進コードのフィールドは双方向なので、既知の一連の 16 進コードを入力すれば、設定されている周波数と位相を取り出すことができます。

### Interactive Design Tools: Direct Digital Synthesizers : AD9850 Device Configuration Assistant

An applet for calculating codewords and harmonics images in the AD9850 DDS Synthesizer.

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

Supply voltage:

R<sub>SET</sub>:  KOhms

I<sub>OUT</sub>:  mA

R<sub>LOAD</sub>:  ohms

Reference clock input:  MHz

Desired output freq.:  MHz

Desired output phase:  deg.

Control:

Actual output freq.:  MHz

Actual output phase:  deg.

Parallel: W0:  W1:  W2:  W3:  W4:

Serial: W0-7:  W8-15:  W16-23:  W24-31:  W32-39:

Legend:  
— Harmonic Images  
— Spurs  
— Sin(x)x Envelope  
— Analog Filter Response

N, M	Image Atten. Freq. (dB)	Atten. (dB)	Spur Freq.
1, 0	1.0	-0178	3.0
2, -1	-84.3	-185	122
2, 1	124	-185	128
3, -1	-235	-216	247
3, 1	126	-216	253
4, -1	-237	-233	372
4, 1	249	-233	378
5, -1	-285	-246	497
5, 1	251	-246	503

Sampling Frequency:  System oversampling:

Output freq. is 62.5X oversampled. (max: 62.5)

Output Frequency:  SFDR:  dB Harmonic:

An. Corner Frequency:  Analog rolloff:  dB / octave Filter type:

図 13.37: AD9850 DDS のレジスタ設定アシスタントの画面

最後に、選択した基準クロックと出力周波数に対して、外部再構成フィルタの適用後の出力高調波が表示されます。

コーナー周波数、フィルタの次数、シンプルなアナログ・フィルタのタイプ（イメージ・カリキュレータの最下部にある振幅ロールオフ [Rolloff]）を選択することで、イメージやスプリアスの抑制（波形の再構成）をシミュレーションすることができます。参考のために、10 ビットの量子化ノイズに対応する領域がグラフの最下部に網掛け表示されます。このカリキュレータは、AD9850 を大幅に簡略化したモデルに基づいています。それぞれのアプリケーションに適したパラメータについては、データシートで確認してください。

アンプの高調波の周波数を計算するのは非常に簡単です。第 2 高調波は基本波の 2 倍、第 3 高調波は基本波の 3 倍となります。ただし、DAC の場合は少し異なり、通常はサンプリング・レートによって生じる高調波のイメージになります。つまり、高調波が実際には基本周波数以下になることがあり、DAC 出力周波数の変化に従ってそれらの相対位置が変化することがあります。この問題に対処する設計ツールが存在します。

DAC イメージ・アプレット（図 12.38 参照）は、DAC（この例では AD9772）の単一周波数出力に対する高調波のイメージとスプリアスを示します。AD9772 のモデルは単純化され理想化されています。つまり、SFDR のみがモデル化され、周波数に依存しないものと仮定されています。内部デジタル・フィルタの応答特性は近似値です。実際の性能データについては、データシートを参照してください。

通常の DAC では、イメージは  $N \cdot F_{DAC} \pm F_{OUT}$  に位置します。AD9772 には、入力データ・レートを倍にする積分型インターポレータが内蔵されており、出力周波数のイメージを  $F_{DATA}/2$  を中心にミラーリングします。インターポレーション・フィルタは、ローパス・モード（MOD0=0）時、上側のイメージを抑制し、ハイパス・モード（MOD0 = 1）で基本波を抑制します。フィルタされたイメージとフィルタされていないイメージのどちらも、 $N \cdot F_{DAC} \pm F_{OUT}$  の規則に従って、DAC のデータ・レートでさらにイメージとスプリアスを生成します。

AD9772 にはまた「ゼロ・スタッフィング」（zero-stuffing）モード（MOD1 = 1）があり、各サンプル間にゼロを挿入することによりデータ・ストリームを 2 倍にすることができます。ゼロ・スタッフィングによって  $F_{DAC}$  の高調波あたりのイメージ数も 2 倍になりますが、 $F_{DAC}$  はゼロ・スタッフィングがない場合の 2 倍となり、計算するとイメージの位置はゼロ・スタッフィングのない場合と同じになり、振幅のみ変化します。これらの新しいイメージは内部でフィルタリングされないため、上側のイメージを直接 IF 合成に使うことができます。MOD0 と MOD1 はともにこの目的にしばしば使用されます。

それぞれのイメージのスプリアスである第 2 または第 3 高調波は D 非線形性に起因するものとされるため、 $F_{DAC}$  の第 1 ナイキスト・ゾーン（NZ）内に折り返されます。これらのスプリアスでは、 $\sin(x)/x$ （ここで  $x = \pi \cdot F_{SPUR} / F_{DAC}$ ）のようにロールオフするそれ自身の高調波イメージが生じます。AD9772 の振幅応答が、内部インターポレーションと  $\sin(x)/x$  の包絡線を組み合わせて表示されています。

望ましい／望ましくないイメージとスプリアスの外部の選択／抑制を示すために、アプレットではシミュレーションした DAC 後のアナログ・フィルタを適用することができます。

### Interactive Design Tools: Digital-to-Analog Converters : Harmonic Images in the AD9772 D/A Converter

An applet for estimating harmonic images in the AD9772A TxDAC+®.

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

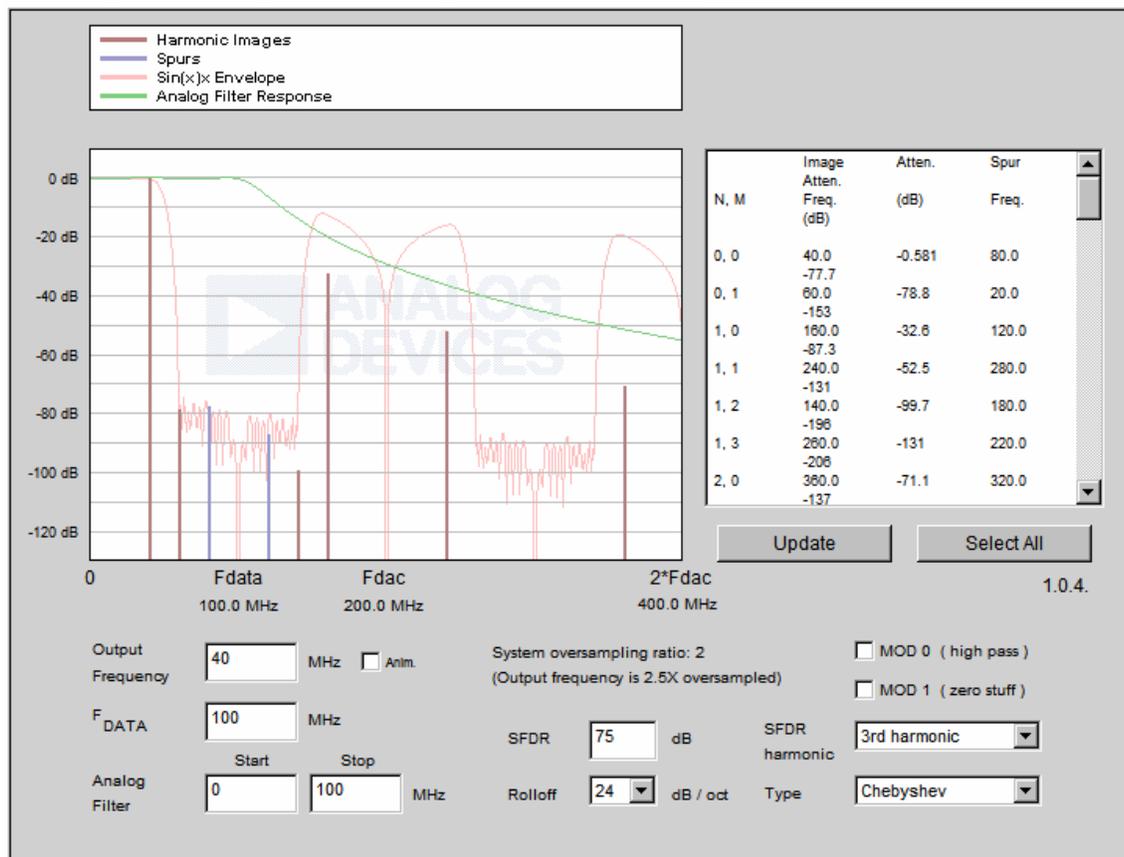


図 13.38: DAC 高調波イメージのカリキュレータの画面

このアプレットの使い方は以下のとおりです。

該当するテキスト・フィールドに  $F_{DATA}$  と出力周波数を入力します。[Enter] を押すか [Update] をクリックして、表示内容を再計算します。

アナログ・フィルタの開始周波数 [Start] と終了周波数 [Stop] を入力します。ゼロを入力するとフィルタのその部分がオフになります。つまり、開始周波数にゼロを入力すると、フィルタはローパスのみになります。

フィルタのロールオフ [Rolloff] とタイプ [Type] を選択します。アナログ・フィルタの特性が表示されます。

イメージの周波数と振幅が右上の表に表示されます。最初の列は、DAC の倍数  $N$  と、その倍数付近のイメージのシーケンス番号を示します。ゼロ・スタッフィングを使わないイメージの場合、 $N > 0$  におけるこれらのイメージの順序は  $N * F_{DAC} + 1) - F_{OUT 2}) + F_{OUT 3}) - (F_{DATA} - F_{OUT})$  and  $4) + (F_{DATA} - F_{OUT})$  となります。表のデータは選択可能で、コピーしてスプレッドシートに貼り付けることができます。[Select all] をクリックすれば、コピーする前に内容全部を選択できるので便利です。

スプリアスの相対レベルを設定するのに FDR が使われます。ここでは、DAC の非線形性がその原因であるものとされます。[SFDR Harmonic] は、インターポレーション/ゼロ・スタッフィングのイメージの 2 倍または 3 倍（デフォルト）のどちらで歪みスプリアスが最も大きくなるか選択します。実際には、SFDR は他の変数とともに、サンプル・レートと出力周波数の両方に依存します。ただし、ここでは 1 つの妥協させた数値を使用します。

ADC システム用のアンチエイリアシング・フィルタの設計に役立つ同様の設計アシスタントも用意されています。このアプレット（図 13.40 参照）は、従来型（シグマ・デルタ型以外）の AD コンバータのエイリアシングと、フィルタリングおよびオーバーサンプリングによるその抑制を図示します。エイリアシングの影響のみに焦点を絞るため、ADC は理想的（歪みがなく、帯域幅が無制限など）であると仮定されています。また、入力信号にはノイズがないと仮定されていますが、このアプレットの最も実用的な使い方は、エイリアス成分を入力またはシステム全体のノイズ・フロア以下に押し下げようとするフィルタリングとオーバーサンプリングの組み合わせを見つけることです。

実際のアナログ・フィルタのロールオフが有限であることは、通過帯域、つまり「ナイキスト・ゾーン」（NZ）に折り返される、アンダーサンプリングされた高周波成分が常に存在し、サンプリングされる信号にノイズとして現れることを意味します。帯域制限されたホワイト・ノイズで構成されるような単純な入力の場合、このアプレットは、帯域外信号がベース・バンド（第 1 ナイキスト・ゾーン）にどのくらい折り返されるかを推定します。実際の多くの状況では、帯域外信号の振幅は小さいため、この推定値はかなり控えめなものになります。逆に十分控えめでない場合もありますが、帯域外信号のレベルに依存します。入力ホワイト・ノイズ信号の帯域幅の限界は、サンプリング周波数の倍数になります。デフォルトではこの倍数は 32 倍、最大は 256 倍です。

オーバーサンプリング・システムにおけるエイリアシング抑制はアナログとデジタルのフィルタの組み合わせによって実現されますが、デジタル・フィルタはサンプリング処理によって通過帯域に折り返されたエイリアシング・ノイズを除去できないため、高品質のアナログ・フィルタに置き換えることはできません。代わりに、ナイキスト周波数と目的とする通過帯域の最も高い周波数との間に十分なオクターブと減衰を入れるためにオーバーサンプリングを使用する必要があります。その後、サンプリング信号に対してデジタル・フィルタリングを行えば、通過帯域とナイキストの間の周波数を除去することができます。簡単にするために、サンプリングされた信号をダウンサンプリングすることによって生じる追加のエイリアシング・ノイズは示されません。

## Interactive Design Tools: Analog-to-Digital Converters : Aliasing Suppression in an Ideal A/D Converter

An applet for demonstrating aliasing effects in idealized A/D converters.

[Instructions](#) | [Troubleshooting](#) | [Send this Link to a Colleague](#)

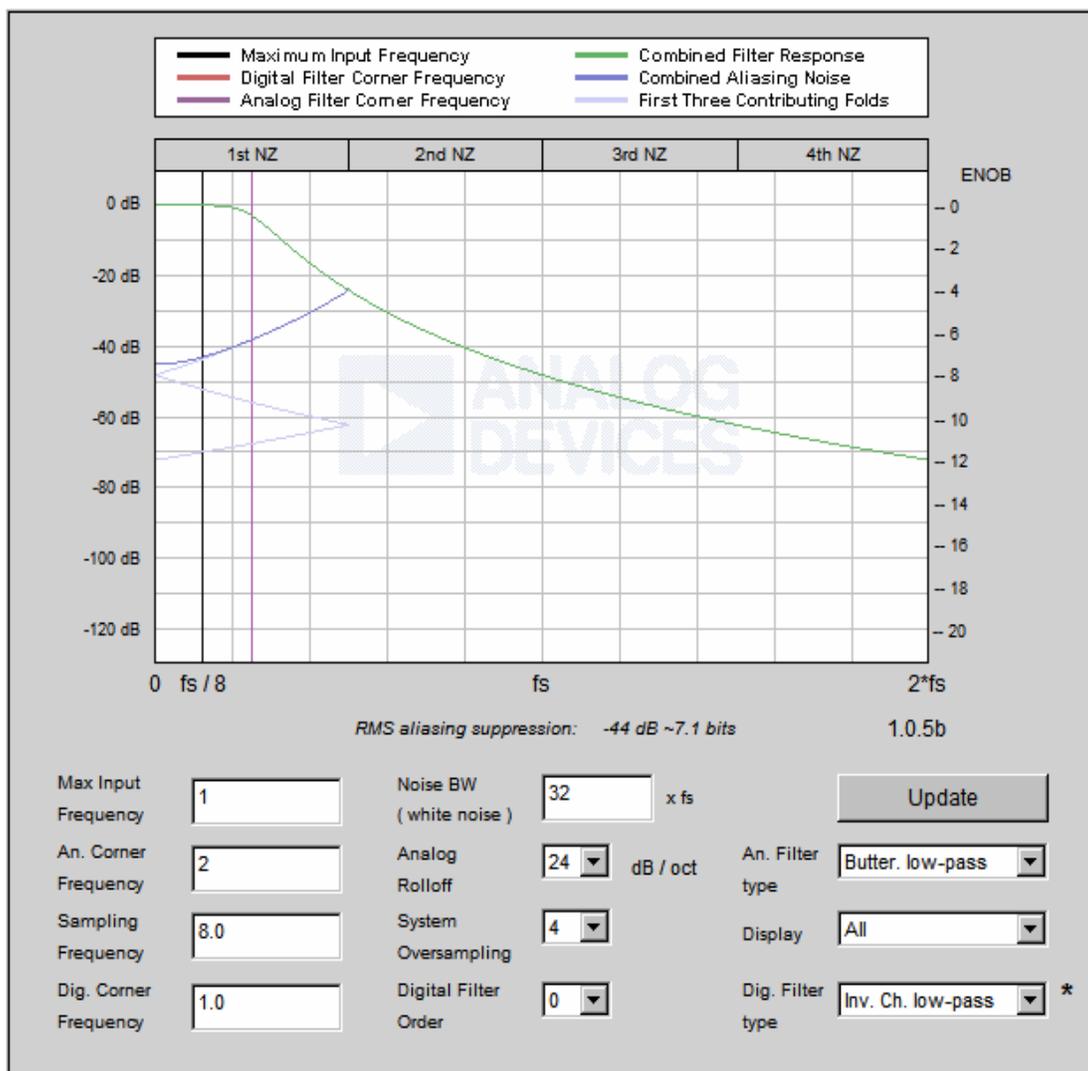


図 13.39: ADC アンチエイリアス抑制アシスタントの画面

このアプレットの使い方は以下のとおりです。

[Maximum Input Frequency] (最大入力周波数)、[Sampling Frequency] (サンプリング周波数)、[Oversampling Ratio] (オーバーサンプリング比) の各フィールドにそれぞれ入力します。[Enter] を押すか [Update] をクリックすると、再計算されます。(最大入力周波数は黒い線で示されます)。

[An. Corner Frequency] (アナログ・コーナー周波数) と [Dig. Corner Frequency] (デジタル・コーナー周波数) を入力します。この仮想的な ADC の振舞いは周波数に依存しないと仮定されているため、周波数の比率のみが関係します。つまり、単位は同じでなければなりません、それ以外は無関係です。片方のカーソルはデジタル・フィルタのコーナー周波数を示し、他方のカーソルはアナログ・フィルタのコーナー周波数を示します。デフォルトの例では、通過帯域の位相歪みを最小にするために、アナログのコーナー周波数を目的の最大周波数の 2 倍に設定しています。計算の高速化のために、デジタル・フィルタの特性は BT 変換型 IIR フィルタの特性としていることに注意してください。

フィルタのロールオフ [Rolloff] とタイプ [Type] を選択します。アナログ・フィルタとデジタル・フィルタを組み合わせたフィルタ応答が示されます。

結合されたエイリアシング・ノイズが、最初の 3 つの折り返しとともにそれぞれ異なる色で示されます。結合されるノイズは、DC から、[Noise BW] (ノイズ帯域幅) で指定される周波数まで合計されます。(注意: サンプリング周波数の 32 倍は通常は大きいので、大きすぎるノイズ帯域幅を指定するとアプレットは遅くなります)。

左の縦軸に抑制値が dB 単位で表示され、それに相当する有効ビット数 (ENOB) が右の縦軸に示されます。通過帯域での平均抑制値の実効値の概要がグラフのすぐ下に表示されます。

アナログ・フィルタのパラメータを変更し、その結果をオーバーサンプリング比を変更した場合と比較して実験します。オーバーサンプリング比を変更すると、サンプリング周波数が最大入力周波数の倍数になりますが、その逆は成り立ちません。重要なのはサンプリング周波数であって、オーバーサンプリング比のメニューは単に便宜上のものです。

フィルタ要件が分かったら、まもなく説明するフィルタ設計ウィザードが実際のフィルタの実装を支援します。

設計アシスタントのもう 1 つの使い方は、単なる 1 つのブロックではなく、全体のアプリケーションを考慮するものです。その一例は、フォトダイオードの誤差バジェット解析ツールです。このカリキュレータには 2 つの部分があり、上側に参考回路図が、下側に誤差要因の表が表示されます。上端のメニューでオペアンプを選択すると、オペアンプのパラメータ・データが該当するフィールドに自動的に入力されます。デフォルトのアプリケーション・パラメータが上部のフィールドに入力されています。デフォルトのフォトダイオード・パラメータは、その下でかつオペアンプ・パラメトリックの上のセクションに配置されています（一部のアプリケーション・パラメータはオペアンプ・データと混在しています）。入力データはすべて手動で上書きできますが、出力フィールドは変更できません。

フィールドにデータを入力したら、タブを押すか [Update] をクリックすると値が計算されるので、回路図の更新されたノード電圧を確認します。入力が範囲外の場合、アラートが表示されます。入力の組み合わせが内部または外部の出力制限を超えると、問題のノード値が赤で強調表示され、[Out of Range!] メッセージが表示されます。このメッセージが表示された場合は、すべてのノード値が無効であるとみなす必要があります。フィールドを空白のままにしないでください。[NaN]（数値以外）が表示されている場合は、値を計算するには入力されたデータが不足していることを示しています。

このツールはオペアンプの非常に単純化したモデルを用いるので、その結果は慎重に使用する必要があります。特に、計算される誤差は、オペアンプの（アプリケーションに固有の）どのパラメータ・データを使うかに大きく依存することに注意してください。多くのオペアンプでは、プルダウン・メニューに [typical] と [conservative] の 2 組の数値が用意されています。同じデバイスで最悪ケースの仕様がすべて同時に現れることはほとんどありません。設計者は常に適切なデータシートを参照し、アプリケーションに最適な数値を入力する必要があります。すべての計算は近似計算であり、状況によっては実際の値が負であっても（さらに他の誤差を相殺することがあっても）誤差は PPM の絶対値で表示され加算されます。

[Calculation] の列に表示されている式は概算であり、3 つのバッファの選択肢のうちの最悪のものを反映しています。特定のバッファ・タイプの式の修正箇所は、（）内に示されます。例えば (1/2 : noninv) は、非反転バッファで、この量を計算するには 1/2 の係数を追加する必要があることを意味します。

ノイズは、与えられたノイズ帯域幅でスペクトル密度（ホワイト・ノイズ）が均一であると仮定し、積分量として計算されます。デフォルトでは、ノイズ帯域幅はクロズドループ帯域幅  $\times \pi/2$  ( $\pi/2$  は、ホワイト・ノイズの単一ポール・ロールオフの等価ノイズ帯域幅に調整する係数) に初期化されます。小さな信号帯域幅が入力された場合は、帯域外ノイズを除去するために出力がこの帯域幅にフィルタされるものと仮定されます。また、非反転入力抵抗は完全にバイパスされ、ノイズ計算には含まれないものと仮定されていることに注意してください。

### Interactive Design Tools

#### Operational Amplifiers : Photodiode Preamp Error Budget Tutorial

An online tool to illustrate range, gain and accuracy issues in photodiode preamplifiers.

Opamp:

[Instructions](#) | [Troubleshooting](#) | [Related Information](#) | [Send this Link to a Colleague](#)

**Examples**  **Topology**

**Illumination**  **I<sub>PD</sub>**  A

**R<sub>F</sub>**  M ohms **R<sub>F</sub>'**  M ohms

**V<sub>REF</sub>**  **V<sub>BIAS</sub>**

**R<sub>L</sub>**  K ohms **C<sub>L</sub>**  pF

Ideal Opamp

Positive Supply

Negative Supply

---

**Application Parameters**

Operating Temp., T <sub>A</sub> <input type="text" value="25"/> °C	Operating Frequency, f (<1MHz) <input type="text" value="0"/> Hz	<input type="button" value="Update"/>
Opamp Input Capacitance, C <sub>M</sub> <input type="text" value="2.1"/> pF	Additional Input Cap., C <sub>XTRA</sub> (trace, etc.) <input type="text" value="0"/> pF	
Opamp Diff. Inp. Cap., C <sub>D</sub> <input type="text" value="4.5"/> pF	Noninverting Bypass Cap., C <sub>BP</sub> <input type="text" value="0.1"/> uF	
Compensating Cap., C <sub>F</sub> <input type="text" value="0.0788"/> pF	3dB BW for given R <sub>F</sub> <input type="text" value="0.202"/> MHz	

---

**Photodiode Parameters**

Responsivity & Area <input type="text" value="0.5"/> A/W <input type="text" value="5"/> mm <sup>2</sup>	Max Linear Current, I <sub>PD-MAX</sub> <input type="text" value="40"/> μA	
Shunt Resistance, R <sub>PD-SH</sub> at 25°C <input type="text" value="1000"/> Mohms	R <sub>PD-SH</sub> at temp. <input type="text" value="1000"/> Mohms	
Dark Current, I <sub>PD-DARK</sub> at 25°C <input type="text" value="1e-8"/> A	I <sub>PD-DARK</sub> at temp. and bias <input type="text" value="0"/> A <i>(photoconductive only)</i>	
Junction Cap., C <sub>PD</sub> , zero-bias <input type="text" value="50"/> pF	C <sub>PD</sub> at bias <input type="text" value="50"/> pF	

図 13.40: フォトダイオード誤差バジェット解析の画面 (1/2)

Error Source	Specification	Approx. Calculation	Absolute DC Error	Drift DC Error	Gain Error	Resolution Error
Resistor Tolerance	0.1 %		1330 ppm			
Resistor Drift, TC <sub>R</sub>	25 ppm / °C	Max: TC <sub>R</sub> × T <sub>DIFF</sub>		0.743 ppm		
Temp. difference, T <sub>DIFF</sub>	5 °C					
Nom. Open Loop Gain, A <sub>VOL</sub>	446.68 V/mV		2.26 ppm			
Min. Open Loop Gain, A <sub>VOL-MIN</sub>	100.00 V/mV				7.84 ppm	
Gain-BW product, GBW	145e6 Hz				0 ppm	
Input Offset Voltage, V <sub>OSI</sub>	0.4 mV		2.38e5 ppm			
Input Offset Voltage Drift, V <sub>OSI-TC</sub>	1 μV / °C			0 ppm		
Bias Current, I <sub>B</sub>	0.002 nA		118 ppm			
Bias Current Drift, I <sub>B-TC</sub>	N/S pA / °C			0 ppm		
Offset Current, I <sub>OS</sub>	0.001 nA		5940 ppm			
Offset Current Drift, I <sub>OS-TC</sub>	N/S pA / °C			0 ppm		
Dark Current, I <sub>PD-DARK</sub>			0 ppm			
Shunt Resistance, R <sub>PD-SH</sub>				1e-5 ppm		
Output Resistance, R <sub>O</sub>	55.00 ohms					
Common Mode Rejection Ratio, CMRR	100 dB	(inv. (1+1/gain) × 10 <sup>-CMRR/20</sup> ×  (V <sub>+</sub> +V <sub>-</sub> )/2 - (V <sub>S+</sub> +V <sub>S-</sub> )/2 ) /  V <sub>IN</sub> -V <sub>REF</sub>	2.97 ppm			
Power Supply Rejection Ratio, PSRR	100 dB	(inv. (1+1/gain) × 10 <sup>-PSRR/20</sup> ×  (V <sub>S+</sub> -V <sub>S-</sub> ) - (V <sub>S+nom</sub> -V <sub>S-nom</sub> ) ) /  V <sub>IN</sub> -V <sub>REF</sub>	0 ppm			
Supply Variability (ripple+load reg.)	1 %	10 <sup>-PSRR/20</sup> × SUP-VAR × (V <sub>S+</sub> -V <sub>S-</sub> ) /  V <sub>IN</sub> -V <sub>REF</sub>				595 ppm
Noise BW*	0.01 - 3.17e5 Hz					
Voltage noise, V <sub>NW</sub>	7 nV/root-Hz	Corner freq 2000 Hz	<a href="#">Noise components</a>			1.67e6 ppm
Current noise, I <sub>NW</sub>	0.0006 pA/root-Hz	Corner freq 2000 Hz				
Total Harmonic Distortion, THD	N/S dB	10 <sup>THD/20</sup>				0 ppm
Total AC error (AC)		1.67e6 ppm			0 ppm	1.67e6 ppm
Total DC error		2.45e5 ppm	2.45e5 ppm	0.743 ppm		
PPM to uV converter:		1 ppm 0.0017 uV				

V 0.9.14

図 13.41: フォトダイオード誤差バジェット解析の画面 (2/2)

設計ウィザード

フォトダイオード・ウィザード

誤差バジェット・ツールの拡張版が設計ウィザードです。Analog Wizard™ は 3 つのステップでフォトダイオードのアプリケーションに用いる部品を簡単にすばやく見つけ出します。このウィザードは、部品を推奨し、回路設計を支援し、さらに部品表と技術リソースを提供します。

ステップ 1: パラメータ値を入力する。

アプリケーションのパラメータ値を入力するか、用意されているデフォルト値を使用します。それぞれのパラメータの範囲が表示されるので、値を適切な範囲内で入力するのに役立ちます。NOTE: フォトダイオードの実際の値をすべて入力した場合にのみ、正確な解析が実行されます。

**Analog Wizard™ v1.1** Design & Product Selection Tool

**Amplifiers in the Photodiode - Photovoltaic Mode** [Send Feedback on Wizard](#)

Analog Wizard™ helps you select and design in the best fit amplifier for your application needs in 3 easy steps – Enter Parameter Values, Review Recommended Parts, and View Amplifier Solution. The Wizard recommends parts, designs the circuit and provides a bill of materials and technical resources. It couldn't be any easier!

Step **1** 2 3 **NEW!** Now you can select a generic to compare to your results.

Enter Parameter Values

Enter parametric values for your application needs or use the default values provided. Then, click the Calculate button. Parameter names are links to definitions for any unfamiliar terms. You can also get more information on [how to use the Wizard](#) and [more technical details on photodiode applications](#).

Parameter Name	Default Value	Your Value
1. <a href="#">Supply Voltage for Your System:</a> (Range: 1.8 V to ±18 V)	±5 V	single supply <input type="radio"/> + <input type="text" value="12"/> V dual supply <input checked="" type="radio"/> ±
2. <a href="#">Photodiode's Capacitance:</a> (Range: 15 pF to 1500 pF)	100 pF	<input type="text" value="56"/> pF
3. <a href="#">Photodiode's Output Impedance:</a> (Range: 1 MOhm to 1 GOhm)	200 MOhms	<input type="text" value="20"/> MOhms
4. <a href="#">Photodiode's Responsivity:</a> (Range: 0.1 A/W to 5 A/W)	0.5 A/W	<input type="text" value="5"/> A/W
5. <a href="#">Minimum Light Intensity:</a> (Range: 400 pW to 400 nW)	4 nW	<input type="text" value="4"/> nW
6. <a href="#">Maximum Light Intensity:</a> (Range: 401 nW to 4 mW)	100 μW	<input type="text" value="250"/> μW
7. <a href="#">Desired Bandwidth (BW):</a> (Range: 100 Hz to 100 kHz)	10 kHz	<input type="text" value="100"/> kHz
8. <a href="#">Desired Full Scale Output:</a> (Range: 1 V to 10 V)	5 V	<input type="text" value="6"/> V
9. <a href="#">Desired Accuracy:</a> (Range: 8 bits to 16 bits)	12 bits	<input type="text" value="12"/> bits

Calculate Reset

図 13.42: フォトダイオード・ウィザードの 1 ページ目

[Search] をクリックすると、ウィザードは入力された値を用いてアンプの要件を計算し、アナログ・デバイスの製品データベースから要件に合うデバイスを抽出します。これらが推奨デバイスです（図 13.43 参照）。

ステップ 2: オペアンプを選定する。

**Analog Wizard™ v1.0** Design & Product Selection Tool

**Amplifiers in the Photodiode - Photovoltaic Mode** [Send Feedback on Wizard](#)

Step **1** **2** 3 [Printer-friendly version](#)

[Review Recommended Parts](#)

View information on [how to use the Wizard](#) and get [more technical details on photodiode applications](#).

**Recommended Amplifier Solutions**  
Recommended parts start with the best-fit, followed by other parts in descending order. Each part number links to its product page.

Amplifier Part	1K Price [OEM US\$]	Available Packages	Temperature Range	Signal to Noise Ratio (Calculated) [dB]	Signal to Noise Ratio (Theoretical) [dB]	View Amplifier Solution
1. <a href="#">AD8067</a> BEST FIT	\$2.29	SOT	-40 to +85 Deg C	84.89	74.00	<a href="#">View Amplifier Solution</a>
2. <a href="#">AD8033</a>	\$1.02	SC70, SOIC	-40 to +85 Deg C	88.70	74.00	<a href="#">View Amplifier Solution</a>
3. <a href="#">AD8034</a>	\$1.59	SOIC, SOT	-40 to +85 Deg C	88.70	74.00	<a href="#">View Amplifier Solution</a>
4. <a href="#">AD8065</a>	\$1.59	SOIC, SOT	-40 to +85 Deg C	90.05	74.00	<a href="#">View Amplifier Solution</a>
5. <a href="#">AD8066</a>	\$2.29	SOIC, SOP	-40 to +85 Deg C	90.05	74.00	<a href="#">View Amplifier Solution</a>

To compare a specific ADI part with the recommended parts, please type in the ADI part number and click the "Add to Table" button.

To reach Step 3, click "View Amplifier Solution" link of the corresponding part above. This page provides a circuit schematic, the corresponding bill of materials, and links to additional resources.

**You searched with these values:**

Supply Voltage:	<input type="text" value="12"/>	V <input type="radio"/> + <input checked="" type="radio"/> ±	Light Intensity Min:	<input type="text" value="4"/>	<input type="text" value="nW"/>
Capacitance:	<input type="text" value="56"/>	pF	Light Intensity Max:	<input type="text" value="250"/>	<input type="text" value="µW"/>
Output Resistance:	<input type="text" value="20"/>	<input type="text" value="MOhms"/>	Desired Bandwidth (BW):	<input type="text" value="100"/>	<input type="text" value="kHz"/>
Responsivity:	<input type="text" value=".5"/>	AW	Desired Full Scale Output:	<input type="text" value="6"/>	V
Desired Accuracy:	<input type="text" value="12"/>	<input type="text" value="bits"/>	<input type="button" value="Update Search"/> <input type="button" value="New Search"/>		

図 13.43: フォトダイオード・ウィザードの 2 ページ目

ステップ 3: アンプのソリューションを見る。

アプリケーションの要件と選択したアンプの仕様に基づいて、推奨回路図とそれに対応する部品表が表示されます。このページを印刷して、参考資料にしたり、設計ノートに含めることができます。

Analog Wizard™ v1.0 Design & Product Selection Tool

Amplifiers in the Photodiode - Photovoltaic Mode

[Send Feedback on Wizard](#)

Step **1** **2** **3**

[Printer-friendly version](#)

[View Amplifier Solution](#)

View information on [how to use the Wizard](#) and get [more technical details on photodiode applications](#).

**You searched with these values:**

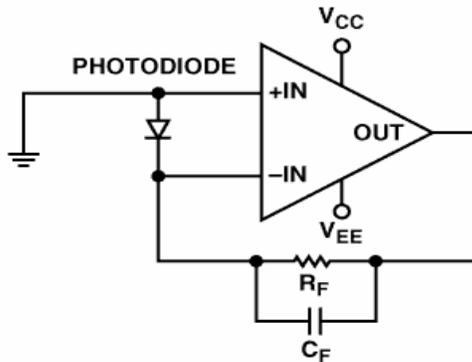
Supply Voltage:	+12 V	Light Intensity Min & Max:	4 nW & 250 μW
Capacitance:	56 pF	Desired Bandwidth (BW):	100 k Hz
Output Resistance:	20 MOhms	Desired Full Scale Output:	6 V
Responsivity:	.5 AW	Desired Accuracy:	12 bits

Amplifier Solution using the AD8067

Circuit schematic using the [AD8067](#):

[Perform Error Analysis](#)

[Noise Analysis Graph](#)



SPICE Netlist(s)

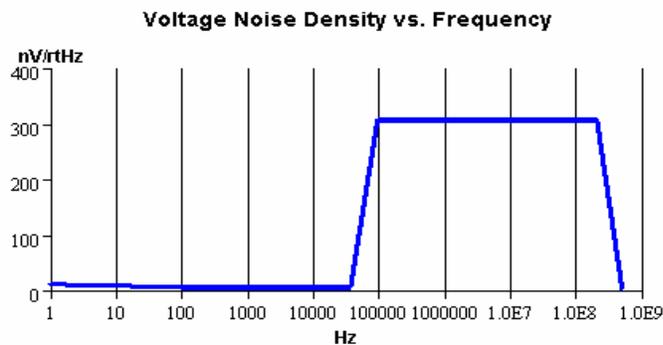
There are no spice models for AD8067.

Legal Disclaimer: Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Without limiting the foregoing, information from the Wizard is provided on an "as is" basis. Responsibility lies solely with the customer for any corresponding use of this information.

Bill of Materials - [AD8067](#)

1K Price [OEM\$US]:	\$2.29	<a href="#">Signal to Noise Ratio (Calculated):</a>	84.89 dB
Available Packages:	SOT	<a href="#">Signal to Noise Ratio (Theoretical):</a>	74 dB
Temperature Range:	-40 to 85 Deg C	<a href="#">Supply Voltage (Vcc):</a>	12 V
<a href="#">Feedback Resistance (Rf):</a>	0.0432 MOhms	<a href="#">Supply Voltage (Vee):</a>	-12 V
<a href="#">Feedback Capacitance (Cf):</a>	36.8414 pF		

Noise Analysis Graph



Additional Photodiode Resources

Application Notes:  
[High Impedance Sensors \(pdf, 993 kb\)](#)

図 13.44: フォトダイオード・ウィザードの3ページ目

### アナログ・フィルタ・ウィザード

最後に取り上げるアプリケーションは、フィルタ設計ウィザードです。これは、アクティブ・フィルタの設計と部品選択を支援するように設計されています。フィルタ・アプリケーションの理解を深めるには、アクティブ・フィルタについて詳述している第8章を参照してください。

#### ステップ1: フィルタのパラメータを入力する。

フィルタ・ウィザードには2つの動作モードがあります。1つは「エキスパート」モードです。このモードでは、設計者は設計するフィルタのタイプを知ることができます。例えば、5次の0.5dB チェビシェフ型が必要であることがわかります。もう1つの使い方は、フィルタの応答を入力することです（図13.46参照）。

ウィザードは、プルダウン・メニューの要件を満たすフィルタ候補をいくつか返します。フィルタ応答のプルダウンの脇に、それぞれの選択肢のトレードオフについての簡単な説明が表示されます。フィルタ・セクションへリンクも張られており、それぞれのフィルタ・タイプの詳細な説明が表示されます。

フィルタの設計は2段階のプロセスで行います。まず、何を作成したいかを決めます。つまり、フィルタの応答特性と次数を決めることですが、これはたった今やり終えています。次のステップは、それを作成する方法を決めることです。すなわち、回路トポロジを決めます。ここでも、プルダウン・ボックスにいくつかの選択肢が表示されます。この場合も、プルダウンの横に回路の簡単な説明が表示され、詳細説明へのリンクが張られています。回路図も表示されます。

#### ステップ2: 推奨デバイスを検討する。

次にウィザードは、入力したアプリケーションのパフォーマンス値に最適なオペアンプを推奨します（図13.47参照）。

「最適デバイス」は、アナログ・デバイセズの製品データベースのパラメータ検索の結果によって決まります。パラメータの優先順位は、入力バイアス電流、電圧ノイズ密度、電流ノイズ密度、入力オフセット電圧、オープンループ・ゲイン、電源電圧、の順です。

それぞれの製品番号は製品ページにリンクが張られています。製品ページには、製品説明、データシート、パッケージ／価格、サンプル、購買情報へのリンクが張られています。

また、それぞれの推奨デバイスごとに回路図と部品表へのリンクがあります。プロセスのステップ3へ行くには、[Amplifier Solution]をクリックします。

## Analog Filter Wizard™ Design & Product Selection Tool v1.0

Analog Filter Wizard™ (BETA) helps you select and design in an operational amplifier that fits your filter application needs. The Filter Wizard works in conjunction with the Active Filter Synthesis Design Tool which together will guide you through the filter application design process. These steps include Entering Filter Criteria, Reviewing Recommended Parts, Active Filter Synthesis Design, and finally generating a Bill of Materials and/or a Spice Netlist.

For additional information please refer to the [Definition of Terms](#).

Step **1** 2 3 4

[Send Feedback on Wizard](#)  
[Disclaimer](#)

Enter Filter Criteria

1. Do you know the required filter response for this design?

Yes  No

2. Enter Filter Type:

Lowpass

Lowpass filters pass frequencies below the cutoff and attenuate those above.

3. Enter Filter Criteria: (click on a parameter to obtain more information)

$F_c$ :\* 1 kHz

$A_{max}$ :\* 0 dB

$F_s$ :\* 8 kHz

$A_{min}$ :\* 74 dB

Generate Filter Response

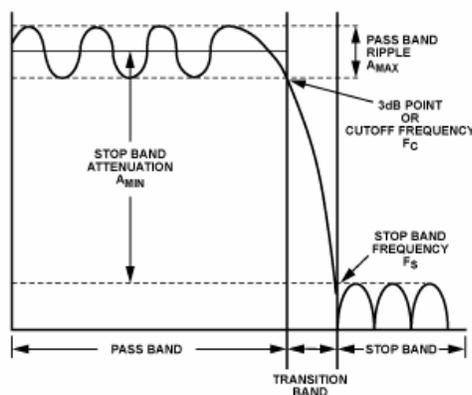


図 13.45: フィルタ設計ウィザードの1ページ目

**4. Filter Response - Order:**

This describes the transfer function of the filter as it relates to amplitude and phase response. Standard responses that we support are Bessel, Butterworth, Chebyshev (0.01 dB to 1 dB), Equiripple (0.05° & 0.5°), Gaussian (6 dB & 12 dB). [More Info](#) (pdf, 5,434,001 bytes)

**5. Enter Filter Topology:**

The Sallen-Key configuration, is one of the most widely used filter topologies. This configuration shows the least dependence of filter performance on the performance of the op amp. [More Info](#) (pdf, 5,434,001 bytes)

**Sallen Key Lowpass:**

**6. Enter Independent Variable Info:**

Parameter Name	Default Value	Your Value
a. <a href="#">Power Supply:</a> <i>(Warning)</i> (Range: +1.8 V to ±18 V)	±15 V	single supply <input type="radio"/> + <input type="text" value="12"/> V dual supply <input checked="" type="radio"/> ±
b. <a href="#">Common Mode Voltage:</a> <i>(Warning)</i> (Range: +/- V Supply)	0	<input type="text" value="0"/> V
c. <a href="#">Input Signal Level:</a> (Range: 1uV to 18V)	1 V P-P	<input type="text" value="5"/> V <input type="text" value="P-P"/>
d. <a href="#">Gain:</a> (Range: 1 to 100)	1	<input type="text" value="1"/>

図 13.46: フィルタ設計ウィザードの 1 ページ目 (その 2)

回路トポロジの選択を終えて、設計者が電源電圧や信号レベルなどさらにいくつかの変数に関する情報を入力すると、ウィザードはその回路で動作するオペアンプの選択肢を返します。

オペアンプのオープンループ応答は、それ自体ローパス・フィルタなので、オペアンプの応答がフィルタの応答に実質的な影響を与えないほどオープンループ・ゲインが十分大きいオペアンプが選ばれます。

表示されたリストからオペアンプを選択したら、3 ページ目に移ります（図 13.48 参照）。ここで、フィルタの部品の値を決めます。

複数ポールを持つフィルタは、1 次のセクションと 2 次のセクションがカスケード接続された構成になります。アクティブ素子が 1 個のみの 3 次セクションを設計することも可能ですが、回路値が鋭敏になるので、ここでは選択を 1 次と 2 次のセクションに限定しています。

フィルタのそれぞれのセクションに適したパラメータ ( $F_o$  と  $Q$ ) がウィザードに読み込まれます。すべての部品の値が比例関係にあるので、1 つの値を選択すると残りの変数が設定されます。通常は、値の選択肢が少なくなるので、抵抗よりもコンデンサを選択します。

返される値は標準値ではなく正確な値ですが、標準値を選択するオプションもあります（抵抗は 0.5% ~ 2%、コンデンサは 2% ~ 5%）。これらの値も上書き可能です。抵抗とコンデンサの値を変更すると、フィルタの  $F_o$  と  $Q$  が少し変化します。ウィザードはこれらの値を再計算し、標準値に変更したために生じた誤差を返します。

このプロセスがフィルタの各セクションで完了すると、設計が完了します。

ウィザードは、振幅と位相のプロット、回路図のページ（図 13.49 参照）、Spice デッキなどを出力することができます。Spice デッキを使うと、フィルタのさらに詳しい特性評価が可能です。これには、部品値のモンテカルロ解析や、フィルタ応答を含むオペアンプ応答などがあります。

**Analog Filter Wizard™** Design & Product Selection Tool  
v1.0

Step 1 2 3 4 [Send Feedback on Wizard](#)  
[Printer-friendly version](#)

Review Recommended Parts

You searched with these values:

Filter Type:  Filter Topology:

Response Type:  Common Mode Voltage:  V

Fc:  kHz Power Supply:  V  +  ±

Filter Order:  Input Signal Level:  V

Gain:

**Recommended Amplifier Solutions**

Recommended parts start with the best-fit, followed by other parts in descending order. Each part number links to its product page. For additional information please refer to the [Definition of Terms](#).

**NOTE:** To reach Step 3, click the "Design Filter" link of the corresponding part below.

Part Number	Number of Amps	Pkgs	1K Price (OEM US\$)	Slew Rate (V/μSec)	Filter Design Tool
<input type="text" value="All"/>	<input type="text" value="All"/>				
<a href="#">AD704</a>	quad	DIP, LCC, SOIC	\$4.23	.15	<a href="#">Design Filter</a>
<a href="#">AD795</a>	single	DIP, SOIC	\$2.97	1	<a href="#">Design Filter</a>
<a href="#">AD548</a>	single	DIP, SOIC	\$1.10	1.8	<a href="#">Design Filter</a>
<a href="#">AD648</a>	dual	DIP, SOIC	\$1.74	1.8	<a href="#">Design Filter</a>
<a href="#">AD824</a>	quad	SOIC	\$4.09	2	<a href="#">Design Filter</a>
<a href="#">AD743</a>	single	DIP, SOIC	\$4.78	2.8	<a href="#">Design Filter</a>
<a href="#">AD549</a>	single	TO-X	\$11.68	3	<a href="#">Design Filter</a>
<a href="#">AD820</a>	single	DIP, SOIC	\$1.64	3	<a href="#">Design Filter</a>
<a href="#">AD822</a>	dual	SOP, DIP, SOIC	\$2.48	3	<a href="#">Design Filter</a>
<a href="#">AD8627</a>	single	SOIC, SC70	\$1.44	5	<a href="#">Design Filter</a>
<a href="#">OP282</a>	dual	SOIC	\$1.17	9	<a href="#">Design Filter</a>
<a href="#">OP482</a>	quad	SOIC, DIP	\$1.85	9	<a href="#">Design Filter</a>
<a href="#">AD711</a>	single	DIP, SOIC	\$1.08	20	<a href="#">Design Filter</a>
<a href="#">AD712</a>	dual	DIP, SOIC	\$1.49	20	<a href="#">Design Filter</a>
<a href="#">AD713</a>	quad	DIP, SOIC	\$4.15	20	<a href="#">Design Filter</a>
<a href="#">AD8510</a>	single	SOIC, SOP	\$.94	20	<a href="#">Design Filter</a>
<a href="#">AD8512</a>	dual	SOIC, SOP	\$1.47	20	<a href="#">Design Filter</a>
<a href="#">OP249</a>	dual	LCC, SOIC, DIP	\$1.64	22	<a href="#">Design Filter</a>
<a href="#">OP275</a>	dual	DIP, SOIC	\$.90	22	<a href="#">Design Filter</a>
<a href="#">AD823</a>	dual	DIP, SOIC	\$2.63	25	<a href="#">Design Filter</a>
<a href="#">AD8620</a>	dual	SOIC	\$6.74	50	<a href="#">Design Filter</a>
<a href="#">OP42</a>	single	DIP, LCC, SOIC, TO-X	\$1.98	50	<a href="#">Design Filter</a>

図 13.47: フィルタ設計ウィザードの 2 ページ目

### Analog Filter Wizard™ v1.0

Design & Product Selection Tool

[Send Feedback on Wizard](#)

Step 1 2 3 4

OpAmps: Active Filter Synthesis Design Tool (BETA)

[Instructions](#) | [Troubleshooting](#) | [Application Note for Filter Design Tool](#) | [Send this Link to a Colleague](#)

Filter Type: Lowpass Butterworth Order: 4

$f_c$ :  Hz

SPICE Validate

Schematics + BOM

**Stage 1:**

F0:  Hz

Q:

Sallen-Key LP

**Stage 2:**

F0:  Hz

Q:

Sallen-Key LP

Circuit Mag-Phase

Active Filter Tool

V 1.0.27.16

Gain:

C1:  nF

R3:  Ohms

Lock cap

R1	<input type="text" value="17.23 K"/>	Ohms	R2	<input type="text" value="17.23 K"/>	Ohms	C1	<input type="text" value="10.0"/>	nF	C2	<input type="text" value="8.535"/>	nF
R3	<input type="text" value="25.0 K"/>	Ohms	R4	<input type="text" value="Infinity"/>	Ohms						

Tolerance R: Exact C: Exact

Actual F0: 999.8 (-0.015%)      Actual F0: 1000 (0.024%)

Actual Q: 0.5412                  Actual Q: 1.307 (0.017%)

図 13.48: フィルタ設計ウィザードの 3 ページ目

## Analog Filter Wizard™ v1.0

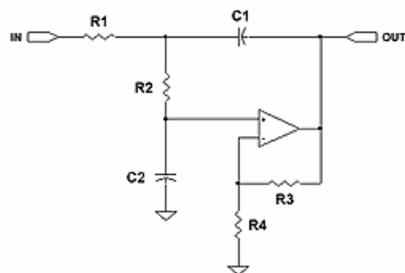
Step 1 2 3 4

### Bill of Materials

[Send Feedback on Wizard](#)

[Printer-friendly](#)   
[version](#)

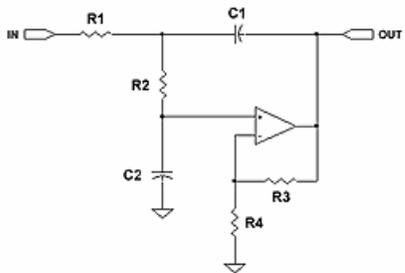
#### Stage 1: AD712 Sallen-Key LP



#### AD712

R1 1.723e4  
C1 1.000e-8  
R2 1.723e4  
C2 8.535e-9  
R3 2.500e4  
R4 Inf.

#### Stage 2: AD712 Sallen-Key LP



#### AD712

R1 4.160e4  
C1 1.000e-8  
R2 4.160e4  
C2 1.463e-9  
R3 2.500e4  
R4 Inf.

図 13.49: フィルタ設計ウィザードの回路図ページ

### Summary (要約)

本節では、アナログ・デバイセズが提供するオンライン設計ツールをいくつか示しました。すべてのツールを網羅できたわけではありませんが、2006年現在の機能がどのようなものであるかを把握できるように示してきました。また、継続的に拡張がなされており、常に新しいツールが追加されています。

### 13.3: 評価用ボードとプロトタイピング

#### 評価用ボード

どれほどシミュレーションを行っても、実際に回路を組むことに取って代わるものではありません。その理由は、現実のアプリケーションに存在する RF 干渉、電源、グラウンドの問題など、すべての寄生要素やその他の影響をシミュレーションすることは不可能だからです。

アナログ IC を製造するほとんどのメーカーは、評価用ボードを安価で提供しています。これらのボードを用いることで、ユーザはプロトタイプ・ボードを自分で作らなくても IC を評価することができます。どのような評価用ボードでも、製造メーカーはグラウンド、レイアウト、デカップリングなど、デバイスの性能が最適になるように注意を払っています。この評価用プリント回路基板のアートワークは通常無料で使えるようになっていますので、使えそうであれば、このレイアウトを直接コピーしたり、用途に合うように修正して使うのが良いでしょう。しかし、ここで注意したいことがあります。評価用ボードは小さなシステムです。レイアウトの問題に関する手掛かりが得られても、何の評価もせず機械的に評価用ボードのレイアウトを、より大きなデザインに適用しても、解決にならないかもしれません。

#### 汎用のオペアンプ評価用ボード

評価用ボードは、特定の IC 専用に作られていることもありますし、汎用に作られていることもあります。最も汎用的なリニア IC であるオペアンプの評価用ボードを開発し、アプリケーションを支援することは理に適っています。しかし同時に重要なことは、良い設計の評価用ボードは、「PC に関する問題」の章で説明したような、寄生要素の影響を防ぐように設計してあることです。その一例として、汎用デュアル・アンプの評価用ボードを図 13.50 に示します。

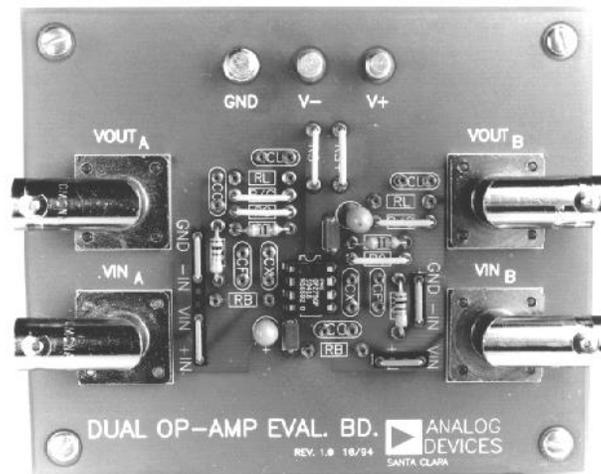


図 13.50: 汎用オペアンプの評価用ボード（低周波用オペアンプ回路を短時間で簡単に構成できる）

このボードは、標準的なピン配置のデュアル・オペアンプ用のピン・ソケットを備えており、部品のジャンパ位置の設定を変えることによって、反転／非反転のアンプ回路を柔軟に構成できます。AC 結合 /DC 結合のいずれの構成でも、部品値の選択により、種々のゲイン構成が可能です。

この基板では、入力と出力の BNC コネクタを介して外部信号と接続します。このボードはラボの外部電源を使用し、ボード上部のラグ端子に配線されます。ただし、ボード自体に電源ラインのデカップリングとバイパス用の部品を搭載しています。

このような汎用ボードは、オペアンプの入力電流が中くらいで、10 MHz 以下の周波数の、中程度の精度から高精度の用途で利用できます。動作速度がもっと高い場合には、専用のデバイスごとの評価用ボードを使ったほうがよいでしょう。その理由は、柔軟性を持たせるために基板に追加された部品位置によって生じる浮遊容量が、高周波域では厳しい制約要因になるからです。

### 専用のオペアンプ評価ボード

高速／高精度 IC の場合は、電源のデカップリングに特に注意を払う必要があります。例えば、高速にスルーする信号が、相対的に低いインピーダンスの負荷を駆動すると、オペアンプの電源端子に高速の過渡電流が流れます。この過渡電流は、電源トレースの寄生インピーダンスの両端に対応する電圧を発生します。これらの電圧は、高周波ではオペアンプの電源電圧変動除去比は有限なので、アンプの出力に結合する可能性があります。

AD8001 高速電流帰還型オペアンプはそのよい例であり、専用の評価用ボードが用意されています。SOIC パッケージを使った評価用ボードを底面から見たところを図 13.52 に示します。過渡応答のすべての周波数で低インピーダンスのグラウンド・パスを保証するために、三重のデカップリングが採用されています。最も高い周波数のトランジェントは、1000 pF と 0.01  $\mu$ F の 2 個のセラミック・チップ・コンデンサによってグラウンドにシャントされます。これらのコンデンサは直列インダクタンスと直列抵抗をできるだけ小さくするために電源ピンの近くに配置されています。これらは表面実装部品なので、グラウンド・プレーンの信号経路の浮遊インダクタンスと浮遊抵抗はわずかです。低い周波数の過渡電流は、大きな 10  $\mu$ F のタンタル・コンデンサでグラウンドにシャントされます。

このボードの入力信号と出力信号の配線パターンは写真で示すように、左右方向を向いた 50  $\Omega$  のマイクロストリップ伝送ラインです。ゲイン設定抵抗はチップ型の薄膜抵抗で、寄生インダクタンスはわずかです。これらは写真の中央部に見られ、やや斜めに実装されています。

プリント回路基板の両面に、切れ目のない広いグラウンド・プレーン領域があることにも注意してください。できるだけ最小のインピーダンスと高い周波数でのグラウンドの連続性を確保するため、スルーホールで表側と裏側のグラウンド・プレーン同士を複数のポイントで結合しています。

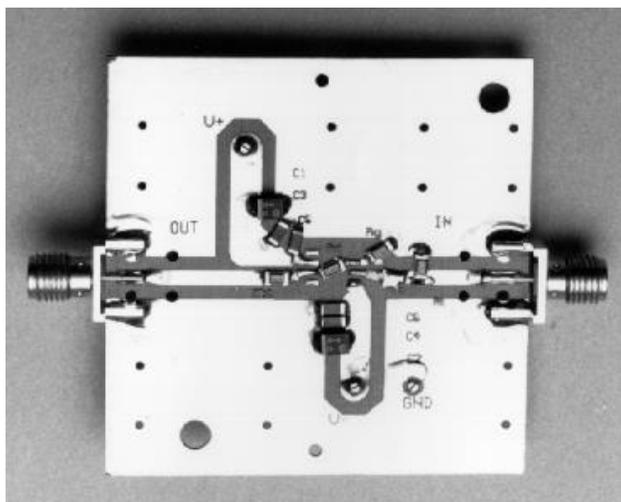


図 13.51: AD8001 は、専用の評価用ボードを必要とする (底面)

また写真のように、ボードへの入力と出力の接続には SMA コネクタが使われており、入力と出力に接続される伝送ラインに整合しています。外部の実験室用電源から基板へは、ハンダ端子を介して接続され、これらの端子は電源ラインの幅の広いパターンの端に置かれているのが見えます。

これらの点は、同じ基板を上面から見るとよくわかります。これを図 13.52 に示します。この AD8001 の評価用ボードは非反転信号増幅段で、最小の寄生容量となるように最適化されています。この写真でわかるように、AD8001 の SOIC パッケージの外周まわりの切り取られた領域により、浮遊容量が最小になります。

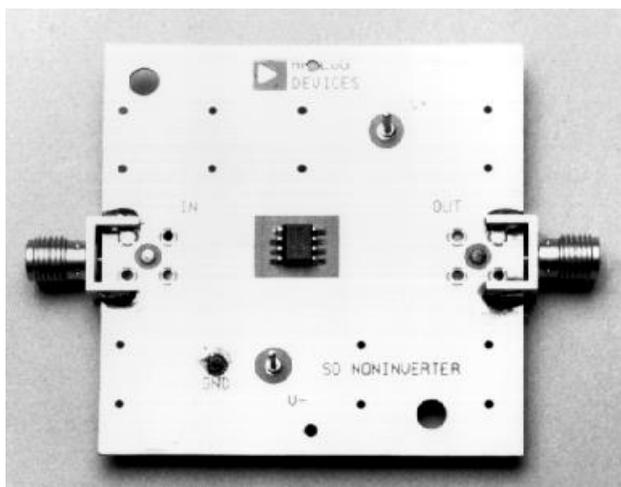


図 13.52: AD8001 評価用ボードの上側

この写真では、実質上切れ目のないグラウンド・プレーンと、表面と裏面のグラウンド・プレーンを結合する複数のビアも見えます。

### データ・コンバータの評価用ボード

メーカーでうまく設計された評価用ボードは、ADC または DAC のシステムへの組み込みを大幅に簡素化できる強力なツールとなります。おそらく評価用ボードの最大の特長は、データ・コンバータの性能を最適化するようにレイアウトが設計されているため、接続されている PC ボードの性能ではなく、コンバータの性能がシステムの性能限界を定めることでしょう。アナログ・デバイセズはほとんどの ADC と DAC のデータシートで、完全な回路図と部品リストのほか、評価用ボードの PC ボード・レイアウトを提供しています。多層基板のそれぞれの層も示されており、さらに必要に応じてアナログ・デバイセズはボードの CAD レイアウト・ファイル（ガーバーフォーマット）を提供します。レイアウトに関連する多くのシステム・レベルの問題は、評価用ボードのレイアウトを調べ、それをシステム・ボード・レイアウトのガイドとして利用するだけで（おそらく必要ならレイアウトの重要な部分を直接コピーして）回避できます。この場合も、評価用ボードの設計を機械的に大きなシステムに組み込むだけでは、満足のいく性能が得られないことがあるので注意が必要です。システムは、個別の部分回路の集りとしてではなく、全体のシステムとして見る必要があります。

ADC と DAC の評価用ボードには通常、外部テスト機器とのインターフェースを容易にするためのアナログとデジタル、それに電源のインターフェース用の入力／出力コネクタが備わっています。電圧リファレンスや、クロック生成用の水晶発振器などの必要なサポート回路は通常、ボードの一部として含まれています。

現代の多くのデータ・コンバータは、ゲイン、オフセット、キャリブレーション、データ転送など、様々な動作モードを制御するためのデジタル・ロジックの多くを内蔵しています。これらのオプションは、適切なワードを内部制御レジスタに（通常はシリアル・ポート経由で）ロードして設定します。一部のコンバータ、特にシグマ・デルタ ( $\Sigma\Delta$ ) 型 ADC では、基本オプションを設定するだけでも、内部制御レジスタとインターフェースについてのかなりの知識が必要になります。このため、ほとんどの ADC/DAC の評価用ボードは、様々な内部オプションを外部 PC からメニューで簡単に制御するためのインターフェース（パラレル、シリアル、または USB）とソフトウェアを備えています。多くの場合、評価用ソフトウェアで作成された設定ファイルは、最終的なシステム設計にダウンロードすることができます。

AD7730 24 ビット・ブリッジ・トランスデューサ用  $\Sigma\Delta$  ADC の評価用ボードを図 13.53 に示します。この ADC は PGA を内蔵し、様々なブリッジ型トランスデューサに直接インターフェースするように設計されています。フルスケール出力が 10mV のロード・セルを ADC 入力に直接接続することができ、パラレル・ポート・インターフェースを介して PC から出力を読み出すことができます。評価用ボード・ソフトウェアにより、設計者は、サンプル・レート、ゲイン、フィルタ帯域幅、さらには有効分解能全体での出力データの平均化の効果を確認することができます。このソフトウェアは、システム・ノイズを直接評価するためのヒストグラムも表示します。

この評価用システムは、実際のボード、相互接続ケーブル、必要な電源、ホスト PC で動作するソフトウェアで構成されています。

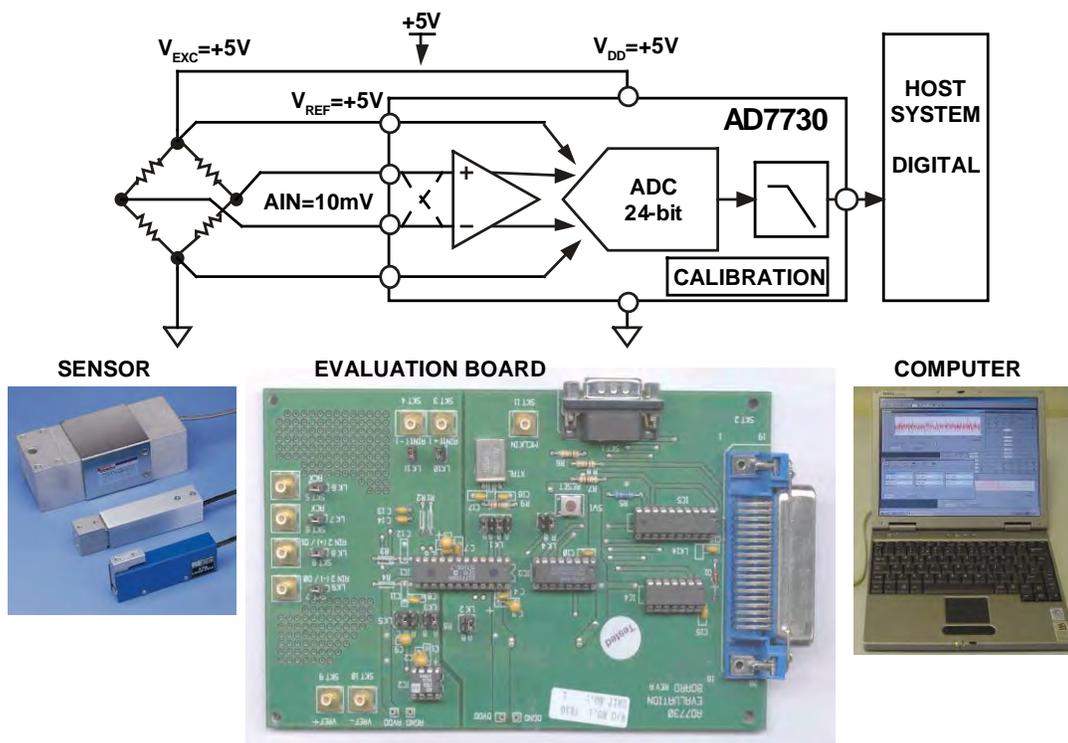


図 13.53: AD7730 計測用 ADC の評価システム

AD5535 32 チャンネル 14 ビット高電圧 DAC の評価用ボードを図 13.54 に示します。評価ボードはパラレル・ポート・コネクタを介して外部 PC とインターフェースします。このボードに同梱されているソフトウェアにより、3 線式シリアル・インタフェースを介してそれぞれの DAC レジスタにデータを簡単にロードすることができます。

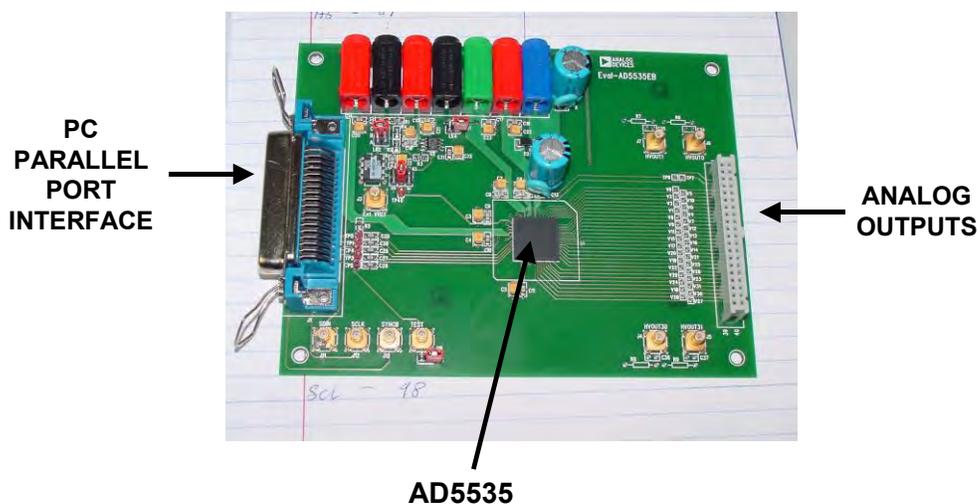


図 13.54: AD5535 32 チャンネル、14 ビット、200 V 出力 DAC の評価用ボード

高速 FIFO 評価用ボード・システム

評価／制御ボードに接続された AD7450 12 ビット 1 MSPS ADC の ADC 評価用ボードを図 13.55 に示します。ADC 評価ボード（図の右側）は製品固有のものですが、評価／制御ボード（図の左側）は様々な ADC 評価用ボードとインターフェースし、16 ビット・バッファ・メモリと、パラレル・ポートを介して PC とインターフェースする制御ロジックを搭載しています。付属するソフトウェアには、ダイナミックな条件下で ADC の評価を可能にする FFT ルーチンが含まれています。評価／制御ボードは、数 MHz までのサンプリング・レートで ADC を動作させることができます。



図 13.55: ADC のための評価／制御ボードと ADC 評価用ボード

様々な高速 ADC 評価用ボードとインターフェースする、アナログ・デバイセズの高速 ADC FIFO 評価キットを図 13.56 に示します。高速 ADC FIFO 評価キットには、最新バージョンの ADC Analyzer と、アナログ・デバイセズの高速 A/D コンバータ（ADC）評価用ボードからデジタル・データのブロックを取り込むためのメモリ・ボードが含まれています。この FIFO ボードは、USB ポート（古いバージョンはパラレル・ポート接続を使用）を介して PC に接続することができ、ADC Analyzer とともに用いて、高速 ADC の性能を迅速に評価することができます。特定のアナログ入力とエンコード・レートに対して FFT を表示することができ、S/N 比（SNR）、SINAD、SFDR、それに高調波の情報を解析することができます。

評価キットのセットアップは簡単です。必要な追加機器には、アナログ・デバイセズの高速 ADC 評価用ボード（評価対象のデバイス・タイプに固有のもの）、電源、信号源、それにクロック・ソースがあります。

キットを接続し、電源を投入するとすぐに、PC上で評価を行えるようになります。

FIFO キットには、次の 2 つのバージョンがあります。HSC-ADC-EVALA-DC は、デジタル出力がデマルチプレクスされるデュアル ADC やコンバータで使用します。HSC-ADC-EVALA-SC は、シングル・チャンネル ADC で使用します。デュアル ADC は通常、例えば、同相変調方式や直交変調方式で受信および復調するシステムで用いられます。

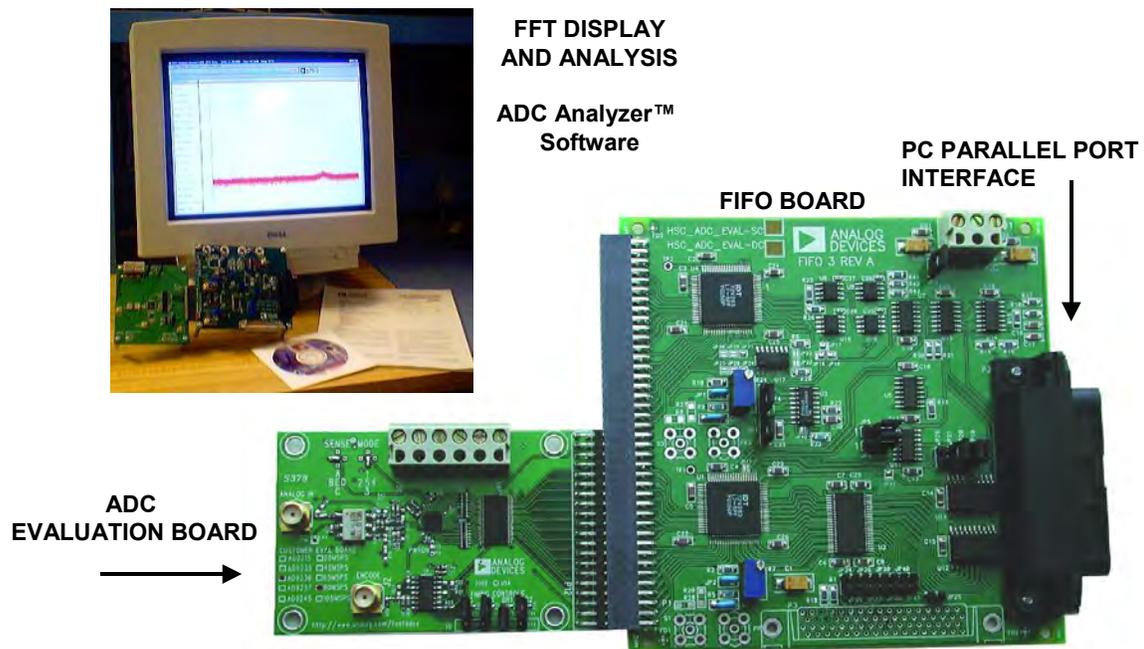


図 13.56: アナログ・デバイセズの高速 ADC FIFO 評価用キット

### FIFO ボードの動作原理

FIFO 評価用ボードはいくつかの回路に分けることができ、それぞれの回路は ADC からデジタル・データを取得するのに重要な役割を果たし、PC がデータをアップロードして処理できるようにします。評価キットはチップ周辺をベースにしています。このシステムは、HSC-ADC-EVALA-SC FIFO 評価キットを用いて、最大 133 MSPS の速度で 32 KB までのデータ・レコード長のデジタル・データを取得することができます。HSC-ADC-EVALA-DC は 2 個の FIFO チップを搭載しており、デュアル ADC や、133 MSPS を超える速度でサンプリングする ADC からのデマルチプレクスされたデータを評価するのに利用できます。ADC Analyzer と通信する USB 2.0 マイクロコントローラは、USB 2.0 (USB 1.1 互換) インターフェースを用いる新型のコンピュータとも容易にインターフェースすることができます。

FIFO チップを一杯にし、データを読み出すプロセスは、いくつかのステップを必要とします。まず、ADC Analyzer は FIFO チップを一杯にするプロセスを開始します。

FIFO チップはマスタ・リセット信号（MRS）でリセットされます。そうすると、USB マイクロコントローラが中断して、USB 発振器をオフするので、ADC 入力にノイズが混入しなくなります。FIFO チップが完全に一杯になると、FIFO チップからフル（full）フラグが USB マイクロコントローラに送られ、USB マイクロコントローラを休止状態から覚醒させます。ADC Analyzer は約 30 ms 経過してから読出しを開始します。

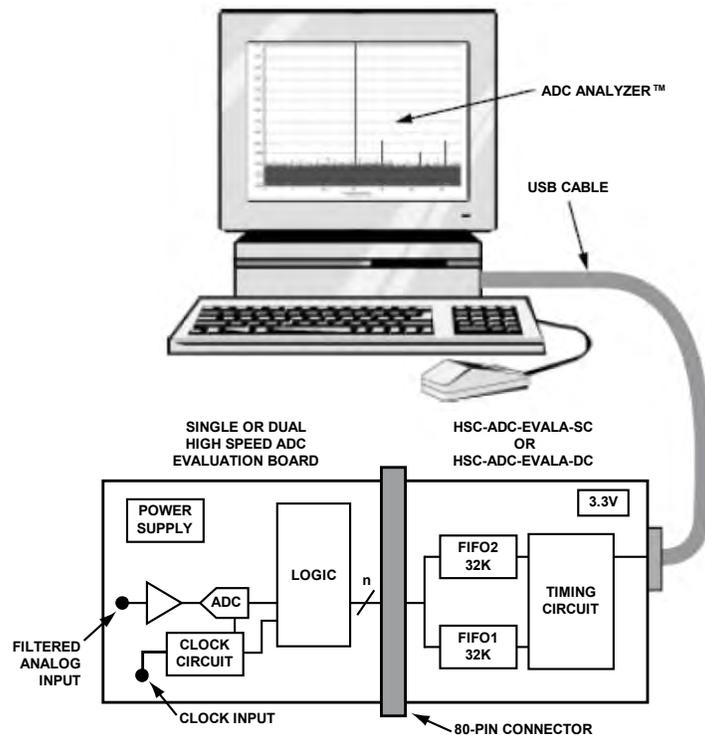


図 13.57: ADC FIFO 評価用ボードの評価キットの簡略化した機能ブロック図

読み出し処理の間、FIFO1 (U201) または FIFO2 (U101) からのデータの取得は信号 OEA と OEB によって制御されます。両方の FIFO チップのデータ出力が同じ 16 ビット・データ・バスを駆動するので、USB マイクロコントローラが OEA と OEB の信号を制御して正しい FIFO チップからデータを読み出します。アプリケーションの観点からは、ADC Analyzer は USB マイクロコントローラにコマンドを送って、適切な FIFO チップからの読み出しを開始するか、または、デュアルモードまたはインターリーブモードでは両方の FIFO チップからの読み出しを開始します。

### クロックの説明

バッファ・メモリのそれぞれのチャンネルは、データを取り込むためにクロック信号を必要とします。これらのクロック信号は通常は ADC 評価用ボードによって供給され、コネクタ J104/204（チャンネル 1 とチャンネル 2 の両方に対応するピン 37）を介してデータと共に送られます。両方のチャンネルに対して 1 つのクロックしか送らない場合は、ジャンパで一緒に接続することができます。

低電圧差動信号 (LVDS) レシーバの出力にジャンパがあるので、LVDS レシーバによって出カクックを反転させることができます。デフォルトでは、クロック出力は LVDS レシーバによって反転されます。

各データ・チャンネルからのシングルエンド・クロック信号は、LVDS レシーバの 2 つのゲートでバッファされ、差動 CMOS 信号に変換されます。これにより、各チャンネルのクロック・ソースを CMOS や TTL、あるいは ECL にすることができます。クロック信号は 0.1  $\mu$ F のコンデンサで AC 結合されます。ポテンショメータで、LVDS ゲートのスレッシュホールドを微調整することができます。スレッシュホールドの微調整が重要なアプリケーションでは、これらのポテンショメータを高抵抗のものに置き換えて調整範囲を拡大することができます。抵抗は、それぞれの差動ゲートへのスタティックな入力を約 1.5 V の DC 電圧に設定します。

アセンブリ時には、ハンダ・ジャンパ J310-J313 はポテンショメータをバイパスするように設定されています。ポテンショメータを用いて微調整するには、ハンダ・ジャンパを取り外す必要があります。

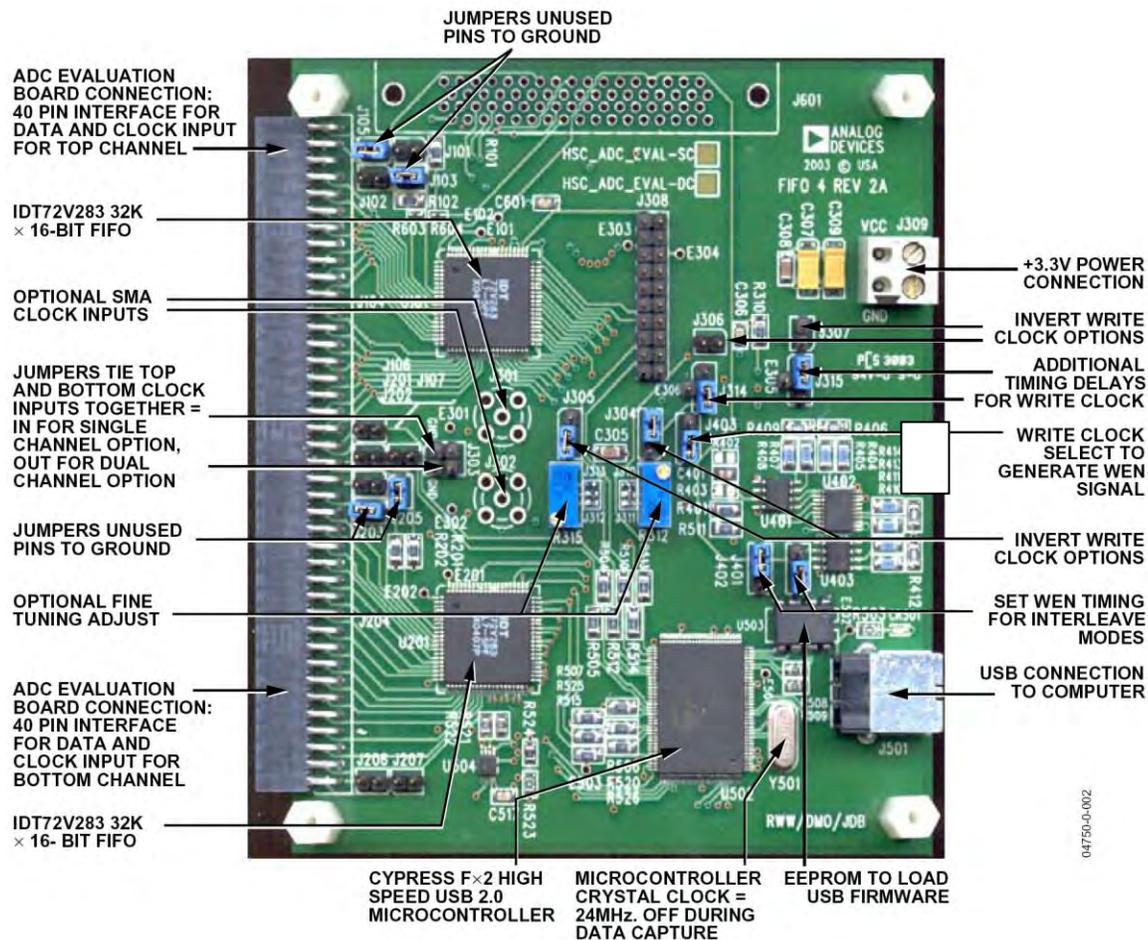


図 13.58: ADC FIFO 評価キット

この設計には XOR ゲート・アレイが含まれているため、ゲート遅延を FIFO メモリ・チップのクロック・パスに追加できます。これらは通常は不要なので、組み立て時にジャンパでバイパスされています。また、ジャンパでクロック信号を XOR ゲートを介して反転させることもできます。デフォルトの設定では、クロックは XOR ゲートで反転されていません。

上述のクロック・パスによって、それぞれの FIFO メモリ・チップの WRT\_CLK1 と WRT\_CLK2 信号が決まります。上記のタイミング・オプションによって、有効なデータを取り込むためのセットアップ時間とホールド時間の要件を満たすクロック信号を選択することができます。

クロック・ジェネレータは、S1 および／または S3 に直接印加することができます。このクロック・ジェネレータは、ADC のクロックを供給しているのと同じユニットでなければなりません。このクロック・パスは AC 結合されているので、正弦波ジェネレータを使用することができます。DC バイアスは調整することができます。J301 と J302 (SMA コネクタ)、それに R301、R302、R305、R306 (バイアス設定抵抗) は工場出荷時には取り付けられていないので、ユーザが取り付けする必要があります。

差動ライン・レシーバは、外部から FIFO 評価用ボードに印加されるクロック信号を方形波にするのに使われます。このクロック・レシーバの出力は、FIFO の書き込みクロックを直接駆動することも、先述の XOR ゲート・タイミング回路を先に通過させることもできます。

### インターリーブ・データによるクロッキング

データ・レートが非常に高い ADC は、単一のバッファ・メモリ・チャンネルの能力 (約 133 MSPS) を超える可能性があります。これらのコンバータはしばしば、データを取込みの必要な速度を下げています。このようなアプリケーションでは、ADC Analyzer は両方のチャンネルのデータをインターリーブして 1 つのチャンネルとして処理する必要があります。最初のサンプルをチャンネル 1 から、2 番目のサンプルをチャンネル 2 から (以下同様) 処理するようにソフトウェアを構成することができます。逆も可能です。バッファ・メモリに含まれる同期化回路は、FIFO メモリ・チップ (ピン 1、U101、および U201) への書込みイネーブル信号 (WENA と WENB) の間に小さな遅延を強制的に入れて、一方の FIFO の方へ、他方の FIFO より先にデータが取り込まれるようにします。ジャンパ J401 と J402 は、どちらの FIFO が WENA を受信し、どちらの FIFO が WENB を受信するかを決めます。

高精度 ADC 用コントローラ

評価ボード・コントローラは、アナログ・デバイセズの高精度コンバータ向けの自律した評価／デモ用システムの主要なコンポーネントです。下に示すブロック図は、評価ボード・コントローラの主要ブロックを示しています。これは完全なユニットで、PC が、高速パラレル・データ・リンクを介して、アナログ・デバイセズが提供する一連の評価用ボードと通信することを可能にします。評価用ボードにコマンドを送信したり、データ・サンプルまたは評価対象デバイスの内蔵レジスタを読み出すことができるソフトウェアが用意されています。

評価ボード・コントローラは、96 ピンのエッジ・コネクタを介して評価用ボードに接続されます。コネクタのピン配置は、評価ボード間で一致した標準フォーマットになっています。

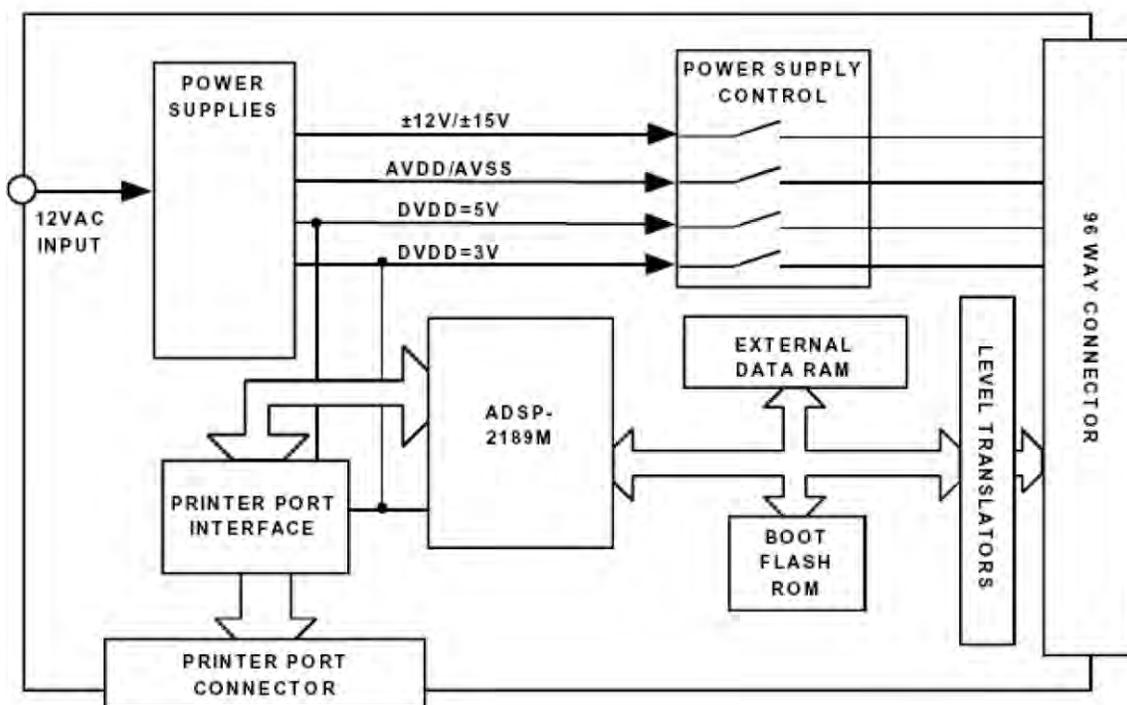


図 13.59: 高精度 ADC コントローラ／評価用ボードの機能ブロック図

このシステムにより、アナログ・デバイセズの高精度コンバータ製品の迅速なデモと評価が可能となり、対象デバイスの直接テスト、独自ソフトウェアの開発に要する時間の短縮、さらには設計プロセスのスピードアップが可能となります。

### ハードウェアの説明

この評価ボード・コントローラは、ADSP-2189M デジタル・シグナル・プロセッサ (DSP) をベースにしています。この DSP は 20MHz の水晶発振器で動作し、オンチップのクロック・ダブラにより 40 MIPS の命令速度が得られます。また、この DSP は 32K ワードのプログラム RAM と 48K ワードのデータ RAM を内蔵しています。データ RAM には 64K ワードの外部データ RAM が増設されています。また、DSP は 2 つのシリアル・ポート (SPORT) を備えており、最大出力シリアル・クロック・レートは 20 MHz です。パラレル・データやアドレス・バスと同様に、SPORT はどちらも 96 ピンのエッジ・コネクタで使用できます。

3 V と 5 V の評価用ボードのどちらでも動作できるように、すべてのロジック信号にはレベル・トランスレータが備わっています。3 V デバイスの場合、(DSP は 3 V から動作するため) レベル変換は不要なので、レベル・トランスレータは閉じたスイッチとして動作します。5 V デバイスの場合、DSP から来るすべてのロジック 1 の信号は 5 V にレベル変換されます。テスト対象のデバイスからの 5 V ロジック信号は、DSP に達する前にトランスレータによって 3 V に変換されます。

### 通信

評価ボード・コントローラを使用すると、多数のサンプルを評価用ボードから収集し、PC にアップロードして解析することができます。評価ボード・コントローラは、PC のプリンタ・ポートをベースにした高速インターフェースを使います。このポートはデータの送受信に使用されるため、双方向で機能しなければなりません。ほとんどの PC (特に Pentium クラス) はこの機能を標準で搭載していますが、PC の BIOS で確認することができます。BIOS の表示方法は使用する PC の種類によって異なりますが、電源投入時に CTRL、ALT、および ENTER キーを押す方法が一般的です。詳細については、使用する PC の操作マニュアルを参照してください。適切なプリンタ・ポートのタイプは、双方向、PS/2、EPP、あるいは ECP として記載されていることがあります。

### 電源

評価ボード・コントローラは、電流供給能力が 1 A の 12 VAC 電源から得られる自己の専用オンボード電源を搭載しています。これらの電源は評価ボード・コントローラ自体の電流供給に使用されるほか、評価ボードに必要な電流も供給し、アナログ・デバイセズから入手できます。これらの電源はエッジ・コネクタを介して評価用ボードに接続され、付属のソフトウェアによって完全に制御することができます。評価ボード・コントローラは  $\pm 3$  V または  $\pm 5$  V のアナログ電源と +3 V または +5 V のデジタル電源を供給できます。また、オペアンプなどの電源用には  $\pm 12$  V /  $\pm 15$  V 電源もあります。電源の値はジャンパ LK1 と LK2 で選択されます。

### 出力コネクタ

96 ピンのエッジ・コネクタは、このシステムと互換性のある、アナログ・デバイセズの一連の評価ボードを動作させるのに必要なすべての電源、シリアル・ポート、およびデータ/アドレス・バスへの接続に使用します。

## ソフトウェア

評価ボード・コントローラには、以前リリースされた評価ボード用のソフトウェアを含む CD が付属しています。したがって、以前のバージョンのコントローラ（Eval Control Board）と互換性のある評価ボードがあれば、この評価ボード・コントローラも使用することができます。

新しい評価ボード・キットを購入すると、それにはその評価ボードを動作させるのに必要なすべてのソフトウェアが同梱されています。最新の評価ソフトウェアは、アナログ・デバイセズの Web サイト（[www.analog.com](http://www.analog.com)）からいつでも入手できます。評価ボードに同梱されているドキュメントには、ソフトウェアのインストールに関する情報と、評価ボードの詳細な説明、それに対象となるデバイスのデータシートも含まれています。

評価ボード・コントローラと評価ボード用のすべてのソフトウェアは CD ROM で提供されます。CD を PC に挿入すると、インストール・プログラムが自動的に開始します。このプログラムは評価用ソフトウェアをユーザのマシンにインストールするとともに、評価用ボードのテクニカル・ノートと対象デバイスのデータシートもインストールします。CD に収録されているすべての資料は Adobe PDF（Portable Document Format）形式なので、表示または印刷するには Acrobat Reader が必要です。

### プロトタイプ製作

回路設計に使うデバイス用の評価ボードが存在しないことがあります。そうした場合にはブレッドボードが必要になります。

ブレッドボード (breadboard) とプロトタイプ (prototype) の構造は基本的に、電子回路や電子システムの性能をテストするために設計された「一時的なもの」です。したがって、本来簡単に修正可能なものでなくてはなりません。

多くのプロトタイプ製作用のシステムが市販されていますが、アナログ回路設計者にとっては残念なことに、それらのほとんどがデジタル回路のプロトタイプ用に設計されています。そのような環境では、ノイズ耐性は数百 mV 以上です。プロトタイプの製作には一般に、銅箔の張られていないマトリクス基板、「ベクターボード (Vectorboard)」、ワイヤ・ラッピングやプラグイン・ブレッドボード・システムが使われます。要するに、これらはすべて寄生抵抗、寄生インダクタンス、寄生キャパシタンスが非常に大きいので、高性能回路や高周波回路のアナログ・プロトタイプの製作には適していません。標準的な IC ソケットの使用さえ、プロトタイプの多くの用途でお勧めできません (詳細は後述)。

プロトタイプ製作の方法を選択するときには考慮すべきことの 1 つは、広い面積のグラウンド・プレーン (ベタアース) の必要性の有無です。これは高周波回路や、低速であっても高精度な回路では必要で、A/D コンバータ (ADC) や D/A コンバータ (DAC) を使用している回路のプロトタイプでは特にそうです。高速のミックスド・シグナル回路と高精度のミックスド・シグナル回路を区別するのは困難です。例えば、16 ビット以上の ADC や DAC は、コンバータの有効スループット・レートが 100 ksps 以下である場合でも、高速クロック (10 MHz 以上) で動作して、その立上り/立下り時間が数 ns 以下となる場合があります。このような回路のプロトタイプ製作を成功させるためには、高速回路と高精度回路の両方のテクニックを駆使して、厳重に注意を払う必要があります。

### デッドバグによるプロトタイプ

簡単なアナログ・プロトタイプ製作のテクニックでは、銅張り基板をグラウンド・プレーンとして用います。この方法では、IC のグラウンド・ピンは直接グラウンド・プレーンにハンダ付けされ、その他の部品はその上で一緒に配線されます。これによって、高周波のデカップリング経路を非常に短くすることができます。すべてのリード線の長さはできるだけ短くし、高レベル信号と低レベル信号を離して配線します。配線は基板の表面にできるだけ近づけて、浮遊インダクタンスによる結合の可能性を最小にします。多くの場合、平行に走る配線は、結合する危険性があるので、一緒に束ねてはなりません。理想的には、少なくとも基板上の部品の相対的な配置レイアウトを、最終の PCB で目標とするレイアウトに近づけます。この方法によるプロトタイプ製作はデッドバグ (deadbug) と呼ばれることがよくあります。この方法では、IC は上下を逆に実装し、ピンが空間に向かって突き出ます (グラウンド・ピンは例外で、折り曲げてグラウンド・プレーンに直接ハンダ付けされる)。上下が逆になった IC は死んだ昆虫に似ているため、このように呼ばれます。

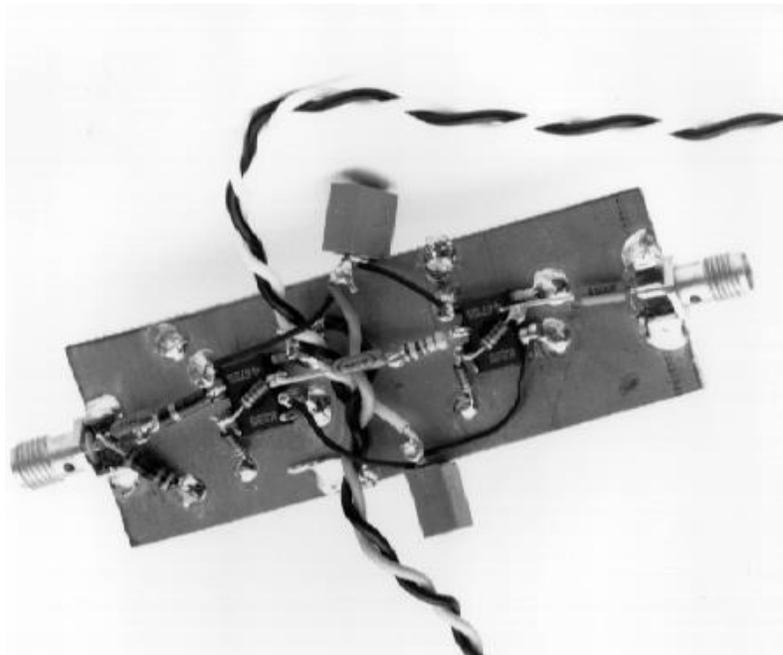


図 13.60: 「デッドバグ」によるアナログ・ブレッドボード

図 13.60 は、手配線で製作した「デッドバグ」手法によるアナログ・ブレッドボードの外観です。この回路には 2 つの高速オペアンプが用いられており、見かけは美しいとはいえないにもかかわらず、実際には優れた性能を示します。銅張り基板の上に、上下を逆にしたオペアンプ IC を実装しており、ピンは折り曲げられています。信号はポイントからポイントへの短い配線で接続されています。このグラウンド・プレーン上を走る配線の特性インピーダンスはおおよそ  $120\ \Omega$  ですが、基板表面からの距離に依存して  $\pm 40\%$  くらい変動する可能性があります。デカップリング・コンデンサは、オペアンプの電源端子から銅張り基板のグラウンド・プレーンに直接ハンダ付けされています。数百 MHz で動作させる回路の場合、基板の片面だけをグラウンドにするというのは良いアイデアです。ときに、基板にドリルで孔をあけて短い配線材で両面をハンダ付けして接続しているのを見かけることがあります。しかし適切な注意を怠ると、この方法は基板の両面間に（特に RF 周波数では）予期しないグラウンド・ループを形成することがあります。

銅張り基板材の切れ端を、基板上のメインのグラウンド・プレーンに対して直角にハンダ付けしてシールド板を作ることができます。あるいは基板自体をシールド板として（スルーホール接続を使って）回路を基板の両面に形成することができます。この場合、基板の四隅にスタンドオフを取り付けて、下側に配置した部品が損傷しないように保護することが必要です。

この種のブレッドボードでは、部品どうしはポイントからポイントへと空中で配線されます（このタイプの構造は Bob Pease 氏により強く推奨されており「鳥の巣」構造として知られています）。この構造は、回路が押しつぶされてショートする危険性が常にあります。また、回路がグラウンド面から大きく離れていると、グラウンド面によるシールド効果は低下し、回路の異なる部分間の相互作用が発生しやすくなります。それでもなお、この手法は非常に実践的で、回路の修正が簡単なので、広く採用されています。ただし、十分なハンダ付けの技法を習得している作業者が修正作業を行うことを前提としています。

ブレッドボードの別のバリエーションを図 13.61 に示します。この場合、片面の銅張り基板材に予め 0.1 inch (2.54 mm) ピッチで孔が開けられています。電源バスが基板の上と下に配置されています。デカップリング・コンデンサは、各 IC の電源ピンに取り付けられています。予め開けられた孔による銅箔面積の減少のため、この方法では図 13.60 に示した全面が銅で覆われた基板ほど低いグラウンド・インピーダンスは得られませんので、事前に十分考慮する必要があります。

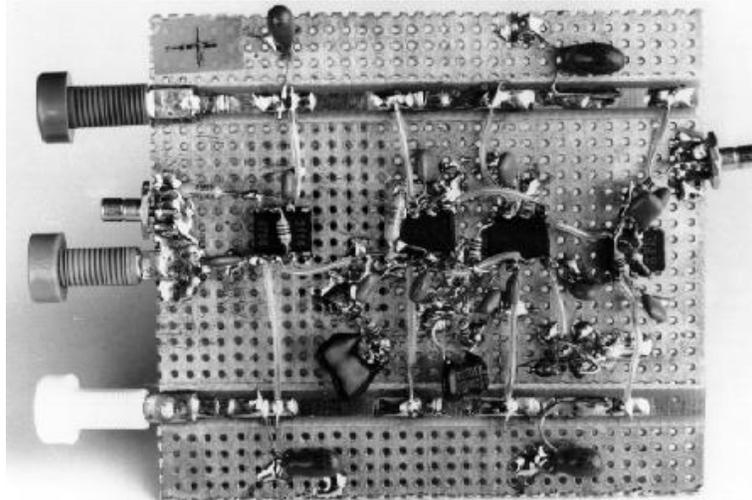


図 13.61: 予め 0.1 インチで孔を開けた銅張り片面プリント基板材を使った「デッドバグ」プロトタイプ

この手法のバリエーションとして、IC とその他の部品を基板の銅を張っていない面に実装します。孔はビアとして使い、ポイントからポイントへの配線は基板の銅が張られた側で行います。ビアに使われるそれぞれの孔の周囲の銅は、短絡を防ぐためにドリルで剥ぎ取っておく必要があります。この方法を使うには、すべての IC ピンが 0.1 inch ピッチでなければなりません。低周波回路では高さの低いソケットを使うことができます。ソケットのピンを使うと、ポイントからポイントへの配線がし易くなります。

この方法でプロトタイプを製作する際の明らかな問題は、表面実装部品で行うことがはるかに難しいことです。

#### ハンダ付け実装によるプロトタイプの制作

上記の手法の利点（堅牢なグラウンド、シールド板、回路の変更が簡単、浮遊容量と寄生インダクタンスが小さい）のほとんどを備えたブレッドボード・システムが市販されています。さらに、剛性に優れ、部品はグラウンド・プレーンに近く、必要があればノードの容量とラインのインピーダンスが簡単に計算できるという利点があります。このシステムは Wainwright Instruments 社で作られており、ヨーロッパでは「ミニ・マウント (Mini-Mount)」、米国では「ソルダー・マウント (Solder-Mount)」(ミニ・マウントという名称は他の会社により商標が登録されているため) として入手可能です。

「ソルダー・マウント」は、片面にはパターンがエッチングされ、他の面には取り付け用接着剤が塗布されている、複数の小さいプリント回路基板で構成されます。これらの基板をグラウンド・プレーンに貼り付け、部品を基板の上にハンダ付けします。パターンは多くの種類が用意されており、8 ピンの SOIC から 64 ピンの DIL までのすべてのサイズの IC パッケージのレディ・メイドのパッド、特定ピッチのハンダ・パッドを持つストリップ（0.04 ~ 0.25 inch のピッチ、DIL パッケージのデバイスが実装できるように 0.1 inch のパッド間隔を含む）、グラウンド・プレーンに実装されたときにマイクロストリップ伝送ライン（50 Ω、60 Ω、75 Ω、100 Ω）を形成する正確な幅の導体を持つストリップ、その他の部品を実装可能な多種のパッドが含まれています。自己接着型の錫-銅ストリップと方形パッド（LO-PADS）も、接続結線点に使うことができます。それらはグラウンドに対して比較的高い容量を持つため、低いインダクタンスのデカップリング・コンデンサとして働きます。シートの形状で提供されるので、はさみやナイフで簡単に切断することができます。

「鳥の巣」や「デッドバグ」と比較した「ソルダー・マウント」構造の主な利点は、回路の剛性がはるかに高くなること、また必要であれば、はるかに小さくできることです。最新の「ソルダー・マウント」は表面実装デバイス用であり、ブレッドボードのサイズは最終プリント回路基板と比較して大差ないところまで小さくできますが、プロトタイプは幾分、大きく作るほうが通常、便利です。「ソルダー・マウント」は十分耐久性があるので、プロトタイプ製作に限らず、少量生産に使うことができます。

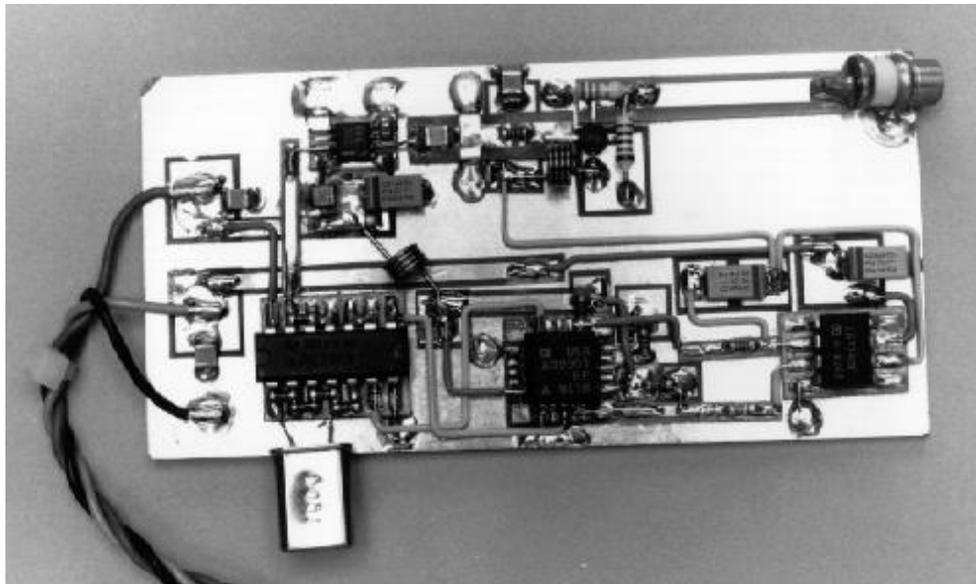


図 13.62: 「ソルダー・マウント」を使ったプロトタイプ基板

図 13.62 は、2.5 GHz 用 PLL のプロトタイプ基板の例（「ソルダー・マウント」使用）を示しています。この例は高速動作回路ですが、この方法は高分解能の低周波アナログ回路の製作にも同様に適しています。

VHF 帯での「ソルダー・マウント」の特に便利な特長は、伝送ラインを比較的簡単に形成できることです。先に述べたように、導体がグラウンド・プレーンの上を通過する場合は、マイクロストリップ伝送ラインを形成します。「ソルダー・マウント」の部品には、グラウンド・プレーン上に配置されるとマイクロストリップ・ラインとなるストリップが含まれています（50 Ω、60 Ω、75 Ω、100 Ω のインピーダンスのものが用意されています）。これらのストリップは、インピーダンス・マッチングのための伝送ラインとして使うことが可能で、より簡単な例として電源バスとして使うこともできます。ガラス・エポキシ基板は、VHF 帯や UHF 帯ではある程度損失が大きくなりますが、マイクロストリップの配線が短い場合、これらの損失はおそらく許容できるでしょう。

### ミリングされたプリント回路基板によるプロトタイプの製作

「デッドバグ」、「ソルダー・マウント」のどちらのプロトタイプにしても、複雑なアナログ回路を作る場合は非常に手間のかかる作業になってしまいます。大きな回路ほど、より正式なレイアウト手法を用いてプロトタイプを作るほうが望ましいと言えます。

以下に示すように、従来のプリント回路基板の製造工程から 1 つのステップを取り除いただけのプロトタイプ制作の手法があります。これは、通常の CAD 技術を使って、両面基板に実際にレイアウトするものです。パソコンをベースとしたレイアウト・ソフトウェア・パッケージは、レイアウトのし易さに加え、接続の検証のための回路図キャプチャ機能を提供します。多くのレイアウト・ソフトウェアはある程度の自動配線機能を持っていますが、この機能はデジタル回路設計用に限定したほうが良いでしょう。アナログ回路の部品配置と配線は、この章で説明されているルールに従って手作業で行うべきです。基板のレイアウトが完成した後に、このソフトウェアが、回路図のネット・リストに従って接続を検証します。

多くの設計者は、簡単な基板のレイアウト設計に CAD が使えると考えています。設計結果は、パターン生成テープ（ガーバー・ファイル）となり、通常これはプリント回路基板メーカーに送られて最終のプリント基板が製造されます。

プリント回路基板メーカーに発注する以外に、パターン生成テープをそのまま使える自動ドリル機／ミリング機を使う方法があります。このプロトタイプ回路基板（Milled PCB）の例を図 13.63 に示します（部品面）。

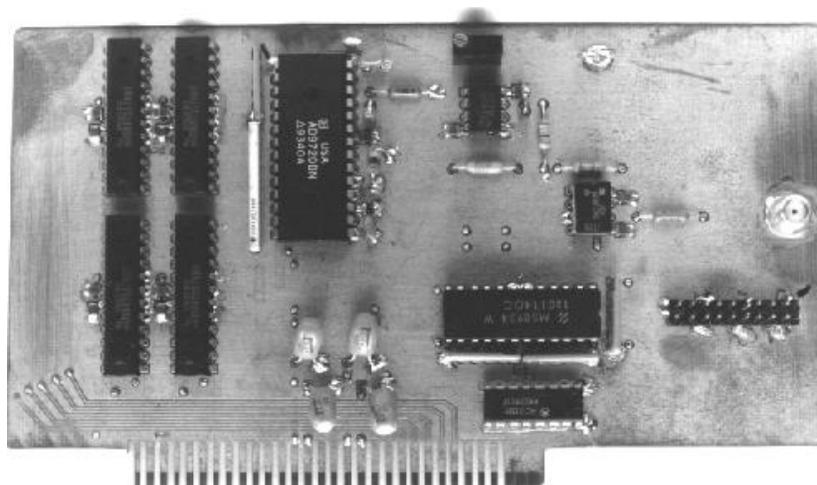


図 13.63: ミリングによって回路パターンを形成したプロトタイプ基板（部品面）

これらのシステムでは、ドリルですべての孔を開け、ミリングで銅箔を除去して必要な絶縁部分を作り、最後にプロタイプ回路基板を完成させて、片面回路基板や両面回路基板を直接作り出します。結果として、最終的に製造する両面回路基板と機能的にほぼ同等のプリント回路基板を作ることができます。

しかしながら、この方法ではメッキ・スルーホールを使うことができないことに注意が必要です。そのため、基板の2つの層を結合するビアが必要ならば、基板の両面を手作業で配線しハンダ付けしなければなりません。

最小パターン幅は25 mil (1 mil は 0.001 inch) で、標準のパターン間隔は12 mil ですが、注意を払えば、より狭いパターン幅も実現可能です。最小のパターン間隔は使用する切削ビットのサイズによって支配されますが、通常は10 ~ 12 mil です。

図 13.63 に示したミリングされたプロトタイプ回路基板のハンダ面を図 13.64 に示します。銅パターンが表面に露出しているので、パターンを（電氣的に）調べて、（直接）修正をすることができます。

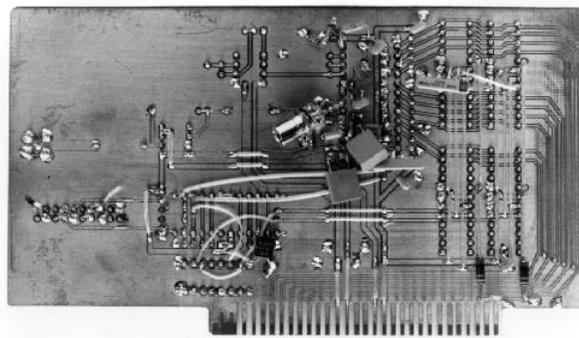


図 13.64: ミリングによって回路パターンを形成したプロトタイプ回路基板（ハンダ面）

ミリングによるプロトタイプ回路基板の唯一かつ最大の利点は、最終的なプリント回路基板の形状に最も近づくことです。ただし、この方式本来の制約により、基本的に片面または両面の基板に限定されます。

#### ソケットの使用には注意が必要

IC ソケットを使うと、高速／高精度アナログ IC の性能を低下させてしまうおそれがあります。IC ソケットはプロトタイプを簡単に製作するためには便利ですが、高さの低いソケットでも、高速回路の性能を低下させるほどの大きな寄生容量と寄生インダクタンスをよく生じます。ソケットを使用しなければならない場合には、図 13.65 に示すような、グラウンド・プレーンを備えた基板上に実装した複数の個別ピン・ソケットで構成されるソケット（“Cage Jacks” と呼ばれることもある）は使える可能性があります。

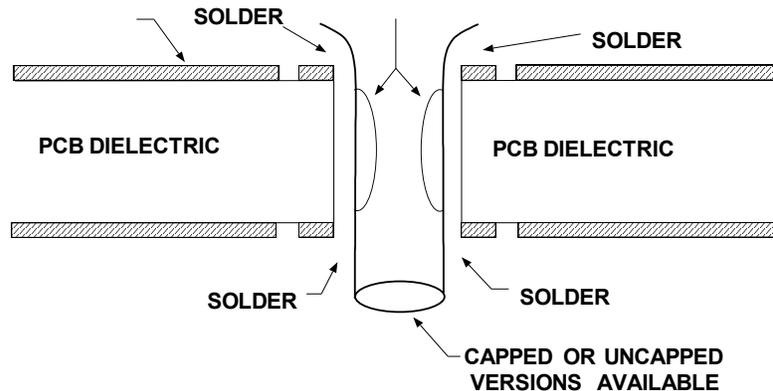


図 13.65: 必要な場合は寄生要素による影響を最小にするためにピン・ソケットを使用する

この方法を使うには、接地しない各ピン・ソケットの周囲約 0.5 mm の銅箔（基板の両面）を除去し、接地するソケット・ピンは、基板の両面でグラウンドにハンダ付けします。

ピン・ソケットは、キャップがあるものとキャップがないものが入手可能です（それぞれ AMP 社の部品番号 5-330808-3 と 5-330808-6）。ピン・ソケットは、ポイントからポイントへの結線が確実にできるように、基板から十分に突き出るように差し込みます。

ピン・ソケットの内部はスプリングで負荷のかかった金めっき接点なので、IC ピンは電氣的／機械的に十分接触します。とはいえ、何度も挿入するとピン・ソケットの性能が低下することがあるので配慮が必要です。

キャップなしのものは、ソケットの底から IC ピンが突き出るので、これを積極的に利用すると便利です。つまり、ピン・ソケットを使ったプロトタイプがうまく動作して、それ以上の変更が必要ない場合、IC ピンをソケットの底部に直接ハンダ付けすることができます。これで、堅牢で永久的な接続にできます。

### プロトタイプ製作のその他のポイント

ここまで説明してきたプロトタイプ製作の手法は、片面基板または両面基板のものに限られていました。多層プリント回路基板には、標準的なプロトタイプ製作のテクニックを簡単には応用できません。もし多層基板のプロトタイプ製作が必要な場合は、両面基板の片側をグラウンドに使うことができ、他の側を電源と信号に使うことができます。追加の配線にはポイントからポイントへの配線を使うことができ、それらは通常は、多層基板で与えられる別の層に配置することができます。ただし、ポイントからポイントへの配線のインピーダンスを制御することは難しく、この手法で作ったプロトタイプ回路の高周波性能は、最終の多層基板の回路性能と大幅に異なることがあります。

帯域幅が数百 MHz を越えるオペアンプやその他のリニア・デバイスでは、プロトタイプ製作の他の難しさが生じることがあります。プロトタイプ基板と最終基板の間の小さな寄生容量の変化（1 pF 以下）が、帯域やセトリング・タイムの微妙な違いを生じることがあります。

時には、プロトタイプ製作は DIP パッケージで行い、最終の製造用基板では SOIC パッケージを使うということがあります。しかし、これはお勧めできません。高い周波数ではパッケージに関連した寄生素子の微小な差異が、プロトタイプと最終プリント回路基板との間で性能に差異を生じさせることがあるからです。この影響を減らすために、プロトタイプには最終的に用いるパッケージを必ず使うようにしてください。一例として AD8001 オペアンプの場合の、異なるパッケージごとの推奨部品と帯域幅の違いを図 13.66 に示します。

Component	AD8001AN (PDIP) Gain					AD8001AR (SOIC) Gain					AD8001ART (SOT-23-5) Gain				
	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100	-1	+1	+2	+10	+100
$R_i$ ( $\Omega$ )	649	1050	750	470	1000	604	953	681	470	1000	845	1000	768	470	1000
$R_o$ ( $\Omega$ )	649		750	51	10	604		681	51	10	845		768	51	10
$R_o$ (Nominal) ( $\Omega$ )	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9	49.9
$R_s$ ( $\Omega$ )	0					0					0				
$R_i$ (Nominal) ( $\Omega$ )	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9	54.9	49.9	49.9	49.9	49.9
Small Signal BW (MHz)	340	880	460	260	20	370	710	440	260	20	240	795	380	260	20
0.1 db Flatness (MHz)	105	70	105			130	100	120			110	300	145		

図 13.66: AD8001 オペアンプのパッケージによって異なる推奨部品とその値

### 全体のプロトタイプ・ボード

多くの場合、様々な部分回路を確認した後は、設計全体のプロトタイプ・ボードが次のステップになります。デジタルの分野ではシミュレーションからプリント回路基板へ直接移行するのに何らかのサポートがありますが、高周波または高精度のアナログ回路では適切な方法が全く存在しません。

接地の仕方や寄生要素の結合などは、実際にはプロトタイプ・ボードでしか検証することができません。多くの場合、設計から最大限の性能を引き出すには、何回か検証する必要があります。

もう 1 つのポイントについても留意しておく必要があります。初回生産のためにとにかく別のロットを作ろうとしているのであれば、ボードに「小さな修正」を施すという誘惑には抵抗すべきです。簡単に言えば、何かを変えると、別の何かを変えてしまうということです。先の例でいえば、何かを行うと、あるプロトタイプが別のプロトタイプに変わってしまうということです。変更の内容によっては、あまり顕在化しないかもしれませんが、問題であることに変わりありません。

Summary (要約)

本節でこれまでに説明したプロトタイピング手法は DIP パッケージの IC には非常に役立ちます。最終的な基板レイアウトに着手する前に、少なくともクリティカルなアナログ回路のプロトタイプは製作するだけの価値が十分あります。しかし、最新の高性能 ADC や DAC は小型の表面実装パッケージで提供されることが多く、簡単なプロトタイピング手法には適していません。システムとしては多層プリント回路基板が必要になり、プロトタイプ製作のプロセスが煩雑になります。

多くの場合、高性能なアナログ・システムにおける唯一の有効なプロトタイプは、特に最終設計で多層が必要となる場合は、実際のプリント回路基板のレイアウトです。評価用ボードは初期の評価段階で役立つだけでなく、そのレイアウトを実際のシステム・ボードのレイアウトのガイドとして使うこともできます。

したがって、高性能なデータ・コンバータをシステムにうまく一体化するには、メーカーからの優れたサポートのみならず、ユーザでの細部にわたる細心の注意も必要になります。

参考資料:

ブレッドボードとプロトタイプの製作

1. Jim Williams, "High Speed Amplifier Techniques," Linear Technology AN-47, August, 1991.
2. Robert A. Pease, **Troubleshooting Analog Circuits**, Butterworth-Heinemann, 1991, ISBN 0-7506-9184-0.
3. Vector Electronic Company, 12460 Gladstone Ave., Sylmar, CA 91342, Tel. 818-365-9661.
4. Wainwright Instruments Inc., 69 Madison Ave., Telford, PA, 18969-1829, (215) 723-4333, <http://www.rdi-wainwright.com/>
5. Wainwright Instruments GmbH, Widdersberger Strasse 14, DW-8138 Andechs-Frieding, Germany. +49-8152-3162.
6. PADS Software, Advanced CAM Technologies, Inc., 16450 Los Gatos Blvd., Suite 110, Los Gatos, CA 95032, <http://www.ecam.com/>
7. ACCEL Technologies, Inc., 17140 Bernardo Center Drive, Suite 100, San Diego, CA 92128, <http://www.acceltech.com/>
8. LPKF Laser & Electronics, 28220 SW Boberg Rd., Wilsonville, OR 97020, 800-345-LPKF or (503) 454-4200, <http://www.lpkfcadcam.com>
9. T-Tech, Inc., 5591-B New Peachtree Road, Atlanta, GA, 30341, 800 370-1530 or (770) 455-0676, <http://www.T-Tech.com>
10. Adolfo Garcia, "Evaluation Boards for Single, Dual and Quad Operational Amplifiers," **Analog Devices AN398**, January 1996.

