

第 12 章: プリント回路基板 (PCB) の設計上の課題

はじめに	12.1
12.1: 分割	12.3
12.2: パターン	12.5
導体の抵抗	12.5
信号線の電圧降下—ケルビン帰還	12.7
信号のリターン電流	12.7
グラウンド・ノイズとグラウンド・ループ	12.9
グラウンドの絶縁技術	12.11
静的な PCB 効果	12.15
MINI-DIP と SOIC のオペアンプを使った PCB ガードのレイアウト例	12.17
動的な PCB 効果	12.19
インダクタンス	12.21
浮遊インダクタンス	12.21
相互インダクタンス	12.22
インダクタの寄生効果	12.24
Q 値 (「品質係数」)	12.25
何も見逃さない	12.26
浮遊容量	12.27
容量性ノイズとファラデー・シールド	12.28
ロジック・ノイズに対する ADC のバッファリング	12.29
ノイズ・ピックアップの影響を受けやすい、回路の高インピーダンス	12.30
表皮効果	12.33
伝送ライン	12.35
PCB の慎重な設計	12.36
インピーダンスを制御したパターンの PCB での設計	12.36
PCB のマイクロストリップ伝送ライン	12.38
マイクロストリップに関するガイドライン	12.39
PCB の対称ストリップラインの伝送ライン	12.40
埋め込みパターンの長所と短所	12.42
高速ロジックへの対応	12.43
低電圧差動信号方式 (LVDS)	12.49
参考資料	12.51

<b>12.3: グラウンディング</b>	12.53
スター・グラウンド	12.54
アナログ・グラウンドとデジタル・グラウンドの分離	12.55
グラウンド・プレーン	12.56
低デジタル電流のミックスド・シグナル IC のグラウンディングとデカップリング	12.60
ADC のデジタル出力の慎重な取り扱い	12.62
サンプリング・クロックに関する検討事項	12.64
ミックスド・シグナルのグラウンディングに関する混乱の原因	12.66
まとめ: 低デジタル電流のミックスド・シグナル・デバイスのマルチカード・システムへのグラウンディング	12.67
まとめ: マルチカード・システムにおける高デジタル電流のミックスド・シグナル・デバイスのグラウンディング	12.68
内部フェーズ・ロック・ループを備えた DSP のグラウンディング	12.69
グラウンディングのまとめ	12.70
高周波動作用のグラウンディング	12.70
グラウンド・プレーンの切れ目に注意	12.73
参考資料	12.75
<b>12.4: デカップリング</b>	12.77
高周波の局所的なバイパス／デカップリング	12.77
リングング	12.80
参考資料	12.82
<b>12.5: 熱管理</b>	12.83
熱の基本事項	12.83
ヒート・シンキング	12.85
データ・コンバータの熱に関する検討事項	12.90
参考資料	12.96

## 第 12 章: プリント回路基板（PCB）の設計上の課題

### はじめに

プリント回路基板（PCB）は、今日の電子回路を作成する最も一般的な方法です。PCB は、1 つ以上の絶縁層と、信号パターン、電源、グラウンドを含む 1 つ以上の銅層のサンドイッチ構造をとり、そのレイアウト設計は電子回路設計並みの厳しい要求を満たす必要があります。

最新のシステムは、最大 8 層（ときにそれ以上）の多層ボードから成ります。従来、部品は基板の上面にある、すべての層を貫通する穴に装着されていました。これをスルー・ホール部品と言います。最近では表面実装部品を採用するのがごく一般的なため、上面と底面の両方に部品が実装されたものがよく見られます。

PCB の設計は、最終システムの全体的な性能にとって回路設計と同じくらい重要と言えます。この章では、回路の分割と、相互接続パターンの問題、寄生部品、グラウンディング方法、デカップリングについて説明します。これらはすべて、全体の設計を成功させるうえで不可欠なものです。

高精度回路の性能低下を招く PCB 効果としては、リーク抵抗、パターン・ホールでの IR 電圧降下、ビア、グラウンド・プレーン、浮遊容量の影響、誘電吸収（DA）などがあります。さらに、PCB には大気中の水分を吸収する傾向（吸湿性）があることから、寄生効果が及ぼす影響も湿度の変化に応じて日々異なることがよくあります。

一般に PCB 効果は、特に高周波数において、回路のスタティック（DC）動作に最も大きく影響するものと、回路のダイナミック（AC）動作に最も大きく影響するものという 2 つの大きなカテゴリに分けられます。

PCB 設計の領域でもう 1 つ非常に大きいのは、グラウンディングの問題です。グラウンディングは、本質的にすべてのアナログ設計とミックスド・シグナル設計にとっての問題点です。単に PCB ベースの回路を実装しただけでは、適切な技術が必要なことに変わりありません。幸い PCB 環境では、本来、高品質なグラウンディングを行う（つまり、グラウンド・プレーンを使用する）のが原則です。これは PCB ベースのアナログ設計の大きな利点となるため、ここでは主にこの点を中心に説明します。

グラウンディングで他に管理すべき点としては、性能低下を生じ得るスプリアス・グラウンド電圧や信号帰還電圧などがあります。これらの電圧は、外部信号のカップリング、コモン電流、または単にグラウンド導体の過度の IR 電圧降下に起因する可能性があります。こうした寄生電圧は、差動信号の処理技術とグラウンドの絶縁技術に加え、導体の適切な配線とサイジングによって制御することができます。

グラウンディングに関して最後に説明するのは、ミックスド・シグナル、アナログ／デジタル環境に適したグラウンディングです。実際、高品質グラウンディングという 1 つの課題は、高性能ミックスド・シグナルの PCB 設計のレイアウト方針全体に影響を与えるもので、そうあるべきでしょう。

## 12.1: 分割

高周波数や高精度で機能し、アナログ信号とデジタル信号の両方を扱うサブシステムや回路のレイアウトでは、これらの信号を極力物理的に分離してクロストークを防止したいと考えます。ただ、通常これを実行するのは困難です。

システムのレイアウトに注意を払って異なる信号同士の干渉を防ぐことで、クロストークは最小限に抑えられます。ハイ・レベルのアナログ信号は、ロー・レベルのアナログ信号から分離し、いずれもデジタル信号から切り離します。TTL や CMOS のデジタル信号はエッジ・レートが高速なので、周波数成分がシステム・クロックを始点として上昇することになります。また、ほとんどのロジック・ファミリーは飽和ロジックのため、電流が不均等に流れて（過渡電流が大きくなり）グラウンドの変調を引き起こすことがあります。この他、波形サンプリング・システムと再構成システムでは、サンプリング・クロック（デジタル信号）があらゆるアナログ信号と同様にノイズに対して脆弱であることが確認されています。サンプリング・クロックのノイズは位相ジッタとして現れ、前のセクションでわかったように、それがサンプリングされた信号の S/N 比の低下に直接つながります。クロック・ドライバのパッケージをクロック分配に使用する場合は、1 つのパッケージを通過する周波数クロックを 1 つだけにします。同じパッケージ内の周波数の異なるクロック間でドライバを共有すると、過度のジッタとクロストークが発生して性能が低下します。

グラウンド・プレーンは、敏感な信号が交差する場所でシールドとして機能することができます。図 12.1 に、データ・アキュイジション・ボードの適切なレイアウトを示します。このレイアウトでは、すべての敏感な部分を互いに分離し、信号パスをできるだけ短くしています。現実には、これほど単純なことは稀ですが、これが常に有効な原則です。

信号や電源を接続する際に考慮すべき重要なポイントはいくつかあります。まず、システムにおいて、コネクタはすべての信号導線を平行に配置する必要のある数少ない場所の 1 つです。したがって、導線間のカップリングを減らすために、グラウンド・ピンを使ってそれらを分離する（ファラデー・シールドを形成する）ことが不可欠です。

複数のグラウンド・ピンを使うことが重要な理由はもう 1 つあります。これらのピンが、ボードとバックプレーンのジャンクションのグラウンド・インピーダンスを低く抑えることです。PCB コネクタの 1 本のピンの接続抵抗は、ボードが新しいうちはきわめて小さいものですが（代表値は約 10 mΩ）、ボードが古くなるにつれて大きくなりやすく、ボードの性能が低下するおそれがあります。したがって、多数のグラウンド接続が得られるように、追加の PCB コネクタ・ピンを割り当てるのが重要です（PCB コネクタのピン全体の 30 %~40 % をグラウンド・ピンにする必要があるでしょう）。同様の理由から、各電源の接続には数本のピンを使用する必要があります。

アナログ・デバイセズなどの高性能ミックスド・シグナル IC のメーカーは、多くの場合、顧客の初期評価およびレイアウトを支援する評価用ボードを提供しています。ADC の評価用ボードには、通常、オンボードの低ジッタ・サンプリング・クロック発振器、出力レジスタ、適切な電源および信号用コネクタが搭載されています。また、これらのボードが ADC の入力バッファ・アンプや外部リファレンスなどの追加のサポート回路を備えている場合もあります。



12.2: パターン

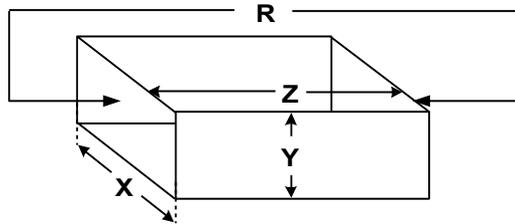
導体の抵抗

どのエンジニアも抵抗のことはよく知っています。しかし、自分のシステムと回路を構築するための配線と PCB パターンもすべて抵抗である（と同時に、後述するようにインダクタでもある）と考えるエンジニアはほとんどいません。高精度システムでは、このようなパターン抵抗や単純な配線接続でさえ、性能低下の要因となることがあります。銅は超伝導体ではありませんが、あまりに多くのエンジニアがそう考えているように思われます。

図 12.2 に、四角い銅の長さを Z、幅を X、厚さを Y としたときのシート抵抗 R の計算方法を示します。

$$R = \frac{\rho Z}{XY}$$

$\rho$  = RESISTIVITY



**SHEET RESISTANCE CALCULATION FOR  
1 OZ. COPPER CONDUCTOR:**

$$\rho = 1.724 \times 10^{-6} \text{ } \Omega\text{cm}, Y = 0.0036\text{cm}$$

$$R = 0.48 \frac{Z}{X} \text{ m}\Omega$$

$$\frac{Z}{X} = \text{NUMBER OF SQUARES}$$

$$R = \text{SHEET RESISTANCE OF 1 SQUARE (Z=X)} \\ = 0.48\text{m}\Omega/\text{SQUARE}$$

図 12.2: 標準的な銅の PCB 導体のシート抵抗と線形抵抗の計算

純銅の抵抗は 25 °C では  $1.724 \times 10^{-6} \Omega/\text{cm}$ 、PCB の標準的な 1 オンスの銅箔の厚さは 0.036 mm (0.0014 インチ) です。したがって、上記の関係式を使用すると、このような標準の銅成分の抵抗は  $0.48 \text{ m}\Omega/\text{sq.}$  となります。

線形パターンの抵抗は、このような一連の四角形を端から端まで事実上「積み上げ」て線の長さを集計すると、容易に計算することができます。線の長さが  $Z$  で幅が  $X$  であるため、図に記載されているように、線形抵抗  $R$  は単に  $Z/X$  と 1 つの四角形の抵抗の積となります。

銅の重量とパターン幅が設定されれば、抵抗／長さを計算できます。例えば、PCB 設計でよく使用される 0.25 mm(10 mil)幅パターンでは、抵抗／長さが約 19 mΩ/cm (48 mΩ/インチ) と非常に大きくなります。さらに、銅の抵抗温度係数は室温で約 0.4 %/°C です。これは、特に低インピーダンスの高精度回路内では無視できない要素で、このような回路では、全温度範囲における正味のインピーダンスが温度係数によって変わってしまいます。

図 12.3 に示すように、PCB のパターン抵抗は、条件が悪ければ大きな誤差を生じる可能性があります。入力抵抗が 5 kΩ の 16 ビット ADC を考えてみると、ADC と信号源の間の長さ 5 cm、幅 0.25 mm の 1 オンスの PCB トラックを通して駆動されます。約 0.1 Ω のトラック抵抗は、5 kΩ 負荷を使って分圧器を形成し、誤差を生じます。それに伴う電圧降下で 0.1/5 k (約 0.0019 %) のゲイン誤差が生じますが、これは 1 LSB (16 ビットで 0.0015 %) を大きく上回ります。しかも、ここではリターン・パスの問題を考えていません。また、インダクタンスも無視しているため、高周波では状況がさらに悪化するおそれがあります。

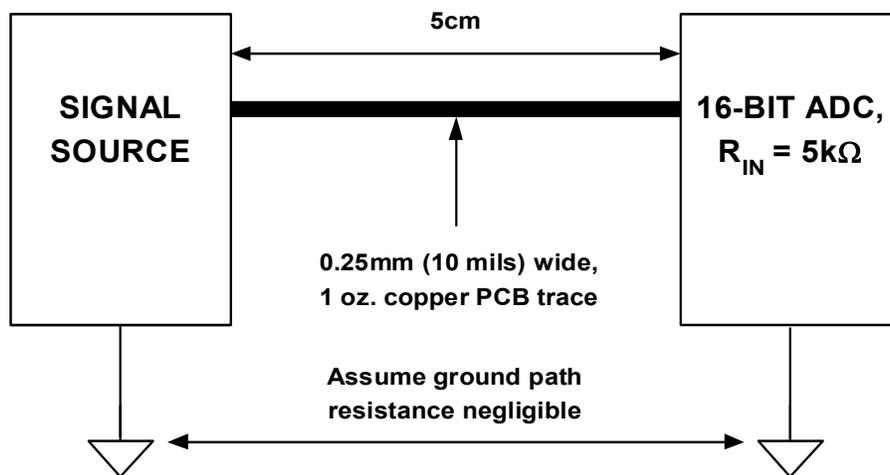


図 12.3: PCB 導体の電圧降下により誤差が 1 LSB を超えることを、オームの法則から予測する

このため、高精度回路を扱っている場合は、PCB のパターン抵抗のような簡単な設計項目でさえ軽く扱うことはできません。パターンを広くする (スペースを取り過ぎる場合も) などこの問題に対応できても、パッケージが非常に小さいものやボール・グリッド・アレイ (BGA) のようにピンが何列にも並んだもの、また、銅をより重くしたもの (高価すぎる場合も) や単に入力インピーダンスが高いコンバータを選択したものなど、さまざまな実現可能とは言えないソリューションがあります。しかし、最も重要なのはさまざまな事を考慮した上で、表面上は問題がないように見える項目も見過ごさないことです。

信号線の電圧降下—ケルビン帰還

PCB の信号リード線において抵抗の電圧降下に起因するゲイン誤差が大きな問題になるのは、高精度や高分解能（図 12.3 の例）の場合や、大信号電流が流れる場合のみです。負荷インピーダンスが一定で抵抗性の場合、システム全体のゲインを調整することで誤差を補償できます。他の状況では、図 12.4 に示すように「ケルビン」帰還、つまり「電圧検出」帰還を利用すれば、多くの場合誤差を除去できます。

図 12.3 に修正を加えたこの事例でも、入力インピーダンスが低い高分解能 ADC の入力駆動には、やはり抵抗性の長い PCB パターンが使用されています。ただしこの場合、ADC の入力ピンから直接帰還が行われて駆動源に戻るため、信号リード線の電圧降下による誤差は生じません。この方法を利用すれば、信号パターン全体に電圧降下が生じて、ADC に最高精度の信号を与えることができます。

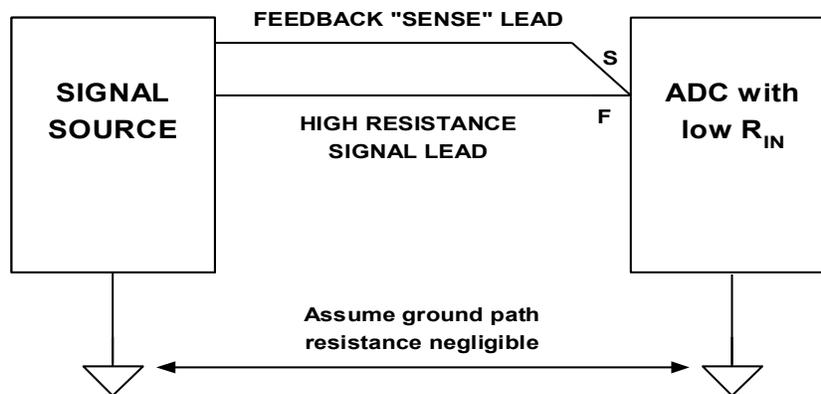
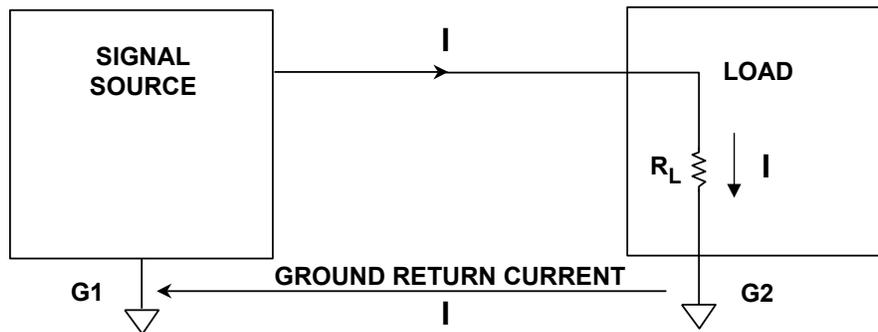


図 12.4: 検出リードの接続で負荷ポイントの精度を高める

負荷においてフォース（F）接続と検出（S）接続を分離する（しばしばケルビン接続と呼ばれる）と、フォース線の電圧降下による誤差をなくすことができます。しかしもちろん、この方法は負帰還があるシステムでしか使用できません。また、帰還が 1 点のみからであるため、複数の負荷を同じ精度で駆動するように調整することもできません。さらに、このような非常に簡略化されたシステムでは、グラウンド・パスの電圧は無視できるほど小さいと見なされ、共通リードのソース／負荷間のパスにおける誤差は無視されます。多くのシステムでこれが必ずしも当てはまるとは限らず、以下のような追加のステップが必要な場合があります。

信号のリターン電流

キルヒホッフの法則によれば、回路内の任意の点における電流の代数和はゼロです。つまり、図 12.5 に示すように、すべての電流が円状に流れており、特に、回路を解析するときには必ずリターン電流を考慮する必要のあることがわかります（参考資料 7 および 8 参照）。



AT ANY POINT IN A CIRCUIT  
THE ALGEBRAIC SUM OF THE CURRENTS IS ZERO  
OR  
WHAT GOES OUT MUST COME BACK  
WHICH LEADS TO THE CONCLUSION THAT  
ALL VOLTAGES ARE DIFFERENTIAL  
(EVEN IF THEY'RE GROUNDED)

図 12.5: 完全な信号源／負荷カップリング回路での電圧降下の解析に、キルヒホッフの法則が役立つ

グラウンディングの課題を扱ううえで、回路に関する正しい判断が解析にどれほど役立つかを、人間の一般的な傾向から理解することができます。ほとんどのエンジニアは、完全差動回路のことを考えるときだけ、にわかにグラウンド・リターン電流 (I) のことを考えます。

しかし、シングルエンド信号が「グラウンド」を基準とするごく普通の回路の例を考えるときは、回路図上でグラウンド記号が書かれた点はすべて同電位であると見なすのが一般的です。ただ残念ながら、このような幸運な状況は必ずしも一般的ではありません。

このあまりに楽観的な手法を図 12.6 に示します。この図では（これが実際に存在するとすれば）、「無限のグラウンド導電性」により、ソース・グラウンド G1 と負荷グラウンド G2 間のグラウンド電圧の差はゼロになるでしょう。しかし残念なことに、この手法は賢明なやり方ではなく、高精度回路を取り扱う場合は大事故につながるおそれがあります。

グラウンド導体の完全性のためにより現実的な手法としては、含まれるインピーダンスの分析と、スプリアス・ノイズ電圧を最小化するための細心の注意が挙げられます。

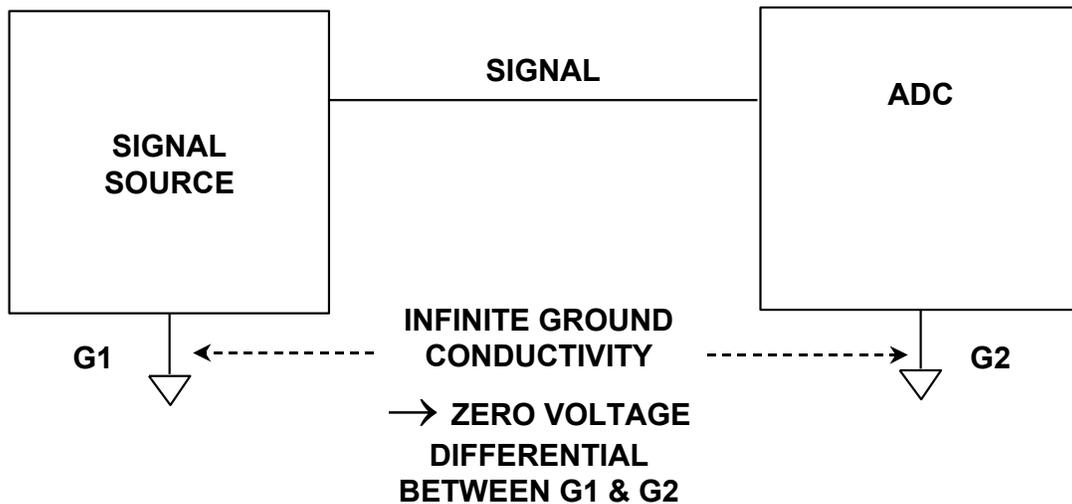


図 12.6: この楽観的な図とは異なり、ソース・グラウンドと負荷グラウンド間の導電性が無限であると見なすのは非現実的である

### グラウンド・ノイズとグラウンド・ループ

グラウンド・システムのより現実的なモデルを図 12.7 に示します。図示するように、グラウンド・ポイント G1 と G2 の間に存在する複素インピーダンスに信号リターン電流が流れ、このパスに  $\Delta V$  の電圧降下が生じます。しかし、この同じパスに  $I_{EXT}$  などの付加的な外部電流も流れることに注意しなければなりません。このような電流が、G1-G2 間に無相関のノイズ電圧を生じる場合がある（電流の大きさと相対グラウンド・インピーダンスに応じて）ことを理解するうえで、この知識は不可欠です。

このような不要な電圧の一部は、最終的に信号の負荷終端で見られることがあり、送信される信号をそれらの電圧が破壊する可能性があります。

もちろん、これ以外の電流も、電流用のパスがあれば、グラウンド・インピーダンスに流れるしかなくことは明らかです。この場合は、**非ループ**のグラウンド・リターンを信号源と共有する大電流回路で大きな問題が生じるおそれがあります。

図 12.8 に、その信号源と大電流回路が共有する共通のグラウンド・パスを示します。このパスには、電流源から大きな変動電流が流れます。この電流は共通のグラウンド・リターンに流れ、 $\Delta V$  の誤差電圧を発生させます。

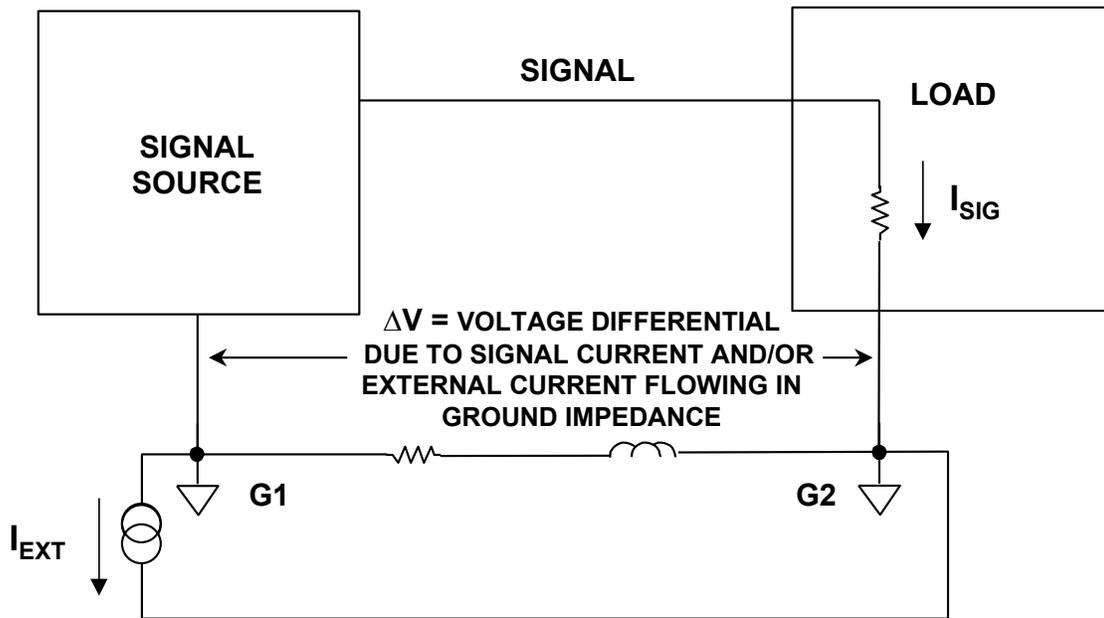


図 12.7: より現実的なソースから負荷へのグラウンディング・システム図では、G1-G2間のインピーダンスだけでなく、非信号関連の電流の影響も考慮されている

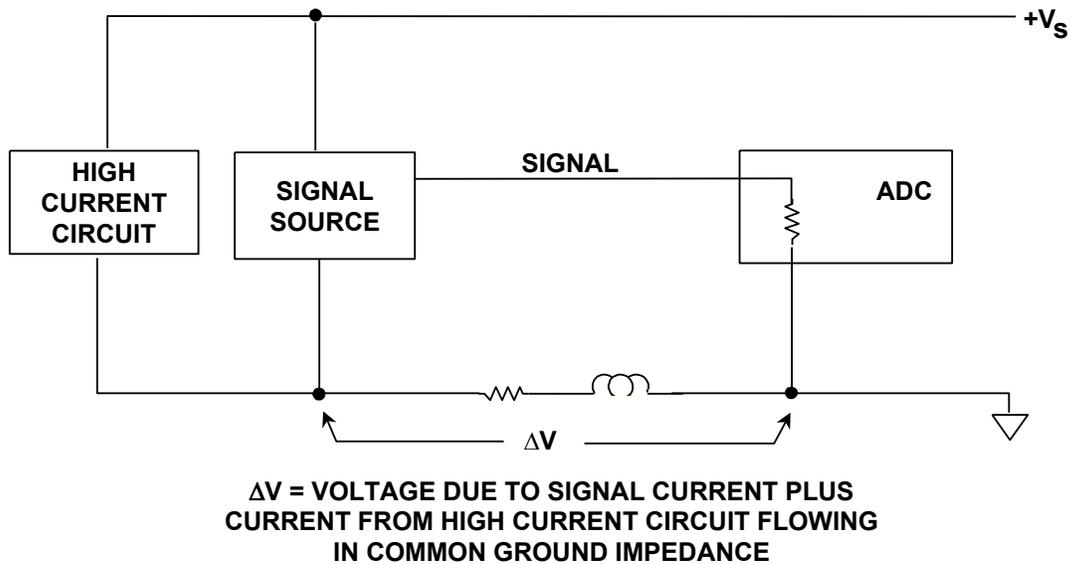


図 12.8: 共通のグラウンド・インピーダンスを流れる電流は誤差を生じる可能性がある

図 12.9 から、グラウンド・ネットワークにループ、つまりグラウンド導体の円形パターン（S1 を閉じた状態）が含まれる場合、外部の磁場により生じる EMF に対して脆弱であるというさらに大きな危険が存在します。グラウンド電流関連の信号が大電流部分を「抜け出し」、システム内の他の敏感な回路部分でノイズを生じるといった現実的な危険もあります。

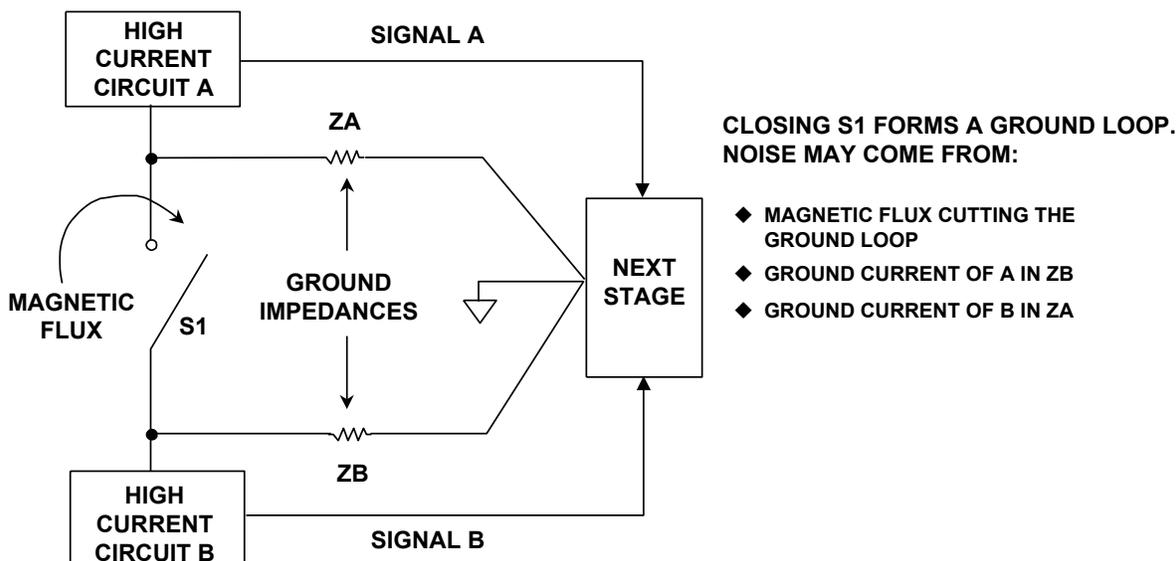


図 12.9: グラウンド・ループ

以上の理由から、グラウンド・ループを避ける最善の方法は、共通のポイント、つまり図の右中央付近の共通のグラウンド・ポイントに離れているパスが戻るように、すべてのリターン・パスを回路内に配線することです。これは S1 が開いた状態で表されます。

### グラウンドの絶縁技術

グラウンド・プレーンを使用すると、インピーダンスが低下してグラウンド・ノイズの低減に大きく役立つものの、依然として非常に高いレベルのノイズが存在することがあります。このような場合、グラウンドの誤差を最小化する技術とグラウンドを絶縁する技術が役立つでしょう。

共通のグラウンド・インピーダンスのカップリング問題を別の形で図解したものを、図 12.10 に示します。この回路では、最良の DC 精度を得るために、チョップ安定化アンプ AD8551 を使って、ゲイン 100 の高精度プリアンプで低レベル信号  $V_{IN}$  を増幅します。負荷終端では、ローカル・グラウンド G2 を基準にして信号  $V_{OUT}$  を測定します。G1 と G2 の間を流れる AD8551 の  $I_{SUPPLY}$  が  $700 \mu A$  と少ないため、オペアンプで予想される通常の入力オフセットの約 7 倍となる  $7 \mu V$  のグラウンド誤差が生じます。

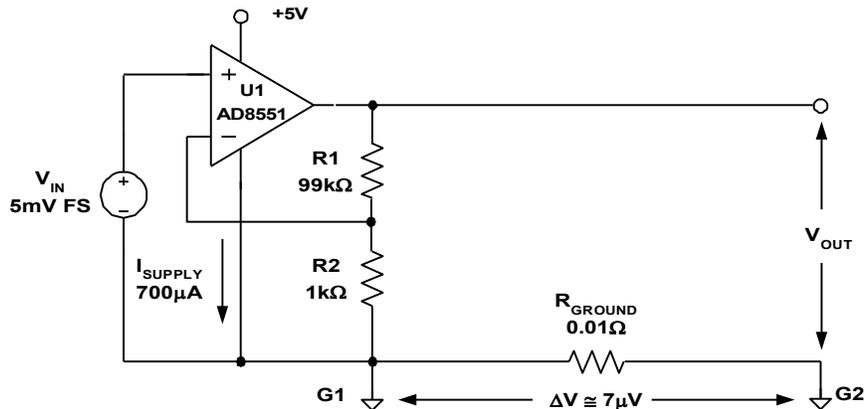


図 12.10: 注意しないと、わずかな共通グラウンド電流でも高精度アンプの精度を低下させるおそれがある

別のパターンを使って、オペアンプの負電源ピンの電流がグラウンド G1 ではなく スター・グラウンド G2 に戻るように配線するだけで、この誤差をなくすることができます。この方法では、G1-G2 間のパスには電源電流が流れないので、接地レグでの電圧誤差を最小限に抑えられます。負荷終端に流れる電流が少ない限り、「ホットな」 $V_{OUT}$  ピンでは誤差がほとんど生じないことに注意してください。

場合によっては、ソース信号と測定する負荷ポイント間に、どうしても避けられないグラウンド電圧差が生じることがあります。この「同一ボード」の説明の中では、数十 mV のグラウンド誤差電圧を除去することが求められるでしょう。これが「ボード外」のソースで発生したソース信号であれば、除去すべきコモンモード電圧の大きさは、容易に数ボルトの範囲に（または数十ボルトにさえ）上昇する可能性があります。

幸い、ノイズ電圧がそのように高い場合でも、前述した原則を利用することで、完全な信号伝送精度を達成できます。それは、差動入力のグラウンド・アイソレーション・アンプを使用することです。グラウンド・アイソレーション・アンプは、差動方式の信号を処理して段間のグラウンド誤差電圧の影響を最小限に抑えます。これにより、十分なマージン（代表値: 60 dB 以上）をとってコモンモード電圧を除去することができます。

2 つのグラウンド・アイソレーション・アンプ・ソリューションを図 12.11 に示します。この図では、最大  $\pm 270$  V のコモンモード電圧に対応する AD629 と、最大  $\pm 20$  V のコモンモード電圧に適した AMP03 を入れ替えて使用することができます。

この回路の入力電圧  $V_{IN}$  は G1 を基準にしていますが、G2 を基準に測定する必要があります。同相ノイズ除去（CMR）性能の高いユニティ・ゲイン・ディファレンス・アンプを使用すれば、この 2 つのグラウンド間に存在するノイズ電圧  $\Delta V$  を容易に除去できます。AD629 の CMR は 88 dB（代表値）で、一方 AMP03 は 100 dB（代表値）を達成します。AD629 では、大きい CM 減衰と差動ゲインを組み合わせることで、最終的に差動のユニティ・ゲインを実現することで、高いコモンモード電圧（CMV）除去比を達成します。AD629 は、図中に記載された抵抗  $R1 \sim R5$  の左側の値を使用します。

AMP03 は、記載された R1 ~ R4 の 25 kΩ 抵抗を使って、4 抵抗の高精度差動アンプとして動作します。どちらのデバイスも、グラウンド・アイソレーション・アンプとして全機能を備えた 1 つのパッケージ・ソリューションです。

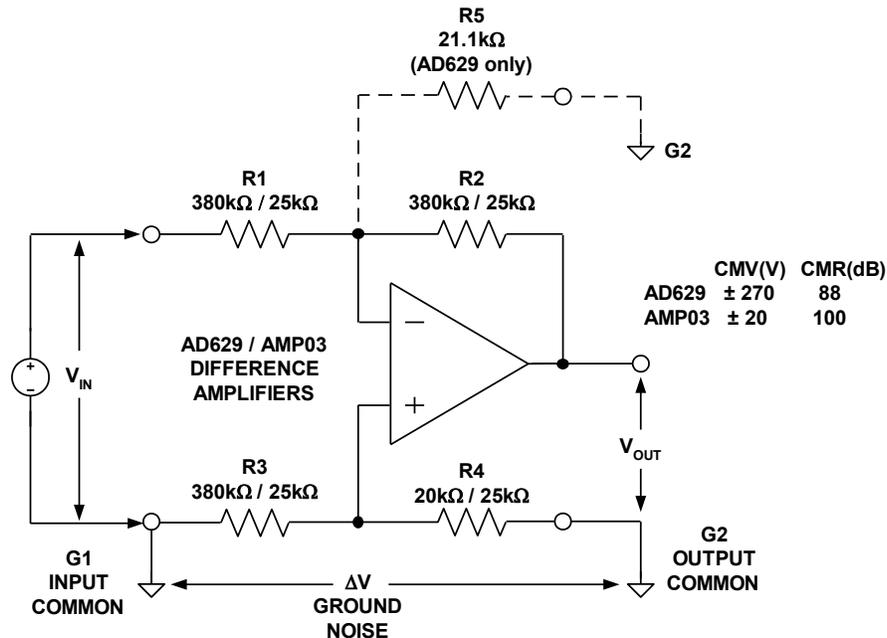


図 12.11: 差動入力グラウンド・アイソレーション・アンプが、ソース・グラウンド (G1) と測定グラウンド (G2)間のグラウンド・ノイズ電圧を除去するため、高い伝送精度が可能

この方式を使うと、グラウンドの降下電圧の制御が緩やかになったり、PCB パターンの追加や拡大が比較的抑えられて、当該の誤差電圧を最小にすることができます。この方式は、図示されている固定ゲイン・ディファレンス・アンプでも、ユニティ・ゲイン構成の標準計装アンプ IC を使っても実装できることに注目してください。例えば、AD623 も単電源を使用できます。いずれの場合も、ディファレンス・アンプの入力を反転させるだけで信号極性も制御可能です。

一般的には、測定や追加処理のために PCB 上の 1 点から他の点へ信号を送信する場合、関連する 2 つの重要な手法によりそれを最適化できます。高インピーダンスの差動信号の処理方法を利用するものです。計装アンプに高インピーダンスの負荷をかけることにより、電圧降下を最小限に抑え、リモート電圧の差動検出を行うことにより、グラウンド・ノイズに対する感度を極力低減します。

追加の信号処理が A/D 変換の場合は、差動グラウンド・アイソレーション・アンプ段を追加しなくても、上述の伝送基準を実装できます。差動で動作する ADC を選択するだけです。ADC の高入力インピーダンスが、PCB の配線抵抗に対する負荷感度を最小限に抑えます。また、差動入力機能を使って、ソースの出力を (シングルエンドの場合でも) ソースの出力端子で直接検出することができます。その結果、ADC の CMR により、ADC のグラウンドとソース・グラウンド間のノイズ電圧に対する感度が排除されます。

この考え方を、高インピーダンスの差動入力を備えた ADC を使って図示したものを、図 12.12 に示します。この一般的な考え方は、負荷を駆動する際、実質的にあらゆる信号源に拡大できることに注意してください。負荷はすべて、シングルエンドの負荷であっても、適切な差動入力段を加えると、差動入力の負荷になります。すべて開発済みの高インピーダンス計装アンプと、多くの場合は図 12.11 のような単純な減算器段のオペアンプのどちらでも、差動入力を提供できます。

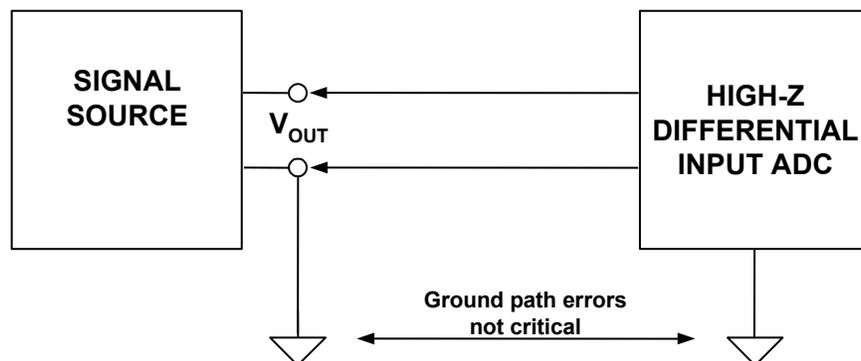


図 12.12: 高インピーダンスの差動入力 ADC も、ソース-負荷間で高い伝送精度を実現可能

### 静的な PCB 効果

リーク抵抗は、非常に大きな静的回路ボード効果です。PCB 表面の汚染は、磁束の残留、塩分の堆積、その他のゴミによるもので、これが回路ノード間にリーク・パスを形成します。十分にクリーンな状態のボード上でさえ、15 V 電源レールから近いノードに 10 nA 以上の電流がリークすることは珍しくありません。数ナノアンペアのリーク電流が誤ったノードに流れて、回路の出力に数ボルトの誤差が生じることもよくあります。例えば、10 MΩ の抵抗に 10 nA の電流が流れると、0.1 V の誤差が生じます。残念なことに、標準オペアンプのピン配置では、高インピーダンスの設定が求められることの多い + 入力の際に  $-V_S$  電源ピンがあります。リーク電流の効果に敏感なノードを特定しやすくするには、「このノードに数ナノアンペア以上のスプリアス電流が流れたら、問題が生じるか？」という簡単な問いかけを試みます。

回路をすでに構築している場合は、典型的なテストで、疑わしいノードに対する湿度感度を特定できません。回路動作を観察し、問題のありそうな箇所にシンプルなストローで息を吹きかけます。ストローで息の湿気がその箇所に集中するので、設計回路の敏感な部分に含まれるボードの塩分により、息が触れると回路動作が停止します。

単純な表面リークの問題を解消する方法はいくつかあります。回路ボードを徹底的に洗浄して残留物を除去する方法は、かなり効果的です。手順は簡単で、まずイソプロピル・アルコールを使ってボードをブラシでしっかりと磨き、次に脱イオン水で完全に洗い流してから、85 °C で数時間ベークアウトします。もっとも、ボードの洗浄液を選択するときは注意してください。特定の溶液で洗浄すると、水溶性フラックスによって塩分が堆積し、リーク電流の問題が悪化します。

残念ながら、回路がリーク電流に敏感であれば、どれだけ徹底的に清掃しても一時的な解決にしかならない可能性があります。ボードを取り扱ったり、汚れた空気や高湿度にさらしたりすると、すぐに問題が再発します。表面のコンフォーマル・コーティングなど、回路動作を安定化する追加の手段を探する必要があります。

幸いにも、これに対する答えとして、いわゆる**ガーディング**があります。これは、表面リーク問題にとって、かなり信頼性の高い恒久的な解決策になります。ガードを適切に設置すれば、回路が苛酷な産業環境にさらされた場合でも、リーク電流の問題を解消できます。典型的な反転および非反転のオペアンプ回路に適用したガーディングの基本原理を、2 つの回路図で図解します。

図 12.13 に、反転モードのガード・アプリケーションを示します。この場合、オペアンプのリファレンス入力は接地されているので、ガードは、点線で示したように、反転入力へのすべてのリード線を取り囲むリングを接地したものです。

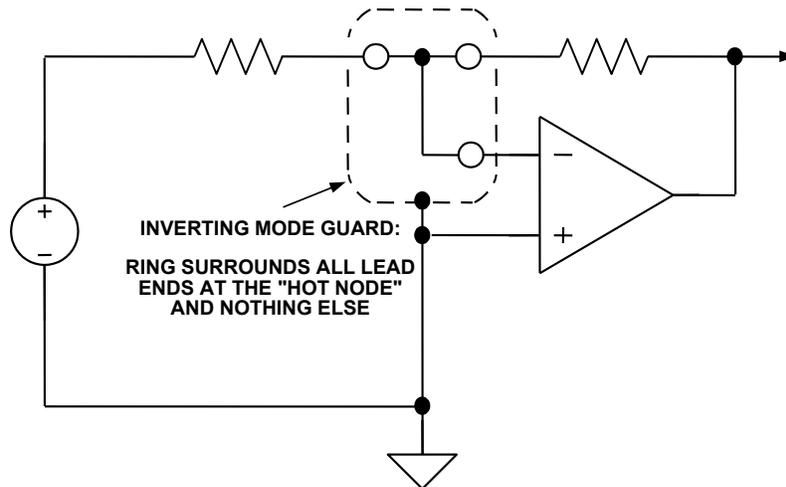


図 12.13: 反転モードのガードは、オペアンプのすべての反転入力接続を接地されたガード・リングで囲む

ガーディングの基本原理は単純です。敏感なノードを、浮遊電流を容易にシンクできる導体で完全に囲み、保護用導体を敏感なノードと同一電位に維持します（そうしないと、ガードはリーク電流をシンクするどころか、リーク源として機能してしまいます）。例えば、ノードに流れるリーク電流を 1 pA 未満に抑えるには（リーク抵抗を 1000 M $\Omega$  と想定）、ガードと保護されるノードの電位が 1 mV 以内である必要があります。一般に、最新のオペアンプのオフセットは、この基準を満たす十分に小さいものとなっています。

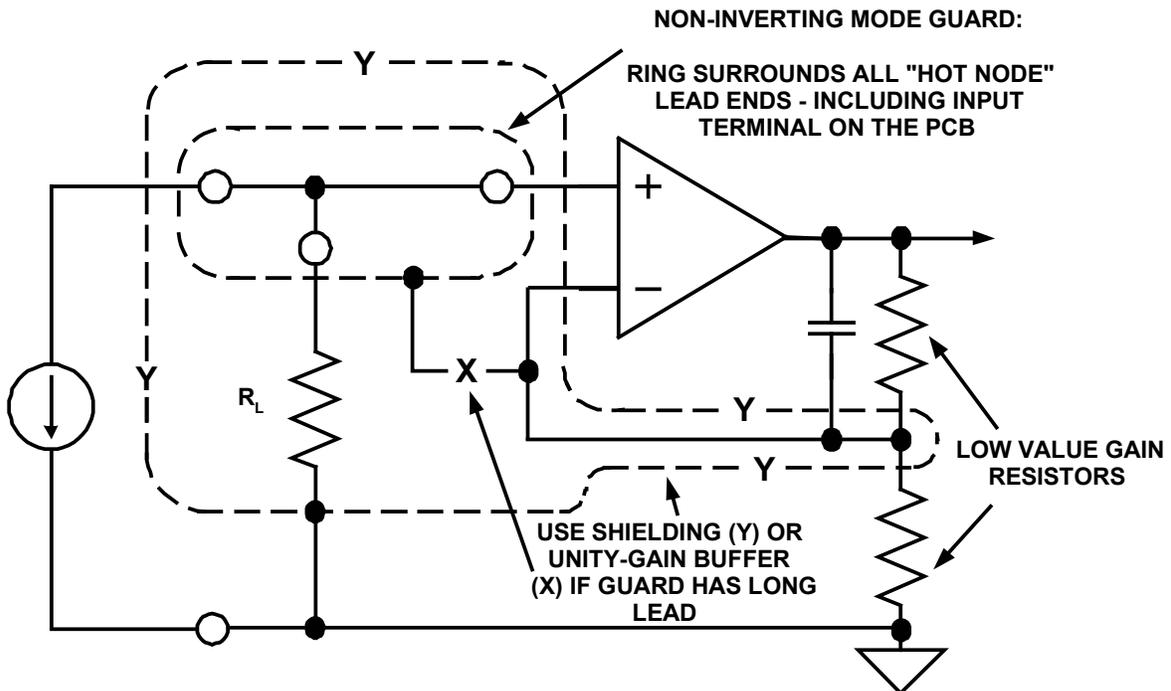


図 12.14: 非反転モードのガードは、オペアンプのすべての非反転入力接続を、駆動された低インピーダンスのガード・リングで囲む

真に高品質なガードを実装するうえで、記載すべき重要な注意事項があります。従来の PCB のスルー・ホール接続の場合は、最大の効果を得るために、ガード・パターンを回路ボードの両側に配置する必要があります。また、パターンは、数個のビアを使ってボードの長さに沿って接続します。結局は、システムの設計パラメータからガードの実装が妥当か必要である場合には、PCB の設計プロセスの最初からガードを実装するように努めてください。適切なガードを後から付け足せる見込みは、ほとんどないためです。

図 12.14 に、非反転用ガードの例を示します。この例では、オペアンプのリファレンス入力をソースが直接駆動するため、問題がかなり複雑になります。ここでも、ガード・リングが入力ノードのすべての接続を完全に囲んでいます。ただし、この例では、ガードを駆動しているのは反転入力に接続されている低インピーダンスの帰還分圧器です。

通常、ガードと分圧器の接合は直接接続ですが、場合によっては、ケーブル・シールドを駆動したり、ガード・リングでのインピーダンスをできるだけ低く維持するために、ユニティ・ゲイン・バッファを「X」の箇所に使用したりすることがあります。

バッファに代わる別の有用な方法は、直接接地する追加のスクリーン・リング「Y」を使用するもので、図示したように、内側のガードと帰還ノードを囲みます。この方法では、追加のレイアウト時間は多少かかりますが、それ以外の費用はかかりません。また、高インピーダンスの内側での、ガード・リングへのバッファ・リーク電流（低減）効果に大いに役立ちます。

ただし、オペアンプ自体が、性能を低下させることなく、これらのガード領域に接続する方法に関しては、ここまで言及されていません。TO-99 メタル・キャン・パッケージのデバイスを使用する従来の方法では、PCB の両面にガード・リングを使用し、オペアンプの両方の入力をガード・リング内で終端させていました。

#### MINI-DIP と SOIC のオペアンプを使った PCB ガードのレイアウト例

最近のアセンブリ例では、8 ピンの MINI-DIP タイプや SOIC タイプのような小型のプラスチック・パッケージが好まれています。これらのパッケージを使用したガード回路の部分的な推奨レイアウトを、次の 2 つの図に示します。SOT-23 など、オペアンプのフットプリントがもっと小型でもガード・パターンは配置可能ですが、必要なパターンの分離が一層制限され、レイアウト設計者と製造工程には、とても難しいものとなります。

アナログ・デバイセズの「N」型の MINI-DIP パッケージを例に、反転（左）および非反転（右）動作モードでゲーディングを実装する方法を図 12.15 に示します。この設定は、1 番ピンまたは 4 番ピンに比較的高い電圧が発生する他のオペアンプ・デバイスにも適用できます。標準の 8 ピン DIP アウトライン・パッケージを使うと、パッケージのピン間隔が 0.1 インチあるため、隣接するピンの間に PC パターン（ここではガード・パターン）を通すことができます。これにより、4 番ピンの  $-V_S$  電源または 1 番ピンの同様の高い電圧からのリーク・パスを確実に防止できるので、これが DIP パッケージで効果的なゲーディングを実装する鍵となります。

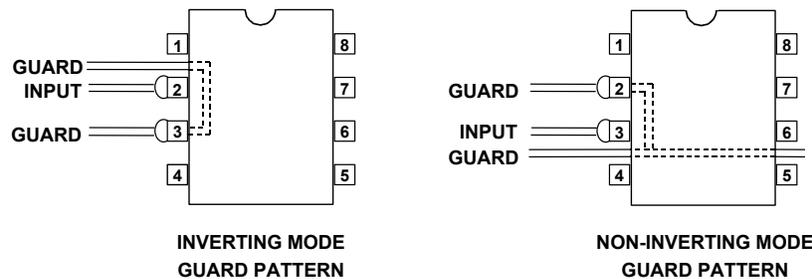


図 12.15: 8 ピン MINI-DIP (N) パッケージを使用した、反転および非反転モードのオペアンプの PCB ガード・パターン

左側の反転モードでは、3 番ピンに接続され、接地されたガード・パターンが、オペアンプの反転入力（2 番ピン）を囲み、入力パターンと平行に走っていることに注意してください。このガードは、ケーブルの場合の入力パッドを含め、図 12.15（または他の同様の回路）のソース接続や帰還接続付近まで延びることがあります。右側の非反転モードでは、ガード電圧は 2 番ピンに対する帰還分圧器の電圧です。これは、図 12.14 のアンプの反転入力ノードに対応します。

図 12.15 のどちらの例でも、示されているガードの物理的接続はほんの一部で、実際のレイアウトでは、回路内にすべての敏感なノードが含まれていることに注意してください。反転モードと非反転モードのいずれでも、MINI-DIP や他のスルー・ホール型パッケージを使い、PCB のガード・パターンをボードの両側に配置して、上面と底面のパターンが複数のビアで接続されるようにします。

SOIC 表面実装（「R」）パッケージを使ってガーディング手法を用いる場合、0.05 インチのピン間隔ではピンの間に PCB パターンを簡単には配線できないため、もう少し複雑になります。しかしそれでも、少なくとも反転例に関しては、効果的なガーディングの対処法があります。図 12.16 に、アナログ・デバイゼスの「R」型の SOIC パッケージ向けのガードを示します。

この SOIC 「R」パッケージに入った多くのシングル・オペアンプ・デバイスで、1 番、5 番、8 番ピンは「接続なし」のピンです。従来、これらのピンはオフセット調整や周波数補償に使用されていました。現在のオペアンプでこれらの機能が使用されることは稀です。上記の例の場合、これらの空いた場所をレイアウトでガード・パターンの配線に使用できます。反転モード（左）の場合、ダミーの 1 番ピンと 3 番ピンを接地したガード・パターンとして機能させても、ガーディングは十分効果があります。これは、妥協なしに非常に効果的なガードです。また、SOIC オペアンプでは、デバイスの周囲のほとんどの回路にスルー・ホール部品は使用されません。したがって、ガード・リングがオペアンプの PCB 側にしか必要ないことがあります。

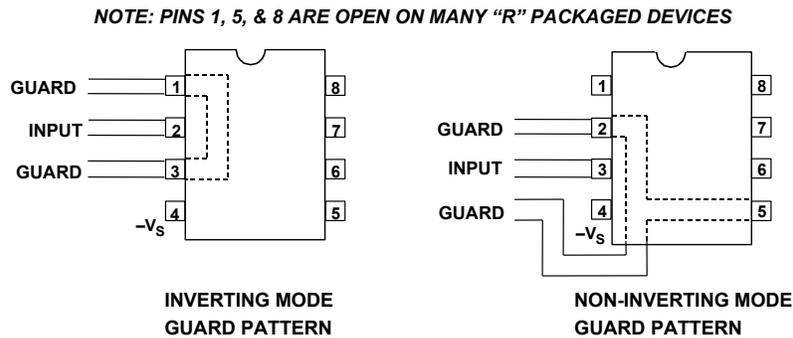


図 12.16: 8 ピン SOIC (R) パッケージを使用した、反転および非反転モードのオペアンプの PCB ガード・パターン

フォロワー段（右）の場合、ガード・パターンを 4 番ピンの負電源の周囲に配線する必要があるため、4 番ピンと 3 番ピンのリーク電流を完全には防御できません。このため、両電源が接続されたデバイスの場合はガーディングができないので、SOIC パッケージのオペアンプを使用した高精度、高インピーダンスのフォロワー段は通常推奨しません。

ただし、この注意の例外となるのが、**単電源**のオペアンプを非反転段として使用する場合があります。例えば、AD8551 を使用すると、4 番ピンがグラウンドとなるため、固有のガーディングがある程度デフォルトで構築されます。

### 動的な PCB 効果

静的な PCB 効果は、湿度やボードの汚染の変化に応じて変動しますが、回路の動的性能に最も著しく影響する問題は、通常それほど変化しません。新規の設計が不十分だと、洗浄や他の簡単な方法でそれらの問題を解決することはできません。このため、設計の仕様と性能に継続的に悪影響を与える可能性があります。リード線と部品の配置に関係のある浮遊容量の問題については、回路設計者の大半がある程度精通しています。リード線の配置は適切なレイアウトですべて解決できるので、残りの問題は、部品の最適な向きやリード線の折り曲げ方に関して組立担当者をトレーニングすれば解決します。

一方、誘電吸収（DA）は、もっと面倒ながら、まだ十分に解明されていない回路ボードの現象です。ディスクリット・コンデンサの誘電吸収と同様、PCB の誘電吸収は、間隔の狭い 2 つのノードを直列抵抗とコンデンサで接続することでモデル化できます。その影響は、間隔に反比例し、長さに対して線形に現れます。

図 12.17 に示すように、この RC モデルの実効容量は 0.1 pF ~ 2.0 pF、抵抗は 50 MΩ ~ 500 MΩ の範囲です。最も一般的な値は 0.5 pF と 100 MΩ です。したがって、回路ボードの誘電吸収は高インピーダンス回路との相互作用に最も影響されます。

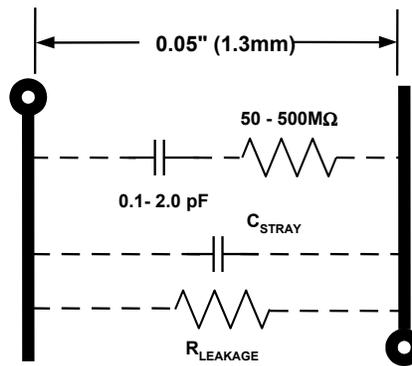


図 12.17: PCB ベースの回路の動的応答は誘電吸収により低下する

PCB の誘電吸収は、動的回路応答、例えばセトリング時間に最も大きく影響します。回路のリーク電流と異なり、その影響は湿度や他の環境条件とは通常関係ありません。むしろ、ボードの誘電特性に依存します。メッキ・スルー・ホール作成時の化学反応で、問題が悪化するように思われます。回路が過渡応答の期待仕様を満たさない場合は、PCB の誘電吸収が原因の 1 つと考えられます。

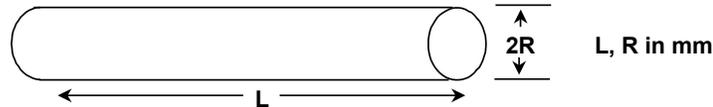
幸い、いくつか解決策があります。コンデンサの誘電吸収の場合と同様、外付け部品を使ってこの影響を補償することができます。さらに重要なことに、敏感なノードを寄生カップリングから完全に切り離す表面保護によって問題が解決することがよくあります（スルー・ホール部品の場合は、これらの保護をボードの両面に施す必要があることに注意してください）。前述のとおり、低損失の PCB の誘電体も使用できます。

PCB の「フック」は、誘電吸収と同一ではないにしても類似のもので、回路ボードの実効容量が周波数に応じて変動するという特徴があります（参考資料 1 参照）。一般に、ボードの容量が回路全体のかなりの部分を占める、高インピーダンス回路の過渡応答に影響を与えます。最も影響を受けやすいのは、10 kHz 未満の周波数で動作する回路です。回路ボードの誘電吸収と同様、ボードの化学組成がその影響を大きく左右します。

インダクタンス

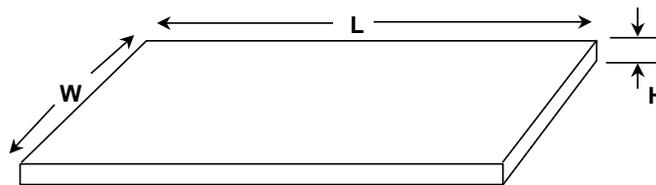
浮遊インダクタンス

すべての導体は誘導性であり、高周波では非常に短いワイヤ片や PCB パターンのインダクタンスでさえ大きな問題になることがあります。図 12.18 に示す最初の式は、自由空間における長さ  $L$  mm、円形断面の半径が  $R$  mm の直線ワイヤのインダクタンスを示しています。



$$\text{WIRE INDUCTANCE} = 0.0002L \left[ \ln \left( \frac{2L}{R} \right) - 0.75 \right] \mu\text{H}$$

EXAMPLE: 1cm of 0.5mm o.d. wire has an inductance of 7.26nH  
( $2R = 0.5\text{mm}$ ,  $L = 1\text{cm}$ )



$$\text{STRIP INDUCTANCE} = 0.0002L \left[ \ln \left( \frac{2L}{W+H} \right) + 0.2235 \left( \frac{W+H}{L} \right) + 0.5 \right] \mu\text{H}$$

EXAMPLE: 1cm of 0.25 mm PC track has an inductance of 9.59 nH  
( $H = 0.038\text{mm}$ ,  $W = 0.25\text{mm}$ ,  $L = 1\text{cm}$ )

図 12.18: ワイヤとストリップのインダクタンスの計算

また、図 12.18 の 2 つ目の式は、自由空間での幅  $W$  mm、厚さ  $H$  mm のストリップ導体 (PC トラックに類似) のインダクタンスを示しています。

実際のシステムでは、これらの式で得られるのはいずれも概算値ですが、関与するインダクタンスの大体の大きさがわかります。0.5 mm のワイヤ 1 cm のインダクタンスは 7.26 nH、0.25 mm の PC トラック 1 cm のインダクタンスは 9.59 nH であることがわかります。これらは測定結果にかなり近い数値です。

10 MHz 時、7.26 nH のインダクタンスのインピーダンスは  $0.46 \Omega$  なので、 $50 \Omega$  のシステムでは 1% の誤差を生じる可能性があります。

相互インダクタンス

インダクタンスに関してもう 1 つ考慮すべき点は、流出する電流と帰還電流の分離です。詳細は後述しますが、キルヒホッフの法則によると、電流は閉じられたパスを流れ、パスには必ず往路と復路があります。パス全体でシングル・ターンのインダクタになります。

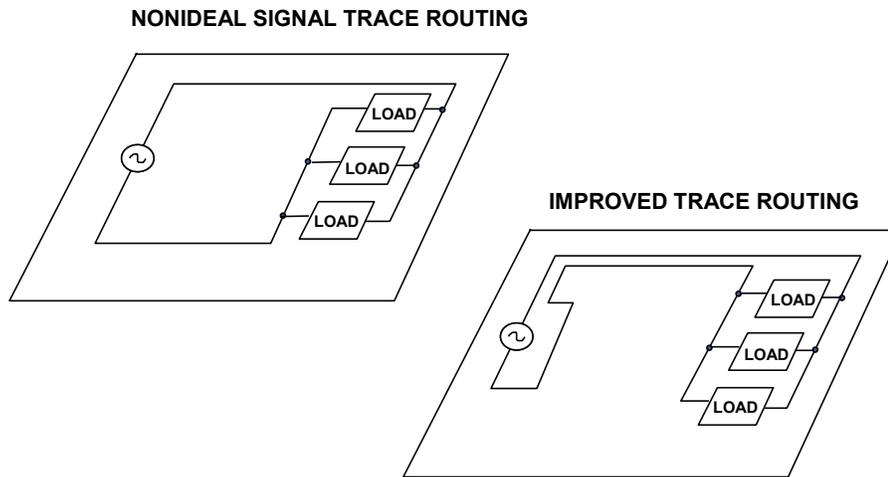
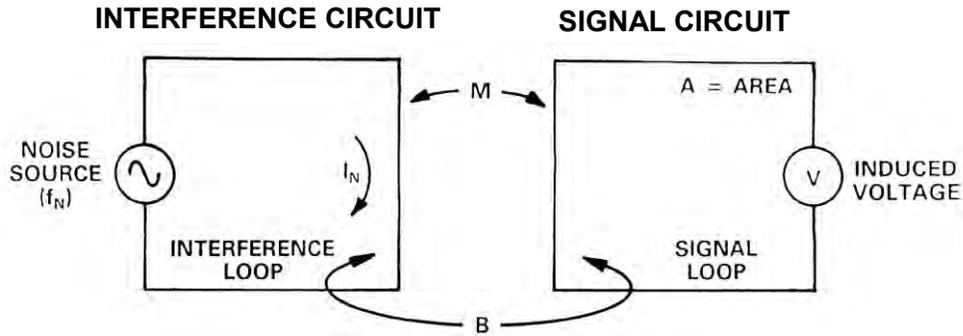


図 12.19: 非理想的な信号パターンと改良した信号パターンの配線

この原理を、対比的に配置した図 12.19 の信号パターンの配線を使って説明します。上側の「非理想的」な図のように、1 周で囲まれる領域が比較的大きければ、インダクタンスも（したがって、AC インピーダンスも）大きくなります。一方、下側の「改良した」図のように往路と復路が近接していると、インダクタンスはずっと小さくなります。

図 12.19 の非理想的な信号配線の例には、その他にも欠点があることに注意してください。導体内の囲まれた領域が大きいと外部の磁界が大きくなり、他の回路との相互作用が生じて不要なカップリングを引き起こすことがあります。また、大きい領域の方が外部の磁界との相互作用の影響を受けやすく、ループ内に不要な信号が発生する可能性があります。

その基本原理を図 12.20 に示しますが、これが 2 つの回路間で不要な信号（ノイズ）が伝送される一般的なメカニズムです。



**M = MUTUAL INDUCTANCE**  
**B = MAGNETIC REFLUX DENSITY**  
**A = AREA OF SIGNAL LOOP**  
 $\omega_N = 2\pi f_N = \text{FREQUENCY OF NOISE SOURCE}$   
**V = INDUCED VOLTAGE =  $\omega_N M I_N = \omega A B$**

図 12.20: 誘導カップリングの基本原理

ほとんどの他のノイズ源と同様、動作原理が明らかになれば、影響を小さくする方法はすぐにわかります。この場合、図 12.20 の式の項のすべてまたは一部の値を減らせば、カップリングは小さくなります。干渉を引き起こす電流の周波数や振幅を下げることはできなくても、干渉している側とされている側の回路の一方または両方のループ領域を小さくし、場合によっては回路間の距離を大きくすることにより、相互インダクタンスを低減できることがよくあります。

レイアウトによる解決策を図 12.21 に示します。ここに Z1 と Z2 で示した 2 つの回路は、それぞれのループ領域をできるだけ小さくしてカップリングを最小化しています。

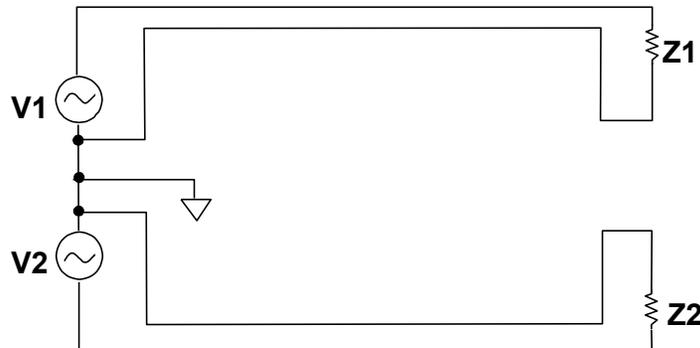


図 12.21: 適切な信号配線とレイアウトにより誘導性カップリングを低減可能

また、図 12.22 に示すように、相互インダクタンスはケーブルで送信される信号で問題となる可能性があります。特に複数の信号回路で 1 つのリターン・パスを共有している場合、リボン・ケーブルの相互インダクタンスは大きくなります（上段）。信号回路ごとに専用の信号線とリターン線を分離すれば、この問題は軽減します（中段）。最下部の図のように、信号回路ごとにツイスト・ペア・ケーブルを使用すると、問題はさらに軽減します（ただし高価なため、多くの場合ここまでは必要ありません）。

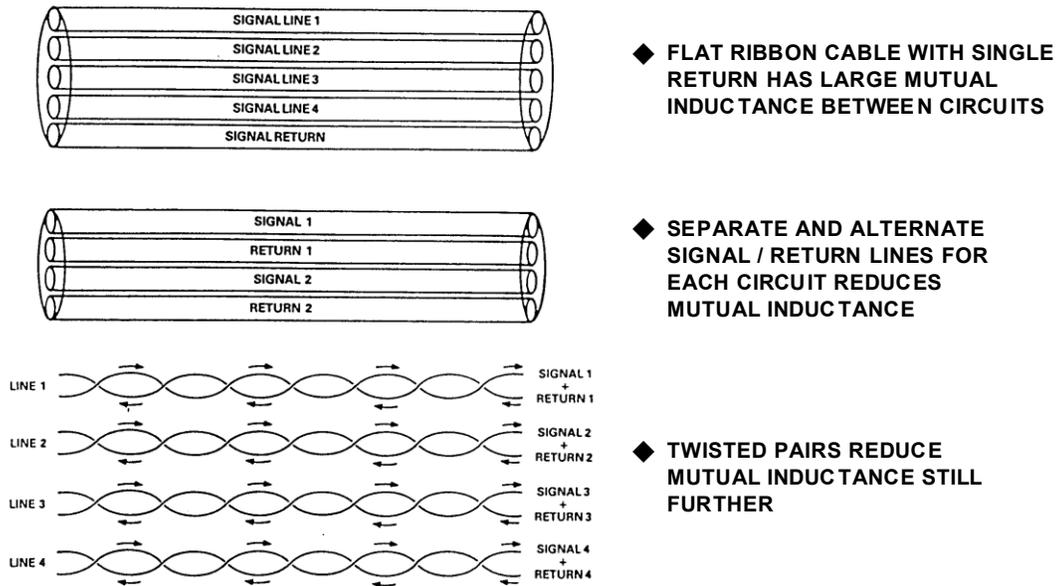


図 12.22: 信号配線における相互インダクタンスとカップリング

相互インダクタンスを減らすために磁界をシールドすることは、場合によっては可能ですが、電界をファラデー・シールドでシールドするほど簡単ではありません（次のセクション）。遮蔽する周波数での導体の表皮深さが導体の厚さよりかなり少なく、スクリーンに穴がなければ（ファラデー・シールドは小さい穴を許容できますが、磁界スクリーンは許容できません）、高周波磁界は導電材料によってブロックされます。低周波磁界と DC 磁界は、ミューメタル・シートで作られたシールドで遮蔽できます。ミューメタルは透磁率の非常に高い合金ですが、高価で、機械的応力により磁気特性が低下し、極端に高い磁場にさらされると飽和します。このため、できれば使用しない方がよいでしょう。

### インダクタの寄生効果

インダクタンスは電子回路の基本特性の 1 つですが、インダクタは抵抗やコンデンサに比べると、部品としてあまり使用されません。高精度部品として使用されることは、さらに稀です。これは、インダクタが抵抗やコンデンサに比べて製造が難しく、安定性に欠け、物理的堅牢さが劣るためです。インダクタンスが nH から数十ないし数百  $\mu\text{H}$  の安定した高精度インダクタは製造が比較的容易ですが、値のもっと大きいデバイスは安定性が低下し、大型になる傾向があります。

こうした状況から予想されるように、できるだけ高精度インダクタを使用しない回路設計が行われます。安定した高精度インダクタが高精度のアナログ回路に使用されることは、高周波狭帯域アプリケーション向けの同調回路を除くと、かなり稀です。

もちろん、電源フィルタ、スイッチング電源など、精度の低さが重視されないアプリケーションには広く使用されています（これに関しては次のセクションで詳述）。このようなアプリケーションに使用されるインダクタの重要な特長は、通電特性、電流飽和特性、Q 値です。インダクタが空芯のコイルでできている場合、そのインダクタンスは基本的にインダクタを流れる電流の影響を受けません。一方、コアが磁性材料（磁性合金またはフェライト）の巻線の場合、高電流になるとコアが飽和し始めるため、インダクタンスは非線形になります。このような飽和が生じると、インダクタを使用した回路の効率が低下し、ノイズと高調波の生成が促されます。

上述したように、インダクタとコンデンサが合わさると、同調回路が形成されます。どのインダクタにも多少の浮遊容量があるので、すべてのインダクタに共振周波数があります（通常、データシートに記載されます）。高精度インダクタとして使用する場合にのみ、これを十分に下回る周波数で使用してください。

### Q 値（「品質係数」）

インダクタの残る特性は Q 値（つまり「品質係数」）で、図 12.23 に示すように、無効インピーダンスの抵抗成分に対する比です。

- ◆  $Q = 2\pi f L/R$
- ◆ **The Q of an inductor or resonant circuit is a measure of the ratio of its reactance to its resistance.**
- ◆ **The resistance is the HF and NOT the DC value.**
- ◆ **The 3 dB bandwidth of a single tuned circuit is  $F_c/Q$  where  $F_c$  is the center frequency.**

図 12.23: インダクタの Q 値（品質係数）

インダクタの Q 値は、ほとんどの場合 DC 抵抗値からは求められません。表皮効果（および、インダクタが磁性コアを持つ場合はコア損失）により、インダクタの Q 値は周波数が高い場合は常に DC 値に基づく予測値より小さくなるからです。

Q 値は同調回路の特性でもあります（さらにコンデンサの特性でもありますが、コンデンサの Q 値は一般に非常に大きいため、実際には考慮されないでしょう）。一般に、同調回路の Q 値は使用されるインダクタの Q 値とほとんど同じで（抵抗を追加して Q 値を意図的に下げる場合を除く）、共振周波数を中心とする帯域幅の目安となります。LC 同調回路の Q 値が 100（3 dB 帯域幅の 1%）を大きく超えることはめったにありませんが、セラミック共振器の Q 値は数千、水晶発振器の Q 値は数万にもなります。

### 何も見逃さない

ご使用の高精度オペアンプやデータコンバータ・ベースの設計が仕様を満たしていない場合、誤差原因を突き止めるために、何事も見逃さないように注意してください。能動部品および受動部品の両方を分析し、事実を見えなくしている思い込みや先入観を明らかにして、疑いの目を向けてみてください。何事も当然とは思わないことです。

例えば、ケーブル導体が動かないように固定されていないと、誘電体に囲まれた中で動いてしまい、特に高インピーダンス回路に接続されている場合は誤差につながる大きな静電荷が蓄積される可能性があります。費用はかかりますが、代わりに硬質ケーブルか高価な低ノイズのテフロン絶縁ケーブルを使用すると、解決します。

高精度オペアンプが徐々に入手可能になり、システム設計に速度と精度の向上が必要になるにつれて、本セクション（および後続のセクション）に記載したように、誤差原因を十分に理解することがいっそう重要となります。

後出の電源フィルタのセクションにある受動部品に関する追加説明で、本セクションを捕捉します。また、PCB 設計の課題に関するこの次のセクションでも、本セクションに記載した多くの点を補足します。同様の見解は、EMI/RFI の章にも当てはまります。

浮遊容量

2つの導体がともに短絡していない場合、または導電（ファラデー）スクリーンで互いに完全に遮蔽されていない場合、これらの導体間には容量が存在します。したがって、どの PCB 上にも回路関連のコンデンサ成分が多数あります（回路モデルで考慮されるかどうかは不明ですが）。高周波性能が重要である場合（DC 回路や 超低周波回路でさえ Ft の高いデバイスが使用されることがあるため、高周波性能の不安定さの影響を受けやすい場合がある）、この浮遊容量の影響を考慮することはきわめて重要です。

基本の教科書には、並列配線やその他の幾何学形状での容量を求める公式が記載されています（参考資料 9 および 10 参照）。この考察において検討すべき事例は平行板コンデンサで、多くの場合、導体を PCB の両側に配置して形成されます。このコンデンサの容量に関する基本的な図を図 12.24 に示します。

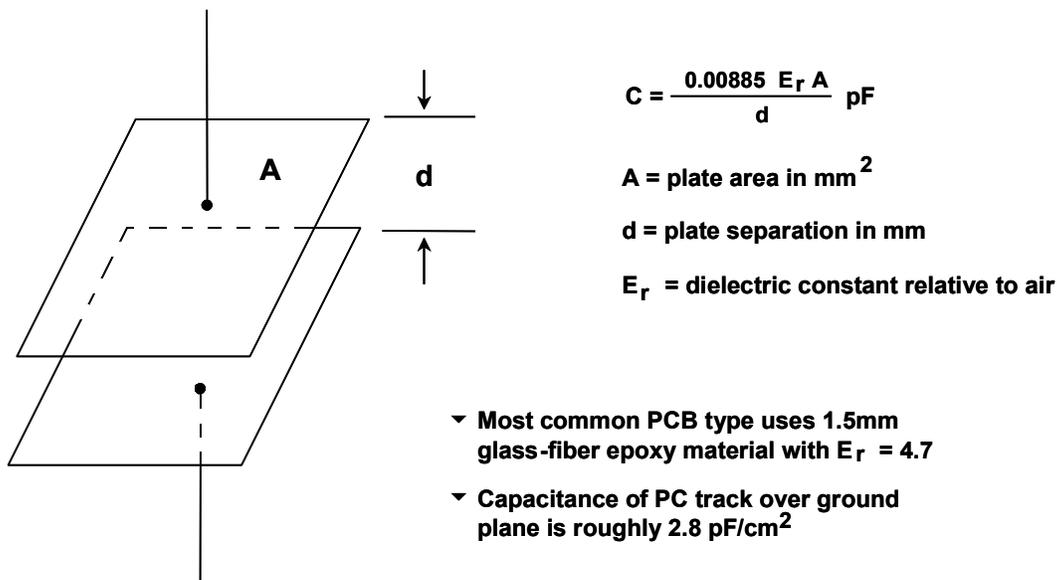


図 12.24: 2つの平行板の容量

エッジ効果を見無視すると、2つの平行板の面積を A mm<sup>2</sup>、平行板間の距離を d mm、誘電率（空気を基準とした比）の中間値を E とすると、容量は次のようになります。

$$0.00885 E_r A/d \text{ pF} \qquad \text{式 12-1}$$

ここで、

$E_r$  = 絶縁材料の（空気を基準とした）誘電率

$A$  = 平行板の面積

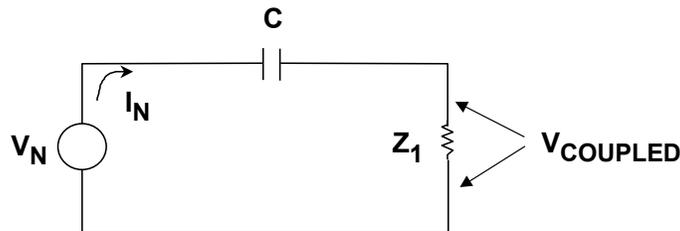
$D$  = 平行板間の距離

この式から、汎用の PCB 材料 ( $E_r = 4.7$ ,  $d = 1.5 \text{ mm}$ ) の場合、基板の両側にある導体間の容量はわずか 3 pF/cm<sup>2</sup> 未満となります。このような容量を一般に寄生容量と呼び、これによって回路性能が影響を受けないように回路を設計する必要があります。

PCB の容量を小型の単体コンデンサの代わりに使用することは可能ですが、このようなコンデンサでは、一般的な PCB 基板材料の誘電特性により動作不良が生じます。温度係数がかかなり高く、高い周波数では Q 値が低くなるため、多くのアプリケーションには不適切となります。テフロンのような誘電損失の低い材料で作られた高価な基板は、この原則には当てはまりません。

容量性ノイズとファラデー・シールド

誘電体で分離された 2 つの導体間には容量が存在します（空気や真空は誘電体です）。一方の導体の電圧が変化すると、他方では電荷の移動が生じます。この基本モデルを図 12.25 に示します。



$$Z_1 = \text{CIRCUIT IMPEDANCE}$$

$$Z_2 = 1/j\omega C$$

$$V_{\text{COUPLED}} = V_N \left( \frac{Z_1}{Z_1 + Z_2} \right)$$

図 12.25: 容量カップリングの等価回路モデル

$Z_1$  のノイズ電流を減らせば、 $Z_1$  の両端に生じるノイズ電圧 ( $V_{\text{COUPLED}}$ ) を低減できることは明らかです。このノイズ電流を減らす方法はいくつかあります。信号電圧  $V_N$ 、関連周波数、容量、 $Z_1$  そのもののいずれかを低減することです。ただし残念なことに、これらの回路のどのパラメータも自由に変更できないことが多いため、干渉を最小限に抑えるための代替方法が必要です。C のノイズ・カップリング効果を減らす最良の方法は、ノイズ源と影響を受ける回路の間に接地した導体（ファラデー・シールドとしても知られる）を挿入することです。これにより  $Z_1$  のノイズ電流を減らすという所望の効果が得られるので、 $V_{\text{COUPLED}}$  が低減します。

ファラデー・シールドのモデルを図 12.26 に示します。左側の図では、カップリング容量 C が非常に有効に分割されることから、シールドの機能がわかります。右側の図では、 $Z_1$  の両端のカップリング電圧に対する実際の影響を示しています。ノイズ電流  $I_N$  はシールドにまだ流れるものの、そのほとんどが  $Z_1$  から逸れるようになっています。その結果、 $Z_1$  両端のカップリングされたノイズ電圧  $V_{\text{COUPLED}}$  は低減します。

ファラデー・シールドは実装が容易で、ほとんどの場合うまく実装できます。このため、容量カップリングによるノイズが厄介な問題になることはめったにありません。

しかし、十分な効果を上げるには、ノイズ源と遮蔽される回路間の電界をファラデー・シールドで完全に遮断する必要があります。回路内で伝導ノイズを発生させる可能性のある部分に変位電流を流さずに、変位電流が電流源に戻るように接続することも必要です。

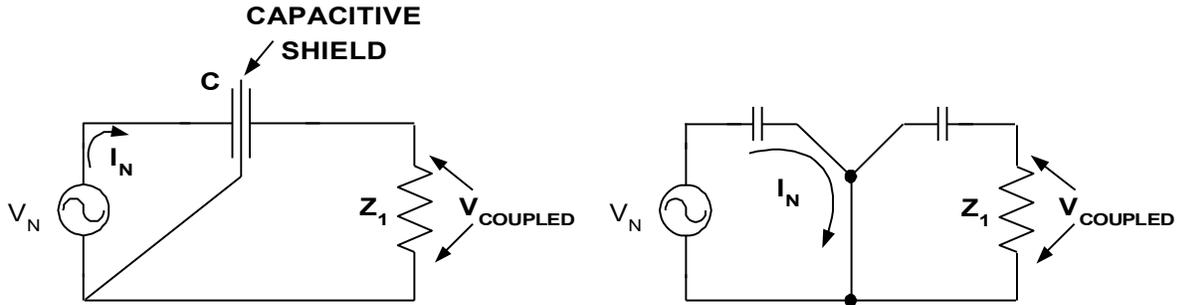
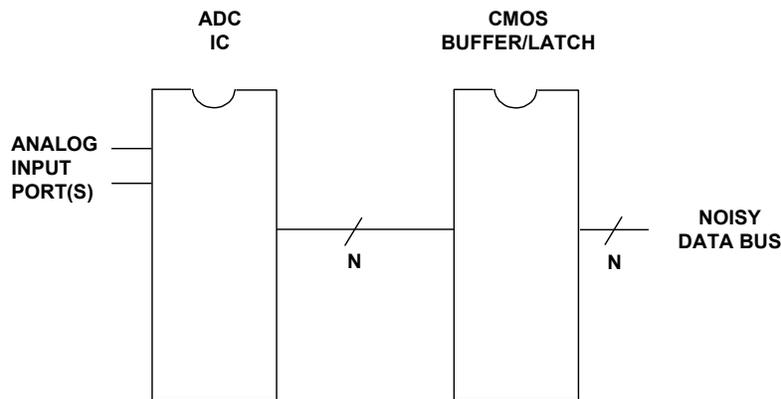


図 12.26: ファラデー・シールドの動作モデル

### ロジック・ノイズに対する ADC のバッファリング

エッジ・レートが  $2 \text{ V/ns} \sim 5 \text{ V/ns}$  のロジック・ノイズを生じる高速データ・バスに高分解能データ・コンバータ (ADC または DAC) が接続されている場合、このノイズはデバイス両端の浮遊容量を介してコンバータのアナログ・ポートに簡単に接続されてしまいます。データ・バスがアクティブなときは常に、許容できない量のノイズがアナログ・ポートに容量カップリングされるので、性能が著しく低下します。



- ◆ THE OUTPUT BUFFER/LATCH ACTS AS A FARADAY SHIELD BETWEEN "N" LINES OF A FAST, NOISY DATA BUS AND A HIGH PERFORMANCE ADC.
- ◆ THIS MEASURE ADDS COST, BOARD AREA, POWER CONSUMPTION, RELIABILITY REDUCTION, DESIGN COMPLEXITY, AND MOST IMPORTANTLY, *IMPROVED PERFORMANCE!*

図 12.27: 高速データ・バス上にある高速 ADC IC によりデータ・ノイズがアナログ・ポートにカップリングされるので、性能が制約される

複数のパッケージ・コンデンサによりノイズの多いエッジ信号がデータ・バスから ADC のアナログ入力にカップリングされた場合、特別な影響をもたらすことが図 12.27 からわかります。

現在の技術では、影響を受ける IC デバイス自体でこの問題を解決する方法はありません。この問題は、アナログ回路とデジタル回路をワンチップ化した他の広帯域モノリシック・ミックスト・シグナル IC の性能を制約するおそれもあります。幸い、このカップリング・ノイズの問題は、データ・バスをコンバータに直接接続しないことで簡単に回避できます。

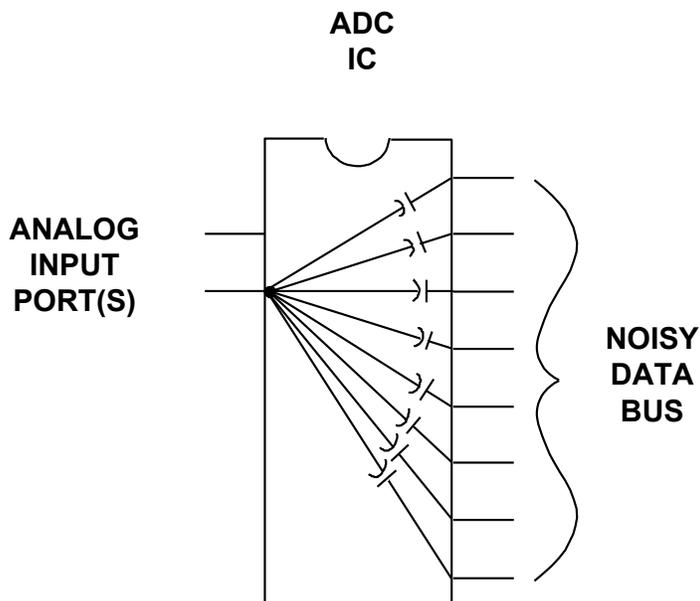


図 12.28: 出力にラッチ付き CMOS バッファを使用した高速 ADC IC は、デジタル・データ・バスのノイズに対して高い耐性を示す

代わりに、図 12.28 に示すように、ラッチ付き CMOS バッファをコンバータからバスへのインターフェースとして使用します。CMOS バッファ IC はファラデー・シールドの役割を果たすので、デジタル・バスのノイズ・カップリングを大幅に減らします。この方法はコストが高く、ボード面積を大きく取り、信頼性を（ほんのわずかに）低下させます。また、電力を消費し、デザインを複雑にします。しかし、コンバータの S/N 比を確実に改善します。実行する価値があるかどうかは、個々のケースに応じて設計者が判断する必要がありますが、一般には強く推奨されます。

### ノイズ・ピックアップの影響を受けやすい、回路の高インピーダンス

低消費電力の回路では、電力を抑えるために値の大きい抵抗を使用する傾向があるので、回路は外部から誘導される放射ノイズと伝導ノイズの影響をより受けやすくなります。寄生容量がわずかでもあり、ノイズの侵入にとって重大な伝導パスが作られる可能性があります。

例えば、図 12.29 に示すように、わずか 1 pF の寄生容量があると、5 V のロジック遷移から 100 kΩ の回路に大きな妨害電圧を発生させることができます。

この図から、机上では優れた設計でも、いざ実装してみると性能不良を起こす原因となる潜在的な寄生成分が、高インピーダンス回路に多数あることがわかります。信号の配線には特別な注意を払う必要があります。興味深いことに、寄生成分を除去する多くの高周波レイアウト技術は、低周波数、低消費電力の回路にもさまざまな理由で適用できます。高周波回路では、回路の寄生成分は不要な位相シフトと不安定さを生じさせますが、低消費電力の高精度回路では、同じ寄生成分が不要なノイズをピックアップします。

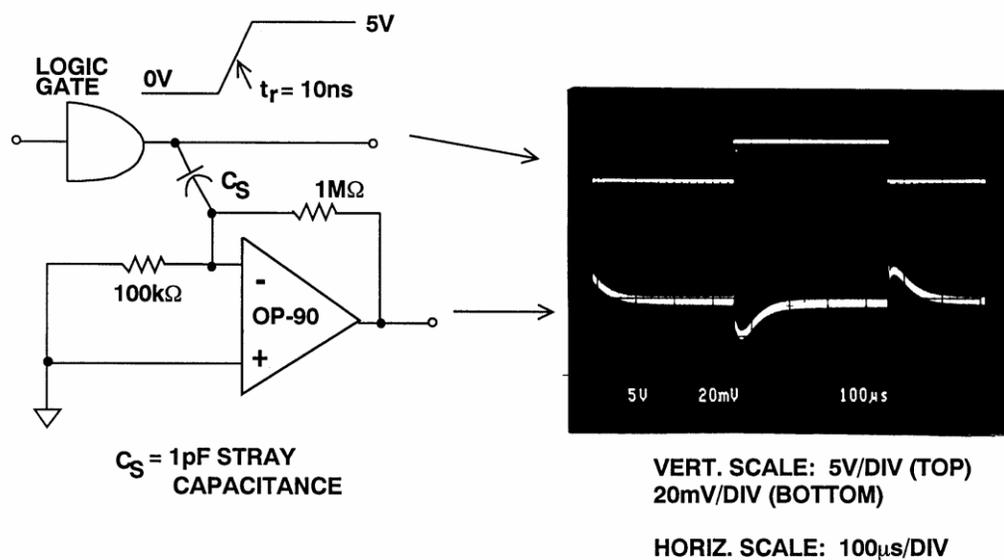


図 12.29: 回路の高インピーダンスによりノイズ・ピックアップに対する感受性が増加

アンプの章で説明したように、電流帰還型アンプが入力に容量を持つことは好ましくありません。そのため、図 12.30 に示す高速電流帰還型アンプ AD8001 の評価用ボードのように、グラウンド・プレーンの切り欠きは入力ピンの部分に入れてください。わずかでも容量がある場合に電流帰還型アンプの入力に与える影響を、図 12.31 に示します。出力のリングングに注意してください。

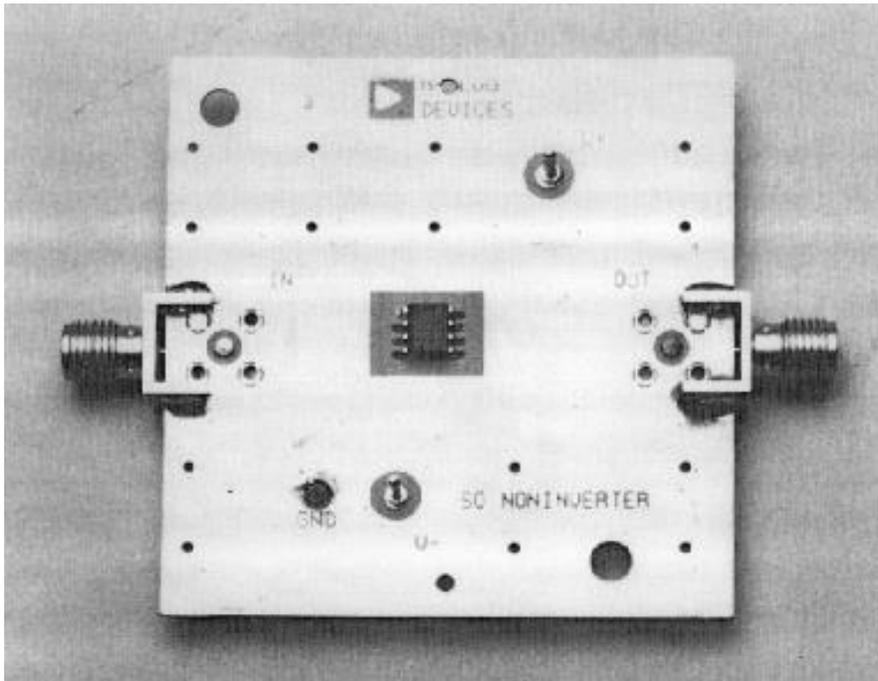


図 12.30a: AD8001AR (SOIC) 評価用ボード—上面図

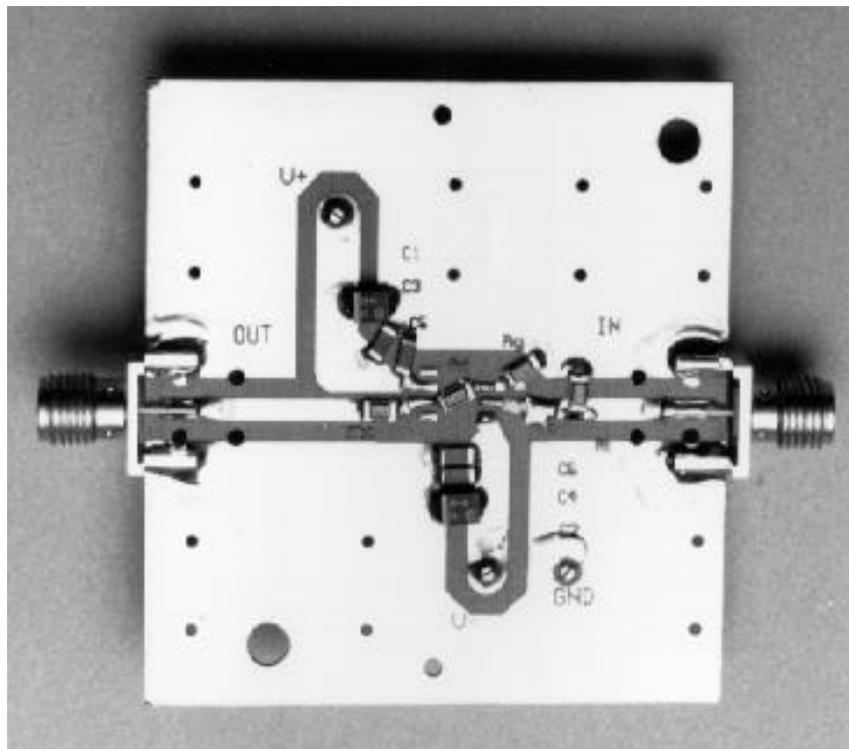


図 12.30b: AD8001AR (SOIC) 評価用ボード—底面図

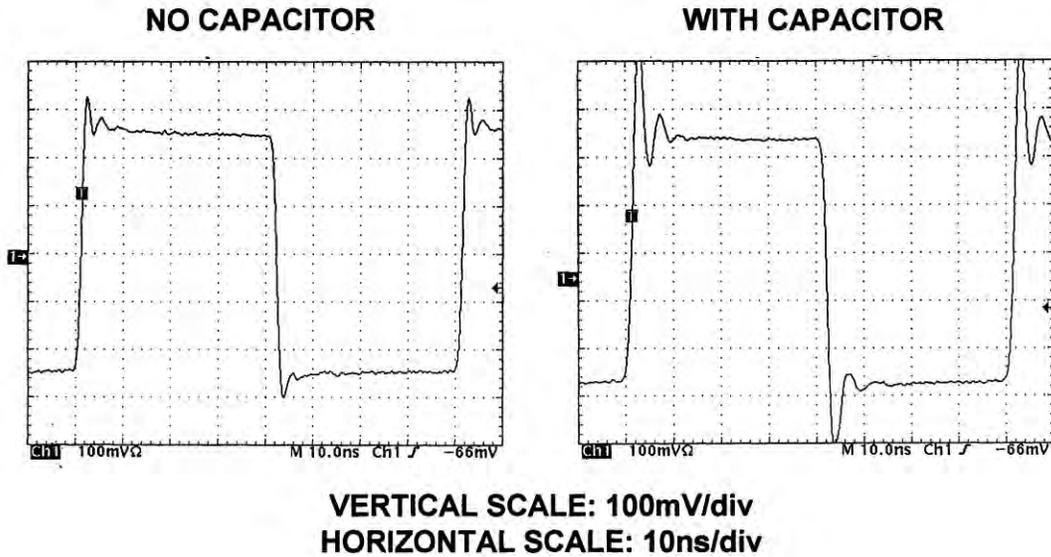


図 12.31: 10 pF の浮遊容量がアンプ (AD8001) のパルス応答の反転入力に与える影響

### 表皮効果

高周波数では、誘導性効果により電流が導体の外側表面のみを流れる表皮効果についても考慮します。導体の DC 抵抗に関して本セクションで前述した内容と大きく異なることに注意してください。

高周波数では、表皮効果により導体の抵抗値が増加します。なお、この効果は、導体の自己インダクタンスに起因する、周波数の上昇に伴うインピーダンスの増加とは異なります。

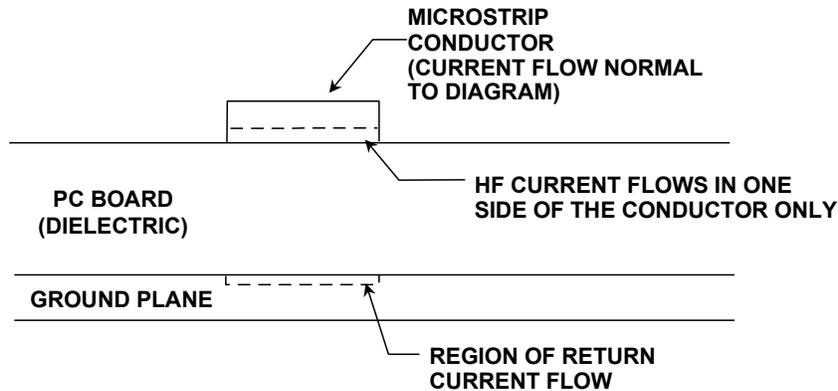


図 12.32: PCB 導体の表皮深さ

表皮効果は非常に複雑な現象で、詳細な計算はこの説明の対象外です。ただし、銅の場合の表皮深さを適切な近似値で計算すると、cm 単位で  $6.61/\sqrt{f}$  ( $f$  の単位は Hz) となります。代表的な PCB 導体フォイル内の表皮効果の概要を図 12.32 に示します。この銅の導体の断面図は、導電パターン側の検討を前提としていることに注意してください。表皮深さが導体の厚さの 50 % 未満の場合に表皮効果が問題になると仮定すれば、代表的な PC フォイルでは、約 12 MHz を超える周波数で表皮効果の心配をしなければならないことがわかります。

表皮効果が問題になる場合、銅の抵抗値は  $2.6 \times 10^{-7}\sqrt{f} \Omega/\text{sq.}$  ( $f$  の単位は Hz) です。この式は、表皮の厚さが導体の厚さを上回る場合（DC 時または低周波時）は無効です。

下層のグラウンド・プレーンと離れた状態の PCB 導体に電流が流れる場合を、図 12.33 に示します。

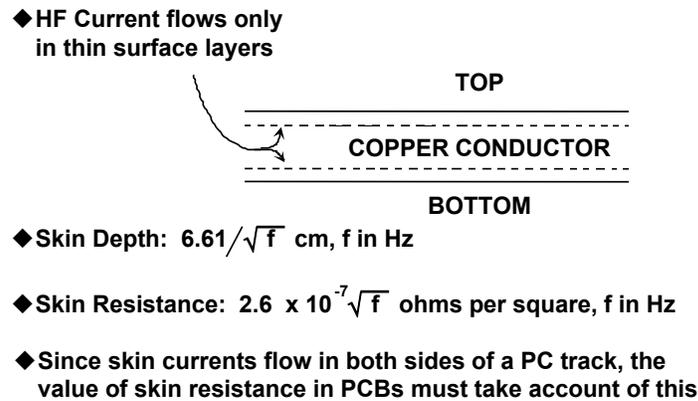


図 12.33: PCB 導体とグラウンド・プレーンでの表皮効果

この図では、高周波電流が流れる（点線の）領域が表皮効果により縮小することに注目してください。PCB の表皮効果を計算するとき、電流は通常 PC フォイルの両側に流れる（必ずしもマイクロストリップ・ラインの場合とは限りません、下記参照）ので、PC フォイルの単位面積あたりの抵抗値は上の値の半分になることを覚えておいてください。

伝送ライン

これまでの章で、インダクタンスを最小限に抑えるために行きと帰りの信号パスを接近させる利点について考察しました。前に図 7-30 に示したように、グラウンド・プレーン上を走る PC トラックに高周波信号が流れると、この配列がマイクロストリップ伝送ラインとして機能し、このラインのすぐ下のグラウンド・プレーンにリターン電流の大部分が流れます。

マイクロストリップ伝送ラインの一般的なパラメータを図 12.34 に示します。導体の幅 ( $w$ )、誘電体の厚さ ( $h$ )、誘電率 ( $E_r$ ) が与えられています。

このようなマイクロストリップ・ラインの特性インピーダンスは、トラック幅、PCB 材料の厚さ、誘電率で決まります。マイクロストリップ・ラインの設計の詳細については、本章の後半で取り上げます。

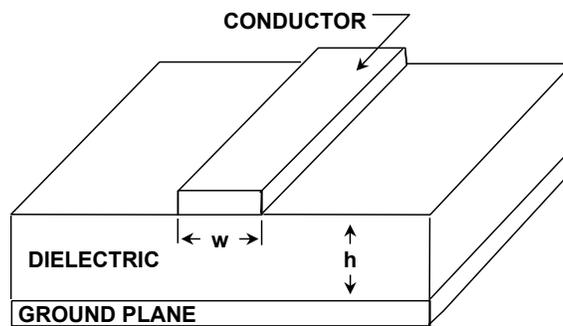


図 12.34: PCB のマイクロストリップ伝送ラインは、インピーダンスが制御された導体ペアの一例

ほとんどの DC アプリケーションと低周波アプリケーションでは、PCB パターンの特性インピーダンスはそれほど問題になりません。グラウンド・プレーン上のトラックが伝送ラインとして機能する周波数であっても、その周波数の自由空間波長が伝送ラインの長さの 10 倍を超える場合は、特性インピーダンスや適切な終端について心配する必要はありません。

ただし、VHF 以上の周波数で、適切に終端された伝送システムでは、PCB トラックをマイクロストリップ・ラインとして使用することができます。通常、マイクロストリップは 50 Ω、75 Ω、100 Ω などの標準的な同軸ケーブルのインピーダンスに整合するように設計されており、インターフェースを簡素化します。

このようなシステムの損失を最小限に抑えようとする場合、低周波損失または高周波損失を考慮して PCB 材料を選択する必要があることに注意してください。これは通常、テフロンなどの比較的損失の少ない PCB 材料を使用することを意味します。もっとも、多くの場合、廉価なグラスファイバー基板上での短いラインの損失は十分許容できるほど小さいものです。

PCB の慎重な設計

システムの重要なパスと回路を決定したら、堅牢な PCB レイアウトを実装する次のステップは、回路の機能に応じてプリント回路基板を分割することです。そのためには、電源、グラウンド、信号プレーンを適切に使用する必要があります。PCB のレイアウトが適切であれば、重要なアナログ・パスを大きな干渉源（入出力ラインやコネクタなど）から隔離することもできます。高周波回路（アナログおよびデジタル）は、低周波回路から分離してください。また、自動信号配線を行う CAD レイアウト・ソフトウェアを使用する際は、十分注意してください。不要なカップリングや放射を避けるには、重要な信号パスは手作業で配線します。

適切に設計された多層 PCB は、EMI 放射を低減し、RF 電界に対する耐性を両面基板の 10 倍以上に高めることができます。多層基板では、1 つの層全体をグラウンド・プレーンに使用できますが、両面基板のグラウンド・プレーン面は、信号の交差などによる影響を受けることがよくあります。システムでアナログとデジタルのグラウンド・プレーンと電源プレーンが別々に存在する場合は、アナログ・グラウンド・プレーンをアナログ電源プレーンの下に配置し、同様にデジタル・グラウンド・プレーンをデジタル電源プレーンの下に配置する必要があります。アナログとデジタルのグラウンド・プレーン同士、またはアナログとデジタルの電源プレーン同士が重ならないようにしてください。

インピーダンスを制御したパターンの PCB での設計

設計でインピーダンスを制御すると、さまざまなパターン構造を使用可能で、この構造には PCB パターンに不可欠なものに関連したものがあります。以下の説明では、2141 規格に記載のとおり、基本パターンは IPC パターンに準拠しています（参考資料 16 参照）。

なお、以下の図では「グラウンド・プレーン」の用語を使用しています。実際は、このプレーンは面積が大きくインピーダンスの小さいリファレンス・プレーンであることを承知しておいてください。具体的には、このプレーンはグラウンド・プレーンか電源プレーンのどちらかで、いずれも AC 電位はゼロの状態と見なされます。

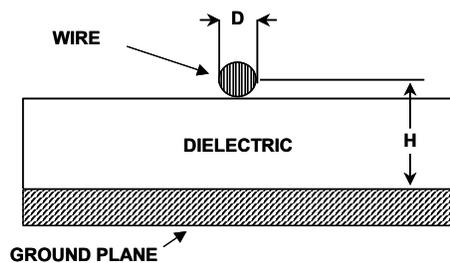


図 12.35: 規定インピーダンスのワイヤ・マイクロストリップ伝送ラインは、グラウンド・プレーンとの間に間隔を置いた絶縁ワイヤから成る

その最初のものが、プレーンの上にワイヤを配置した単純な構造の伝送ラインで、ワイヤ・マイクロストリップとも呼ばれます。断面図を図 12.35 に示します。このタイプの伝送ラインには、例えばブレッドボード内で使用される信号線があります。

これは単純に、グラウンド・プレーン上に一定の間隔で配置した絶縁ワイヤ単体から成ります。ワイヤの絶縁ウォールか、この絶縁ウォールと空気を組み合わせたものが、誘電体となります。

このラインのインピーダンス（単位： $\Omega$ ）は、式 12-2 で概算できます。

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{4H}{D} \right] \quad . \quad \text{式 12-2}$$

ここで、

$D$  = 導体の直径

$H$  = ワイヤとプレーン間の間隔

$\epsilon_r$  = 空気を基準にした材料の誘電率。

PCB に不可欠なパターンにはさまざまな構造モデルがあり、シングルエンドと差動のどちらにするかは選択できます。これらのモデルについては、IPC 規格 2141 に多少詳しく説明されています（参考資料 16 参照）が、ここではよく使用されている 2 つの例について紹介します。

PCB ベースの伝送ラインの設計を始める前に、こうした設計を対象とする式は多数存在することを知っておいてください。ここで、「それらのうち精度の高い式はどれか？」というきわめて妥当な疑問が生じます。それほど完璧な式はない、というのがそれに対する残念な答です。既存の式はすべて概算式であるため、その精度は仕様に応じてさまざまに異なります。最もよく知られ、最も広く引用されている式は、参考資料 16 のものですが、それらでさえ使用時の注意事項が添えられています。

参考資料 17 では、テスト用 PCB サンプルに使用される個々の構造パターンを対象とした参考資料 16 の式を評価し、予測精度が目標のインピーダンスに応じて変わることを明らかにしています。参考資料 18 も参考資料 16 の式を評価したもので、別のより複雑な評価結果を提供しています（参考資料 19 参照）。以下に引用する式は参考資料 16 の式で、ここでは設計の出発点として挙げられており、さらに分析、テスト、設計検証が行われています。結論として、PCB パターンのインピーダンスの式は、十分に調べたうえで適切に使用してください。

PCB のマイクロストリップ伝送ライン

片面がグラウンド・プレーンの単純な両面 PCB の設計では、もう一方の面の信号パターンをインピーダンスを抑えるように設計することができます。この構造は、表面マイクロストリップ、またはもっと簡単にマイクロストリップとして知られています。

図 12.36 に示す 2 層 PCB の断面図で、このマイクロストリップ構造を説明します。

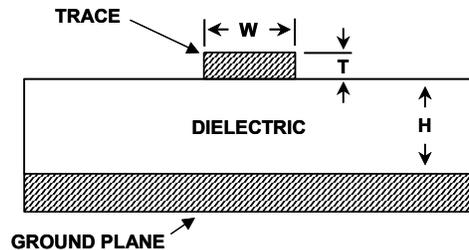


図 12.36: 規定インピーダンスのマイクロストリップ伝送ラインは、グラウンド・プレーンとの間に間隔を置いた適切な構造の PCB パターンから成る

PCB のラミネートと銅箔の重さを特定すると、信号パターンの幅  $W$  を除くすべてのパラメータが決まることに注意してください。したがって、式 12-3 を使用して、回路に必要とされるインピーダンスと整合するように PCB パターンを設計することができます。幅  $W$ 、厚さ  $T$  の信号パターンが、誘電率  $\epsilon_r$  の PCB 誘電体によりグラウンド（または電源）プレーンから距離  $H$  だけ離れている場合、特性インピーダンスは次のようになります。

$$Z_0 (\Omega) = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[ \frac{5.98H}{(0.8W + T)} \right] \quad \text{式 12-3}$$

なお、ここに示す式では、長さの単位は共通です (mil)。

これらの伝送ラインには、特性インピーダンスに加えて容量もあります。この容量は、式 12-4 に示すように pF/in を単位として計算できます。

$$C_0 (\text{pF/in}) = \frac{0.67(\epsilon_r + 1.41)}{\ln[5.98H/(0.8W + T)]} \quad \text{式 12-4}$$

これらの計算式を含む一例として、2 層基板に 10 mil ( $H$ ) の FR-4 ( $\epsilon = 4.0$ ) 誘電材料で隔てられた 20 mil 幅 ( $W$ )、1 オンス ( $T = 1.4$ ) の銅パターンを使用するとします。このマイクロストリップで生じるインピーダンスは約 50  $\Omega$  です。例えば 75  $\Omega$  ビデオ規格など、他の標準的なインピーダンスの場合は、「 $W$ 」を約 8.3 mil に調整します。

マイクロストリップに関するガイドライン

この例では、興味深く非常に役立つポイントを取り上げます。参考資料 17 は、PCB のマイクロストリップのインピーダンスに関する有用なガイドラインについて説明しています。誘電率が 4.0 (FR-4) の場合、W/H が 2/1 であれば、発生するインピーダンスが約 50 Ω になることがわかります (最初の例と同様、W = 20 mil)。

注意深い読者は、式 9.21 から  $Z_0$  が約 46 Ω になることが見込まれ、通常は参考資料 17 で引用された精度 (5% 超) に合致することに気づくでしょう。マイクロストリップに関する IPC の式は、インピーダンスが 50 Ω ~ 100 Ω の範囲では最高精度ですが、インピーダンスがそれより低い (または高い) 場合は著しく低下します。参考資料 20 では、PCB の産業用インピーダンスの各種計算ツールを表にまとめています。

マイクロストリップ・ラインの伝播遅延も式 12-5 により計算できます。これは、マイクロストリップの信号パターンにおける一方向の通過時間です。面白いことに、一定の構造モデルでは、遅延定数 (単位: ns/ft) は誘電率にのみ依存し、パターン寸法には依存しません (参考資料 21 参照)。この状況が非常に便利であることに注目してください。つまり、一定の PCB ラミネート (および一定の  $\epsilon_r$ ) を使用すれば、伝播遅延定数は各種インピーダンス・ラインで一定です。

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{0.475\epsilon_r + 0.67} \quad \text{式 12-5}$$

小型 PCB の場合、この遅延定数はより実用的な単位形式の ps/in でも表すことができます。つまり、次のようになります。

$$t_{pd}(\text{ps/in}) = 85\sqrt{0.475\epsilon_r + 0.67} \quad \text{式 12.6}$$

したがって、誘電率が 4.0 の PCB を例にとると、マイクロストリップの遅延定数は約 1.63 ns/ft、または 136 ps/in となります。これらの 2 つのガイドラインを加えると、PCB パターンを通る際の信号のタイミングを設計するのに有用です。

PCB の対称ストリップラインの伝送ライン

多くの観点から見て望ましい PCB の設計方法は、多層 PCB です。図 12.37 の断面図に示すように、この配置では電源プレーンとグラウンド・プレーンの上に信号パターンが埋め込まれます。低インピーダンスの AC グラウンド・プレーンと埋め込まれた信号パターンで対称ストリップラインの伝送ラインを構成します。

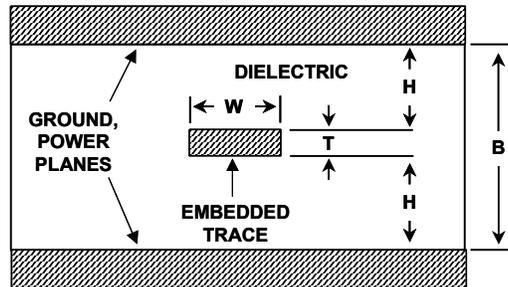


図 12.37: 規定インピーダンスの対称ストリップ伝送ラインは、適切な構造の PCB パターンをグラウンド・プレーンと電源プレーン間の各プレーンから等間隔の位置に埋め込むことにより構成される

図からわかるように、高周波信号のパターンのリターン電流パスは、グラウンド・プレーンと電源プレーン上の信号パターンの真上および真下に位置しています。したがって、高周波信号は完全に PCB の内部にあるので、放射が最小限に抑えられ、入ってくるスプリアス信号に対する自然なシールドが得られます。

この配置の特性インピーダンスは、やはり PCB 誘電体の構造と  $\epsilon_r$  で決まります。ストリップライン伝送ラインの  $Z_0$  を求める式は、次のとおりです。

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{1.9(B)}{(0.8W + T)} \right] \quad \text{式 12.7}$$

ここで、すべての寸法はこの場合も単位が mil で、B は 2 つのプレーンの間隔です。上記の対称構造では、B が  $2H + T$  に等しいことにも注意してください。参考資料 16 にあるこの式の精度が通常約 6% であることが、参考資料 17 に示されています。

対称ストリップラインの誘電率 ( $\epsilon_r$ ) が 4.0 の場合にもう 1 つ便利なガイドラインとなるのは、B を W の倍数にする (2 ~ 2.2 の範囲) ことです。これにより、ストリップラインのインピーダンスは約 50  $\Omega$  になります。もちろん、このルールは T を無視したさらなる概算に基づくものです。それでも、概算の数字としては依然有用です。

対称ストリップラインには特性容量もあり、これは pF/in を単位として次のように計算できます。

$$C_o(\text{pF/in}) = \frac{1.41(\epsilon_r)}{\ln[3.81H/(0.8W + T)]} \quad \text{式 12-8}$$

対称ストリップラインの伝播遅延を式 12-9 に示します。

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{\epsilon_r} \quad \text{式 12-9}$$

または、ps 単位では次のようになります

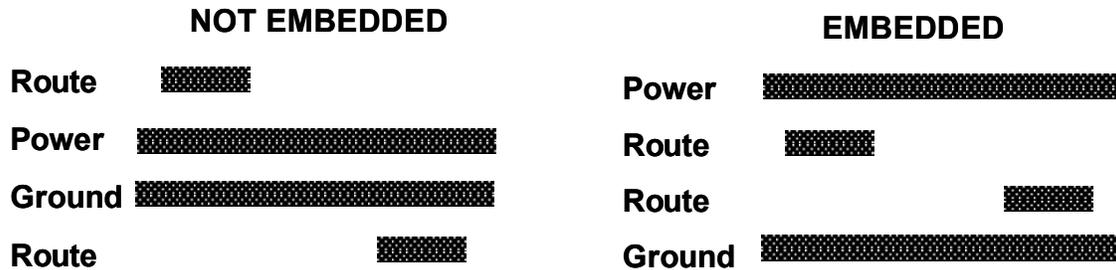
$$t_{pd}(\text{ps/in}) = 85\sqrt{\epsilon_r} \quad \text{式 12-10}$$

誘電率が 4.0 の PCB の場合、対称ストリップラインの遅延定数は、ほぼ正確に 2 ns/ft、または 170 ps/in となります。

埋め込みパターンの長所と短所

上記の検討により、インピーダンスが規定された PCB パターンは、表面層上でも 2 層間に埋め込まれた状態でも設計可能です。もちろん、これらのインピーダンスの課題以外にも検討事項は多数あります。

埋め込まれた信号には、明らかで大きな短所が 1 つあります。隠れた回路パターンのデバッグは困難か不可能だということです。埋め込まれた信号パターンの長所と短所の一部を図 12.38 にまとめます。



■ Advantages

- Signal traces shielded and protected
- Lower impedance, thus lower emissions and crosstalk
- Significant improvement > 50MHz

■ Disadvantages

- Difficult prototyping and troubleshooting
- Decoupling may be more difficult
- Impedance may be too low for easy matching

図 12.38: 多層 PCB の設計で信号パターンを埋め込まない場合と埋め込んだ場合の長所と短所

多層 PCB は、左側の断面の例に示すように、埋め込みパターンを使用せずに設計することができます。この埋め込み例は、2 層の両面 PCB の設計（つまり、銅層が合計 4 層）と見なすことができます。上面に配線されたパターンが、電源プレーン側のマイクロストリップを構成し、底面のパターンがグラウンド・プレーン側のマイクロストリップを構成します。この例では、測定やトラブルシューティングを行う場合は、両方の外側の層の信号パターンに容易にアクセスできます。しかし、この配置はプレーンのシールド特性を全く利用していません。

パターンを埋め込まないこの配置は、パターンを埋め込み、プレーンを最大限利用した右側の例に比べて、信号の放射が大きく外部信号の影響を受けやすくなります。他の多くの技術的な取り組みと同様、PCB の設計にパターンを埋め込むかどうかを決定することは、この場合は低放射とテストのしやすさのいずれかを選ぶというトレードオフになります。

高速ロジックへの対応

信号の反射を避けるために、PCB パターンをそれらの特性インピーダンスで終端することについて多くの記述がなされてきました。この終端が必要な場合に判断するための適切なガイドラインは、以下のとおりです。PCB トラックの一方の伝播遅延が、与えられた信号の立上がり／立下がり時間（どちらか時間が短い方のエッジ）以上の長さのとき、伝送ラインをその特性インピーダンスで終端します。例えば、 $\epsilon_r = 4.0$  の誘電体上の 2 インチのマイクロストリップ・ラインの遅延は約 270 ps となります。上述のルールを厳密に適用すると、信号の立上がり時間が約 500 ps 未満になるたびに終端するのが適切です。より保守的なルールは、2 インチ（PCB のトラック長）／ナノ秒（立上がり／立下がり時間）ルールを使うことです。信号パターンがこのパターン長／速度の基準を超えている場合、終端を使うこととなります。

例えば、立上がり／立下がり時間が 5 ns の高速用 PCB トラックは、トラック長が 10 インチ以上（測定する長さには蛇行分を含む）の場合にその特性インピーダンスで終端されます。

最新システムで現在期待される点の一例として、+3.3 V 電源で動作する SHARC DSP など、いくつかのロジック・ファミリーの代表的な立上がり／立下がり時間を図 12.39 に示します。予想されるように、立上がり／立下がり時間は負荷容量に依存します。

- ◆ GaAs: 0.1ns
- ◆ ECL: 0.75ns
- ◆ ADI SHARC DSPs: 0.5ns TO 1ns (OPERATING ON +3.3V SUPPLY)

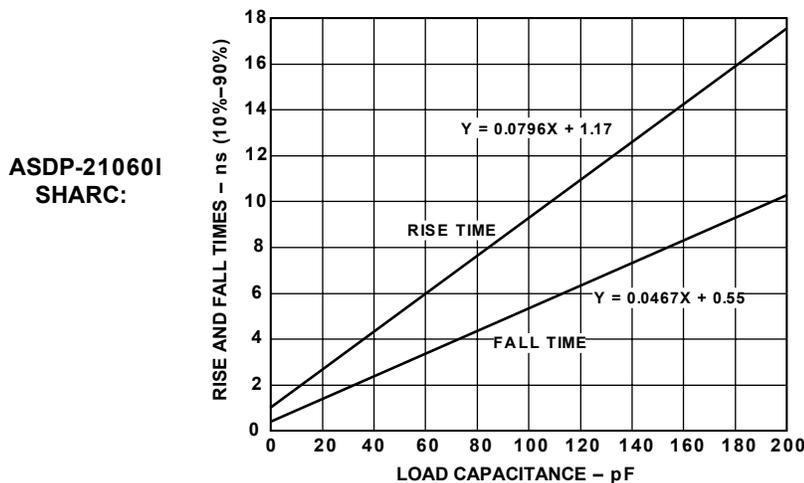


図 12.39: DSP 出力の代表的な立上がり時間と立下がり時間

アナログ領域では、伝送ライン技術が必要かどうかを判断するうえで、この同じおおまかな 2 インチ／ナノ秒ルールをオペアンプや他の回路にも適用すべきであることを知っておく必要があります。例えば、アンプが最大周波数  $f_{max}$  を出力する必要がある場合、対応する立上がり時間  $t_r$  はこの  $f_{max}$  と関連しています。この限界立上がり時間  $t_r$  は次のように計算できます。

$$t_r = 0.35/f_{max}$$

式 12-11

次に、PCB の最大トラック長を計算するには、 $t_r$  に 2 インチ／ナノ秒を掛けます。例えば、100 MHz の最大周波数は 3.5 ns の立上がり時間に相当するので、この信号を運ぶトラックとして 7 インチ以上のものを伝送ラインとして扱います。

敏感なアナログ回路が高速ロジックの影響を受けないようにする最良の方法は、この 2 つを PCB レイアウトで物理的に離すことと、システム要件が求めるだけの速度のロジック・ファミリーを使用することです。場合によっては、1 つのシステムで複数のロジック・ファミリーを使用しなければならないことがあります。代替の方法としては、最高速度が必要なければ、直列抵抗かフェライト・ビーズを使用してロジック遷移の速度を落とすことです。図 12.40 に、このセットアップを示します。

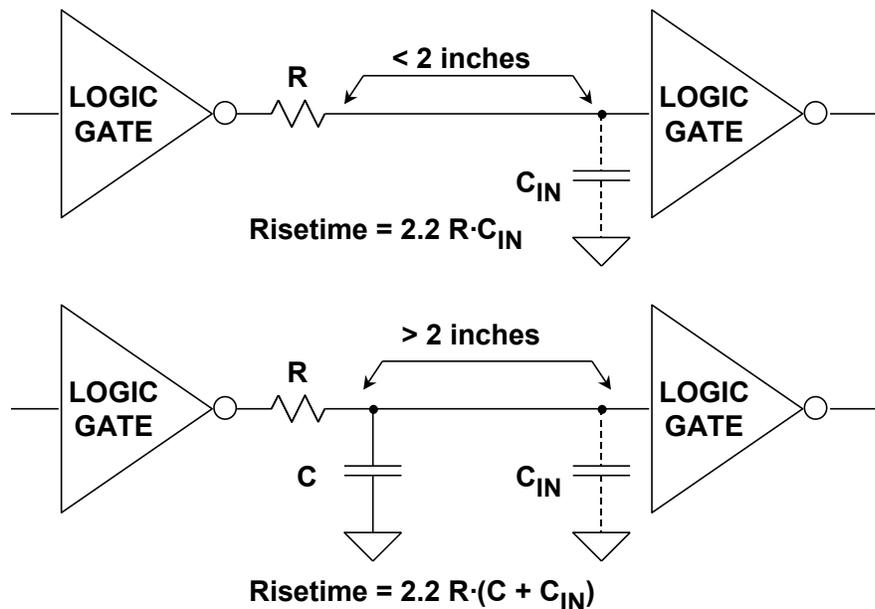


図 12.40: EMI/RFI の問題を最小限に抑えるために、ダンピング抵抗で高速ロジックのエッジ速度を低下させる

最初の方法では、直列抵抗とゲートの入力容量でローパス・フィルタを作ります。CMOS の代表的な入力容量は 5 pF ~ 10 pF です。直列抵抗は駆動ゲートの近くに配置します。この抵抗が過渡電流を最小限に抑えるので、伝送ライン技術を利用する必要はないかもしれません。受信ゲートでの立上がり／立下がり時間がシステム要件を満たす程度の（ただし、それ以上ではない）速度になるように、抵抗値を選んでください。また、抵抗値は、レシーバーのロジック・レベルが仕様の範囲をはずれるほど大きくしないようにしてください。その抵抗を流れるソース電流とシンク電流により電圧が低下するためです。2 つめの方法は長い距離（2 インチ超）に適しているもので、エッジ速度を遅らせるために容量を追加します。これらの手法のいずれを利用しても、元の信号より遅延が大きくなり、立上がり／立下がり時間が延びることに注意してください。これは、全体のタイミング・バジェットを基準に考慮すべきで、遅延の増加が許容できないことがあります。

リード・ストロブまたはライト・ストロブを複数の DSP から双方向接続して使用する場合には、複数の DSP を 1 点に接続しなければならない状況を図 12.41 に示します。図 12.41A に示す小さいダンピング抵抗は、DSP 間の距離が約 2 インチ未満であればリングングを最小限に抑えられます。ただし、この方法は立上がり／立下がり時間と伝播遅延の増加も引き起こします。2 つのプロセッサ・グループを接続する必要がある場合は、図 12.41B に示すようにプロセッサ・ペア間に抵抗を 1 本置くことで、リングングを低減できます。

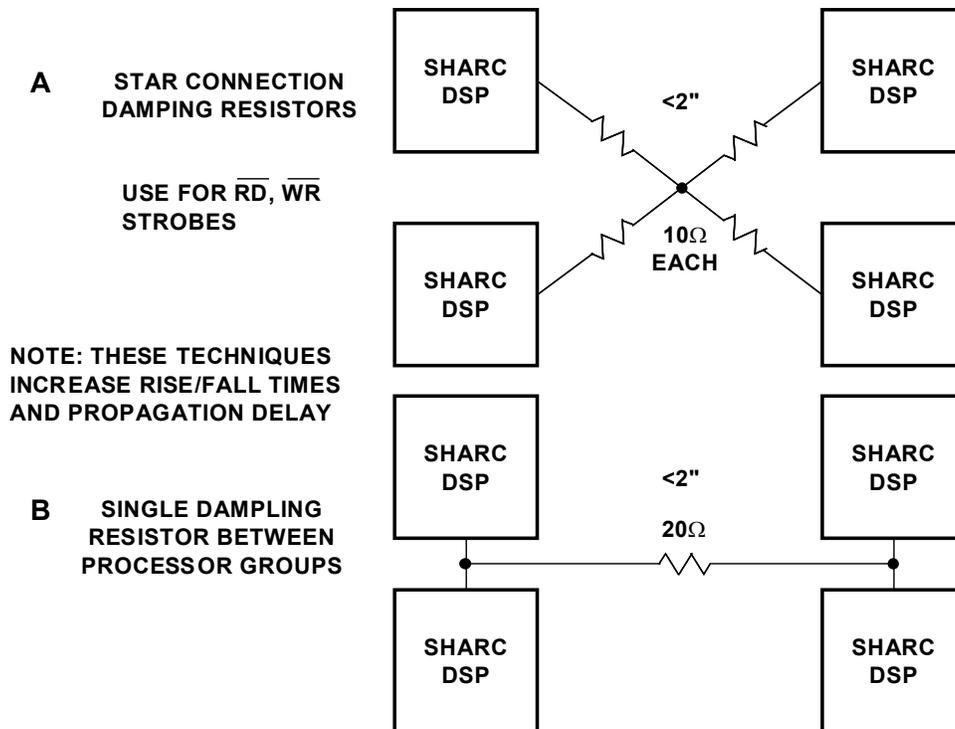


図 12.41: 高速 DSP を相互接続する場合の直列ダンピング抵抗

距離が約 2 インチを超える場合に、立上がり／立下がり時間をリングングなしで 1 ns 以下に維持する唯一の方法は、伝送ライン技術を利用することです。図 12.42 に、エンド終端とソース終端の 2 つの一般的な終端方法を示します。エンド終端方法 (図 12.42A) では、マイクロストリップ伝送ラインの特性インピーダンスの終端ポイントでケーブルが終端されます。高いインピーダンスを使用することはできませんが、50 Ω が一般的です。これは、終端ゲートの入力容量 (通常 5 pF ~ 10 pF) に起因する終端インピーダンスの不整合の影響をこの大きさで最小限に抑えられるからです。

図 12.42A では、+1.4 V (入力ロジックの閾値 0.8 V ~ 2.0 V の中間点) に終端された 50 Ω のテブナン・インピーダンスでケーブルを終端しています。この場合 2 つの抵抗 (91 Ω と 120 Ω) が必要で、これにより回路の静止時の総消費電力が約 50 mW 増加します。図 12.42A では、+5 V 電源で終端するための抵抗値 (68 Ω と 180 Ω) も示しています。ライン・ドライバ・アプリケーションでは、電圧振幅が対称で、高速で消費電力の小さい 3.3 V ロジックの方がはるかに望ましいことに注意してください。タイム・スキューが 0.5 ns 未満、シンク電流能力が 25 mA 以上で、立上がり／立下がり時間が約 1 ns のドライバが提供されています。

3.3 V ロジックは 信号の振幅が小さく過渡電流が小さいことから、一般に、3.3 V ロジックで生成されるスイッチング・ノイズは 5 V ロジックの場合より小さくなります。

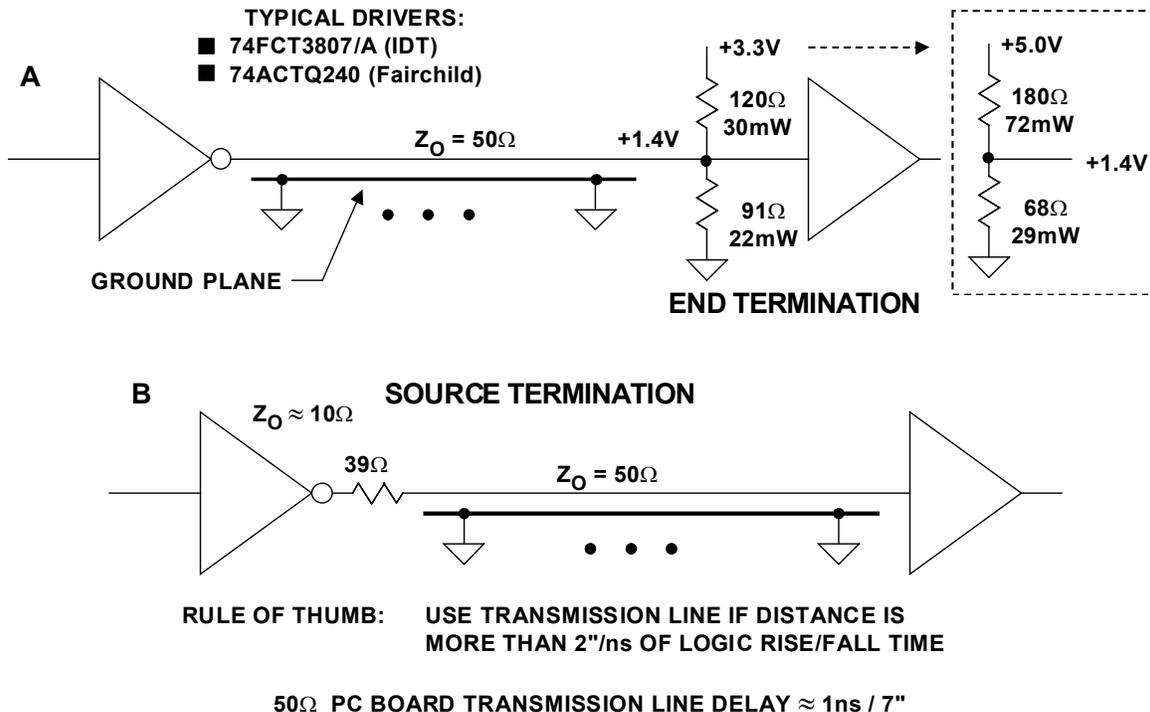


図 12.42: インピーダンスが制御されたマイクロストリップ伝送ラインにおける終端技術

図 12.42B に示すソース終端方法では、伝送ラインのインピーダンスに等しいインピーダンスを持つ反射波形を取り込みます。この方法では、約 39  $\Omega$  をドライバの内部出力インピーダンス（通常、約 10  $\Omega$ ）に直列接続する必要があります。また、伝送ラインの端をオープン・サーキットで終端する必要があるため、ファンアウトを追加することはできません。ソース終端方法では、回路の静止時消費電力は増加しません。

図 12.43 に、高速クロックを複数のデバイスに分配する方法を示します。この手法の問題点は、マイクロストリップ・ラインの伝播遅延（約 1 ns/7 インチ）のためクロック間にわずかなタイム・スキューが生じることです。アプリケーションによっては、このタイム・スキューが重要な意味を持つことがあります。伝送ラインでの不整合を防ぐには、デバイスごとのスタブの長さを 0.5 インチ未満に抑えることが重要です。

図 12.44 に示すクロック分配方法では、ソース終端を利用し、各マイクロストリップ・ラインの長さが等しいことを確かめることにより、受信デバイスまでのクロック・スキューが最小限に抑えられます。エンド終端抵抗を使用した場合のような静止時消費電力の増加はありません。

図 12.45 に、SHARC DSP 間で双方向のリンク・ポート送信を行う際のソース終端の使用法を示します。SHARC ドライバの出カインピーダンスは約  $17\ \Omega$  なので、ソース終端を適切に行うには、伝送ラインの両端にそれぞれ  $33\ \Omega$  の直列抵抗が必要です。

図 12.46 に示す方法は、比較的長い伝送ラインで、信号を複数のソースから双方向で送信する場合に使用できます。この場合、ラインは両端で終端され、DC 負荷インピーダンスは  $25\ \Omega$  となります。SHARC ドライバは、この負荷を有効なロジック・レベルに駆動することができます。

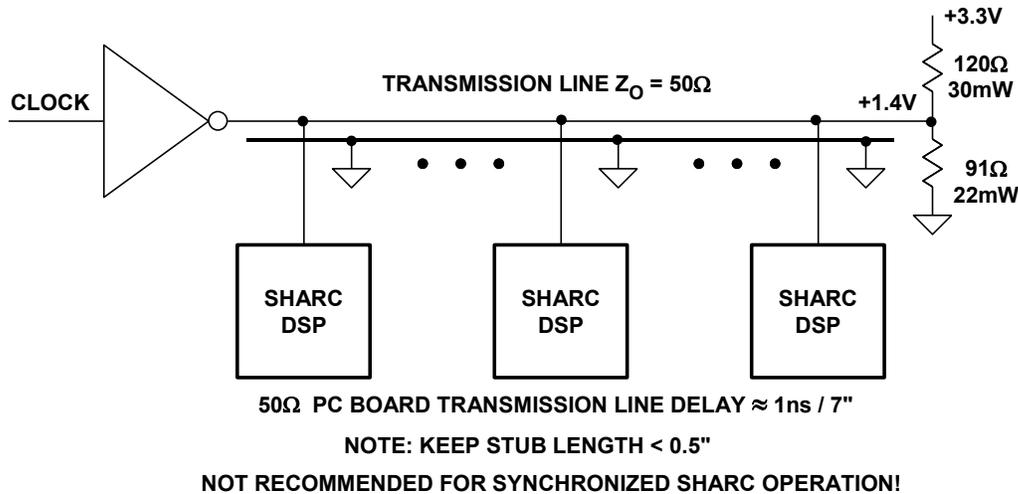


図 12.43: エンド・オブ・ライン (EOL) 終端を利用したクロック分配

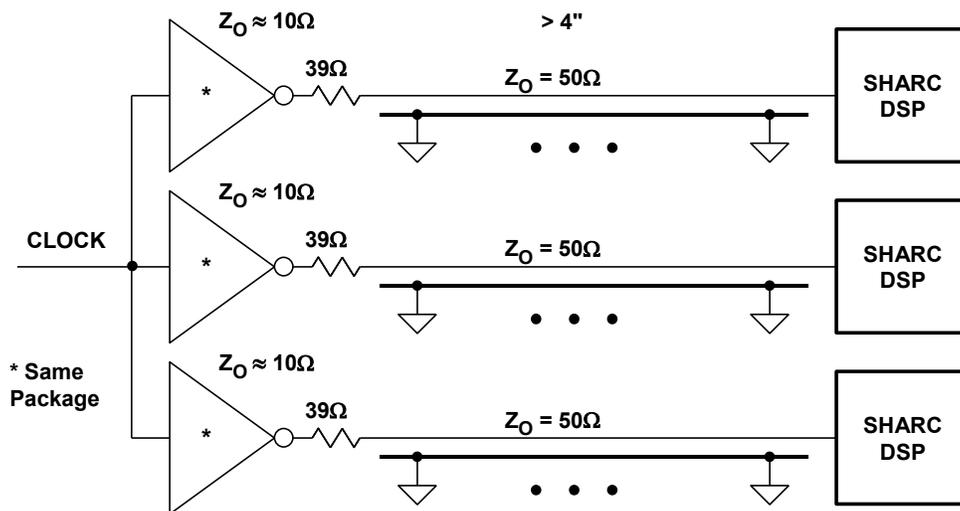


図 12.44: 伝送ラインのソース終端を利用した推奨されるクロック分配方法

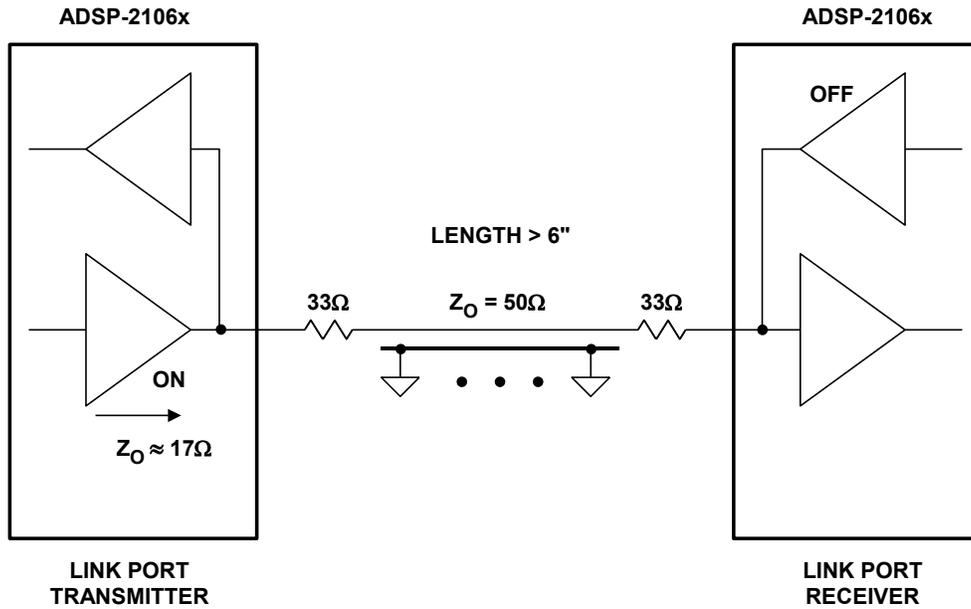
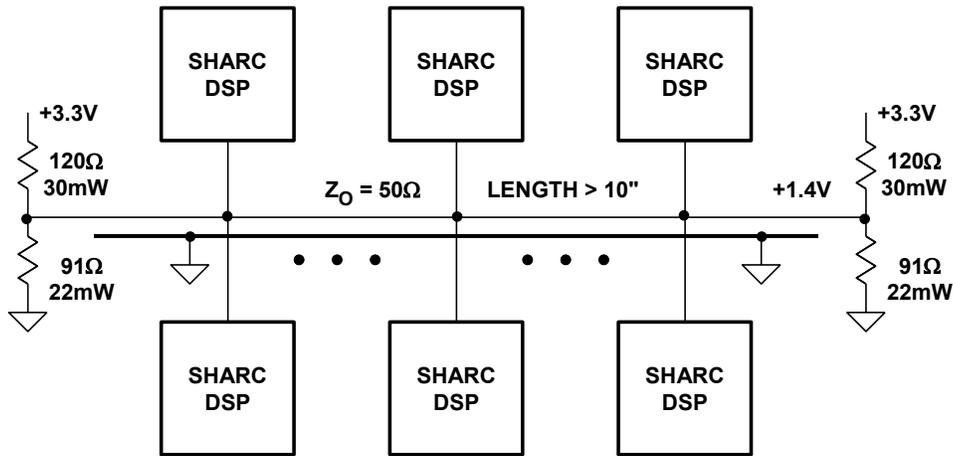


図 12.45: SHARC DSP 間で双方向伝送を行う場合のソース終端



NOTE: KEEP STUB LENGTH  $< 0.5''$

NOT RECOMMENDED FOR CLOCKS IN SYNCHRONIZED SHARC OPERATION!

図 12.46: 1つの伝送ラインの両端での終端

エミッタ結合ロジック（ECL）は、低ノイズと立上がり／立下がり時間が  $2\text{ ns}$  未満の終端された伝送ラインを駆動できることで長い間知られてきました。ファミリーが電源に一定の負荷を与え、低レベルの差動出力が優れたコモンモード除去を提供します。ただし、ECLは大量の電力を消費します。

低電圧差動信号方式 (LVDS)

最近、低電圧差動信号 (LVDS) ロジックが、ECL と特性が似ているものの振幅と消費電力がより小さいことから、広く普及してきました。それを明確に表す LVDS の仕様を参考資料で確認できます。LVDS ロジックの振幅は、+1.2 V のコモンモード電圧を中心にピーク to ピークで 350 mV (代表値) です。ドライバとレシーバーの代表的な構成を図 12.47 に示します。ドライバは、12 ビット、170 MSPS/210 MSPS ADC の AD9430 と同様、PMOS および NMOS トランジスタによる極性スイッチングを備えた公称 3.5 mA の電流源から成ります。ドライバの出力電圧は、出力ごとにピーク to ピークで公称 350 mV で、247 mV ~ 454 mV の範囲で変動可能です。出力電流は 2.47 mA ~ 4.54 mA の範囲で変動可能です。LVDS レシーバーは、ライン間で 100 Ω で終端されます。LVDS の仕様によると、レシーバーは、50 mV ~ +2.35 V のコモンモード電圧範囲にわたり、100 mV の小さい信号にも応答する必要があります。レシーバーのコモンモード電圧範囲が広いのは、ドライバとレシーバー間の最大 ±1 V のグラウンド電圧の差に対応するためです。

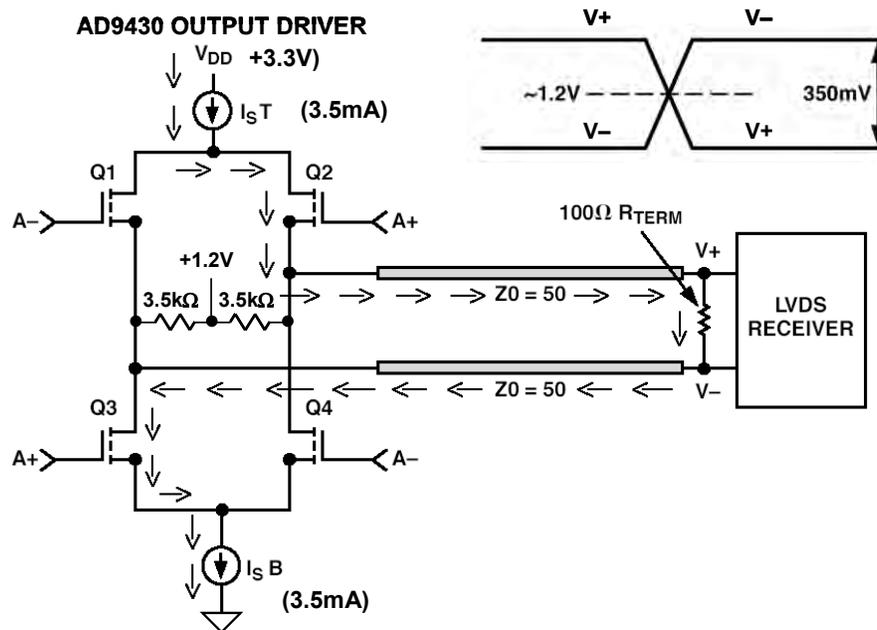
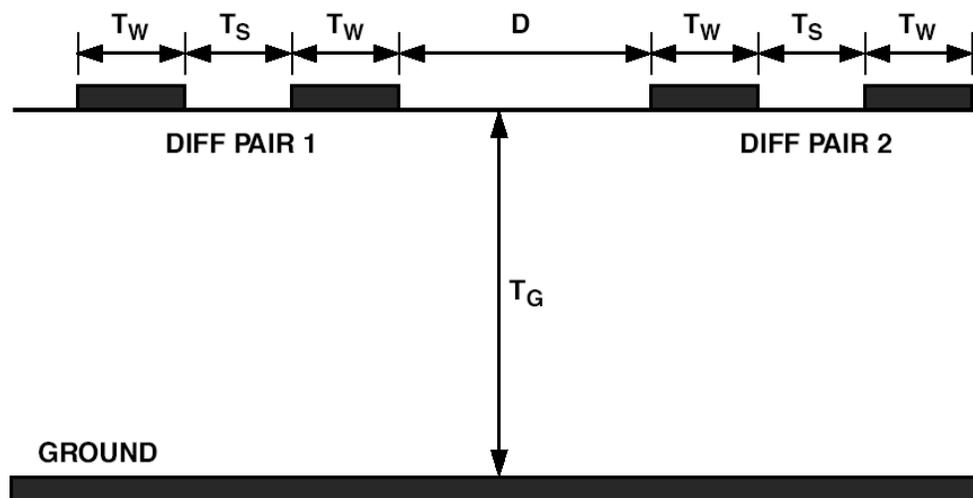


図 12.47: LVDS ドライバおよびレシーバー

LVDS のエッジ速度は立上がり/立下がり時間の 20% ~ 90% (これに対し、CMOS ロジックは 10% ~ 90%) と定義され、仕様では 0.3  $t_{ui}$  未満と規定されています。ここで、 $t_{ui}$  はデータ信号レートの逆数です。サンプリング・レートが 210 MSPS の場合、 $t_{ui} = 4.76$  ns となるため、立上がり/立下がり時間の 20% ~ 80% は  $0.3 \times 4.76 = 1.43$  ns 未満でなければなりません。

AD9430 では、立上がり／立下がり時間は公称 0.5 ns です。高性能 ADC の LVDS 出力には、デジタル・ロジックで使用される標準的な LVDS 出力とは異なる取り扱いが必要です。標準的な LVDS は、高速デジタル・アプリケーションでは（データ・レートに応じて）1 m ~ 10 m を駆動できますが、高性能 ADC でその距離を駆動させることは推奨しません。出力パターン長を短くして（2 インチ未満）、隣接する回路から出力へのノイズ・カップリングを最小限に抑えることをお勧めします。出力にカップリングしたノイズがアナログ入力に回り込んでくる可能性があるからです。差動出力パターンを互いに近接して配線して、レシーバーの近くに置いた 100 Ω の終端抵抗によるコモンモード除去を最大限に高める必要があります。遅延スキューを最小にするよう、PCB のパターン長に注意してください。PCB パターン上の代表的な差動マイクロストリップ・ラインの断面とレイアウトに関する推奨ガイドラインを、図 12.48 に示します。



- ◆ Keep  $T_W$ ,  $T_S$ , and  $D$  constant over the trace length
- ◆ Keep  $T_S \sim < 2T_W$
- ◆ Avoid use of vias if possible
- ◆ Keep  $D > 2T_S$
- ◆ Avoid 90° bends if possible
- ◆ Design  $T_W$  and  $T_G$  for  $\sim 50\Omega$

図 12.48: 2 つの LVDS 信号ペアに対する PCB でのマイクロストリップ・ラインのレイアウト

LVDS には EMI を低減するという利点もあります。LVDS と異なる電流により生成される EMI の電磁界は、互いを相殺する傾向があります（エッジ・レートが一致する場合）。高速 ADC の場合、LVDS では、同等のデータ・レートのデマルチプレクスされた CMOS 出力に比べてタイミング制約が軽くなります。デマルチプレクスされたデータ・バスには、LVDS では不要な同期信号が必要です。デマルチプレクスされた CMOS バスでは、ADC のサンプル・レートの半分に等しいクロックが必要なためコストと複雑さが増しますが、LVCS にこのクロックは必要ありません。

参考資料

PC 基板の設計上の課題

1. W. Doeling, W. Mark, T. Tadewald, and P. Reichenbacher, "Getting Rid of Hook: The Hidden PC-Board Capacitance," **Electronics**, October 12, 1978, p 111-117.
2. Alan Rich, "Shielding and Guarding," **Analog Dialogue**, Vol. 17 N0. 1, 1983, pp. 8.
3. Ralph Morrison, **Grounding and Shielding Techniques, 4<sup>th</sup> Edition**, John Wiley, Inc., 1998, ISBN: 0471245186.
4. Henry W. Ott, **Noise Reduction Techniques in Electronic Systems, 2<sup>nd</sup> Edition**, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
5. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change," **Analog Devices AN202**.
6. Paul Brokaw, "Analog Signal-Handling for High Speed and Accuracy," **Analog Devices AN342**.
7. Paul Brokaw and Jeff Barrow, "Grounding for Low- and High-Frequency Circuits," **Analog Devices AN345**.
8. Jeff Barrow, "Avoiding Ground Problems in High Speed Circuits," **RF Design**, July 1989.
9. B. I. & B. Bleaney, **Electricity & Magnetism**, Oxford at the Clarendon Press, 1957, pp 23, 24, & 52.
10. G. W. A. Dummer, H. Nordenberg, **Fixed and Variable Capacitors**, McGraw-Hill, 1960, pp 11-13.
11. William C. Rempfer, *Get All the Fast ADC Bits You Pay For*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.44.
12. Mark Sauerwald, *Keeping Analog Signals Pure in a Hostile Digital World*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.57.
13. Jerald Grame and Bonnie Baker, *Design Equations Help Optimize Supply Bypassing for Op Amps*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.9.
14. Jerald Grame and Bonnie Baker, *Fast Op Amps Demand More Than a Single-Capacitor Bypass*, **Electronic Design, Special Analog Issue**, November 18, 1996, p.9.
15. Walt Kester and James Bryant, *Grounding in High Speed Systems*, **High Speed Design Techniques**, Analog Devices, 1996, Chapter 7, p. 7-27.
16. Jeffrey S. Pattavina, *Bypassing PC Boards: Thumb Your Nose at Rules of Thumb*, **EDN**, Oct. 22, 1998, p.149.
17. Howard W. Johnson and Martin Graham, **High-Speed Digital Design**, PTR Prentice Hall, 1993, ISBN: 0133957241.
18. Walt Kester, *A Grounding Philosophy for Mixed-Signal Systems*, **Electronic Design Analog Applications Issue**, June 23, 1997, p. 29.
19. Ralph Morrison, **Solving Interference Problems in Electronics**, John Wiley, 1995.
20. C. D. Motchenbacher and J. A. Connelly, **Low Noise Electronic System Design**, John Wiley, 1993.

21. Crystal Oscillators: MF Electronics, 10 Commerce Drive, New Rochelle, NY, 10801, 914-576-6570.

22. Crystal Oscillators: Wenzel Associates, Inc., 2215 Kramer Lane, Austin, Texas USA 78758, 512-835-2038, <http://www.wenzel.com>.

23. Mark Montrose, **EMC and the Printed Circuit Board**, IEEE Press, 1999 (IEEE Order Number PC5756).

### 12.3: グラウンディング

ここではグラウンディングについて説明します。グラウンディングは、間違いなくシステム設計で最も難しい課題の1つです。基本的な概念は比較的簡単でも、実装は非常に複雑です。

線形システムの場合、グラウンドは信号のベースとなるリファレンスです。厄介なことに、ユニポーラ電源システムでは、グラウンドは電源電流のリターン・パスにもなっています。グラウンディング対策を誤ると、高精度の線形システムの性能を損なうことがあります。

グラウンディングはすべてのアナログ設計の課題であり、PCB ベースの回路の実装でも、適切な実装が不可欠である事実は変わらないと言えます。幸い PCB 環境では、本来、高品質なグラウンディングを行う（つまり、グラウンド・プレーンを使用する）のが一定の原則です。これは PCB ベースのアナログ設計の大きな利点となるため、ここでは主にこの点を中心に説明します。

グラウンディングで管理を要する点には、他に、性能低下を生じ得るスプリアス・グラウンド電圧や信号帰還電圧などがあります。これらの電圧は、外部信号のカップリング、コモン電流、または単にグラウンド導体の過度の IR 電圧降下に起因する可能性があります。このような寄生電圧を制御するには、差動信号の処理やグラウンドの絶縁技術に加えて、導体の適切な配線とサイズ設定が必要です。

グラウンディングに関して最後に説明するのは、ミックスド・シグナル、アナログ/デジタル環境に適したグラウンディングです。実際、高品質グラウンディングという1つの課題は、高性能ミックスド・シグナルの PCB 設計のレイアウト方針全体に影響を与えるもので、そうあるべきでしょう。

今日の信号処理システムは、高速デジタル・シグナル・プロセッサ (DSP) だけでなく、A/D コンバータ (ADC) や D/A コンバータ (DAC) などのミックスド・シグナル・デバイスも必要とするのが一般的です。広いダイナミック・レンジを持つアナログ信号を処理する必要があるれば、高性能 ADC と DAC の重要性は高まります。苛酷なデジタル環境において、広いダイナミック・レンジを低ノイズで維持できるかどうかは、適切な信号配線、デカップリング、グラウンディングなどの優れた高速回路設計技術の利用にかかっています。

従来、「高精度の低速」回路は、通常いわゆる「高速」回路とは別のものと見なされてきました。ADC と DAC に関しては、速度を識別する基準として一般にサンプリング（または更新）周波数が使用されてきました。しかし、次の2つの例から、今日の信号処理 IC のほとんどが実際まさに「高速」であるため、高性能を維持するにはそれらを高速 IC として扱う必要があることがわかります。これが DSP についても、また ADC と DAC についても当てはまるのは確かです。

信号処理アプリケーションに適したすべてのサンプリング ADC（サンプル&ホールド回路内蔵の ADC）は、立上がり/立下がり時間が短い（通常、数ナノ秒）比較的高速のクロックで動作するので、スルー・レートが低いように見えても高速デバイスとして扱う必要があります。例えば、中速の 12 ビット逐次比較型 (SAR) ADC は、サンプリング・レートはわずか 500 kSPS ですが、10 MHz の内部クロックで動作することがあります。

シグマ・デルタ ( $\Sigma\Delta$ ) ADC も、オーバーサンプリング比が高いため、高速クロックを必要とします。高分解能で、いわゆる「低周波」の  $\Sigma\Delta$  工業計測用 ADC (スループットは 10 Hz ~ 7.5 kHz) でさえ、5 MHz 以上のクロックで動作し、24 ビットまでの分解能を提供します (アナログ・デバイセズの AD77xx シリーズなど)。

さらに複雑なことに、ミックスド・シグナル IC にはアナログ・ポートとデジタル・ポートの両方があります。このため、適切なグラウンディング技術に関して大きな混乱が生じています。また、ミックスド・シグナル IC にはデジタル電流が比較的小さいものもあれば、大きいものもあります。多くの場合、この 2 種類の IC には、最適なグラウンディングに関して異なる扱いをする必要があります。

デジタルとアナログの設計技術者には、ミックスド・シグナル・デバイスに対する観点が異なる傾向があります。このセクションの目的は、内部回路の詳細を知らなくてもほとんどのミックスド・シグナル・デバイスに利用できるグラウンディングの一般的な考え方を構築することです。

上述の内容から、グラウンディングの課題が「決まりきった」やり方では対処できないことは明らかです。残念ながら、これをやれば確実にうまくいくという「やることリスト」はありません。ただ、やらなければ問題が生じると予想されることはあると言えます。しかも、ある周波数範囲で有効なことが、必ずしも別の周波数範囲で有効とは限りません。さらに、必要条件が競合することもよくあります。グラウンディングを処理する最良の方法は、電流の流れ方を理解することです。

### スター・グラウンド

「スター」グラウンドの原則の基本は、すべての電圧の基準となる単独結線が回路内に 1 つあるという理論です。これを**スター結線**と言います。回路図の同じグラウンドから放射状に伸びている複数の導体が 1 個の星に似ているという、視覚的に類似したものを考えると、もっと良くわかります。スター・ポイントが星のように見える必要はないことに注意してください。グラウンド・プレーン上の 1 点でもかまいません。スター・グラウンド・システムの主な特長は、すべての電圧が、グラウンド・ネットワーク上の特定の 1 点を基準として測定されることであり、単に未定義の「グラウンド」(プローブをクリップできる場所ならどこでも)を基準にするのではない、ということです。

このスター・グラウンディングの原則は、理論的には妥当ですが、現実的には実装が困難です。例えば、スター・グラウンド・システムを設計するとき、信号の相互作用や高インピーダンス信号またはグラウンド・パスの影響を最小限に抑えるようにすべての信号パスを書き出すと、実装上の問題が見つかることがよくあります。回路図に電源を追加すると、不要なグラウンド・パスが形成されたり、既存のグラウンド・パスに流れる電源電流が非常に大きくなるか、ノイズが大きくなって (または両方) 正確な信号伝送ができなくなります。この固有の問題は、多くの場合、回路の個々の部分用に個別の電源を用意することで防ぐことができます。例えば、ミックスド・シグナル・アプリケーションでは、それぞれ個別のアナログ・グラウンドとデジタル・グラウンドを持つアナログ電源とデジタル電源をスター・ポイントで結合するのが一般的です。

### アナログ・グラウンドとデジタル・グラウンドの分離

TTL や CMOS などの飽和ロジックは、スイッチング時に電源から高速の大電流スパイクを引き込みます。しかし、数百ミリボルト（またはそれ以上）のノイズ耐性を持つロジック段の場合、通常、ハイ・レベルの電源デカップリングはほとんど必要ありません。

一方、アナログ回路は、電源もグラウンドもともにノイズに対してきわめて脆弱です。したがって、デジタル・ノイズがアナログ性能を低下させないように、アナログ回路とデジタル回路を分離することがとても賢明です。この分離では、グラウンド・リターン同士および電源同士の両方を分離しますが、これがミックスド・シグナル・システムに不都合を生じます。

とはいえ、ミックスド・シグナル・システムの性能を最大限に引き出そうとすると、アナログ・グラウンドとデジタル・グラウンド、および電源同士を分離することは、多くの場合不可欠です。一部のアナログ回路が +5 V 単一電源で「動作」（機能）するからといって、マイクロプロセッサや DRAM、電子ファン、その他の高電流デバイスと同様にノイズの多い +5 V 電源で最適に動作できることにはなりません。求められるのは、アナログ部分が単に機能するだけでなく、このような低電圧電源でも最高性能で動作することです。この差別化を実現するには、当然ながら、電源とグラウンド・インターフェースの両方に細心の注意を払う必要があります。

信号が共通の電位を基準とするには、システム内のアナログ・グラウンドとデジタル・グラウンドをどこかのポイントで結合する必要がある（スター・グラウンドの概念）ことに注意してください。このスター・ポイント、つまりアナログとデジタルの共通ポイントは、デジタル電流がシステムのアナログ部分のグラウンドに流れ込まないように選択します。多くの場合、電源で接続すると便利です。

多くの ADC と DAC が個別のアナログ・グラウンド (AGND) ピンとデジタル・グラウンド (DGND) ピンを備えていることにも注目してください。デバイスのデータシートには、これらのピンをパッケージで接続することを推奨するものが多くあります。アナログ・グラウンドとデジタル・グラウンドを電源で接続することを推奨したり、複数のコンバータを備えたシステムでは、アナログ・グラウンドとデジタル・グラウンドを 1 点で接続することを推奨したりすることと、これは矛盾するように思われます。

しかし、実際には矛盾していません。これらのピンの「アナログ・グラウンド」と「デジタル・グラウンド」の表示は、ピンがつながっているコンバータ内の部分を指しているのであって、接続先であるシステム・グラウンドを意味しているではありません。例えば、ADC では、通常これらの 2 つのピンを一緒にシステムのアナログ・グラウンドに接続します。2 つのピンを IC パッケージ内で接続することはできません。コンバータのアナログ部分は、ボンディング・ワイヤからチップにデジタル電流が流れることで生じる電圧降下を許容できないからです。しかし、外部では接続可能です。

図 12.49 に、この ADC のグラウンド接続の概念を示します。2 つのピンをこのように接続すると、コンバータのデジタル・ノイズ耐性は、デジタルとアナログのシステム・グラウンド間の同相ノイズ量分、やや低下します。しかし、デジタル・ノイズ耐性は数百または数千ミリボルト・レベルなので、この点が大きな問題になることはなさそうです。

アナログ・ノイズ耐性は、コンバータ自体の外部デジタル電流がアナログ・グラウンドに流れることでのみ低下します。これらの電流はごく小さく抑えるべきですが、コンバータの出力に大きな負荷がかからないようにすれば、最小限に抑えることができます。そのためには、CMOS バッファ・レジスタ IC などの低入力電流のバッファを ADC 出力に使用するのが良策です。

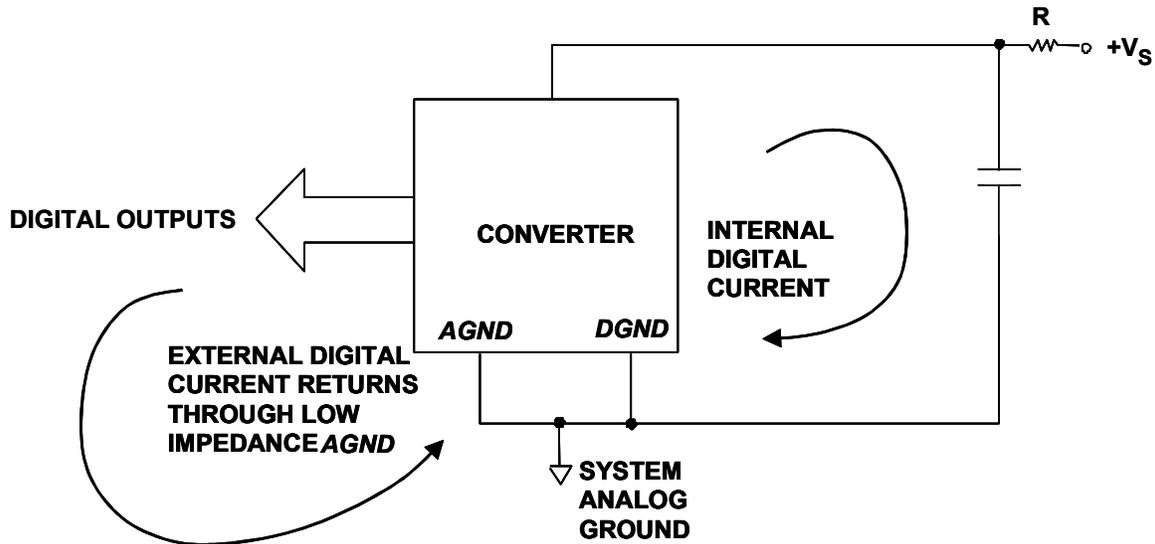


図 12.49: データ・コンバータのアナログ・グラウンド (AGND) とデジタル・グラウンド (DGND) のピンを、システムのアナログ・グラウンドに戻す

コンバータへのロジック電源が小さい抵抗で絶縁され、局所的な  $0.1 \mu\text{F}$  のコンデンサでデカップリングされていると、コンバータのすべての高速エッジ・デジタル電流はコンデンサを通過してグラウンドに戻り、外部のグラウンド回路に現れることはありません。アナログ・グラウンドの低インピーダンスを維持すると (十分なアナログ性能を引き出すには必要)、外部のデジタル・グラウンド電流に起因するノイズが増えても問題になることはほとんどありません。

### グラウンド・プレーン

前述のスター・グラウンド・システムに関連して使用されるのが、**グラウンド・プレーン**です。グラウンド・プレーンを実装するには、両面 PCB の片側 (または多層 PCB の 1 層) を連続した銅で作成し、グラウンドとして使用します。この方法は、金属量が多ければ抵抗はきわめて小さくなるという理論に基づいています。導体パターンが太くて平坦であるため、インダクタンスも可能な限り小さくなります。これにより、導体プレーンの両側に生じるスプリアスのグラウンド差電圧が最小限に抑えられるので、最良の導通が得られます。

グラウンド・プレーンの概念は、**電圧プレーン**も対象とするように拡大できることに注意してください。

電圧プレーンはグラウンド・プレーンと同様の利点、つまり、インピーダンスが非常に小さい導体であるという利点を備えています。1 つ (または複数) のシステム電源電圧専用となります。したがって、システムは、グラウンド・プレーンに加えて複数の電圧プレーンを持つことがあります。

グラウンド・プレーンにより、グラウンド・インピーダンスの多くの問題は解決しますが、同時に万能の解決策でないことは覚えておいてください。銅箔の連続シートでさえ残留抵抗と残留インダクタンスがあり、場合によっては回路の正常な機能を妨げてしまうほど大きいことがあります。設計者は、グラウンド・プレーンに大電流が流れないように注意すべきです。大電流が流れると、敏感な回路の障害となる電圧降下が生じるおそれがあるからです。

低インピーダンスで面積の大きいグラウンド・プレーンを維持することは、今日のすべてのアナログ回路にとってきわめて重要です。グラウンド・プレーンは、(高速デジタル・ロジックにより生じる) 高周波電流をデカップリングするための低インピーダンスのリターン・パスとして機能するだけでなく、EMI/RFI の放出も最小限に抑えます。グラウンド・プレーンのシールド作用により、外部の EMI/RFI に対する回路の感受性も低下します。

また、インピーダンスの制御が必要な場合、伝送ライン技術 (マイクロストリップまたはストリップライン) を利用した高速デジタル/アナログ信号の伝送もグラウンド・プレーンにより可能となります。

「バス・ワイヤ」をグラウンドとして使用することは、ほとんどのロジック遷移における等価周波数でのインピーダンスを考えると、全く受け入れられません。例えば、22 ゲージのワイヤのインダクタンスは約 20 nH/インチです。ロジック信号に起因するスルー・レート 10 mA/ns の過渡電流は、このワイヤを 1 インチ流れると、上記の周波数で 200 mV の不要な電圧降下を発生させます。

ピーク to ピーク範囲が 2 V の信号では、この電圧降下が約 200 mV、つまり 10 % (約 3.5 ビット精度) の誤差になります。デジタルのみの回路であっても、ロジックのノイズ・マージンはこの誤差により大幅に低下します。

$$\Delta v = L \frac{\Delta i}{\Delta t} = 20 \text{ nH} * \frac{10 \text{ mA}}{\text{ns}} = 200 \text{ mV} \quad \text{式 12-12}$$

図 12.50 に、デジタル・リターン電流がアナログ・リターン電流を変調する状況を示します (上側の図)。グラウンド・リターン線のインダクタンスと抵抗が、アナログ回路とデジタル回路間で共有されています。これが、相互作用とそれに伴う誤差を生じる原因となります。解決策としては、下側の図に示すように、デジタル・リターン電流が GND REF に直接戻るようなパスを設定する方法が考えられます。これが「スター」、つまり 1 点グラウンド・システムの基本的な概念です。複数の高周波リターン・パスを含むシステムに真の 1 点グラウンドを実装するのは困難です。リターン電流の個々のワイヤの物理的な長さにより寄生抵抗と寄生インダクタンスが発生することで、高周波域で低インピーダンスのグラウンドを得るのが難しくなることがあるからです。実際には、高周波電流に対するインピーダンスを小さくするには、電流のリターン・パスは面積の大きいグラウンド・プレーンで構成する必要があります。したがって、低インピーダンスのグラウンド・プレーンなしでこのような共有インピーダンスを避けるのは、特に高周波域ではほとんど不可能です。

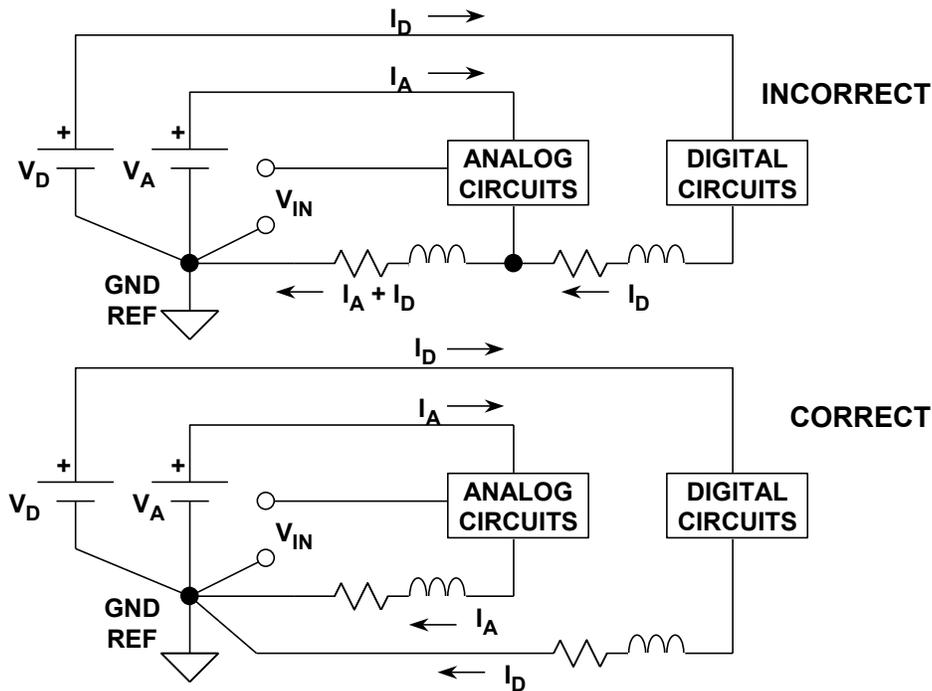


図 12.50: アナログ・リターン・パスに流れるデジタル電流により誤差電圧が発生する

直列のインダクタンスと抵抗をできるだけ小さくするには、集積回路のすべてのグラウンド・ピンを低インピーダンスのグラウンド・プレーンに直接ハンダ付けします。高速デバイスには、従来の IC ソケットを使用しないことをお勧めします。たとえ「薄型」ソケットでも、余分なインダクタンスと容量により不要な共有パスが生じて、デバイスの性能を損なうことがあります。プロトタイピングのように、DIP パッケージでソケットを使用する必要があるときは、単一の「ピン・ソケット」や「ケージ・ジャック」を使用できる場合もあります。これらのピン・ソケットにはキャップ付きとキャップなしの両方のタイプがあります (AMP 部品番号 5-330808-3 および 5-330808-6)。どちらもバネ式の金接触のため、IC ピンへの電氣的、機械的な接続に優れています。しかし、何度も挿入すると性能低下を招くおそれがあります。

電源ピンは、低インダクタンスのセラミック表面実装コンデンサを使ってグラウンド・プレーンに直接デカップリングします。スルー・ホール取り付け型のセラミック・コンデンサを使用する必要がある場合は、リード長を 1 mm 未満にします。セラミック・コンデンサは IC の電源ピンのできるだけ近くに配置します。フェライト・ビーズには、デカップリングの追加が必要な場合もあります。

ところで、グラウンドは多いほどよいのでしょうか？グラウンド・プレーンによりグラウンド・インピーダンスの多くの問題が解決しますが、すべてというわけではありません。銅箔の連続シートでさえ残留抵抗と残留インダクタンスがあり、場合によっては回路の正常な機能を妨げてしまうほど大きいことがあります。図 12.51 に、この問題と考えられる解決策を示します。

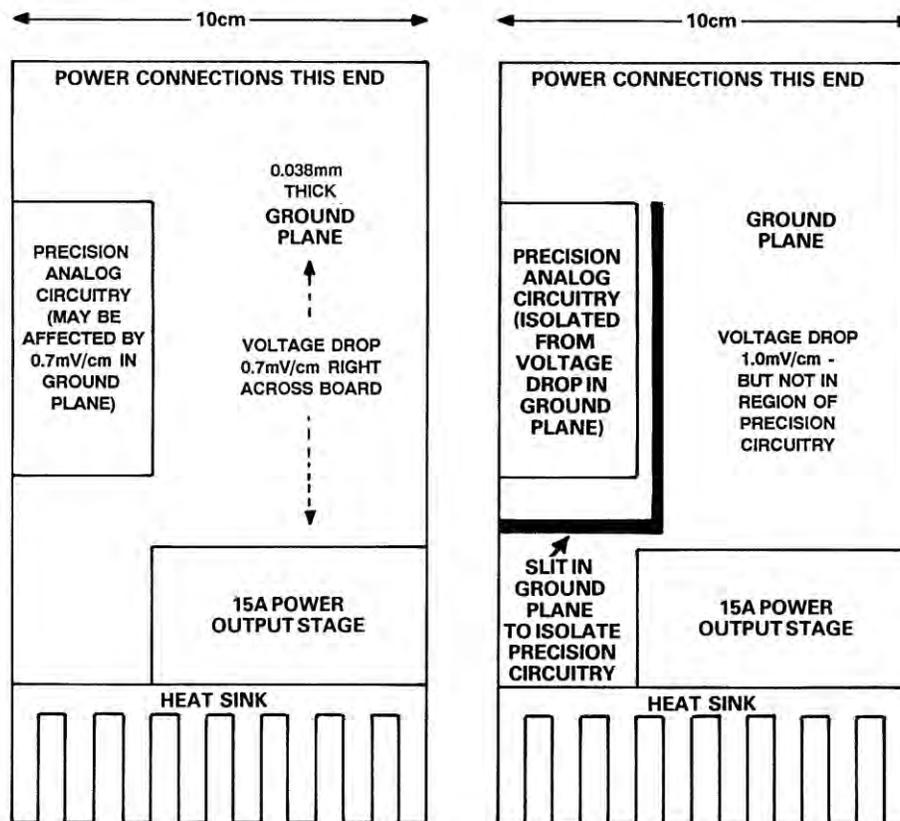


図 12.51: グラウンド・プレーンにスリットを入れると、電流の流れが再構成され、精度が向上する

図 12.51 のアプリケーションについて考えてみます。機械設計の実情では、電力入力部を持つコネクタが基板の片側にあるので、ヒート・シンクの近くにあるべき電力出力部を、もう一方の側に配置する必要があります。基板には 100 mm 幅のグラウンド・プレーンがあり、パワー・アンプは 15 A を消費します。グラウンド・プレーンの厚さは 0.038 mm で、それに 15 A が流れるとすると、 $68 \mu\text{V}/\text{mm}$  の電圧降下が生じます。この電圧降下は、PCB を共有するすべてのグラウンド基準の高精度回路にきわめて深刻な問題を引き起こします。大電流が高精度回路の領域に流れることがないように、グラウンド・プレーンにスリットを入れることで、スリットの周囲に強制的に流すことができます。たとえ、グラウンド・プレーンの電流が流れる部分の電圧勾配が増大するとしても、これにより問題が解決する可能性があります (この場合は解決しました)。

低デジタル電流のミックスド・シグナル IC のグラウンディングとデカップリング

アンプや電圧リファレンスなどの敏感なアナログ部品は、常にアナログ・グラウンド・プレーンを基準にデカップリングします。デジタル電流の小さい ADC と DAC (および、その他のミックスド・シグナル IC) も、通常、アナログ部品として扱い、アナログ・グラウンド・プレーンにグラウンディングおよびデカップリングします。コンバータにはアナログとデジタルのインターフェースがあり、アナログ・グラウンド (AGND) とデジタル・グラウンド (DGND) に指定されたピンがあるのが普通なので、一見これがどこか矛盾しているように思えるかもしれません。図 12.52 に示す図が、この見た目のジレンマの説明に役立ちます。

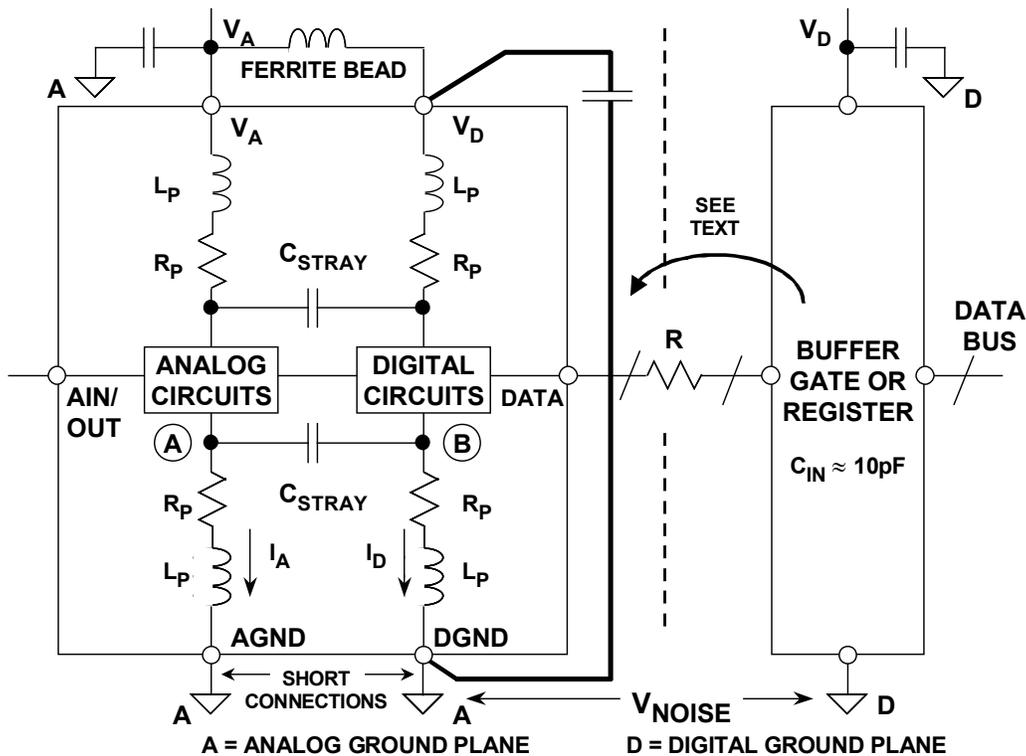


図 12.52: 内部デジタル電流が小さいミックスド・シグナル IC の適切なグラウンディング

ADC や DAC など、アナログ回路とデジタル回路の両方を搭載した IC の内部では、デジタル信号がアナログ回路にカップリングしないように、通常、2 つのグラウンドを分離しておきます。図 12.52 に、コンバータのシンプルなモデルを示します。IC 設計者は、チップ上のボンディング・パッドをパッケージのピンに接続することで生じるワイヤボンドのインダクタンスと抵抗について、その存在を認識しなければなりません。デジタル電流が急激に変化するとポイント B に電圧が生じ、浮遊容量  $C_{STRAY}$  を介して、アナログ回路のポイント A にカップリングすることは避けられません。また、IC パッケージのすべてのピンの間には、どうしても約 0.2 pF の浮遊容量が発生してしまいます。こうした状況でもチップを機能させることが、IC 設計者の仕事です。

ただし、これ以上のカップリングを防ぐには、AGND ピンと DGND ピンを最短のリード長により、外部でアナログ・グラウンド・プレーンに接続します。DGND の接続でインピーダンスが増えると、ポイント B で発生するデジタル・ノイズが増え、さらに浮遊容量を介してアナログ回路にカップリングするデジタル・ノイズが増えることとなります。DGND をデジタル・グラウンド・プレーンに接続すると、AGND ピンと DGND ピンに  $V_{\text{NOISE}}$  が印加され、大きな障害を招くことに注意してください。

IC 上の「DGND」の名前から、このピンを IC のデジタル・グラウンドに接続することがわかります。しかし、このピンをシステムのデジタル・グラウンドに接続する必要があることを意味しているわけではありません。「デジタル・リターン」と呼んだほうが正確かもしれません。

このようなレイアウトを行うと、アナログ・グラウンド・プレーンにわずかにデジタル・ノイズが混入するのは確かです。こうした電流はごく小さくすべきで、コンバータの出力で大きなファンアウトが駆動されないようにすれば（通常は設計により駆動できないようにします）、最小限に抑えることができます。コンバータのデジタル・ポートへのファンアウトを最小にすると（これが電流を減少させる）、コンバータのロジック遷移でのリングングも比較的小さくなり、デジタル・スイッチング電流も最小限に抑えられるので、コンバータのアナログ・ポートへのカップリングが減少します。図 12.52 に示すように、低損失のフェライト・ビーズを挿入すると、ロジック電源ピン ( $V_D$ ) のアナログ電源からの隔離を強めることができます。コンバータ内部のデジタル過渡電流は、 $V_D$  からデカップリング・コンデンサを通過して DGND に至る小さいループを流れます（図にこの経路を太線で示しています）。このため、デジタル過渡電流は外部のアナログ・グラウンド・プレーンには流れず、ループ内にしか流れません。寄生インダクタンスを最小限に抑えるために、 $V_D$  ピンのデカップリング・コンデンサはできるだけコンバータの近くに配置します。このようなデカップリング・コンデンサは、低インダクタンスのセラミック・タイプで、通常、容量が  $0.01 \mu\text{F} \sim 0.1 \mu\text{F}$  のものにします。

繰り返しますが、1 つのグラウンディング方法がすべてのアプリケーションに適しているとは限りません。しかし、事前に選択肢やプランニングを理解することで、問題を最小限に食い止められます。

ADC のデジタル出力の慎重な取り扱い

コンバータのデジタル・ラインをデータ・バスのノイズから隔離するために、バッファ・レジスタをコンバータの隣に配置するのは (図 12.52 に示すように)、常に有効な考え方です。レジスタは、コンバータのデジタル出力にかかる負荷を最小限に抑える役割も果たし、デジタル出力とデータ・バス間のファラデー・シールドとしても機能します (図 12.53 参照)。多くのコンバータがスリーステート出力/入力を備えていても、このようなレジスタがダイ上があれば、やはりデータ・ピン上の信号は敏感な領域にカップリングされます。それでも、このアイソレーション・レジスタは優れた設計手法となります。場合によっては、隔離を強化するために、アナログ・グラウンド・プレーン上でコンバータの出力の隣にバッファ・レジスタを追加することが望ましいこともあります。

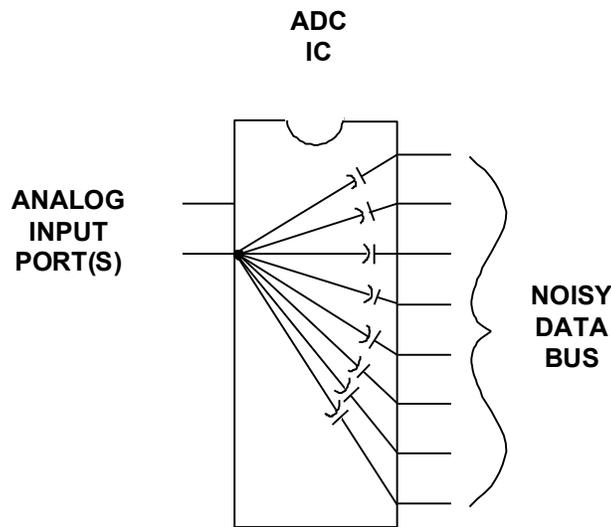


図 12.53: 出力にバッファ/ラッチを使用する高速 ADC IC が、デジタル・データ・バス・ノイズへの耐性を強化

ADC 出力とバッファ・レジスタ入力の間にある直列抵抗 (図 12.53 では「R」と表示) は、コンバータの性能に影響する可能性のあるデジタル過渡電流を最小限に抑えるのに役立ちます。この抵抗は、デジタル出力ドライバをバッファ・レジスタの入力容量から隔離します。さらに、直列抵抗とバッファ・レジスタの入力容量により形成される RC ネットワークが、高速エッジを減速させるローパス・フィルタとして機能します。

標準の CMOS ゲートを PCB パターンおよびスルー・ホールと組み合わせた負荷は、約 10 pF となります。絶縁抵抗がない場合は、ロジック出力の 1 V/ns のスルー・レートにより 10 mA の動的電流が生成されます。

$$\Delta I = C \frac{\Delta V}{\Delta t} = 10 \text{ pF} * \frac{1 \text{ V}}{\text{ns}} = 10 \text{ mA} \quad \text{式 12-13}$$

入力容量が 10 pF のレジスタを駆動するとき、500 Ω の直列抵抗はこの出力電流を最小限に抑え、立上がり／立下がり時間は約 11 ns となります。

$$t_r = 22 \cdot t = 22 \cdot R \cdot C = 22 \cdot 500 \Omega \cdot 10 \text{ pF} = 11 \text{ ns} \quad \text{式 12-14}$$

TTL レジスタは入力容量が大きいため、動的なスイッチング電流をかなり増大させることがあるので、使用しないようにします。

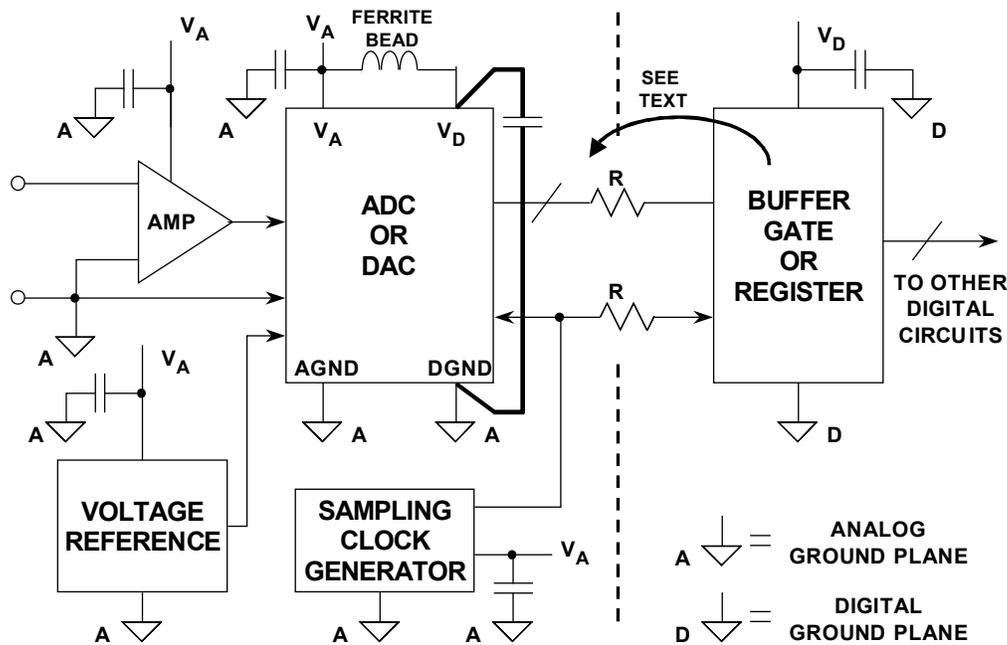


図 12.54: グラウンディングとデカップリングのポイント

バッファ・レジスタなどのデジタル回路は、PC 基板のデジタル・グラウンド・プレーンに接地およびデカップリングさせます。アナログとデジタルのグラウンド・プレーン間にノイズがあると、コンバータのデジタル・インターフェースのノイズ・マージンが減少します。デジタル・ノイズ耐性は数百または数千ミリボルト・レベルなので、この点が大きな問題になることはなさそうです。アナログ・グラウンド・プレーンは、一般にノイズがそれほどありませんが、（アナログ・グラウンド・プレーンに対する）デジタル・グラウンド・プレーンのノイズが数百ミリボルトを超える場合は、デジタル・グラウンド・プレーンのインピーダンスを下げる措置を講じて、デジタル・ノイズ・マージンを許容可能なレベルに維持する必要があります。どのような場合でも、2つのグラウンド・プレーン間の電圧差が 300 mV を超えないようにしないと、IC が損傷を受けることがあります。

アナログ回路とデジタル回路を分離することも強く推奨されます。アナログ電源は、コンバータの電力供給に使用します。コンバータにデジタル電源ピンとされるピン (V<sub>D</sub>) がある場合、単独のアナログ電源から給電されるか、図に示すようにフィルタ処理されます。

コンバータの電源ピンはすべて、アナログ・グラウンド・プレーンにデカップリングし、ロジック回路の電源ピンはすべて図 12.54 に示すようにデジタル・グラウンド・プレーンにデカップリングします。デジタル電源が比較的低ノイズの場合は、アナログ回路への給電にも使用できることがありますが、十分な注意を要します。

場合によっては  $V_D$  をアナログ電源に接続できないことがあります。一部の新しい高速 IC では、アナログ回路を +5 V で駆動する一方、デジタル・インターフェースは 3 V ロジックにインターフェースするために +3 V で駆動します。このとき、IC の +3 V ピンはアナログ・グラウンド・プレーンに直接デカップリングします。また、このピンをデジタルの +3 V ロジック電源に接続する電源パターンと直列にフェライト・ビーズを接続することもお勧めします。

サンプリング・クロックの生成回路はアナログ回路と同様に取り扱い、同様にアナログ・グラウンド・プレーンに接地し、十分にデカップリングしてください。サンプリング・クロックの位相ノイズはシステムの S/N 比を低下させます。これについて簡単に説明します。

#### サンプリング・クロックに関する検討事項

高性能のサンプリング・データ・システムでは、ADC (または DAC) のサンプリング・クロックを生成するのに低位相ノイズの水晶発振器を使用します。これは、サンプリング・クロックのジッタがアナログ入出力信号を変調し、ノイズ/歪み階層を上昇させるからです。サンプリング・クロック・ジェネレータは、ノイズの多いデジタル回路から隔離して、アナログ・グラウンド・プレーンに接地およびデカップリングします。これはオペアンプと ADC についても同様です。

サンプリング・クロックのジッタが ADC の S/N 比 (SNR) に与える影響は、次式からほぼわかります。

$$\text{SNR} = 20 \log_{10} \left[ \frac{1}{2\pi f t_j} \right], \quad \text{式 12-15}$$

ここで、SNR は分解能が無限大の完全な ADC の S/N 比で、唯一のノイズ源が rms サンプリング・クロックのジッタ  $t_j$  に起因する場合です。上の式の  $f$  はアナログ入力周波数であることに注意してください。簡単な例を解いてみると、 $t_j = 50 \text{ ps rms}$ 、 $f = 100 \text{ kHz}$  の場合、 $\text{SNR} = 90 \text{ dB}$  となり、約 15 ビットのダイナミック・レンジに相当します。

上の例の  $t_j$  が、外部クロック・ジッタと内部 ADC のクロック・ジッタ (アパーチャ・ジッタと呼ばれます) の 2 乗和平方根 (rss) 値であることに注意してください。ただし、ほとんどの高性能 ADC では、内部アパーチャ・ジッタはサンプリング・クロックのジッタに比べてごくわずかです。

S/N 比の低下は主に外部クロックのジッタに起因するので、サンプリング・クロックにできるだけノイズが入らず、位相ジッタを可能な限り抑えるための措置を講じなければなりません。それには水晶発振器を使用する必要があります。複数のメーカーが、低ジッタ (rms が 5 ps 未満) で CMOS 互換出力を備えた小型水晶発振器を提供しています。(MF Electronics (10 Commerce Dr., New Rochelle, NY 10801, Tel. 914-576-6570)、Wenzel Associates, Inc. (2215 Kramer Lane, Austin, Texas 78758 Tel. 512-835-2038 など)。

理想的には、サンプリング・クロックの水晶発振器は接地を分割したシステムのアナログ・グラウンド・プレーンを基準にします。しかし、システムの制約により必ずしもできるとは限りません。多くの場合、サンプリング・クロックは、デジタル・グラウンド・プレーン上で生成される多目的システムの高周波クロックから得る必要があります。次にクロックを、デジタル・グラウンド・プレーンの源から、アナログ・グラウンド・プレーンの ADC へと渡してください。2 つのプレーン間のグラウンド・ノイズはクロック信号に直接追加されて、過度のジッタが生成されます。このジッタが S/N 比の低下を招き、不要な高調波も生成する可能性があります。

図 12.55 に示す小型の RF トランスまたは高速差動ドライバ/レシーバー IC を使ってサンプリング・クロック信号を差動信号として送信すると、これをいくらか軽減できます。アクティブな差動ドライバ/レシーバーを使用する場合は、位相ジッタを最小限に抑えるために ECL にします。+5 V の単電源システムでは、ECL ロジックをグラウンドと +5 V (PECL) の間に接続し、出力を ADC サンプリング・クロック入力に AC カップリングすることができます。どちらの場合も、本来のマスター・システムのクロックは低位相ノイズの水晶発振器で生成する必要があります。

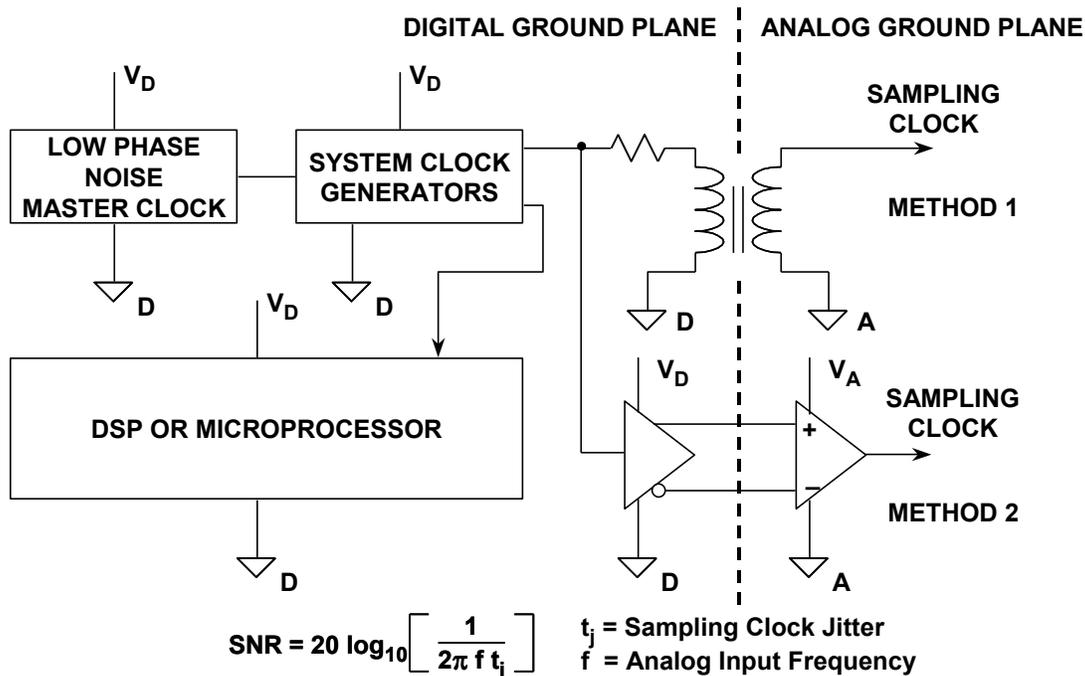


図 12.55 デジタル・グラウンド・プレーンからアナログ・グラウンド・プレーンへのサンプリング・クロックの分配



まとめ: 低デジタル電流のミックスド・シグナル・デバイスのマルチカード・システムへのグラウンディング

図 12.57 に、上述した低デジタル電流のミックスド・シグナル・デバイスを接地する方法をまとめます。 $V_D$ 、デカップリング・コンデンサ、DGND (太線で示す) 間の小さいループに流れるデジタル過渡電流はわずかなので、アナログ・グラウンド・プレーンに障害は発生しません。ミックスド・シグナル・デバイスは、あらゆる意味でアナログ部品として扱われます。両グラウンド・プレーン間のノイズ  $V_N$  により、デジタル・インターフェースのノイズ・マージンは減少しますが、システム・スター・グラウンドに戻るまで、低インピーダンスのデジタル・グラウンド・プレーンを使ってノイズを 300 mV 未満に抑えれば、通常は害になりません。

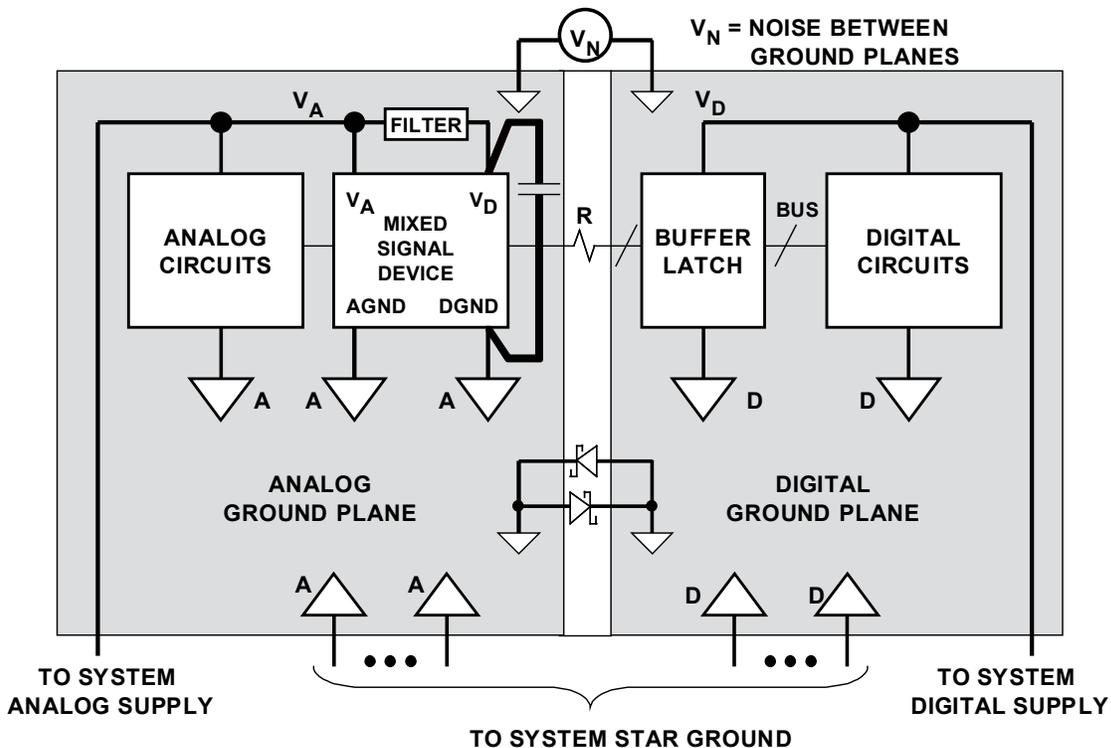


図 12.57: 内部のデジタル電流が小さいミックスド・シグナル IC のグラウンディング: 複数の PC ボード

しかし、 $\Sigma\Delta$  ADC、コーデック、DSP などのアナログ機能を内蔵するミックスド・シグナル・デバイスは、デジタル化の度合いをますます強めています。デジタル回路の追加に伴い、デジタル電流とノイズも大きくなります。例えば、 $\Sigma\Delta$  ADC または DAC は複雑なデジタル・フィルタを内蔵しており、これがデバイスのデジタル電流を大幅に増大させます。上述した方法は、デジタル過渡電流を抑えて小さいループ内に閉じ込めることを、 $V_D$  と DGND 間のデカップリング・コンデンサに依存しています。しかし、デジタル電流がかなり大きくなり、DC や低周波数の成分を含むようになると、デカップリング・コンデンサを非常に大きくする必要がありますが、実現するのは不可能です。 $V_D$  と DGND 間のループの外を流れるデジタル電流があれば、アナログ・グラウンド・プレーンを通らざるを得ません。このため性能が低下しますが、特に高解像度システムでは顕著です。

デジタル電流がアナログ・グラウンド・プレーンに流れる場合、システムが許容できなくなる電流レベルを予測するのは困難です。現状では、より良い性能が得られるようなグラウンディングの代替方法を提案するしかありません。

まとめ: マルチカード・システムにおける高デジタル電流のミックスト・シグナル・デバイスのグラウンディング

大量のデジタル電流が流れるミックスト・シグナル・デバイス向けのグラウンディングの代替方法を図 12.58 に示します。ミックスト・シグナル・デバイスの AGND はアナログ・グラウンド・プレーンに接続し、DGND はデジタル・グラウンド・プレーンに接続しています。デジタル電流はアナログ・グラウンド・プレーンから隔離されますが、2つのグラウンド・プレーン間のノイズがデバイスの AGND ピンと DGND ピンの間に直接加わります。この方法を成功させるには、ミックスト・シグナル・デバイスのアナログ回路とデジタル回路をしっかりと隔離する必要があります。AGND ピンと DGND ピン間のノイズが大きすぎて、内部のノイズ・マージンが減少したり、内部アナログ回路が破損したりしないようにしてください。

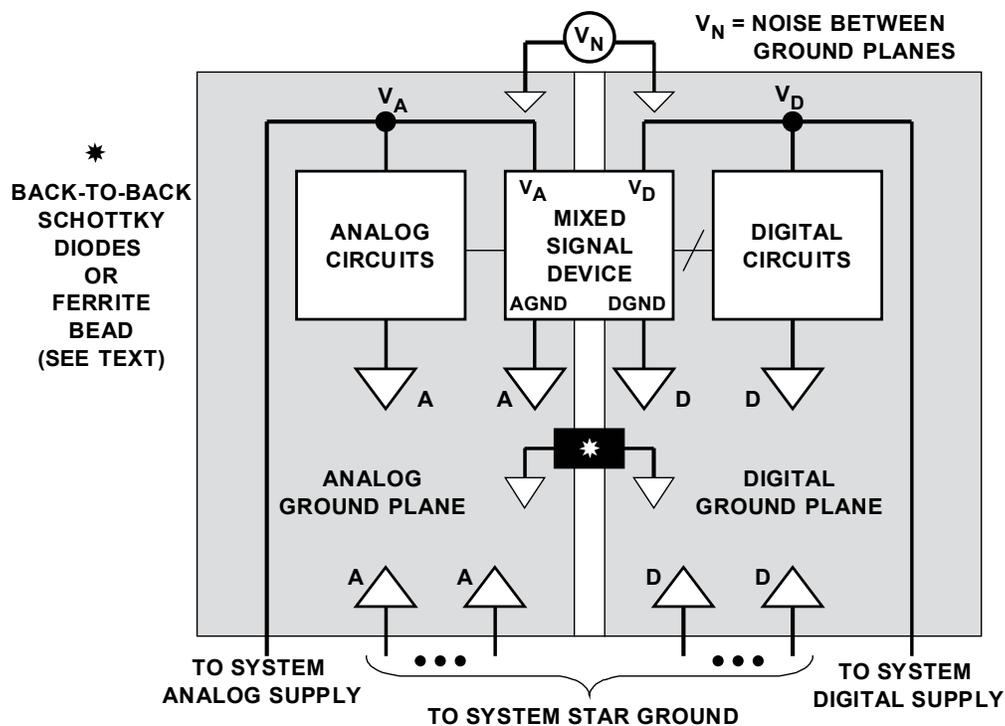


図 12.58: 高デジタル電流: 複数の PC ボード

図 12.58 に、アナログとデジタルのグラウンド・プレーンを、オプションのショットキー・ダイオード (バック to バック) またはフェライト・ビーズで接続する場合は示します。ショットキー・ダイオードは、2つのプレーン間に大きな DC 電圧スパイクや低周波電圧スパイクが発生しないようにします。

これらの電圧は AGND ピンと DGND ピンの間に直接かかるため、300 mV を超えるとミックスド・シグナル IC に損傷を与えるおそれがあります。フェライト・ビーズは、バック to バック・ショットキー・ダイオードに代わるものとして 2 つのプレーンを DC 接続しますが、周波数が数 MHz を超えると抵抗性になり、2 つのプレーンを隔離します。このため、AGND と DGND 間の DC 電圧から IC は保護されますが、フェライト・ビーズによる DC 接続が不要な DC グラウンド・ループを生じる可能性があるため、高分解能システムには適していません。

内部フェーズ・ロック・ループを備えた DSP のグラウンディング

AGND と DGND を持つミックスド・シグナル IC に十分対応できていないかのように、フェーズ・ロック・ループ (PLL) を内蔵した ADSP-21160 SHARC などの DSP には、適切なグラウンディングに関する問題が生じます。ADSP-21160 PLL は、外部クロック周波数 CLKIN の 2、3、4 倍の比率から選択した周波数で内部コア・クロック (命令サイクル時間を決定) を動かすことができます。CLKIN のレートは、同期式外部ポートが動作するレートです。このレートにより低周波数の外部クロックを使用可能ですが、図 12.59 に示すように、内部 PLL に電源とグラウンドを接続する場合は注意が必要です。

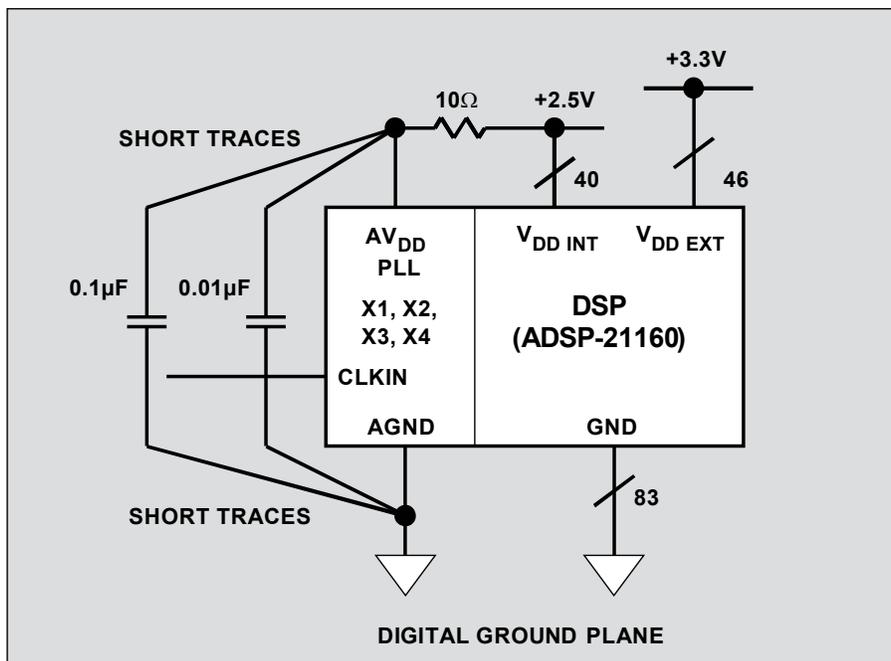


図 12.59: フェーズ・ロック・ループ (PLL) を内蔵した DSP のグラウンディング

デジタル電流と PLL 間の内部カップリングを防ぐには、電源とグラウンドをそれぞれ AV<sub>DD</sub> ピンと AGND ピンに別々に接続します。AV<sub>DD</sub> +2.5 V 電源を、図示するようにフィルタ・ネットワークを使って V<sub>DD INT</sub> +2.5 V 電源から引き出します。これで、内部 PLL に対して比較的ノイズの少ない電源が得られます。

PLL の AGND ピンは、PC 基板のデジタル・グラウンド・プレーンに短いパターンで接続します。デカップリング・コンデンサは、 $AV_{DD}$  ピンと AGND ピンの間に短いパターンで配線します。

#### グラウンディングのまとめ

1 つのグラウンディング方法だけで、常に最適な性能を確保することはできません。このセクションでは、問題となる特定のミックスド・シグナル・デバイスの特性に応じて、考えられる選択肢をいくつか紹介してきました。しかし、PC 基板を初めてレイアウトする際は、できるだけ多くの選択肢を用意するのが有益です。

PC 基板の少なくとも 1 つの層は、必ずグラウンド・プレーン専用にしてください。最初の基板レイアウトでは、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンが重なり合わないようにしますが、パッドとビアは複数の場所に設置する必要があります。必要に応じて、バック to バック・ショットキー・ダイオードやフェライト・ビーズを取り付けるためです。また、パッドとビアを設けると、必要に応じて、アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンをジャンパで接続することもできます。

ミックスド・シグナル・デバイスの AGND ピンは、通常は必ずアナログ・グラウンド・プレーンに接続します。この例外が、ADSP-21160 SHARC などの、フェーズ・ロック・ループ（PLL）を内蔵した DSP です。PLL のグラウンド・ピンの名前は AGND ですが、DSP ではこれをデジタル・グラウンド・プレーンに直接接続します。

#### 高周波動作のグラウンディング

「グラウンド・プレーン」層は、電源電流と信号電流にとって最良のリターン・パスとしてよく推奨される一方、コンバータ、リファレンスなどのサブ回路の基準ノードにもなります。しかし、グラウンド・プレーンを幅広く利用しても、AC 回路の高品質なグラウンド・リファレンスが得られるわけではありません。

2 層のプリント回路基板に作られた図 12.60 の簡単な回路では、上層の AC + DC 電流源が一方の端でビア（VIA 1）に接続され、他方は 1 本の U 字型銅線パターンを介して VIA 2 に接続されています。両方のビアは、回路基板を通過してグラウンド・プレーンに接続します。理想的には、インピーダンスがゼロで、電流源の両端にかかる電圧もゼロになります。

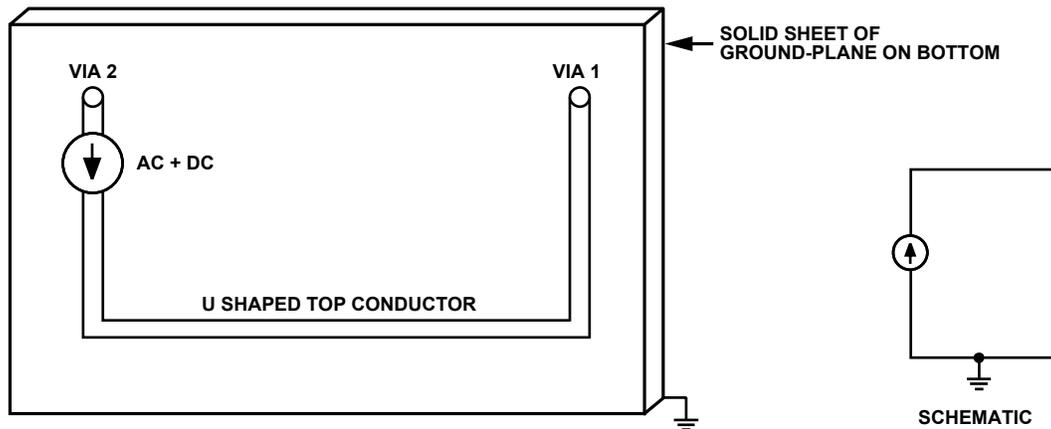


図 12.60: PC 基板上に U 字型のパターンを持ち、グラウンド・プレーンを通るリターンがある電流源の回路図とレイアウト

この簡単な回路図では、実際の微妙な問題はほとんどわかりません。しかし、グラウンド・プレーンで電流が VIA 1 から VIA 2 にどう流れるかを理解すれば、実際の状況が明確になり、高周波時のグラウンド・ノイズを阻止する方法がわかります。

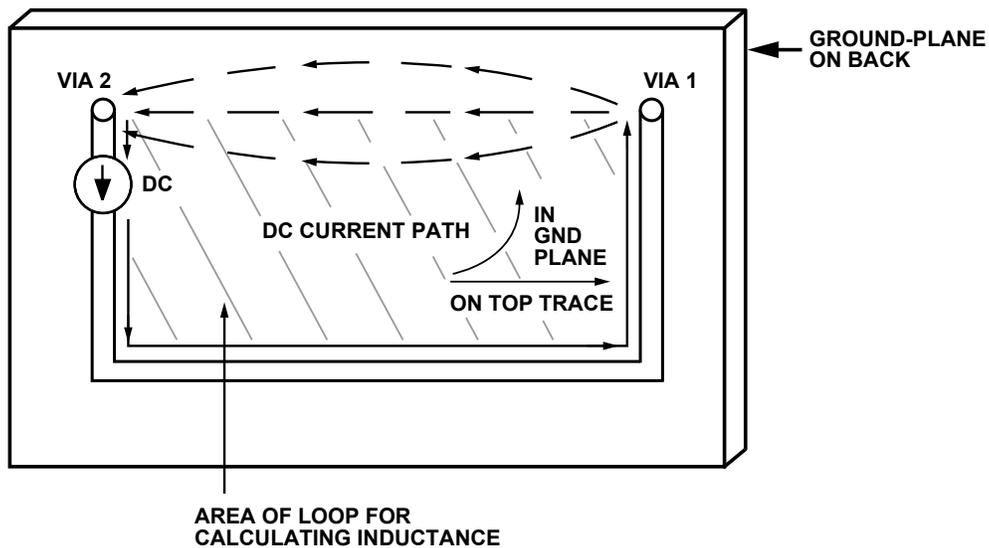


図 12.61: 図 12.60 での DC 電流の流れ

図 12.61 では、DC 電流は推測どおり、抵抗が最小のパスを選んで VIA 1 から VIA 2 に流れます。電流は若干拡散しますが、このパスからかなり離れた場所を流れる電流はほとんどありません。一方、AC 電流は抵抗が最小のパスではなく、今度はインダクタンスに依存し、インピーダンスが最小のパスを選びます。

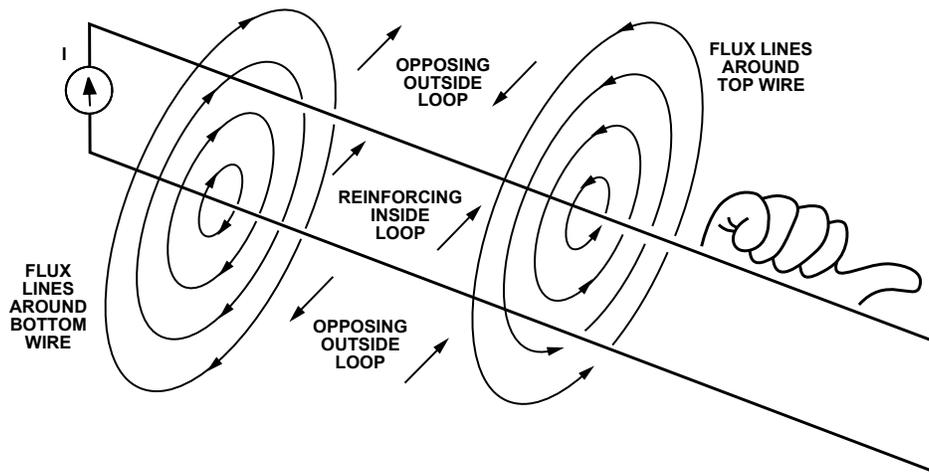


図 12.62: 磁力線と誘導ループ (右手の法則)

インダクタンスは、電流の流れにより生じるループの面積に比例します。その関係は、図 12.62 に示す右手の法則と磁場を使って説明できます。ループ内では、ループのあらゆる部分を通して流れる電流が磁力線を発生させ、それらが強め合うように加算されます。しかし、ループから離れると、さまざまな部分からの磁力線が打ち消し合うように加算されるため、磁界は基本的にループ内に閉じ込められます。ループが大きいほどインダクタンスは大きくなります。つまり、所定の電流レベルでは、ループが大きいほど蓄積される磁場エネルギー ( $Li^2$ ) とインピーダンス ( $X_L = j\omega L$ ) が大きくなるため、所定の周波数で発生する電圧が増えます。

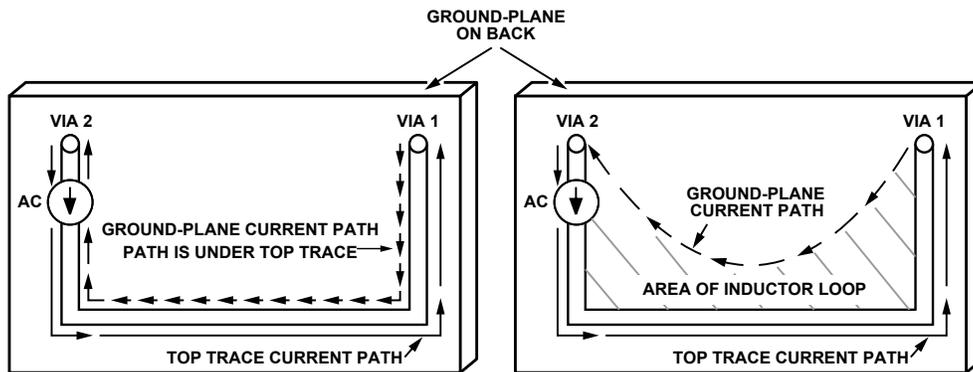


図 12.63: グラウンド・プレーンに抵抗がない場合 (左) とある場合 (右) の AC 電流パス

グラウンド・プレーンで、電流はどちらのパスを選択するでしょうか？当然ですが、インピーダンスが小さい方のパスです。U字型の表面リードとグラウンド・プレーンで構成されるループを想定し、抵抗を無視すると、高周波 AC 電流はインダクタンスが最小のパス、つまり面積が最小のパスを通ります。

上の例では、面積が最小のループは、明らかに U 字型の上面パターンとその直下のグラウンド・プレーン部分によって作られています。このため、図 12.61 が DC 電流パスを示しているのに対し、図 12.63 はほとんどの AC 電流がグラウンド・プレーン内で行く、U 字型の上面パターン直下の最小面積のパスを示しています。実際には、グラウンド・プレーンに抵抗があるため、電流は低周波数から中間周波数帯で、連続した裏面と上面導体の直下の間のどこかに流れます。ただし、リターン・パスは、1 MHz や 2 MHz の低周波数で、上面パターンのほぼ下を通ります。

**グラウンド・プレーンの切れ目に注意**

導体の下のグラウンド・プレーンのどこに切れ目があっても、グラウンド・プレーンのリターン電流は必然的にその切れ目の周囲に流れます。このため、回路のインダクタンスと外部磁場に対する脆弱性の両方が増加します。この状況を図 12.64 に示します。ここで、導体 A と B は互いに交差しなければなりません。

直角を成す 2 つの導体を交差させるためにこのような切れ目が入る場合、1 本のワイヤを使うことで 2 番目の信号が最初の信号とグラウンド・プレーンを通して伝送されるとすれば、そのほうがはるかに良いはずですが、このとき、グラウンド・プレーンは 2 つの信号導体間でシールドとして機能し、表皮効果によりグラウンド・プレーンの反対側に流れる 2 本のグラウンド・リターン電流が互いに影響し合うことはありません。

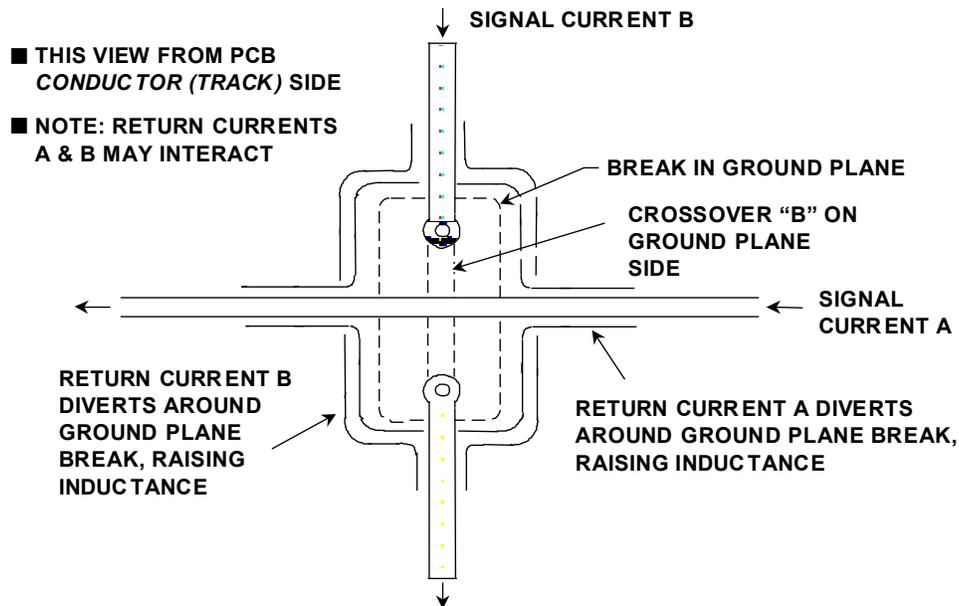


図 12.64: 回路のインダクタンスと外部磁界に対する脆弱性を増加させるグラウンド・プレーンの切れ目

多層基板では、ワイヤ・リンクを使用しなくても、クロスオーバーと切れ目のないグラウンド・プレーンを構成することができます。

多層 PCB は、より単純な両面基板に比べて高価でトラブルシューティングも難しいのですが、シールドイングと信号配線の点で優れています。関連する原理は変わりませんが、レイアウトの選択範囲が広がります。

高性能ミックスド・シグナル回路を設計するうえで、切れ目のないグラウンド・プレーンを少なくとも 1 つ持つ両面 PCB または多層 PCB を使用することが、最も成功する方法であることは間違いありません。このようなグラウンド・プレーンのインピーダンスは十分に低いことが多く、システムのアナログ部分とデジタル部分の両方に対して、単一のグラウンド・プレーンを使用することが可能です。ただし、これが可能かどうかは、要求される分解能と帯域幅、さらにシステムに存在するデジタル・ノイズの量に依存します。

参考資料

24. Alan Rich, "Shielding and Guarding," **Analog Dialogue**, Vol. 17 NO. 1, 1983, pp. 8.
25. Ralph Morrison, **Grounding and Shielding Techniques**, 4<sup>th</sup> Edition, John Wiley, Inc., 1998, ISBN: 0471245186.
26. Henry W. Ott, **Noise Reduction Techniques in Electronic Systems**, 2<sup>nd</sup> Edition, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
27. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change," **Analog Devices AN202**.
28. Paul Brokaw and Jeff Barrow, "Grounding for Low- and High-Frequency Circuits," **Analog Devices AN345**.
29. Jeff Barrow, "Avoiding Ground Problems in High Speed Circuits," **RF Design**, July 1989.
30. B. I. & B. Bleaney, **Electricity & Magnetism**, Oxford at the Clarendon Press, 1957, pp 23, 24, & 52.
31. William C. Rempfer, *Get All the Fast ADC Bits You Pay For*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.44.
32. Mark Sauerwald, *Keeping Analog Signals Pure in a Hostile Digital World*, **Electronic Design, Special Analog Issue**, June 24, 1996, p.57.
33. Walt Kester and James Bryant, *Grounding in High Speed Systems*, **High Speed Design Techniques**, Analog Devices, 1996, Chapter 7, p. 7-27.
34. Howard W. Johnson and Martin Graham, **High Speed Digital Design**, PTR Prentice Hall, 1993, ISBN: 0133957241.
35. Walt Kester, *A Grounding Philosophy for Mixed-Signal Systems*, **Electronic Design Analog Applications Issue**, June 23, 1997, p. 29.
36. Ralph Morrison, **Solving Interference Problems in Electronics**, John Wiley, 1995.
37. C. D. Motchenbacher and J. A. Connelly, **Low Noise Electronic System Design**, John Wiley, 1993.
38. Mark Montrose, **EMC and the Printed Circuit Board**, IEEE Press, 1999 (IEEE Order Number PC5756).

注記:

### 12.4: デカップリング

高速や高精度のアプリケーションでは、すべての IC を適切にデカップリングすることが不可欠です。このデカップリングには、小さい（代表値  $0.01 \mu\text{F} \sim 0.1 \mu\text{F}$ ）コンデンサを使用しますが、このコンデンサは優れた高周波特性を備えていなければなりません。多層表面実装のセラミック・タイプが理想的で、このコンデンサを使用するのは、ノイズを短絡して IC に入り込まないようにするためです。図 12.65 に示すように、電源電圧変動除去比が周波数に応じて低下するからです。このプロットはオペアンプのもので、線形回路でもコンバータでもすべて全体的な形状は同様です。高周波ノイズが IC に入り込まないようにすると、ノイズが（線形回路の）出力に到達したり、（コンバータの）ノイズに影響したりするのを防ぐことができます。

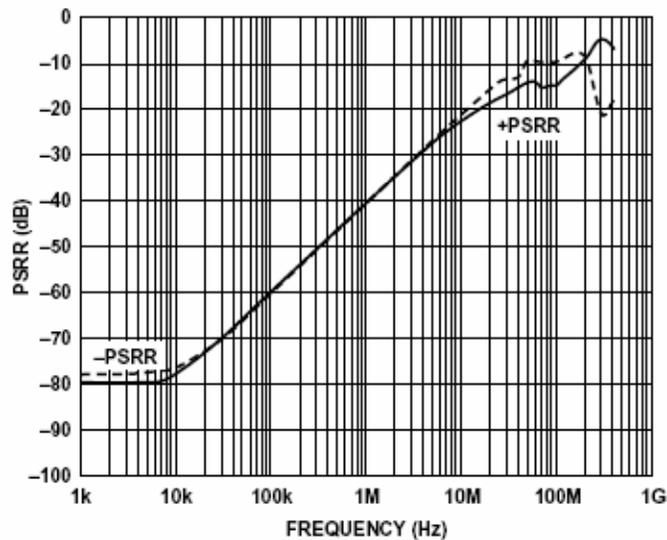


図 12.65: AD8029 の電源除去比 (PSRR)

高周波コンデンサだけでなく、大きな電解コンデンサ ( $10 \mu\text{F} \sim 100 \mu\text{F}$ ) も十分に利用すべきです。このような電解コンデンサは、すべてのチップでは必要ありません。このコンデンサの目的は、瞬間的に電流が必要な場合に、それを局所的な電流源から供給できるように、局所的な電荷貯蔵庫とすることです。比較的離れた位置にあって PCB パターンのインダクタンスや抵抗の影響を受けてしまう電源から供給する必要はありません。

#### 高周波の局所的なバイパス/デカップリング

上述したように、個々のアナログ段には局所的な高周波のデカップリングが必要です。すべての個々のアナログ段のうち、これらの段には電源ピンで直接給電されます。図 12.66 に、デカップリングの実装が適切な例（左）と不適切な例（右）の両方を挙げて、望ましい方法を示します。

左の例では、代表値  $0.1 \mu\text{F}$  のチップ・セラミック・コンデンサを、ビアを使って反対の PCB 側のグラウンド・プレーンに直接接続し、もう 1 つのビアで IC の GND ピンに接続します。一方、右のあまり好ましくない配置では、デカップリング・コンデンサのグラウンド・パスで追加の PCB パターンによるインダクタンスが増加し、効果が減少します。

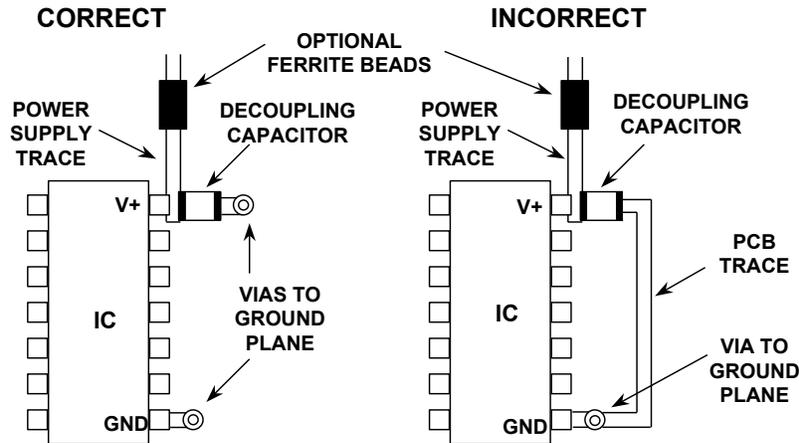


図 12.66: 高周波電源フィルタを局所的に配置することにより、最適なフィルタリングと短い低インダクタンス・パス（グラウンド・プレーン）を介したデカップリングが実現

上の図に示す一般的な方法は、単一レール電源に適した方法ですが、この考え方は明らかに両レール電源にも適用できます。デカップリング対象の IC がオペアンプの場合、ここに示す GND ピンは  $V_s$  ピンであることを注意してください。両電源オペアンプを使用する場合、オペアンプには GND ピン自体がないので、使用する際は 2 つのデカップリング回路をグラウンド・プレーンに直接接続するか、他のローカル・グラウンドに接続してください。

最高性能を得るには、すべての高周波 ( $\geq 10 \text{ MHz}$ ) IC に図 12.66 と同様のバイパス回路を使用する必要があります。オペアンプや他の高性能 IC を局所的なバイパスなしで動作させようとするのは、ほとんどの場合愚かなことです。回路が事実上完全にマイクロパワーで、ゲイン帯域幅が kHz レンジであれば、一部の状況では可能かもしれませんが、しかし、大局的に考えるためにも、1 対の  $0.1 \mu\text{F}$  のセラミック・バイパス・コンデンサの価格が 25 セントもしないことに注目してください。バイパスせずに、システムのトラブルシューティングで予想される苦労や時間の損失を考えれば、節約する意味はほとんどありません。

これに対して、フェライト・ビーズは 100 % 必要とは限りませんが、高周波ノイズの隔離やデカップリング機能が加わるので、多くの場合、使用することが望まれます。ここで注意すべきことは、オペアンプが高電流を処理している間、ビーズが絶対に飽和しないことを確かめることでしょう。

一部のフェライトは、完全に飽和する前でも非直線性を示すことがあるので注意してください。したがって、電力段を低歪みの出力で動作させる必要があるときは、この点も検査でチェックします。

高調波歪みに対するデカップリングが不適切な場合の影響を、図 12.67 にわかりやすく示します。左の写真は、 $100 \Omega$  の負荷を駆動する AD9631 オペアンプを適切にデカップリングしたときのスペクトル出力を示しています（出力信号は  $20 \text{ MHz}$ 、 $2 \text{ V}_{\text{p-p}}$ ）。 $40 \text{ MHz}$  での 2 次高調波歪みが約  $-70 \text{ dBc}$  であることに注目してください。デカップリングをやめると、同じ図の右の写真に示すように、歪みが増加します。図 12.67A は、配線で電源をオペアンプのテスト用治具に接続した場合の浮遊 RF ピックアップも示しています。

低周波数アンプと異なり、多くの高周波アンプの電源除去比は、一般に、高周波数ではかなり低くなります。例えば、20 MHz 時、AD9631 の電源除去比は 25 dB 未満です。デカップリングが不適切だと性能が低下するのは、主にこのためです。出力信号が変化すると、それに応じて信号に依存する負荷電流に変化が生じます。また、不適切なデカップリングに起因する電源電圧の変化により、出力に信号依存の誤差が生じ、歪みの増加として現れます。

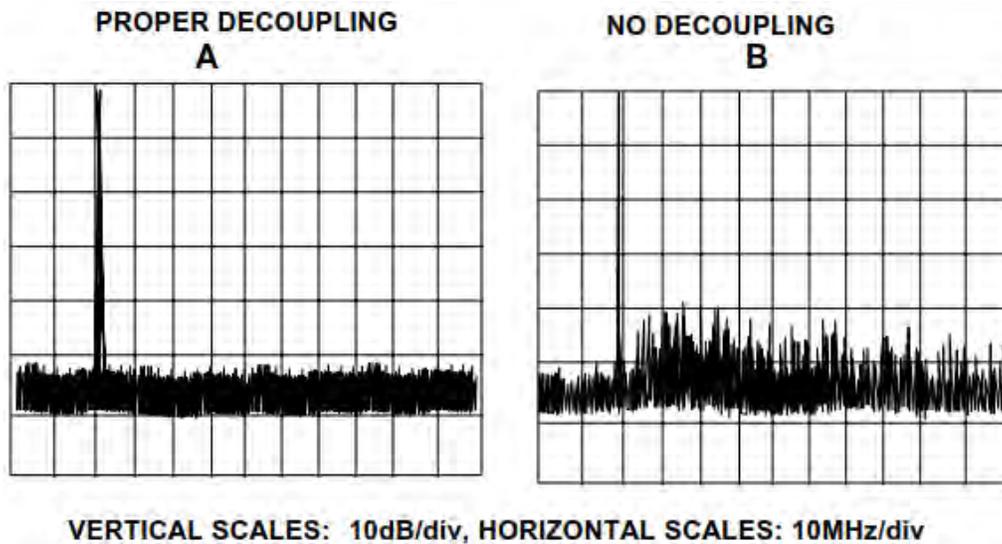


図 12.67: AD9611 オペアンプの高調波歪み性能に不適切なデカップリングが与える影響

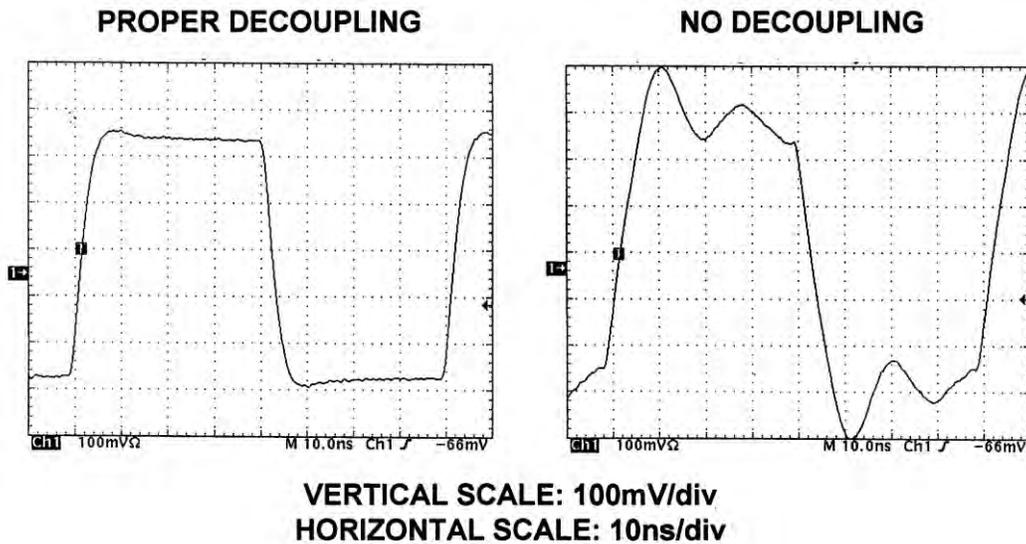


図 12.68: AD9631 オペアンプの位相応答に不適切なデカップリングが与える影響

不適切なデカップリングは、AD9631 のような高速アンプのパルス応答にも深刻な影響を与えることがあります。図 12.67 と図 12.68 は、評価用ボードでの AD9631 に関して、通常動作と、すべてのデカップリング・コンデンサを取りはずしたときの影響を示しています。デカップリング状態が悪いと、パルス応答に大きなリングングが発生することに注意してください。

### リングング

インダクタとコンデンサを直列または並列に接続すると、共振（つまり「同調」）回路が形成されます。この回路の主な特徴は、狭い周波数範囲でインピーダンスが著しい変化を示すことです。変化の鋭さは、同調回路の相対的な Q 値に依存します。

共振現象は狭帯域回路の周波数応答を定義するために広く用いられていますが、問題を生じることもあります。

回路の浮遊インダクタンスと容量（浮遊の場合とそうでない場合がある）が同調回路を形成する場合、その同調回路が回路内の信号によって励起され、共振周波数でリングングを起こす可能性があります。

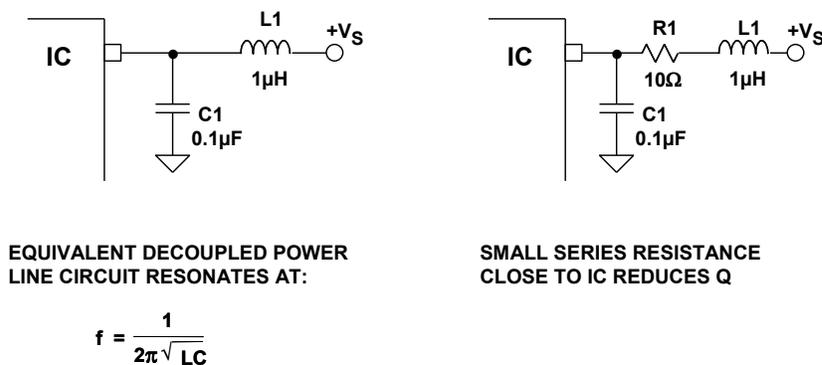


図 12.69: 電源ラインのデカップリングによって形成される共振回路

図 12.69 に一例を示します。ここでは、誘導性の電源ラインとそのデカップリング・コンデンサで形成される共振回路が、給電された IC から流れる高速パルス電流により励起される可能性があります。

通常パターンのインダクタンスと 0.01 µF ~ 0.1 µF のデカップリング容量（代表値）は、数 MHz よりはるかに高い周波数で共振しますが、0.1 µF のコンデンサと 1 µH のインダクタンスの例では 500 kHz で共振します。周波数をチェックしないでいると、左側のケースのように、共振の問題を引き起こすことがあります。電源ラインに望ましくない共振が発生した場合は、インダクタンスの Q を引き下げることで影響を最小限に抑えることができます。これを最も簡単に行うには、右側のケースのように、IC に近い電源ラインに小さい抵抗（約 10 Ω）を挿入します。

参考資料

1. Paul Brokaw, "An IC Amplifier User's Guide to Decoupling, Grounding and Making Things Go Right for a Change," **Analog Devices AN202**.
2. Henry W. Ott, **Noise Reduction Techniques in Electronic Systems, 2nd Edition**, John Wiley, Inc., 1988, ISBN: 0-471-85068-3.
3. Mark Sauerwald, "Keeping Analog Signals Pure in a Hostile Digital World," **Electronic Design, Special Analog Issue**, June 24, 1996, p.57.
4. Jerald Grame and Bonnie Baker, "Design Equations Help Optimize Supply Bypassing for Op Amps," **Electronic Design, Special Analog Issue**, June 24, 1996, p.9.
5. Jeffrey S. Pattavina, "Bypassing PC Boards: Thumb Your Nose at Rules of Thumb," **EDN**, Oct. 22, 1998, p.149.
6. C. D. Motchenbacher and J. A. Connelly, **Low Noise Electronic System Design**, John Wiley, 1993.
7. Walt Jung, Walt Kester, Bill Chesnut, "Power Supply Noise Reduction and Filtering," portion of Section 8 within Walt Kester, Editor, **Practical Design Techniques for Power and Thermal Management**, Analog Devices, Inc., 1998, ISBN 0-916550-19-2.

## 12.5: 熱管理

信頼性を高めるため、**熱管理**状態を監視する目的で、電力消費を感知できるシステムの要求が高まっています。すべての半導体には、仕様で安全と規定されたジャンクション温度 ( $T_J$ ) の上限があり、通常、約 150 °C (場合によっては 175 °C) です。最大電源電圧と同様、最大ジャンクション温度は超えてはならない最悪ケースの制限値です。従来の設計に、十分な安全マージンを持たせる必要があります。半導体の寿命は動作ジャンクション温度に反比例するので、このマージンが非常に重要であることに注意してください。簡単に言えば、IC の温度が低いほど寿命は延びます。

この電力と温度の制限は基本であり、図 12.70 に示すような定型のデータシートの記述で説明されます。この例は、8 ピン SOIC デバイスの AD8017AR に関する記述です。

***The maximum power that can be safely dissipated by the AD8017 is limited by the associated rise in junction temperature. The maximum safe junction temperature for plastic encapsulated device is determined by the glass transition temperature of the plastic, approximately +150°C. Temporarily exceeding this limit may cause a shift in parametric performance due to a change in the stresses exerted on the die by the package. Exceeding a junction temperature of +175°C for an extended period can result in device failure.***

図 12.70: 熱強化型 SOIC パッケージに収容されたデバイス AD8017AR の最大消費電力に関するデータシートの記述

このような記述に関係するのが、デバイスの消費電力などの特定の動作条件とプリント回路基板 (PCB) に実装するパッケージです。AD8017AR の場合、周囲温度 25 °C での消費電力定格は 1.3 W と規定されています。この値は、ヒート・シンクを目的とする約 4 平方インチ (約 2500 mm<sup>2</sup>) の 2 オンス銅を備えた 2 層 PCB に、8 ピン SOIC パッケージを装着した場合の動作を想定しています。その他の条件でのデバイスの安全動作予測については、以下で説明します。

### 熱の基本事項

記号  $\theta$  は、一般に**熱抵抗**の表示に使用されます。熱抵抗の単位は °C/ワット (°C/W) です。他に規定がない限り、高温の IC 接合から周囲空気まで熱が移動するときに遭遇する抵抗値をこれで定義します。より具体的に言うと、**接合 - 周囲間熱抵抗**については  $\theta_{JA}$  と表すこともあります。 $\theta_{JC}$  と  $\theta_{CA}$  は、これ以外に使用されている 2 つの  $\theta$  の種類ですが、これらの詳細は以下に説明します。

一般に、熱抵抗  $\theta$  が 100 °C/W に等しいデバイスは、2 つのリファレンス・ポイント間で測定すると、消費電力 1 W につき 100 °C の温度差を示します。

この電力と温度の関係は線形なので、この部分では消費電力 1 W で 100 °C の温度差が生じます（他の部分の消費電力も同様）。例えば AD8017AR は、 $\theta$  が約 95 °C /W なので、1.3 W の消費電力により、ジャンクション - 周囲間に約 124 °C の温度差が生じます。設計の熱信頼性を判断するために内部温度の予測に使用するのには、もちろんこの温度の上昇値です。周囲温度 25 °C の場合、この温度上昇により内部のジャンクション温度は約 150 °C になります。実際には、ほとんどの周囲温度は 25 °C を上回るので、扱う電力はもっと小さくなります。

消費電力を  $P$  (W) とすると、実効温度差 ( $\Delta T$ ) (°C) は次式のように計算できます。

$$\Delta T = P \times \theta \quad \text{式 12-16}$$

ここで、 $\theta$  は適用される総熱抵抗です。

図 12.71 に、熱関連の多数の基本項目をまとめます。

- ◆  $\theta$  = Thermal Resistance (°C/W)
- ◆  $P$  = Total Device Power Dissipation (W)
- ◆  $T$  = Temperature (°C)
- ◆  $\Delta T$  = Temperature Differential =  $P \times \theta$
- ◆  $\theta_{JA}$  = Junction-Ambient Thermal Resistance
- ◆  $\theta_{JC}$  = Junction-Case Thermal Resistance
- ◆  $\theta_{CA}$  = Case-Ambient Thermal Resistance
- ◆  $\theta_{JA} = \theta_{JC} + \theta_{CA}$
- ◆  $T_J = T_A + (P \times \theta_{JA})$
- ◆ **Note:**  $T_{J(Max)} = 150^\circ\text{C}$  (Sometimes  $175^\circ\text{C}$ )

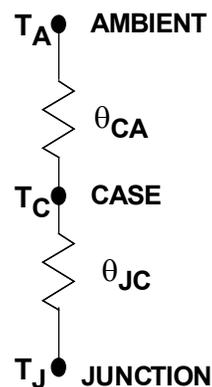


図 12.71: 熱関連の基本項目

右側に示す 2 つの熱抵抗のように、直列接続された熱抵抗により、デバイスの総熱抵抗のパスが作られていることに注意してください。したがって、計算上の総熱抵抗  $\theta$  は合計値、つまり  $\theta_{JA} = \theta_{JC} + \theta_{CA}$  となります。周囲温度  $T_A$ 、 $P$  および  $\theta$  が与えられれば、 $T_J$  を計算することができます。この関係が示すように、低い  $T_J$  を維持するには、 $\theta$  または消費電力（あるいは両方）を低く抑える必要があります。半導体の寿命を延ばすうえで、 $\Delta T$  が低いことが重要です。それが最大ジャンクション温度の低下につながるからです。

IC では、温度のリファレンス・ポイントの 1 つは常にデバイスの接合であり、所定のパッケージ内で動作するチップ内部で温度が最も高い場所と解釈されます。他の関連するリファレンス・ポイントとしては、デバイスのケース ( $T_C$ ) や周囲空気 ( $T_A$ ) があります。これが、次には上述した個々の熱抵抗  $\theta_{JC}$  と  $\theta_{JA}$  につながります。

まず最も簡単な例を挙げると、 $\theta_{JA}$  は、**接合と周囲大気間**で測定された所定のデバイスの熱抵抗です。この熱抵抗は、消費電力が 1 W 以下のものが多いオペアンプなど、小型で比較的消費電力の IC で頻繁に使用されます。一般に、オペアンプなどの小型デバイスの  $\theta_{JA}$  の代表値は、プラスチックの 8 ピン DIP パッケージでは約 90 °C/W ~ 100 °C/W で、SOIC パッケージでは値がこれより小さくなります。

これらの熱抵抗は、材料が異なると熱導電率の高さが異なるので、パッケージに大きく依存していることをはっきりと理解してください。一般的な目安として、導体の熱抵抗は等価抵抗から電気抵抗まであり、最良の材料は銅で、これにアルミニウム、スチールなどが続きます。このため、銅のリードフレーム・パッケージは最高性能（最小の熱抵抗）を示します。

### ヒート・シンキング

定義によると、**ヒート・シンク**は熱の除去に役立つように、IC に追加で接続する小さい熱抵抗デバイスです。ヒート・シンクには、それ自体の付加的な熱抵抗  $\theta_{CA}$  があり、定格が単位 °C/W で規定されています。しかし、最新の IC パッケージは、ヒート・シンクを接続しにくい構造になっています（例外は旧バージョンの TO-99 メタル・キャン・タイプ）。ヒート・シンクの接続に合うデバイスは、多くの場合、 $\theta_{JC}$  が  $\theta_{JA}$  よりも大幅に低いことで知られています。この場合、 $\theta$  は複数の成分から成ります。熱インピーダンスが加わりますが、実際の計算は比較的単純になります。例えば、実際の  $\theta_{JA}$  を計算するには、関連する  $\theta_{JC}$  の値を与え、ヒート・シンク、 $\theta_{CA}$ 、またはケース - 周囲間の熱抵抗を次のように  $\theta_{JC}$  に加算します。

$$\theta_{JA} = \theta_{JC} + \theta_{CA} \quad \text{式 12-17}$$

これにより、その特定の状況での  $\theta_{JA}$  が得られます。

しかし一般に、最新のオペアンプは市販されているヒート・シンクを使用しません。代わりに、1 W 以上のように多くの電力を消費する必要がある場合は、熱抵抗の小さい銅の PCB パターンをヒート・シンクとして使用します。この場合、このヒート・シンキングに関するメーカーのデータで最も有用なのは、PCB のレイアウト例の境界条件と、それらの条件で生じる  $\theta_{JA}$  です。つまり、前述したように、これが現実に AD8017AR に関して提供される具体的な情報の種類です。この方法を応用すると、このような条件時の熱の関係を示すデータ例は、図 12.72 に示すようになります。これらのデータは、2 層で 2 オンスの銅 PCB 上で、面積が約 4 平方インチのヒート・シンクに装着された AD8017AR に該当します。

これらの曲線は、最大ジャンクション温度が 150 °C と 125 °C のときの AD8017 の最大消費電力と温度特性の関係を示しています。許容消費電力は周囲温度に応じて減少することから、このような曲線をよく **ディレーティング・カーブ**と呼びます。

AD8017AR の場合、アナログ・デバイス独自の IC パッケージである「サーマル・コーストライン」を使用すれば、SO-8 パッケージのサイズを大きくしなくても許容消費電力を増やすことができます。 $T_{J(max)}$  が 150 °C のとき、上側の曲線がこのパッケージの許容電力を示し、周囲温度 25 °C では 1.3 W です。

$T_{J(max)}$  をもっと控えめな  $125^{\circ}\text{C}$  とした場合は、2つの曲線の下の方が該当します。

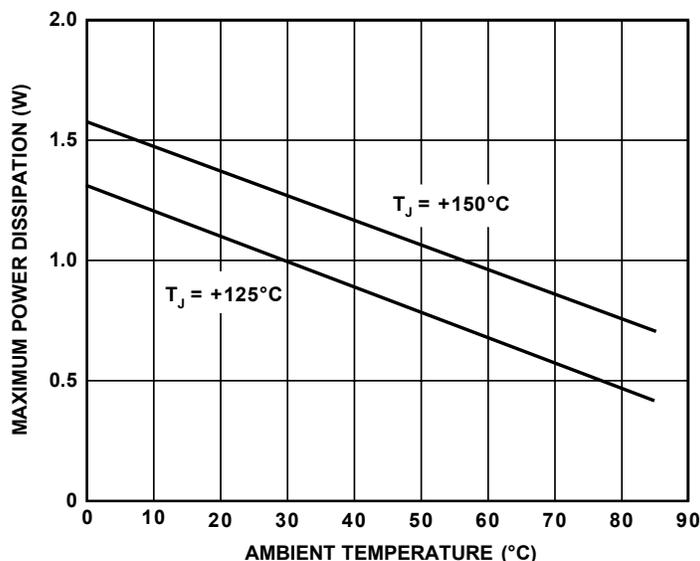


図 12.72: AD8017AR オペアンプのサーマル・レーティング・カーブ

8 ピンの標準 SOIC とアナログ・デバイセズのサーマル・コーストライン・バージョンでの性能比較を、図 12.73 に示します。サーマル・コーストラインでは、 $25^{\circ}\text{C}$  での許容消費電力が  $1.3\text{ W}$  であるのに対し、標準パッケージではわずか  $0.8\text{ W}$  です。サーマル・コーストラインでは、パッケージの  $\theta_{JA}$  が小さいことから、熱の移動が増えています。

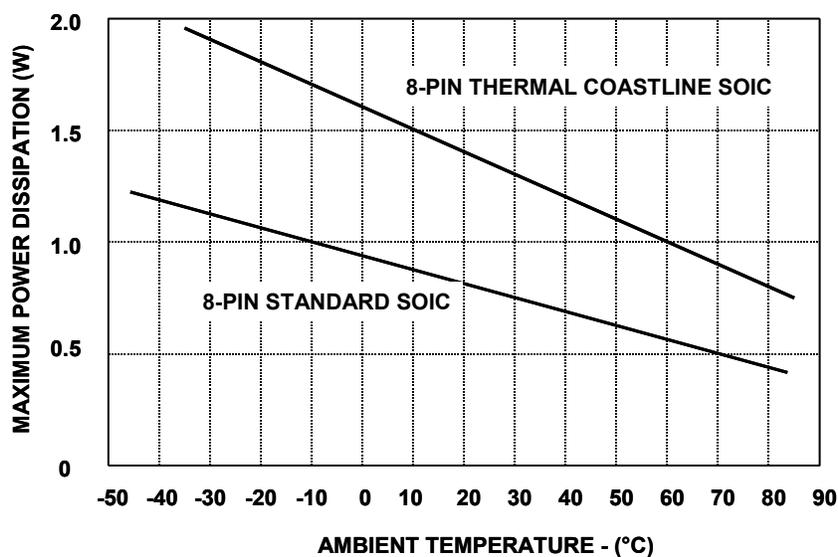


図 12.73: 標準 (下側) と ADI サーマル・コーストライン (上側) の 8 ピン SOIC パッケージのサーマル・レーティング・カーブ

チップから PCB への熱伝達がより優れた IC パッケージを使用すれば、許容消費電力をさらに増やすことができます。AD8016 を例にとると、図 12.74 に示すように、25 °C での定格がそれぞれ 5.5 W と 3.5 W の 2 つのパッケージ・オプションがあります。

定格許容電力が大きいほうの AD8016ARP PSOP3 パッケージを選び、1 オンスが 10 平方インチのヒート・シンク・プレーンとともに使用した場合、周囲温度が 70 °C のとき、この組み合わせでは最大 3 W の消費電力を扱うことができます。これは、 $\theta_{JA}$  では 18 °C/W に相当し、この場合の最大ジャンクション温度は 125 °C となります。

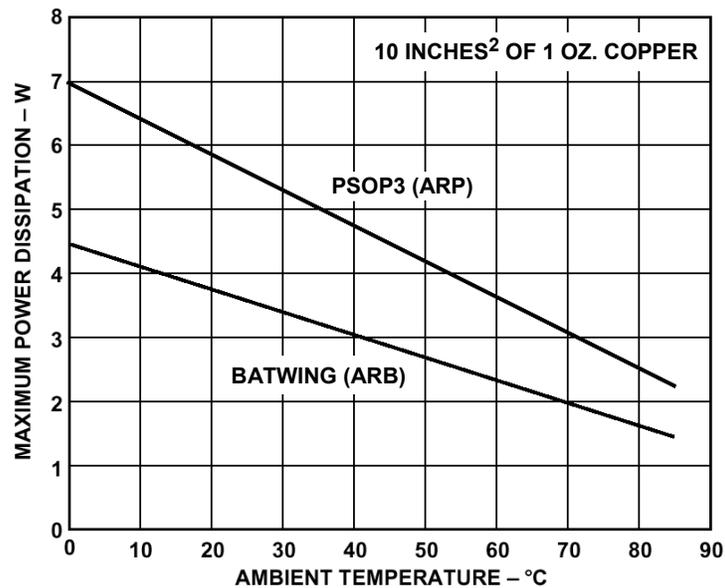


図 12.74: AD8016 の BATWING (下側) と PSOP3 (上側) パッケージの熱特性曲線 ( $T_{J(Max)} = 125\text{ °C}$ )

AD8016 の PSOP3 バージョンの消費電力の処理能力が高いのは、面積の広い銅スラグを使用しているからです。パッケージ内部では、IC のダイがこのスラグに直接載っており、図 12.75 に示すように底面は露出しています。これは、この表面を PCB の銅プレーンに直接ハンダ付けすることにより、ヒート・シンクを拡張するためです。

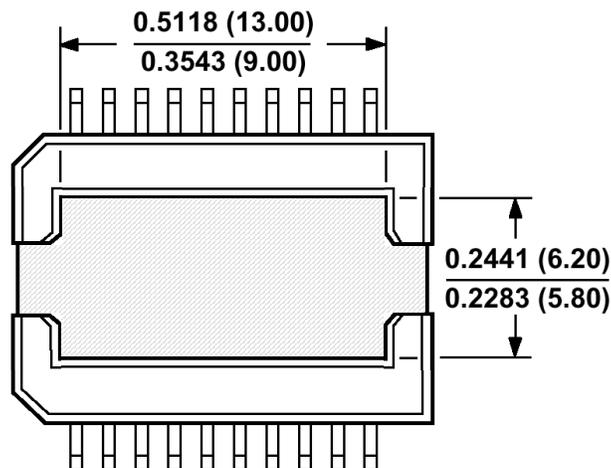


図 12.75: 熱伝導を補助する銅スラグを示した

AD8016 20 ピン PSOP3 パッケージの底面図（中央のグレイの領域）

信頼性が高く熱抵抗の小さいオペアンプを設計するための、設計上のべし・べからずリストを以下に示します。実際に役立つように、これらのポイントをすべて考慮してください。

- 1) PCB のヒート・シンクは、リターンが減少するポイントまで銅面積をできるだけ広く使用します。
- 2) 1) と併せて、複数（外部）の PCB レイヤは、複数のビアを使って接続します。
- 3) できるだけ重い銅を使用するのが実用的です（2 オンス以上を推奨）。
- 4) 温度の高い PCB 表面から熱を自由に放散させるために、システム内に十分な自然換気のできる空気の出入口を設けます。
- 5) ヒート・シンク領域全体で対流による空気の流れを作るために、電力消費の大きい PCB プレーンを垂直に配置します。
- 6) 高精度のオペアンプ・アプリケーションに対しては、外付けのパワー・バッファ段の使用を検討します。
- 7) 狭い空間で数ワットを消費する必要がある状況では、**強制エア**の使用を検討します。
- 8) 熱消費の大きいパターン上では、ハンダ・マスク・プレーンを使用しないようにします。
- 9) 電力分配用 IC では、過度の電源電圧を使用しないようにします。

AD8016 のパッケージ・オプションは、どちらも自然の空気と移動する空気の間に対して特性が規定されています。しかし、上述した熱に関する情報は、方向を持った空気の流れの使用なしで適用されます。したがって、さらに空気の流れを追加すると、熱抵抗はあっというまに小さくなります (参考資料 2 参照)。

ほとんどのデバイスでは、上述のポイントは明らかです。ただし、十分な注意を必要とするのが 9) です。アプリケーションが小さい電圧振幅しか必要としなくても (例えば、標準的なビデオの 2 V<sub>p-p</sub> など)、広い電源電圧範囲を使用できることがよくあります。しかし、オペアンプ・ドライバを高い電源電圧で動作させると、負荷電力が一定であっても、IC の消費電力は大きくなります。

このような場合、アプリケーションの歪み性能が低下しない限り、IC は ±15 V ではなく、例えば ±5 V くらいの低電源電圧で動作させるほうが有益です。上記のデータ例は DC ベースで考えたものですが、一般に、高い電源電圧はサイン波や DMT 信号などの疑似雑音波形よりもドライバに電力の面で大きな負荷を与えます (参考資料 2 参照)。この一般原則は、AC 波形に対しても成り立ちます。つまり、オペアンプの消費電力は、負荷電流が大きく、電源電圧が低い場合に大きくなります。

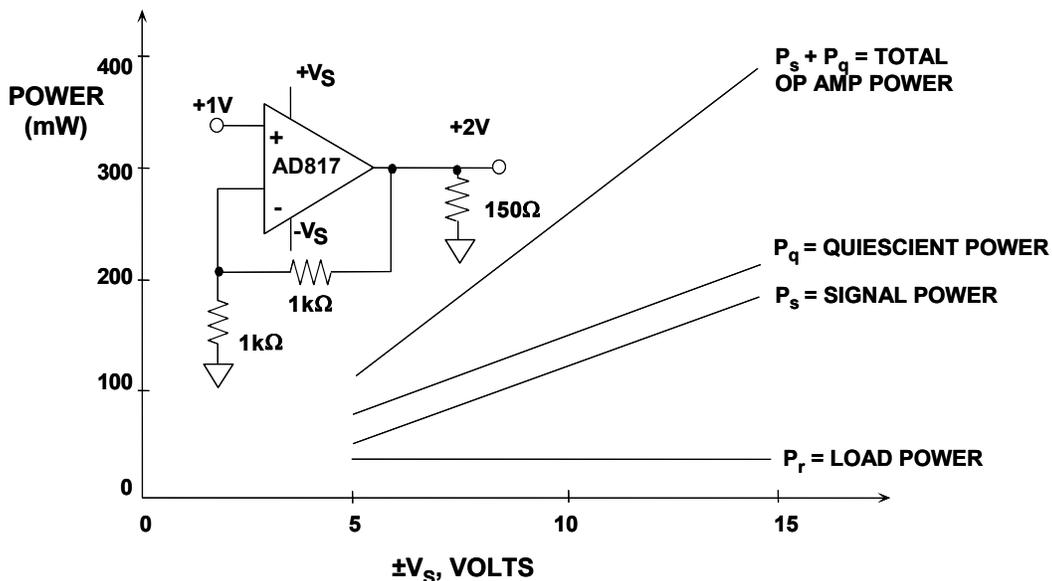


図 12.76: 出力電圧振幅が小さい場合の、さまざまな電源電圧でのビデオ・オペアンプ・ドライバの消費電力

上述した AD8016 と AD8107 用の熱強化型パッケージであれば、高電力を扱う機会は豊富にあるものの、次第に普及しつつある小型 IC パッケージは、実際には逆の方向に進んでいます。間違いなく、今日の小型パッケージは熱性能を著しく犠牲にしています。

しかし、この犠牲は、パッケージに入ったオペアンプの小型化を実現し、結局は、システム全体における最終的な PCB の密度を大幅に高めるためであることを理解しなければなりません。

これらの点を、図 12.77 に示す、AD8057 と AD8058 のシングルおよびデュアル・オペアンプ・デバイス・ファミリーのサーマル・レーティングで説明します。AD8057 と AD8058 オペアンプは、3 種類のパッケージで入手できます。3 種類とは、SOT-23-5、8 ピン MSOP、および標準 SOIC です。

データが示すように、パッケージ・サイズが小さくなるほど削減できる電力はずっと小さくなります。そのように小さいパッケージでは、ヒート・シンキングができるのはリード・フレームだけなので、熱性能が低下します。記載されているパッケージの  $\theta_{JA}$  は、それぞれ 240 °C/W、200 °C/W、および 160 °C/W です。この値では、デバイスよりもパッケージのほうが性能を制限していることに注意してください。同じパッケージを使用する他の IC でも同様の特性が見られます。

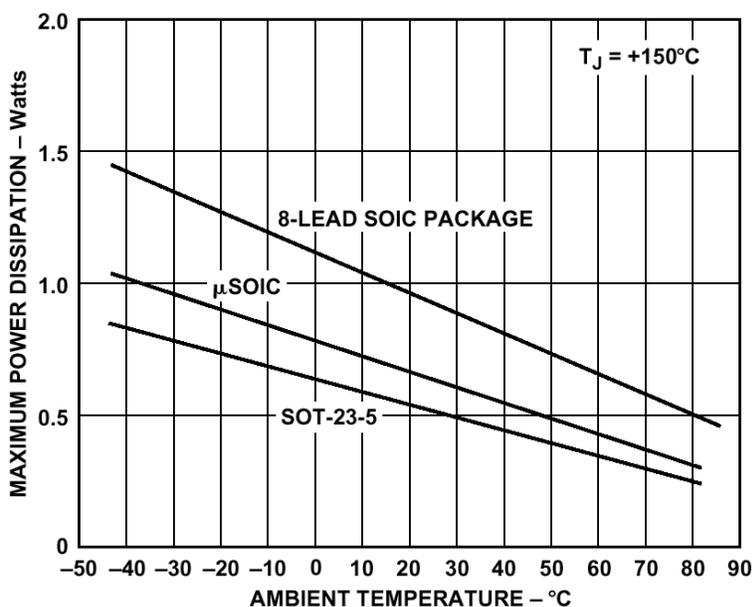


図 12.77: AD8057/AD8058 オペアンプの  
数種のパッケージ・オプションの熱性能比較

### データ・コンバータの熱に関する検討事項

一見すると、ADC または DAC の消費電力は所定の電源電圧では一定のままであると考えるかもしれませんが、しかし、多くのデータ・コンバータ、特に CMOS データ・コンバータの消費電力は、出力データ・ラインにかかる負荷だけでなく、サンプリング・クロック周波数にも大きく依存しています。最近の高速コンバータの多くは、最も厳しい動作条件では最大 1.5 W ~ 2 W の電力を消費することがあるので、予想される動作温度が最大るときジャンクション温度を許容範囲内に維持するようにパッケージを装着するためには、この点を十分に理解する必要があります。

本章で前述したグラウンディングに関する説明では、高性能 ADC、特にパラレル出力を備えた ADC で、デジタル過渡電流により S/N 比や SFDR が低下しないようにするには、軽負荷 (5 pF ~ 10 pF) にすることを強調しました。しかし、出力が軽負荷であっても、ほとんどの CMOS および BiCMOS ADC の消費電力は、サンプリング・クロック周波数と、場合によってはアナログ入力周波数とアナログ入力振幅に依存します。

例えば、図 12.78 に、14 ビット、80 MSPS、3 V の AD9245 CMOS ADC が、アナログ入力 2.5 MHz でデータ・ラインの出力負荷が 5 pF のときの消費電力と周波数の関係を示します。グラフは、総消費電力とともに、デジタルとアナログの電源電流を個別に示しています。サンプリング周波数が 10 MSPS ~ 80 MSPS まで変化するのに伴い、総消費電力は約 310 mW ~ 380 mW まで変化するに注目してください。

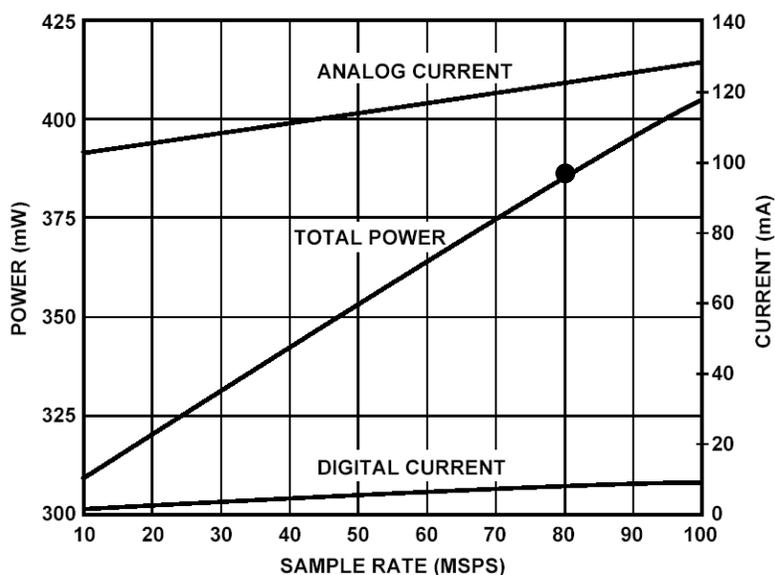


図 12.78: AD9245 14 ビット、80 MSPS、3 V CMOS ADC が入力 2.5 MHz、出力負荷 5 pF のときのサンプル・レートと消費電力の関係

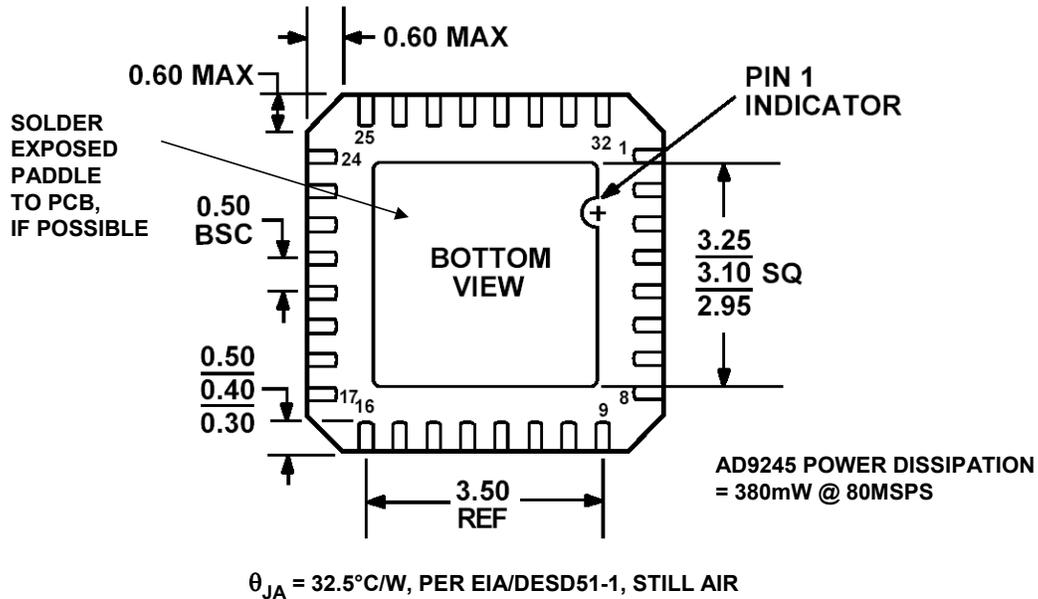
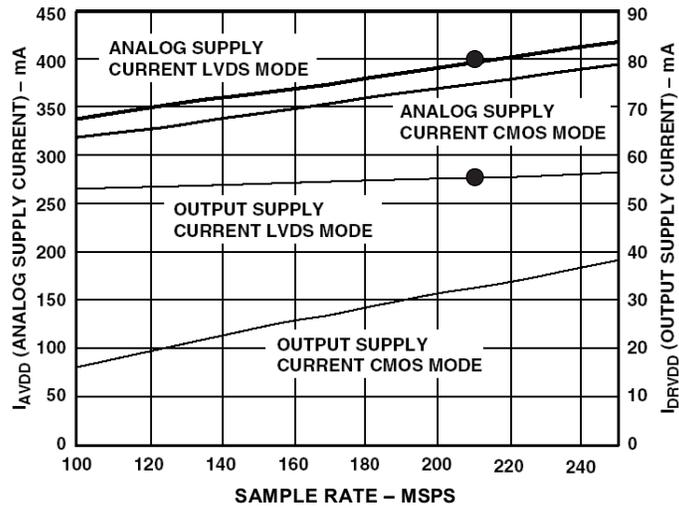


図 12.79: AD9245 の CP-32 リード・フレーム・チップ・スケール・パッケージ (LFCSP)、底面図

AD9245 は、図 12.79 に示す 32 ピンのリードレス・チップ・スケール・パッケージに收容されています。このパッケージの底面図を見ると、最良の熱伝達を得るために、露出パドルを PC 基板のグラウンド・プレーンにハンダ付けしています。最悪ケースのパッケージの接合 - 周囲間の抵抗  $\theta_{JA}$  は  $32.5^{\circ}\text{C/W}$  と規定されており、このため、消費電力が 380 mW のとき、ジャンクション温度は周囲温度より  $12.3^{\circ}\text{C}$  高くなります ( $32.5^{\circ}\text{C/W} \times 0.38\text{ W} = 12.3^{\circ}\text{C}$ )。最大動作温度が  $+85^{\circ}\text{C}$  の場合、ジャンクション温度は適度な  $85^{\circ}\text{C} + 12.3^{\circ}\text{C} = 97.3^{\circ}\text{C}$  になります。

AD9430 は、高性能の 12 ビット、170 MSPS/210 MSPS、3.3 V BiCMOS ADC です。2 つの出力モード (デュアル 105 MSPS のデマルチプレクサ CMOS 出力、または 210 MSPS の LVDS 出力) を使用できます。サンプリング周波数の関数としての消費電力を図 12.80 に示します。アナログ入力周波数が 10.3 MHz のときの CMOS モードと LVDS モードでのアナログおよびデジタルの電源電流を示しています。LVDS モードでサンプリング周波数が 210 MSPS の場合、合計電源電流は約 455 mA なので、総消費電力は 1.5 W になります。



TOTAL CURRENT @ 210MSPS, LVDS MODE = 55mA + 400mA = 455mA  
 TOTAL POWER DISSIPATION = 3.3V × 455mA = 1.5W

図 12.80: AD9430 12 ビット 170 MSPS/210 MSPS ADC のサンプル・レートと電源電流の関係 (10.3 MHz 入力の場合)

AD9430 は、図 12.81 に示すように、露出パッドが付いた 100 ピンの薄型プラスチック・クワッド・フラット・パッケージを採用しています。導電性パッドはチップのグラウンドに接続し、PC 基板のグラウンド・プレーンにハンダ付けしてください。グラウンド・プレーンにハンダ付けする際のパッケージの  $\theta_{JA}$  は、自然空冷で 25 °C/W です。これにより、消費電力が 1.5 W のとき、ジャンクション温度は周囲温度より 37.5 °C 高くなります (25 °C/W × 1.5 W = 37.5 °C)。最大動作温度が +85 °C の場合、ジャンクション温度は 85 °C + 37.5 °C = 122.5 °C になります。

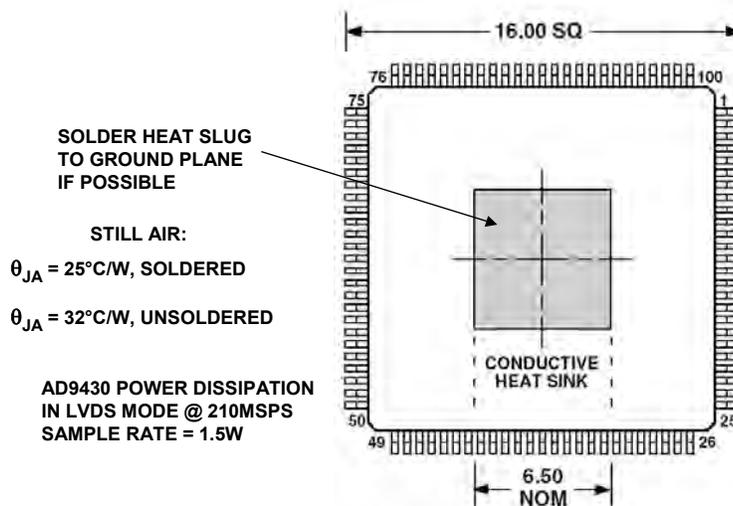


図 12.81: AD9430 の 100 ピン e-PAD TQFP

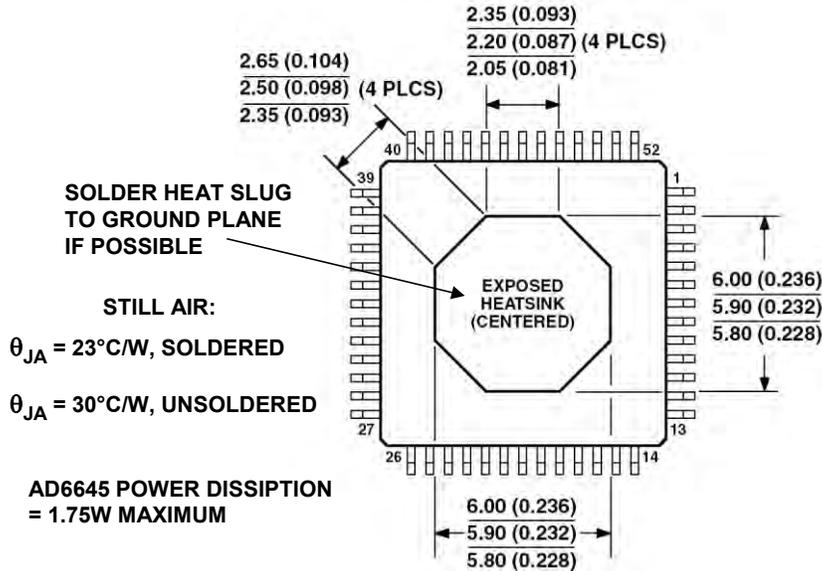


図 12.82: AD6645 52 ピン Power-Quad 4 (LQFP\_ED)  
(SQ-52) 熱強化型パッケージの底面図

AD6645 は、高速相補型バイポーラ・プロセス (XFCB) で製造された高性能の 14 ビット、80 MSPS/105 MSPS ADC で、最高の SFDR (89 dBc) と S/N 比 (75 dB) を提供します。サンプリング周波数に応じて消費電力にわずかに違いはありますが、デバイスの最大消費電力は 1.75 W です。パッケージは、図 12.82 に示す露出パッド付きの熱強化型 52 ピン PowerQuad 4<sup>®</sup> です。

自然空冷時のパッケージの  $\theta_{JA}$  を 23 °C/W に抑えるには、露出した中央部のヒート・シンクを PC 基板にハンダ付けすることをお勧めします。消費電力が 1.75 W の場合、ジャンクション温度は周囲温度より 40.3 °C 高くなります (23 °C/W × 1.75 W = 40.3 °C)。最大動作温度が +85 °C の場合、ジャンクション温度は 85 °C + 40.3 °C = 125.3 °C になります。パッケージの熱抵抗は、200 LFPM のエアフローにより 17 °C/W に低減できるので、ジャンクション温度を周囲温度より 30 °C 上に抑え、動作周囲温度 +85 °C では 115 °C に抑えることができます。

高速 CMOS DAC (TxDAC<sup>®</sup> シリーズなど) と DDS IC (AD985x シリーズなど) では、消費電力がクロック・レートにも依存しています。例えば、AD9777 16 ビット、160 MSPS デュアル補間 DAC の場合、消費電力はクロック・レート、出力周波数に加え、PLL 機能と変調機能が有効かどうかにも依存します。3.3 V 電源の消費電力は、380 mW ( $f_{DAC} = 100$  MSPS、 $f_{OUT} = 1$  MHz、補間・変調なし) ~ 1.75 W ( $f_{DAC} = 400$  MSPS、 $f_{OUT} = 50$  MHz、 $f_s/2$  変調・PLL 可能) の範囲になります。これらのデバイスとファミリーの類似デバイスも、露出パッドを PC 基板のグラウンド・プレーンにハンダ付けする熱強化型パッケージを採用しています。

オペアンプとデータ・コンバータのアプリケーションにおける熱の課題について述べてきましたが、ここではクリップオン（またはボルトオン）タイプのヒート・シンクを使用する従来の手法は取り上げていません。また、通常、処理対象が数十ワットの場合にのみ検討される、強制空冷の利用についても扱っていません。除外したのは、主にこれらの手法が今日のオペアンプやデータ・コンバータのパッケージではほとんど不可能か、または実用的でないためです。

上記とその他の補足情報については、参考資料 4～7 でより総合的な考察を参照することができます。

**参考資料: 熱管理**

1. Data sheet for **AD8017 Dual High Output Current, High Speed Amplifier**, Analog Devices, Inc., <http://www.analog.com>
2. Data sheet for **AD8016 Low Power, High Output Current, xDSL Line Driver**, Analog Devices, Inc., <http://www.analog.com/>.
3. "Power Consideration Discussions," data sheet for **AD815 High Output Current Differential Driver**, Analog Devices, Inc., <http://www.analog.com/>.
4. Walt Jung, Walt Kester, "Thermal Management," portion of Section 8 within Walt Kester, Editor, **Practical Design Techniques for Power and Thermal Management**, Analog Devices, Inc., 1998, ISBN 0-916550-19-2.
5. General Catalog, **AAVID Thermal Technologies, Inc.**, One Kool Path, Laconia, NH, 03246, (603) 528-3400.
6. Seri Lee, "How to Select a Heat Sink," **Aavid Thermal Technologies**, <http://www.aavid.com>
7. Seri Lee, "Optimum Design and Selection of Heat Sinks," **11<sup>th</sup> IEEE SEMI-THERM™ Symposium**, 1995, <http://www.aavid.com> .