

第7章: データ・コンバータ・サポート回路

7.1: 電圧リファレンス	7.1
高精度電圧リファレンス	7.1
電圧リファレンスのタイプ	7.2
バンド・ギャップ・リファレンス	7.3
埋込型ツェナー・リファレンス	7.8
XFET®リファレンス	7.9
電圧リファレンスの仕様	7.13
許容誤差	7.13
ドリフト	7.13
電源電圧範囲	7.13
負荷感度	7.14
ライン感度	7.14
ノイズ	7.15
スケール付きリファレンス	7.16
電圧リファレンスのパルス電流応答	7.16
高分解能コンバータ用の低ノイズ・リファレンス	7.19
参考資料	7.21
7.2: アナログ・スイッチとマルチプレクサ	7.23
はじめに	7.23
CMOS スwitchの基礎	7.24
CMOS スwitchの誤差原因	7.26
アナログ・スイッチの応用	7.35
1 GHz CMOS スwitch	7.40
ビデオ・スイッチとマルチプレクサ	7.42
ビデオ・クロスポイント・スイッチ	7.45
デジタル・クロスポイント・スイッチ	7.46
CMOS スwitchとマルチプレクサでの寄生ラッチアップ	7.47
7.3: サンプル & ホールド回路	7.51
概要と歴史	7.51
SHA の基本動作	7.52
仕様	7.53
トラック・モード仕様	7.55

7.3: サンプル & ホールド回路 (続き)

トラックからホールド・モードへの変化の仕様 7.54

ホールド・モード仕様 7.58

ホールドからトラックへの変化仕様 7.59

IC ADC が内蔵している SHA 回路 7.59

7.4: クロックの生成回路と分配回路 7.65

システム性能全体に対する寄与 7.66

クロック生成回路 7.67

クロック分配回路 7.73

参考資料 7.84

第 7 章: データ・コンバータ・サポート回路

7.1: 電圧リファレンス

リファレンス回路とリニア・レギュレータには、実際に多くの共通点があります。実際、後者は出力電流（つまり電力）の大きいリファレンス回路として機能的に説明することができます。したがって、リファレンスの性能のほうに一般にドリフトや精度などに関して厳しいとしても、この 2 種類の回路の大部分の仕様には共通点があります。今日では多くの場合、サポート回路はコンバータのパッケージに内蔵されています。これにより、設計プロセスが簡素化され、システム性能が保証されるので、設計者にとって有利です。

高精度電圧リファレンス

電圧リファレンスは、アナログ・システムの性能と精度に大きな影響を与えます。5 V リファレンスでの ± 5 mV の許容誤差は ± 0.1 % の絶対精度に相当しますが、これは 10 ビット精度にすぎません。12 ビット・システムでは、 ± 1 mV の許容誤差を持つリファレンスを選択することにより、マニュアルで補正するよりはるかにコスト効率を高めることができます。これに対して、16 ビット絶対測定を行うシステムでは、高い初期精度と補正が必要です。多くのシステムでは絶対測定ではなく**相対**測定を行っていることに注意してください。このような場合には、ノイズと**短時間安定性**が重要で、リファレンスの絶対精度はそれほど重要ではありません。

温度ドリフトまたは経時ドリフトのほうが、絶対精度よりはるかに大きな問題になることがあります。初期誤差は常に調整できますが、ドリフトの補償は困難です。可能であれば、動作温度範囲と予想システム寿命において十分な精度を維持する温度係数と経時特性になるように、リファレンスを選択する必要があります。

電圧リファレンスのノイズは多くの場合に見落とされますが、これはシステム設計で非常に重要なことがあります。ノイズは、リファレンス電圧の瞬時変化です。ノイズは一般にデータ・シートで規定されますが、システム設計者はこの仕様をしばしば無視して、電圧リファレンスはシステム・ノイズに寄与しないと見なします。

電圧リファレンスで考慮する必要のある 2 つの動作上の問題は、起動時の動作と過渡負荷での動作です。起動時の動作で常に念頭におくべきことは、電圧リファレンスは**瞬時にパワーアップしない**ということです（これは ADC と DAC の内蔵リファレンスおよびディスクリット設計のリファレンスで言えることです）。このため、数マイクロ秒以内に ADC とリファレンス（内蔵または外付けによらず）をオンして、読出しを行い、再度オフにすることはほとんど不可能ですが、このような手順は省エネルギーの点から魅力的です。

過渡負荷での動作に関しては、与えられたリファレンス IC が、特定のアーキテクチャに応じてパルス負荷状態に適合することも、適合しないこともあります。多くのリファレンスでは、低消費電力（したがって狭帯域幅）の出力バッファ・アンプを採用しています。このため、高速過渡負荷状態での動作が不十分になり、高速 ADC の性能が低下します（特に逐次比較型 ADC とフラッシュ ADC の場合）。適切なデカップリングを行うと、この問題を軽減することができます（ただし、容量負荷で発振するリファレンスもあります）。あるいは、トランジエントが発生するノードを駆動するために外付け広帯域バッファ・アンプを追加することもできます。

電圧リファレンスのタイプ

回路接続機能の点からは、標準リファレンス IC は多くの場合、直列すなわち 3 端子型 (V_{IN} 、共通端子、 V_{OUT}) のみで、かつ正極性のみのもので提供されています。この直列タイプには、安定した小さな静止電流、調整済みの標準出力電圧、精度低下のない比較的大きい出力電流という潜在的な利点があります。シャントすなわち 2 端子型 (ダイオード型) リファレンスは、動作極性については柔軟性がありますが、負荷については条件が厳しくなります。実際、変化の大きい入力電圧が抵抗を経由して供給されるため、消費電力が大きくなることがあります。また、これらは非標準電圧で提供されることもあります。他の機能より 1 つの機能タイプだけが欲しい場合でも、これら種々の要因すべてに支配されてしまう傾向があります。

シンプルなダイオード・ベースのリファレンスを図 7.1 に示します。まず、電流で駆動された順方向バイアス・ダイオード (ダイオード接続されたトランジスタ) が電圧 $V_f = V_{REF}$ を発生します。接合の電圧降下は電源からある程度デカップリングされますが、リファレンスとして多くの欠点があります。中でも、温度係数 (TC) が約 $-0.3\%/^{\circ}\text{C}$ と大きく、負荷の影響をいくらか受け、さらに出力電圧の柔軟性があまりなく、600 mV 単位でしか電圧設定ができません。

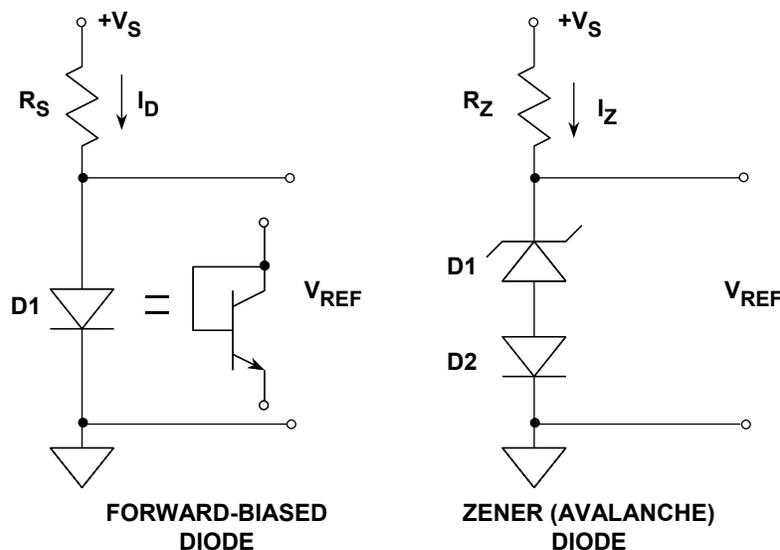


図 7.1: シンプルなダイオード・リファレンス回路

一方、これらの最もシンプルなりファレンスには（他のすべてのシャント型レギュレータも同様）、接続を切り替えて駆動電流を反転させることにより容易に極性を変えることができるという基本的な利点があります。ただし、すべてのシャント・レギュレータの基本的な制約は、負荷電流を駆動電流 I_D より常に小さくする（通常、感知可能な程度に小さくする）必要があることです。

図 7.1 の 2 つ目の回路では、ツェナー・ダイオードすなわちアバランシェ・ダイオードを使用し、かなり高い出力電圧を実現しています。真のツェナー・ブレークダウンは 5 V より低い電圧で発生しますが、アバランシェ・ブレークダウンはこれより高い電圧で発生し、正の温度係数を持ちます。通常、ダイオードの逆方向ブレークダウンはアバランシェ・ブレークダウンですが、今日では、ほぼ例外なくツェナー・ブレークダウンと呼ばれていることに注意してください。D1 のブレークダウン電圧が 5 V ~ 8 V の範囲にある場合、正味の正の TC を順方向バイアス・ダイオード D2 の負の TC に一致させて、適切なバイアス電流での TC が 100 ppm/°C 以下になるようにします。このように注意深く選択したダイオードの組み合わせにより、1N821-1N829 シリーズのような初期のシングル・パッケージの「温度補償済みツェナー」リファレンスの基本が構成されました。

温度補償済みツェナー・リファレンスは、最適な TC の組み合わせが 1N829 の 6.2 V のように半端な電圧になるため、初期精度の点で制限されています。さらに、この方式は、最適 TC を得るためにはダイオード電流を注意深く制御する必要があるため、負荷についても制限されます。根本的に低い電圧 (<2 V) のリファレンスとは異なり、ツェナー・ダイオードを採用したリファレンスは、6 V レベルよりかなり高い電圧源から駆動する必要があるため、5 V システム電源でツェナー・リファレンスを動作させることはできません。また、TC の小さいツェナー（アバランシェ）ダイオードを採用したリファレンスは、ブレークダウン・メカニズムの基本ノイズに起因してノイズが大きい傾向があります。この問題はモノリシック・ツェナー・タイプにより大幅に改善されました。これについては後で詳しく説明します。

バンド・ギャップ・リファレンス

シリコンのバンド・ギャップ電圧を採用した低電圧 (<5 V) リファレンスの開発により、TC 性能が優れた、低電圧電源で動作できる種々の IC が導入されました。これらの最初の製品は LM109 で（参考文献 1）、基本バンド・ギャップ・リファレンス・セルを図 7.2 に示します。

この回路は「 ΔV_{BE} 」リファレンスとも呼ばれていますが、このように呼ばれるのは、整合したトランジスタ Q1 - Q2 間の異なる電流密度により ΔV_{BE} が R3 の両端に発生するためです。これは、Q3 の V_{BE} と R2 の両端に発生する、Q1 と Q2 で増幅された ΔV_{BE} を加算することにより動作します。 ΔV_{BE} 成分と V_{BE} 成分は TC が逆極性です。 ΔV_{BE} は絶対温度に比例して増加する (PTAT) 成分で、 V_{BE} は絶対温度に比例して減少する (CTAT) 成分です。加算出力は V_R で表され、1.205 V（シリコン・バンド・ギャップ電圧）に等しいとき、TC は最小になります。

バンド・ギャップ・リファレンス技術は IC 設計で魅力的です。これにはいくつかの理由がありますが、その中でも比較的シンプルなこと、ツェナーを使用しないためそのノイズがないことが挙げられます。しかし、システムの電源電圧の低下が続く今日、バンド・ギャップ・デバイスが 5 V より低い電圧で動作するという基本的事実は非常に重要です。スタンドアロン型 IC リファレンスに使用されるだけでなく、ADC や DAC のような他の多くのリニア IC デザインでも使用されています。

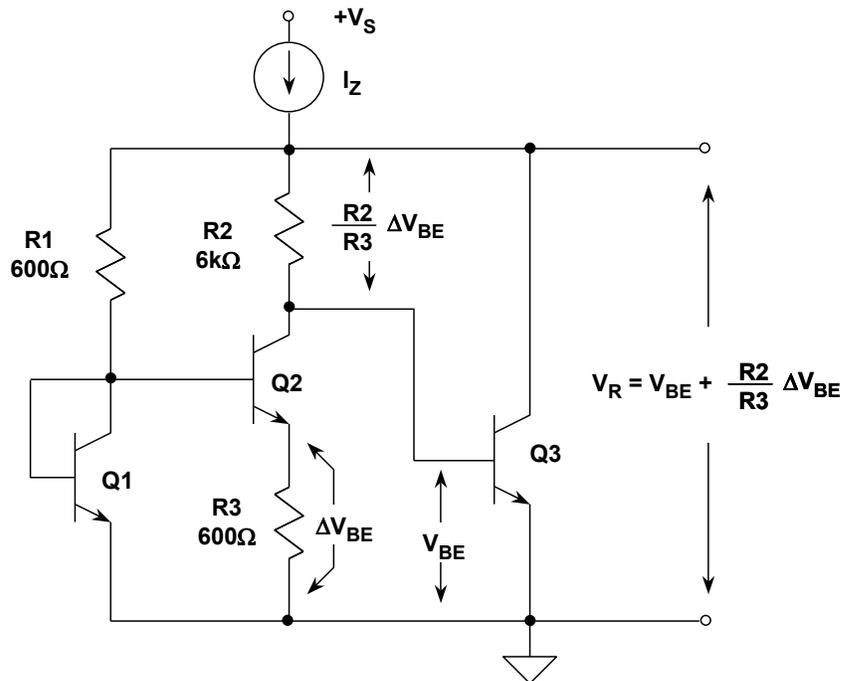


図 7.2: 基本バンド・ギャップ・リファレンス

しかし、図 7.2 の基本デザインは、負荷と駆動電流の影響を受けやすく、より使い易いレベル (2.5 V、5 V など) への正確なスケールングが出力に必要なになります。負荷駆動の問題はバッファ・アンプの使用によって解決され、これにより標準的なレベルへの便利な電圧スケールングも提供されます。

改善された 3 端子バンド・ギャップ・リファレンス AD580 (1974 年に発売) を図 7.3 に示します。この回路は一般に「ブロコウ・セル」と呼ばれ (参考資料 2 と 3 を参照)、出力バッファを内蔵しています。この出力バッファは優れた駆動能力と標準的出力電圧へのスケールングを提供します。AD580 は高精度バンド・ギャップを採用した最初の IC リファレンスであり、この派生回路は次の世代の業界標準リファレンスに影響を与えました。影響を受けた世代としては、REF01、REF02、REF03 の各シリーズ、REF19x シリーズのようなその後の ADI バンド・ギャップ製品、さらに AD680、AD780、AD1582-85 の各シリーズ、ADR38x シリーズ、ADR39x シリーズ、さらに REF01、REF02、REF03 の改良バージョンである最新の SC-70 および SOT-23 製品 (ADR01、ADR02、ADR03 と命名) などがあります。

AD580 には、等しい負荷抵抗と、バッファ・オペアンプの周りのクローズド・ループにより、等しいコレクタ電流で動作する、8:1 にエミッタ面積をスケールした 2 つのトランジスタ Q1 と Q2 があります (このため Q2 の電流密度は 1/8)。エミッタ面積が 8 倍面積の Q2 の V_{BE} のほうが小さいので、Q2 に直列な R2 に ΔV_{BE} の電圧降下が生じ、一方 R1 には (電流の関係により) 次式の PTAT 電圧降下 V_1 が生じます。

$$V_1 = 2 \times \frac{R1}{R2} \times \Delta V_{BE} \quad \text{式 7-1}$$

バンド・ギャップ・セル・リファレンス V_Z は $Q1$ のベースに現れ、 $V_{BE}(Q1)$ と V_1 の和 (1.205 V) です。このバンド・ギャップ電圧は次式で表されます。

$$V_Z = V_{BE(Q1)} + V_1 \quad \text{式 7-2}$$

$$= V_{BE(Q1)} + 2 \times \frac{R1}{R2} \times \Delta V_{BE} \quad \text{式 7-3}$$

$$= V_{BE(Q1)} + 2 \times \frac{R1}{R2} \times \frac{kT}{q} \times \ln \frac{J1}{J2} \quad \text{式 7-4}$$

$$= V_{BE(Q1)} + 2 \times \frac{R1}{R2} \times \frac{kT}{q} \times \ln 8 \quad \text{式 7-5}$$

$$= 1.205V$$

$J1 = Q1$ の電流密度、 $J2 = Q2$ の電流密度、さらに $J1/J2 = 8$ であることに注意してください。

ただし、(レーザー・トリムされた) $R4/R5$ の薄膜分圧器とオペアンプがあるため、 V_{OUT} に現れる実際の電圧は大きくスケールアップすることができ、AD580 の場合は 2.5 V になります。この原理に従うと、 V_{OUT} を他の実用レベルに上げることができ、AD584 の例では高精度の 2.5 V、5 V、7.5 V、10 V 動作用のタップが与えられています。AD580 は、4.5 V ~ 30 V の電源で動作し、最大 10 mA の出力電流を供給します。わずか 0.4 % の許容誤差と 10 ppm/°C の TC を持つ製品を提供しています。

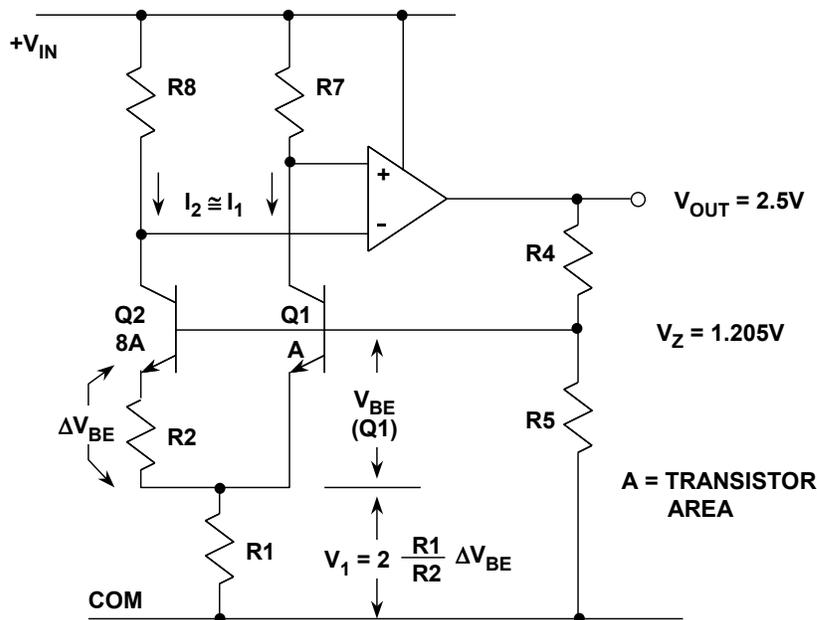


図 7.3: ブロコウ・セルを採用した AD580 高精度バンド・ギャップ・リファレンス (1974)

最新の多くのバンド・ギャップ・リファレンスの開発では、パッケージ・サイズの小型化とコスト削減に注力して、小型で電力効率の良い低価格のリファレンス IC に対するシステム需要に応えています。これらの中には、バンド・ギャップをベースにした幾つかの最新 IC リファレンスがあります。

AD1580 (1996 年発売) はシャント・モードの IC リファレンスであり、前述の古典的シャント IC リファレンス AD589 (1980 年発売) に機能的によく似ています。重要な違いは、AD1580 ではジオメトリの小さい新しいプロセスを使って、小型の SOT-23 パッケージで供給できるようになったことです。このパッケージはサイズが非常に小さいので様々な省スペース・アプリケーションで使用でき、動作電流が小さいので携帯型バッテリー駆動で使用できます。AD1580 の簡略化した回路を図 7.4 に示します。

この回路では、同様なトランジスタ Q1 と Q2 がバンド・ギャップ・コアを構成し、R7:R2 の比で決定される 5 倍の電流比で動作します。オペアンプは、差動対 Q3 - Q4、電流ミラー Q5、ドライバ/出力ステージ Q8 - Q9 で構成されています。クローズド・ループの平衡時に、このアンプが R2 - R7 の下側を同じ電位に維持します。

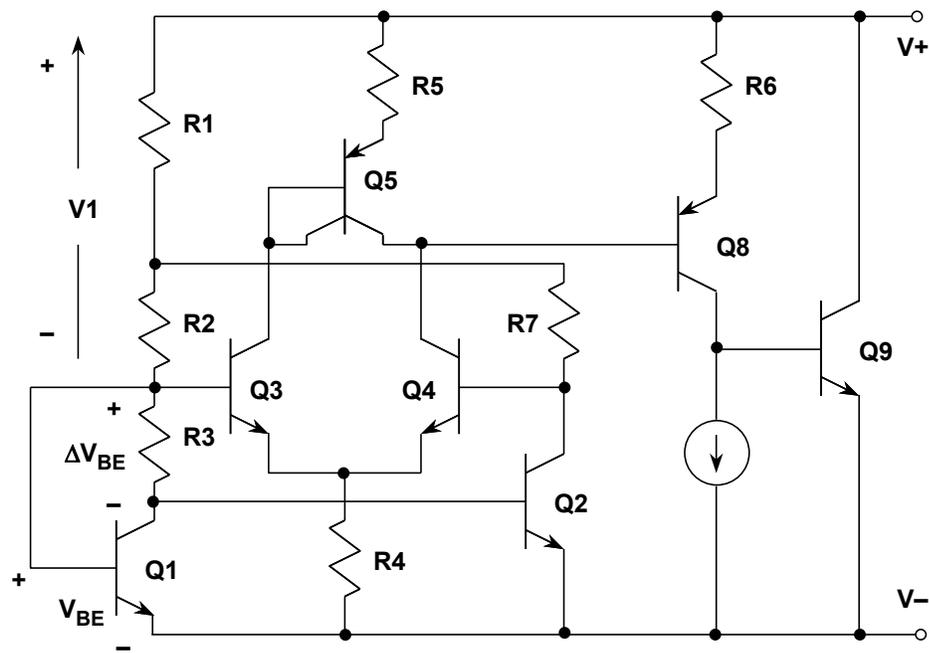


図 7.4: AD1580 1.2 V シャント型バンド・ギャップ・リファレンス
SOT-23 フットプリントの小型サイズ

クローズド・ループ制御で説明したように、基本 ΔV_{BE} 電圧が R3 の両端の降下分減少し、スケールされた PTAT 電圧が V1 としても現れます。V1 は実効的に V_{BE} と直列です。1.225 V の公称バンド・ギャップ・リファレンス電圧は、Q1 の V_{BE} と V1 の和から得られます。AD1580 は最小 50 μA の電流で動作し、最大 10 mA の電流を処理するように設計されています。この製品は、電圧許容誤差が ± 1 または ± 10 mV で、TC がそれぞれ 50 または 100 ppm/ $^{\circ}\text{C}$ のグレードで提供されています。

図 7.5 に示すこのシリーズの回路図は、図 7.3 で説明した基本ブロコウ・バンド・ギャップ・セルの変種と見なすことができます。この回路では、Q1 と Q2 がコアを構成し、ループ全体は Q1 のベースに安定なリファレンス電圧 V_{BG} を発生させるように動作します。ここで明らかな違いは、オペアンプの出力段がプッシュ・プル共通エミッタ段で設計されていることです。

このために、安定させるための出力コンデンサが必要となりますが、比較的ドロップアウト動作の IC を可能にします。

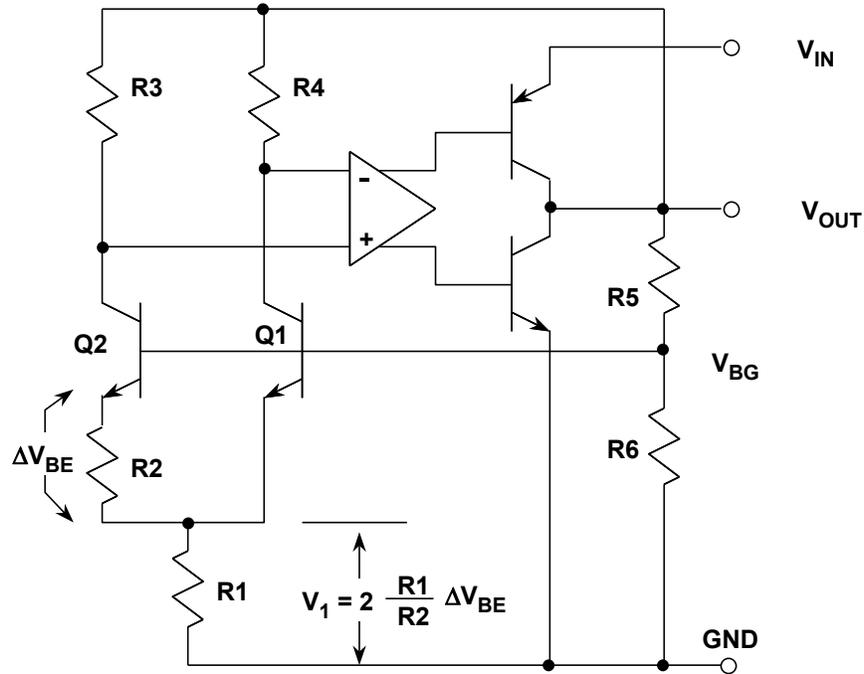
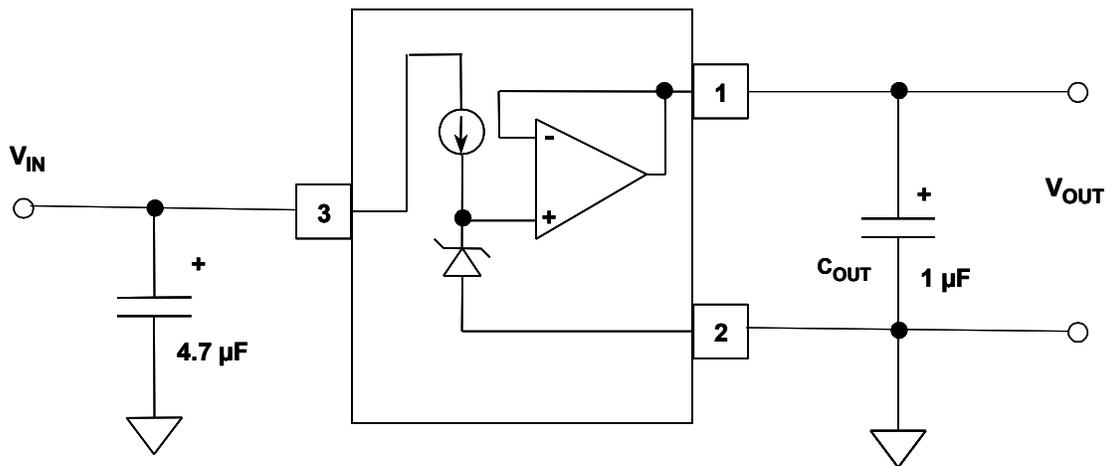


図 7.5: AD1582 ~ AD1585 の 2.5 V ~ 5 V 直列型バンド・ギャップ・リファレンス



AD1582-1585: C_{OUT} REQUIRED FOR STABILITY
 ADR380, ADR381: C_{OUT} RECOMMENDED TO ABSORB TRANSIENTS

図 7.6: AD1582 ~ AD1585 シリーズの接続図

低ドロップアウト機能とは、動作を乱すことなく、 V_{IN} を V_{OUT} レベルの数百 mV 上まで下げることができることを意味します。また、プッシュ・プル動作は、このデバイス・シリーズが実際に出力で電流をシンクおよびソースできることを意味します。

これは、電流をソースする（だけの）旧型リファレンスの動作とは違っています。種々の出力電圧定格に対して、分圧器 R5 - R6 をそれぞれのレベルに対して調整します。

AD1582 シリーズは僅か 65 μA （最大）の静止電流で動作するように設計されています。このため、電圧入力に変化する低消費電力システムで使用する場合、優れた電力効率を実現することができます。このシリーズの定格出力電流は 5 mA で、電圧許容誤差が V_{OUT} の ± 0.1 または $\pm 1\%$ 、それぞれの TC が 50 または 100 ppm/ $^{\circ}\text{C}$ のグレードを提供しています。

安定性の要件を満たすため、AD1582 シリーズのデバイスには、出力と入力にバイパス・コンデンサを使用する必要があります。これらに対する推奨ワースト・ケース値を図 7.6 の接続図に示します。注記した電気的値に対して、タンタル・チップ・コンデンサが最小サイズになると思われます。

埋め込みツェナー・リファレンス

リファレンス・コア内で使用される設計手法に関して、IC リファレンスの最も一般的な 2 つの基本タイプは、バンド・ギャップ・ユニットと埋め込みツェナー・ユニットから構成されています。バンド・ギャップについては既に説明しましたが、ツェナーをベースにしたリファレンスについてはいくらか説明を加える必要があります。

IC チップ内では、表面で動作するダイオード接合のブレークダウンは結晶の不完全性やその他の汚染の影響を受けやすいため、表面に形成されるツェナー・ダイオードは、埋め込み（すなわち表面下）ツェナー・ダイオードに比べてノイズが多く不安定です。ADI のツェナーをベースにした IC リファレンスは、はるかに望ましい埋め込みツェナーを採用しています。このため、表面モードで動作するツェナーのノイズとドリフトに比べ大幅に改善されています（資料 4 を参照）。埋め込みツェナー・リファレンスは、1 ppm/ $^{\circ}\text{C}$ ~ 2 ppm/ $^{\circ}\text{C}$ の非常に低い温度ドリフト（AD588 および AD586）と、フルスケールのパーセント値としての最小のノイズ（100 nV/ $\sqrt{\text{Hz}}$ 以下）を提供します。欠点は、ツェナー・タイプのリファレンスの動作電流が比較的大きく、一般に数 mA 程度になることです。また、ツェナー電圧も比較的高く、一般に 5 V 程度になります。このため、低電圧回路での使用が制限されます。

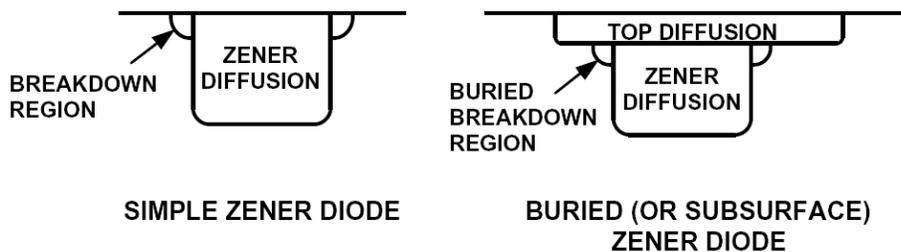


図 7.7: シンプルな表面型ツェナーと埋め込みツェナーの比較

様々なリファレンスのノイズ性能を比較するとき、重要な一般的ポイントがあります。最良の方法は、DC 出力電圧に対する（与えられた帯域内の）ノイズの比を比較することです。例えば、ノイズ密度が 100 nV/ $\sqrt{\text{Hz}}$ の 10 V リファレンスは、同じノイズ・レベルの 5 V リファレンスより 6 dB だけ静穏です。

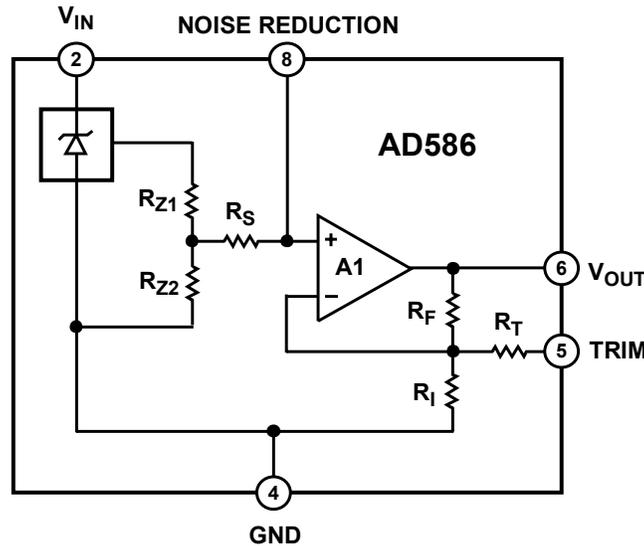


図 7.8: 代表的な埋め込みツェナー・リファレンス (AD586)

XFET®リファレンス

3 つ目の比較的新しい分類の IC リファレンス・コア・デザインは、接合型電界効果 (JFET) トランジスタの特性をベースにしています。JFET ベースのリファレンスは、バイポーラ・トランジスタのバンド・ギャップ・リファレンスとある程度似ていますが、ピンチオフ電圧が異なる一対の接合型電界効果トランジスタを動作させ、差動出力を増幅して安定したリファレンス電圧を発生します。2 つの JFET の片方では追加イオン注入を行っているため、このリファレンス・コア・デザインに対して XFET (eXtra インプランテーション接合型電界効果トランジスタ) という名前が付いています。

XFET リファレンスの基本トポロジーを図 7.9 に示します。J1 と J2 は 2 個の JFET トランジスタで、リファレンスのコアを構成します。J1 と J2 は、整合した電流源 I1 と I2 から同じ電流レベルで駆動されます。右側の J1 が追加注入の JFET であり、この JFET により J1 - J2 間のピンチオフ電圧差 500 mV が発生します。この 2 個の FET のピンチオフ電圧を意図的にずらすことにより、等しい電流駆動状態と等しいソース電圧に対して、ゲート間に差電圧が発生します。この電圧 ΔV_P は次式で表されます。

$$\Delta V_P = V_{P1} - V_{P2} \quad \text{式 7-6}$$

ここで、 V_{P1} と V_{P2} は、それぞれ FET J1 と J2 のピンチオフ電圧です。

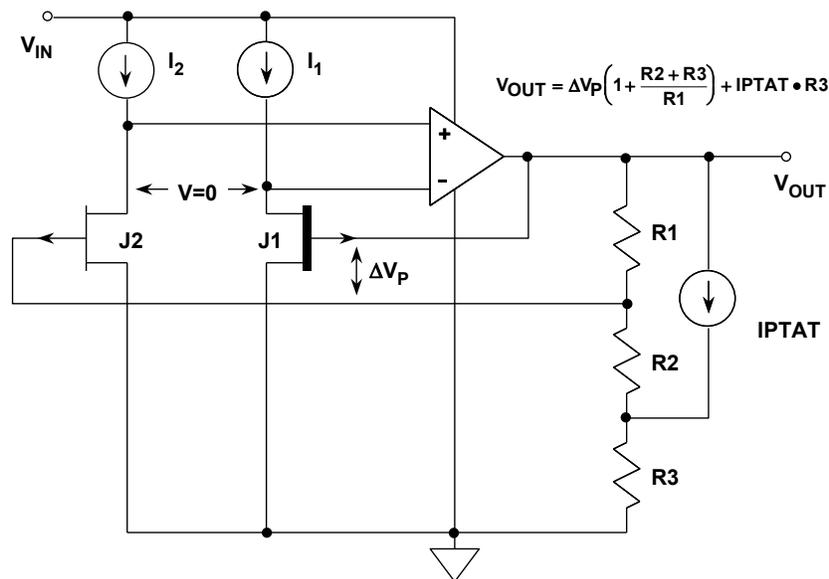


図 7.9: XFET リファレンスの簡略化した回路図

この回路では、電圧 ΔV_P は 2 個の FET のゲート間に存在することに注意してください。帰還ループ全体が閉じているとき、オペアンプの原理であるゼロ入力差動電圧により 2 個の JFET のソースが同じ電位に保たれることもよく知られています。これらのソース電圧がオペアンプの入力に加えられ、このオペアンプ出力が帰還分圧器 $R1 \sim R3$ を駆動します。このループが構成されると、 $R1 - R2$ タップからの出力電圧で回路が安定し、これにより $J1 - J2$ ゲート間に必要とされる ΔV_P が発生します。要するに、オペアンプが ΔV_P を増幅して V_{OUT} を発生します。ここで、

$$V_{OUT} = \Delta V_P \left(1 + \frac{R2 + R3}{R1} \right) + (I_{PTAT})(R3) \quad \text{式 7-7}$$

この式には、基本となる出力スケールリング（右辺の左側の項）と右側の I_{PTAT} を含む温度依存項が含まれています。式の I_{PTAT} 部分は、XFET コア本来の負温度係数を補償して、リファレンス全体の正味温度ドリフトが $3 \text{ ppm}/^\circ\text{C} \sim 8 \text{ ppm}/^\circ\text{C}$ の範囲に入るようにします。

XFET アーキテクチャは、バンド・ギャップ・リファレンスと埋め込みツェナー・リファレンスを超える性能を実現し、特に動作電流が重要で、かつ優れたドリフト性能とノイズ性能も必要とするシステムに適しています。XFET のノイズ・レベルは、同等の電流で動作するバンド・ギャップをベースにしたバイポーラ・リファレンスより低く、温度ドリフトは小さく、 $3 \text{ ppm}/^\circ\text{C} \sim 8 \text{ ppm}/^\circ\text{C}$ でリニアです（補償が必要な場合容易です）。このシリーズのヒステリシスはバンド・ギャップより小さいです。熱ヒステリシスは $-40^\circ\text{C} \sim +125^\circ\text{C}$ の範囲で 50 ppm と小さく、代表的なバンド・ギャップ・デバイスの $1/2$ 以下です。最後に、長期安定性に優れており、代表値は僅か $50 \text{ ppm}/1000$ 時間です。

バンド・ギャップ、埋め込みツェナー、XFET の 3 種類のリファレンス・アーキテクチャの特性の長所と短所が図 7.10 にまとめてあります。

BANDGAP	BURIED ZENER	XFET®
< 5V Supplies	> 5V Supplies	< 5V Supplies
High Noise @ High Power	Low Noise @ High Power	Low Noise @ Low Power
Fair Drift and Long Term Stability	Good Drift and Long Term Stability	Excellent Drift and Long Term Stability
Fair Hysteresis	Fair Hysteresis	Low Hysteresis

図 7.10: リファレンス・アーキテクチャの特性

現代の IC リファレンスのスタイルは様々ですが、直列動作の固定出力正電圧タイプが支配的になりつつあります。これらは、低消費電力、低ノイズ、および/または低ドロップアウトの場合もそうでない場合もあり、あるいは特定のパッケージで入手可能な場合もそうでない場合もあります。もちろん、与えられたアプリケーションで、これらの差別化要因のただ 1 つにより選択が進められることがあるので、設計者は入手可能な様々なデバイスをすべて知っておく必要があります。

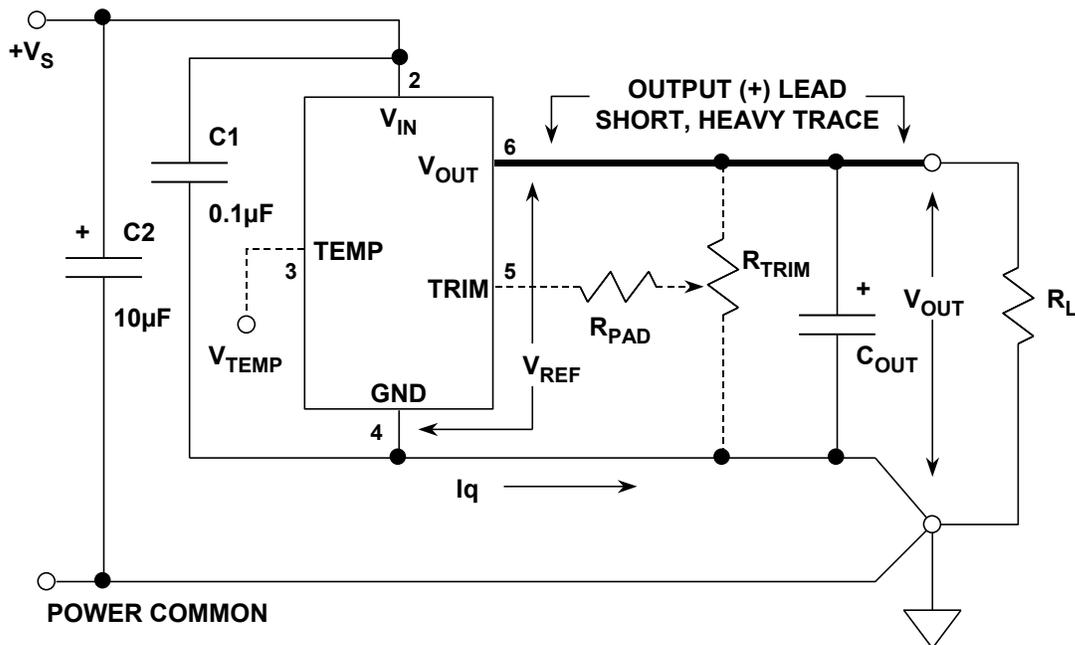


図 7.11: 標準正出力 3 端子リファレンスの接続 (8 ピン DIP のピン配置)

図 7.11 に直列タイプ IC 正リファレンスの代表的な回路図 (8 ピン・パッケージ) を示します。(x) 番号は、その機能に対する標準ピンを表します。詳細に関して重要な点がいくつかあります。多くのリファレンスでは、リファレンスのトリム入力ピン (5) を駆動する外付けトリム回路を接続することにより、オプションのトリミングが可能です。幾つかのバンド・ギャップ・リファレンスには、温度検出用の高インピーダンス PTAT 出力 (V_{TEMP}) があります (ピン 3)。このピンから負荷になるほど大きな電流を引き出すことは意図されていませんが、温度閾値などを検出するコンパレータ入力など負荷にならないタイプの接続を行うのに使用することができます。

幾つかのリファレンスには、「ノイズ低減」と表示されたピンがあります。これは、紛らわしいことがあります。このピンにコンデンサを接続すると、リファレンス・セル自体のノイズが減少します。このセルの後ろには一般にバッファが内蔵されています。このバッファのノイズは影響を受けません。

すべてのリファレンスで入力ピン (2) にデカップリング・コンデンサを接続する必要がありますが、出力 (ピン 6) にデカップリングを接続するとして、その容量は、容量負荷を伴うリファレンスの出力オペアンプの安定性に依存します。要するに、容量負荷に関する確固としたルールはありません。例えば、幾つかの 3 端子タイプでは安定性のために出力コンデンサが必要です (例えば、REF19x および AD1582 ~ AD1585 シリーズ)。これに対して他のタイプでは、性能向上のためにオプションで接続します (AD780、REF43、ADR29x、ADR43x、AD38x、AD39x、ADR01、ADR02、ADR03)。出力コンデンサがオプションであっても、幾つかの ADC リファレンス入力回路で発生するような過渡負荷電流に対してエネルギーを供給するために出力コンデンサが必要になることがあります。最も安全なルールは、アプリケーション回路の負荷条件に対して、使用しようとしているリファレンスの特定の容量負荷に関する基本ルールをデータ・シートで確認することです。

電圧リファレンスの仕様

許容誤差

一般に、必要とされる値と精度のリファレンスを選択するほうがよく、可能なら、外付けのトリミングとスケージングの使用は避けます。これにより、最適な TC が実現できます。厳しい許容誤差と小さい TC には親密な関係があるためです。AD586、AD780、REF195、および ADR43x- シリーズでは最小約 0.04 % の許容誤差を実現できます。一方、AD588 では 0.01 % です。トリミングを使用する必要がある場合は、絶対に必要とされる範囲を超えないで推奨トリム回路を使用してください。外付けスケージング機能が必要な場合は、比が正確な、TC トラッキングの小さい薄膜抵抗と組み合わせて、高精度オペアンプを使用する必要があります。

ドリフト

XFET と埋め込みツェナーのリファレンス・ファミリーは、最適な長時間ドリフトと TC 性能を持っています。XFET ADR43x-シリーズの TC は最小 3 ppm/°C です。AD586 と AD588 埋め込みツェナー・リファレンスの TC は 1 ppm/°C ~ 2 ppm/°C です。AD780 バンド・ギャップ・リファレンスの TC はほぼ 3 ppm/°C です。

XFET シリーズでは 50 ppm/1000 時間の長時間ドリフトを実現し、埋め込みツェナー・タイプでは 25 ppm/1000 時間を実現しています。長時間ドリフトの値が与えられている場合、通常、ドリフトの単位は ppm/1000 時間であることを注意してください。1 年は 8766 時間です。多くの技術者は 1000 時間値に 8.77 を乗算して年間ドリフトを求めようとしますが、これは正しくなく、実際にはかなり悲観的な値になることがあります。高精度アナログ回路での長時間ドリフトは「ランダム・ウォーク（乱歩）」現象であるため、経過時間の平方根で増加します（ドリフトはチップ内のランダム・マイクロ効果に起因し、汚染のような支配的な原因によらないと仮定）。このため 1 年の値は約 $\sqrt{8.766} \approx 1000$ 時間値の 3 倍で、10 年の値は 1000 時間値の約 9 倍です。実際には、デバイスは年とともに安定化する傾向があるためこれより少し良くなります。

使用するリファレンスの精度を超えて ADC または DAC の精度が良くなることはありません。リファレンスの温度ドリフトは、フルスケール精度に影響を与えます（図 7.12 参照）。この表には、100 °C の動作温度範囲で ½ LSB 誤差を維持するために必要なシステム分解能と TC を示してあります。例えば、12 ビットで ½ LSB 誤差を維持するには約 1 ppm/°C の TC が必要とされます。動作温度範囲が狭くなると、ドリフト条件が緩和されます。表の右の 3 列に、一般的なフルスケール範囲に対する ½ LSB の電圧値を示してあります。

電源電圧範囲

IC リファレンスの電源電圧範囲は、定格出力を最大約 3 V 上回る電圧から定格出力を最小 30 V 上回る電圧までです。REF19X、AD1582 ~ AD1585、ADR38X、ADR39X シリーズのような低ドロップアウト用に設計されたデバイスは例外です。

小さい電流では、REF195 は最小 5.1 V の入力で 5 V を出力することができます（100 mV のドロップアウト）。製造プロセスの制約から、幾つかのリファレンスは最大電圧入力範囲がもっと制限されることがあります。AD1582 ~ AD1585 シリーズ（12 V）、ADR29x シリーズ（15 V）、ADR43x シリーズ（18 V）などがこの例です。

BITS	REQUIRED DRIFT (ppm/°C)	½ LSB WEIGHT (mV) 10, 5, AND 2.5V FULLSCALE RANGES		
		10V	5V	2.5V
8	19.53	19.53	9.77	4.88
9	9.77	9.77	4.88	2.44
10	4.88	4.88	2.44	1.22
11	2.44	2.44	1.22	0.61
12	1.22	1.22	0.61	0.31
13	0.61	0.61	0.31	0.15
14	0.31	0.31	0.15	0.08
15	0.15	0.15	0.08	0.04
16	0.08	0.08	0.04	0.02

図 7.12: 様々なシステム精度に対するリファレンスの温度ドリフト要件（1/2 LSB 基準、100 °C 範囲）

負荷感度

負荷感度（出力インピーダンス）は、 $\mu\text{V}/\text{mA}$ （負荷電流）、または $\text{m}\Omega$ 、または ppm/mA で規定されます。70 ppm/mA 以下の値は非常に良い値ですが（AD780、REF43、REF195、ADR29X、ADR43X）、レイアウトに注意しないと、大きい電流では外部配線の電圧降下により、かなりの誤差が発生することがあるので注意してください。負荷電流に依存する誤差は、（+）出力とグラウンド・リターンに短く太い導体を使うと、小さくなります。最高精度を得るには、バッファ・アンプとケルビン検出回路（AD588、AD688、ADR39x）を使って負荷での正確な電圧を保証します。

バッファ付きリファレンス出力はオペアンプ出力なので、ソース・インピーダンスは周波数の関数になります。代表的なリファレンス出力インピーダンスは DC 値から 6 dB/オクターブで増加し、公称値は数百 kHz で約 10 Ω です。このインピーダンスを外付けコンデンサで小さくすることができますが、リファレンス内のオペアンプがこのような負荷に対して安定動作を維持する必要があります。

電源感度

電源感度（ライン・レギュレーション）は通常、入力変化に対する $\mu\text{V}/\text{V}$ 、（または ppm/V）で規定され、REF43、REF195、AD680、AD780、ADR29X、ADR39X、ADR43X では一般に 25 ppm/V（-92 dB）です。

DC と非常に低い周波数では、このような誤差は容易にノイズで隠されてしまいます。

オペアンプの場合と同様に、リファレンスの電源感度（電源変動除去比）は周波数の増加とともに性能が低下し、数百 kHz で一般に 30 dB ~ 50 dB です。このため、リファレンス入力のデカップリングを強化する必要があります（LF および HF）。電源変動除去比も、ADP3300 シリーズ製品のような低ドロップアウトのプリレギュレータを使って大きくすることができます。

ノイズ

リファレンス・ノイズは常に規定されているとはかぎりません。規定されている場合でも、規定方法は統一されていません。例えば、幾つかのデバイスでは 0.1 Hz ~ 10 Hz の帯域幅でピーク to ピーク・ノイズによって規定され、他のデバイスでは広帯域 rms または規定帯域幅でのピーク to ピーク・ノイズによって規定されています。ノイズを規定する最も有効な方法は（オペアンプの場合と同様）、ノイズ電圧スペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) の周波数特性をプロットすることです。

低ノイズ・リファレンスは、精度の低下を防ぐため高分解能システムで重要です。白色ノイズは統計的であるため、対象とする帯域幅で、与えられたノイズ密度を等価なピーク to ピーク・ノイズに関係づける必要があります。厳密に言うと、ガウス・システムでのピーク to ピーク・ノイズは無限です（ただし確率は非常に小さい）。通常、 $6.6 \times \text{rms}$ の値を使って実用的なピーク値を決めています。統計的には、時間の 0.1 % 未満でこれが発生します。このピーク to ピーク値は、必要とされる精度を維持するためには $\frac{1}{2}$ LSB より小さい必要があります。ピーク to ピーク・ノイズを rms 値の 6 倍とすると、N ビット・システム、リファレンス・フルスケール V_{REF} 、リファレンス・ノイズ帯域幅 (BW) に対して、必要とされるノイズ電圧スペクトル密度 E_n ($\text{V}/\sqrt{\text{Hz}}$) は次式で表されます

$$E_n \leq \frac{V_{\text{REF}}}{12 \cdot 2^N \cdot \sqrt{\text{BW}}} \quad \text{式 7-8}$$

10 V、12 ビット、100 kHz システムの場合、ノイズ要件は控えめに $643 \text{ nV}/\sqrt{\text{Hz}}$ となります。分解能を大きくし、フルスケール・リファレンスを低くすると、ノイズ要件が厳しくなることを図 7.13 は示しています。100 kHz の帯域幅の仮定はある程度自由ですが、外付けフィルタを使って帯域を狭くしてノイズを減らすことができます。大部分の性能の良い IC リファレンスのノイズ・スペクトラム密度は約 $100 \text{ nV}/\sqrt{\text{Hz}}$ なので、大部分の高分解能システムでは、特に V_{REF} 値が小さい場合には、明らかにフィルタの追加が必要です。

幾つかのリファレンス、例えば、AD587 埋め込みツェナー・タイプには、ノイズ低減ピンと呼ばれるピンがあります（データ・シート参照）。このピンは、内蔵バッファ・アンプの前の高インピーダンス・ノードに接続されています。このため、外付けコンデンサ C_N と内部抵抗によりローパス・フィルタが形成されて、出力から見た実効ノイズ帯域幅が制限されます。1 μF のコンデンサで、3 dB 帯域幅が 40 Hz になります。ノイズ低減のこの方法は決して一般的ではなく、他のデバイスではノイズ低減があるとしても別の方法で実現している可能性があるので注意してください。

また、これはバッファ・アンプのノイズには効果がないことにも注意してください。

また、すべての標準電圧レベルですべてのリファレンス IC のノイズを低減するのに使用できる一般的なノイズ低減方法もあります。リファレンス・フィルタの DC 特性はリファレンスの精度に影響をあたえることに注意してください。

BITS	NOISE DENSITY (nV/√Hz) FOR 10, 5, AND 2.5V FULLSCALE RANGES		
	10V	5V	2.5V
12	643	322	161
13	322	161	80
14	161	80	40
15	80	40	20
16	40	20	10

図 7.13: 様々なシステム精度に対するリファレンス・ノイズの要件
(1/2 LSB / 100 kHz 基準)

スケール付きリファレンス

非標準リファレンスが必要とされる場合に有効な手法は、元の低電圧リファレンス・ダイオードをバッファしてスケールする方法です。この手法を使う場合、3 V のような低い電圧でアンプを十分機能させるのが難しいことがあります。有効なソリューションは図 7.14 に示す低消費電力リファレンスとスケールリング・バッファです。ここで、低電流 1.2 V の 2 端子リファレンス・ダイオードが D1 に対して使われています。これには、1.200 V ADR512、1.235 V AD589、または 1.225 V AD1580 を使用することができます。いずれのケースでも抵抗 R1 によりダイオード電流が設定されるため、2.7 V の最小電源でのダイオード最小電流要件に対して値が選択されます。明らかに、バッファなしダイオードの負荷を V_{REF} ノードで小さくする必要があります。

アンプ U1 が公称 1.0 V または 1.2 V のリファレンスをバッファし、必要に応じてスケールアップするため、ソース/シンク出力電流をはるかに大きくすることができます。もちろん、これを行うためにはオペアンプの大きな静止電流が消費されますが、これはこの手法の基本的なトレードオフです。

図 7.14 でゲイン・スケールリング抵抗 R2 - R3 がないと、 V_{OUT} は V_{REF} に等しくなります。スケールリング抵抗を使用する場合、オペアンプのレール to レールの出力変化が可能のため、 V_{OUT} を下限の V_{REF} と上限の正電源電圧の間の任意の値に設定することができます。また、このバッファ付きリファレンスは元々低ドロップアウトであるため、例えば、+5 V 電源で +4.5 V 以上のリファレンス出力が可能に注意してください。 V_{OUT} の一般式を図に示してあります。ここで、 V_{REF} はリファレンス電圧です。

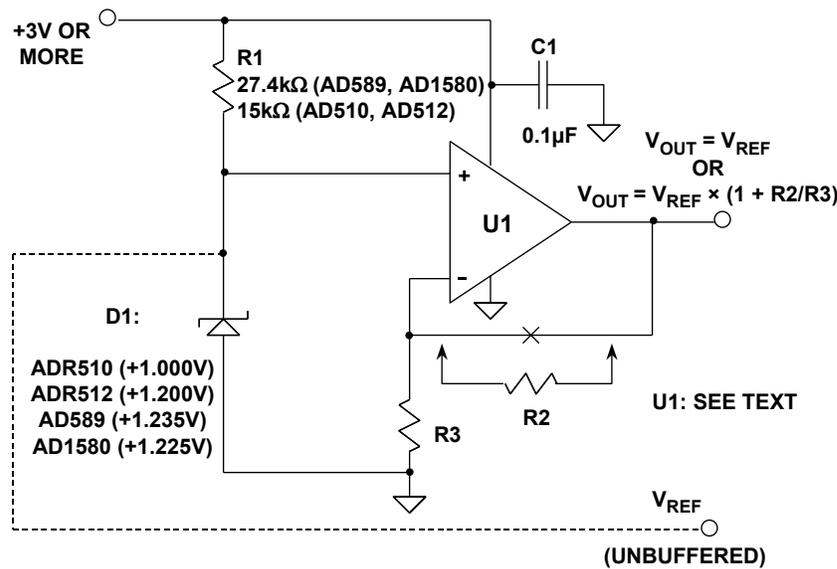


図 7.14: レール to レール出力オペアンプにより
低ドロップアウト・リファレンスで最大の柔軟性を実現可能

電圧リファレンスのパルス電流応答

ダイナミック負荷に対するリファレンスの応答は、ADC や DAC を駆動するようなアプリケーションで特に問題となることがあります。負荷電流が高速で変化すると必ず出力を乱すため、定格誤差範囲の外に出ることがあります。例えば、シグマ・デルタ ADC へのリファレンス入力にはスイッチド・キャパシタ回路のことがあります (図 7.15)。ダイナミック負荷により、コンデンサ C_{IN} が充放電するときリファレンスに電流スパイクが発生します。その結果、ノイズが ADC のリファレンス回路に混入します。

シグマ・デルタ ADC にはデジタル・フィルタが内蔵されていますが、リファレンス入力での過渡電圧により、かなりの変換誤差が発生することがあります。このため、ADC のリファレンス入力では低ノイズの過渡電圧のない電位を維持することが重要です。リファレンスのソース・インピーダンスが高過ぎる場合、ダイナミック負荷によりリファレンス入力が 5 mV 以上シフトすることに注意してください。

リファレンス出力にバイパス・コンデンサを接続すると、過渡電圧への対処に役立ちますが、容量負荷が大きい場合多くのリファレンスは不安定になります。このため、選択したデバイスが必要とされる出力容量を十分駆動できることを確認することが非常に重要です。いずれのケースでも、最小 0.1 μ F で、さらに電源に低周波リップルがある場合 5 μ F ~ 50 μ F を追加して、コンバータのリファレンス入力を常にデカップリングすることが必要です。

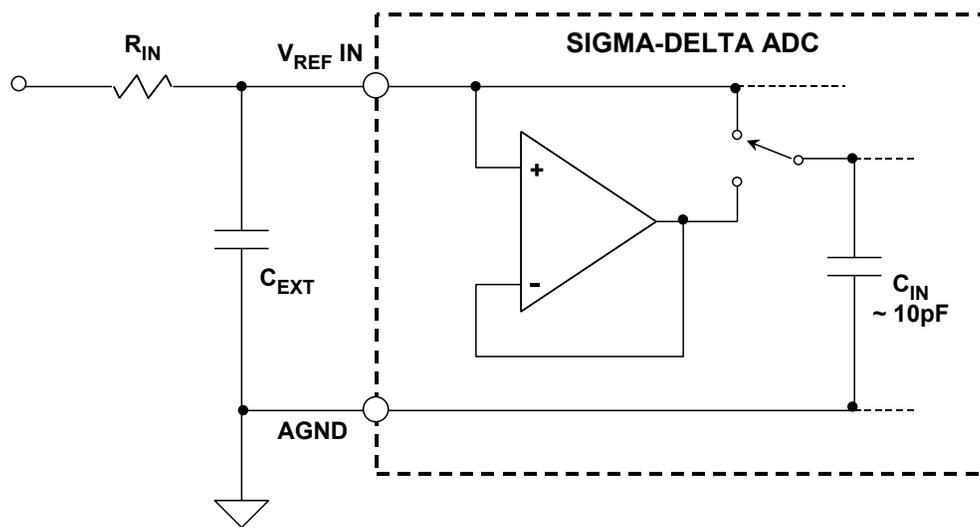


図 7.15: シグマ・デルタ ADC のスイッチド・キャパシタ入力に現れる、電圧リファレンスに対するダイナミック負荷

リファレンスによっては、過渡負荷で発振するか、または比較的長時間精度が下がって誤動作するものがあるため、過渡負荷にさらされるおそれのある電圧リファレンスのパルス応答をテストすることを推奨します。適切な回路を図 7.16 に示します。代表的な電圧リファレンスでは、1 mA のステップ変化で図に示す過渡電圧が発生します。0.01 μF のコンデンサをリファレンス出力に接続すると、過渡電圧の継続時間が長くなり、リングングの振幅が大きくなります。

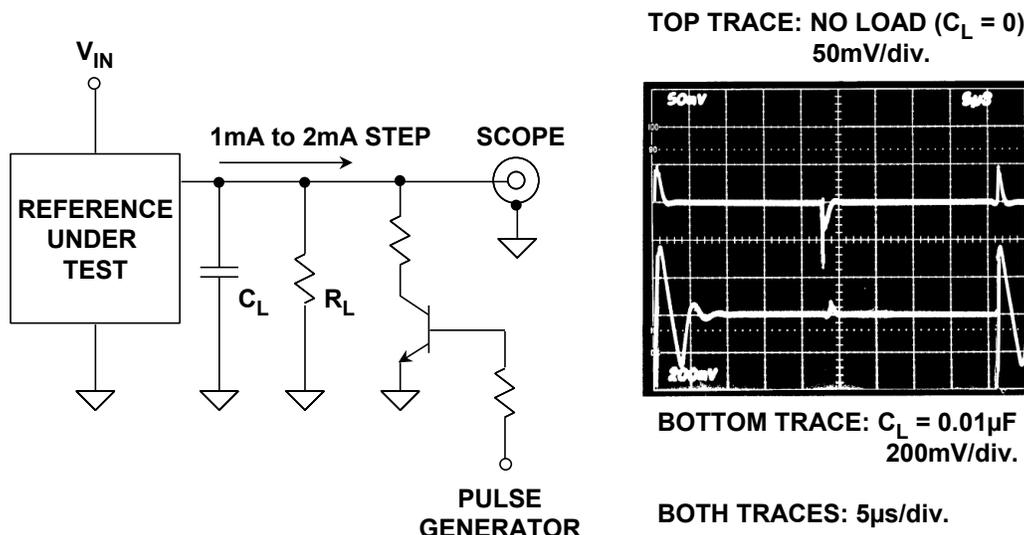


図 7.16: 大きな容量負荷でリファレンスが安定することを確認

前述のように、逐次比較型 ADC のリファレンス入力を駆動する場合、リファレンス・バイパス・コンデンサが役立ちます。「変換開始」コマンドの直後のリファレンスのセトリングの様子を図 7.17 に示します。小さいコンデンサ (0.01 μF) は、変換時にリファレンスを安定に保つのに十分な電荷を保存できず、誤差生じることがあります。1 番下のトレースが示すように、 $\geq 1 \mu\text{F}$ のコンデンサによるデカップリングにより、変換時にリファレンスの安定性が維持されます。

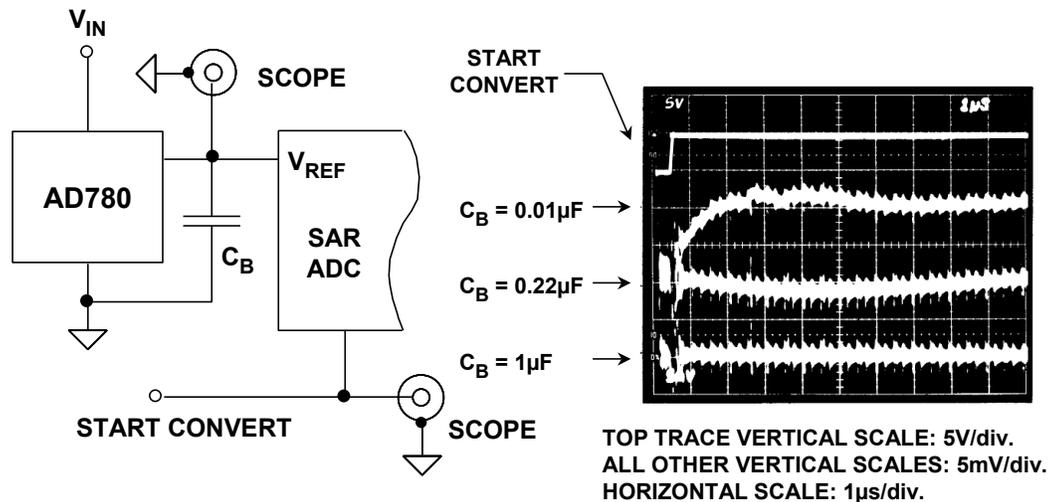


図 7.17: 逐次比較型 ADC はリファレンスにダイナミック過渡負荷を与えることがある

電圧リファレンスが大きな容量を駆動する必要がある場合、そのターンオン時間が長くなることを認識することが重要です。リファレンス出力がフル精度に達するまでの遅延時間を求めるには実験が必要になることがあります。小さい容量負荷の状態と同じリファレンスに対してデータ・シートで規定した時間よりかなり長くなることは確かです。

高分解能コンバータ用の低ノイズ・リファレンス

高分解能コンバータ (シグマ・デルタおよび高速コンバータ) では、低ノイズや容量負荷駆動能力のような IC リファレンスの最新の改良点を利用することができます。多くのデータ・コンバータはリファレンスを内蔵していますが、コンバータ・プロセスの制約によって、これらのリファレンスの性能は多くの場合低下します。このような場合、内蔵リファレンスの代わりに外付けリファレンスを使用すると、多くの場合優れた全体性能が得られます。例えば、AD7710- シリーズの 22 ビット ADC は 0.1 Hz ~ 10 Hz ノイズが 8.3 $\mu\text{V rms}$ (2600 $\text{nV}/\sqrt{\text{Hz}}$) の 2.5 V リファレンスを内蔵していますが、これに対して AD780 リファレンスのノイズは僅か 0.67 $\mu\text{V rms}$ (200 $\text{nV}/\sqrt{\text{Hz}}$) です。この帯域での AD7710 シリーズの内部ノイズは約 1.7 $\mu\text{V rms}$ です。AD780 を使用すると、AD7710 の実効分解能は約 20.5 ビットから 21.5 ビットへ増加します。

コンバータの内蔵リファレンスを高精度な外付けリファレンスで置き換える場合、非常に現実的な 1 つの問題があります。対象のコンバータは、比較的精度の低い内蔵リファレンスを使用して規定の性能を実現するように製造時に調整されている可能性があります。このような場合、コンバータに正確な外付けリファレンスを使用すると、実際には追加ゲイン誤差を生じてしまうことがあります。例えば、初期の AD574 では、内蔵 10 V リファレンス（これ自体の規定精度は $\pm 1\%$ ）を使用して 0.125 % の未校正ゲイン精度を保証していました。規定範囲の片方の端にあるリファレンスを内蔵するこのようなデバイスを、正確に 10 V の外付けリファレンスと組み合わせて使用すると、ゲインには約 1 % の誤差が発生することは明らかです。

参考資料:

電圧リファレンス

1. Bob Widlar, “New Developments in IC Voltage Regulators,” **IEEE Journal of Solid State Circuits**, Vol. SC-6, February, 1971.
2. Paul Brokaw, “A Simple Three-Terminal IC Band gap Voltage Reference,” **IEEE Journal of Solid State Circuits**, Vol. SC-9, December, 1974.
3. Paul Brokaw, “More About the AD580 Monolithic IC Voltage Regulator,” **Analog Dialogue**, 9-1, 1975.
4. Dan Sheingold, Section 20.2 within **Analog-Digital Conversion Handbook, 3d.Edition**, Prentice-Hall, 1986.
5. Walt Jung, “Build an Ultra-Low-Noise Voltage Reference,” **Electronic Design Analog Applications Issue**, June 24, 1993.
6. Walt Jung, “Getting the Most from IC Voltage References,” **Analog Dialogue**, 28-1, 1994, pp. 13-21.

注意

7.2: アナログ・スイッチとマルチプレクサ

はじめに

固体アナログ・スイッチとマルチプレクサは、アナログ信号用に規定された伝送パスを制御／選択する機能を必要とする電子システムの設計で不可欠な部品になりました。これらのデバイスは、マルチチャンネル・データ・アキュジション・システム、プロセス制御、計装、ビデオ・システムなどの多様なアプリケーションで使用されています。

初期の CMOS スイッチとマルチプレクサは一般に $\pm 10\text{ V}$ までの信号レベルを処理し、 $\pm 15\text{ V}$ の電源で動作するように設計されていました。1979 年にアナログ・デバイセズは広く採用された ADG200 シリーズのスイッチとマルチプレクサを発表し、1988 年には独自のリニア互換 CMOS プロセス ($L^2\text{CMOS}$) で製造された ADG201- シリーズを発表しました。これらのデバイスは、 $\pm 15\text{ V}$ 電源で動作する場合 $\pm 15\text{ V}$ の入力信号を許容しました。

1980 年代と 1990 年代に多数のスイッチとマルチプレクサが発表され、低オン抵抗、高速スイッチング、低電源電圧、低価格、低消費電力、小型表面実装パッケージへ向かって進みました。

今日、アナログ・スイッチとマルチプレクサは、ほぼすべてのアプリケーションに対応できる多様な構成やオプションで提供されています。0.5 Ω 以下のオン抵抗、ピコアンペアのリーク電流、1 GHz を上回る信号帯域幅、1.8 V の単電源動作は、現在の CMOS 技術で可能です。

CMOS は今日、スイッチとマルチプレクサの最も一般的な IC 製造プロセスですが、(JFET と組み合わせた) バイポーラ・プロセスと (これも JFET 機能と組み合わせた) 相補バイポーラ・プロセスも、ビデオ・スイッチングやマルチプレクスなどのような CMOS では実現できない高性能特性が必要とされる特別なアプリケーションによく使用されます。従来の CMOS スイッチとマルチプレクサには、ビデオ周波数で幾つかの欠点がありました。スイッチング時間が一般に十分高速ではなく、さらに標準的なビデオ負荷を駆動するのに外付けのバッファが必要です。さらに、信号レベルによる CMOS スイッチのオン抵抗の小さい変動 (R_{ON} 変調) により、微分ゲインと微分位相に不要な歪みが発生することがあります。相補バイポーラ技術を採用したマルチプレクサは、ビデオ周波数でもっと良いソリューションを提供しますが、明らかに、消費電力と価格は CMOS デバイスより大きくなります。

CMOS スイッチの基礎

理想アナログ・スイッチはオン抵抗がなく、オフ・インピーダンスが無限で、遅延時間がゼロです。さらに、大きな信号と同相モード電圧を処理することができます。実際の CMOS アナログ・スイッチは、これらの基準を満たしません。正確には、非常に高い抵抗から非常に低い抵抗まで変化する可変抵抗と見なすことができます。ただし、アナログ・スイッチの制約を理解していると、これらの制約の大部分を克服することができます。

CMOS スイッチは、属性の優れた組み合わせを持っています。最も基本的な形式では、MOSFET トランジスタは電圧で制御される抵抗です。「オン」状態では、抵抗が $1\ \Omega$ より小さくなり、「オフ」状態では、抵抗が数百メガオームまで大きくなり、リーク電流はピコアンペアになります。CMOS 技術はロジック回路と互換であるため、IC 内に高密度に組み込むことができます。その高速スイッチング特性は、よく制御され、回路の寄生要素は最小です。

MOSFET トランジスタは双方向です。すなわち、正電圧と負電圧を切り替えて、正電流と負電流を同様に流すことができます。MOSFET トランジスタの抵抗値は電圧で制御され、図 7.18 に示すように、信号電圧によって非線形に変化します。

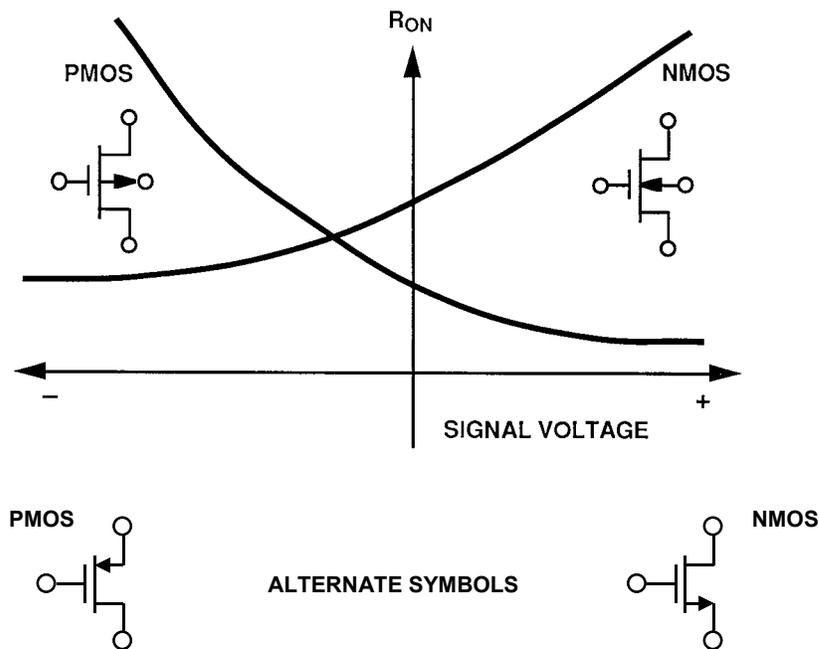


図 7.18: MOSFET スイッチのオン抵抗対信号電圧

相補型 MOS プロセス (CMOS) では、優れた P チャンネルと N チャンネルの MOSFET を得ることができます。PMOS デバイスと NMOS デバイスを並列に接続すると、図 7.19 の基本双方向 CMOS スイッチが形成されます。この組み合わせによりオン抵抗が小さくなり、また信号電圧による変化ははるかに小さくなります。

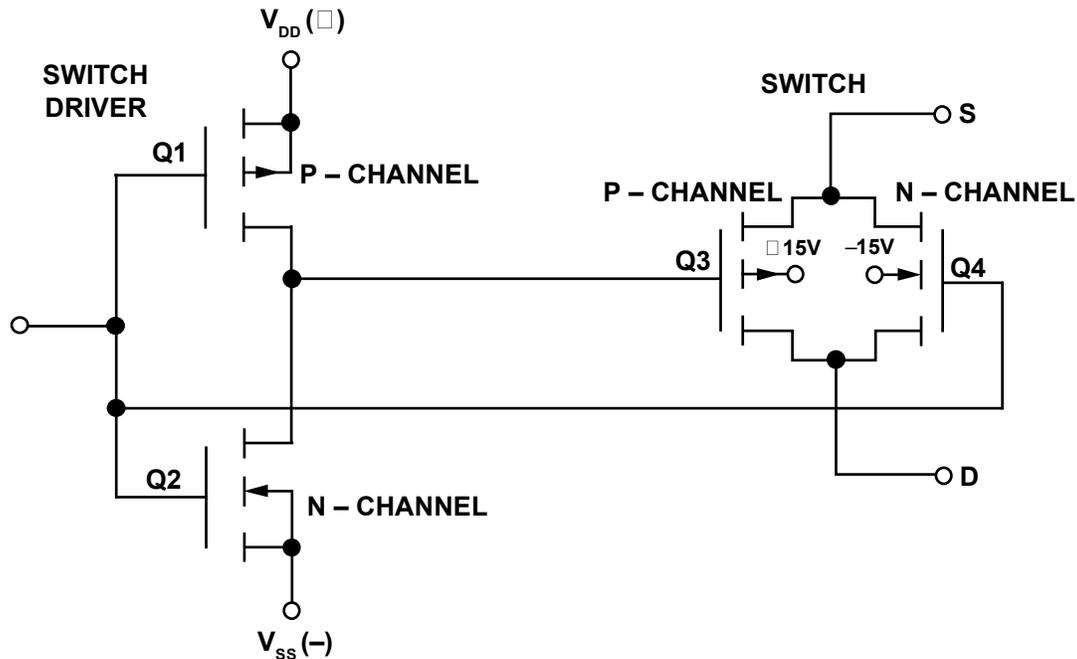


図 7.19: 基本 CMOS スイッチは相補対を使用して
信号振幅に起因する R_{ON} の変動を最小化

N タイプと P タイプの両方のデバイスの、チャンネル電圧で変化するオン抵抗を図 7.20 に示します。この非直線抵抗により、DC 精度の誤差と AC 歪みが発生します。双方向 CMOS スイッチはこの問題を解決します。オン抵抗が小さくなり、直線性も改善されています。図 7.20 の下の曲線は、スイッチの抵抗特性の平坦性が改善されていることを示しています。

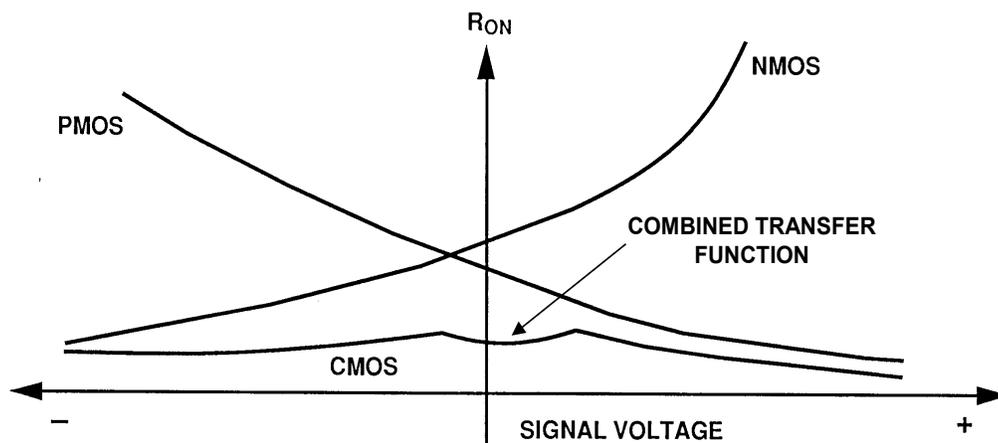


図 7.20: CMOS スイッチのオン抵抗対信号電圧

ADG8xx- シリーズの CMOS スイッチは、オン抵抗が 0.5Ω 以下になるように特別に設計されており、サブミクロン・プロセスで製造されています。これらのデバイスは最大 400 mA の電流を流すことができ、 $1.8 \text{ V} \sim 5.5 \text{ V}$ の単電源で動作し、 $-40^\circ\text{C} \sim +125^\circ\text{C}$ の拡張温度範囲で定格が規定されています。温度と入力信号レベルに対するオン抵抗を図 7.21 に示します。

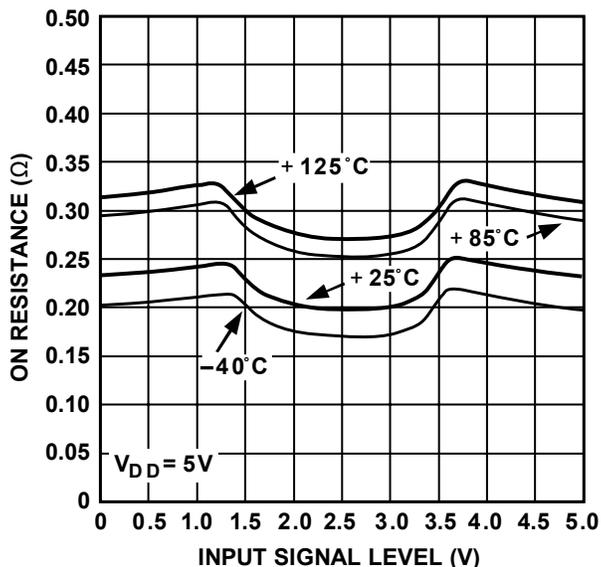


図 7.21: オン抵抗対入力信号
ADG801/ADG802 CMOS スイッチ、 $V_{DD} = +5 \text{ V}$

CMOS スイッチの誤差原因

アナログ・スイッチの誤差原因を理解することは重要です。多くのものが AC 性能と DC 性能に影響を与え、AC 性能だけに影響を与えるものもあります。隣接する 2 つの CMOS スイッチの等価回路を図 7.22 に示します。このモデルには、リーク電流と接合容量が含まれています。

オン状態にある 1 個の CMOS スイッチに関連する DC 誤差を図 7.23 に示します。スイッチがオンのとき、DC 性能は主にスイッチのオン抵抗 (R_{ON}) とリーク電流 (I_{LKG}) の影響を受けます。 $R_G - R_{ON} - R_{LOAD}$ の組み合わせにより抵抗減衰器が形成され、これによりゲイン誤差が発生します。リーク電流 I_{LKG} は、 R_G と R_{ON} の和と並列な等価抵抗 R_{LOAD} を流れます。 R_{ON} からゲイン誤差が発生するだけでなく—これはシステムのゲイン・トリムを使って補正可能—、加えられる信号電圧による変動 (R_{ON} 変動) から歪みが発生します (これには補正はありません)。低抵抗回路は R_{ON} 誤差の影響を受けやすく、高抵抗回路はリーク電流の影響を受けやすくなります。図 7.23 にはこれらのパラメータが DC 性能に与える影響を示す式も示してあります。

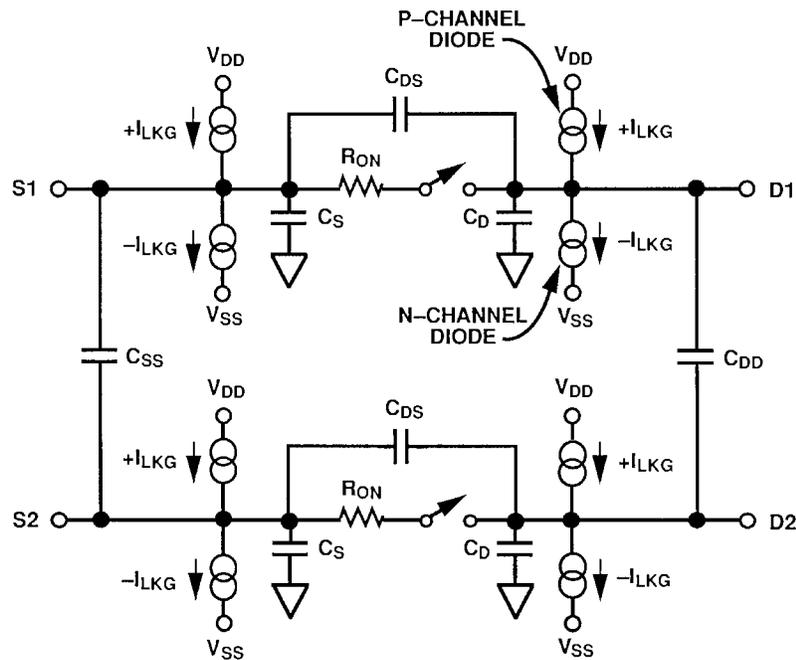
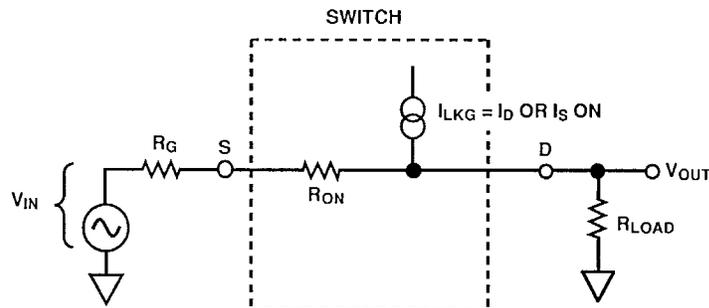


図 7.22: 隣接する 2 つの CMOS スwitch の等価回路



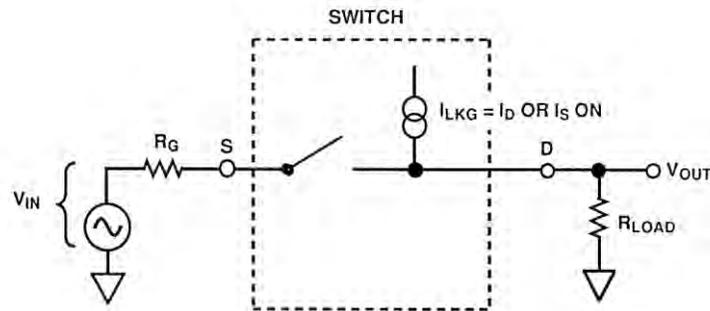
$$V_{OUT} = V_{IN} \left[\frac{R_{LOAD}}{R_G + R_{ON} + R_{LOAD}} \right] + I_{LKG} \left[\frac{R_{LOAD} (R_{ON} + R_G)}{R_G + R_{ON} + R_{LOAD}} \right]$$

IF $R_G \rightarrow 0$,

$$V_{OUT} = V_{IN} \left[\frac{R_{LOAD}}{R_{ON} + R_{LOAD}} \right] + I_{LKG} \left[\frac{R_{LOAD} R_{ON}}{R_{ON} + R_{LOAD}} \right]$$

図 7.23: オン・スイッチ状態の DC 性能に影響を与える要因 R_{ON} 、 R_{LOAD} 、 I_{LKG}

スイッチがオフのとき、リーク電流により誤差が発生します（図 7.24 参照）。負荷抵抗を流れるリーク電流により、対応する電圧誤差が出力に発生します。

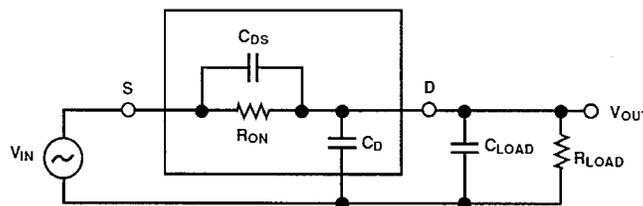


Leakage current creates error voltage at V_{OUT} equal to:

$$V_{OUT} = I_{LKG} \times R_{LOAD}$$

図 7.24: オフ・スイッチ状態の DC 性能に影響を与える要因 I_{LKG} と R_{LOAD}

CMOS スイッチの AC 性能に影響を与える寄生成分を図 7.25 に示します。外部容量を追加すると、さらに性能が低下します。これらの容量は、フィードスルー、クロストーク、およびシステムの帯域幅に影響を与えます。 C_{DS} (ドレイン-ソース間容量)、 C_D (ドレイン-グラウンド間容量)、 C_{LOAD} はすべて、 R_{ON} および R_{LOAD} と組み合わせられて働き、全体の伝達関数を形成します。



$$A(s) = \left[\frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] \left[\frac{sR_{ON}C_{DS} + 1}{s \left(\frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}} \right) (C_{LOAD} + C_D + C_{DS}) + 1} \right]$$

$$A(dB) = 20 \log \left[\frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] + 10 \log [\omega^2 (R_{ON}C_{DS})^2 + 1] - 10 \log \omega^2 \left[\left(\frac{R_{LOAD}R_{ON}}{R_{LOAD} + R_{ON}} \right)^2 (C_{LOAD} + C_D + C_{DS})^2 + 1 \right]$$

図 7.25: ダイナミック性能に対する検討事項:
伝達精度の周波数特性

等価回路では、 C_{DS} により伝達関数 $A(s)$ の分子で周波数ゼロが形成されます。このゼロは、通常、スイッチのオン抵抗が小さいため高い周波数で発生します。帯域幅も、 C_{DS} と負荷容量を組み合わせたスイッチ出力容量の関数になります。この極周波数は式の分母に現れます。

合成周波数領域伝達関数は図 7.26 のように書き換えることができます。この図はオン状態のスイッチのボード線図の全体を示しています。多くの場合、出力容量 C_D の影響が支配的なので、極ブレーク・ポイント周波数が最初に発生します。このため、帯域幅を最大にするには、スイッチの入力容量、出力容量、およびオン抵抗を小さくします。

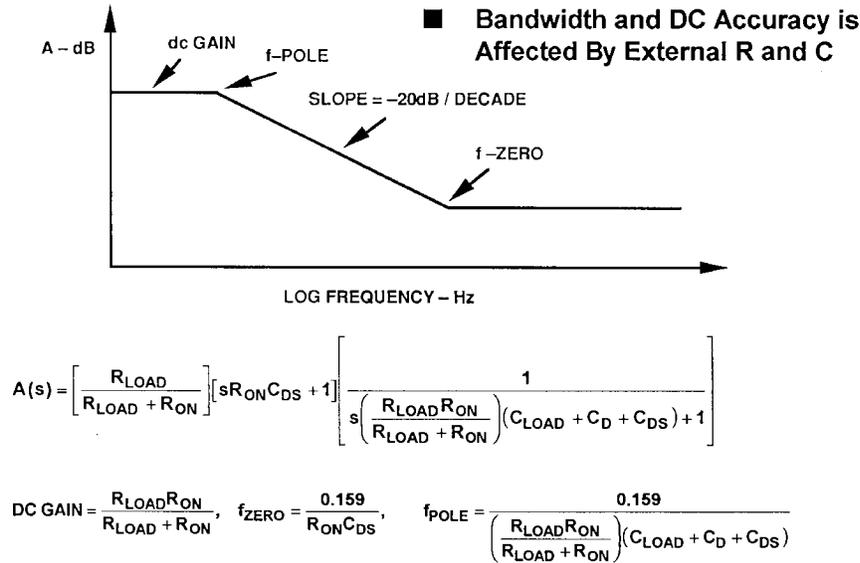
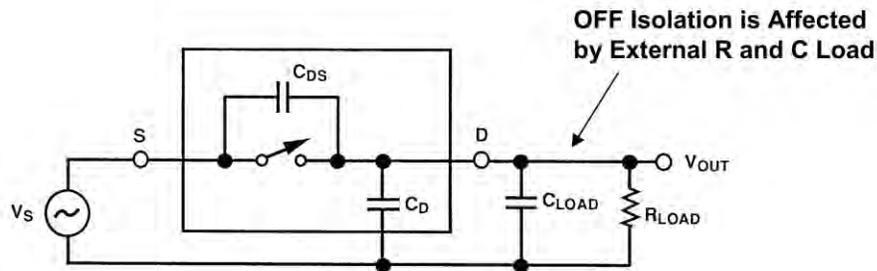


図 7.26: オン状態の CMOS スwitch の伝達関数のボード線図

直列の通過容量 C_{DS} はオン状態での応答でゼロを発生するだけでなく、オフ状態でのスイッチのフィードスルー性能も低下させます。スイッチがオフのとき、 C_{DS} が入力信号を出力負荷に結合します (図 7.27 参照)。



$$A(s) = \frac{s(R_{LOAD})(C_{DS})}{s(R_{LOAD})(C_{LOAD} + C_D + C_{DS}) + 1}$$

図 7.27: ダイナミック性能に対する検討事項
オフ・アイソレーション

C_{DS} の値が大きいと、入力周波数に比例してフィードスルーの値が大きくなります。オフ・アイソレーションの低下を周波数の関数として図 7.28 に示します。オフ・アイソレーションを大きくする簡単な方法は、 C_{DS} ができるだけ小さいスイッチを選択することです。

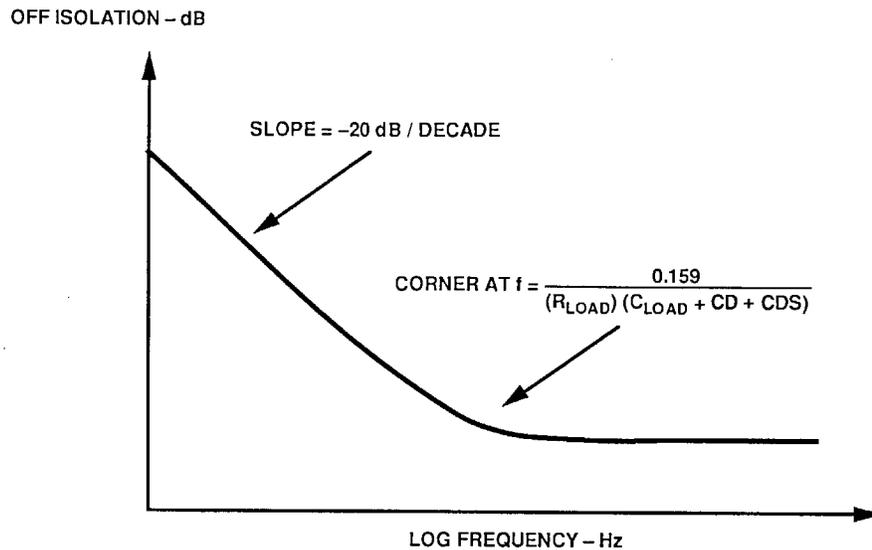


図 7.28: オフ・アイソレーションの周波数特性

ADG708 8 チャンネル・マルチプレクサの CMOS アナログ・スイッチの代表的なオフ・アイソレーションを周波数の関数として図 7.29 に示します。DC から数百キロヘルツまで、このマルチプレクサのアイソレーションは約 90 dB です。周波数が大きくなると、出力に到達する信号が大きくなりますが、10 MHz でも、このスイッチのアイソレーションは約 60 dB あります。

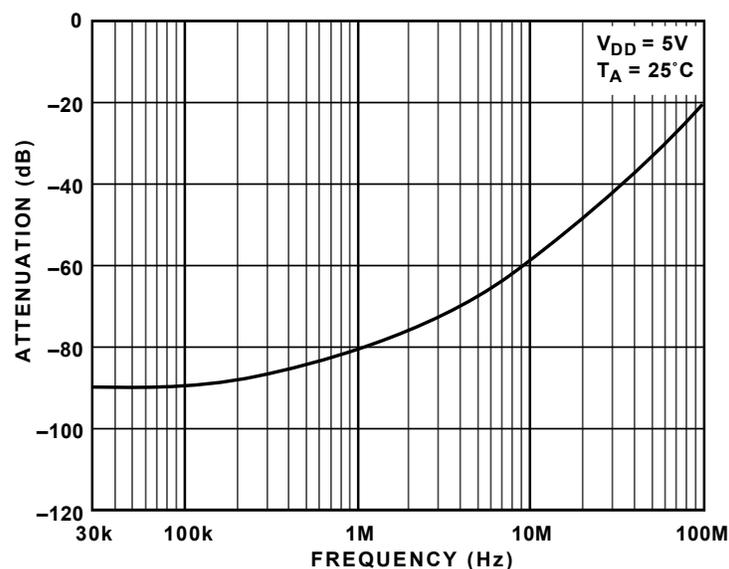


図 7.29: ADG708 8 チャンネル・マルチプレクサのオフ・アイソレーションの周波数特性

システム性能に影響を与えるもう 1 つの AC パラメータは、スイッチング時に発生するチャージ・インジェクションです。チャージ・インジェクションのメカニズムの等価回路を図 7.30 に示します。

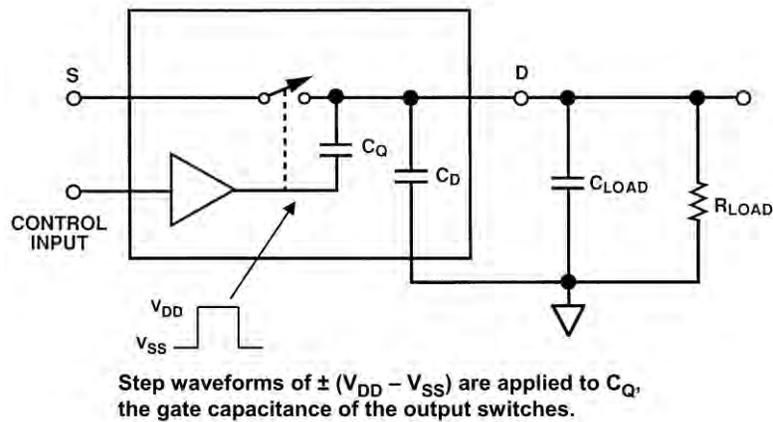


図 7.30: ダイナミック性能に関する検討事項
チャージ・インジェクション・モデル

スイッチ制御入力のアサートされると、制御回路が CMOS スwitch のゲートに大きな電圧変化 (V_{DD} から V_{SS} まで、またはその逆) を加えます。この電圧の高速変化により、ゲート・ドレイン間容量 C_Q を通してスイッチ出力に電荷が注入されます。結合される電荷量は、ゲート・ドレイン間容量の大きさに依存します。

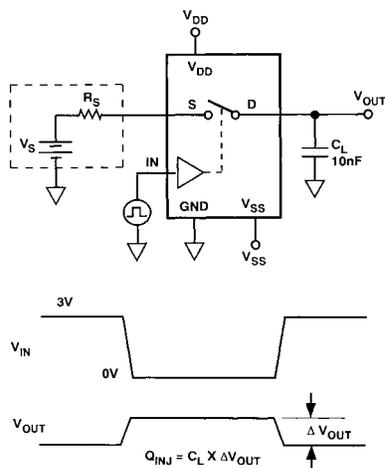


図 7.31: チャージ・インジェクションの出力への影響

チャージ・インジェクションにより、スイッチング時に出力電圧にステップ変化が発生します (図 7.31 参照)。出力電圧変化 ΔV_{OUT} は、注入電荷量 Q_{INJ} (これはゲート・ドレイン間容量 C_Q の関数です) と負荷容量 C_L の関数です。

スイッチ容量から発生するもう 1 つの問題は、チャンネル切り替え時の保存電荷です。この電荷はスイッチ出力にトランジェントを発生させることがあります。図 7.32 を使ってこの現象を説明します。

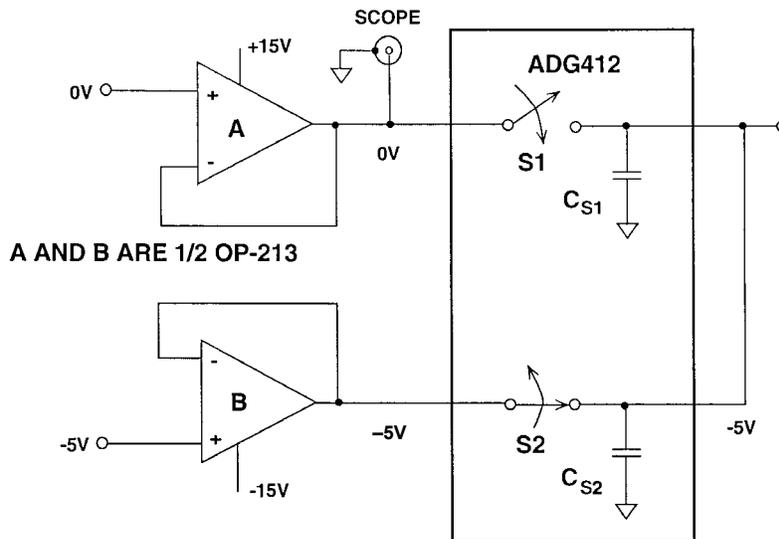
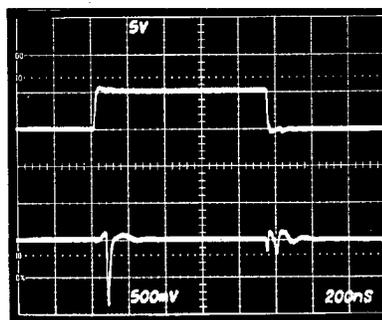


図 7.32: 信号をマルチプレクスするとき、電荷結合により発生するダイナミック・セトリング・タイムのトランジェント

最初に、S2 が閉じ、S1 が開いているとします。Cs1 と Cs2 が -5 V に充電されます。S2 が開くと、-5 V が Cs1 と Cs2 に残り、S1 が閉じます。このため、アンプ A の出力からは -5 V のトランジェントが見えます。アンプ A の出力が Cs1 と Cs2 をフル放電して 0 V にセトリングするまで、出力は安定しません。図 7.33 のオシロスコープ写真はこのトランジェントを示しています。入力バッファを選択する際に、アンプの過渡負荷セトリング特性は、重要な検討事項になります。

SWITCH CONTROL
5V/div.

AMPLIFIER A OUTPUT
500mV/div.



HORIZONTAL SCALE: 200ns/div.

図 7.33: 電荷結合によるダイナミック・セトリング・タイムのトランジェントを示すアンプ出力

クロストークは 2 個のスイッチの間の容量に関係します。これは図 7.34 に示す容量 C_{SS} でモデル化されています。

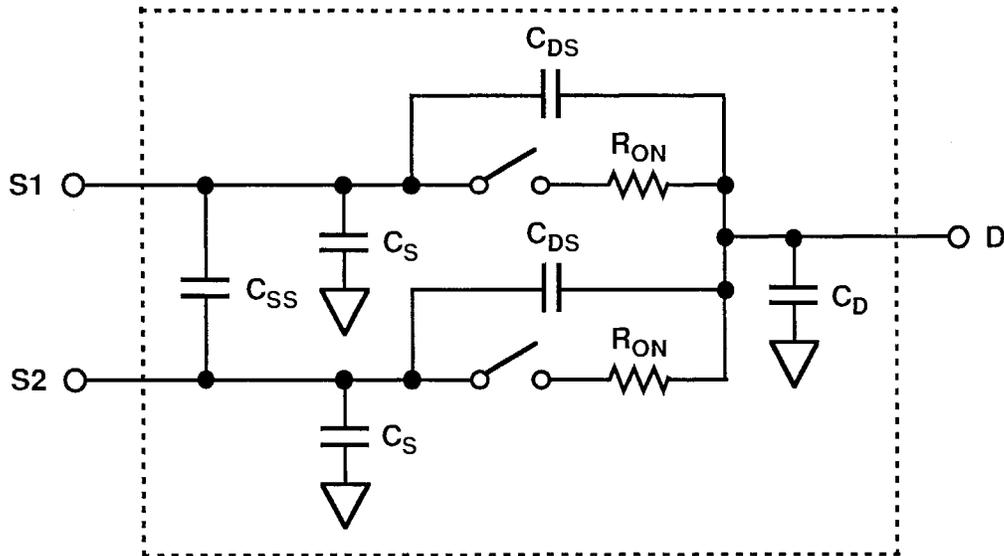


図 7.34: 隣接するスイッチのチャンネル間クロストークの等価回路

ADG708 8 チャンネル CMOS マルチプレクサの代表的なクロストーク性能を図 7.35 に示します。

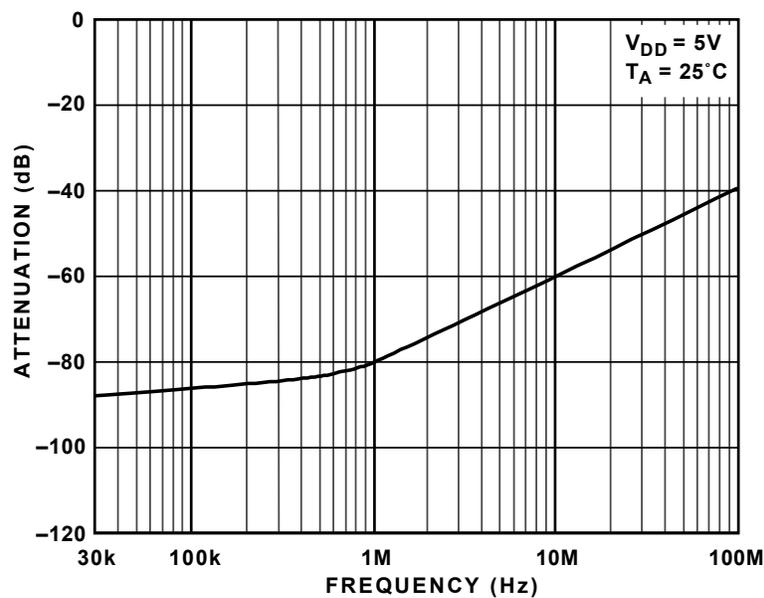
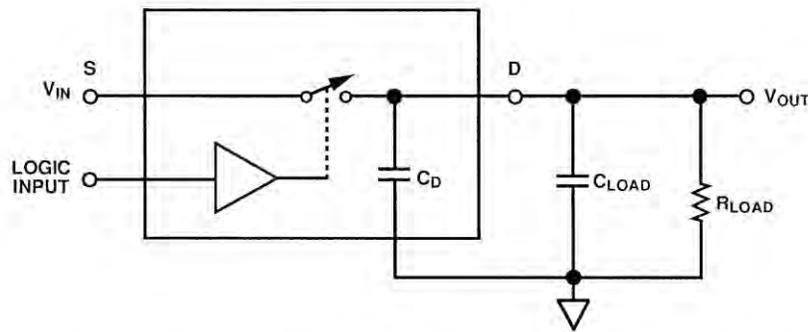


図 7.35: ADG708 8 チャンネル・マルチプレクサのクロストークの周波数特性

最後に、スイッチ自体にセトリング・タイムがあり、これについて検討する必要があります。図 7.36 にダイナミック伝達関数を示します。応答はスイッチと回路の抵抗と容量の関数なので、セトリング・タイムを計算することができます。これは 1 極システムであると仮定することができ、必要とされるシステム精度までセトリングするのに必要な時定数を計算することができます（図 7.37 参照）。



$$\text{OFF-TO-ON: } t_{\text{SETT}} = t_{\text{ON}} + \left(\frac{R_{\text{ON}}R_{\text{LOAD}}}{R_{\text{ON}} + R_{\text{LOAD}}} \right) (C_{\text{LOAD}} + C_{\text{D}}) \left(-\ln \frac{\% \text{ERROR}}{100} \right)$$

$$\text{ON-TO-OFF: } t_{\text{SETT}} = t_{\text{OFF}} + (R_{\text{LOAD}}) (C_{\text{LOAD}} + C_{\text{D}}) \left(-\ln \frac{\% \text{ERROR}}{100} \right)$$

Settling time is the time required for the switch output to settle within a given error band of the final value.

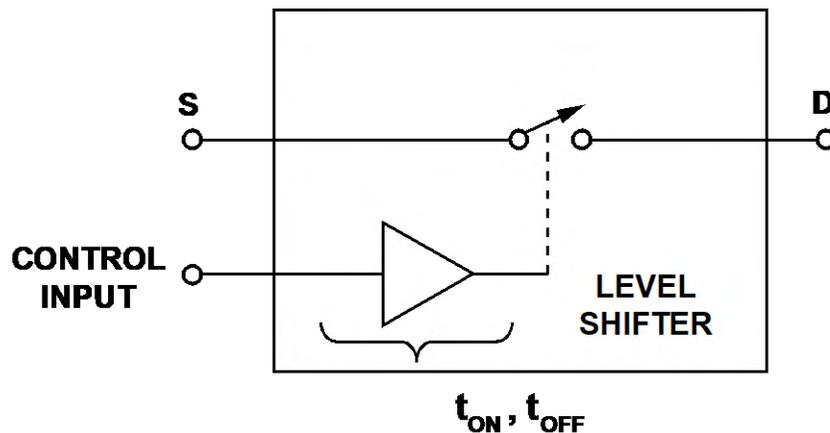
図 7.36: マルチプレクサのセトリング・タイム

RESOLUTION, # OF BITS	LSB (%FS)	# OF TIME CONSTANTS
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

図 7.37: 1 極システムが 1 LSB 精度までセトリングするのに必要な時定数

アナログ・スイッチの応用

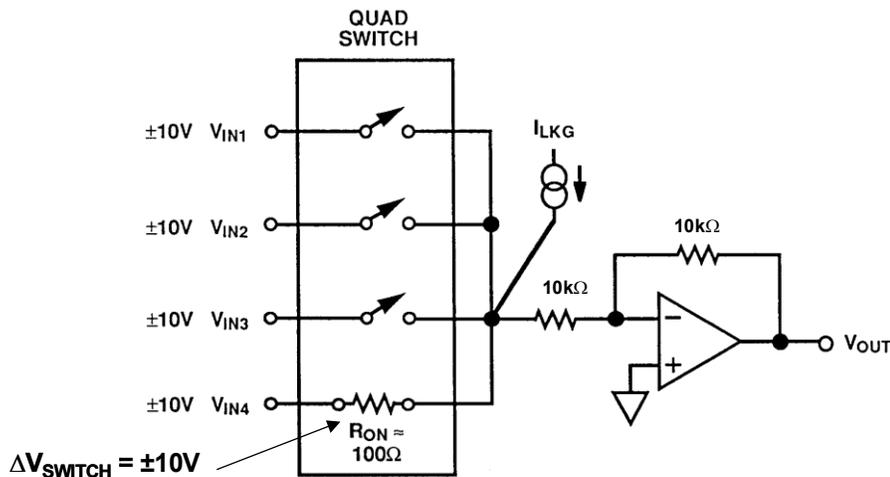
スイッチング時間はアナログ・スイッチを使う場合重要な検討事項ですが、スイッチング時間をセトリング・タイムと混同しないように注意します。オン時間とオフ時間は単に制御入力からスイッチがトグルするまでの伝搬遅延を表しますが、大部分は駆動回路とレベル・シフト回路内の遅延時間により生じます（図 7.38 参照）。 t_{ON} と t_{OFF} の値は一般に、制御入力の先行エッジの 50 % ポイントから出力信号レベルの 90 % ポイントまで測定されます。



- ◆ t_{ON} and t_{OFF} should not be confused with settling time.
- ◆ t_{ON} and t_{OFF} are simply a measure of the propagation delay from control input to operation of the analog switch. It is caused by time delays in the drive / level-shifter logic circuitry.
- ◆ t_{ON} and t_{OFF} are measured from the 50% point of the control input to the 90% point of the output signal level.

図 7.38: アナログ・スイッチの応用: ダイナミック性能に関する検討事項

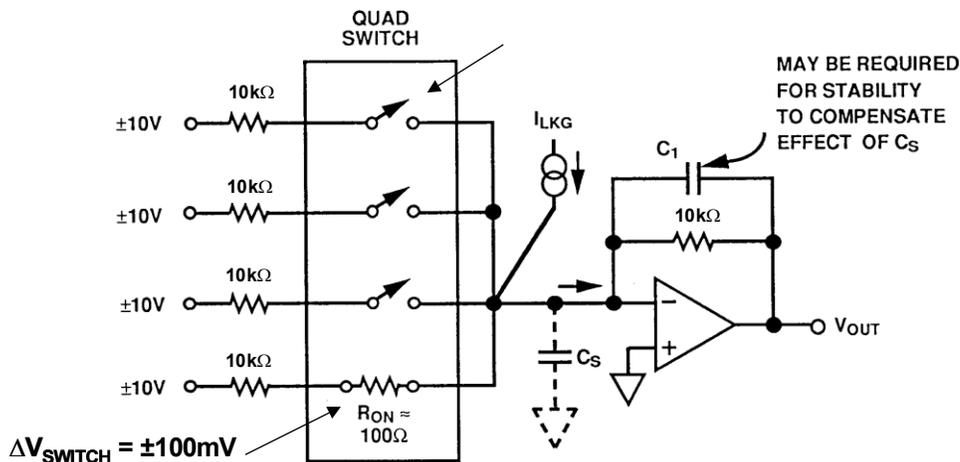
次に、オペアンプを使って CMOS スイッチやマルチプレクサの出力をバッファする問題を検討します。CMOS マルチプレクサが反転加算アンプへの入力をスイッチするとき、オン抵抗、および入力電圧の関数としてのその非直線変化により、ゲイン誤差と歪み誤差が生じることに注意する必要があります（図 7.39）。抵抗が大きいと、スイッチのリーク電流により誤差が生じます。抵抗が小さい場合リーク電流誤差は小さくなりますが、 R_{ON} の有限な値のために誤差が大きくなります。



- ◆ ΔR_{ON} caused by ΔV_{IN} , degrades linearity of V_{OUT} relative to V_{IN} .
- ◆ ΔR_{ON} causes overall gain error in V_{OUT} relative to V_{IN} .

図 7.39: アナログ・スイッチの応用:
切り替え入力を備えたユニティ・ゲイン・インバータ

入力電圧の変化に起因する R_{ON} の変化の影響を小さくするため、オペアンプの加算点にマルチプレクス・スイッチを設けることを推奨します (図 7.40)。これにより、スイッチはフルの $\pm 10\text{ V}$ ではなく約 $\pm 100\text{ mV}$ だけ変調されます。ただし、各入力に個別に抵抗が必要になります。

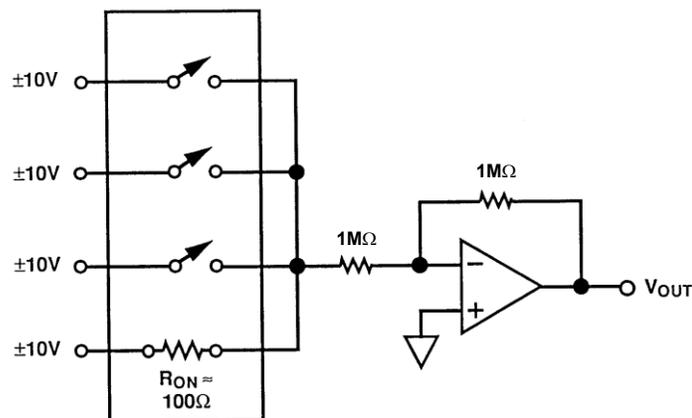


- ◆ Switch drives a virtual ground.
- ◆ Switch sees only $\pm 100\text{ mV}$, not $\pm 10\text{ V}$, minimizes ΔR_{ON} .

図 7.40: アナログ・スイッチの応用:
 ΔR_{ON} の影響を軽減

マルチプレクサを追加したため加算点に追加される寄生容量の大きさを知ることが重要です。これは、このノードに容量が追加されると、アンプのクローズド・ループ応答に位相シフトが生じるためです。容量が大きすぎると、アンプは不安定になり、発振することがあります。回路を安定化するために、帰還抵抗に並列に小さい容量 C_1 を接続することが必要になることがあります。

図 7.41 に示す回路では、 R_{ON} の有限な値が大きな誤差原因になる可能性があります。0.1% のゲイン精度を保証するには、ゲイン設定抵抗がスイッチのオン抵抗の少なくとも 1,000 倍より大きい必要があります。大きい値ほど精度が良くなりますが、帯域幅が狭くなり、リーク電流とバイアス電流の影響を受けやすくなります。



- ◆ ΔR_{ON} is small compared to $1M\Omega$ switch load.
- ◆ Effect on transfer accuracy is minimized.
- ◆ Bias current and leakage current effects are now very important.
- ◆ Circuit bandwidth degrades.

図 7.41: アナログ・スイッチの応用:
大きな抵抗値の使用による ΔR_{ON} の影響の軽減

R_{ON} を補償する良い方法は、反転アンプの帰還抵抗に直列にこれらスイッチの 1 つを接続することです (図 7.42 参照)。同じチップ上に形成された複数のスイッチは、それらの絶対特性と温度に対するトラッキングが十分整合していると仮定してかまいません。このため、フィード・フォワード抵抗とフィード・バック抵抗が整合しているので、アンプはユニティ・ゲインでクローズド・ループ・ゲインが安定します。

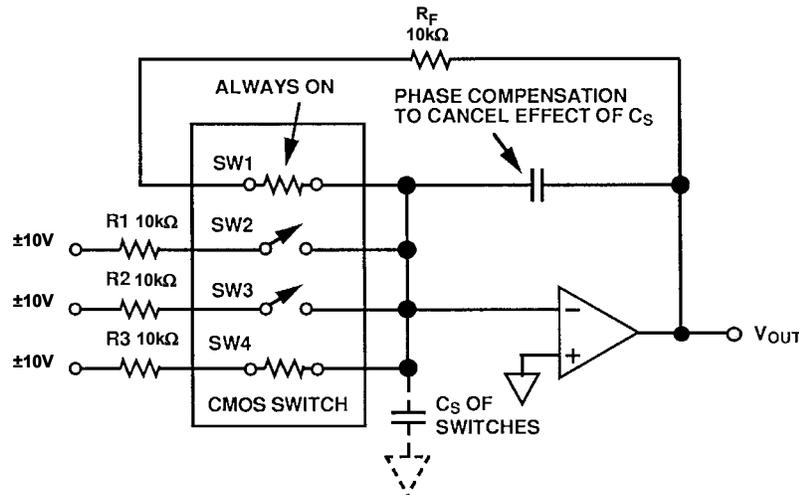


図 7.42: アナログ・スイッチの応用:
 ΔR_{ON} に起因するゲイン誤差を小さくするために
帰還内に「ダミー」スイッチを使用

最適なマルチプレクサ・デザインでは、アンプの非反転入力を駆動します（図 7.43）。非反転入力の高入カインピーダンスにより、 R_{ON} に起因する誤差がなくなります。

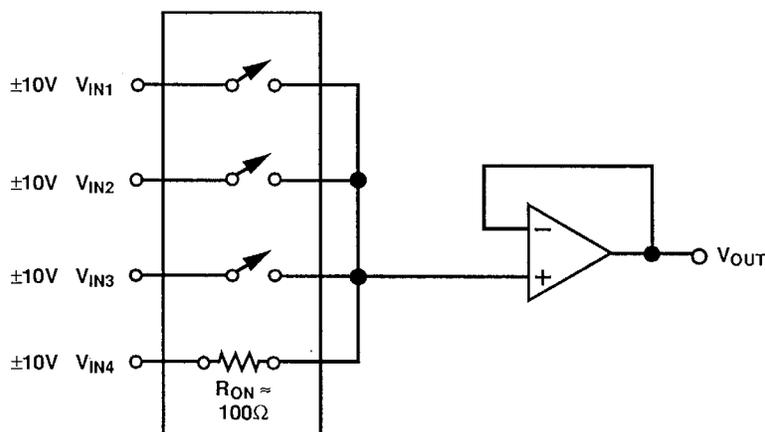
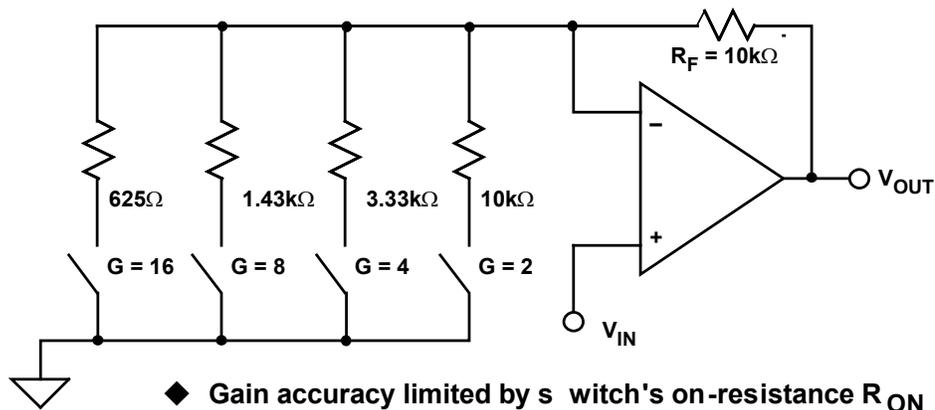


図 7.43: アナログ・スイッチの応用:
非反転構成を使用して ΔR_{ON} の影響を軽減

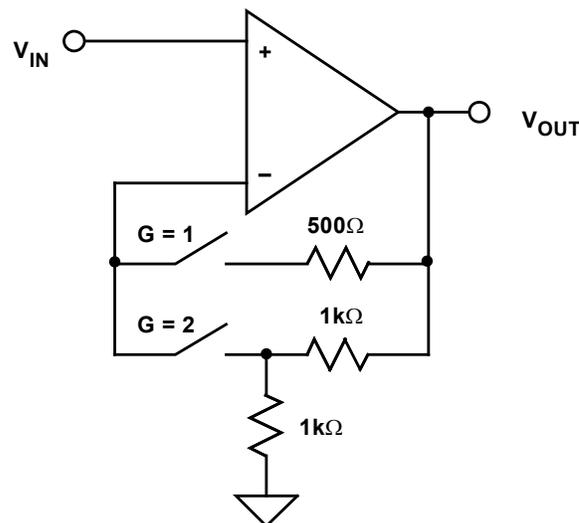
CMOS スイッチおよびマルチプレクサをオペアンプと組み合わせて使用して、プログラマブル・ゲイン・アンプ（PGA）を構成することがよくあります。性能に対する R_{ON} の影響を理解するため、図 7.44 を検討しますが、これは良くない PGA デザインであることに注意してください。非反転オペアンプには 4 種類のゲイン設定抵抗があり、それぞれはスイッチでグラウンドに接続され、スイッチの R_{ON} は $100\ \Omega \sim 500\ \Omega$ です。 R_{ON} がわずか $25\ \Omega$ の場合でも、ゲイン = 16 での誤差は 2.4% になり、8 ビット精度より悪くなります。また、 R_{ON} は温度に対して変化し、スイッチとスイッチの間でも変わります。



- ◆ Gain accuracy limited by switch's on-resistance R_{ON} and R_{ON} modulation
- ◆ R_{ON} typically 1 - 500 Ω for CMOS or JFET switch
- ◆ For $R_{ON} = 25\Omega$, there is a 2.4% gain error for $G = 16$
- ◆ R_{ON} drift over temperature limits accuracy
- ◆ Must use very low R_{ON} switches

図 7.44: CMOS スイッチを使用した良くない PGA デザイン

このデザインの問題を「解決」しようとして、抵抗を大きくすると、ノイズとオフセットが次に問題になります。この回路で精度を実現する唯一の方法は、実質的に R_{ON} がないリレーを使うことです。こうして初めてリレーの R_{ON} の数 m Ω は、625 Ω に比べて小さい誤差になります。



- ◆ R_{ON} is not in series with gain setting resistors
- ◆ R_{ON} is small compared to input impedance
- ◆ Only slight offset errors occur due to bias current flowing through the switches

図 7.45: R_{ON} の影響を小さくする別の PGA 構成

R_{ON} の影響を受けにくい回路を使うほうがはるかに優れています。図 7.45 では、スイッチはオペアンプの反転入力に直列に接続されています。オペアンプの入力インピーダンスは非常に高いため、スイッチの R_{ON} はもはや関係なくなるので、ゲインは外付け抵抗でのみ決定されます。オペアンプのバイアス電流が大きい場合、 R_{ON} により小さいオフセット誤差が追加されることに注意してください。この場合には、 V_{IN} の等価抵抗で容易に補償することができます。

1 GHz CMOS スイッチ

ADG918/ADG919 は、1 GHz まで、さらに 1 GHz を超えて、高いアイソレーションと低い挿入損失を提供するために、CMOS プロセスを採用して製造した最初のスイッチです。これらのスイッチは、1 GHz の信号を伝送するとき、低い挿入損失 (0.8 dB) と高いオフ・アイソレーション (37 dB) を示します。スルーパット電力が 25 °C で +18 dBm 以下の高周波アプリケーションで、これらの製品はガリウム砒素 (GaAs) スイッチに対するコスト・パフォーマンスの優れた代替品になります。これらのデバイスのブロック図を図 7.82 に示し、アイソレーションと損失の周波数特性を図 7.46 に示します。

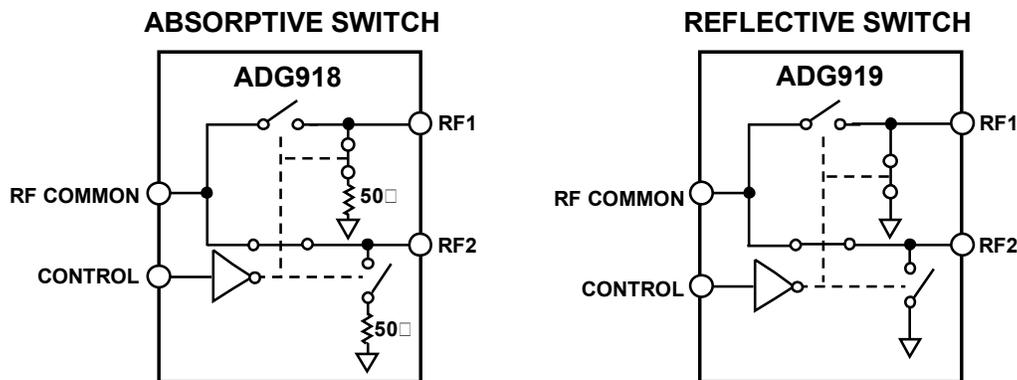


図 7.46: 1-GHz CMOS 1.65 V ~ 2.75 V 2:1 マルチプレクサ/SPDT スイッチ

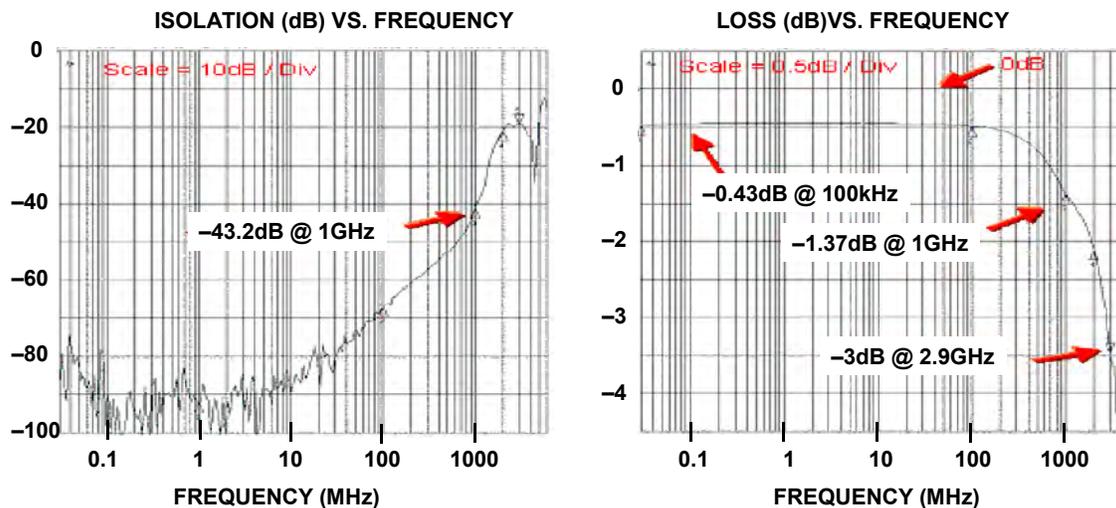


図 7.47: ADG918/ADG919 1 GHz スイッチのアイソレーションと周波数応答

ADG918 は吸収スイッチで、アプリケーション回路とインピーダンス整合を可能にする $50\ \Omega$ 終端シャント回路を内蔵しています。ADG919 は反射スイッチで、チップの外で終端されている場合に使用するよう設計されています。両方とも低消費電力 ($<1\ \mu\text{A}$) で、小型パッケージ (8 ピン MSOP の $3\ \text{mm} \times 3\ \text{mm}$ リードフレーム・チップ・スケール・パッケージ) を採用し、シングルピン制御電圧レベルが CMOS/LVTTL 互換なので、ワイヤレス・アプリケーションおよび汎用 RF スイッチング向けに最適です。

ビデオ・スイッチとマルチプレクサ

帯域平坦性、微分ゲインと微分位相、75 Ω 駆動能力の厳しい仕様を満たすには、CMOS プロセスより高速相補バイポーラ・プロセスのほうがビデオ・スイッチとマルチプレクサに適しています。従来型の CMOS スイッチとマルチプレクサには、ビデオ周波数で幾つかの欠点がありました。これらのデバイスのスイッチング時間（一般に 50 ns 程度）は今日のアプリケーションにとって十分高速とはいえないため、一般的なビデオ負荷を駆動するには外付けバッファが必要です。さらに、CMOS スイッチのオン抵抗が信号レベルにより少し変動するため（ R_{on} 変調）、微分ゲインと微分位相に不要な歪みが発生します。相補バイポーラ技術をベースにしたマルチプレクサは、ビデオ周波数でもっと優れたソリューションを提供します。もちろん、高い消費電力とコストがトレードオフとなります。

AD8170/AD8174/AD8180/AD8182 バイポーラ・ビデオ・マルチプレクサの機能ブロック図を図 7.48 に示します。AD8183/AD8185 ビデオ・マルチプレクサを図 7.49 に示します。これらのデバイスは高い柔軟性を提供します。さらに、微分ゲインと微分位相の仕様が優れているので、ビデオ・アプリケーションに適しています。ファミリー内のすべてのデバイスの 0.1 % までのスイッチング時間は 10 ns です。AD8186/AD8187 は、AD8183/AD8185 の単電源バージョンです。

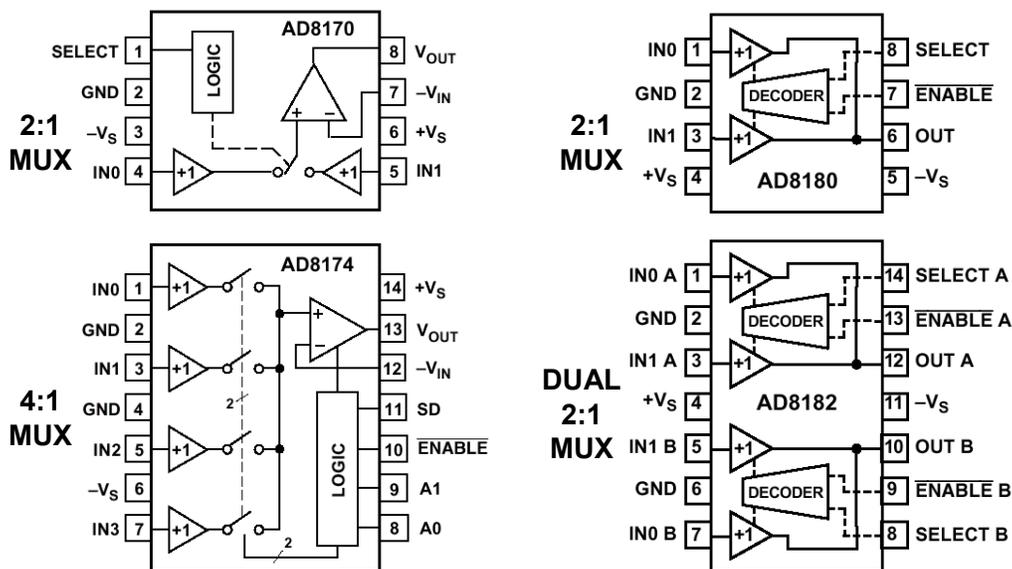


図 7.48: AD8170/AD8174/AD8180/AD8182 バイポーラ・ビデオ・マルチプレクサ

AD8170/8174 シリーズのマルチプレクサは、ゲインを外部から設定できる電流帰還オペアンプ出力バッファを内蔵しています。オフ・チャンネル・アイソレーションとクロストークは、ファミリー全体で一般に 80 dB を超えています。

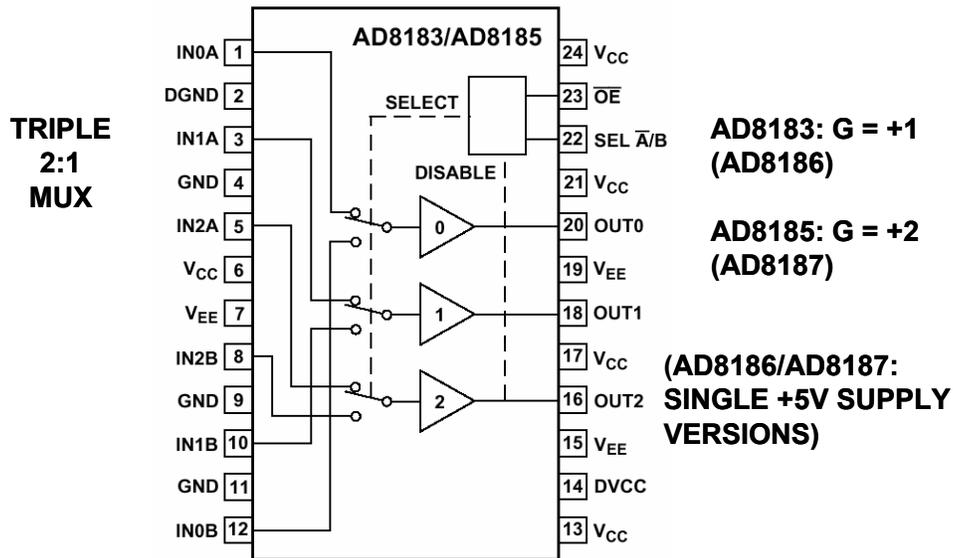


図 7.49: AD8183/AD8185 ビデオ・マルチプレクサ

3 個の AD8170 2:1 マルチプレクサのアプリケーション回路を図 7.50 に示します。ここでは、1 つの RGB モニタが 2 つの RGB コンピュータ・ビデオ・ソース間で切り替えられています。

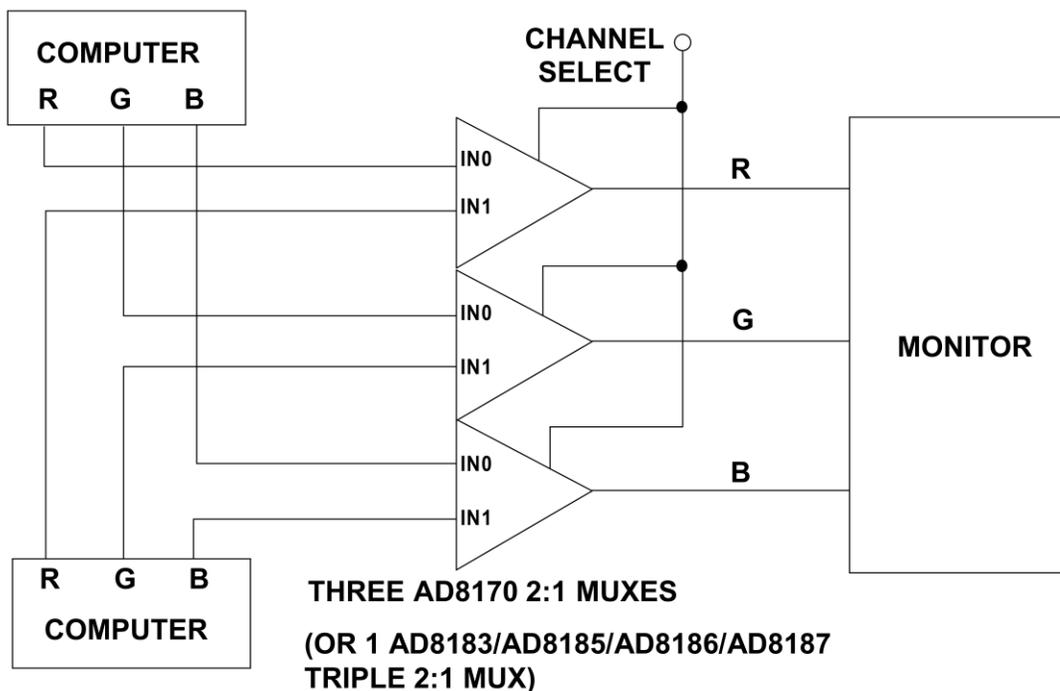


図 7.50: 3 個の 2:1 マルチプレクサを使用するデュアル・ソース RGB マルチプレクサ

このセットアップの全体の機能は、3 極双投スイッチと同じです。3 つのビデオ・ソースが 3 極を構成し、上側または下側のビデオ・ソースが 2 つのスイッチ状態を構成します。この回路は、AD8183、AD8185、AD8186 または AD8187 トリプル 2: 1 マルチプレクサを 1 個使用して簡略化できることに注意してください。

図 7.51 では、AD8174 または AD8184 4: 1 マルチプレクサを 1 個使用して、1 個の高速 ADC でスキヤナの RGB 出力をデジタル化できるようにしています。

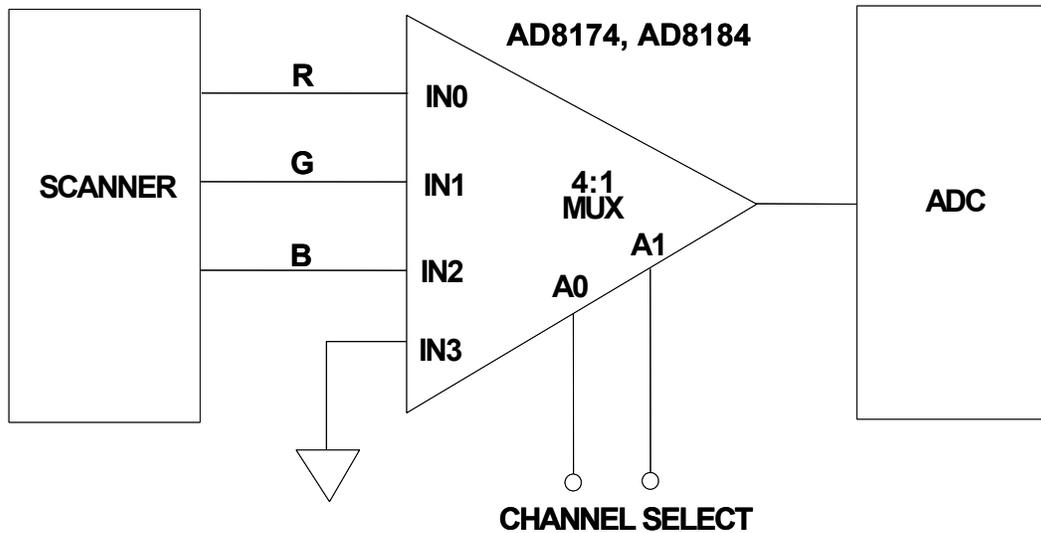


図 7.51: 1 個の ADC と 1 個の 4: 1 マルチプレクサを使用した RGB 信号のデジタル化

スキヤナからの RGB ビデオ信号がシーケンシャルに ADC に入力され、シーケンシャルにデジタル化されるため、1 個の ADC でスキヤナ・データを効率良く使用しています。

ビデオ・クロスポイント・スイッチ

AD8116 はマルチプレクサの概念を、全機能を集積化した 16 × 16 バッファ付きビデオ・クロスポイント・スイッチ・マトリックスに拡張します (図 7.52)。クロスポイント・スイッチは、任意の入力を任意の出力、または出力の組み合わせへ接続することができます。唯一の制限は、どの出力も複数の入力には接続できないことです。

AD8116 の 3 dB 帯域幅は 200 MHz を超え、0.1 dB ゲイン平坦性は 60 MHz まで伸びています。チャンネルのスイッチング時間は、0.1 % まで 30 ns 未満です。チャンネル間クロストークは、5 MHz で測定時に -70 dB です。微分ゲインと微分位相は、150 Ω 負荷に対して 0.01 % と 0.01° です。総合消費電力は ±5 V で 900 mW です。

AD8116 は、オフ・チャンネルが出力バスの負荷にならないように、並列する各クロスポイント・ステージを高インピーダンス状態にできる出力バッファを内蔵しています。チャンネルの切り替えは、複数デバイスのデージーチェーン接続を可能にするシリアル・デジタル制御を使って行われます。AD8116 のパッケージは 128 ピンの 14 mm × 14 mm LQFP です。

クロスポイント・スイッチ・ファミリーには、他に AD8108/AD9109 8 × 8 クロスポイント・スイッチ、AD8110/AD8111 260 MHz 16 × 8 バッファ付きクロスポイント・スイッチ、AD8113 オーディオ/ビデオ 60 MHz 16 × 16 クロスポイント・スイッチ、AD8114/AD8115 低価格 225 MHz 16 × 16 クロスポイント・スイッチなどがあります。

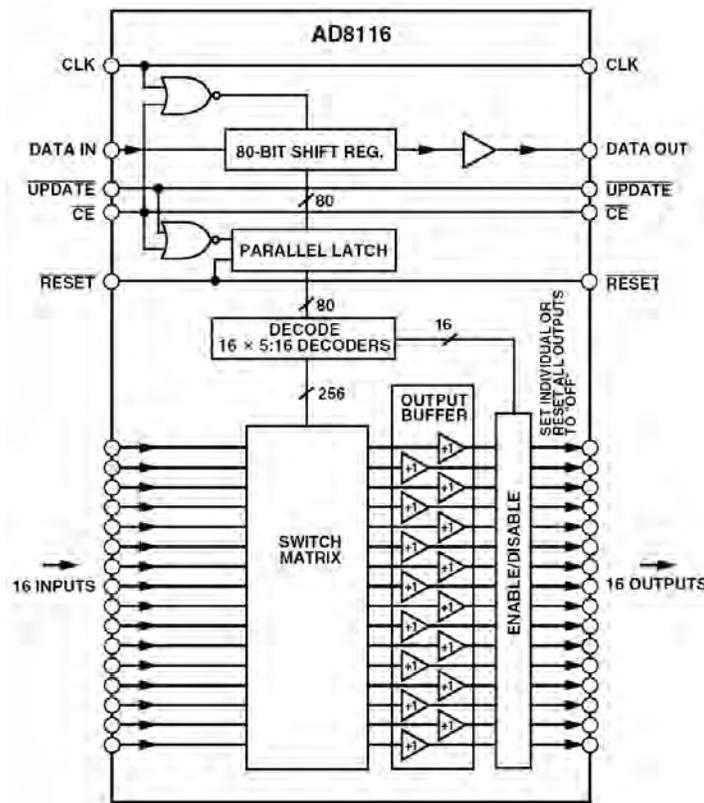


図 7.52: AD8116 16×16 200 MHz バッファ付きビデオ・クロスポイント・スイッチ

デジタル・クロスポイント・スイッチ

AD8152 は、高速ネットワーク用に設計された 3.2 Gbps 34 × 34 非同期デジタル・クロスポイント・スイッチです (図 7.53 参照)。このデバイスはポートあたり最大 3.2 Gbps のデータ・レートで動作するため、フォワード・エラー・コレクション (FEC) 付きの Sonet/SDH OC-48 に適しています。AD8152 はデジタル的に設定可能な電流モード出力を内蔵しており、多様な終端方式とインピーダンスを駆動すると同時に正しい電圧レベルを維持して消費電力を小さく抑えることができます。このデバイスは、最小 +2.5 V の電源電圧で動作し、入力感度が優れています。制御インターフェースは、LVTTTL または CMOS/TTL 互換です。

AD8152 は同等のクロスポイント・スイッチの中で消費電力が最小のソリューションで、2.5 V 電源ですべての I/O がアクティブのとき、外付けヒート・シンクなしで 2 W 未満です。AD8152 は 45 ps を下回る低ジッタ仕様なので、高速ネットワーク・システムに最適です。AD8152 のフル差動信号パスはジッタとクロストークを減らすと同時に、小さい振幅のシングルエンド電圧の使用を可能にします。このデバイスは、256 ボール SBGA パッケージで供給され、0 °C ~ +85 °C の工業用温度範囲で動作します。

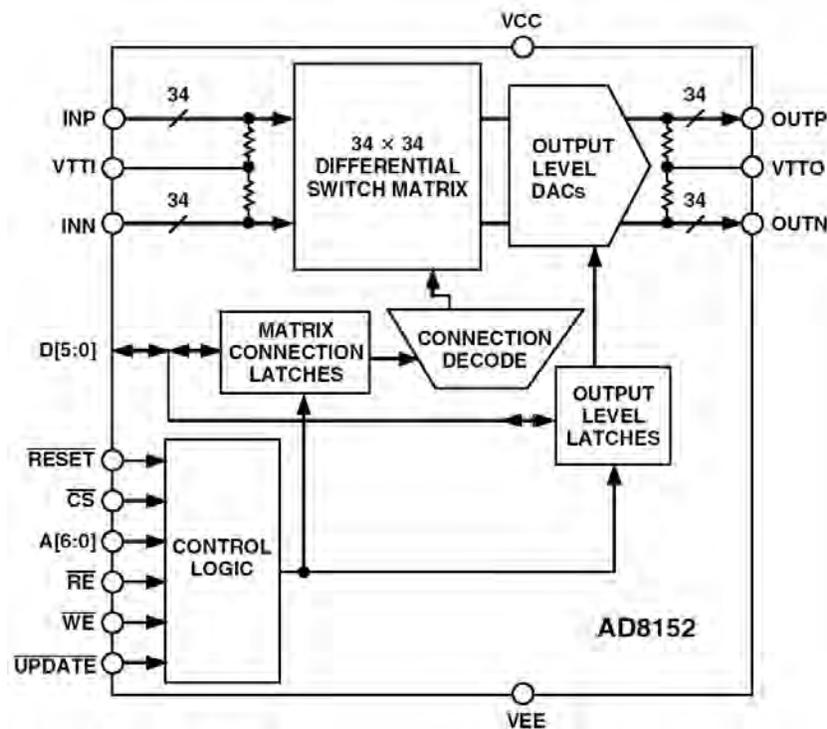


図 7.53: AD8152 3.2 Gbps 非同期
デジタル・クロスポイント・スイッチ

CMOS スイッチとマルチプレクサの寄生ラッチアップ

マルチプレクサはデータ・アキュジション・システムのフロントエンドでよく使用されるため、その入力は一般に遠くから到達します。そのため、しばしば過電圧状態に遭遇します。この問題は 11 章で詳しくとりあげますが、CMOS デバイスとの関連で、この問題の理解は特に重要です。ここでの説明はマルチプレクサを中心としますが、ほぼすべてのタイプの CMOS 製品に密接に関係します。

大部分の CMOS アナログ・スイッチは、ジャンクション・アイソレーション CMOS プロセスで製造されています。1 個のスイッチ・セルの断面図を図 7.54 に示します。アナログ・スイッチ端子の電圧が V_{DD} より正側、または V_{SS} より負側になると、寄生 SCR (シリコン制御整流子) ラッチアップが発生することがあります。入力電圧が存在する状態でのパワー・オンのようなトランジェント状態であっても、寄生ラッチアップが引き起こされることがあります。導通電流が大きすぎると (数百 mA 以上)、スイッチが損傷を受けることがあります。

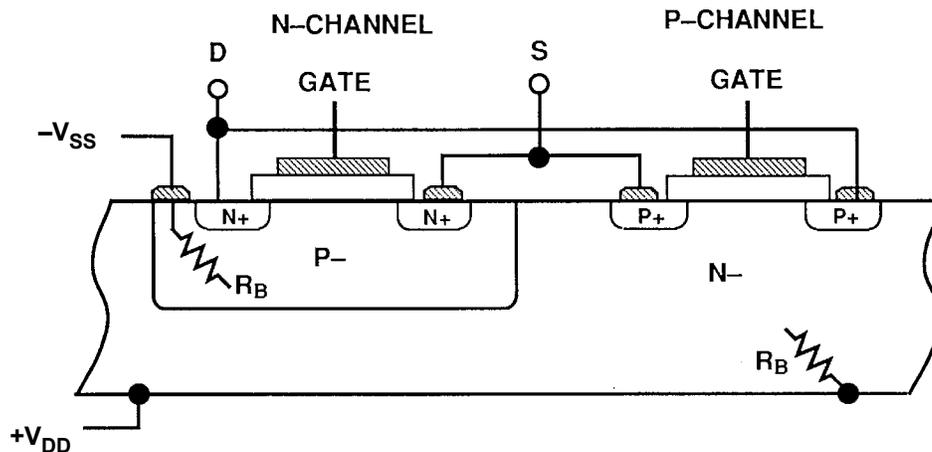


図 7.54: ジャンクション・アイソレーション CMOS スイッチの断面図

寄生 SCR メカニズムを図 7.55 に示します。スイッチのいずれかの端子 (ソースまたはドレイン) が V_{DD} をダイオード 1 個分の電圧降下だけ上回ったとき、または V_{SS} をダイオード 1 個分の電圧降下だけ下回ったときに SCR 動作が起きます。前者のケースでは、 V_{DD} 端子が SCR ゲート入力になり、SCR 動作をトリガする電流を供給します。電圧が V_{SS} より負側になるケースでは、 V_{SS} 端子が SCR ゲート入力になり、ゲート電流を供給します。いずれのケースでも、大きな電流が電源間に流れます。電流の大きさは、2 個のトランジスタのコレクタ抵抗 (かなり小さいことがあります) に依存します。

一般に、ラッチアップ状態を回避するためには、CMOS デバイスの入力を正電源より上 0.3 V を上回らないようにするか、または負電源より下 0.3 V を下回らないようにする必要があります。この制約は電源がオフ ($V_{DD} = V_{SS} = 0$ V) の場合にも当てはまるので、入力に信号が存在する状態で電源がデバイスに供給されると、デバイスにラッチアップが生じる可能性があることに注意してください。CMOS デバイスのメーカーは、この制約をデータ・シートの絶対最大定格の表に必ず記載しています。さらに、過電圧状態の入力電流は、デバイスに応じて 5 mA ~ 30 mA に制限する必要があります。

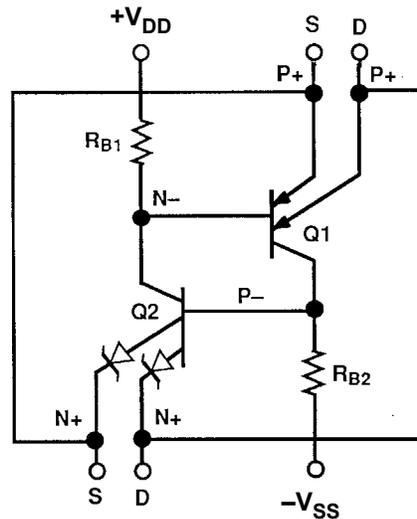
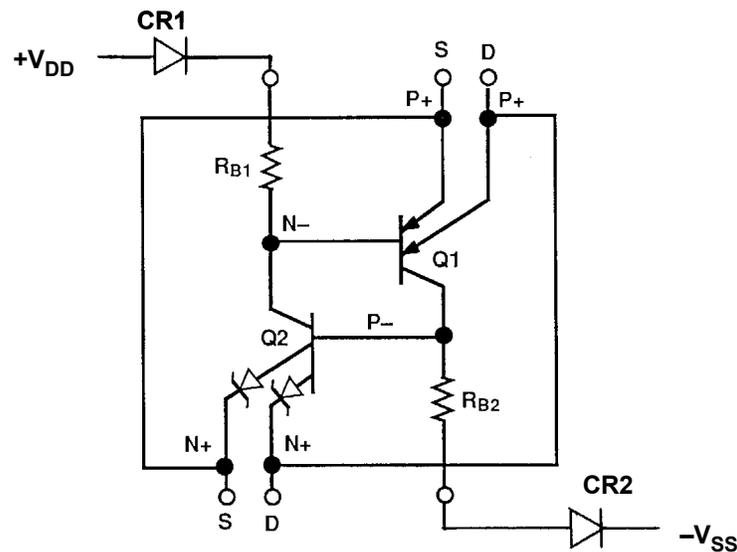


図 7.55: 寄生 SCR ラッチを示す CMOS スイッチのバイポーラ・トランジスタによる等価回路

このタイプの SCR ラッチアップを防止するため、直列ダイオードを V_{DD} 端子と V_{SS} 端子に挿入することができます（図 7.56 参照）。これらのダイオードが SCR ゲート電流を阻止します。寄生トランジスタ Q1 と Q2 のベータは通常小さいため（通常 10 以下）、SCR をトリガするためには比較的大きなゲート電流が必要です。ダイオードが逆方向ゲート電流を制限するので、SCR はトリガされません。



Diodes CR1 and CR2 block base current drive to Q1 and Q2 in the event of overvoltage at S or D.

図 7.56: CMOS スイッチに対するダイオード保護方式

ダイオード保護を使用すると、スイッチのアナログ電圧範囲が各電源で V_{BE} 電圧降下 1 個分だけ狭くなるので、低い電源電圧を使用する場合には不便なことがあります。

前述のように、電流を安全なレベルに（一般に 5 mA ~ 30 mA を下回るように）制限する直列抵抗を挿入して、CMOS スイッチとマルチプレクサを過電流からも保護する必要があります（図 7.57 参照）。 R_{LOAD} と R_{LIMIT} で抵抗減衰器が形成されるため、スイッチが比較的高いインピーダンス負荷を駆動する場合にのみこの方法が機能します。

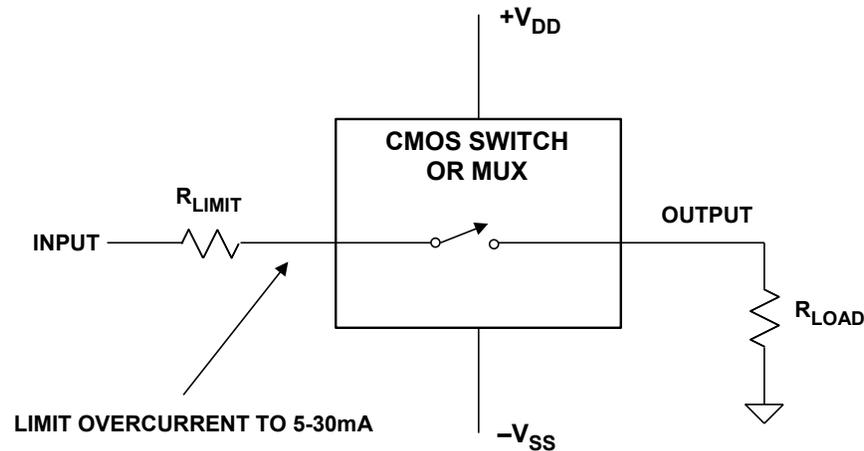


図 7.57: 外付け抵抗を使った過電流保護

入力保護の一般的な方法を図 7.58 に示します。ここでは、ショットキー・ダイオードが入力端子から各電源電圧へ接続されています。ダイオードは、入力が効果的に電源電圧を 0.3 V ~ 0.4 V 以上超えないようにして、ラッチアップ状態を防ぎます。さらに、入力電圧が電源電圧を超える場合、入力電流は外付けダイオードを経由してデバイスの代わりに電源へ流れます。ショットキー・ダイオードは容易に 50 mA ~ 100 mA の過渡電流を処理できるため、 R_{LIMIT} 抵抗を非常に小さくできます。ショットキー・ダイオードにはある程度の容量とリーク電流があることに注意してください。

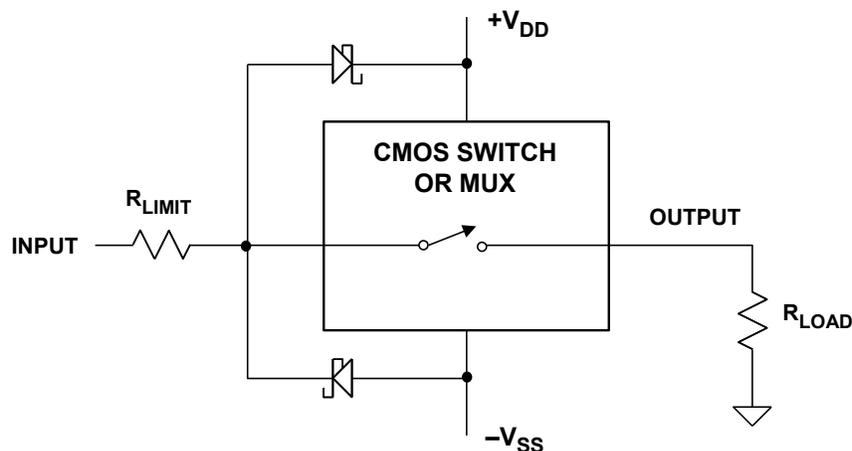


図 7.58: 外付けショットキー・ダイオードを使った入力保護

大部分の CMOS デバイスは入力から各電源へ接続された ESD 保護ダイオードを内蔵しているため、デバイスはラッチアップを起こしにくくなっていますが、内蔵ダイオードは 0.6 V で導通を開始し、さらに電流処理能力が制限されているので、外付けショットキー・ダイオードを接続すると、保護レベルが上がります。

ラッチアップ保護は過電流保護を提供しないこと（この逆も真）に注意してください。両故障状態がシステムに生じるおそれがある場合には、保護ダイオードと抵抗の両方を使用する必要があります。

アナログ・デバイスでは、トレンチ分離技術を使って LC²MOS アナログ・スイッチを製造しています。この製造プロセスは、デバイスのラッチアップ感受性と接合容量を小さくし、スイッチング時間とリーク電流を大きくし、アナログ電圧範囲を電源電圧まで広げます。

図 7.59 にトレンチ分離型 CMOS 構造の断面図を示します。埋め込み酸化層と側壁によりサブストレートが各トランジスタ接合から完全に分離されています。このため、逆バイアスされた PN 接合が形成されません。したがって、帯域を狭める容量と SCR ラッチアップの可能性は大幅に小さくなっています。

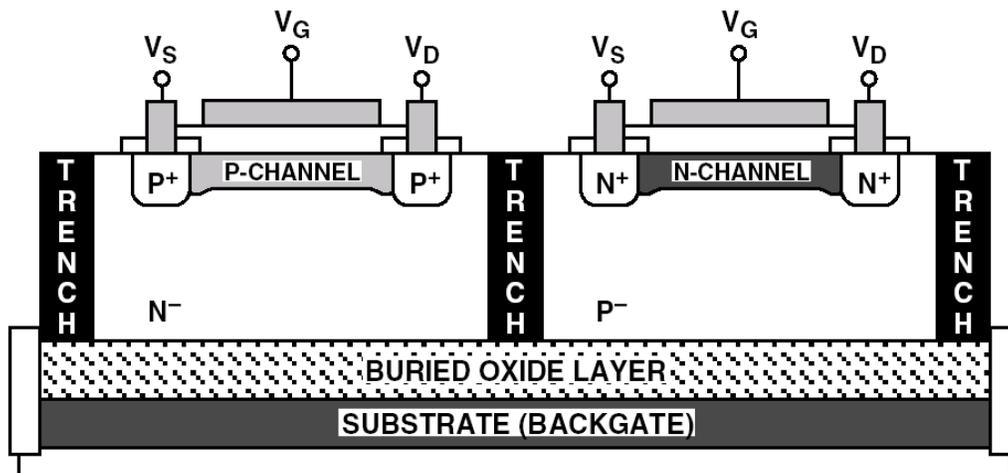


図 7.59: トレンチ分離 L²CMOS 構造

ADG508F、ADG509F、ADG528F、ADG438F、ADG439F は、±15 V トレンチ分離型 L²CMOS マルチプレクサであり、-40 V ~ +55 V の入力および出力の過電圧に対して故障保護機能を提供します。これらのデバイスでは、信号パス内で N チャンネル、P チャンネル、N チャンネルと続く 3 個の MOSFET の直列構造を使用しています。さらに、電源がオフになると、信号は高インピーダンスになります。この構造は高レベルのラッチアップ保護と過電圧保護を提供します。ただし、代価として R_{ON} (~300 Ω) が大きくなり、信号レベルによる R_{ON} の変動が大きくなります。この保護方法の詳細については、各製品のデータ・シートを参照してください。

7.3: サンプル&ホールド回路

概要と歴史

サンプル & ホールド・アンプ (SHA) は、大部分のデータ・アキュジション・システムの重要部分です。アナログ信号をキャプチャし、ある動作（最も一般的なのは A/D 変換）の間それを保持します。関係する回路の要求は厳しく、コンデンサやプリント回路ボードのような一般的な部品の予期しない特性により、SHA の性能が低下することがあります。

SHA の機能は今日、現在製造されている ADC の大半を占めるサンプリング ADC の一部として一体化されていますが、その動作を支配する基本概念の理解は ADC のダイナミック性能を理解するうえで重要です。

サンプル & ホールドがサンプル（トラック）モードのとき、出力は小さい電圧オフセットで入力に追従します。サンプル・モードの間は出力が入力に正確に追従しないで、出力がホールド期間でのみ正確な SHA が実際に存在します (AD684、AD781、AD783 など)。これらについてはここでは検討しません。厳密に言えば、優れたトラッキング性能を持つサンプル & ホールドがトラック・アンド・ホールド回路と呼ばれるべきですが、実際にはこの用語は両方に使用されています。

SHA の最も一般的なアプリケーションは、ADC への入力を変換中一定値に維持することです。すべてではありませんが多くのタイプの ADC では、変換プロセスが阻害されないようにするため、変換中に入力が 1 LSB を超えて変化しないようにします。このため、このような ADC には非常に低い入力周波数を制限するか、または SHA と組み合わせて ADC を使用して各変換中に入力を保持する必要があります。6 章の逐次比較型 ADC のセクションを参照してください。

高速相補バイポーラ・プロセスや最新の CMOS プロセスなどの新しい製造プロセス開発により、SHA 機能の一体化が可能になりました。実際、サンプリング ADC の普及が非常に進んだため、今では (2006 年) 外付け SHA を必要とすることはまれです。

サンプリング ADC の明らかな利点は、小型サイズ、低価格、少ない外付け部品数ですが、それらはさておき、DC と AC の全体性能がフルに規定されていることと、ディスクリートの ADC とディスクリートの SHA を組み合わせることに関して、仕様やインターフェースの問題、またはタイミングの問題がないことを確認するのに設計者が時間を割く必要がないことも利点です。これは、SFDR や SNR のようなダイナミック仕様を検討する際に特に重要です。

SHA の最大の用途は ADC と組み合わせて使用することですが、DAC のグリッチ除去器、ピーク検出器、アナログ遅延回路、同時サンプリング・システム、データ分配システムなどでも使われることがあります。

SHA の基本動作

対象とする回路の詳細や SHA のタイプには関係なく、このようなすべてのデバイスには 4 つの主要な構成要素があります。入力アンプ、エネルギー保存デバイス（コンデンサ）、出力バッファ、およびスイッチング回路は、図 7.60 の代表的な構成に示されているように、すべての SHA に共通です。

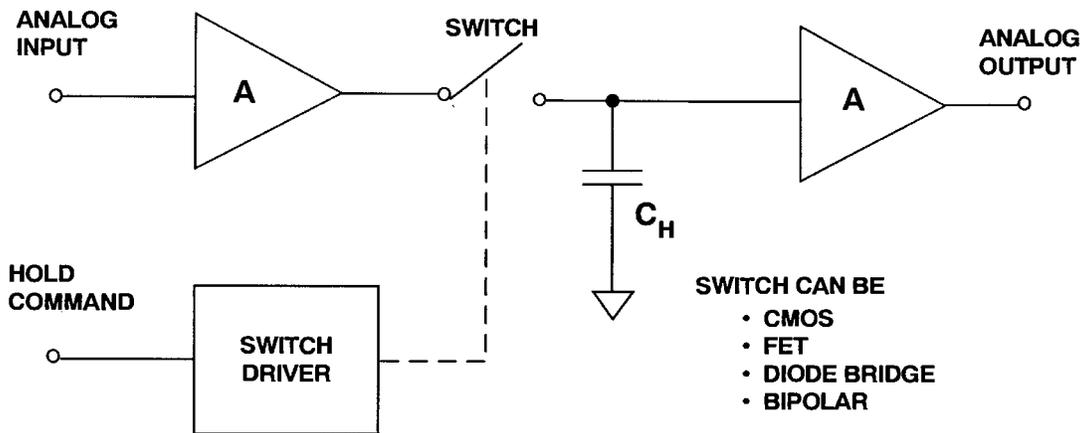


図 7.60: サンプル & ホールドの基本回路

SHA の中心であるエネルギー保存デバイスは、ほとんどの場合コンデンサです。入力アンプは、信号源に対して高インピーダンスを与え、ホールド・コンデンサを充電する電流ゲインを与えて、入力をバッファします。トラック・モードでは、ホールド・コンデンサの電圧が入力信号に追従（すなわちトラック）します（ある程度の遅延と帯域幅制限が伴います）。ホールド・モードでは、スイッチが開いて、コンデンサが入力バッファから切り離される前の電圧を維持します。出力バッファはホールド・コンデンサに対して高インピーダンスを与え、保持されている電圧が早めに放電しないようにします。スイッチング回路とそのドライバは、SHA がトラックとホールドの間で交互に切り替えられるメカニズムを構成します。

基本 SHA 動作を記述する仕様として、トラック・モード、トラックからホールドへの遷移、ホールド・モード、ホールドからトラックへの遷移の 4 つのグループの仕様があります。これらの仕様を図 7.61 にまとめます。幾つかの SHA 誤差源を図 7.62 に図示します。4 つの各モードは DC 性能と AC 性能が関係するため、SHA の仕様を正しく規定し、システム内の動作を理解することは簡単ではありません。

SAMPLE MODE	SAMPLE-TO-HOLD TRANSITION	HOLD MODE	HOLD-TO-SAMPLE TRANSITION
STATIC: ◆ Offset ◆ Gain Error ◆ Nonlinearity	STATIC: ◆ Pedestal ◆ Pedestal Nonlinearity	STATIC: ◆ Droop ◆ Dielectric ◆ Absorption	
DYNAMIC: ◆ Settling Time ◆ Bandwidth ◆ Slew Rate ◆ Distortion ◆ Noise	DYNAMIC: ◆ Aperture Delay Time ◆ Aperture Jitter ◆ Switching Transient ◆ Settling Time	DYNAMIC: ◆ Feedthrough ◆ Distortion ◆ Noise	DYNAMIC: ◆ Acquisition Time ◆ Switching Transient

図 7.61: サンプル & ホールドの仕様

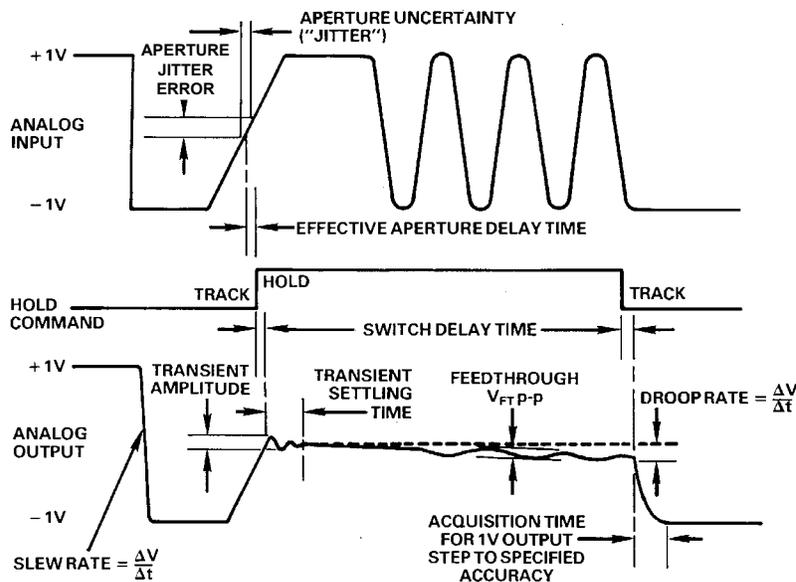


図 7.62: サンプル & ホールドの幾つかの誤差源

仕様

サンプリング・コンバータのサンプル & ホールド部分の仕様は分離して取り出すことはできないので、これらの影響はコンバータの全体仕様に含まれます。

トラック・モードの仕様

サンプル（すなわちトラック）モードの SHA は単なるアンプなので、このモードでのスタティック仕様とダイナミック仕様は、どのアンプとも似ています（トラック・モードで性能が低下する SHA は、一般にホールド・モードでのみ仕様が規定されます）。

主なトラック・モード仕様としては、オフセット、ゲイン、非直線性、帯域幅、スルーレート、セトリング・タイム、歪み、ノイズがあります。ただし、トラック・モードでの歪みとノイズは、多くの場合ホールド・モードの場合より重要ではありません。

トラック・モードからホールド・モードへの仕様

SHA がトラックからホールドへ切り替わるとき、非理想的な切り替えのために、一般に少量の電荷がホールド・コンデンサに放出されます。このためにホールド・モード DC オフセット電圧が発生し、ペDESTAL誤差と呼ばれます(図 7.63 参照)。SHA が ADC を駆動する場合、ペDESTAL誤差は DC オフセット電圧として現れ、これはシステムで補正を行うことで除去できます。ペDESTAL誤差が入力信号レベルの関数である場合、発生する非直線性はホールド・モードの歪みに影響します。

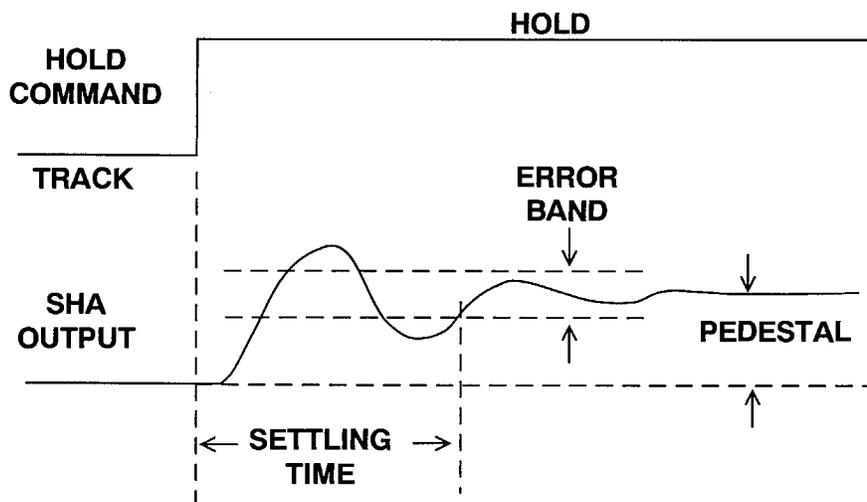


図 7.63: トラック・モードからホールド・モードへのペDESTAL誤差、過渡電圧誤差、セトリング・タイム誤差

ペDESTAL誤差はホールド・コンデンサの値を大きくして減少させることができますが、これに対応してアクイジション・タイムが増加し、帯域幅およびスルーレートが減少します。

トラックからホールドへ切り替えるとトランジェントが発生し、SHA の出力が規定の誤差範囲内に収まるのに要する時間は、ホールド・モード・セトリング・タイムと呼ばれます。スイッチング過渡電圧のピーク振幅も規定されることがあります。

最も誤解され、誤用される SHA の仕様は、おそらくアパーチャという用語を含む仕様です。SHA の最も基本的なダイナミック特性は、ホールド・コンデンサを入力バッファ・アンプから迅速に切り離す能力です。この動作に必要な短い(しかしゼロではない)時間はアパーチャ時間と呼ばれます。SHA 内部のタイミングに関係する種々の数値を図 7.64 に示します。

この期間の終わりに保持される実際の電圧値は、入力信号と、スイッチング動作自体から発生する誤差の両方の関数です。

任意のスロープの入力信号にホールド・コマンドを与えたとき何が発生するかを図 7.65 に示します（簡単のため、サンプルからホールドへのペDESTALとスイッチング・トランジェントは無視してあります）。最終的に保持される値は、入力信号の遅延バージョンであり、スイッチのアーチャ時間にわたって平均したものです（図 7.65 参照）。1次モデルでは、ホールド・コンデンサ電圧の最終値は、スイッチが低インピーダンスから高インピーダンスへ変化する期間 (t_a) にスイッチに与えられた信号の平均値にほぼ等しいと仮定しています。

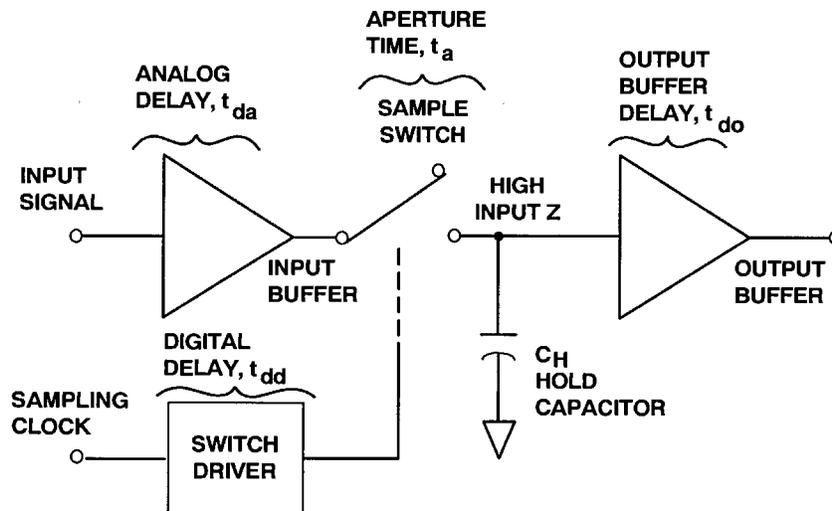


図 7.64: 内部タイミングを示す SHA 回路

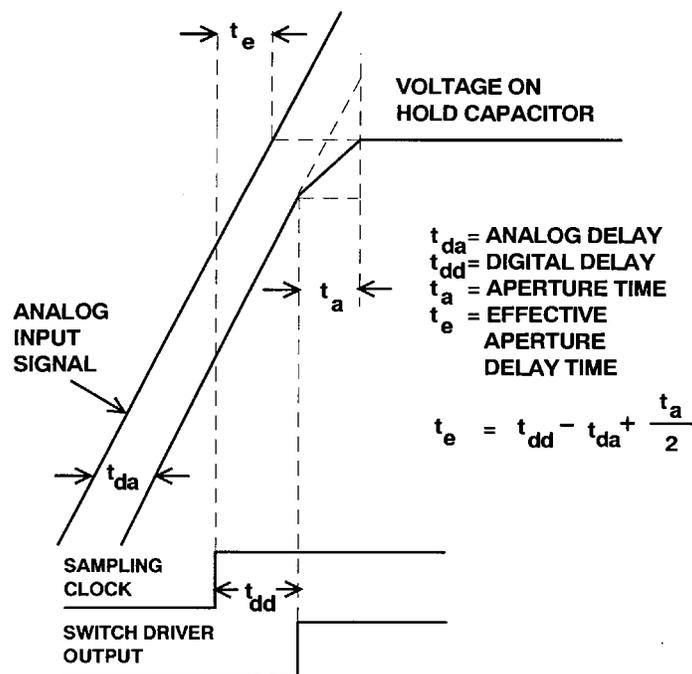


図 7.65: SHA の波形

このモデルは、スイッチが開くために要する有限な時間 (t_a) は、SHA を駆動するサンプリング・クロックに小さい遅延を導入することと等価であることを示しています。この遅延は一定であり、正值または負値が可能です。この遅延は、**実効アパーチャ遅延時間**、**アパーチャ遅延時間**、または単に**アパーチャ遅延** (t_e) と呼ばれ、フロントエンド・バッファのアナログ伝搬遅延 (t_{da}) とスイッチのデジタル遅延 (t_{dd}) との間の時間差にアパーチャ時間の $1/2$ ($t_a/2$) を加算した値として定義されます。実効アパーチャ遅延時間は通常正值ですが、アパーチャ時間の $1/2$ ($t_a/2$) とスイッチ・デジタル遅延 (t_{dd}) との和が入力バッファ (t_{da}) の伝搬遅延より小さい場合、負値になることもあります。したがって、入力信号を実際にサンプルするタイミングは、アパーチャ遅延仕様によりサンプリング・クロック・エッジを基準にして決定されます。

アパーチャ遅延時間は、バイポーラ正弦波信号を SHA に入力し、ホールド・タイム中に SHA 出力がゼロになるように同期サンプリング・クロック遅延を調整して、測定することができます。入力サンプリング・クロック・エッジと入力正弦波の実際のゼロ交差との間の相対遅延がアパーチャ遅延時間です (図 7.66 参照)。

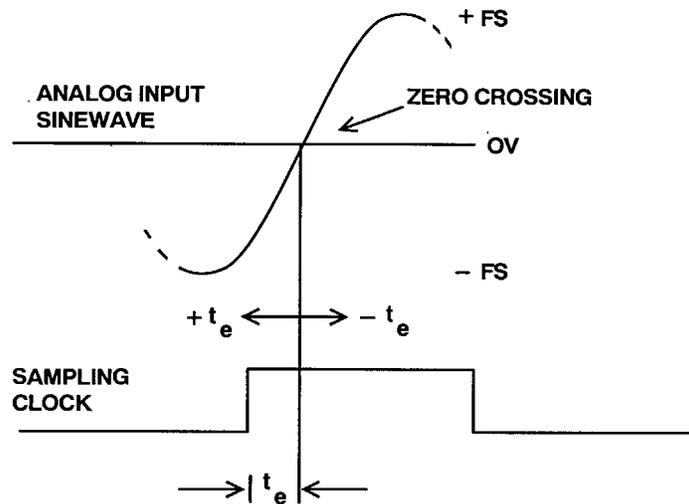


図 7.66: 実効アパーチャ遅延時間

アパーチャ遅延により誤差は生じませんが、(符号に応じて) サンプリング・クロック入力またはアナログ入力 (の固定遅延のように機能します。サンプルとサンプルの間でアパーチャ遅延に変動がある場合 (**アパーチャ・ジッタ**)、それに対応する電圧誤差が発生します (図 7.67 参照)。スイッチが開く瞬間のこのサンプルとサンプルの間の変動は、**アパーチャ不確定性**、または**アパーチャ・ジッタ**と呼ばれ、通常、ピコ秒 rms で表されます。対応する出力誤差の大きさは、アナログ入力の変化率に比例します。与えられたアパーチャ・ジッタ値に対して、入力の dv/dt が大きくなると、アパーチャ・ジッタ誤差が大きくなります。

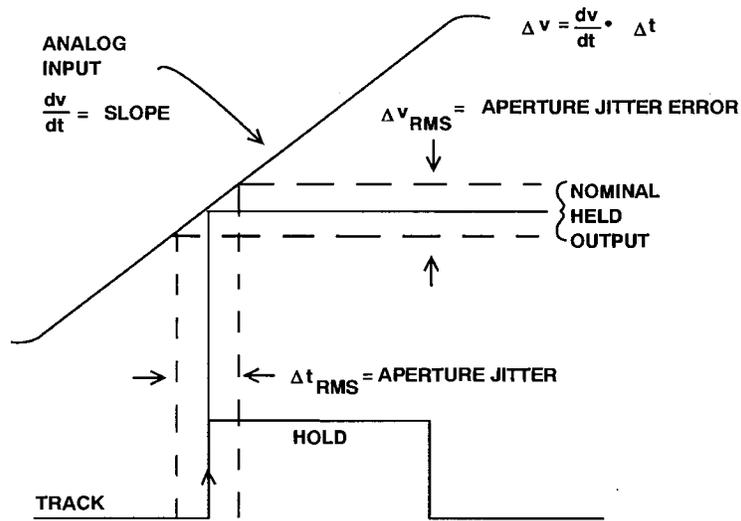


図 7.67: アパーチャまたはサンプリング・クロック・ジッタの SHA 出力への影響

サンプル・データ・システムでの総合サンプリング・クロック・ジッタの信号対ノイズ比 (SNR) への影響を図 7.68 に示します。総合 rms ジッタは多くの成分から構成されていますが、実際の SHA アパーチャ・ジッタは多くの場合それらの中で最小です。

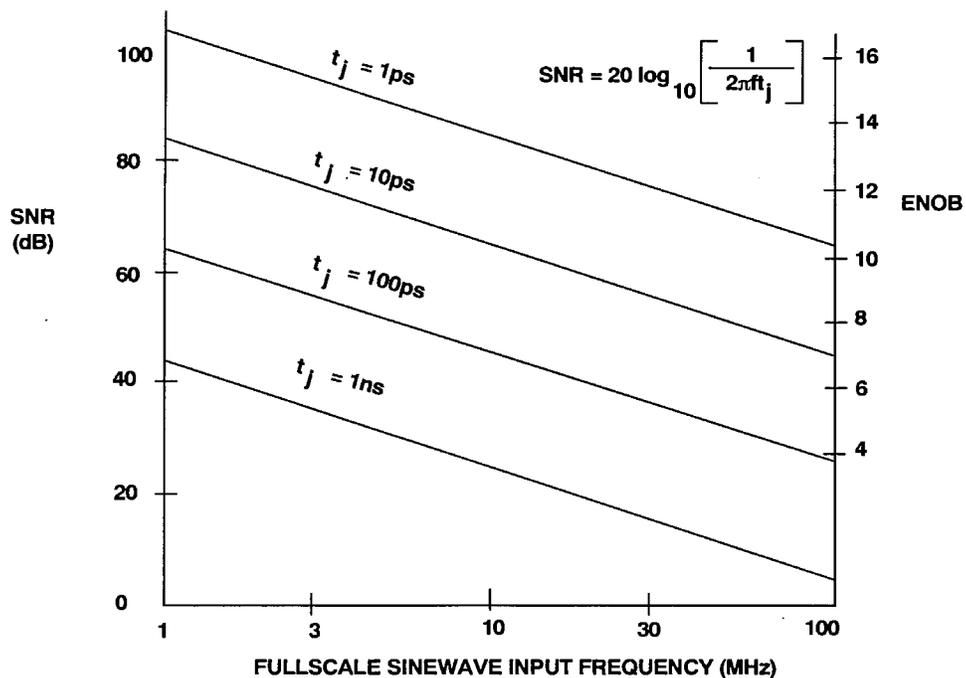


図 7.68: サンプリング・クロック・ジッタの SNR への影響

ホールド・モードの仕様

ホールド・モード時に、ホールド・コンデンサ、スイッチ、および出力アンプの不完全性に起因する誤差が生じます。リーク電流がホールド・コンデンサに流入または流出すると、ゆっくり充電または放電するため、電圧が変化します。この影響は SHA 出力でのドループと呼ばれ、 $V/\mu s$ で表されます。ドループは、外付けコンデンサを使用する場合の汚染された PC ボードによるリーク、またはコンデンサのリークにより発生することがありますが、半導体スイッチのリーク電流と出力バッファ・アンプのバイアス電流により最も多く発生します。ドループの許容値は、SHA が駆動している ADC の変換時間中に SHA 出力が $\frac{1}{2}$ LSB を超えて変化しない値です。ただし、この値は ADC のアーキテクチャに大きく依存します。逆バイアスされた接合 (CMOS スイッチまたは FET アンプのゲート) でのリーク電流によりドループが発生する場合、チップ温度が $10\text{ }^\circ\text{C}$ 増加するごとにドループは 2 倍になります。これは、 $+25\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ でドループが千倍に増加することを意味します。ホールド・コンデンサ値を大きくしてドループを小さくできますが、これによりアキュジション・タイムが大きくなり、トラック・モードの帯域幅が狭くなります。ADC に内蔵されている現在の IC サンプル & ホールド回路では、ドループの影響を小さくするためによく差動技術が使われます。

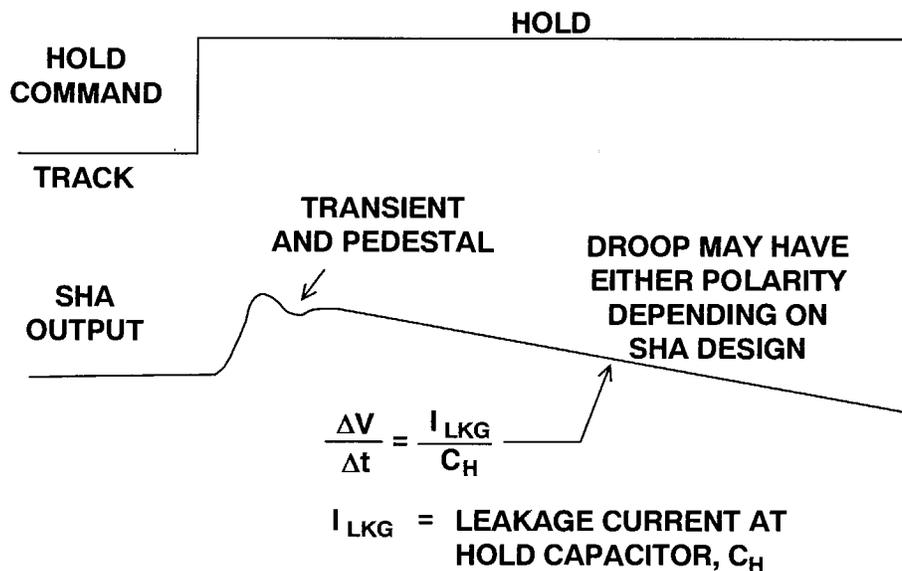


図 7.69: ホールド・モードでのドループ

SHA のホールド・コンデンサのリークは小さくしなければなりません、同じように重要なもう 1 つの特性は、低い誘電吸収です。コンデンサを充電した後放電し、その後オープンのままにすると、図 7.70 に示すようにその電荷が少し回復されます。この現象は誘電吸収として知られ、SHA の性能を大幅に低下させることがあります。これは、新しいサンプルが前のサンプルの残りで汚染されるためで、数十 mV または数百 mV のランダム誤差を生ずることがあります。

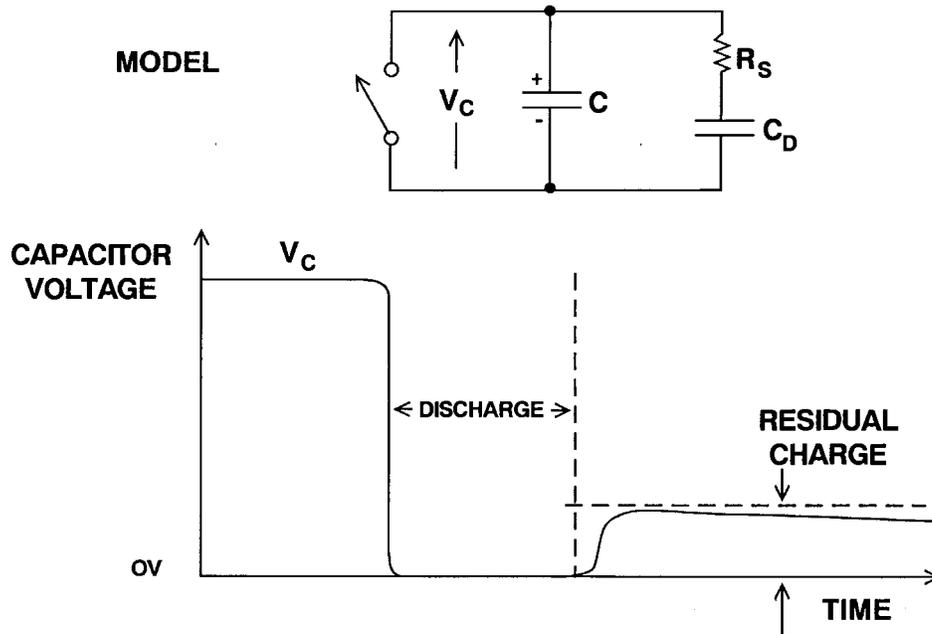


図 7.70: 誘電吸収

ホールドからトラックへの遷移の仕様

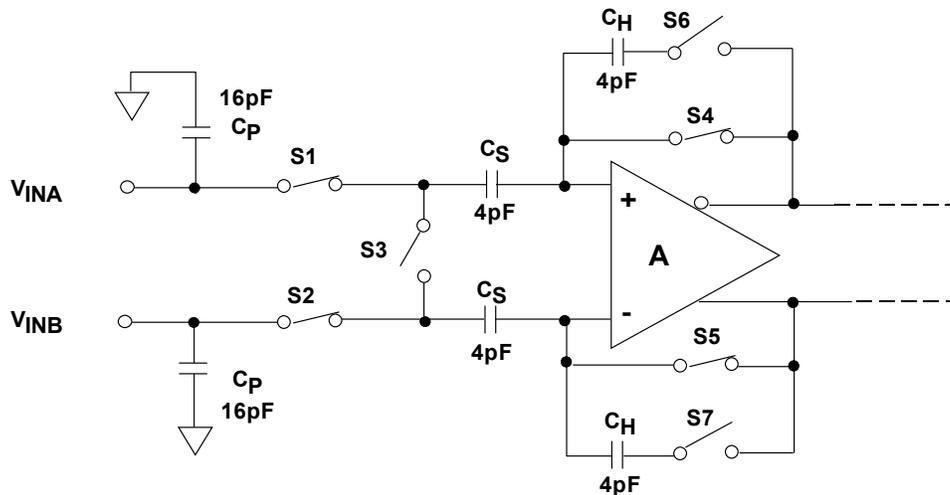
SHA がホールドからトラックへ切り替わるとき、SHA は入力信号を再取得する必要があります（入力信号はホールド・モードの間にフルスケール変化していることがあります）。アキュイジション・タイムは、SHA がホールドからトラックへ切り替わるときに、所定の精度まで SHA が信号を再取得するために要する時間です。この時間は、サンプリング・クロック・エッジの 50% ポイントから、SHA の出力電圧が規定誤差範囲に収まるまでの時間です（通常 0.1% と 0.01% の時間が規定されます）。SHA によってはアキュイジション・タイムをホールド・コンデンサ電圧に対して規定し、出力バッファの遅延とセトリング・タイムを無視します。ホールド・コンデンサのアキュイジション・タイム仕様は、高速アプリケーションに適用されます。この場合、最大限の時間をホールド・モードに割り当てる必要があります。もちろん、出力バッファのセトリング・タイムは、ホールド・タイムより大幅に小さくしなければなりません。

アキュイジション・タイムは、最新のデジタル・サンプリング・オシロスコープ（DSO）または大きな過駆動に鈍感なデジタル蛍光オシロスコープ（DPO）を使って直接測定することができます。

IC ADC が内蔵している SHA 回路

CMOS ADC は消費電力が低く低価格であるため、広く採用されています。差動サンプル & ホールドを使用する代表的な CMOS ADC の等価入力回路を図 7.71 に示します。トラック・モードのスイッチが示されていますが、これらはサンプリング周波数で開閉することに注意してください。16 pF のコンデンサはスイッチ S1 と S2 の実効容量と浮遊入力容量の和を表します。コンデンサ C_S (4 pF) はサンプリング・コンデンサで、コンデンサ C_H はホールド・コンデンサです。入力回路は完全に差動ですが、この ADC 構造はシングルエンドまたは差動のどちらでも駆動することができます。

ただし、一般に、最適性能は差動トランスまたは差動オペアンプを使用して駆動したときに得られます。



SWITCHES SHOWN IN TRACK MODE

図 7.71: 代表的なスイッチド・キャパシタ
CMOS サンプル & ホールドの簡略化した入力回路

トラック・モードで、差動入力電圧がコンデンサ C_S に加えられます。回路がホールド・モードになると、サンプリング・コンデンサの両端の電圧がホールド・コンデンサ C_H へ転送され、アンプ A でバッファされます（各スイッチは適切なサンプリング・クロック位相で制御されます）。SHA がトラック・モードへ戻ると、入力ソースは C_S に保存された電圧を新しい入力電圧へ充電または放電する必要があります。 C_S のこの充放電動作は、ある時間にわたり、与えられたサンプリング周波数 f_s で平均されるので、入力インピーダンスはほど良い抵抗成分を持つように見えますが、この動作をサンプリング周期 ($1/f_s$) 内で解析すると、入力インピーダンスはダイナミックであるため、入力駆動源の注意事項に従う必要があります。

入力駆動源から C_H に得られる平均電荷を計算すると、入力インピーダンスの抵抗成分を計算することができます。スイッチ S1 と S2 が開く前に C_S を入力電圧までフル充電できるとすると、入力へ流入する平均電流は、入力間に接続された $1/(C_S f_s)$ に等しい抵抗に流れる電流と同じになることが示されます。 C_S はわずか数 pF なので、この抵抗成分は一般に $f_s = 10$ MSPS に対して数 k Ω より大きくなります。

1995 年に発表された AD9042 12 ビット、41-MSPS ADC で使用された入力 SHA の簡略化した回路を図 7.72 に示します（参考資料 7）。AD9042 は、高速相補バイポーラ・プロセス XFCB で製造されています。この回路はフル差動動作に並列な 2 個の独立した SHA で構成されています。図には回路の半分のみ表示してあります。フル差動動作により、ドロープ・レートに起因する誤差が小さくなり、さらに 2 次歪みも小さくなります。トラック・モードでは、トランジスタ Q1 と Q2 がユニティ・ゲインのバッファ機能を提供します。回路がホールド・モードになると、Q2 のベース電圧が、ダイオード D1 でクランプされるまで負に駆動されます。内蔵ホールド・コンデンサ C_H は公称 6 pF です。

Q3 と C_F の組み合わせで出力電流をブートストラップして、Q2 の V_{BE} の変動を小さくします。これにより、3 次信号歪みが小さくなります。トラック・モードの THD は、一般に 20 MHz で -93 dB です。時間領域では、12 ビット精度でのフルスケール・アクイジション・タイムは 8 ns です。ホールド・モードでは、Q3 の電圧ブートストラップ動作、および $A=1$ のバッファと Q2 の低フィードスルー寄生要素の組み合わせにより、信号依存のペDESTAL 変動が小さくなります。ホールド・モード・セトリング・タイムは、12 ビット精度で 5 ns です。クロック・レートが 50 MSPS で、入力信号が 20 MHz のとき、ホールド・モードの THD は -90 dB です。

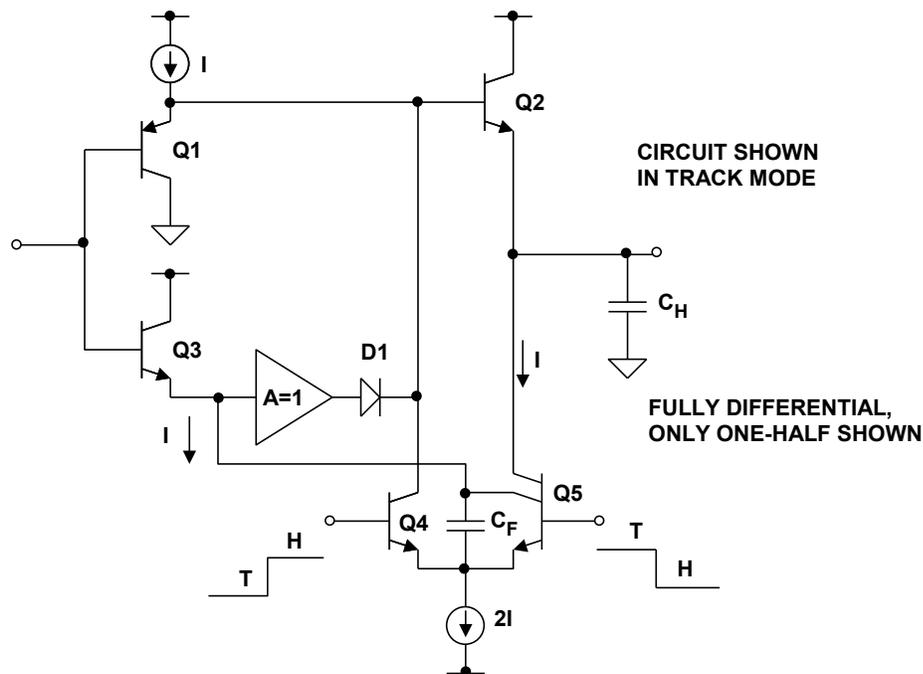


図 7.72: 1995 年発表の AD9042 12 ビット 41 MSPS ADC で使用された SHA

最近発表された AD6645 14 ビット 105 MSPS ADC で使用された差動 SHA の半分の簡略化した回路図を図 7.73 に示します (SHA を内蔵する ADC の完全な説明が参考資料 9 に記載されています)。トラック・モードでは、Q1、Q2、Q3、Q4 が相補エミッタ・フォロワ・バッファを構成し、これがホールド・コンデンサ C_H を駆動します。ホールド・モードでは、Q3 と Q4 のベースの極性が反転し、低インピーダンスへクランプされます。これにより、Q1、Q2、Q3、Q4 がオフになり、入力信号とホールド・コンデンサの間がダブル・アイソレーションされます。前述のように、クランプ電圧が保持された出力電圧でブートストラップされるため、非直線性の影響が小さくなります。

トラック・モードの直線性は主に、 C_H を充電するときの Q3 と Q4 の V_{BE} 変動によって決定されます。ホールド・モードの直線性は、トラック・モードの直線性およびトラックからホールドへの遷移で生じる非直線性誤差に依存します。この非直線性誤差は、Q3 と Q4 のベース電圧のスイッチングの不均衡と、その結果 Q3 と Q4 がオフするときベース-エミッタ間接合を通るチャージ・インジェクションに生じる不均衡に起因します。

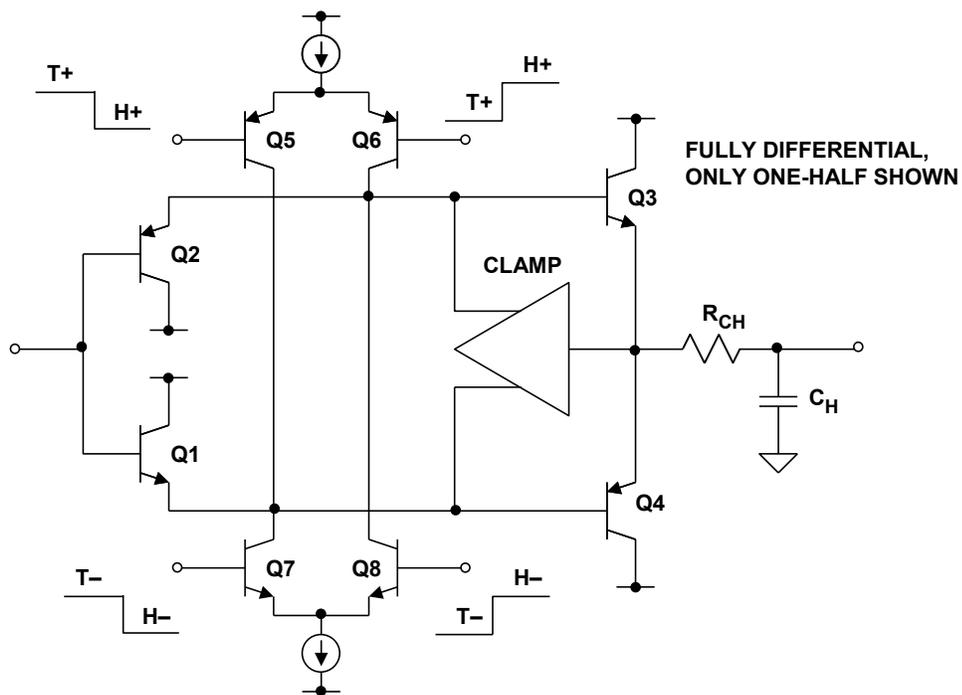


図 7.73: AD6645 14 ビット 105 MSPS ADC で使用された SHA

参考資料:

サンプル & ホールド回路

1. issued February 3, 1942. Also **French Patent 852,183** issued 1938, and **British Patent 538,860** issued 1939. *(The classic patents on PCM including descriptions of a 5-bit, 6-kSPS vacuum tube ADC and DAC) .*
2. L. A. Meacham and E. Peterson, "An Experimental Multichannel Pulse Code Modulation System of Toll Quality," **Bell System Technical Journal**, Vol 27, No. 1, January 1948, pp. 1-43. *(Describes the culmination of much work leading to this 24-channel experimental PCM system. In addition, the article describes a 50-kSPS vacuum tube sample-and-hold based on a pulse transformer driver) .*
3. J. R. Gray and S. C. Kitsopoulos, "A Precision Sample-and-Hold Circuit with Subnanosecond Switching," **IEEE Transactions on Circuit Theory**, CT11, September 1964, pp. 389-396. *(an excellent description of a solid-state transformer-driven diode bridge SHA, along with a detailed mathematical analysis of the circuit and associated errors) .*
4. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," **Bell System Technical Journal**, Vol. 44, pp. 1887-1940, Nov. 1965. *(summarizes experiments on ADCs based on the electron tube coder as well as a bit-per-stage Gray code 9-bit solid state ADC. The electron beam coder was 9-bits at 12MSPS, and represented the fastest of its type) .*
5. D. J. Kinniment, D. Aspinall, and D.B.G. Edwards, "High-Speed Analogue-Digital Converter," **IEE Proceedings**, Vol. 113, pp. 2061-2069, Dec. 1966. *(a 7-bit 9MSPS three-stage pipelined error corrected converter is described based on recirculating through a 3-bit stage three times. Tunnel (Esaki) diodes are used for the individual comparators. The article also shows a proposed faster pipelined 7-bit architecture using three individual 3-bit stages with error correction. The article also describes a fast bootstrapped transformer-driven diode-bridge sample-and-hold circuit) .*
6. O. A. Horna, "A 150 Mbps A/D and D/A Conversion System," **Comsat Technical Review**, Vol. 2, No. 1, pp. 39-72, 1972. *(a description of a subranging ADC including a detailed analysis of the sample-and-hold circuit) .*
7. Roy Gosser and Frank Murden, "A 12-bit 50 MSPS Two-Stage A/D Converter," **1995 ISSCC Digest of Technical Papers**, p. 278. *(a description of the AD9042 error corrected subranging ADC using MagAMP stages for the internal ADCs) .*
8. Carl Moreland, "An 8-bit 150 MSPS Serial ADC," **1995 ISSCC Digest of Technical Papers**, Vol. 38, p. 272. *(a description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter, including a discussion of the sample-and-hold circuit) .*
9. Carl Moreland, Frank Murden, Michael Elliott, Joe Young, Mike Hensley, and Russell Stop, "A 14-bit 100-Msample/s Subranging ADC," **IEEE Journal of Solid State Circuits**, Vol. 35, No. 12, December 2000, pp. 1791-1798. *(describes the architecture used in the 14-bit, 105MSPS AD6645 ADC and also the sample-and-hold circuit) .*

注意

7.4: クロックの生成回路と分配回路

高周波、高分解能システムの開発は重要な仕事です。どんな高速 A/D コンバータ（ADC）も、ユーザーが用意するサンプリング・クロックの品質に極めて敏感です。ADC はサンプリング・ミキサーと見なすことができるため、クロックのノイズ、歪み、タイミング・ジッタは ADC の出力で所望の信号に混入します。クロックの完全性の要件は、アナログ入力の周波数と分解能に応じて決まります。アナログ入力の周波数が高く、14 ビット以上の分解能のアプリケーションは最も厳しいものです。ADC の理論 SNR は、ADC の分解能とサンプリング・クロックのジッタで制限されます。ステップ・サイズと量子化誤差を無視できる無限分解能を持つ理想 ADC の有効 SNR は次式で近似できます。

$$\text{SNR} = 20 \times \log_{10} \left(\frac{1}{2\pi f t_j} \right) \quad \text{式 7-9}$$

ここで、 f はデジタル化される最高アナログ周波数、 t_j はサンプリング・クロックの rms ジッタです。必要とされるサンプリング・クロック・ジッタをアナログ周波数と有効ビット数（ENOB）の関数として図 XX に示します。

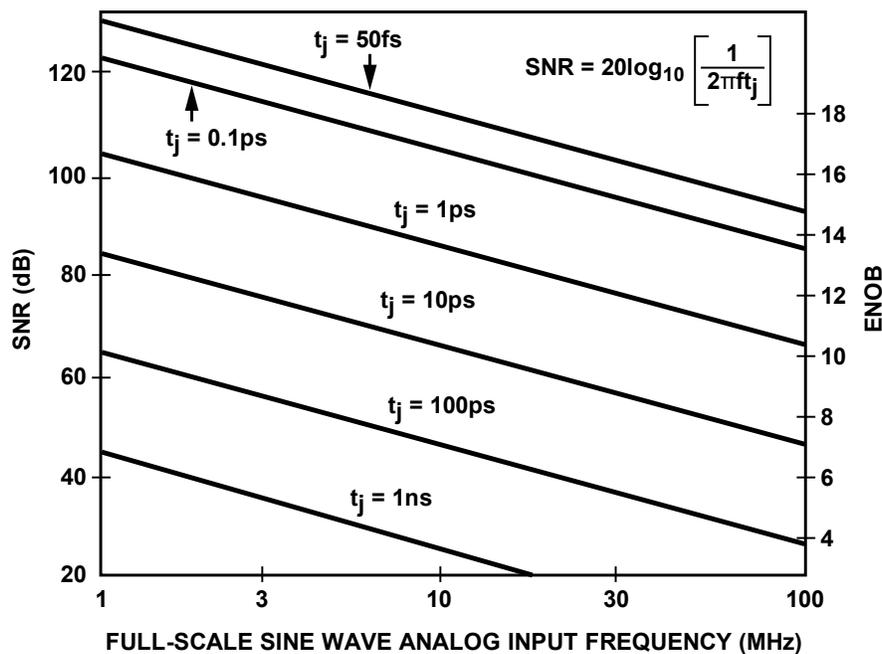


図 7.74: ENOB および SNR 対アナログ入力周波数

全体のシステム性能に対する寄与

IF サンプリグ・コンバータでは、クロックの純度は極めて重要です。ミキシング・プロセスの場合と同様に、入力信号はローカル発振器で逡倍されますが、この場合はサンプリグ・クロックで逡倍されます。時間領域での逡倍は、周波数領域での畳み込みなので、サンプル・クロックのスペクトルは、入力信号のスペクトルで畳み込まれます。アパーチャ不確定性は、クロックの広帯域ノイズと等価なので、サンプルされたスペクトルでも広帯域ノイズとして現れます。さらに、ADC はサンプリグ・システムなので、スペクトルは周期的で、サンプル・レートを中心に繰り返されます。

このため、この広帯域ノイズは、ADC のノイズ・フロアを持ち上げます。アパーチャ不確定性で制限される ADC の理論 SNR は、次式で求められます。

$$\text{SNR} = -20 \times \log_{10} \left[(2\pi f_{\text{ANALOG}} t_{\text{JITTER rms}}) \right] \tag{式 7-10}$$

201 MHz のアナログ入力と 0.7 ps rms のジッタに対して式 7-10 を計算すると、理論 SNR は 61 dB に制限されます。このため、非常に広いダイナミック・レンジと非常に高いアナログ入力周波数を必要とするシステムでは、ジッタが非常に小さいエンコード・ソースも必要になります。注意すれば、VCXO を使用する PLL はジッタを 1 ps rms より小さくできますが、0.1 ps rms より小さいジッタでは、前の章で説明されているように、専用の低ノイズ水晶発振器が必要です。代表的な TTL/CMOS ゲートのジッタは約 1 ps ~ 4 ps であることに注意してください。振幅を縮小させた低電圧 SiGe ECL ゲートは約 0.2 ps rms が可能です。

全体のシステム性能を検討する場合、さらに一般化した式を使用することができます。この式は前式を基にしていますが、熱ノイズと差動非直線性の影響を含んでいます。

$$\text{SNR} = -20 \log_{10} \left[\overbrace{(2\pi \times f_a \times t_j \text{ rms})^2}^{\text{SAMPLING CLOCK JITTER}} + \overbrace{\frac{2}{3} \left[\frac{1 + \epsilon}{2^N} \right]^2}^{\text{QUANTIZATION NOISE, DNL}} + \overbrace{\left[\frac{2 \times \sqrt{2} \times V_{\text{NOISE rms}}}{2^N} \right]^2}^{\text{EFFECTIVE INPUT NOISE}} \right]^{\frac{1}{2}} \tag{式 7-11}$$

ここで、

F_a = アナログ入力周波数

$T_{j \text{ rms}}$ = ADC と外部クロックのアパーチャ・ジッタ

ϵ = コンバータの平均 DNL (~0.4 LSB)

$V_{\text{NOISE rms}}$ = LSB で表した実効 ADC 入力ノイズ

N = ビット数

これはシンプルな式ですが、データ・コンバータに期待できるノイズ性能に関する多くの洞察を得られます。

クロック生成回路

アナログ・デバイゼスは、最高性能のデータ・コンバータの極めて厳しいクロック要件をサポートするために特に設計された専用クロック製品を設計しました。これらの最初の製品は AD9540 です。このデバイスは、柔軟な 200 MHz の位相周波数検出器とデジタル制御のチャージ・ポンプを内蔵する高性能 PLL 回路を特長にしています。このデバイスは、プログラマブルなスルーレートを持つ低ジッタの 655 MHz CML モード、PECL 準拠出力ドライバも提供します。最大定格 2.7 GHz の外付け VCO をサポートします。極めて微細に調整可能な分解能（ステップは 2.33 μ Hz 未満）は、このデバイスが提供するもう 1 つの特長です。情報は、デバイスへの書き込み速度が 25 Mb/s のシリアル I/O ポートを介して AD9540 へ書き込みます。AD9540 周波数分周器は、スペクトル拡散動作モードをサポートするように設定することもできます。

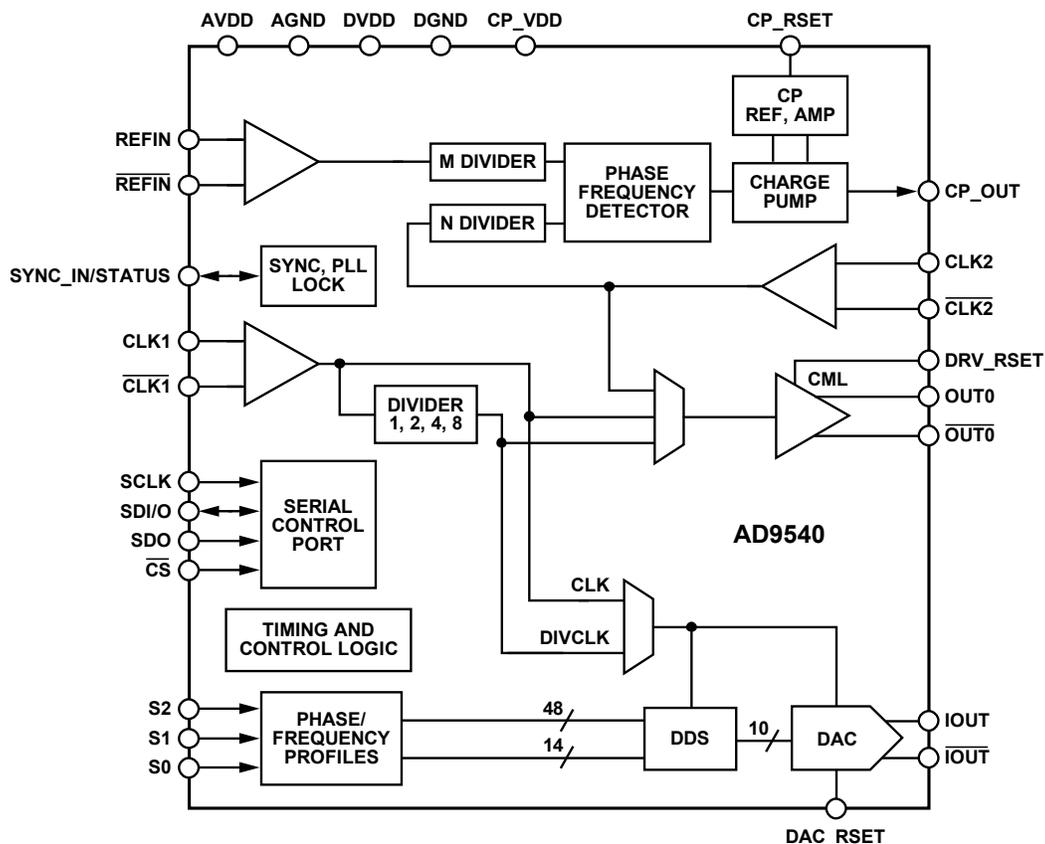


図 7.75: AD9540 のブロック図

AD9540 のブロック図を図 7.75 に示します。全体図には、必要とされる両クロックを発生するために必要なすべての部品ブロックが存在していることが示してあります。低ジッタのクロックを発生するには、ほとんど常に、ある種の位相ロック・ループ（PLL）回路を採用することが望まれます。周波数を安定させる他に、PLL 回路ノイズを大幅に削減することができます。これは、ループ・フィルタがトラッキング・バンドパス・フィルタとして機能するためです。ほとんどのクロック・アプリケーションでは単一の周波数が必要とされるので、アキュジション・タイムやチューニング範囲のようなパラメータは重要ではありません。

このため、これらの領域での性能は、ループのノイズ性能を向上させるために犠牲にすることができます。特に、中心周波数が所要クロック・レートに近い、非常に狭いレンジの VCO を選択することができます。チューニング範囲が狭くなると、VCO のゲイン係数 (K_v) が小さくなり、このために VCO 自体の位相ノイズが小さくなります。また、ループ・フィルタの帯域幅が設計者にとって問題になります。これは、ループ帯域幅とアキュイジション・タイムの間にトレードオフがあるためです。一般に、ループ帯域幅が広いほど、アキュイジション・タイムとループのロック時間が高速になりますが、リファレンスと位相周波数検出器自体からループへ混入するノイズが増えます。クロック・アプリケーションの場合、このトレードオフを使って、セトリング・タイムを犠牲にしてループ内のノイズを抑圧し、狭いループ帯域幅を実現することができます。

デジタル・クロックは、デバイスのダイレクト・デジタル・シンセサイザ (DDS) の部分で発生させることができる精確な周波数と調整可能な位相を必要とします。AD9540 の DDS は、48 ビットの周波数チューニング分解能 (400 MHz の最大クロック・レートに対して 1.42 Hz) と 14 ビットの位相調整 (0.022 度) を提供します。DDS 出力は再生した正弦波なので、2 つの外付け回路が必要です。まず、所要クロック・レートのバンドパス・フィルタで再生正弦波をフィルタする必要があります。これにより、出力スペクトルから大部分のサンプリング・アーチファクトを除去し、さらに DAC 出力信号の大部分の広帯域ノイズも除去します。次に、大部分のクロック回路で所要スループートを実現するため、クロック信号パスに外付けコンパレータを挿入する必要があります。この例で使用される優れた選択肢は ADCMP563 です。その結果得られた回路の簡略化したブロック図を図 7.76 に示します。入力 CLK1/CLK1 は CLK2/CLK2 に短絡されています。CML ドライバへは CLK1 からの非分周入力を入力するが、DDS へは分周された出力 ($622 \text{ MHz} \div 2 = 311 \text{ MHz}$) を入力するようにデバイスは設定されます。図は、PLL の REF 入力に水晶発振器を使うことを示しており、実際に 38 MHz の水晶を使っていることを示しています。2 つの出力クロックは、OUT0 (低ジッタ 622 MHz クロック) と OUT1 (位相設定可能な補助クロック) に示してあります。補助クロックのエッジ・スキュー (時間遅延) は、位相オフセットを DDS に書き込むことにより実現されます。これにより、コンパレータで相補入力が交差する時間の相対ポイントを変えます。

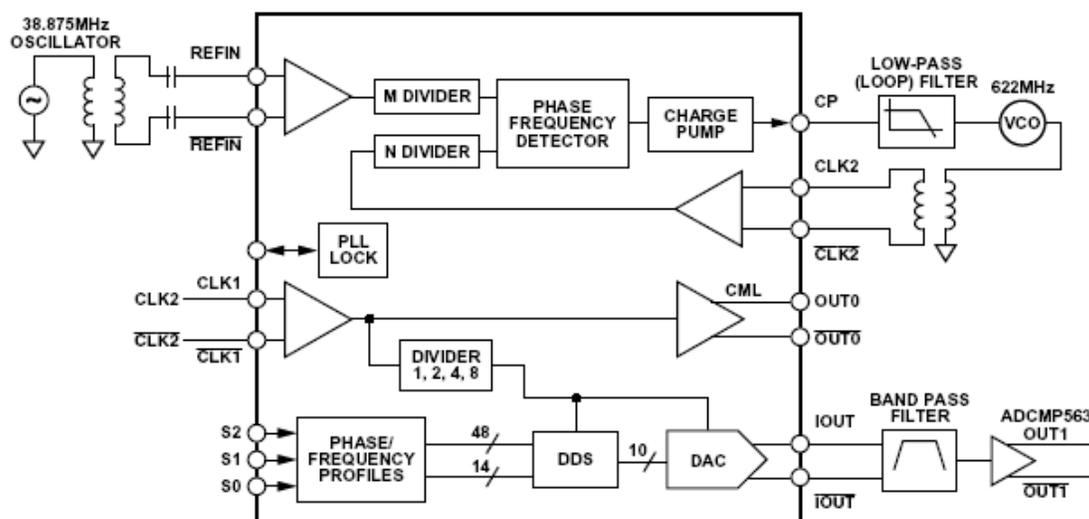


図 7.76: デュアル・クロック生成用に設定した AD9540

PLL 回路

AD9540 は、RF 分周器（R 分周）、48 ビット DDS コア、14 ビット・プログラマブル遅延調整、10 ビット DAC、位相周波数検出器、プログラマブル電流出力チャージ・ポンプを内蔵しています。これらのブロックを一体化すると、クロック合成に便利な多くの回路を形成することができます。

RF 分周器は、CLK1 入力ピンで最大 2.7 GHz の差動またはシングルエンドの信号を受け取ります。また、RF 分周器は DDS への SYSCLK 入力も供給します。DDS の動作は最大 400 MSPS なので、400 MHz より高い CLK1 信号は RF 分周器が処理する必要があります。RF 分周器には、値 1、2、4、または 8 を書き込むことができます。分周比はコントロール・レジスタに書き込まれます。分周器の出力は、内蔵 CML ドライバ入力に接続することができます。低い周波数の入力信号の場合、分周器を使って CML ドライバへの入力を分周し、さらに分周器の分周していない入力を DDS への SYSCLK 入力として使うことが可能です。また、この逆も可能です。すべての場合、DDS へのクロックが 400 MSPS を超えないようにします。

内蔵位相周波数検出器（PFD）には、REFIN（リファレンス入力）と CLK2（帰還入力または発振器入力）の 2 つの差動入力があります。これらの差動入力は、シングルエンド信号で駆動することができます。その場合、未使用入力は 100 pF のコンデンサを介してアナログ電源（AVDD）へ接続します。位相周波数検出器入力の最大速度は 200 MHz です。各入力にはバッファと最大 655 MHz で動作する分周器（REFIN の M 分周、CLK2 の N 分周）があります。信号が 200 MHz を超える場合、分周器を使用する必要があります。分周器は、コントロール・レジスタを使って設定し、1 ~ 16 の整数値を設定することができます。

REFIN 入力には、インライン発振器回路を使うこともできます。この回路を使うことは、周波数範囲が $20 \text{ MHz} \leq \text{REFIN} \leq 30 \text{ MHz}$ の水晶で REFIN 入力を駆動できることを意味します。

チャージ・ポンプは、位相周波数検出器で発生する誤差信号に対応して電流を出力します。出力電流は、CP_RSET ピンとグラウンドの間に抵抗（CP_RSET）を接続して設定します。

これはチャージ・ポンプのリファレンス出力電流を設定します。また、プログラマブルなスケーラによりこの基本値を 1 ~ 8 の整数で逡倍します。これは、コントロール・ファンクション・レジスタ 2 の CP 電流スケール・ビットで設定できます。

CML ドライバ

また、電流モード・ロジック（CML）ドライバも内蔵されています。この CML ドライバは、ジッタが非常に小さいクロック・エッジを発生します。CML ドライバの出力は、100 Ω 負荷で終端された場合、PECL レベルを駆動する電流出力です。ドライバの連続出力電流は、DRV_RSET ピンとグラウンドの間に抵抗を接続して設定します（7.2 mA の連続電流に対して公称 4.02 kΩ）。オプションの内蔵電流設定抵抗は、コントロール・レジスタのビットをセットするとイネーブルされます。立上がりエッジと立下がりエッジのスルーレートは、独立に設定可能であり、立上がりエッジおよび立下がりエッジの遷移時にサージ電流を加えることによるオーバーシュートとリングングの制御に役立ちます（図 34 参照）。デフォルト・サージ電流は、立上がりエッジでは 7.6 mA、立下がりエッジでは 4.05 mA です。

コントロール・レジスタの各ビットは、立上がりエッジおよび立下がりエッジの追加サージ電流をイネーブルし、さらにデフォルト・サージ電流をディスエーブルすることができます。CML ドライバは以下から駆動することができます。

- RF 分周器入力 (CLK1 は直接 CML ドライバへ)
- RF 分周器出力
- CLK2 入力

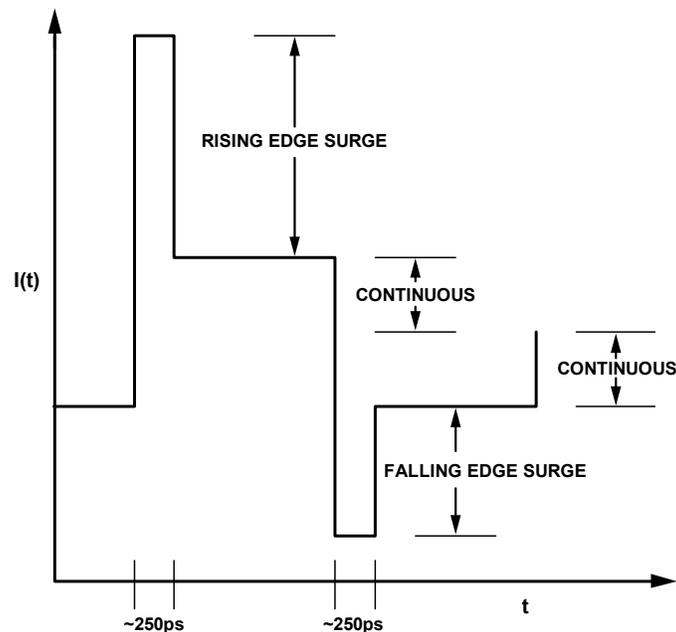


図 7.77: 安定状態の連続電流と比較した、CML クロック・ドライバからの立上がりエッジと立下がりエッジのサージ電流

DDS と DAC

デバイス内での高精度周波数分周は、DDS 技術を使って実現されます。DDS は、48 ビット・アキュムレータをクロック駆動してデジタル位相関係を制御することができます。周波数チューニング・ワードと呼ばれる、アキュムレータに書き込まれるインクリメント値が、アキュムレータのオーバーフロー・レートを制御します。2π ラジアン回転を行う正弦波と同様に、アキュムレータのオーバーフローはもとも周期的で、次式に従って基本周波数を発生します。

$$f_0 = \frac{FTW \times (f_s)}{2^{48}} \quad 0 \leq FTW \leq 2^{47} \quad \text{式 7-12}$$

このため、正弦波の瞬時位相は位相アキュムレータ・ブロックの出力です。この信号は、アキュムレータから出力される各位相サンプルに加算されるデジタル位相増分を設定することにより、位相をオフセットさせることができます。これらの瞬時位相値は、位相／振幅変換（角度／振幅変換すなわち AAC とも呼ばれます）ブロックを通過します。

このアルゴリズムは $\cos(x)$ 関係に従います。ここで、 x は位相オフセット・ブロックから出力される位相で、 2π に正規化されています。最後に、振幅ワードが 10 ビット DAC を駆動します。DAC はサンプル・データ・システムなので、出力は再生された正弦波で、高周波イメージをスペクトルから除去するためにフィルタする必要があります。この DAC は電流切り替え型 DAC で、AVDD を基準にしています。電圧出力を得るため、DAC 出力は負荷抵抗（一般に $50\ \Omega$ ）を介して AVDD へ終端する必要があります。正のフルスケールでは、IOUT は電流をシンクしないので負荷抵抗両端の電圧降下は 0 ですが、IOUT 出力は DAC の設定されたフルスケール出力電流をシンクするので、負荷抵抗両端に最大の出力電圧降下が発生します。負のフルスケールでは、状況は逆で、IOUT はフルスケール電流をシンクし（負荷抵抗両端に最大電圧降下が発生し）、一方 IOUT は電流をシンクしません（電圧降下は発生しません）。ミッドスケールでは、両方の出力が等しい電流をシンクして、等しい電圧降下が発生します。

選択可能なクロック周波数と選択可能なエッジ遅延

高精度ドライバは DDS を使って実現されているため、複数のクロック周波数ワードを保存して、外部からクロック周波数を切り替えることができます。位相アキュムレータは、アクティブ・プロファイルのクロック周波数ワードに従って固定周波数で動作します。同様に、立上がりおよび立下がりエッジに加える遅延も、アクティブ・プロファイルの遅延シフト・ワードから得られるスタティックな値です。デバイスは 8 個の位相／周波数プロファイルを備えており、それぞれ 48 ビットのクロック周波数ワードと 14 ビットの遅延シフト・ワードで構成されています。プロファイルは、クロック・セレクト (S0、S1、S2) ピンにそれらのデジタル値を与えて選択します。ひとつのプロファイルの位相オフセットと別のプロファイルの周波数チューニング・ワードを使用することはできません。

複数デバイスの同期モード

DDS システムでは、SYNC_CLK は内部でマスター・システム・クロック SYSCLK を分周器で 4 分周して得られます。この分周器はパワーアップ時に既知の状態にならないので、システム内の複数のデバイスのクロックの位相関係がずれていることがあります。これは、各デバイスが SYNC_CLK の立上がりエッジを SYSCLK の 4 種類の立上がりエッジのいずれからでも発生する可能性があるためです。この曖昧さは、システム内の異なるデバイスで得られる複数クロックの位相関係を制御するデジタル同期ロジックを採用することにより解決できます。AD9540 に搭載されている同期機能は、異なるデジタル・クロック間のタイミング関係のみを制御することに注意してください。入力クロック CLK1 の位相関係の不一致に起因するシステム・クロックのアナログ・タイミング遅延は補償しません（図 7.78 参照）。

自動同期

自動同期モードでは、デバイスはスレーブ・モードになり、自動的に内部 SYNC_CLK を SYNC_IN に入力されるマスター SYNC_CLK 信号に揃えます。このビットをイネーブルすると、STATUS は出力として使用できなくなりますが、コントロール・ファンクション・レジスタ 1 を読み出して、STATUS_Error ビットの状態をチェックすると、ロック外れ状態を検出することができます。

コントロール・ファンクション・レジスタ 1 の自動同期ビットをセットすると、自動同期機能がイネーブルされます。この機能を高いクロック・レート (SYNC_CLK > 62.5 MHz、SYSCLK > 250 MHz) で使用するには、高速同期イネーブル・ビットもセットします。

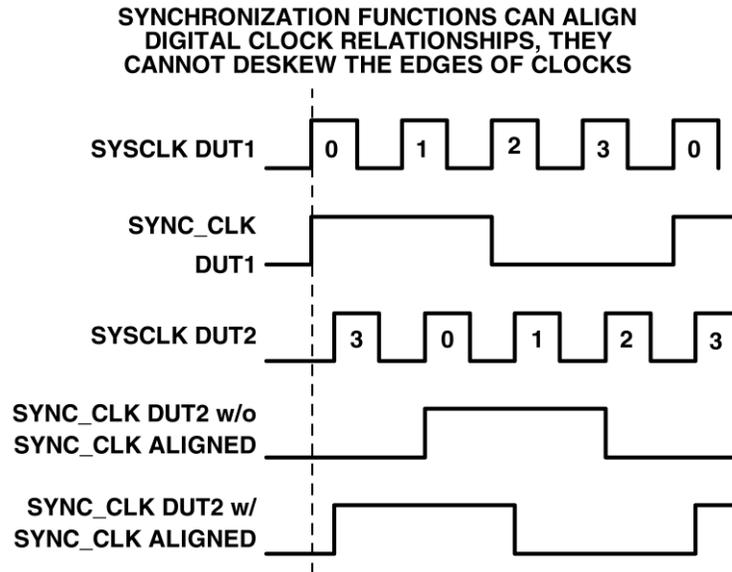


図 7.78: 同期機能: 機能と制約

マニュアル同期、ハードウェア制御

このモードでは、SYNC_CLK の SYSCLK に対するタイミング関係をユーザーが制御します。ハードウェア・マニュアル同期をイネーブルすると、SYNC_IN/ STATUS ピンはデジタル入力になります。SYNC_IN 入力で検出された各立上がりエッジに対して、デバイスは SYNC_IN の立上がりエッジを SYSCLK の 1 周期分だけ進めます。このビットをイネーブルすると、STATUS は出力として使用できなくなりますが、コントロール・ファンクション・レジスタ 1 を読み出して、STATUS_Error ビットの状態をチェックすると、ロック外れ状態を検出することができます。ハードウェア・マニュアル同期イネーブル・ビットをセットすると、この同期機能がイネーブルされます。

マニュアル同期、ソフトウェア制御

このモードでは、SYNC_CLK と SYSCLK の間のタイミング関係をソフトウェアによる設定によりユーザーが制御します。ソフトウェア・マニュアル同期ビットをハイに設定すると、SYNC_CLK が SYSCLK で 1 サイクルだけ進められます。この動作が完了すると、このビットはクリアされます。ユーザーはこのビットを繰り返しセットして、SYNC_CLK の立上がりエッジを複数回進めることができます。この動作では SYNC_IN/STATUS ピンを SYNC_IN 入力として使用しないため、この動作中に STATUS ピンで STATUS 信号をモニタすることができます。

クロック分配回路

クロック生成回路の他に、アナログ・デバイゼズは、A9514 のようなクロック分配回路と AD9510 のような組み合わせ回路を製造しています。

AD9510 はマルチ出力クロック分配機能とPLLコアを搭載しています。この設計は低ジッタと低位相ノイズに注力しており、データ・コンバータの性能を最大化します。位相ノイズとジッタの要件が厳しいその他のアプリケーションでもこのデバイスを利用することができます。

PLL セクションは、プログラマブルなリファレンス分周器 (R)、低ノイズ位相周波数検出器 (PFD)、高精度チャージ・ポンプ (CP)、プログラマブルな帰還分周器 (N) で構成されています。

外付け VCXO または VCO を CLK2/CLK2B ピンに接続すると、1.6 GHz までの周波数を入力リファレンスに同期化することができます。

独立したクロック出力を8本用意してあります。4本の出力は LVPECL (最大 1.2 GHz) であり、さらに4本は LVDS (最大 800 MHz) レベルまたは CMOS (最大 250 MHz) レベルとして選択可能です。

各出力にはプログラマブルな分周器があり、これはバイパスするか、32 までの任意の整数で分周するように設定することができます。タイミングの粗調整として機能する分周器の位相選択機能を使うと、1つのクロック出力の位相を別のクロック出力に対して変えることができます。LVDS/CMOS 出力の中の2本には、10 ns 遅延までのフルスケール遅延範囲が最大 10 ns のプログラマブルな遅延要素が備わっています。この微調整チューニング遅延ブロックの分解能は 5 ビットで、32 通りの遅延から各フルスケール設定を選択することができます。

機能説明

図 33 に AD9510 のブロック図を示します。このチップは、プログラマブルな PLL コアを設定可能なクロック分配システムと組合せています。PLL を完成するには、適切な外付けVCO (または VCXO) とループ・フィルタを追加する必要があります。このPLLはリファレンス入力信号にロックすることができ、プログラマブルなR分周器とN分周器によって定まる比で入力周波数に関係づけられる出力を発生します。ループ帯域幅と VCO (VCXO) の位相ノイズ性能に応じて、PLL は外付けリファレンス信号からジッタを除去します。

VCO (VCXO) の出力は、チップのクロック分配セクションに与えることができ、このセクションで 1 ~ 32 の任意の整数値で分周することができます。出力のデューティ・サイクルと相対位相を選択することができます。4本の LVPECL 出力 (OUT0、OUT1、OUT2、OUT3) と LVDS または CMOS のレベルの出力にすることができる4本の出力 (OUT4、OUT5、OUT6、OUT7) があります。これらの出力の内の2本 (OUT5 と OUT6) には、可変遅延ブロックを使用することもできます。

代わりに、クロック分配セクションを外部クロック信号から直接駆動することができ、さらに PLL をパワーオフすることができます。クロック分配セクションのみを使用する場合は、クロックのクリーンアップはありません。入力クロック信号のジッタは分配セクションに直接渡されるため、クロック出力を支配します。

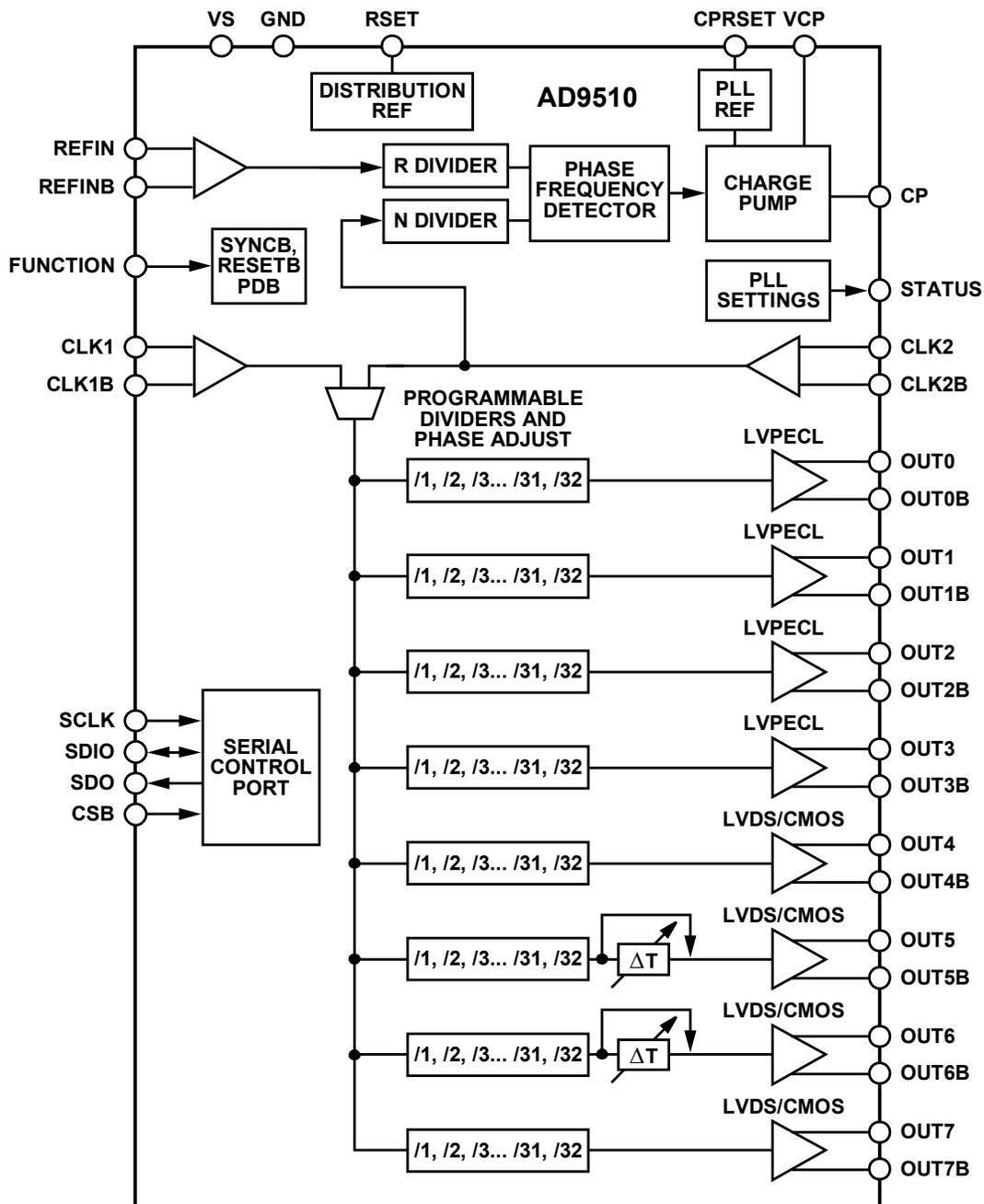


図 7.79: AD9510 の機能ブロック図

PLL セクション

AD9510 は、PLL セクションと分配セクションから構成されています。必要に応じて、PLL セクションは分配セクションとは別に使用することができます。

AD9510 は完全な PLL コアを内蔵しているため、外付けのループ・フィルタと VCO/VCXO しか必要としません。この PLL は、優れた低位相ノイズ性能で知られている PLL の ADF4106 をベースにしています。

AD9510 PLL の動作は ADF4106 の PLL とほぼ同じで、ADF シリーズの PLL で提供されるものに比べて利点を与えます。違いとしては、REFIN と CLK2 の差動入力の追加や、異なるコントロール・レジスタ・アーキテクチャの追加などがあります。また、プリスケアラは N を 1 まで下げられるように変更されています。AD9510 PLL は、ADF4106 とは少し異なる動作のデジタル・ロック検出機能を実装しており、高い PFD レートでの機能を向上させています。

PLL リファレンス入力 – REFIN

REFIN/REFINB ピンは、差動またはシングルエンドのどちらでも駆動することができます。これらのピンは内部でセルフ・バイアスされているため、コンデンサを使って AC 結合することができます。これらの入力への DC 結合は可能です。REFIN をシングルエンドで駆動する場合、未使用側 (REFINB) は、適切なコンデンサを使って静穏なグラウンドヘデカップリングする必要があります。図 7.80 に REFIN の等価回路図を示します。

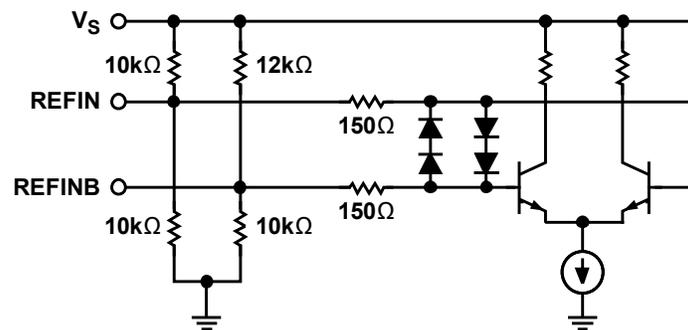


図 7.80: REFIN の等価回路

VCO/VCXO クロック入力 – CLK2

CLK2 差動入力、外付けの VCO または VCXO を PLL に接続するのに使用します。CLK2 入力ポートだけが、PLL N 分周器に接続されています。この入力には 1.6 GHz まで入力することができます。これらの入力は内部でセルフ・バイアスされているため、コンデンサを使って AC 結合する必要があります。

代わりに、CLK2 は分配セクションへの入力として使うこともできます。

デフォルト状態では、CLK1 が分配セクションへの入力に設定されています。

PLL リファレンス分周器 – R

REFIN/REFINB 入力は、14 ビット・カウンタであるリファレンス分周器 R に接続されています。R には、コントロール・レジスタを使って、1 ~ 16383 の任意の値を設定することができます (値 0 は 1 分周に対応)。R 分周器の出力は、位相/周波数検出器入力の 1 つに接続されます。位相/周波数検出器 (PFD) への最大許容周波数を超えてはなりません。つまり、REFIN 周波数を R で分周した値が最大許容 PFD 周波数を下回る必要があります。図 7.80 参照。

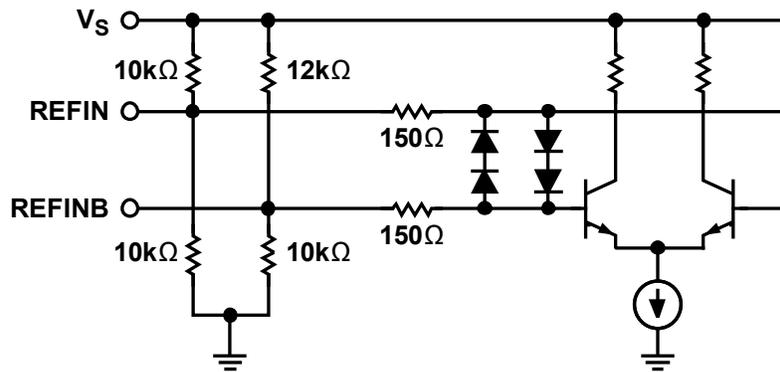


図 7.81: CLK1、CLK2 の等価入力回路

VCO/VCXO 帰還分周器 - N (P、A、B)

N 分周器は、プリスケアラ P (3 ビット) と、2 個のカウンタである A (6 ビット) および B (13 ビット) の組合せです。AD9510 の PLL は ADF4106 と似ていますが、AD9510 ではプリスケアラが N の小さい値を可能にするように設計変更されています。このプリスケアラは、デュアル・モジュラス (DM) モードと固定分周 (FD) モードを備えています。

プリスケアラを FD モードで使う場合、A カウンタは使用せず、B カウンタのバイパスが必要なことがあります。DM プリスケアラ・モードでは、周波数に幾つかの上限値を設定して、これを CLK2 に適用することができます。

A カウンタおよび B カウンタ

AD9510 の B カウンタにはバイパス・モード (B = 1) があります。このモードは ADF4106 にはありません。B カウンタのバイパス・モードは、FD モードでプリスケアラを使う場合にのみ有効です。B カウンタ・バイパス・ビットに 1 を書込むと、B カウンタがバイパスされます。B カウンタの有効範囲は 3 ~ 8191 です。リセット後のデフォルトは 0 で、これは無効です。

プリスケアラが FD モードの場合は、A カウンタが使用されないことに注意してください。

A/B カウンタは、固有のリセット・ビット (主にテスト用) を備えていることにも注意してください。A カウンタと B カウンタは、R カウンタ、A カウンタ、B カウンタに共通のリセット・ビットを使ってリセットすることもできます。

P、A、B、R の値の決定

AD9510 をデュアル・モジュラス・モードで動作させる場合、入力ファレンス周波数 FREF は、VCO の出力周波数 FVCO と次の関係があります。

$$FVCO = (FPRF/R) \times (PB + A) = FREF \times N/R \quad \text{式 7.13}$$

プリスケアラを固定分周モードで動作させる場合は、A カウンタを使用しないため、式は次のように簡単になります。

$$FVCO = (FPRF/R) \times (PB) = FREF \times N/R \quad \text{式 7-14}$$

デュアル・モジュラスと固定分周モードの組み合わせを使うと、AD9510 は N = 1 までのすべての N 値を実現することができます。

位相周波数検出器 (PFD) およびチャージ・ポンプ

PFD は R カウンタと N カウンタ (N = BP + A) から入力を受取り、両入力の位相差と周波数差に比例した出力を発生します。図 36 に簡略化した回路図を示します。PFD にはプログラマブルな遅延素子が含まれており、バックラッシュ防止パルスの幅を制御します。このパルスは、PFD 伝達関数内でデッド・ゾーンが発生しないようにし、位相ノイズとリファレンス・スプリアスを最小にします。レジスタ 0Dh の 2 ビットによりパルス幅が制御されます。

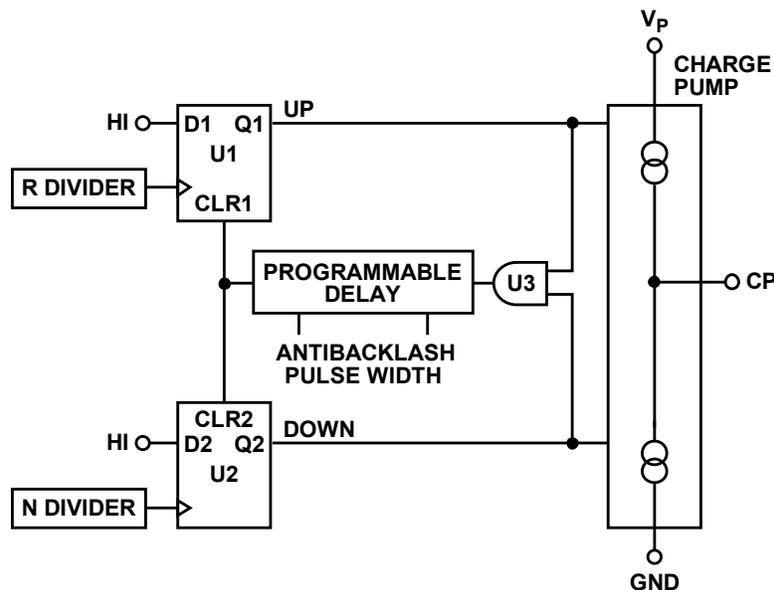


図 7.82: PFD の簡略化した回路図とタイミング (ロック状態)

アンチバックラッシュ・パルス

この PLL は、プログラマブルなアンチバックラッシュ・パルス幅を特長にしています。デフォルトのアンチバックラッシュ・パルス幅は 1.3 ns で、通常、変更する必要はありません。このアンチバックラッシュ・パルスが位相ロック状態付近のデッド・ゾーンをなくすことにより、VCO 信号に影響を与えるスプリアスの発生の可能性を抑えます。

STATUS ピン

AD9510 に備わっている出力マルチプレクサにより、STATUS ピンで様々な信号とチップ内の内部ポイントにアクセスできます。STATUS ピン部分のブロック図を図 37 に示します。STATUS ピンの機能は、レジスタによって制御されます。

PLL デジタル・ロック検出

STATUS ピンは、デジタル (DLD) とアナログ (ALD) の 2 つのタイプの PLL ロック検出を表示することができます。デジタル・ロック検出が必要な場合、STATUS ピンは CMOS レベルの信号を出力します。この信号はアクティブ・ハイまたはアクティブ・ローにすることができます。

デジタル・ロック検出は、レジスタで選択できる 2 種類の時間ウインドウを備えています。デフォルトでは、PFD への入力の信号エッジが 9.5 ns 以内に揃ったときに DLD が真になり、DLD = 偽になるためには、その後少なくとも 15 ns 間隔が開く必要があります。

もう一方の設定では、信号エッジが 3.5 ns 以内に揃ったとき DLD = 真となり、7 ns になると DLD = 偽になります。DLD はディスエーブルすることができます。DLD が真のときに、REFIN の信号がなくなると、DLD はロックの喪失を表示しないことがあります。

分周器

AD9510 の 8 本の各クロック出力には、個別に分周器が付いています。分周器をバイパスして、入力と同じ周波数 (1×) を出力することができます。分周器をバイパスすると、消費電力を節約するためにパワーダウンされます。

1 ~ 32 のすべての整数分周比を選択することができます。分周器をバイパスすると、分周比 1 が選択されます。

各分周器の分周比、位相、デューティ・サイクルを設定することができます。選択可能な位相とデューティ・サイクルの値は、選択された分周比に依存します。

分周器の位相オフセット

選択した分周比に応じて、各出力の位相を選択することができます。各出力の位相とスタート・ハイ・ビット/ロー・ビットを設定するレジスタに、適切な値を書き込むと、この機能が選択されます。各分周器には、4 ビットの位相オフセットとスタート・ハイ・ビットまたはロー・ビットがあります。

同期パルスに続いて、位相オフセット・ワードにより、クロック出力エッジの開始前に、高速クロック (CLK1 または CLK2) を何サイクル待つかが決定されます。スタート H/L ビットは、分周器出力をロー・レベルまたはハイ・レベルのいずれで開始するかを指定します。各分周器に異なる位相オフセットを設定すると、出力-出力間遅延を高速クロックの周期 t_{CLK} 単位で設定することができます。

4 個の分周器に対して、それぞれ $DIV=4$ 、50% デューティ・サイクルを設定した例を図 7.83 に示します。0 から 3 へ位相オフセットをインクリメントすると、各出力は初期エッジから t_{CLK} の整数倍でオフセットされます。

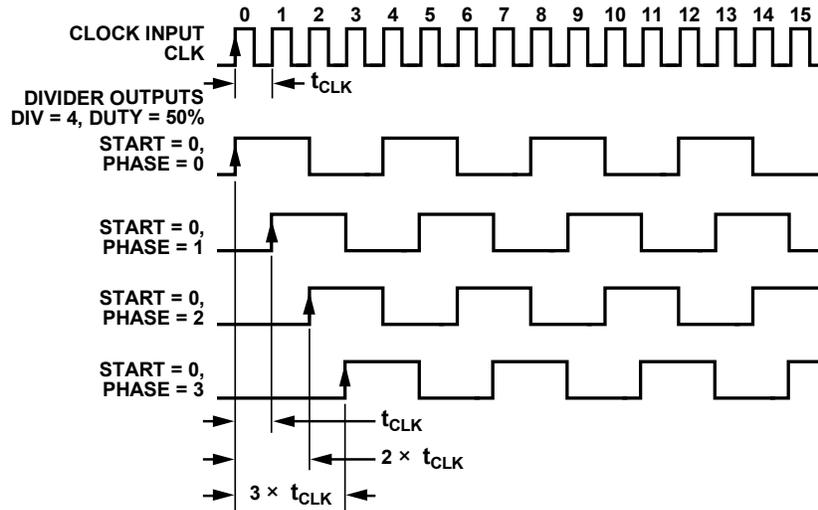


図 7.83: 位相オフセット - 全分周器を DIV = 4 に設定、位相を 0 ~ 3 に設定

遅延ブロック

OUT5 と OUT6 (LVDS/CMOS) は、アナログ遅延素子を備えています。この遅延素子を設定して、その出力を通過するクロック信号に可変時間遅延 (Δt) を与えることができます。

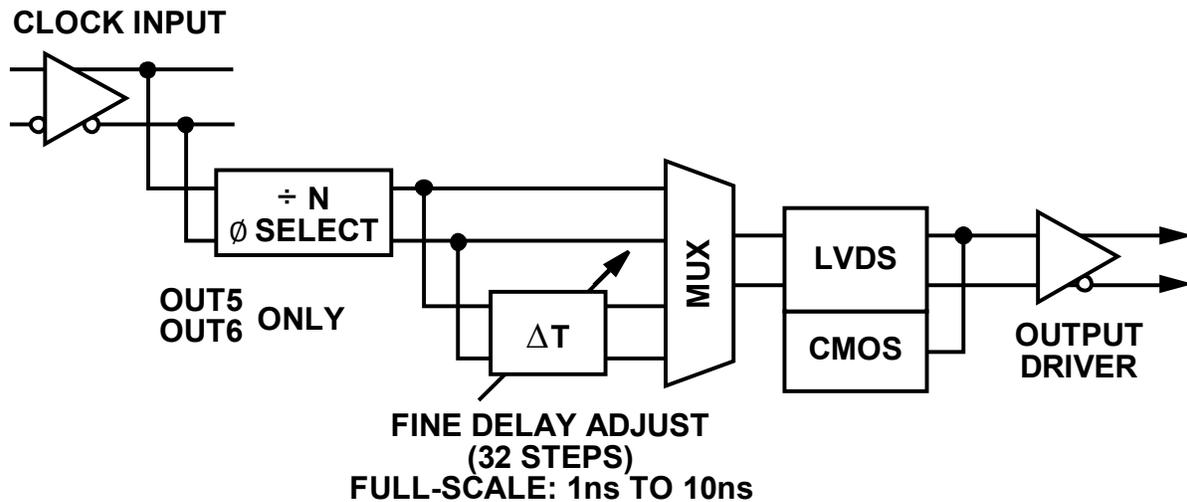


図 7.84: アナログ遅延 (OUT5 と OUT6)

使用可能な遅延量は、遅延されるクロックの周波数によって決まります。遅延量は、クロック周期の 1/2 サイクルに近づけることができます。例えば、10 MHz クロックの場合、その遅延素子で可能な最大 10 ns まで遅延を延ばすことができます。ただし、100 MHz クロック (50 % デューティ・サイクル) の場合、最大遅延は 5 ns (1/2 周期) 未満になります。

OUT5 と OUT6 を使うと、1~10 ns の範囲のフルスケール遅延が可能になります。ランプ電流とコンデンサ番号の組み合わせを選択すると、フルスケール遅延が選択されます。各フルスケールに対して 32 通りの微細遅延設定があります。

このパスにより、非遅延出力の規定値より大きいジッタが加わります。つまり、この遅延機能は、データ・コンバータではなく、主に FPGA、ASIC、DUC、DDC のようなデジタル・チップのクロック駆動に使います。ジッタは、長いフルスケール（約 10 ns）ほど大きくなります。これは、遅延ブロックがランプとトリップ・ポイントを使って可変遅延を発生しているためです。ランプが長いほど、多くのノイズが混入する可能性があります。

クロック分配回路は差動クロック出力を提供する LVPECL 出力と LVDS 出力を備えています。このために、コンバータの SNR 性能を最大化するクロック・ソリューションが可能になります。最適なクロックキング／コンバータ・ソリューションを選択する際には、ADC の入力要件（差動またはシングルエンド、ロジック・レベル、終端）を検討する必要があります。

シングルエンド CMOS クロックを使うときは、次の一般的ガイドラインのいくつかに従います。可能であれば、1 個のドライバが 1 個のレシーバを駆動するように、1 対 1 の回路を設計します。これにより簡単な終端方式が可能になり、回路のインピーダンスの不整合によるリングングを抑えることができます。伝送線の整合やドライバ側での過渡電流の削減のために、一般にソース側での直列終端が必要です。抵抗値はボード設計とタイミング要件に依存します（一般に $10\ \Omega \sim 100\ \Omega$ を使用）。CMOS 出力には、駆動可能な容量負荷またはパターン長の制限があります。信号の立上がり時間／立下がり時間と信号の完全性を維持するには、一般に、3 インチ以下のパターン長を推奨します。

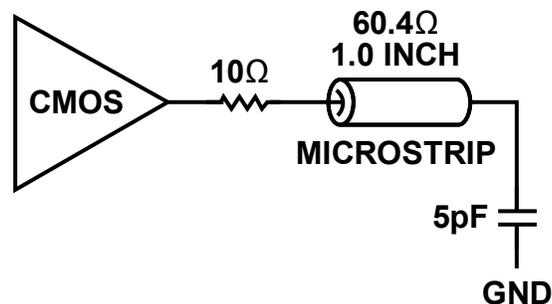


図 7.85: CMOS 出力の直列終端

2 つ目のオプションは PCB パターンの遠端での終端です。一般に CMOS 出力は、図 7.85 に示すように、抵抗性低インピーダンスの遠端終端に対してフル電圧振幅を与えるのに十分な電流を供給しません。遠端終端回路は PCB パターン・インピーダンスにマッチングさせ、所望のスイッチング・ポイントを提供する必要があります。小さくなった信号振幅でも、アプリケーションによってはレシーバの入力要件を満たします。これは、危険度の少ない回路の長いパターンを駆動する際には便利です。

シングルエンド CMOS クロックキングには制約があるため、長いパターンで高速信号を駆動するときは差動出力の使用を検討してください。LVPECL 出力と LVDS 出力は長いパターンを駆動するのに適しており、差動信号に固有なノイズ耐性がコンバータのクロック駆動に対して優れた性能を提供します。

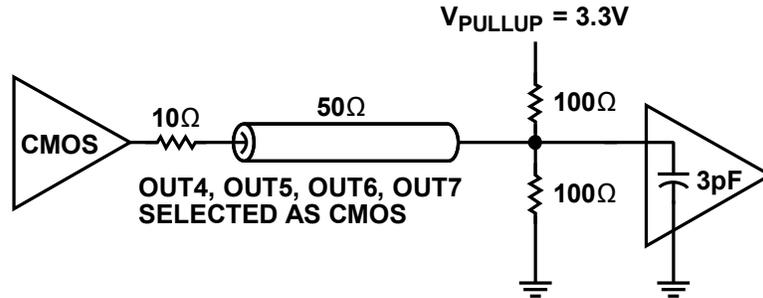


図 7.86: 遠端終端を持つ CMOS 出力

LVPECL クロックの分配

低電圧エミッタ結合ロジックの正出力（LVPECL）は一般に、クロック分配チップで得られる最小ジッタのクロック信号を提供します。LVPECL 出力はオープン・エミッタを使用しているため、出力トランジスタをバイアスするのに DC 終端を必要とします。大部分のアプリケーションで、標準 LVPECL 遠端終端を推奨します（図 56 参照）。抵抗回路は伝送線インピーダンス（50 Ω）と所要スイッチング閾値（1.3 V）に整合するように設計されています。

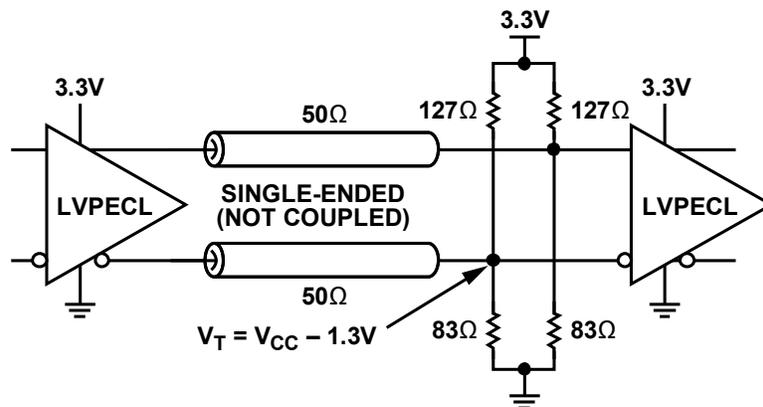


図 7.87: LVPECL の遠端終端

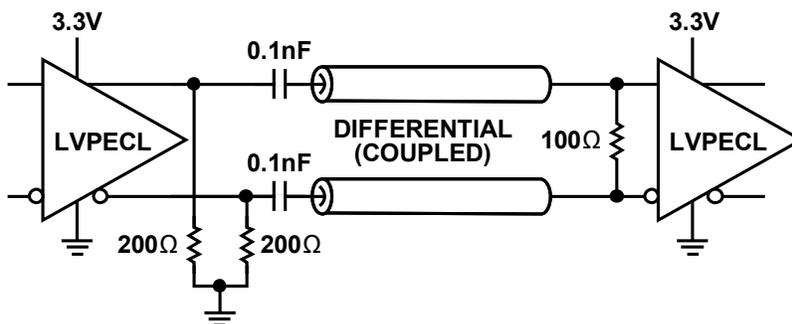


図 7.88: 平行伝送線を使用する LVPECL

LVDS クロックの分配

低電圧差動シグナリング (LVDS) は、2 つ目の差動出力オプションです。LVDS は、選択可能な複数の電流レベルを備えた電流モード出力ステージを使っています。この電流のノーマル値 (デフォルト) は 3.5 mA であり、 $100\ \Omega$ の抵抗で 350 mV の出力振幅を発生します。クロック・チップの LVDS 出力は、すべての ANSI/TIA/EIA-644 仕様を満たします。LVDS 出力の推奨終端回路を図 7.89 に示します。

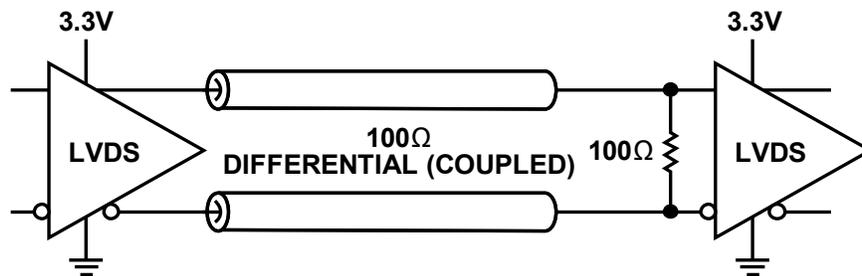


図 7.89: LVDS の出力終端

パワーマネジメント

AD9510 の消費電力は、使用中の機能に必要な電力だけ使用するように管理することができます。未使用の機能と回路をパワーダウンして消費電力を節約することができます。次の回路ブロックはパワーダウンできます。あるいは非選択時にパワーダウンされます (レジスタ・マップと説明箇所を参照)。

- 不要な場合、PLL セクションはパワーダウンすることができます。
- どの分周器もバイパス時 (1 分周時) にはパワーダウンされます。
- OUT5 と OUT6 の調整可能な遅延ブロックは、非選択時にパワーダウンされます。
- 任意の出力をパワーダウンさせることができます。ただし、LVPECL 出力は安全状態とオフ状態を備えています。LVPECL 出力を終端した場合は、安全なシャットダウンだけを使用して、LVPECL 出力デバイスを保護します。これは電力をいくらか消費します。
- 不要な場合、分配セクション全体をパワーダウンさせることができます。

機能ブロックをパワーダウンしても、そのブロックの書込み情報 (レジスタ内) は失われません。これは、AD9510 の再書込みなしにブロックをパワーオン/パワーオフすることができることを意味します。ただし、同期は失われます。再同期するには SYNC を発行する必要があります。

システム・デバッグへの応用

信号の劣化を最小に抑えるためのシステム設計に関わる明らかな問題の他に、言及する価値がある、これらの結果に影響を与える他の幾つかの問題があります。これらは、不可解なスプリアスとノイズの原因を見つけることに関係しています。

例えば、DAC 出力のノイズ・フロアが上昇する場合、クロック位相ノイズが原因ではなさそうに見えます。出力回路へのデジタル的な混入の可能性があります。

サンプルされた信号にスプリアスが存在する場合、クロックから発生したものが否かを調べる良い方法は、信号振幅を変化させることです。クロックが原因の場合、スプリアスは比例して小さくなります。

アナログ歪みの項は、信号振幅の変化レートの 2 倍（2 次歪み）または 3 倍（3 次歪み）で変化します。量子化器の非直線性から発生するスプリアスはまったく変化しないか、変化する場合も、信号振幅が変化すると、予測不能に変化します。これに対して、クロックに起因するスプリアスは、信号の dB に対して dB で変化します。

サンプルされたデータ信号でスプリアスの原因を特定しようとするときは、出力に直接混入する信号から発生する明確なスプリアス周波数を見るだけでなく、信号からオフセットされた周波数でも見てください。例えば、スプリアスがキャリアから 10 MHz 離れている場合、10 MHz 発振器がシステムのどこかにないか調べてください。もしあれば、この周波数がクロックを経由して漏れてきていることが最も疑われます。

参考資料:

クロックの生成回路と分配回路

1. Brad Brannon, “Sampled Systems and the Effects of Clock Phase Noise and Jitter”, AN-756 Analog Devices, Inc.
2. Brad Brannon, “Understand the effects of clock jitter and phase noise on sampled systems”, EDN December 7, 2004 pp. 87-96.
3. Brad Brannon, “Aperture Uncertainty and ADC System Performance”, AN-501 Analog Devices Inc.
4. Ted Harris, “Generating Multiple Clock Outputs from the AD9540”, AN-769 Analog Devices Inc.
5. Paul Smith, “Little Known Characteristics of Phase Noise”, AN-741, Analog Devices Inc.
6. Don Tuite, “Frequently Asked Questions: CLOCK REQUIREMENTS FOR DATA CONVERTERS”, ED Online 9660
7. Jeff Keip, “Speedy A/Ds demand stable clocks”, EE Times 03/22/2004