

第6章: コンバータ

| | |
|--------------------------------------|------|
| はじめに | 6.1 |
| 6.1: D/A コンバータ (DAC) のアーキテクチャ | 6.3 |
| D/A コンバータ (DAC または D/A) の概要 | 6.3 |
| ケルビン・デバイダ (ストリング型 DAC) | 6.4 |
| セグメント・ストリング型 DAC | 6.5 |
| デジタル・ポテンシオメータ | 6.7 |
| サーモメータ (フル・デコード) DAC | 6.9 |
| バイナリの重み付けされた電流源 | 6.12 |
| R-2R ラダー | 6.14 |
| 乗算型 DAC (MDAC) | 6.18 |
| セグメント型 DAC | 6.20 |
| シグマ・デルタ DAC | 6.22 |
| I/V コンバータ | 6.23 |
| 差動/シングルエンドの変換技術 | 6.24 |
| シングルエンドの電流/電圧変換 | 6.27 |
| 差動電流/差動電圧変換 | 6.27 |
| デジタル・インターフェース | 6.28 |
| データ・コンバータのロジック: タイミングとその他の問題 | 6.33 |
| DAC のインターポレーション (TxDAC のインターポレーション) | 6.33 |
| 再構成フィルタ | 6.35 |
| $\text{Sin}(x)/x$ (sinc) | 6.36 |
| 意図的な非線形 DAC | 6.37 |
| 6.2: A/D コンバータのアーキテクチャ | 6.40 |
| コンパレータ: 1 ビット ADC | 6.44 |
| 逐次比較型 ADC | 6.45 |
| フラッシュ・コンバータ | 6.50 |
| 誤差補正機能を内蔵したサブレンジング・パイプライン ADC | 6.52 |
| シリアル・ビット・パー・ステージ・バイナリ型と | |
| グレイ・コード型 (フォールディング) ADC | 6.58 |
| 計数型および積分型 ADC アーキテクチャ | 6.64 |
| 電荷放電型 ADC | 6.65 |
| ランプ上昇型 ADC | 6.65 |
| トラッキング ADC | 6.66 |
| V/F コンバータ (VFC) | 6.68 |
| デュアルスロープ/マルチスロープ ADC | 6.73 |
| R/D コンバータ (RDC) とシンクロ | 6.76 |

■ ベーシック・リニア・デザイン

コンバータ

6.2: A/D コンバータのアーキテクチャ (続き)

参考資料 6.80

6.3: シグマ・デルタ・コンバータ

歴史的考察 6.85

シグマ・デルタ ADC の基礎 6.90

アイドル・トーンに関する考慮事項 6.96

高次ループに関する考慮事項 6.98

マルチビット $\Sigma\Delta$ コンバータ 6.98

デジタル・フィルタの意味 6.100

高分解能測定用 $\Sigma\Delta$ ADC 6.102

バンドパス型 $\Sigma\Delta$ コンバータ 6.107

$\Sigma\Delta$ 型 DAC 6.108

まとめ 6.110

参考資料 6.111

6.4: 仕様の定義 6.115

6.5: DAC および ADC の静的伝達関数と DC 誤差 6.117

6.6: データ・コンバータの AC 誤差 6.129

実際の ADC のノイズ 6.131

等価入力換算ノイズ 6.131

ノイズ・フリー (フリッカーフリー) コード分解能 6.132

データ・コンバータのダイナミック性能 6.133

積分および微分の非直線性歪みの影響 6.133

高調波歪み、最悪高調波、全高調波歪み (THD)、全高調波歪み+ノイズ (THD+N) 6.135

信号/ノイズ+歪み (SINAD)、信号/ノイズ比 (S/N 比)、有効ビット数 (ENOB) 6.136

アナログ帯域幅 6.137

スプリアスフリー・ダイナミック・レンジ (SFDR) 6.138

2 調波相互変調歪み (IMD) 6.141

マルチトーン・スプリアスフリー・ダイナミック・レンジ 6.142

2 次と 3 次のインターセプト・ポイント、1 dB 圧縮ポイント 6.143

広帯域 CDMA (W-CDMA) の ACPR (隣接チャンネル漏洩電力比) および

ADLR (隣接チャンネル漏れ率) 6.145

ノイズ・パワー比 (NPR) 6.146

ノイズ係数 (F) とノイズ指数 (NF) 6.149

■ ベーシック・リニア・デザイン

コンバータ

6.6: データ・コンバータの AC 誤差 (続き)

| | |
|--|-------|
| アパーチャ時間、アパーチャ遅延時間、アパーチャ・ジッタ | 6.156 |
| ADC の総 S/N 比を表す簡単な式 | 6.160 |
| ADC の過渡応答と過電圧からの回復 | 6.161 |
| ADC のスパークル・コード、準安定状態、ビット・エラー・レート (BER) | 6.163 |
| DAC のダイナミック性能 | 6.167 |
| DAC のセットリング時間 | 6.167 |
| グリッチ・インパルス面積 | 6.168 |
| DAC の SFDR と S/N 比 | 6.170 |
| アナログ・スペクトラム・アナライザを用いた DAC の S/N 比の測定 | 6.172 |
| その他の AC 仕様 | 6.173 |
| 参考資料 | 6.175 |

6.7: タイミング仕様

6.177

6.8: データシートの読み方

6.181

| | |
|------------|-------|
| トップ・ページ | 6.181 |
| 仕様表 | 6.181 |
| 絶対最大値 | 6.188 |
| オーダー・ガイド | 6.189 |
| ピンの説明 | 6.191 |
| 仕様の定義 | 6.192 |
| 等価回路 | 6.193 |
| グラフ | 6.194 |
| 本文 | 6.198 |
| 回路説明 | 6.198 |
| インターフェース | 6.199 |
| レジスタの説明 | 6.201 |
| アプリケーション回路 | 6.202 |
| 評価用ボード | 6.203 |
| まとめ | 6.203 |

6.9: データ・コンバータの選定

6.205

| | |
|--------------|-------|
| パラメータの決定 | 6.205 |
| パラメータの優先順位付け | 6.206 |
| デバイスの選定 | 6.206 |

第 6 章: コンバータ

はじめに

コンバータには、基本的に D/A コンバータ (DAC または D/A) と A/D コンバータ (ADC または A/D) の 2 種類があります。これらの目的はきわめて明快です。DAC の場合、加えられたデジタル・ワードに比例した割合でリファレンス電圧を分割し、アナログ電圧として出力します。ADC の場合は、リファレンス電圧を基準に、ADC 入力に加えられたアナログ電圧の割合を表すデジタル値を出力します。

どちらの場合も、デジタル・ワードはほぼ常にバイナリの重み付け比率を基準とします。デジタル入出力は、一般に 6 ~ 24 ビットのさまざまなビット幅のワードで構成されます。バイナリの重み付けされたシステムでは、各ビットは左側のビットに対して半分の値になり、右側のビットに対して 2 倍の値になります。デジタル・ワードのビット数が多いほど分解能は向上します。これらのビットは、便宜上、バイトと呼ばれる 4 ビットのグループにまとめられるのが一般的です。

デジタル領域とアナログ領域の関係をより詳しく理解するには、サンプリング理論に関するセクションを参照してください。

前述したように、主に「ブラックボックス」の観点からコンバータの動作を見ていきましょう。つまり、コンバータの内部構造よりも、その動作を詳しく見ていくことにします。ただし、多くの場合、内部アーキテクチャは動作上の利点や制限に関わるため、完全に無視することはできません。コンバータの内部動作をきわめて詳細に解説している文献は多数あります (参考資料を参照)。

留意すべきもう 1 つの点は精度と分解能の違いです。コンバータの分解能とは、デジタル・ワードのビット数のことです。精度とは、仕様を満たすビット数のことです。例えば、ある DAC の分解能が 16 ビットであっても、14 ビットまでしか単調でないとしします。この場合、この DAC で確保される精度は 14 ビット以下ということになります。また、あるオーディオ用 ADC のデジタル・ワード幅が 16 ビットでも、S/N 比はわずか 70 dB ということがあります。これは、精度が 12 ビットしかないことを意味します。なにも他のビットが無意味というわけではありません。追加の処理、通常はフィルタリングによって、精度を改善できることはよくあります。この 2 つの用語は似ていて、ときには混同して使われることもありますが、両者の違いを覚えておく必要があります。

まず、DAC から見ていきましょう。

6.1: D/A コンバータ (DAC) のアーキテクチャ

D/A コンバータ (DAC または D/A) の概要

今日一般に DAC と呼ばれるものは、通常、もう少し広い範囲を指します。DAC は、コンバータ自体に加え、チップに内蔵されている一群のサポート回路を通常含みます。

最初の DAC は基板上で設計され、スイッチング素子としての真空管を含むディスクリート部品で構成されていました。モノリシック DAC が登場したのは 1970 年代の初めです。これら初期のものは、実際には DAC のサブブロックでした。その一例として、バイナリの重み付けされた 4 ビットの電流源である AD550 があります。この電流源ブロックは、抵抗アレイと CMOS スイッチを含む AD850 などの別デバイスとともに使用され、それらが一緒になって基本的な DAC を形成します。やがて 2 つのデバイスの機能が同一ダ イ上に集積化されるようになり、さらにデジタル回路、具体的にはデジタル入力を格納するためのラッチが追加されました。さらに、多くはラッチがもう 1 段追加されました。2 段目のラッチの目的は、マイクロプロセッサまたはマイクロコントローラがシステム内の多数の DAC に書込みを行い、すべてを同時に更新できるようにすることです。ラッチの入力段はシフト・レジスタにもなり、その場合はシリアル・インターフェースが可能になります。

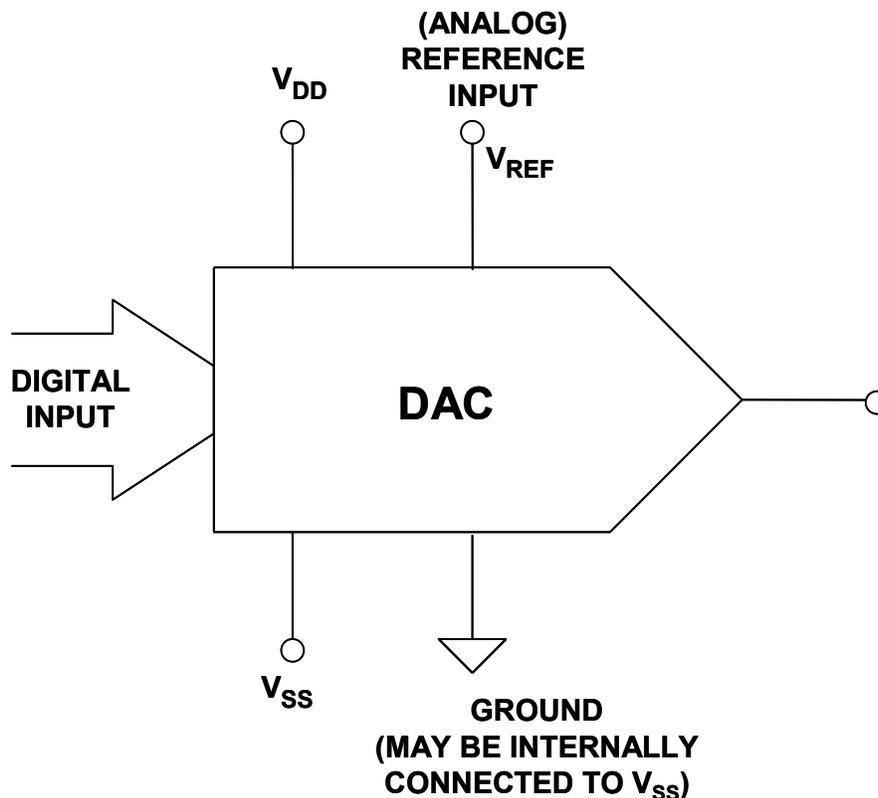


図 6.1: 基本的な DAC

バック・エンドでは DAC の出力が電流であることが多いため、電流／電圧 (I/V) 変換を実行するためにしばしばオペアンプが追加されます。フロント・エンドには、多くの場合、電圧リファレンスが追加されます。

ただ、プロセス上の制限から、これらすべてのサブブロックを一度に集積化することはできませんでした。当初、さまざまなサブブロックの製造プロセスには互換性がありませんでした。最良のスイッチの製造プロセスも、アンプやリファレンスには最適と言えないことが多かったのです。しかし、プロセスの進化につれ、このような制約は少なくなりました。今日では、納得のいくアンプを CMOS で製造可能で、バイポーラと CMOS を組み合わせたプロセスも存在します。

この追加回路をすべて 1 つのパッケージに収めることには、利点がいくつかあります。まず、チップ数を減らせるという明白な利点です。これにより、回路のサイズが小さくなり、信頼性が向上します。もっと重要なのは、回路設計者がシステム内の複数のデバイスの精度を気にする必要がなくなったことかもしれません。システムはいまや 1 個のデバイスであり、メーカーはこれを単体としてテストしています。

次に、DAC のさまざまなアーキテクチャを見ていきます。ここで言う DAC は、システム全体ではなく基本的なコンバータを指します。

ケルビン・デバイダ (ストリング型 DAC)

最も単純な構造は、図 6.2 に示すようなケルビン・デバイダ、つまりストリング型 DAC です。この DAC の N ビット版は、値の等しい 2^N 個の抵抗を直列接続し、 2^N 個のスイッチ (通常は CMOS) をこのチェーンの各ノードと出力の間に 1 個ずつ入れた単純な構成です。出力は、スイッチのうちの 1 個だけを閉じることによって該当するタップから取り出されます (N ビット・データから 2^N 個のスイッチのうちの 1 個をデコードするデジタル処理が若干複雑になります)。

このアーキテクチャは電圧を出力する単純なもので、本質的に単調です。したがって、抵抗が誤って短絡するようなことがあっても、出力 n が出力 $n+1$ を超えることはありません。すべての抵抗が等しければ DAC は線形になりますが、非線形 DAC が必要な場合は意図的に非線形にすることができます。出力は電圧ですが、出力インピーダンスが比較的大きいという欠点があります。また、この出力インピーダンスはコードに依存します (インピーダンスがデジタル入力の変化に応じて変化します)。大抵は、DAC の出力にオペアンプを接続してこの出力インピーダンスをバッファし、次段の回路へは低インピーダンス・ソースとするのが有益です。

遷移中は 2 個のスイッチしか動作しないため、低グリッチのアーキテクチャと言えます (グリッチの概念については、次のセクションで説明します)。また、スイッチング・グリッチはコードに依存しないため、低歪みアプリケーションに最適です。グリッチはコード遷移に関係なく一定なので、グリッチの周波数成分は DAC の更新レートとその高調波になり、DAC 出力信号周波数の高調波にはなりません。ケルビン DAC の主な欠点は、高分解能を得るのに多数の抵抗とスイッチが必要になることです。 2^N 個の抵抗が必要なため、10 ビットの DAC では 1024 個の抵抗とスイッチが必要となるので、近年になって中低分解能 (通常は最大 10 ビット) の DAC 用に適した超小型フィーチャ・サイズの IC が登場するまでは、単純な DAC アーキテクチャとして使用されることはあまりありませんでした。

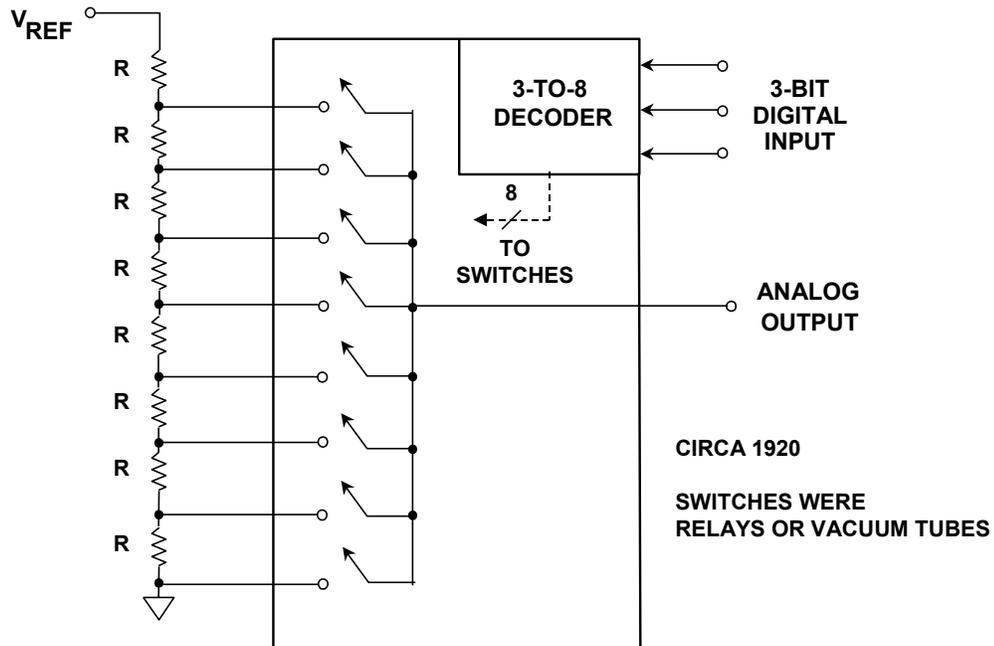


図 6.2: 最も単純な電圧出力サーモメータ DAC: ケルビン・デバイダ

サンプリング理論のセクションで述べたように、オール1のコードのDAC出力はリファレンスより1LSB小さくなります。したがって、汎用DACとして使用するケルビン・デバイダDACでは、リファレンス端子と最初のスイッチの間に1個の抵抗を置きます（図6.2参照）。

セグメント・ストリング型DAC

ケルビン・デバイダから派生したものに、セグメント・ストリング型DACがあります。ここでは、セグメント化することで必要な抵抗の数を減らしています。セグメント化された2種類の電圧出力DACを図6.3に示します。図6.3Aのアーキテクチャはケルビン・バーレイ分圧器と呼ばれることがあります。第1段と第2段との間にバッファが存在し、2段目のストリング型DACは1段目の負荷とはならないので、第2ストリング中の抵抗が第1ストリング中の抵抗と同じ値である必要はありません。ただし、それぞれのストリングの抵抗はすべて等しくなければならず、異なるとDACは線形になりません。ここに示した例では1段目と2段目で3ビットとなっていますが、汎用性を持たせるために、1（MSB）段目の分解能をMビットとし、2（LSB）段目をKビットとして、合計分解能を $N = M + K$ ビットとしましょう。MSBのDACには 2^M 個の等しい抵抗からなるストリングがあり、LSBのDACには 2^K 個の等しい抵抗からなるストリングがあります。例えば、2つの5ビット・セクションを持つ10ビットのストリング型DACを作成した場合、各セグメントの抵抗は、標準的なケルビン・デバイダに必要な1024個ではなく、 2^5 個、つまり32個で、合計64個となります。これは明らかな利点です。

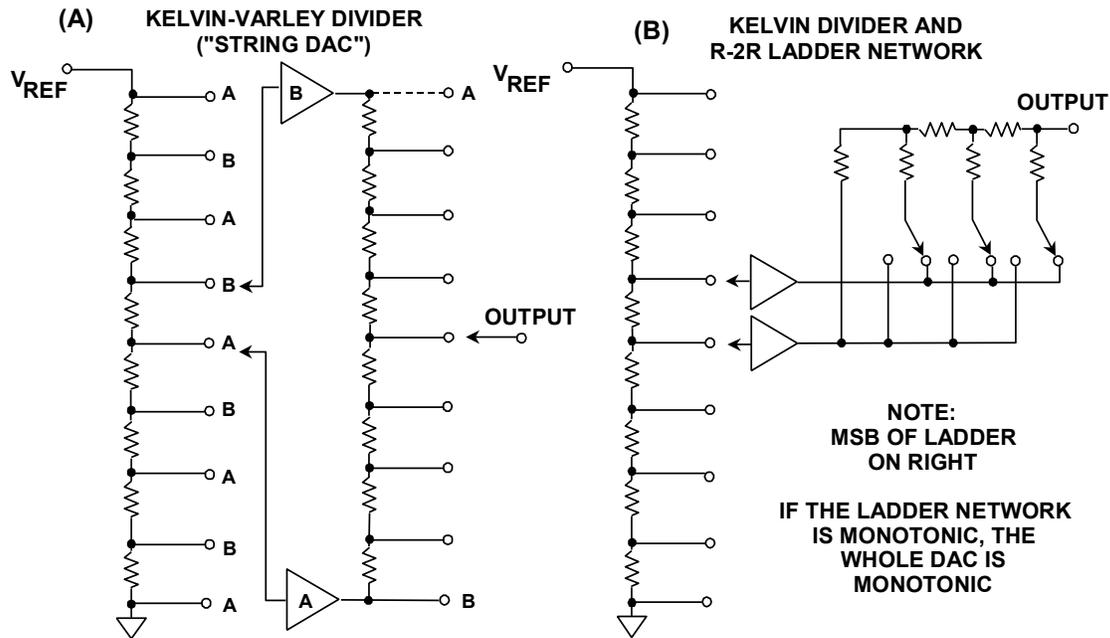


図 6.3: セグメント・ストリング型 DAC

バッファ・アンプは当然ながらオフセットを持つことがあり、バッファ付きのセグメント・ストリング型 DAC では非単調性が生じる可能性があります。

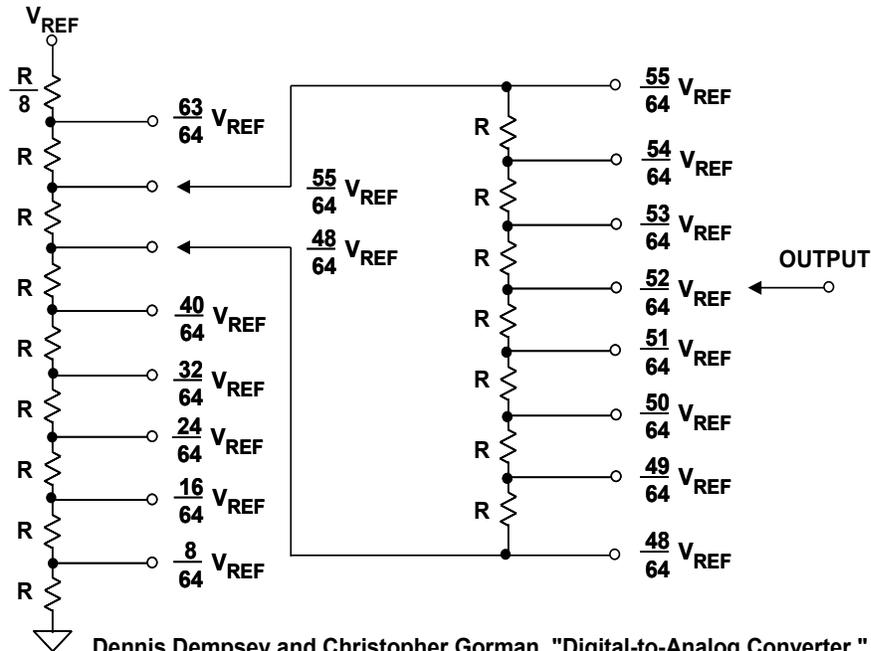
バッファ付きケルビン・バーレイ分圧器 (図 6.3A) の単純な構成では、バッファ A は常にバッファ B より「下」(低電位)になるため、LSB のストリング DAC に追加のタップ A は不要です。データのデコード対象は、2 個のプライオリティ・エンコーダだけになります。

しかし、MSB ストリング型 DAC のデコードを複雑にして、バッファ A を MSB のストリング型 DAC のタップ A に、バッファ B をタップ B にのみ接続できれば、バッファのオフセットにより非単調性が生じる可能性はなくなります。もちろん、一方のバッファが他方を「飛び越す」(蛙飛び)際に (LSB 側のストリング型 DAC のタップ A とタップ B が接続されない間に) LSB のストリング型 DAC のデコード方向を変える必要はありますが、ロジックがわずかに複雑になるだけで性能が改善します。

第 2 ストリングの抵抗を使う代わりに、図 6.3B に示すようにバイナリ R-2R 型 DAC を使えば、3 LSB を生成することができます。この電圧出力 DAC (図 6.3B) は、3 ビットのストリング型 DAC と、その後段に配置された 3 ビットのバッファ付き電圧モードのラダー・ネットワークで構成されます。この場合も、DAC に必要な抵抗の数を削減できます。

セグメント・ストリング型 DAC のバッファなしタイプを図 6.4 に示します。このタイプは概念的により優れています。ここでは、2 つのストリングの抵抗は等しくなければなりません。ただし、MSB ストリングの一番上の抵抗を他より小さくし (他の値の $1/2^K$)、LSB ストリングの抵抗を 2^K 個ではなく $(2^K - 1)$ 個にする必要があります。バッファがないため、LSB ストリングは MSB ストリング内の抵抗 (切り替えられて負荷となる) と並列に接続されます。このため、MSB の抵抗両端の電圧が LSB DAC の 1 LSB 分低下しますが、この電圧降下がまさに必要とされるものです。この DAC はバッファされていないため、出力インピーダンスはデジタル・コードの変化に伴い変動します。

また、この回路はバッファされていないので、本質的に単調です（そしてもちろん、高精度アンプではなく抵抗器やスイッチを構成する CMOS プロセスで製造できるので、安価にできます）。



Dennis Dempsey and Christopher Gorman, "Digital-to-Analog Converter," U.S. Patent 5,969,657, filed July 27, 1997, issued October 19, 1999.

図 6.4: 特許取得済みのアーキテクチャを用いたバッファなしセグメント・ストリング型 DAC

この優れた概念をもっとよく理解するために、2つの3ビットのストリング型 DAC で構成される6ビットのセグメント型 DAC について、各タップの実際の電圧を計算したものを図 6.4 に示します。第2のストリング型 DAC を最初のストリング型 DAC の抵抗間に接続した場合について、簡単な解析を行い、その数値を確認してみてください。バッファなしのセグメント・ストリング型 DAC の詳細な数学的解析は、1997年にアナログ・デバイスの Dennis Dempsey と Christopher Gorman が提出した関連特許に掲載されています（参考資料 14）。

デジタル・ポテンシオメータ

ストリング型 DAC にはデジタル・ポテンシオメータという派生デバイスもあります。簡単なデジタル・ポテンシオメータを図 6.5 に示します。

大きな違いは、ポテンシオメータの下側のアーム（端子 B）がグラウンドに接続されておらず、フロート状態になっていることです。通常、ケルビン DAC の抵抗の絶対値は重要ではありません。これは利用可能な材料によって制限されます。もちろん、絶対値は互いに同じでなければなりません。デジタル・ポテンシオメータでは、両端抵抗値が指定されます。両端抵抗値の精度は、機械的なポテンシオメータのオーダーです。

デジタル・ポテンショメータは、通常、 $10\text{ k}\Omega \sim 1\text{ M}\Omega$ の両端抵抗値で使用できます。CMOS スイッチのオン抵抗は抵抗セグメントのオーダーになるため、両端抵抗値を小さくすることは困難です。そのため、ポテンショメータの直線性にはローエンドで劣化します。

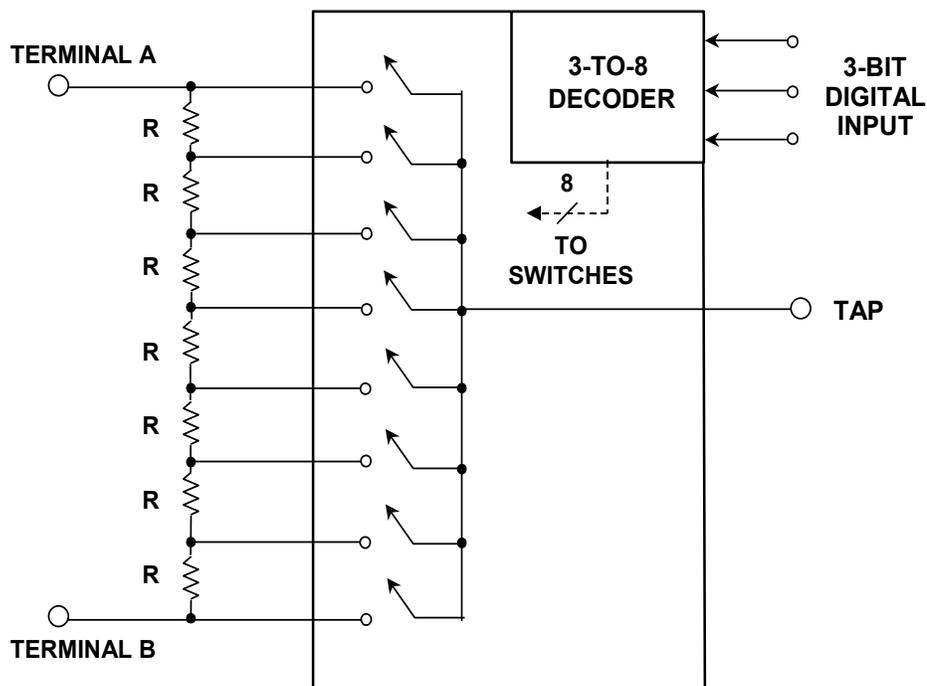


図 6.5: ケルビン DAC は若干の変更で「デジタル・ポテンショメータ」になる

デジタル・ポテンショメータの利点は多数あります。最も低分解能のデジタル・ポテンショメータでさえ、機械式ポテンショメータよりも安定性に優れています。また、ワイパー接点の機械的振動や酸化の影響を受けません。当然ながら、調整に人の手は不要です。

ほとんどのデジタル・ポテンショメータでは、内蔵されている CMOS スイッチにより、入力ピンの電圧が電源電圧（通常は 3 V または 5 V ）を超えることはありません。ただし、 $\pm 15\text{ V}$ 動作用に設計されているモデルもあります。

多くのデジタル・ポテンショメータの設計のもう 1 つの特長は、電源投入時に（内部タイマーでオンにしたり、外部ピンで制御することもある）ワイパーが端子の 1 つに短絡されることです。書込みが生じるまで電源投入時の出力は不定なので、これは便利な機能です。マイクロコントローラは、自身を初期化してから残りのシステムを初期化するまでに（比較的）時間がかかるので、デジタル・ポテンショメータを既知の状態にしておくことは有用と言えます。デジタル・ポテンショメータの中には、電源を切っても設定が保持されるように、不揮発性ロジックを内蔵しているものがあります。

また、ワン・タイム・プログラマブル (OTP) バージョンも市販されています。この場合は、設定が決まると、デジタル・コードがポテンショメータにロックされます。ここにはヒューズ可能リンクの技術が使用されています。この種の派生デバイスとして、ツー・タイム・プログラマブル (TTP) デジタル・ポテンショメータがあります。

この場合は、不揮発性の設定を一度変更することができます。TTP デジタル・ポテンシオメータのブロック図を図 6.6 に示します。

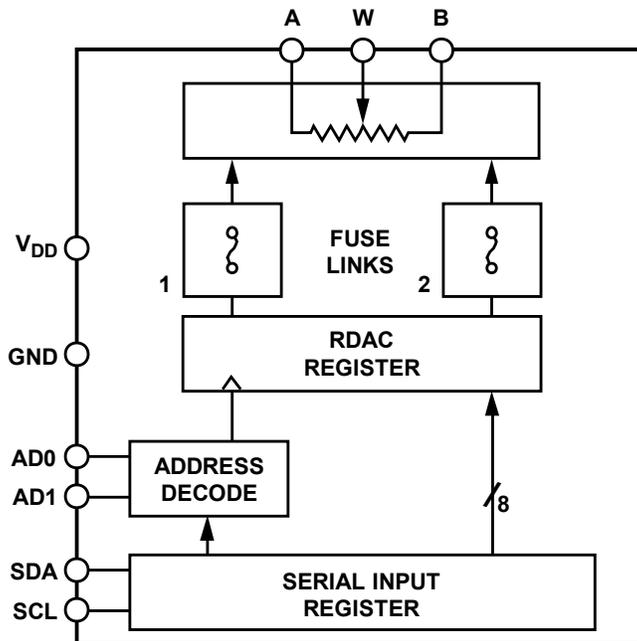


図 6.6: ツー・タイム・プログラマブル (TTP) デジタル・ポテンシオメータのブロック図

サーモメーター (フル・デコード) DAC

ストリング型 DAC に類似した電流出力 DAC アーキテクチャが存在し、出力端子に接続された $2^N - 1$ 個の切り替え可能な電流源 (抵抗と電圧リファレンスの場合とアクティブな電流源の場合がある) で構成されています。この出力はグラウンドに接続するか、あるいは近接していなければなりません。リファレンス電圧に抵抗を接続して電流を生成するサーモメーター DAC を図 6.7 に示します。

図 6.8 に示すようにアクティブな電流源を使用すると、出力はコンプライアンスが向上し (性能を確保できる出力ピンの許容電圧が高くなり)、出力電圧を取り出すのに通常は抵抗負荷が使用されます。負荷抵抗は、出力電流が最大るとき出力端子の電圧が定格コンプライアンス電圧内に収まるように選択する必要があります。

デジタル・コードの増加によってサーモメーター DAC の電流が回路に切り替わると、コードがそれ以上増加しても再度切り替わることはありません。したがって、電流の精度が低くても、それとは無関係にその DAC は単調性を持ちます。このアーキテクチャも、ケルビン・デバイダと同様、高密度 IC プロセスが登場して初めて汎用の中分解能 DAC に実際に使用できるようになりました。ただし、高速アプリケーションでは、次の図に示すやや複雑なバージョンがごく一般的に使用されています。ケルビン・デバイダとは異なり、このタイプの電流モード DAC に固有の名前はありませんが、どちらのタイプもフル・デコード DAC またはサーモメーター DAC と呼ばれることがあります。

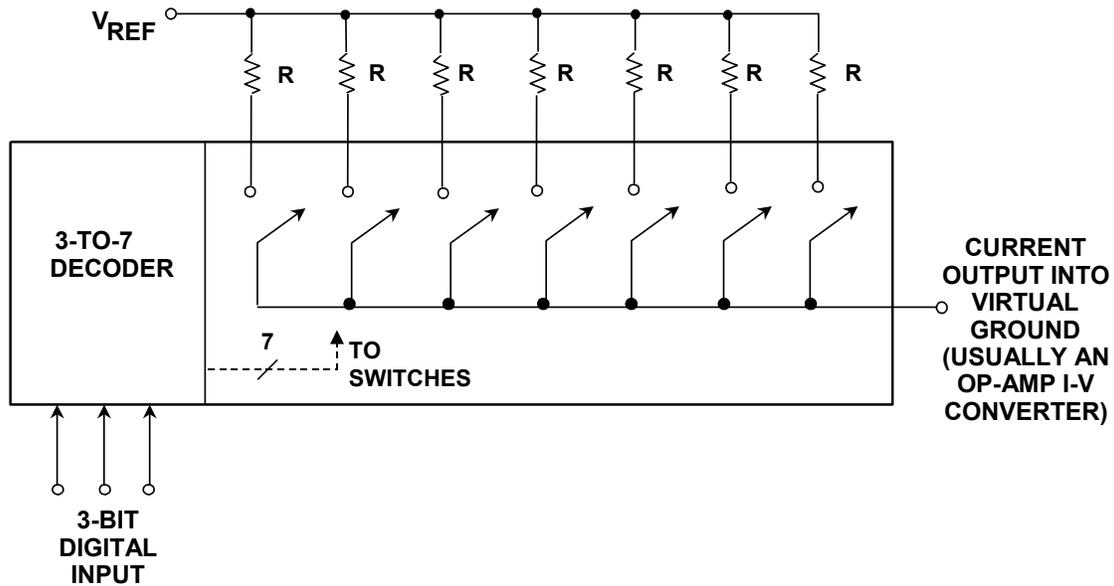


図 6.7: 最も単純な電流出力サーモメーター (フル・デコード) DAC

2 本の出カライン間で電流が切り替わる DAC (片方のラインを接地することが多いものの、反転出力として使用するほうが一般的です) は、高速アプリケーションにより適しています。これは、2 つの出力間で電流を切り替えてもあまり悪影響を及ぼさないので、単に電流をオン/オフするよりもグリッチがはるかに小さくなるからです。このアーキテクチャを図 6.9 に示します。

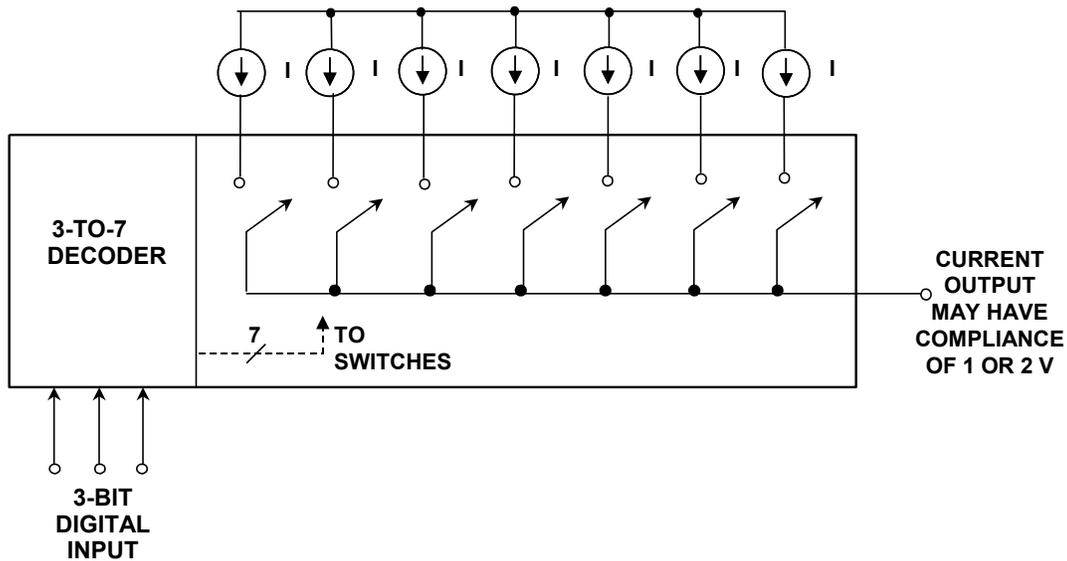


図 6.8: 基本的な電流出力サーモメーター DAC を電流源が改善

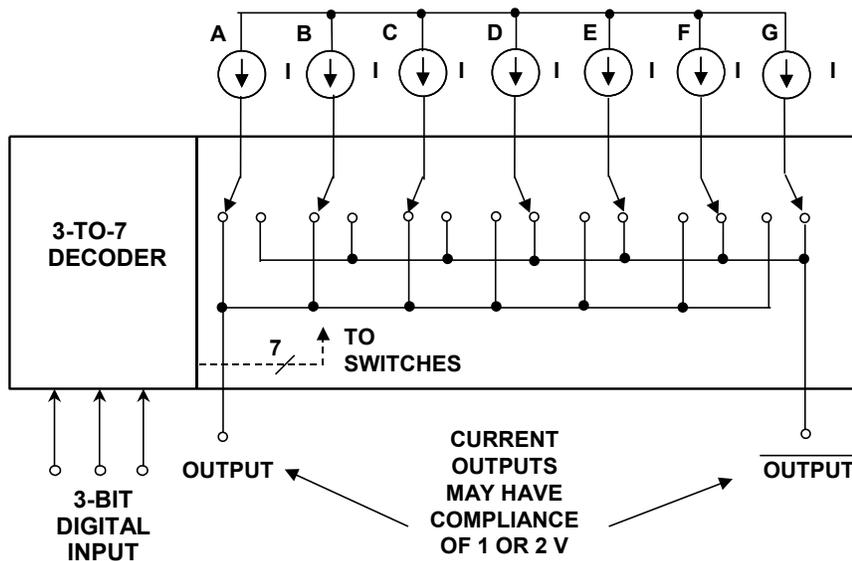


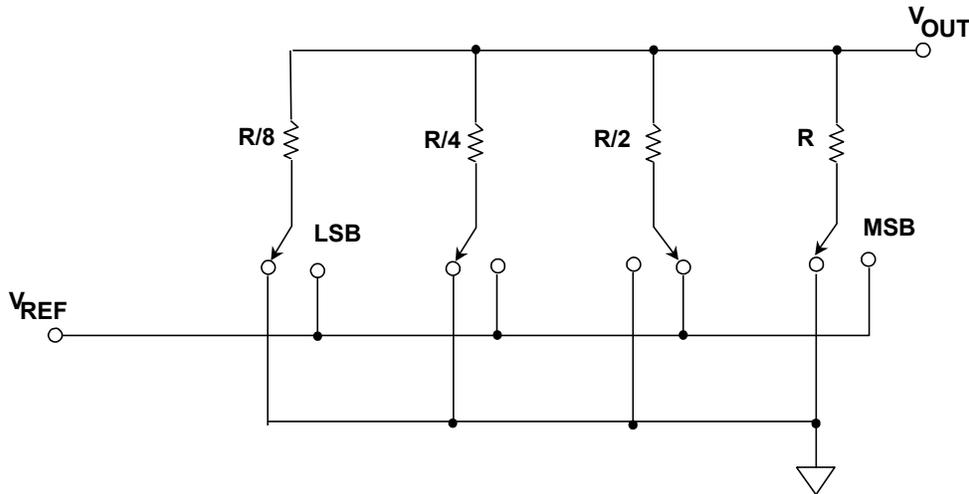
図 6.9: 相補電流出力付き高速サーモメータ DAC

しかし、この DAC のセトリグ時間は初期コードと最終コードによって変化するため、符号間干渉 (ISI) が生じます。この問題は、出力電流がゼロに戻ってから次の値まで増えるような、さらに複雑なスイッチングで対処することができます。なお、出力の電流がゼロに戻っても「オフ」にはならないことに注意してください。電流はオン/オフを切り替えられるのではなく、使用されていないときはグラウンドに流されます。これに関連する技術は複雑すぎてここで詳述することはできませんが、参考資料で参照できます。

この DAC の標準 (線形の) バージョンでは、すべての電流は公称で等しくなります。高速に再構成する場合は、昇順コードを使って電流の切替え順を動的に変更することで、直線性も改善できます。つまり、コード 001 は常に電流 A をオンにするとか、コード 010 は常に電流 A と B をオンにするとか、コード 011 は常に電流 A、B、C をオンにするとか、する代わりに、新しいデータ・ポイントが加わるたびに、昇順コードに応じてオンする順序が変わるようにします。これは、デコーダにロジックを少し追加するだけで簡単に実行できます。最も簡単に実行するには、順番が進むように、ABCDEFG、BCDEFGA、CDEFGAB のようにクロック・サイクルごとにインクリメントするカウンタを使用します。ただし、このアルゴリズムでは DAC 出力にスプリアス・トーンが発生する可能性があります。もっと良い方法は、各クロック・サイクルに疑似ランダム順序を新たに設定することです。この場合はロジックがもう少し増えますが、複雑なロジックでも CMOS プロセスで非常に安価かつ容易に実装できます。他には、データ自身がビットを選択するようにして、電流のミスマッチを成形ノイズに変えるいっそう複雑な方法もあります。しかし、この方法もこの種の本で取り上げるには複雑すぎます。(詳細な説明については参考資料を参照してください)。

バイナリの重み付けされた電流源

図 6.10 に示す電圧モードのバイナリの重み付けされた抵抗型 DAC は、一般に教科書に登場する最も単純な DAC の例です。しかし、この DAC は本質的に単調ではなく、部品（抵抗）の値のばらつきが大きいため、高分解能の DAC をうまく製造することは実際非常に困難です。また、電圧モードのバイナリ DAC の出カインピーダンスは入力コードによって変化します。



Adapted from: B. D. Smith, "Coding by Feedback Methods," Proceedings of the I. R. E., Vol. 41, August 1953, pp. 1053-1058

図 6.10: 電圧モードのバイナリ重み付け抵抗型 DAC

電流モードのバイナリに重み付けされた DAC を図 6.11A（抵抗を使用）および図 6.11B（電流源を使用）に示します。このタイプの N ビット DAC は、 $1:2:4:8:\dots:2^{N-1}$ の比率で重み付けされた N 個の電流源（単に抵抗と電圧リファレンスのみでも可能）で構成されます。LSB は 2^{N-1} の電流を切り替え、MSB は 1 の電流を切り替える、というように切り替えが行われます。理論は単純ですが、電流または抵抗の比が 8 ビット DAC でも 128:1 となり、特に温度係数のマッチングをとる必要があるため、経済的なサイズの IC を製造するという実用上の問題は大きくなります。このアーキテクチャが集積回路の DAC でそのまま使用されることはほとんどありませんが、もっと複雑な構成では、3 ビット版や 4 ビット版が部品として使用されています。例えば、本セクションの冒頭で述べた AD550 はバイナリに重み付けされた DAC の一例です。

MSB 電流の値が少しでも下がると、他のすべてのビット電流の合計値を下回るため、DAC は単調増加でなくなります（ほとんどの種類の DAC の微分非直線性は、大きなビット遷移が発生すると最悪となります）。

しかし近年、バイナリの重み付けがされた別の DAC 構成の利用が拡大しています。これは、図 6.12 に示すように、バイナリの重み付けされたコンデンサを使用するものです。コンデンサを使用する DAC の問題は、リークによって、設定から数ミリ秒で精度が低下することです。このため、容量性 DAC は汎用 DAC アプリケーションには適していませんが、逐次比較型 ADC では問題になりません。

リークが大きな影響を及ぼす前に変換が数 μs 以内で完了するためです。

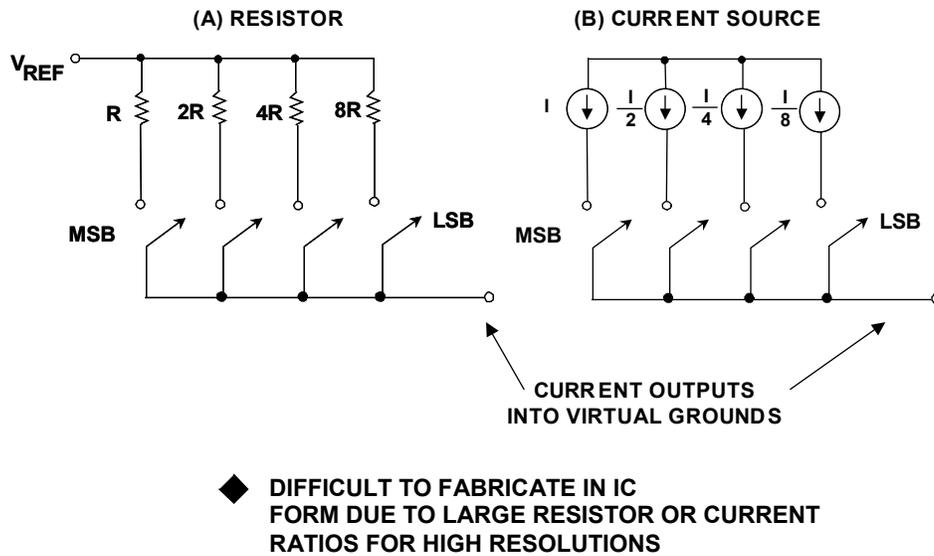


図 6.11: バイナリの重み付けされた電流モード DAC

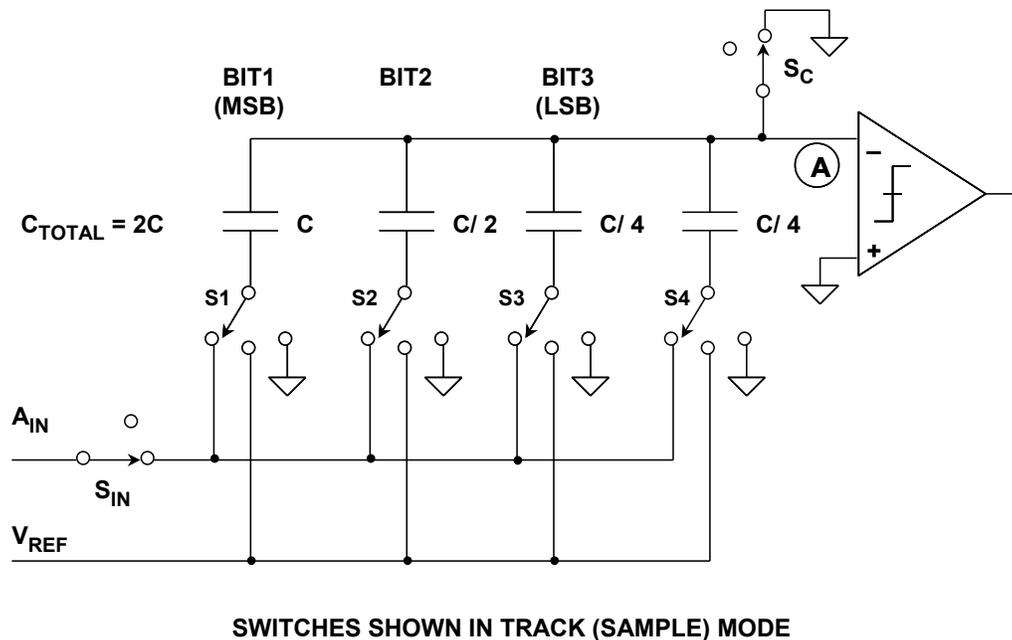


図 6.12: 逐次比較型 ADC 内のバイナリの重み付けされた容量性 DAC

容量性電荷再配分型 DAC を使用すると、DAC 自体がサンプル&ホールド回路 (SHA) として動作するという別の利点もあります。

したがって、これらの ADC では外部 SHA が不要になるばかりでなく、内蔵 SHA のために個別のチップ領域を割り当てる必要もありません。

R-2R ラダー

最も一般的な DAC のビルディング・ブロック構造の 1 つが、図 6.13 に示す R-2R 抵抗ラダー・ネットワークです。値が 2 種類のみで、その比が 2:1 の抵抗を使用します。N ビット DAC には 2N 個の抵抗が必要ですが、トリミングはきわめて容易です。トリミングする抵抗も比較的少数です。

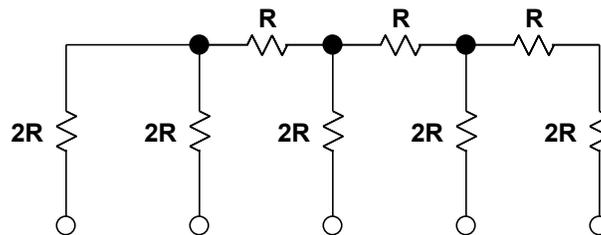


図 6.13: 4 ビットの R-2R ラダー・ネットワーク

この構成は、大きな DAC ファミリーのベースとなります。AD7524 のブロック図を図 6.14 に示します。これは、基本の電流出力 CMOS DAC の代表的製品です。この図から DAC の構成がわかります。

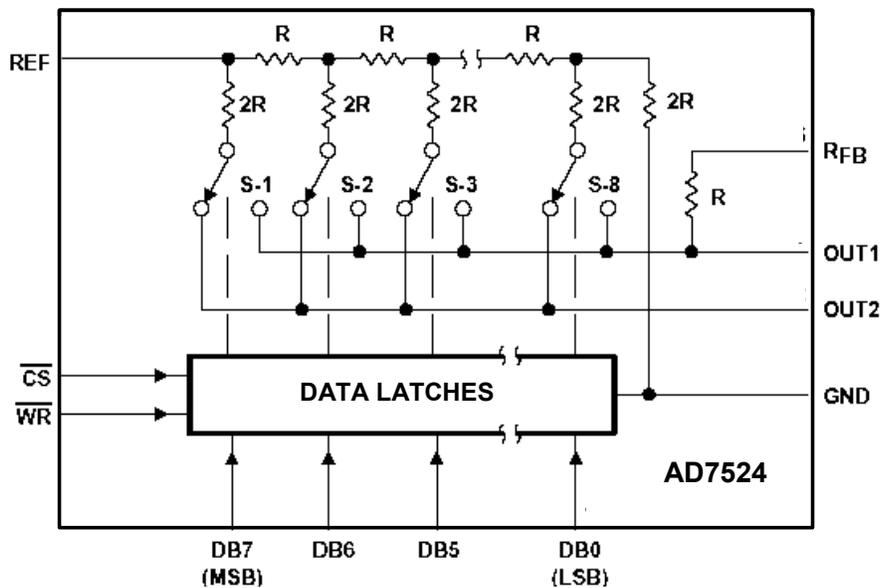


図 6.14: AD7524 CMOS DAC のブロック図

入力インピーダンス（基本的に抵抗値）は、厳密に規定されないパラメータです。規定範囲は 4:1 です（最小 5 kΩ、最大 20 kΩ、ただし通常はこれより範囲が狭い）。これは目的の抵抗の相対精度であって絶対精度ではありません。ほとんどのアプリケーションでは、絶対値は重要ではありません。ただし、この値が重要なアプリケーションもあります。このような場合は、テスト時にデバイスを選択する必要があります。

R_{FEEDBACK} ピンに追加されている抵抗に注意してください。これは I/V オペアンプの帰還抵抗とするために追加されたものです。この抵抗は残りの抵抗と一緒にトリミングされるため、これらに追従します。また、残りの抵抗と同じ材料で作られるため温度係数が等しく、さらに同一基板上にあるため温度が等しいので、全温度範囲にわたってそれらの抵抗に追従します。

最新の CMOS DAC の例として、AD7394 を図 6.15 に示します。ここには明らかにいくつかの傾向が見られます。まず、出力が電流ではなく電圧です。プロセス技術の進歩により、妥当な品質の CMOS オペアンプが製造できるようになりました。ラッチが 2 段になっていることにも注目してください。これらのラッチの目的は、マイクロコントローラがシステム内のすべての DAC に書き込みをし、そのすべてを同時に更新できるようにすることです。これについては後のセクションでより詳しく説明します。さらに、パワーオン・リセット回路にも注目してください。CMOS DAC のウェイクアップ状態は不定であり、再現性がないため、多くの最新 DAC には、目的とするアプリケーションがユニポーラかバイポーラかに応じて、出力を最小スケールの半分にするかどうかを強制設定する回路が組み込まれています。最も明確な違いと思われるのは、複数個の DAC を搭載したパッケージであることです。デバイス構成の小型化により、今日使用されている小型のパッケージにさえ、より多くの回路を組み込むことが可能になりました。

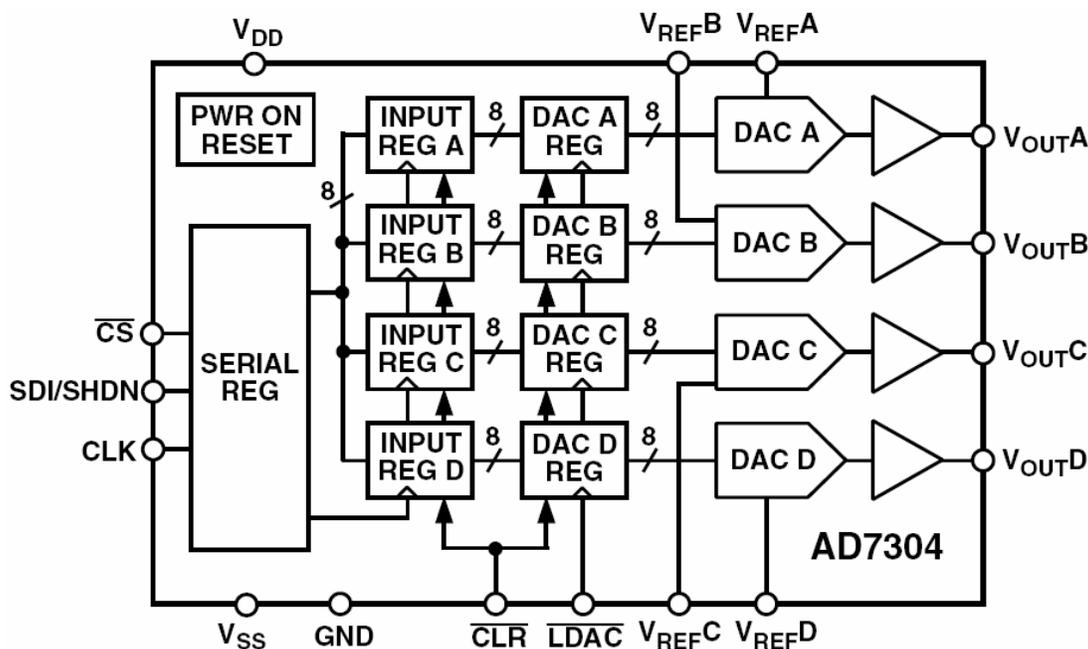


図 6.15: AD7394 クワッド CMOS DAC のブロック図

前出の例は CMOS デバイスでした。つまり、スイッチが CMOS スイッチで実装されていました。このスイッチは、バイポーラ・トランジスタ (BJT) で実装することもできます。その一例が代表的な DAC-08 です。このブロック図を図 6.16 に示します。BJT の実装の大きな違いの 1 つは、スイッチにより電流が一方向に流れることで、これに対して CMOS スイッチでは電流が双方向に流れます。このため、BJT DAC の動作は 2 象限に制限されますが、CMOS DAC では 4 象限動作が可能です。大抵は電源も異なります。

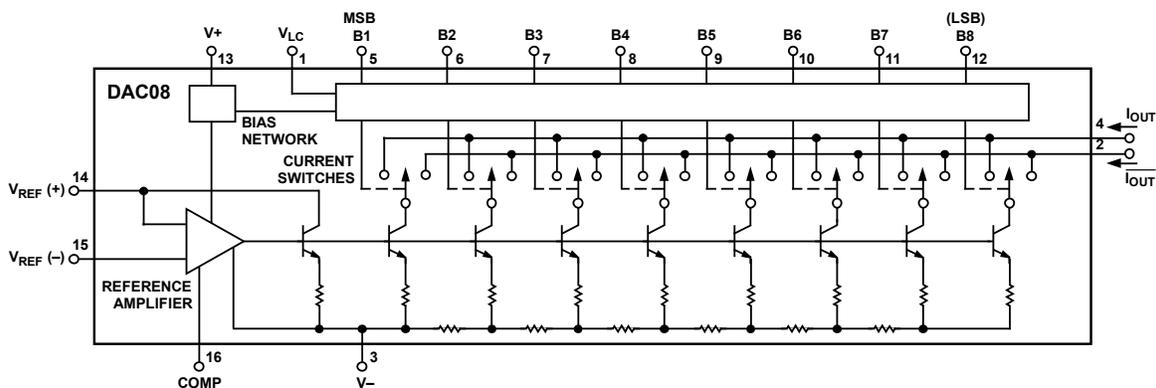


図 6.16: DAC-08 のブロック図

R-2R ラダー・ネットワークを DAC として使うには、いわゆる電圧モードと電流モードの 2 つの方法があります (これらは「通常」モードと「反転」モードと呼ばれることもありますが、電圧モードと電流モードのどちらがラダー・ネットワークの「通常」モードであるかに関するコンセンサスがないため、これらの名称は誤解を招く可能性があります。もっともほとんどの場合、電流モードが「通常」モードと見なされます)。それぞれのモードには長所と短所があります。

図 6.17 に示す電流モード R-2R ラダー型 DAC では、 V_{REF} 端子の直列抵抗で DAC のゲインを調整することができます。電流モードでは、ラダーの終端 (インピーダンスがコードに依存しない) を V_{REF} 端子として使用し、アームの終端をグラウンドと、グラウンド電位に保持しなければならない出力ラインとの間で切り替えられるからです。電流モードのラダー・ネットワーク出力は、通常、オペアンプの反転入力 (仮想グラウンド) に接続されますが、デジタル・コードによって DAC の出力インピーダンスが変動すると、このオペアンプを安定化させるのは困難になります。

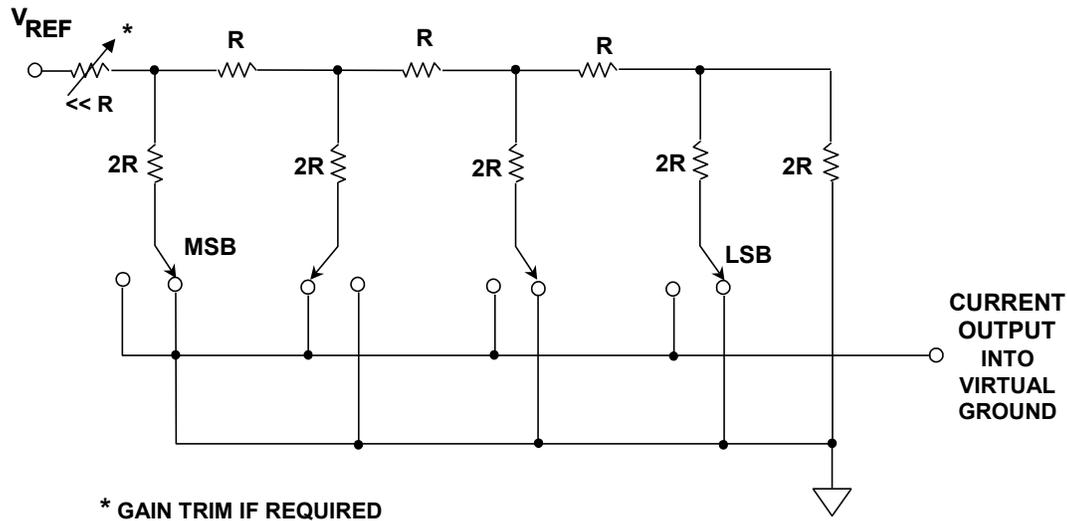


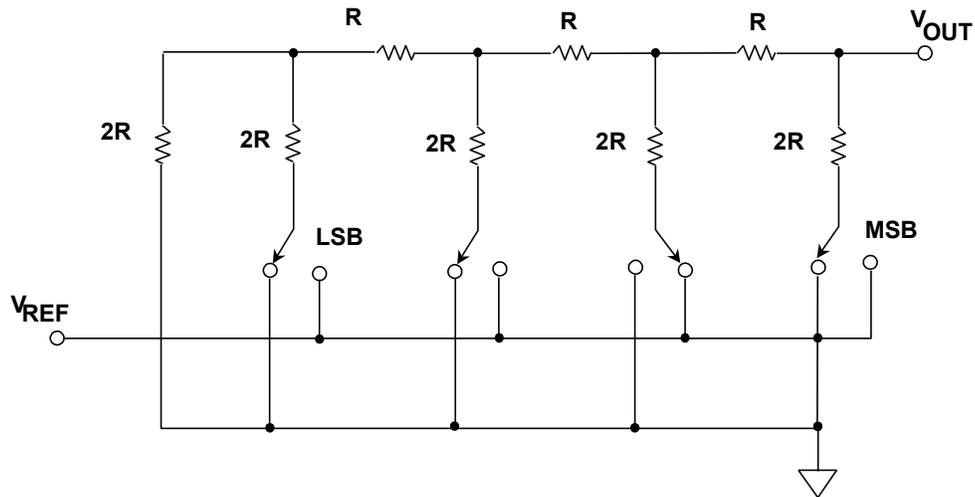
図 6.17: 電流モードの R-2R ラダー型 DAC

電流モード動作では、スイッチが出力ラインに直接接続されるため、電圧モードよりもスイッチング・グリッチが大きくなります。しかし、電流モードでのラダー・ネットワークのスイッチは常にグラウンド電位になっているため、設計要求はあまり厳しくなく、特に電圧定格はリファレンス電圧定格に影響しません。両方向に電流を流すことができるスイッチ（CMOS デバイスなど）を使用する場合、リファレンス電圧の極性はどちらでもよく、交流でもかまいません。このような構成は乗算型 DAC（MDAC）として使用される最も一般的なタイプの 1 つで、このセクションの後半で説明します。

スイッチは常にグラウンド電位にあるか、それに非常に近いため、スイッチが、このタイプの DAC で行うメークビフォアブレイク型であれば、最大リファレンス電圧がロジック電圧を大幅に超える可能性があります。CMOS MDAC が 5 V 単電源で動作しているときは、 ± 30 V リファレンスを（あるいは 60 V ピーク to ピークの AC リファレンスでさえ）許容することがわかっています。

図 6.18 に示す電圧モードの R-2R ラダー型 DAC では、ラダーの「ラング」つまりアームは V_{REF} とグラウンド間で切り替えられ、出力がラダーの端から得られます。出力は電圧と考えられますが、出力インピーダンスはコードに依存しないため、同様に、仮想グラウンドに流れるのは電流であるとも考えることも可能です。

電圧出力は、一定の出カインピーダンスと同様、このモードの利点です。これによって、出力ノードに接続されるアンプを容易に安定させることができます。また、スイッチはラダーのアームを低インピーダンスの V_{REF} 接続とグラウンド（これももちろん低インピーダンス）間で切り替えるので、容量性のグリッチ電流が負荷に流れにくくなります。一方、スイッチは広い電圧範囲（ V_{REF} からグラウンドまで）で動作する必要がありますが、設計と製造の観点では困難なうえ、リファレンス入力のインピーダンスはコードに応じて大きく変化するため、リファレンス入力を非常に低いインピーダンスで駆動する必要があります。さらに、DAC のゲインは、 V_{REF} 端子と直列に接続した抵抗では調整することができません。



Adapted from: B. D. Smith, "Coding by Feedback Methods," Proceedings of the I. R. E., Vol. 41, August 1953, pp. 1053-1058

図 6.18: 電圧モードの R-2R ラダー・ネットワーク型 DAC

電圧モードの最も重要な利点は、単電源動作が可能なことでしょう。その理由は、電流モードのコンバータでは、I/V コンバータとして一般に使われるオペアンプは反転構成なので、グラウンド基準であるとすれば、正の入力に対して負の出力が必要になるからです。もちろん、すべてをレールスプリッタ・グラウンドにバイアスすることはできますが、システムに他の問題が生じます。

乗算型 DAC (MDAC)

ほとんどの場合、DAC のリファレンスは非常に安定した DC 電圧です。しかし場合によっては、可変リファレンスを使ったほうが便利ことがあります。CMOS スイッチを用いた R-2R ラダー構成では、入力バイポーラ（正と負の）信号を容易に扱うことができます。バイポーラ信号を入力できれば、2 象限および 4 象限の乗算型 DAC を構成可能です。8 ビット DAC における 2 象限 MDAC の回路図を図 6.19 に、その動作概要を表 I に示し、4 象限 MDAC の回路図を図 6.20 に、その動作概要を表 II に示します。

バイポーラ・トランジスタをスイッチとして使用する上述の DAC-08 などの DAC では、リファレンスにバイポーラ信号を与えることはできません。したがって、2 象限の MDAC しか実装できません。また、リファレンス電圧を 0 V まで下げ切ることはできません。最大許容範囲は、通常、許容リファレンス電圧範囲の 10% ~ 100% です。

MDAC の主なアプリケーションの 1 つは可変ゲイン・アンプで、ゲインは MDAC に入力されるデジタル・ワードによって制御されます。

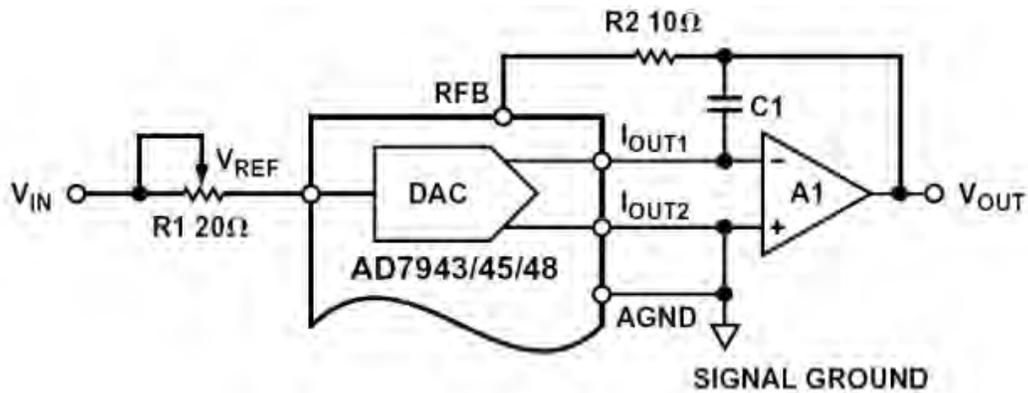


図 6.19: 2 象限の乗算型 DAC

Table I. Unipolar Binary Code Table

| Digital Input MSB | LSB | Analog Output |
|----------------------|------|-------------------------------------|
| 1111 | 1111 | $-V_{REF}$ (255/256) |
| 1000 | 0001 | $-V_{REF}$ (129/256) |
| 1000 | 0000 | $-V_{REF}$ (128/256) = $-V_{REF}/2$ |
| 0111 | 1111 | $-V_{REF}$ (127/256) |
| 0000 | 0001 | $-V_{REF}$ (1/256) |
| 0000 | 0000 | $-V_{REF}$ (0/256) = 0 |

Note: 1 LSB = $(2^{-8})(V_{REF}) = 1/256 (V_{REF})$

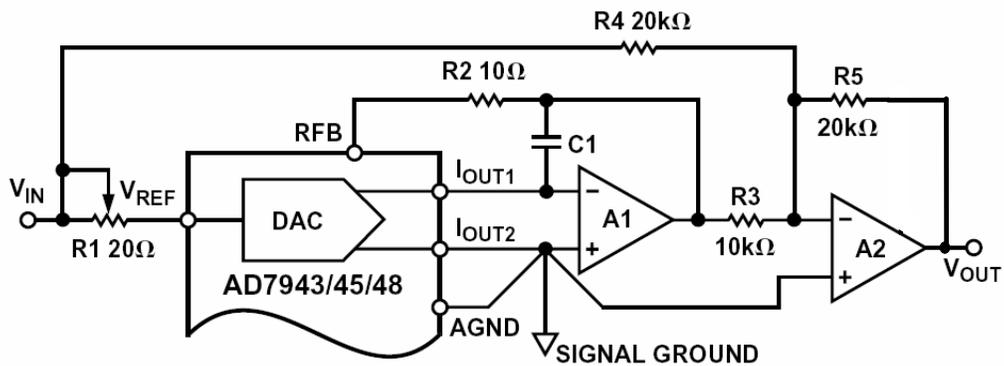


図 6.20: 4 象限の乗算型 DAC

Table II. Bipolar (Offset Binary) Code Table

| Digital Input MSB | LSB | Analog Output |
|----------------------|------|----------------------|
| 1111 | 1111 | $+V_{REF}$ (127/128) |
| 1000 | 0001 | $+V_{REF}$ (1/128) |
| 1000 | 0000 | 0 |
| 0111 | 1111 | $-V_{REF}$ (1/128) |
| 0000 | 0001 | $-V_{REF}$ (127/128) |
| 0000 | 0000 | $-V_{REF}$ (128/128) |

Note: 1 LSB = $(2^{-7})(V_{REF}) = 1/128 (V_{REF})$

MDAC の周波数応答は、オフ状態におけるスイッチ間の寄生容量によって制限されます。周波数が高くなるにつれて、コンデンサのインピーダンスが低下し、実質的にスイッチをバイパスします。これにより、高い周波数でのオフ・アイソレーションが低減します。一般に、MDAC の周波数応答は 1 MHz のオーダーです。

セグメント型 DAC

これまでは基本的な DAC アーキテクチャを主に見てきました。特定の性能を持つ DAC を設計する必要がある場合、1 つのアーキテクチャだけでは理想的と言えないことがあります。このような場合、必要な性能を得るために 2 個以上の DAC を組み合わせて 1 個の高分解能 DAC とすることができます。これらの DAC は同じタイプでも異なるタイプでもよく、分解能が同じである必要はありません。例えば、セグメント・ストリング型 DAC は、2 個のケルビン DAC をカスケード接続したセグメント型 DAC です。

通常、片方の DAC が MSB を、もう一方の DAC が LSB を処理し、それらの出力を何らかの方法で合わせます。このプロセスを「セグメンテーション」と言い、これをより複雑に構成したものを「セグメント型 DAC」と呼びます。セグメント型 DAC にはさまざまな種類がありますが、そのごく一部を以下のいくつかの図に示します。ある DAC がセグメント型かどうかは、データシートを見てもわからないことがあります。

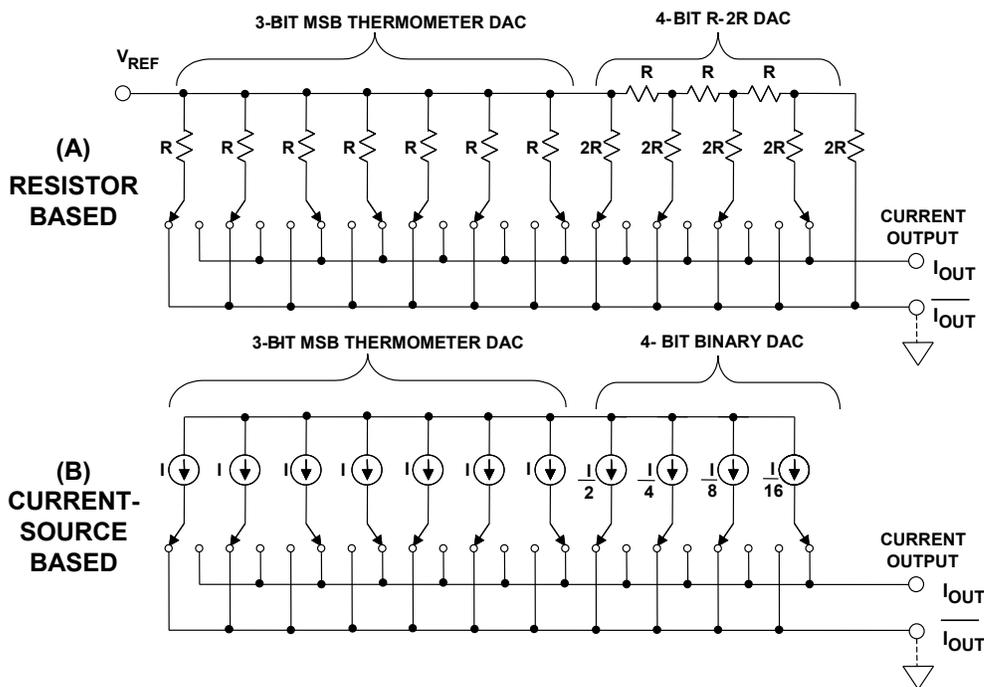


図 6.21: セグメント型電流出力 DAC:
(A) 抵抗ベース、(B) 電流源ベース

ビデオや通信などの高周波再構成アプリケーション向けの超高速 DAC は、多くはフル・デコードされた電流源を並べて構成されます。

2 LSB や 3 LSB であれば、バイナリに重み付けされた電流源を使用できます。このような DAC は高周波で歪みの小さいことがきわめて重要で、設計上考慮すべき重要な課題がいくつかあります。

セグメント型電流出力 DAC の 2 つの構成例を図 6.21 に示します。図 6.21A は、抵抗ベースの 7 ビット DAC の構成方法で、3 MSB がフル・デコードされ、4 LSB は R-2R ネットワークから得られます。図 6.21B は、電流源を使用した同様の実装方法を示しています。今日の高速度再構成 DAC としては、電流源ベースの実装が最も一般的です。

フル・デコードした複数のサーモメーター・セクションを使用して DAC 全体を構成するほうが望ましいこともよくあります。フル・デコードした 2 個の 3 ビット DAC で構成された 6 ビット DAC を図 6.22 に示します。前述したように、これらの電流スイッチは、出力グリッチを最小にするために、並列ラッチから同時に駆動しなければなりません。

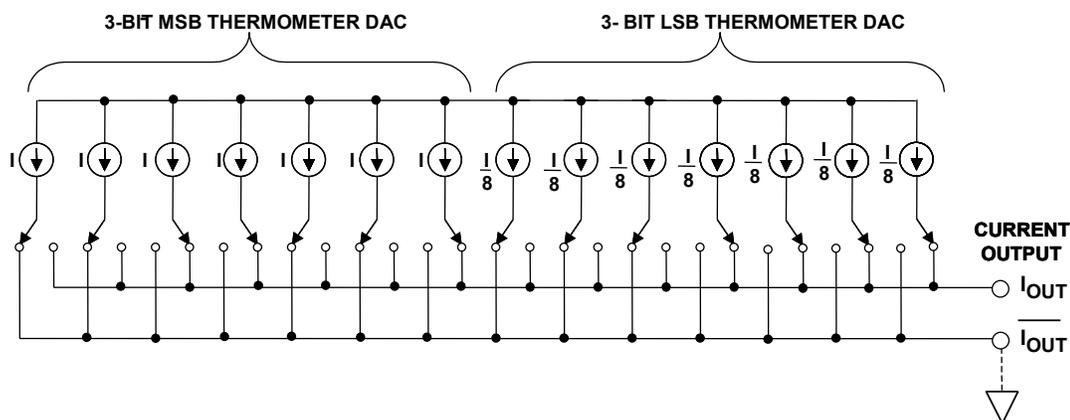


図 6.22: 6 ビット電流出力セグメント型 DAC
(2 個の 3 ビット・サーモメーター DAC を使用)

14 ビット、160-MSPS (入力) / 400-MSPS (出力) TxDAC™ である AD9775 は、3 つのセグメンテーション・セクションを使用しています (図 6.23 参照)。AD977x ファミリーと AD985x ファミリーの他の製品も、これと同じ基本コアを使用しています。

最初の 5 ビット (MSB) はフル・デコードされ、等しく重み付けされた 31 個の電流スイッチを駆動し、それぞれが 512 LSB の電流を供給します。次の 4 ビットは、15 個の電流スイッチを駆動する 15 本のラインにデコードされ、それぞれが 32 LSB の電流を供給します。5 LSB はラッチされ、出力レベルごとに 1 LSB を供給する、バイナリの重み付けされた従来の DAC を駆動します。この超低グリッチのアーキテクチャを実装するには、合計 51 個の電流スイッチとラッチが必要です。

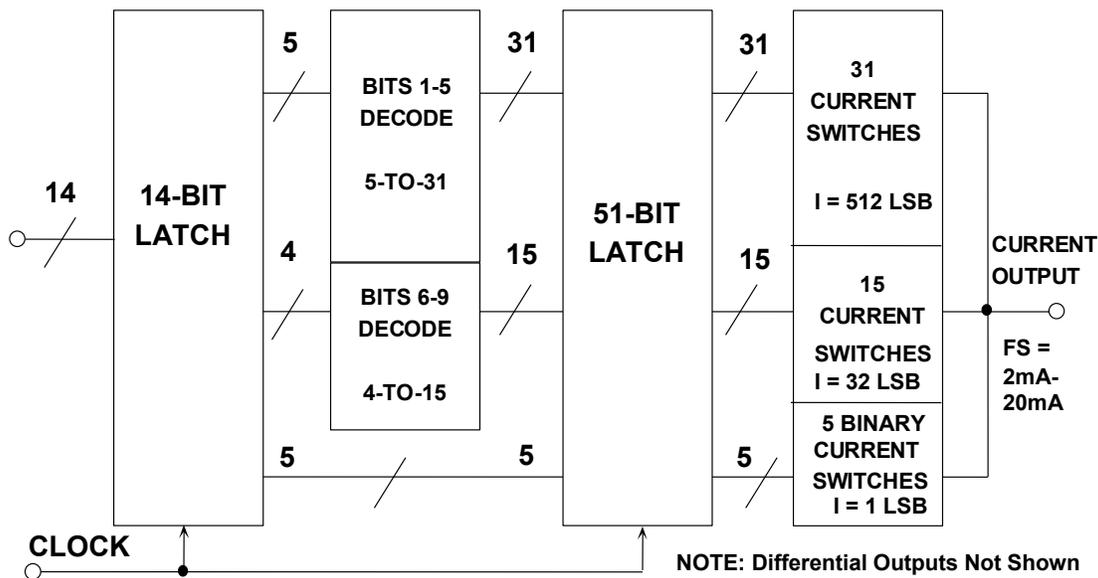


図 6.23: AD9775 TxDAC 14 ビット CMOS DAC のコア

すべてのデータの準備を整え、DAC のすべてのスイッチに同時に与えられるようにするには、新しいデータを DAC に与える前にデコードを実行する必要があります。これを実行するには、一般に、フル・デコードされるアレイ内の各スイッチに個別の並列ラッチを使用します。全スイッチの状態が瞬時かつ同時に変化すれば、スキュー・グリッチは発生しません。チップ周囲の伝搬遅延およびスイッチ抵抗と浮遊容量の時定数を慎重に設計することにより、更新の同期が適切に行われるため、グリッチ関連の歪みは非常に小さくなります。

シグマ・デルタ DAC

シグマ・デルタ DAC については、「シグマ・デルタ」のセクションで詳しく説明します。

I/V コンバータ

最新の IC DAC は電圧出力または電流出力を提供します。3 つの基本的な構成を図 6.24 に示します。これらはすべて、出力電圧のバッファにオペアンプを使用しています。

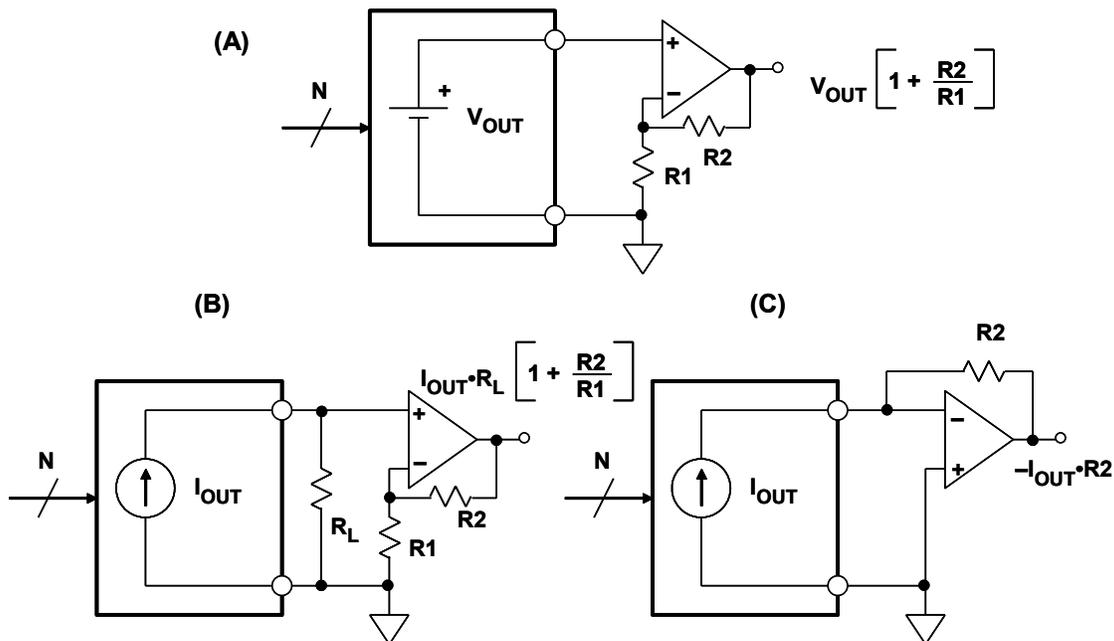


図 6.24: オペアンプによる DAC 出力のバッファリング

電圧出力 DAC のバッファリングを図 6.24A に示します。多くの場合、追加バッファリングなしで DAC 出力を直接使用することができます。追加のオペアンプが必要な場合は、通常は非反転モードで構成し、ゲインは R1 と R2 により決定します。

電流出力型の DAC を扱う方法は基本的に 2 つあります。

出力電流を電圧に変換する直接的な方法を図 6.24C に示します。この回路を一般に電流／電圧コンバータ (I/V) と言います。この回路では、DAC 出力がオペアンプの反転入力を駆動し、出力電圧が帰還抵抗 R2 の両端に発生します。この方法では、DAC 出力は常に仮想グラウンドで動作します (図 6.24B の場合よりも直線性が改善することがあります)。

図 6.24B では、単に外部負荷抵抗 R_L の両端に電圧が発生します。これには通常、高速オペアンプが使用されます。必要に応じて外部オペアンプを使って、この電圧をバッファや増幅することができます。出力電流の高速エッジがアンプのスルー・レートを超過して歪みを生じる可能性があるため、出力電流はオペアンプに直接ダンプせず抵抗にダンプします。多くの DAC は 20 mA 以上のフルスケール電流を供給するので、値がかなり小さい負荷抵抗の両端に十分な電圧を生じさせることができます。

例えば、高速セtringのビデオ DAC は、通常約 30 mA のフルスケール電流を供給するので、ソースと負荷終端した 75 Ω 同軸ケーブルの間 (DAC 出力には 37.5 Ω の DC 負荷として現れる) に 1 V を発生させることができます。

DAC バッファに使用するオペアンプには、一般にはオペアンプの性能が DAC の性能を損なわないものを選択します。考慮対象の基本仕様は、DC 精度、ノイズ、セtring時間、帯域幅、歪みなどです。

差動/シングルエンドの変換技術

最新の電流出力 DAC の一般的なモデルを図 6.25 に示します。これは、AD976X および AD977X TxDAC シリーズ (参考資料 1 参照) の代表的なモデルです。

電流出力は、特にオーディオ周波数以上では、電圧出力よりも一般的です。DAC がバイポーラまたは BiCMOS のプロセスで製造されていると、出力がシンク電流になり、(内部の R/2R 抵抗ラダー・ネットワークにより) 出力インピーダンスが 500 Ω 以下になることが多くなります。一方、CMOS DAC では、出力電流がソースされ、通常は 100 kΩ を超える高出力インピーダンスになる傾向があります。

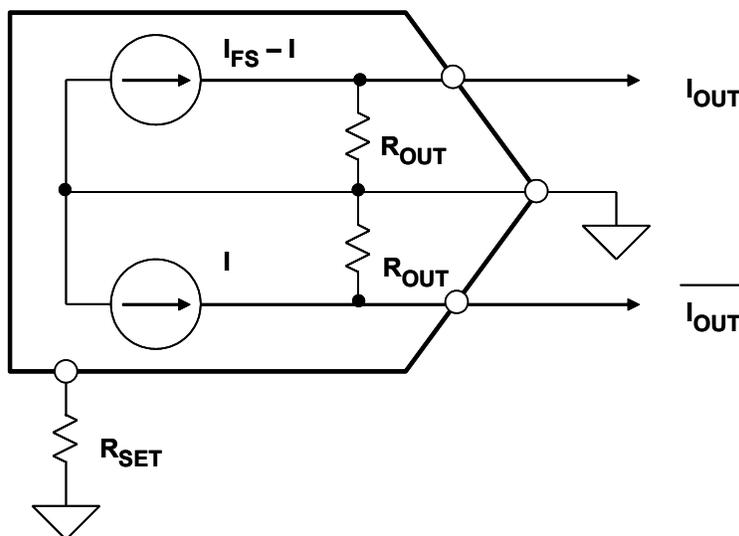


図 6.25: 高速 DAC の出力モデル

この他、出力コンプライアンス電圧についても考慮する必要があります。これは、DAC が直線性を維持するうえで、出力で許容される最大電圧振幅です。この電圧は通常は 1 V ~ 1.5 V ですが、DAC によって異なります。DAC の最良の直線性は、一般にオペアンプの I/V コンバータなどの仮想グラウンドを駆動するときに得られます。通常、最新の電流出力 DAC は差動出力を備えており、高い同相ノイズ除去を実現して、偶数次の歪み積を低減します。フルスケール出力電流は 2 mA ~ 20 mA が一般的です。

ほとんどのアプリケーションでは、DAC の差動出力を同軸ケーブルの駆動に適したシングルエンド信号に変換することが求められます。これは、低周波応答が必要でなければ、RF トランスを用いて容易に実現することができます。

この方法の代表例を図 6.26 に示します。DAC の高インピーダンスの電流出力は $50\ \Omega$ で差動終端されるため、トランスのソース・インピーダンスは $50\ \Omega$ と定義されます。

この結果生じる差動電圧は 1:1 の RF トランスの 1 次側を駆動し、2 次側巻線の出力にシングルエンド電圧を発生させます。 $50\ \Omega$ の LC フィルタの出力は $50\ \Omega$ の負荷抵抗 R_L とマッチングされ、最終的に $1\ V_{p-p}$ の出力電圧が生じます。

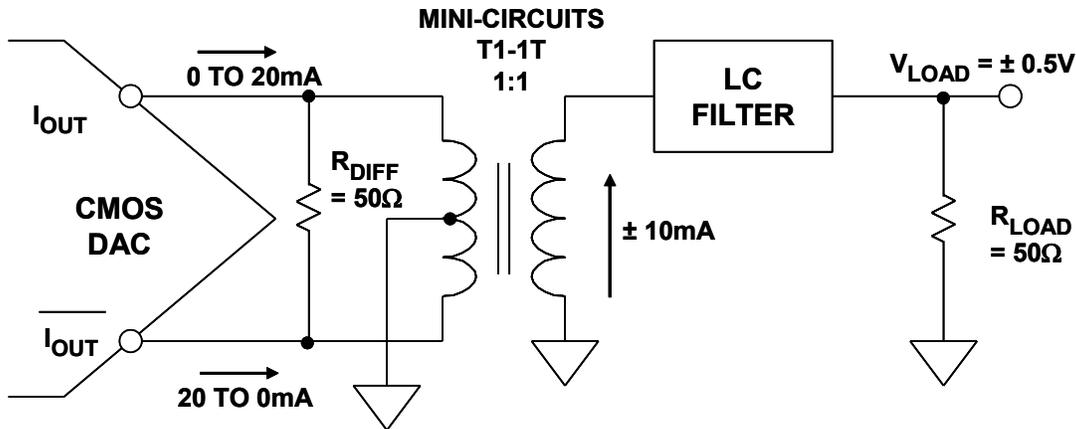


図 6.26: 差動トランス結合

トランスは、差動出力をシングルエンド信号に変換するだけでなく、DAC の出力を LC フィルタによるリアクタンス負荷から分離することで、全体的な歪み性能を改善します。

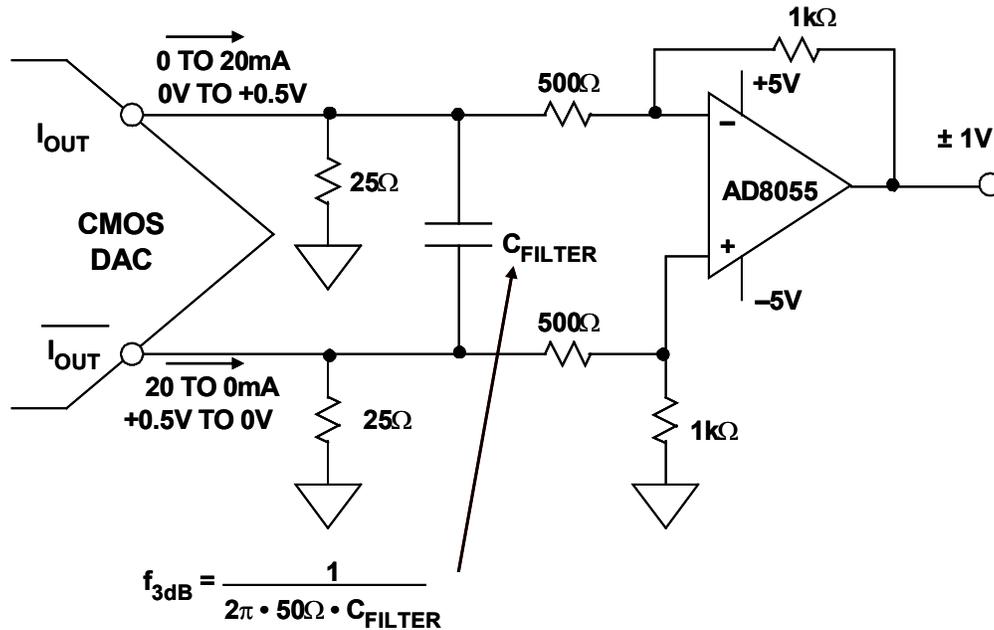


図 6.27: デュアル電源オペアンプを使用した差動 DC 結合出力

DC までの周波数応答が必要な場合にシングルエンド出力を得るには、差動/シングルエンドのコンバータとして接続されたオペアンプを使用します。図 6.28 では、高帯域幅と低歪みを実現するために AD8055 オペアンプを使用しています (参考資料 2 参照)。電流出力 DAC はバランス型の $25\ \Omega$ の抵抗負荷を駆動することによって、各出力で $0\ \text{V} \sim +0.5\ \text{V}$ の逆相電圧を生成します。AD8055 はゲインが 8 に設定され、最終的に、グラウンドを基準とする $2\ \text{V}_{\text{p-p}}$ のシングルエンド出力電圧を生成します。出力信号はグラウンドの上下に振幅するため、両電源のオペアンプが必要なことに注意してください。

C_{FILTER} コンデンサは、差動出力インピーダンスが $50\ \Omega$ の差動フィルタを構成しています。このフィルタによりオペアンプのスルーに起因する歪みを低減し、フィルタの最適なカットオフ周波数を経験的に決定することで、最良の総合歪み性能が得られます。

オペアンプのコモンモード電圧が電源の中心 ($+2.5\ \text{V}$) に設定されている場合は、図 6.27 の回路を変更することによって単電源で動作させることもできます。これを図 6.28 に示します。出力電圧は、 $+2.5\ \text{V}$ のコモンモード電圧を中心とした $2\ \text{V}_{\text{p-p}}$ となります。このコモンモード電圧は、抵抗分圧器を使用して $+5\ \text{V}$ 電源から生成するか、または $+2.5\ \text{V}$ の電圧リファレンスから直接生成することができます。 $+5\ \text{V}$ 電源をコモンモード電圧として使用する場合は、電源ノイズが増幅されないように十分なデカップリングが必要です。

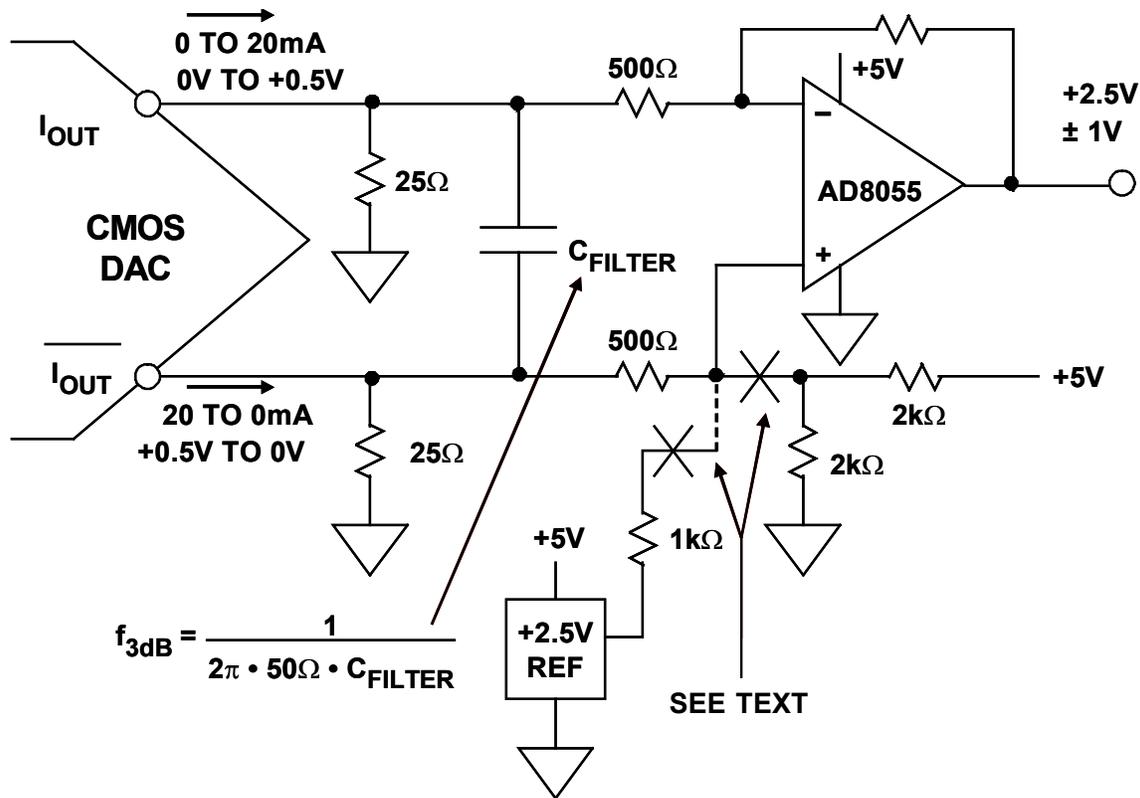


図 6.28: 単電源オペアンプを使用した差動型の DC 結合出力

シングルエンドの電流／電圧変換

シングルエンドの電流／電圧変換は、図 6.29 に示すように、1 個のオペアンプを I/V コンバータとして使用することで容易に実行できます。AD768 からの 10mA フルスケール DAC 電流（参考資料 3 参照）によって、200 Ω RF の両端に 0 V ～ +2 V の出力電圧が生成されます。

AD8055 オペアンプの仮想グラウンドを駆動すると、DAC 出力インピーダンスの非直線性に起因する歪みを最小にできます。実際、このタイプの最も分解能の高い DAC は、I/V コンバータを使って工場出荷時にトリミングされています。

ただし、このように DAC のシングルエンド出力を使用すると、差動動作モードに比べて同相ノイズ除去率が低下し、2 次歪み積が増加することを覚えておいてください。

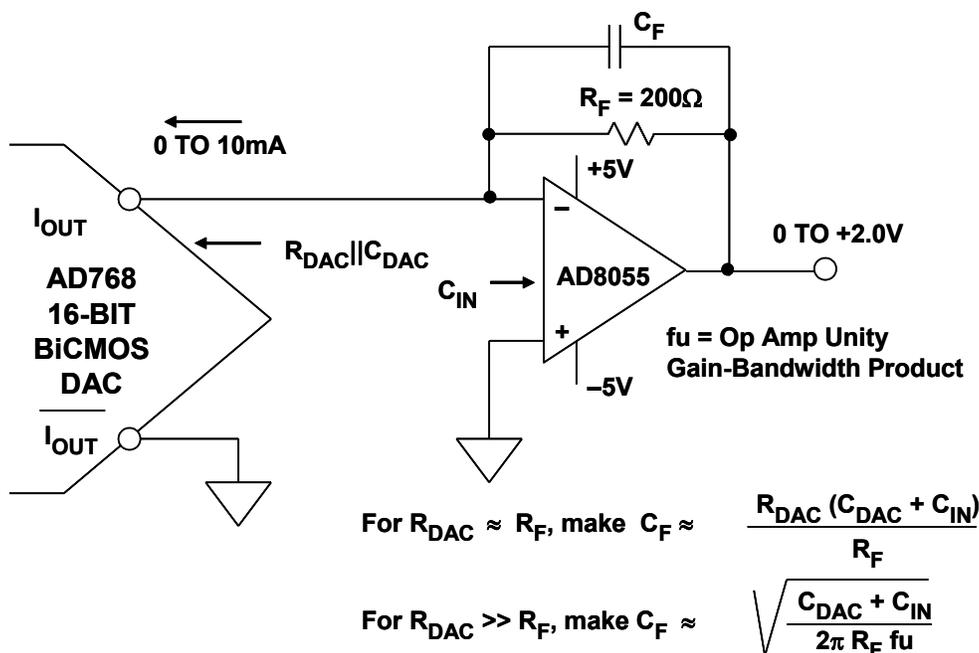


図 6.29: 高精度の 16 ビット DAC、AD768 向け
シングルエンド I/V オペアンプのインターフェース

この回路で最良のパルス応答を得るには、C_F 帰還コンデンサを最適化する必要があります。図中に示す方程式は単なるガイドラインとして使用してください。この回路のより詳細な分析は、参考資料に記載されています。

差動電流／差動電圧変換

電流出力 DAC の差動電圧出力をバッファする必要がある場合、差動アンプの AD813X シリーズ を使用できます（図 6.30 参照）。

DAC の出力電流は、まず $25\ \Omega$ 抵抗の両端に生じる電圧に変換されます。この電圧は AD813X で 5 倍に増幅されます。この技術は直接的な I/V 変換の代わりに使用され、DAC の高速スルー電流によりアンプに過負荷がかかって歪みが発生しないようにします。DAC の出力電圧がコンプライアンス定格内に収まるように注意する必要があります。

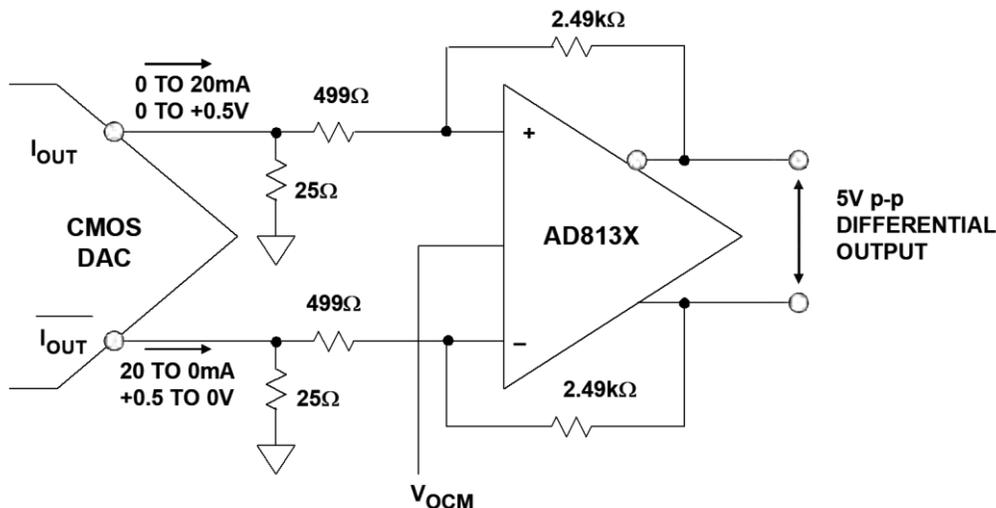


図 6.30: AD813X 差動アンプを使用した高速 DAC のバッファリング

AD813X の V_{OCM} 入力を使用して、最終出力のコモンモード電圧を AD813X の範囲内に収めることができます。出力で伝送ラインを駆動する場合は、1 対の $75\ \Omega$ 抵抗を追加します。

デジタル・インターフェース

最も初期のモノリシック DAC にはロジック回路がほとんど含まれていなかったため、デジタル出力を保持するにはパラレル・データをデジタル入力で保持する必要がありました。現在ではほとんどの DAC はラッチされており、データは書き込むだけでよく、保持する必要はありません。中には不揮発性ラッチを備えているものもあり、電源を切っている間も設定を記憶します。

DAC のデジタル入力構成には無数のバリエーションがあり、それについてはここでは説明しませんが、ほぼすべてが「ダブルバッファ付き」と言われています。ダブルバッファ付き DAC には 2 組のラッチがあります。図 6.31 に示すように、データは最初に第 1 列でラッチされ、次に第 2 列に転送されます。こうした配置が有用である理由は 2 つあります。

1 つは、データをさまざまな方法で DAC に入力できることです。ラッチがない DAC、またはラッチが 1 段だけの DAC では、すべてのビットを同時に並列にロードする必要があります。そうしなければ、ロード時の DAC の出力が、ロード前やロード後の出力と大きく異なる可能性があるからです。一方、ダブルバッファ付き DAC では、パラレル・データ、シリアル・データ、あるいは 4 ビット・ワードや 8 ビット・ワードなどをロード可能で、新しいデータが完全にロードされて DAC が更新命令を受信するまで、出力は影響を受けません。

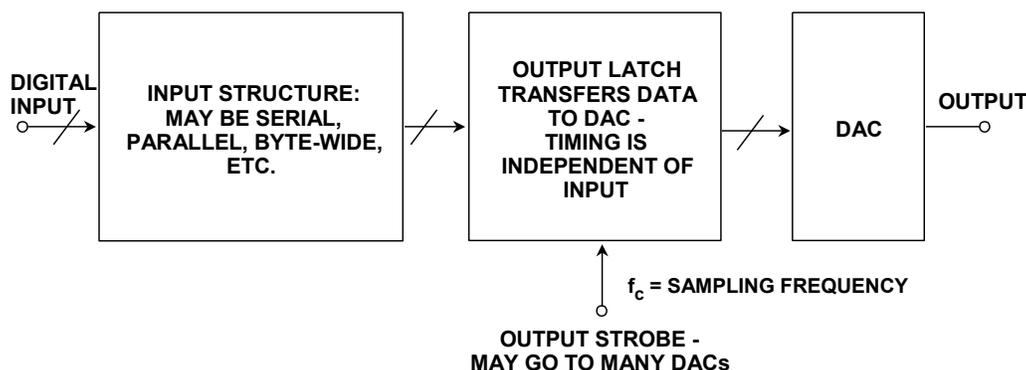


図 6.31: 複雑な入力構成と同時更新を可能にするダブルバッファ付き DAC

ダブルバッファ構成のもう 1 つの利点は、多数の DAC を同時に更新できることです。各 DAC の最初の列に順番にデータがロードされ、すべての準備が完了すると、全 DAC の出力バッファが一度に更新されます。多くの DAC の出力を同時に変更する必要がある DAC アプリケーションは多数あり、ダブルバッファ構成にすると、これを非常に容易に行うことができます。

ほとんどの初期のモノリシック高分解能 DAC はパラレルまたはバイト幅のデータ・ポートを持ち、パラレル・データ・バスとアドレス・デコーダに接続され、マイクロプロセッサによって非常に小さな書き込み専用メモリのように扱われる傾向がありました。(一部のパラレル DAC は書き込み専用でなく、その内容を読み出すことも可能です。この DAC はアプリケーションによっては便利ですが、あまり一般的ではありません)。データ・バスに接続された DAC は、バスからアナログ出力へのロジック・ノイズの容量性結合を起しやすくなります。シリアル・インターフェースは (ノイズの多いピンが少ないので) こうしたノイズの影響を受けにくく、ピン数が少ないためボード面積が小さくなり、ほとんどがシリアル・ポートを備えた今日のマイクロプロセッサと使用するのに便利ながよくあります。このようなシリアル DAC にはデータ出力とデータ入力を備え、複数の DAC を直列接続して 1 つのシリアル・ポートから全データをクロック入力できるものがあります。このような構成はしばしば「デジチェーン」と呼ばれます。

もちろん、更新レートが高いと、シリアル・データのクロック・レートが高くなりすぎるため、シリアル DAC は使用できません。超高速 DAC の中には、実際には 2 つのパラレル・データ・ポートを持ち、各ポートのデータ・レートを下げるためにマルチプレクサを利用して交互に切り替えるものもあります (これを「ピンポン」入力と呼ぶことがあります) (図 6.32 参照)。交互にロードを行う (ピンポン方式) 図中の DAC では、クロックの立上がりエッジと立下がりエッジでポート A とポート B からデータが交互にロードされます。この場合は、マーク・スペース比を 50:50 に近づける必要があります。外部クロックの精度があまり高くない場合でも、内部クロック乗算器により正確に 50:50 の時間比で、DAC 自体がデータ A とデータ B で交互に更新されるようになります。

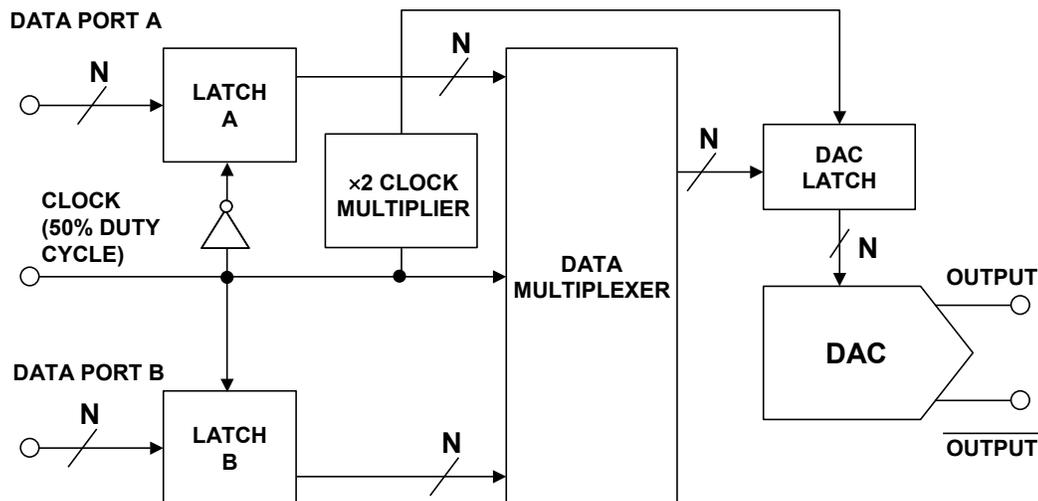


図 6.32: 交互データ入力型 (ピンポン方式) 高速 DAC

従来、IC のロジック回路 (エミッタ結合ロジック (ECL) を除く) は 5 V 電源で動作し、ロジック・レベルには互換性がありました (一部例外を除き、5 V ロジックが他の 5 V ロジックとインターフェースする)。現在では、3.3 V、2.7 V、あるいはそれ以下の電源で動作する低電圧ロジックが登場してきたため、ロジック・インターフェースに互換性を持たせることが重要です。それには、絶対最大定格、最悪ケースでのロジック・レベル、タイミングなど、考慮すべき点がいくつかあります。一般に IC のロジック入力、他のほとんどの入力と同様、絶対最大定格が電源電圧を 300 mV 超えた電圧となっています。これは瞬間的な定格であることに注意してください。このような定格の IC が +5 V 電源で動作している場合、ロジック入力は おそらく $-0.3\text{ V} \sim +5.3\text{ V}$ となります。しかし、電源が入っていない場合、IC に先のことはわからないので、入力の定格を 電源投入時のリミットである $-0.3\text{ V} \sim +5.3\text{ V}$ ではなく、 $+0.3\text{ V} \sim -0.3\text{ V}$ にする必要があります。

定格が 0.3 V の理由は、IC 内部の寄生ダイオードが IC の絶対最大定格外の電圧によってオンにならないようにするためです。ショットキー・ダイオード・クランプを使って、入力をこのような過電圧から保護するのがごく一般的です。低温では、ショットキー・ダイオードのクランプ電圧が 0.3 V を少し超えることがあります。そのため、IC の絶対最大定格をわずかに超える電圧が発生する可能性があります。厳密に言えば、IC に絶対最大定格を超えるストレスが加わるため、これは認められません。ただし、ショットキー・ダイオードが保護対象の IC と同様の温度 (約 $\pm 10\text{ }^{\circ}\text{C}$ 以内) であれば、一般ルールの例外として許容されます。

とはいえ、低電圧デバイスの中には、入力の高い絶対最大定格が電源電圧よりはるかに高いものがあります。そのため、このような回路は、追加のインターフェースまたはクランプ回路なしに高電圧ロジックで駆動することができます。ただし、データシートを読んで、ロジック・レベルと絶対最大電圧の両方が高電源と低電源のすべての組み合わせに適合することを確認することが重要です。

以下が、異なる低電圧ロジック回路をインターフェースする際の一般ルールです。すなわち、電源電圧が最小のとき、最悪ケースの負荷に接続された駆動回路からのロジック 1 の出力が、受信側の回路で規定されているロジック 1 の最小入力値よりも大きいこと、また、同様に電源電圧が最小で、最大許容出力シンク電流において、ロジック 0 の出力が受信側で規定されているロジック 0 の入力よりも小さいことを常に確認する必要があります。選択したデバイスのロジック仕様がこれらの基準を満たしていない場合は、別のデバイスを選択したり、異なる電源を使用したり、あるいは追加のインターフェース回路を使用して必要なレベルが得られるようにする必要があります。インターフェース回路を追加すると、タイミング遅延が増えることに注意してください。

実験的に設定してテストするだけでは不十分です。一般に、ロジックの閾値は余裕をもって規定されており、ロジック回路は通常は規定範囲外でも正常に動作しますが、量産向け設計でこれに頼ることはできません。ある時点で、必要な駆動量が通常よりわずかに大きい複数のデバイスを駆動するのに、低出力振幅の限界に近いデバイスがロットで必になります、それを実行するのは無理でしょう。

最近開発された高速ロジック・インターフェースの 1 つに LVDS (低電圧差動伝送) があります。LVDS は、CMOS シングルエンド・インターフェースの影響を緩和して、高速データ・レートに対応することにより、高速コンバータ・インターフェースの問題を解決します。LVDS 規格では、1.2 V のコモンモード電圧付近の電圧振幅の仕様が 350mV_{p-p} と規定されているため、平衡電流による高速差動デジタル信号の伝送が容易になり、スルー・レート条件が緩和されます。スルー・レートが低下すると、従来の CMOS ドライバに見られるノイズ勾配 (グラウンド・バウンスによるノイズにつながる) を除去できます。このグラウンド・バウンスによるノイズは、敏感なアナログ回路に結合し、コンバータのダイナミック・レンジを低下させる可能性があります。パラレル LVDS インターフェースは、高速データ・コンバータにおいて、きわめて高いデータ・レートと最適なダイナミック性能を可能にします。

また、LVDS は EMI の低減にも有効です。逆向きの電流によって発生する EMI 磁界は、(エッジ・レートをマッチングさせるために) 相互にキャンセルし合う性質があります。この利点は、長いパターン、スキュー、不連続性によって低下するので、これら避けるようにしてください。

この他、LVDS では、同様のデータ・レートの場合、デマルチプレクスされた CMOS ソリューションに比べ、タイミング制約が単純になります。デマルチプレクスされたデータ・バスに必要な同期信号が、LVDS では不要です。また、デマルチプレクスされた CMOS バスでは、ADC のサンプル・レートの半分のクロックが必要なため、コストと複雑さが増しますが、LVDS では不要です。一般に、LVDS は使用条件が寛容なため、よりシンプルでクリーンな設計が可能となります。

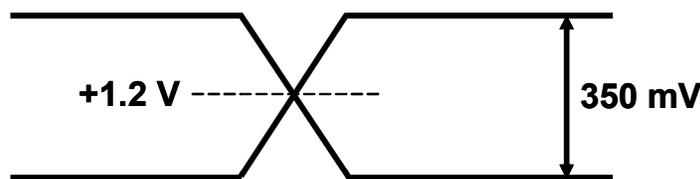


図 6.33: LVDS の出力レベル

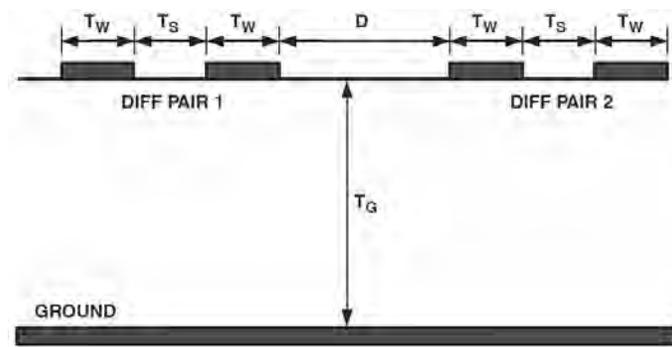
LVDS 仕様 (IEEE 標準 1596.3) は、1992 SCI プロトコル (IEEE 標準 1596-1992) を拡張して作成されたものです。SCI プロトコル自体は、ハイエンド・コンピューティングにおける高速パケット伝送に適しており、ECL レベルで使用されていました。

しかし、ローエンドのアプリケーションや電力消費を重視するアプリケーションには新しい標準が必要でした。LVDS 信号が選択されたのは、ECL 出力の場合に比べて電圧振幅が小さく、消費電力を重視する設計では低い電源電圧を使用できるからです。

一般に電圧出力である CMOS と異なり、LVDS は電流出力技術を使用しています。高性能コンバータの LVDS 出力は、デジタル・ロジックで使用される標準的な LVDS 出力とは異なる取り扱いが必要です。高速デジタル・アプリケーションにおいて、標準的な LVDS はデータ・レートに応じて 1 m ~ 10 m を駆動できますが、高性能コンバータでこうした距離を駆動させることは推奨できません。出力パターン長を短くして (2 インチ以下)、隣接する回路から出力へのノイズ結合 (アナログ出力に帰還してしまうことがある) を最小限に抑えるようにしてください。

差動出力パターンを近接して配線することで、レシーバーの近くに置いた 100 Ω の終端抵抗による同相ノイズ除去を最大限に高める必要があります。また、遅延によるスキューを最小限にするために、PCB パターンの長さに注意します。

PCB 上の差動マイクロストリップの代表的なパターン断面を図 6.34 に示します。



レイアウトのガイドライン

- T_w 、 T_s 、 D をパターン長全体で一定に保ちます
- $T_s \sim < 2 T_w$ に保ちます
- ビアの使用をできれば避けます
- $D > 2 T_s$ に保ちます
- 90° の曲がりをできれば避けます
- T_w と T_g を約 50 Ω 用に設計します

図 6.34: PCB のパターン間隔

このように高速 (0.5 ns 以下) のエッジ・レートでは、電源のデカップリングが非常に重要です。すべての電源とグラウンド・ピンに、低インダクタンスの表面実装型のコンデンサをできるだけコンバータに近づけて配置してください。PCB の裏面にデカップリング・コンデンサを配置することは、ビアのインダクタンスにより効果的なデカップリングが損なわれるため推奨できません。差動 Z_0 は、近接効果により各導体のシングルエンドの Z_0 の 2 倍よりわずかに小さくなる傾向があります。各ラインの Z_0 は 50 Ω より若干大きく設計する必要があります。重要なアプリケーションでは、シミュレーションを使用してインピーダンス・マッチングを検証することができます。パターン長が短い場合、この近接効果はあまり問題になりません。

データ・コンバータのロジック: タイミングとその他の問題

ロジック・アーキテクチャに関する説明がこの短いセクションの目的ではないので、多様なデータ・コンバータのロジック・インターフェースの動作やそのタイミング仕様について、ここでは定義しません。ただし、データ・コンバータのロジック・インターフェースが予想以上に複雑であることだけは述べておきます。メモリとインターフェースのチップに同じ名前のピンがあるからといって、データ・コンバータでも全く同様に機能するとは思わないでください。あいにく、同じメーカーであっても、ピン機能の標準的な命名法はありません。すべての制御ピンの動作を知るには、必ずデータシートを参照してください。この他、データ・コンバータには電源投入時に既知の状態にリセットされるものがありますが、多くはリセットされません。

しかし、タイミング全般の問題を検討することは不可欠です。現在の多くのデータ・コンバータに使用されている新しい低電圧プロセスには望ましい特長が多数あります。ユーザ（コンバータ設計者ではなく）が見見過しがちなそうした特長の1つが、ロジックの高速性です。旧式のプロセスで作成されたDACのロジックは、接続されるマイクロプロセッサよりもはるかに遅いことが多かったため、両者の互換性を図るために、別個のバッファや複数の WAIT 命令を使用する必要がありました。今日では、DAC の書込み時間が、接続される高速ロジックの書込み時間に対応しているほうがはるかに多く見られます。

ただし、すべてのDACがすべてのロジック・インターフェースと速度の互換性を持つとは限らないため、最小限のデータ・セットアップ時間と書込みパルス幅を確保することがやはり重要です。繰り返しになりますが、実験ではデバイスが仕様の要求より速い信号で動作することが多いものの、温度や電源電圧の限界ではそうならないことがあるため、インターフェースは測定されたタイミングではなく仕様に基づいて設計することが必要です。

DAC のインターポレーション (TxDAC のインターポレーション)

オーバーサンプリングの概念は、別のセクション（サンプリング理論）で説明しますが、通信アプリケーションで通常使用される高速DACに適用することができます。オーバーサンプリングは出力フィルタの条件を緩和する他、プロセス・ゲインによって S/N 比を向上させます。

従来のDACが30 MSPSの入力ワード・レートで駆動されるとします（図 6.35A 参照）。このDACの出力周波数を10 MHzとします。30 MHz - 10 MHz = 20 MHzでのイメージ周波数成分は、アナログ再構成フィルタで減衰する必要があるため、フィルタの遷移帯域は10 MHz ~ 20 MHzとなります。イメージ周波数を60dB減衰させる必要があるとします。すなわち、フィルタは、10 MHz ~ 20 MHz（1オクターブ）の遷移帯域で、10 MHzの通過帯域から阻止帯域まで60 dB減衰させなければなりません。フィルタは極ごとに1オクターブあたり6 dB減衰させます。したがって、必要な減衰を得るには少なくとも10個の極が必要になります。これはかなり強力なフィルタで、Q値の高いセクションを必要とするため、調整と製造が困難と言えます。遷移帯域が狭くなると、フィルタはいっそう複雑になります。

DAC の更新レートを 60 MSPS に上げ、オリジナルの各データ・サンプル間に「ゼロ」を挿入するとします。パラレル・データ・ストリームは現在 60 MSPS ですが、ゼロ値のデータ・ポイントの値をここで決定する必要があります。それには、ゼロを追加した 60 MSPS のデータ・ストリームを、追加のデータ・ポイントを計算するデジタル・インターポレーション・フィルタに通します。2 倍のオーバーサンプリング周波数に対するデジタル・フィルタの応答を図 6.35B に示します。アナログ・アンチエイリアシング・フィルタの遷移帯域は 10 MHz ~ 50 MHz です (最初のイメージは $2f_c - f_0 = 60 - 10 = 50$ MHz で生じます)。この遷移帯域は 2 オクターブを少し超えているので、5 極か 6 極のバターワース・フィルタで十分であることを示しています。

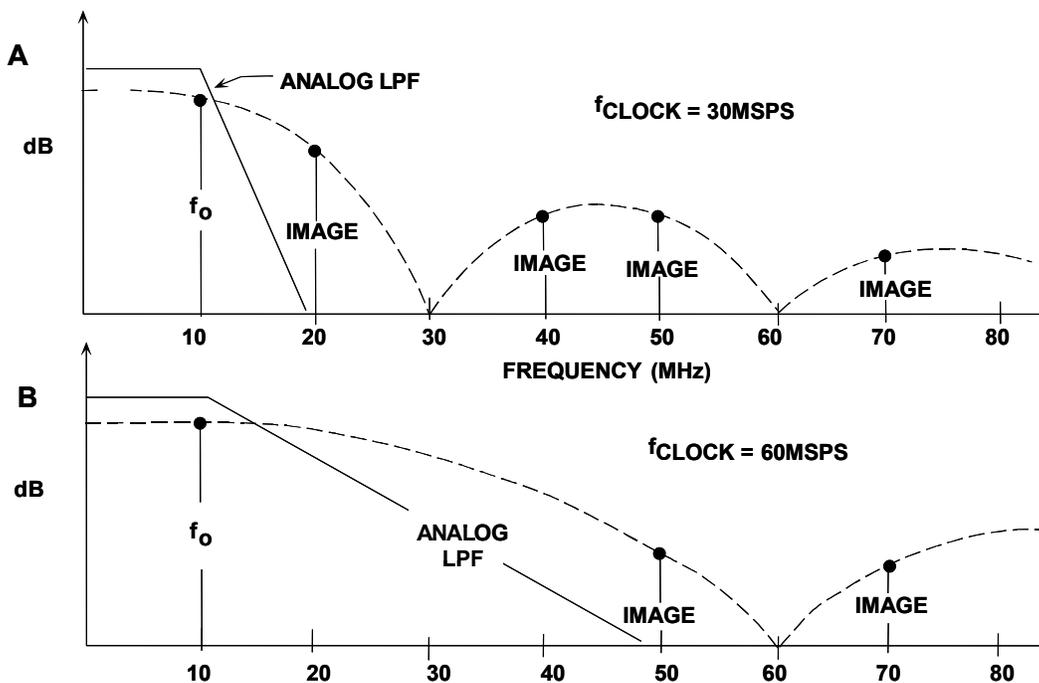


図 6.35: $f_0 = 10 \text{ MHz}$ のアナログ・フィルタ条件:
(A) $f_c = 30 \text{ MSPS}$ 、(B) $f_c = 60 \text{ MSPS}$

送信 DAC (TxDAC) である AD9773/AD9775/AD9777 (12/14/16 ビット) シリーズは、2 倍、4 倍、8 倍のオーバーサンプリング・インターポレーションを選択可能なデュアル DAC で、簡略ブロック図を図 6.36 に示します。これらのデバイスは、12/14/16 ビットの入力ワードを最大 160 MSPS のレートを処理するように設計されています。出力ワード・レートは最大 400 MSPS です。出力周波数が 50 MHz、入力更新レートが 160 MHz、オーバーサンプリング比が 2 倍の場合、イメージ周波数は $320 \text{ MHz} - 50 \text{ MHz} = 270 \text{ MHz}$ となります。したがって、アナログ・フィルタの遷移帯域は $50 \text{ MHz} \sim 270 \text{ MHz}$ となります。2 倍のオーバーサンプリングなしでは、イメージ周波数は $160 \text{ MHz} - 50 \text{ MHz} = 110 \text{ MHz}$ となり、フィルタの遷移帯域は $60 \text{ MHz} \sim 110 \text{ MHz}$ となります。

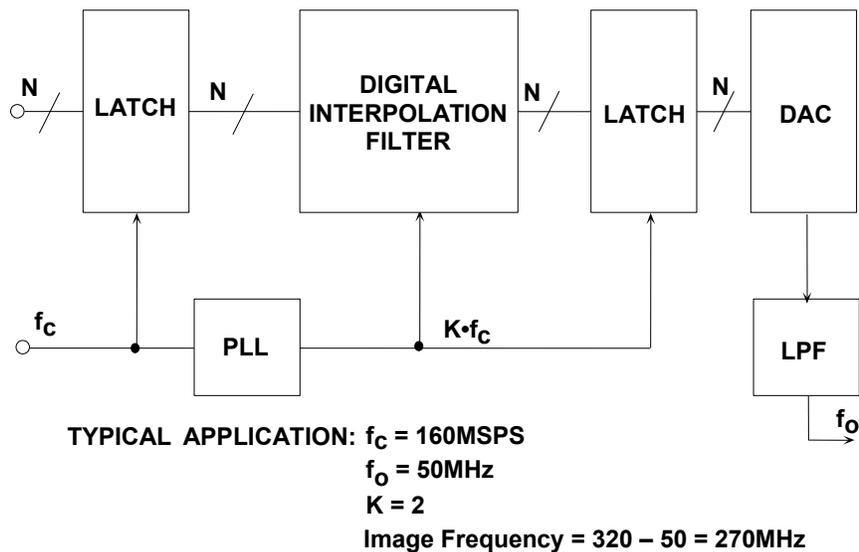


図 6.36: オーバーサンプリング・インターポレーション TxDAC の簡略ブロック図

再構成フィルタ

DAC の出力は連続的に変化する波形ではなく、さまざまな DC レベルがひと連なりになったものです。この出力はフィルタを通過させて高周波成分を取り除き、元のアナログ波形に近づくように滑らかにする必要があります。

フィルタリングの概念については第 8 章で詳述します。

一般に、スペクトルの純度を保つためには、DAC 出力のイメージを DAC の分解能以下に減衰させる必要があります。先ほどの例を使って、DAC 出力の通過帯域が 10 MHz であるとします。 サンプル・レートは 30 MHz です。すなわち、減衰させなければならない通過帯域のイメージは $30\text{ MHz} - 10\text{ MHz} = 20\text{ MHz}$ となります。これは、サンプル・レートから通過帯域周波数を差し引いたものです。この例の DAC は 10 ビット・デバイスなので、歪みレベルは -60 dB となります。このため、再構成フィルタは基本波を全く減衰させずに、イメージを 60 dB 減衰させる必要があります。フィルタは 1 極あたり 6 dB 減衰させるので、10 次のフィルタが必要なことがわかります。

検討すべき点は他にもいくつかあります。

まず、ほとんどのフィルタのカットオフ周波数が -3 dB のポイントで測定されることです。したがって、基本波を減衰させたくない場合は、フィルタに多少のマージンが必要です。フィルタのセクションで示したグラフがこの点を説明するのに役立ちます。マージンをとると、遷移帯域が狭くなるため、フィルタの次数が増加します。

次に、"sinc" と呼ばれる現象があることです。

Sin(x)/(x) (sinc)

DAC の出力は連続的に変化する波形ではなく、さまざまな DC レベルがひと連なりになったものです。DAC は、新しいレベルを出力するように指示されるまで、ある DC レベルを出力します。これを図 6.37 に示します。

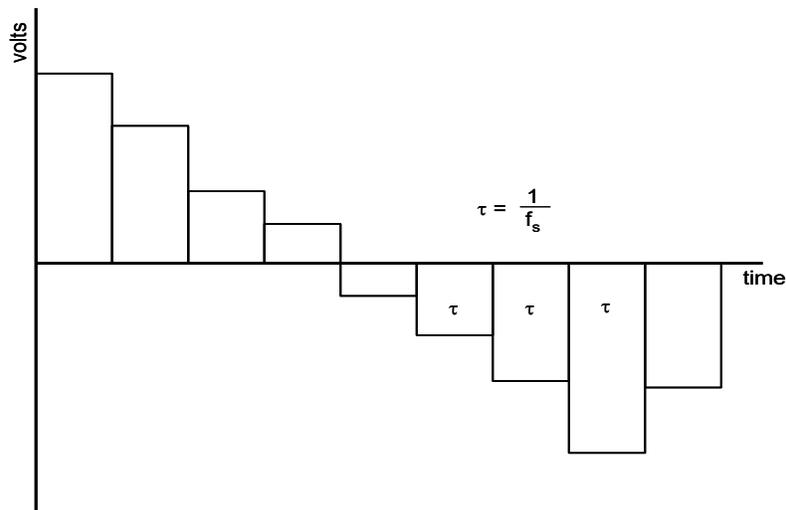


図 6.37: DAC の出力

パルス幅は $1/F_s$ です。それぞれのパルスのスペクトルは $\sin(x)/x$ 曲線になります。これは sinc カーブとも呼ばれます。この応答は再構成フィルタの応答に加えて、コンバータ全体の応答になります。このため、出力周波数がナイキスト周波数 ($F_s/2$) に近づくと、振幅誤差が生じます。sinc 関数の値を図 6.38 に示します。一部の高速 DAC には、このロールオフを補償するための (デジタル領域での) 逆フィルタが組み込まれています。

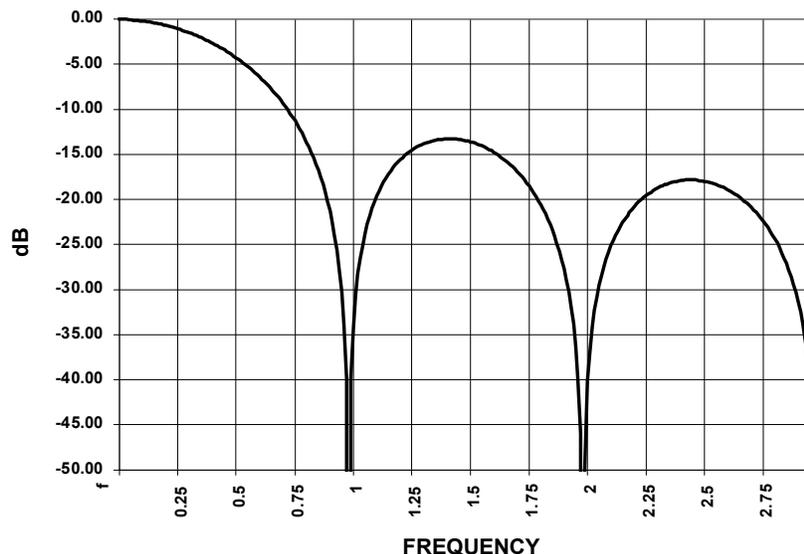


図 6.38: Sinc ($\sin x/x$) カーブ (F_s に正規化)

意図的な非線形 DAC

これまでは、優れた微分直線性と積分直線性を維持することの重要性を強調してきました。しかし、特に広いダイナミック・レンジの信号を処理する場合は、意図的に非線形にした（ただし良好な微分直線性を保持する）ADC や DAC が有用であるような状況が存在します。非線形データ・コンバータの当初の用途の 1 つは、パルス符号変調 (PCM) システム用の音声帯域信号のデジタル化でした。これには、T1 搬送システムの開発時にベル研究所が大きく貢献しました。非線形の ADC および DAC を開発した動機は、音声チャンネルのデジタル化に必要なビットの総数（結果的にシリアル伝送速度）を低減することでした。音声チャンネルを直接線形符号化するには、チャンネルあたり 8 kSPS のサンプリング・レートで 11 ビットまたは 12 ビットが必要でした。ベル研究所は、1960 年代に 7 ビットの非線形符号化で十分であると判断しましたが、1970 年代後半には性能を向上させるために 8 ビットの非線形符号化に移行しました。

非線形伝達関数では、小信号には全範囲から多くの量子化レベルを割り当て、大振幅信号には少ない量子化レベルを割り当てます。実質的に、小信号に伴う量子化ノイズを低減し（非常に顕著）、大信号の量子化ノイズを増加させることとなります（さほど大きくない）。一般に、この形式の符号化を表すには**圧伸**という用語が使用されます。

選ばれた対数伝達関数を、「Bell μ -255」規格、あるいは単に「 μ -law」と言います。ヨーロッパで開発された同様の規格は「A-law」と呼ばれています。Bell μ -law では、8 ビットで約 4000:1 のダイナミック・レンジが可能ですが、8 ビットのリニア・データ・コンバータでは、ダイナミック・レンジは 256:1 に過ぎません。

第 1 世代のチャンネル・バンク (D1) では、対数伝達関数を生成するために、トランスミッタ内の 7 ビット・リニア ADC の前段に「コンプレッサ」用の温度制御抵抗—ダイオードのネットワークを配置していました。これに対応し、逆伝達関数を備えた抵抗—ダイオードの「エキスパンダ」が、レシーバー内の 7 ビット・リニア DAC の後段に配置されました。その次の世代の D2 チャンネル・バンクは、非線形の ADC と DAC を使用して**圧縮／伸張機能**を信頼性とコスト効率の高い方法で実現したもので、温度制御ダイオード・ネットワークが不要になります。

B.D. Smith は、1953 年に発表した古典的論文において、帰還パスに内部の非線形 DAC を利用した逐次比較型 ADC の伝達関数は DAC の逆伝達関数になるとの考えを示しました（参考資料 8）。したがって、同様の基本的な DAC は、ADC の他、再構成 DAC にも使用できる可能性があります。1960 年代後半から 1970 年代初めにかけて、目的の伝達関数の区分線形近似を用いた非線形の ADC や DAC の技術によって、低コストで大量の実装が可能になりました（参考資料 18 ~ 23）。これらの 8 ビット 8 kSPS 非線形データ・コンバータは、テレコムでは一般的なビルディング・ブロックになりました。

8 ビット DAC の非線形伝達関数は、最初に勾配の異なる 16 のセグメント（コード）に分割されます。これらの勾配は目的の非線形伝達関数によって決まります。4 MSB は、目的のデータ・ポイントを含むセグメントを決定し、個々のセグメントは、それぞれが 8 ビット・ワードの 4 LSB によって 16 の等しい量子化レベルにさらに細分化されます。6 ビット DAC の場合を図 6.39 に示します。ここでは、最初の 3 ビットが 8 つのコードのうちの 1 つを識別し、各コードが 3 LSB で定義される 8 つの等しいレベルに細分化されます。

3 MSB は非線形ストリング DAC で生成され、3 LSB は3 ビットのバイナリ R-2R 型 DAC で生成されます。

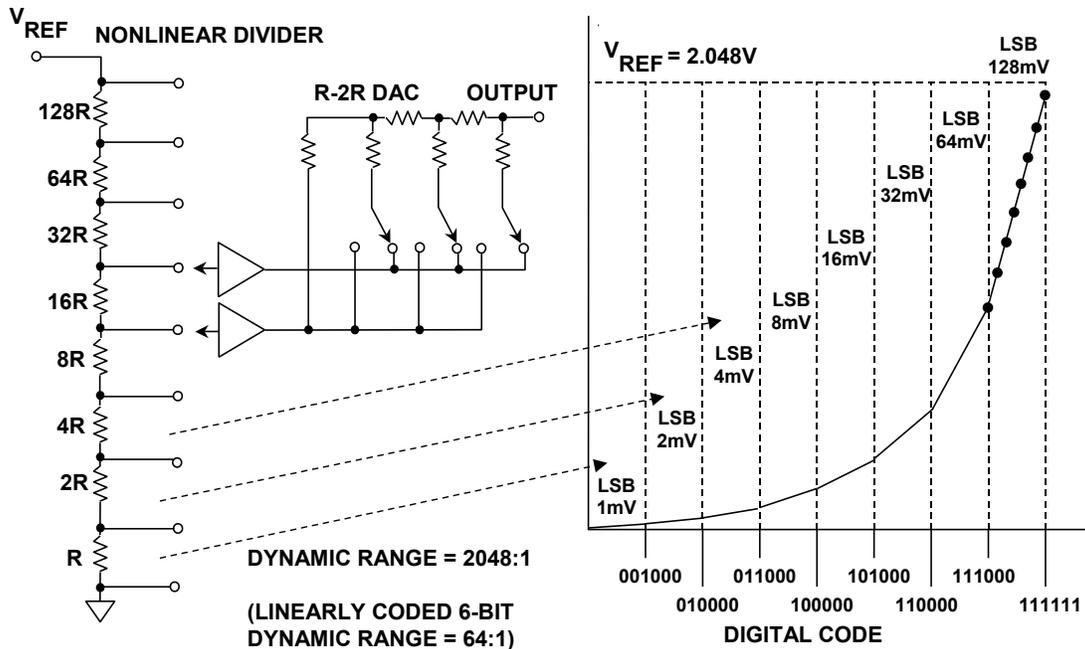


図 6.39: 非線形の 6 ビット・セグメント型 DAC

1982 年、アナログ・デバイス社はモノリシック乗算型 DAC である LOGDAC™ AD7111 を発売しました。この DAC は対数伝達関数を用いた広いダイナミック・レンジを備えています。LOGDAC の基本の DAC は線形の 17 ビット電圧モード R-2R 型 DAC で、その前段に 8 ビットの入力デコーダが配置されています (図 6.40 に LOGDAC の機能図を示します)。LOGDAC は 0.375 dB ステップで、0 dB ~ 88.5 dB の範囲でアナログ入力信号 V_{IN} を減衰させることができます。DAC 全体の減衰の程度は、内蔵デコード・ロジックに使用する非線形符号化された 8 ビット・ワードで決まります。この 8 ビット・ワードは適宜 17 ビット・ワードにマッピングされ、さらに 17 ビットの R-2R ラダーに与えられます。LOGDAC は対数伝達関数を備えている他、完全な 4 象限乗算型 DAC としても機能します。

高分解能の線形 ADC や DAC の発売により、LOGDAC で使用されている手法は、現在では、テレコムや他のアプリケーションに必要な μ -law や A-law の圧縮機能など、さまざまな非線形伝達関数の実装に広く使用されています。現在の手法の一般的なブロック図を図 6.41 に示します。 μ -law または A-law で圧縮された入力データは、高分解能 DAC の伝達関数上のデータ・ポイントにマップされます。このマッピングは、ハードウェア、ソフトウェア、ファームウェアのいずれかの単純なルックアップ・テーブルを使うと容易に実行できます。類似の非線形 ADC を構成するには、高分解能 ADC でアナログ入力信号をデジタル化し、適切な伝達関数を使用してデータ・ポイントを短いワードにマップします。この方法の大きな利点は、以前の手法のように伝達曲線を直線セグメントで近似する必要がなくなったため、より高い精度が得られることです。

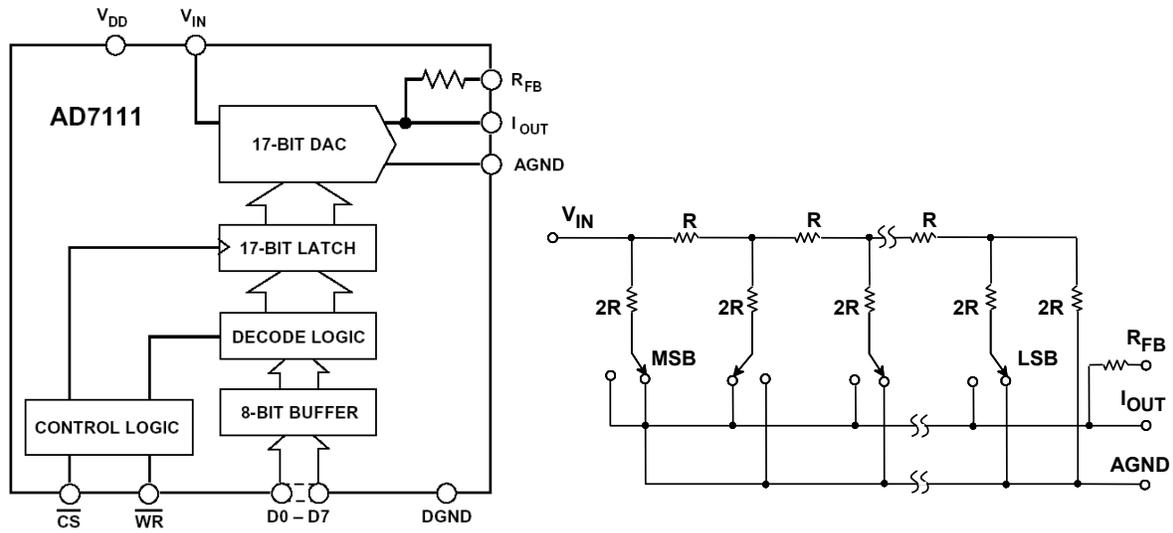


図 6.40: AD7111 LOGDAC (1982 年リリース)

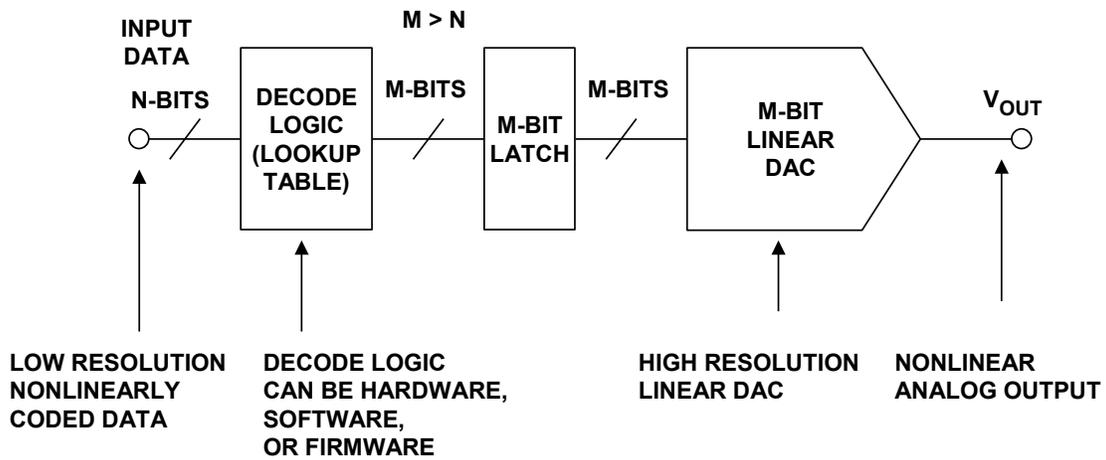


図 6.41: 一般的な非線形 DAC

6.2: A/D コンバータのアーキテクチャ

基本的な ADC の機能を図 6.42 に示します。これは量子化器とも呼ばれます。ほとんどの ADC チップは、サンプリング・クロック用のクロック発振器、リファレンス (REF)、サンプル&ホールド機能、出力データ・ラッチなどのサポート回路も備えています。さらに、これらの基本機能に加え、追加回路を内蔵している ADC もあります。追加機能には、マルチプレクサ、シーケンサ、自動補正回路、プログラマブル・ゲイン・アンプ (PGA) などがあります。

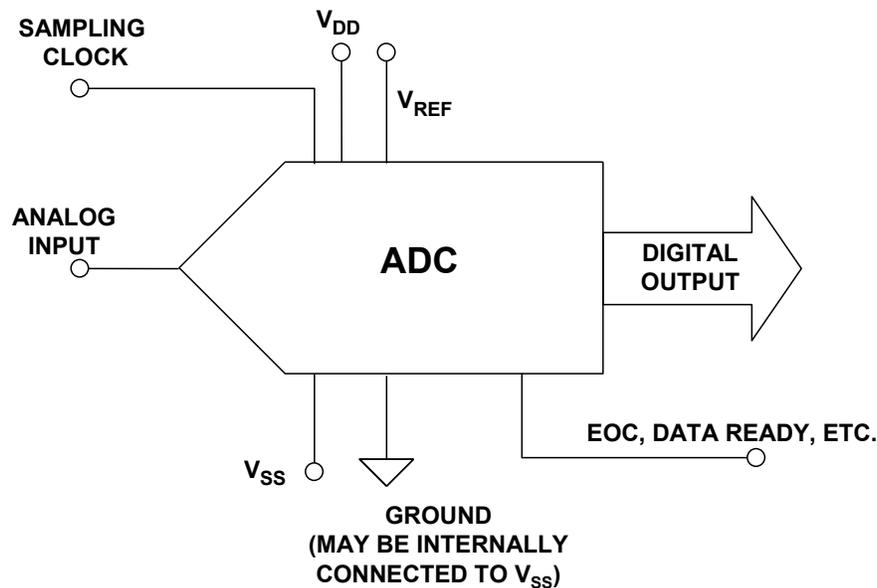


図 6.42: ADC の基本機能

DAC と同様、ADC にも、外部リファレンスを使用し、リファレンス入力端子を備えているものと、内部リファレンスの出力を備えているものがあります。また、内部リファレンスが抵抗を介してピンに出力される ADC もあります。この接続を使えば、リファレンスをフィルタリング (内部抵抗と外付けコンデンサを使用) したり、内部リファレンスを外部リファレンスでオーバードライブしたりすることができます。AD789X ファミリーのデバイスはこの種の接続を使用する ADC の一例です。もちろん、最も単純な ADC ではどちらもできません。リファレンスが ADC チップ上にあり、外部接続ができません。

ADC 内部にリファレンスがある場合は、そのリファレンスを使用して全体の精度が規定されます。このような ADC を最高精度の外部リファレンスと使用しても、その絶対精度は内部リファレンスでの動作時よりも低下する可能性があります。これは、ADC が、公称電圧ではなく、実際のリファレンス電圧で動作するときの絶対精度で調整されるためです。20 年ほど前は、これらのリファレンスは絶対精度ではなく低温係数で調整され、リファレンスの精度の低さは ADC 自身のゲイン調整で補償されていたため、コンバータのリファレンス精度は $\pm 5\%$ と低いのが一般的でした。今日、問題はそれほど深刻ではありませんが、リファレンスを内蔵した ADC で外部リファレンスを使用する際は、やはり絶対精度が低下しないかどうかを確認することが重要です。

もちろん、リファレンス端子を備えた ADC であれば、それらの端子の動作やパラメータを規定する必要があります。リファレンス入力がある場合の第一の仕様は、リファレンス入力電圧でしょう。言うまでもなく、これは絶対最大定格と、ADC の正常動作時の電圧範囲で規定されます。

ほとんどの ADC では、リファレンス電圧が、最大で ADC の V_{DD} 以下という非常に狭い範囲に収まる必要があります。

ADC のリファレンス入力端子は、図 6.43 に示すようにバッファすることができます。この場合、入力インピーダンス（通常高い）とバイアス電流（通常低い）の仕様が規定されます。あるいは ADC に直接接続することもできます。いずれの場合も、内部の変換プロセスによってリファレンス入力に過渡電流が発生するため、外付けの低インダクタンス・コンデンサによる良好なデカップリングを必要とします。優れた ADC データシートでは、適切なデカップリング・ネットワークを推奨しています。

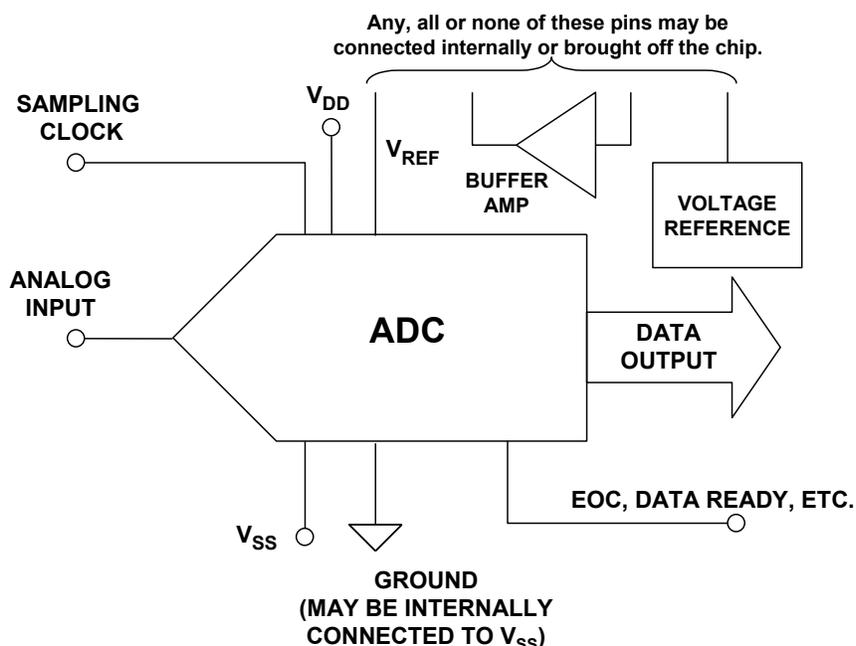


図 6.43: リファレンスとバッファを内蔵した ADC

リファレンス出力は、バッファありとバッファなしのいずれにもできます。バッファありの場合は、おそらく最大出力電流が仕様規定されると考えられます。一般にこのようなバッファは、出力端子から電流をソースしても電流を引き込ませない単方向の出力段を備えています。バッファにプッシュプル出力段があれば（一般的ではない）、出力電流はおそらく \pm (値) mA のオーダーで定義されるでしょう。リファレンス出力がバッファなしの場合は、出力インピーダンスが仕様規定されることや、データシートで単に高入力インピーダンスの外付けバッファの使用が推奨されることがあります。

電源をリファレンスにする場合もあります。この場合は、電源がクリーンであることを確認することが不可欠です。

サンプリング・クロック入力はADCの重要な機能であると同時に、混乱の元でもあります。これは実際のサンプリング・クロックの場合もあります。通常、この周波数はコンバータのサンプリング・レートより数倍高くなります。また、変換ごとに1回発生する変換開始（エンコード）コマンドである場合もあります。パイプライン・アーキテクチャ・デバイスとシグマ・デルタ（ $\Sigma\Delta$ ）コンバータは変換を継続的に行うので、これらに変換開始コマンドがないためです。

ADC がどのようなものであれ、データシートをよく読んで、外部クロックの要件を正確に知ることがきわめて重要です。これらの要件がADCによって大きく異なることがあるからです。

サンプリング・クロックのアサート後のある時点で、出力データは有効になります。このデータは、ADC に応じて、パラレル形式またはシリアル形式になります。AD574 などの初期の逐次比較型 ADC は STATUS 出力（STS）のみを備えており、変換中にハイになり、出力データが有効になるとロー・レベルに戻りました。他の ADC では、このラインにはビジー、EOC（end-of-conversion: 変換終了）、データ・レディなど、さまざまな呼び方があります。ADC に関係なく、出力データがいつ有効になるかを知る方法があるはずで、この情報が常に見つかるのも、やはりデータシートです。

トラブルを引き起こす可能性があるもう1つの点は、EOC と DRDY（データ・レディ）の違いです。EOC は変換が完了したことを示し、DRDY はそのデータが出力で使用可能な状態にあることを示します。EOC が DRDY として機能する ADC もありますが、EOC が有効になった後数十ナノ秒経って初めてデータが有効になるものもあるため、EOC をデータ・ストロブとして使用した場合の結果は信頼できません。

ADC のロジックに関しては、他にもいくつか覚えておくべきことがあります。多くの ADC はロジック・リセット回路を持たないため、電源投入時に異常なロジック状態になる可能性があります。ロジックを正しい動作に戻すために、数度の変換が必要になることがあります。そのため、(a) 電源投入後の最初の数回の変換を信頼してはいけません。(b) 電源投入時の制御出力（EOC、データ・レディなど）は、予期しない動作をする可能性があります（電源投入の都度同じように動作するとは限りません）。(c) このような異常動作によりシステムのラッチアップが生じないように注意する必要があります。例えば、最初の変換が実行されてから EOC が発生する可能性があるときは、変換の開始に EOC（end-of-conversion）を使用すべきではありません。使用した場合、変換は開始されません。

現在、一部の低電力 ADC には、スタンバイ、パワーダウン、スリープなど、さまざまな呼び名の節電動作モードがあります。ADC がこれらの低電力モードから抜け出した際、ADC が完全に規定の性能で動作するまでには、ある程度の回復時間が必要です。したがって、これらの動作モードを使用する場合は、データシートをよく確認してください。

最後の例として、一部の ADC は内部ロジックをリセットするのに CS（チップ・セレクト）のエッジを使用しますが、CS をアサートまたは再アサートしない限り次の変換を実行することはできません（または同じデータを2回読み出すことはできません（あるいはその両方））。

ロジックのタイプごとに小さなバリエーションが無数にあるので、詳細についてはADCを使用する前にデータシート全体に目を通すことが重要です。

あいにく多くのデータシートはそれほどわかりやすすくないため、データシートを正しく解釈するためには ADC の一般原則を理解することも重要です。それが本セクションの目的の 1 つです。

ADC には対応すべき全般的な動向が 2 つあります。1 つは、全般的な低電源電圧化の動向です。これは、部分的にはチップ製造用のプロセス、特に CMOS に起因します。高速化要求の高まりを受けて、プロセスのフィーチャ・サイズは縮小されてきました。このことは、通常、トランジスタの降伏電圧を低下させることとなります。すると次には、低電源電圧が必要になります。従来の $\pm 15\text{ V}$ 電源や $\pm 10\text{ V}$ の入力範囲を使った新しいデバイスはほとんど開発されていません。

この他、ADC の入力信号範囲が縮小しているため、差動入力を使用する動向があります。これにより、コンバータのダイナミック・レンジを 6 dB (代表値) 拡大することができます。コモンモード・グラウンドを基準としたノイズが除去されるため、ダイナミック・レンジがより一層拡大する可能性もあります。多くの場合、差動入力はシングルエンドで駆動できません (それにより S/N 比が低下する)。REF 入力も差動の場合もあります。

コンパレータ: 1 ビット ADC

コンパレータは1ビットのADCです（図 6.44 参照）。入力が閾値を超えると、1つの論理値が出力され、閾値を下回ると別の論理値が出力されます。ADC アーキテクチャに、何らかのコンパレータを1つも使用しないものはありません。したがって、1ビットADCは有用性が非常に限られますが、他のアーキテクチャのビルディング・ブロックとなります。

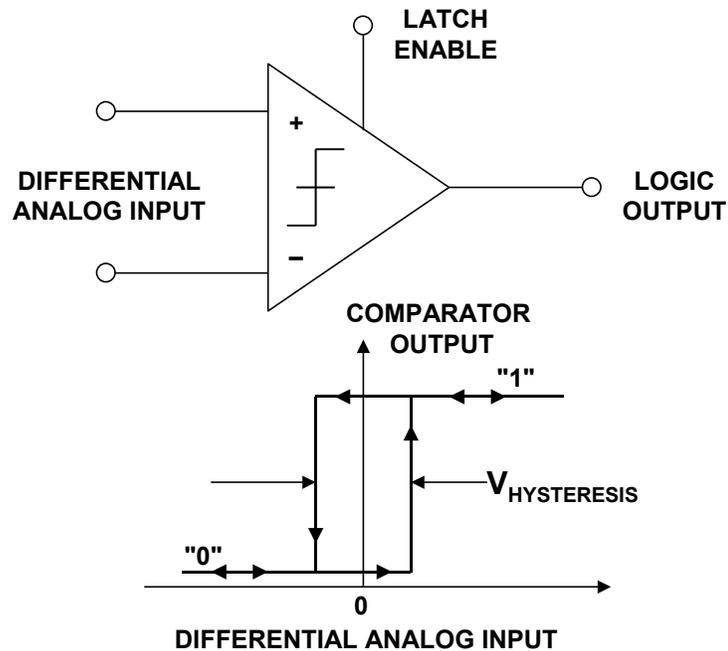


図 6.44: コンパレータ: 1 ビット ADC

ADC のビルディング・ブロックとして使用されるコンパレータは、良好な分解能、つまり高ゲインを必要とします。このため、差動入力がゼロに近づくと、制御不能の発振が生じることがあります。この発振を防ぐには、多くの場合少量の正帰還を与えて、コンパレータにヒステリシスを追加します。ヒステリシスが伝達関数全体に与える影響を図 6.44 に示します。多くのコンパレータには 1 mV ~ 2 mV のヒステリシスがあり、「スナップ」動作を促して、遷移領域でローカル帰還が不安定にならないようにしています。コンパレータの分解能がヒステリシスを下回ることがあるので、ヒステリシスの値を大きくすることは、一般には有用とは言えません。

逐次比較型 ADC

逐次比較型 ADC は、長年データ・アキュイジションの主流となっています。最近の設計改良により、これらの ADC のサンプリング周波数がメガヘルツ領域まで拡大されました。

基本的な逐次比較型 ADC を図 6.45 に示します。変換はコマンドにより実行されます。CONVERT START コマンドがアサートされると、サンプル&ホールド・アンプ (SHA) がホールド・モードに設定され、逐次比較型レジスタ (SAR) の MSB が 1 にセットされ、残りのすべてのビットは 0 にリセットされます。SAR 出力は内部の DAC を駆動します。DAC 出力がアナログ入力より大きい場合、SAR の MSB がリセットされ、小さい場合はその設定が保持されます。次に、MSB の次のビットが 1 にセットされます。DAC 出力がアナログ入力より大きい場合は SAR のこのビットがリセットされ、小さい場合はその設定が保持されます。このプロセスが、各ビットで順番に繰り返されます。すべてのビットについて、セット、テスト、必要に応じたリセットすまたはリセットなしのプロセスが終了すると、SAR の内容はアナログ入力の値に対応したものとなり、変換が完了します。これらのビット「テスト」結果は、シリアル出力する場合の SAR 型 ADC で使用されることがあります。

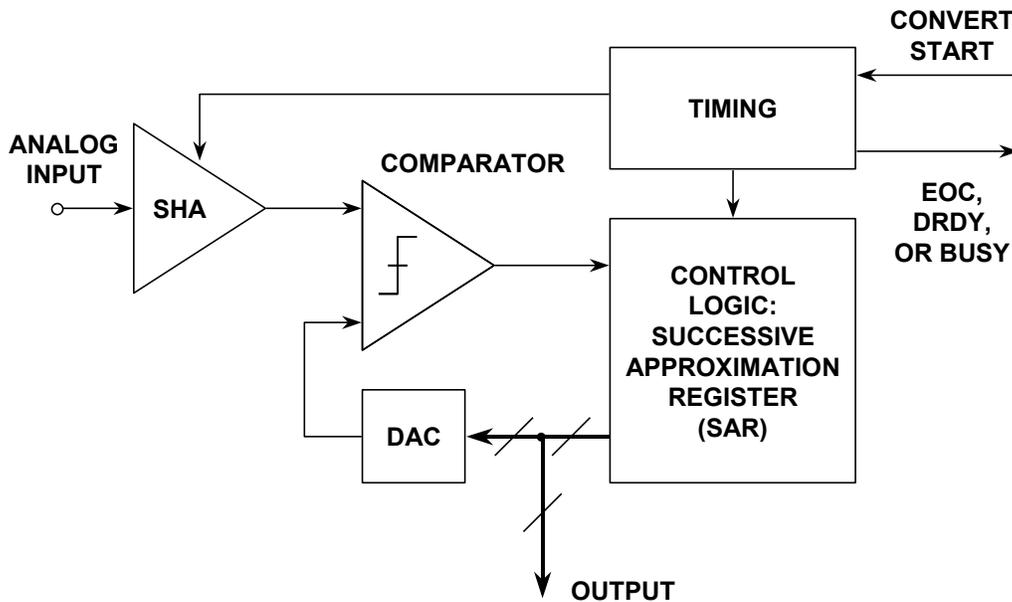


図 6.45: 基本的な逐次比較型 ADC
(帰還減算型 ADC)

SAR DAC の基本的なタイミング図を図 6.46 に示します。通常、変換終了は変換終了信号 (EOC)、データ・レディ信号 (DRDY)、またはビジー信号 (BUSY。実際には、not-BUSY は変換終了を示す) によって示されます。この信号の極性や名前は SAR ADC によって異なることがありますが、基本的な概念は同じです。この信号は、変換時間の開始時にハイ (またはロー) になり、変換が完了するまでその状態を保持し、完了時にロー (またはハイ) になります。

一般に、立下がりエッジは出力データが有効であることを示しますが、データシートをよく確認する必要があります。ADCによっては、出力データが有効になるまでに追加の遅延が必要な場合があります。

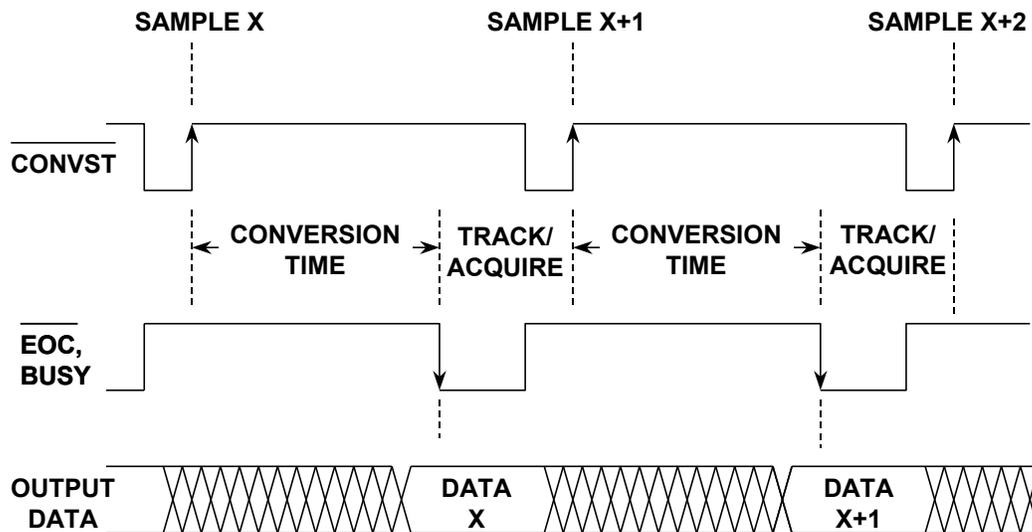


図 6.46: 代表的な SAR ADC のタイミング

N ビットの変換には N ステップが必要です。表面的には、16 ビット・コンバータの変換には 8 ビット・コンバータの 2 倍の時間がかかるように思われますが、そうではありません。8 ビット・コンバータでは、DAC はビット判定する前に 8 ビット精度にセトリングする必要がありますが、16 ビット・コンバータでは 16 ビット精度にセトリングしなければならず、より長い時間がかかります。実際、8 ビットの逐次比較型 ADC は数百ナノ秒で変換できますが、16 ビットでは数マイクロ秒を要するのが普通です。

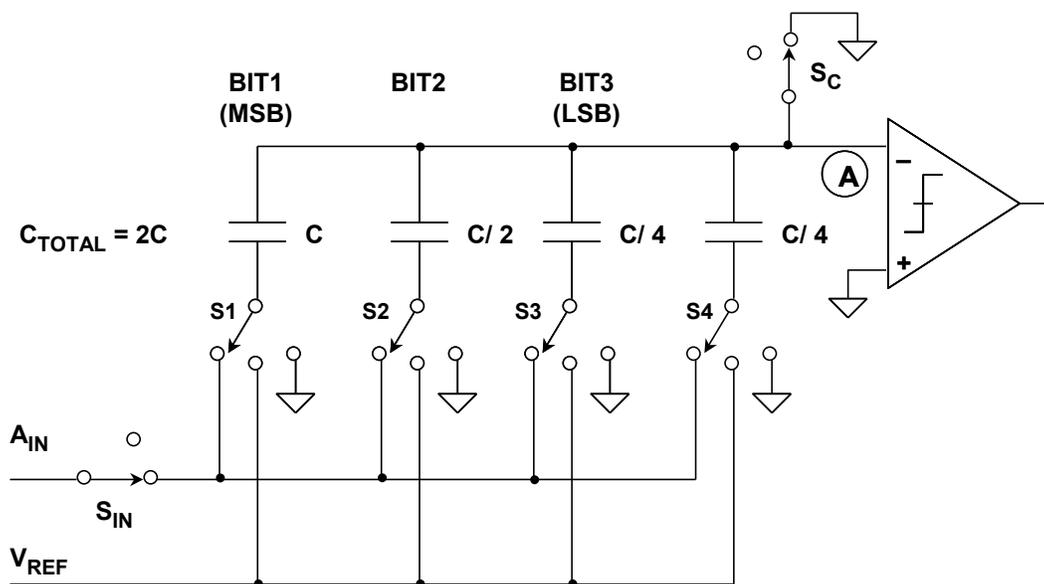
バリエーションはいくつかありますが、ほとんどの SAR ADC の基本タイミングは似ていて、比較的単純です。変換プロセスは、 $\overline{\text{CONVST}}$ 信号をアサートすると開始します。この信号の名前は、一般に $\overline{\text{CONVST}}$ や CS などです。通常、この信号は立下がりパルスで、実際の変換は立上がりエッジで開始されます。このエッジで内部のサンプル&ホールド・アンプ (SHA) がホールド・モードになり、さまざまなビットが SAR アルゴリズムを用いて決定されます。また、 $\overline{\text{CONVST}}$ パルスの立下がりエッジで、通常 $\overline{\text{EOC}}$ (End Of Conversion) または BUSY と呼ばれる信号がハイになります。変換が完了すると、BUSY ラインはローになり (または $\overline{\text{EOC}}$ がハイになり)、変換プロセスの完了を示します。ほとんどの場合、BUSY ラインの立下がりエッジを使って、出力データが有効であることを示したり、出力データを外部レジスタにストローブしたりすることができます。

制御ラインが他にもあることがあります。また、制御ラインが 2 つの機能を持つこともあります。これは主に、チップのピン数に制限がある場合です。用語や設計にはさまざまなバリエーションがあるため、特定の ADC を使用する際は、それぞれのデータシートを必ず参照してください。

一部の SAR ADC では、CONVERT START コマンドの他に外部の高周波クロックが必要なことにも注意が必要です。ほとんどの場合、この 2 つを同期させる必要はありません。外部クロックが必要な場合、その周波数は一般に 1 MHz ~ 30 MHz の範囲で、ADC の変換時間や分解能によって異なります。また、変換に使用される内部発振器を備えている SAR ADC もありますが、この場合は CONVERT START コマンドだけで済みます。一般に、SAR ADC はそのアーキテクチャの性質上、DC からコンバータの最大変換レートまで、任意の繰返しレートでシングルショット変換を行うことができます。

SAR ADC の全体的な精度と直線性は、主に内部の DAC によって決まることに注意してください。最近まで、ほとんどの高精度 SAR ADC はレーザ・トリミングされた薄膜 DAC を使用して、必要な精度と直線性を実現していました。薄膜抵抗のトリミング・プロセスはコストを増大させ、薄膜抵抗値はパッケージングの機械的ストレスを受けると変化する可能性があります。

このような理由から、最近の SAR ADC において、スイッチド・キャパシタ（または電荷再配分型）DAC が一般的になってきています。スイッチド・キャパシタ DAC の利点は、精度と直線性が主にフォトリソグラフィで決まり、それによってコンデンサのプレート面積、容量、およびマッチングを制御できることです。さらに、小さいコンデンサを主コンデンサと並列に接続し、自動補正ルーチンで制御しながらこれらをオン/オフすることで、薄膜レーザ・トリミングなしで高精度と直線性を得ることができます。スイッチド・キャパシタ間の温度トラッキングは 1 ppm/°C より優れているため、高い温度安定性が得られます。



SWITCHES SHOWN IN TRACK (SAMPLE) MODE

図 6.47: 3 ビットのスイッチド・キャパシタ DAC

単純な3ビットのキャパシタ DAC を図 6.47 に示します。ここに示したスイッチは、トラック・モード（サンプル・モード）になっています。このモードでは、アナログ入力電圧 A_{IN} により、並列に組み合わせられたすべてのコンデンサの充電と放電が頻繁に切り替えられます。ホールド・モードは S_{IN} を開くと開始され、サンプリングされたアナログ入力電圧がコンデンサ・アレイに蓄積されます。次にスイッチ S_C を開くと、ノード A の電圧がビット・スイッチの操作に従って変化します。 S_1 、 S_2 、 S_3 、 S_4 のすべてがグラウンドに接続されている場合は、 $-A_{IN}$ に等しい電圧がノード A に生じます。また、 S_1 を V_{REF} に接続すると、 $V_{REF}/2$ に等しい電圧が $-A_{IN}$ に加えられます。次に、コンパレータが MSB ビットを判断し、SAR がコンパレータ出力に応じて S_1 を V_{REF} に接続したままにするか、グラウンドに接続するかします（コンパレータ出力は、ノード A の電圧が正か負かに応じて、それぞれハイまたはローになります）。残りの 2 ビットについても同様に処理されます。変換時間が終了すると、 S_1 、 S_2 、 S_3 、 S_4 、および S_{IN} が A_{IN} に、 S_C がグラウンドに接続されて、次のサイクルに対するコンバータの準備ができた状態になります。

個々のビット・コンデンサが操作されたときに 2 分割されるようにコンデンサ・アレイの合計値を $2C$ にするには、追加の LSB コンデンサ（3 ビット DAC の場合は $C/4$ ）が必要であることに注意してください。

キャパシタ DAC の動作は、R-2R 抵抗型 DAC の動作に似ています。特定のビット・コンデンサが V_{REF} に切り替えられると、そのビット・コンデンサとアレイの総容量（ $2C$ ）で構成される分圧器が、そのビットの重みに等しい電圧をノード A に加えます。そのビット・コンデンサがグラウンドに切り替えられると、ノード A から同じ電圧が減じられます。

電荷再配分逐次比較型 ADC の一例として、アナログ・デバイゼズの PulSAR™ シリーズが挙げられます。AD7677 は、5 V 単電源で動作する 16 ビット、1 MSPS、PulSAR、完全差動 ADC です（図 6.48 参照）。このデバイスには、高速の 16 ビット・サンプリング ADC、内部変換クロック、誤差補正回路、およびシリアルとパラレル両方のシステム・インターフェース・ポートが組み込まれています。AD7677 には、従来のゲイン、オフセット、直線性などの DC パラメータに加え、S/N 比や全高調波歪み（THD）などの AC パラメータを保証するために、工場出荷時にキャリブレーションと広範なテストを実施しています。AD7677 は、超高速サンプリング・レート・モード（ワープ）、非同期変換レートのアプリケーション向けの高速度モード（ノーマル）、および低消費電力アプリケーション向けにスループットに比例して電力を増減する低電力モード（インパルス）を備えています。

逐次比較型 ADC の動作を以下に示します。図 6.49 に例示するように、天びんの片側に半スケール（この場合は 32 ポンド）を載せます。これをプルーフ・マスと呼びます。そして、テスト・マスを天びんの反対側に載せます。この場合のようにテスト・マスのほうが大きい場合はルーフ・マスをそのまま置き、テスト・マスのほうが小さい場合は除去します。次に、 $1/4$ スケールに等しいプルーフ・マスを追加します。この場合も、テスト・マスのほうが大きければプルーフ・マスをそのまま置き、テスト・マスのほうが小さければ除去します。この例では取り除いています。目的の分解能に達するまで、その都度プルーフ・マスを半分にしてこのプロセスを続けます。全部のプルーフ・マスを合計します。これによって、テスト・マスの質量とテストの分解能が等しくなります。

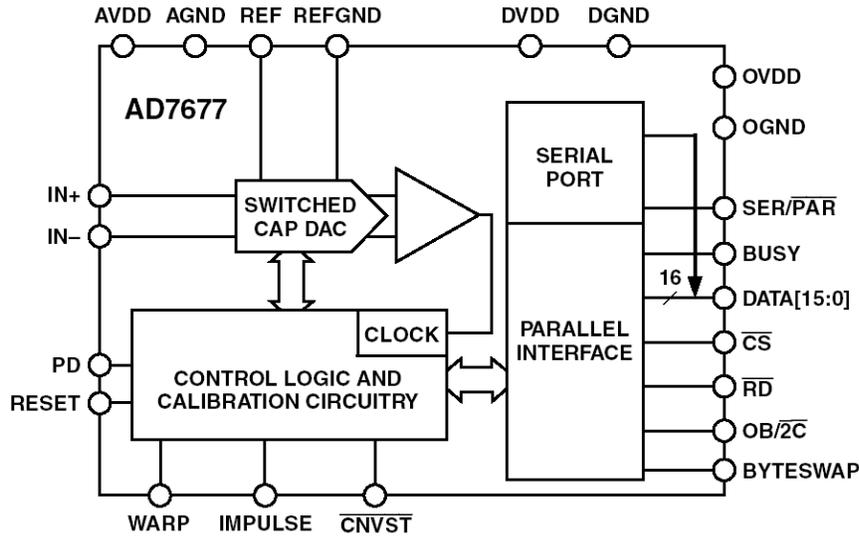


図 6.48: AD7677、16 ビット 1 MSPS スイッチド・キャパシタ PulSAR ADC

SAR ADC では、プルーフ・マスは DAC が供給する電圧です。コンパレータが、これをテスト・マスに相当する入力と比較します。各テストの出力を継続的に追跡し、DAC を設定するには、逐次比較レジスタを使用します。

基本的に、デジタル出力は本来シリアルですが、SAR ADC は通常シリアルと平行のいずれの出力フォーマットにも対応しています。

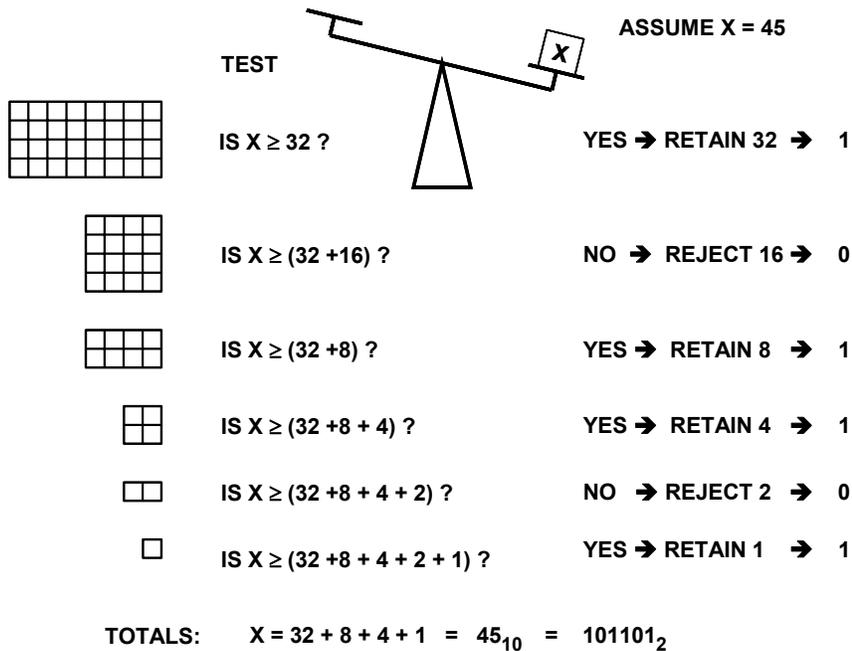


図 6.49: 逐次比較型 ADC のアルゴリズム

フラッシュ・コンバータ

フラッシュ ADC (パラレル ADC と呼ばれる) は、最も高速な ADC で、多数のコンパレータを使用します。N ビットのフラッシュ ADC は、図 6.50 に示すように配列された 2^N 個の抵抗と $2^N - 1$ 個のコンパレータで構成されます。各コンパレータのリファレンス電圧は、チェーン内の 1 つ下のコンパレータよりも 1 LSB だけ大きくなります。与えられた入力電圧に対して、あるポイントより下のすべてのコンパレータでは、入力電圧がリファレンス電圧より大きくなるためロジック出力は "1" となり、そのポイントより上のすべてのコンパレータでは、リファレンス電圧が入力電圧より大きくなるため、ロジック出力は "0" となります。したがって、 $2^N - 1$ のコンパレータ出力は水銀温度計に類似した挙動を示すため、この段階の出力コードをサーモメータ (温度計) コードと呼ぶことがあります。 $2^N - 1$ 個のデータ出力はあまり実用的でないため、N ビットのバイナリ出力を生成するようにデコーダで処理されます。

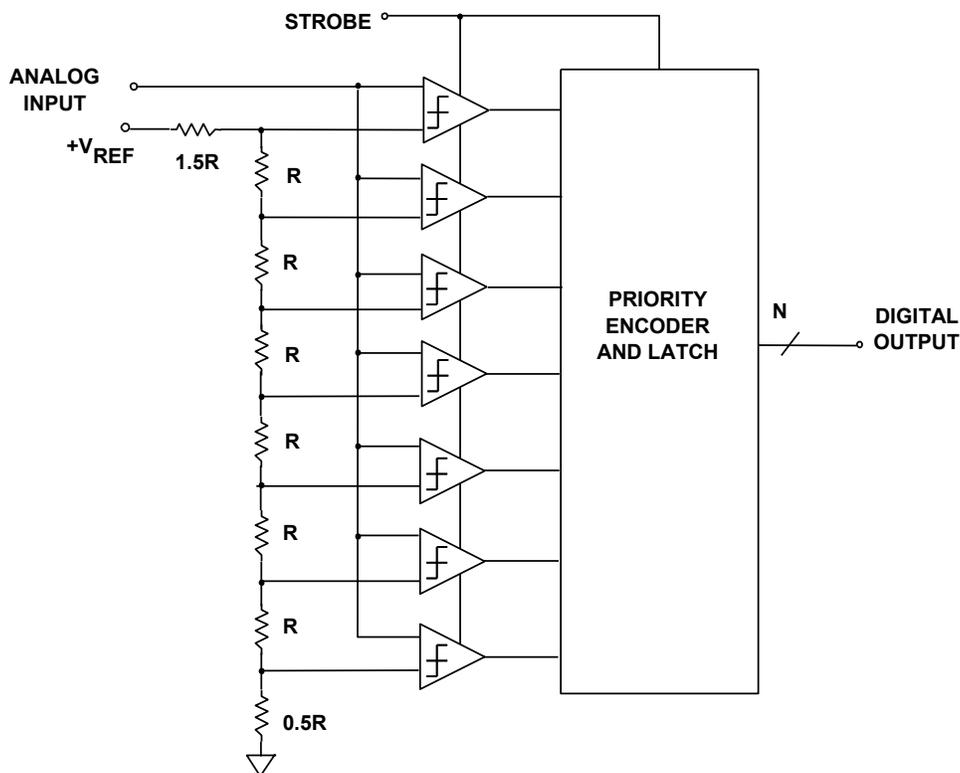


図 6.50: 3 ビットのオールパラレル (フラッシュ) コンバータ

入力信号はすべてのコンパレータに一度に与えられるため、サーモメータ出力は入力から 1 個のコンパレータ分のみの遅延となり、エンコーダの N ビット出力はそれに加えて数ゲート分のみの遅延となるので、プロセスは非常に高速です。しかし、このアーキテクチャでは多数の抵抗とコンパレータが使用され、分解能が低く制限されるため、高速にするときは、各コンパレータを比較的高い電力レベルで動作させる必要があります。したがって、フラッシュ ADC には、多数の高速コンパレータ (特にサンプリング・レートが 50 MSPS を超えるとき) を使用し、チップ・サイズが比較的大きい (したがって高価な) ことによる、分解能の制限や高消費電力などの問題があります。

さらに、高速コンパレータに適切なバイアス電流を供給するためには、リファレンス抵抗チェーンの抵抗値を低く保たなければならないため、電圧リファレンスが非常に大きな電流（通常は 10 mA 以上）を供給する必要があります。

どのコンパレータのジャンクション容量も電圧によって変化しますが、信号に依存するこの容量により、ほとんどのフラッシュ ADC では高入力周波数で有効ビット数が減り、歪みが大きくなります。このため、ほとんどのフラッシュ・コンバータは、コンバータが与える容量性負荷と入力に発生する高速トランジェントに耐えられる広帯域オペアンプで駆動する必要があります。

フラッシュ・コンバータでは、特に分解能が 8 ビットを超えると、消費電力は常に重要な検討課題になります。10 ビット、210 MSPS ADC である AD9410 ではインターポレーションと呼ばれる優れた手法を採用して、フラッシュ・コンバータ・コンパレータのプリアンプの数を最小限に抑え、消費電力を低減（2.1 W）しています。その手法を図 6.51 に示します（参考資料を参照）。

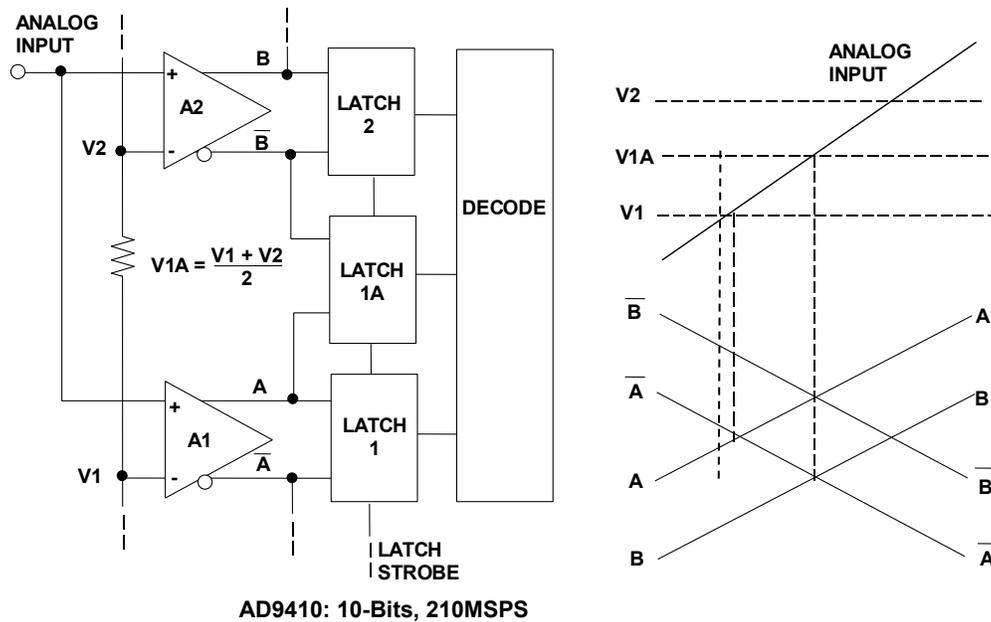


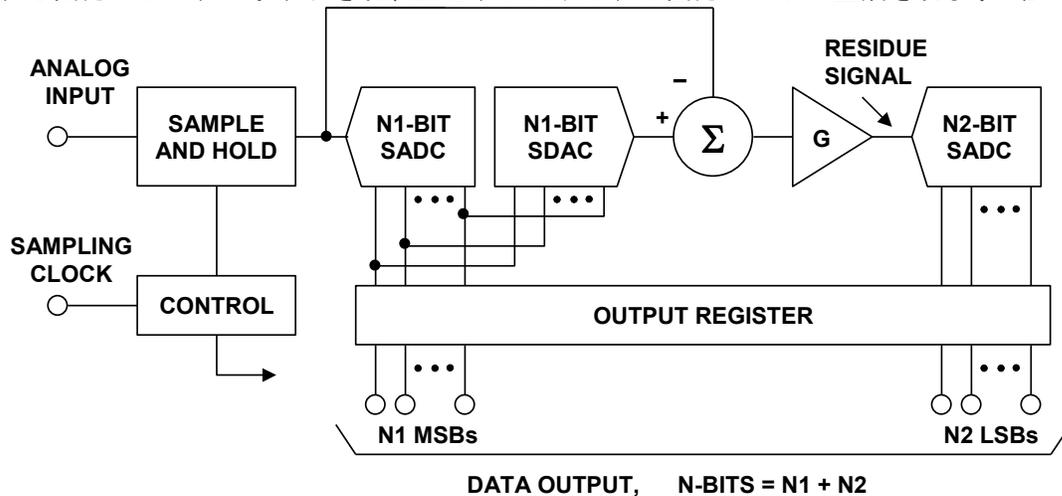
図 6.51: 「補間」フラッシュでは、プリアンプの数が半分で済みます

プリアンプ（A1、A2 など）は、帯域幅が差動ペアのテール電流に比例する低ゲインの gm 段です。正のランプ入力が、最初はアンプ A1 のリファレンス V1 以下の場合を考えてみましょう。入力信号が V1 に近づくと、A1 の差動出力はゼロに近づき（すなわち、 $A = \bar{A}$ ）、判定ポイントに達します。A1 の出力は LATCH 1 の差動入力を駆動します。入力信号が引き続き正であれば、A も引き続き正となり、 \bar{B} は負に向かい始めます。補間される判定ポイントは、 $A = \bar{B}$ のときに決まります。入力が正の状態が続くと、 $B = \bar{B}$ のときに第 3 の判定ポイントに達します。この新しいアーキテクチャでは、ADC の入力容量が小さくなるため、信号レベルとそれに伴う歪みによる容量の変化は最小限に抑えられます。この他、AD9410 は、AC 直線性を改善するために入力にサンプル&ホールド回路を使用しています。

誤差補正機能を内蔵したサブレンジング・パイプライン ADC

基本的な 2 段 N ビットのサブレンジ型 ADC を図 6.52 に示します。この ADC は基本的に次の 2 つの独立した変換に基づいています。すなわち、MSB のサブ ADC (SADC) での粗変換 (N1 ビット) と、それに続く LSB のサブ ADC での微細変換 (N2 ビット) です。初期のサブレンジング ADC のほとんどは、フラッシュ・コンバータをビルディング・ブロックとして使用していましたが、最近の多くの ADC はそれぞれに応じたアーキテクチャを採用しています。

変換プロセスは、サンプル&ホールド回路をホールド・モードにしてから、MSB の N1 ビット・サブ ADC (SADC) の粗変換を開始します。MSB コンバータのデジタル出力は、アナログ入力信号を粗量子化する N1 ビットのサブ DAC (SDAC) を駆動します。N1 ビットの SDAC から、保持されているアナログ信号が減じられて増幅され、さらに N2 ビットの LSB SDAC に送られます。アンプは、この「残差」信号が N2 SADC の入力範囲を正確に満たすのに十分なゲイン G を提供します。N1 SADC および N2 SADC からの出力データは出力レジスタにラッチされ、N ビットのデジタル出力コードが生成されます ($N = N1 + N2$)。



See: R. Staffin and R. Lohman, "Signal Amplitude Quantizer,"
U.S. Patent 2,869,079, Filed December 19, 1956, Issued January 13, 1959

図 6.52: N ビット 2 段のサブレンジング ADC

このシンプルなサブレンジング・アーキテクチャが正常に機能するためには、N1 SADC と N1 SDAC の精度が (ただし、分解能は N1 ビットのみ) いずれも N ビットよりも高くなければなりません。残差信号のオフセットとゲインは、N2 SADC の範囲を正確に満たすように調整する必要があります (図 6.53A 参照)。残差信号が 1 LSB (N2 SADC を基準) を超えてドリフトすると、ミッシング・コードが発生し、残差信号が X および Y の範囲外の領域に入ります (図 6.53B 参照)。N1 SADC に非直線性やドリフトがある場合も、N ビットを基準に 1 LSB を超えるとミッシング・コードが発生します。実際、N1 = 4 ビットおよび N2 = 4 ビットとした 8 ビット・サブレンジング ADC では、妥当な動作温度範囲でミッシング・コードが発生しないように、このアーキテクチャに対して現実的な制限を課しています。

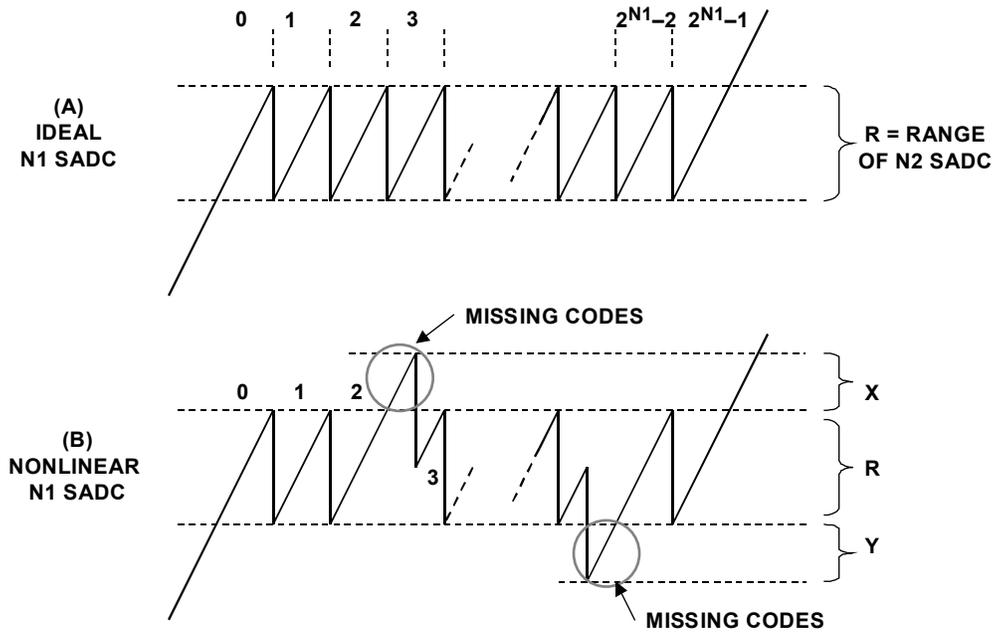


図 6.53: N2 サブ SADC の入力における残差波形

段間のアライメントが不適切であれば、図 6.54 に示すように、ADC の伝達関数全体でミッシング・コードが生じます。残差信号が正のオーバーレンジ (X 領域) に入ると、まずあるコードで「停止」した後、ミッシング・コードが残っている領域を「飛び越え」ます。残差信号が負のオーバーレンジである場合は、逆のことが起こります。

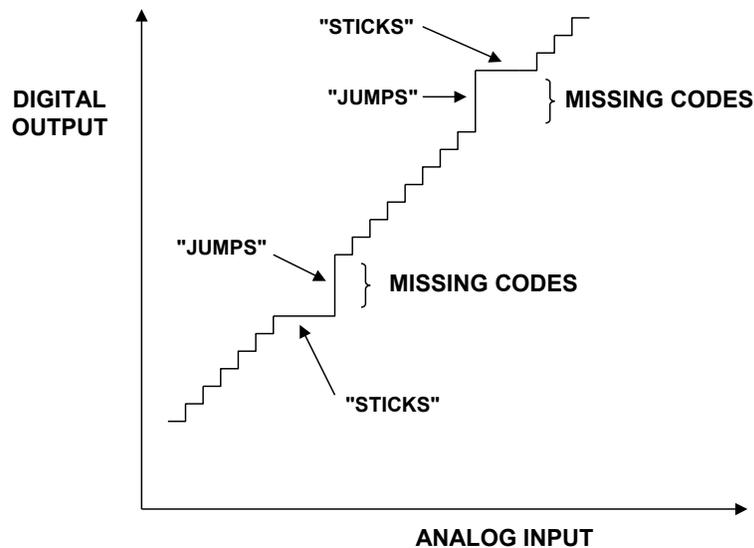


図 6.54: MSB SADC の非直線性または段間のミスアライメントに起因するミッシング・コード

サブレンジング手法を使用して 8 ビットを超える高分解能を確実に達成するには、一般にデジタル補正サブレンジング、デジタル誤差補正、オーバーラップ・ビット、冗長ビットなどと呼ばれる手法が使用されます。

サブレンジング ADC のパイプライン段の設計に使用できる 2 つの方法を図 6.55 に示します。図 6.55A は、段間ゲインを設定し、各段の入力における信号処理の最大許容時間を決めるために段間 T/H（トラック & ホールド）アンプを使用した、2 つのパイプライン段を示しています。図 6.55B では、適切な量の段間ゲインと減算機能の設定に乗算型 DAC を使用しています。

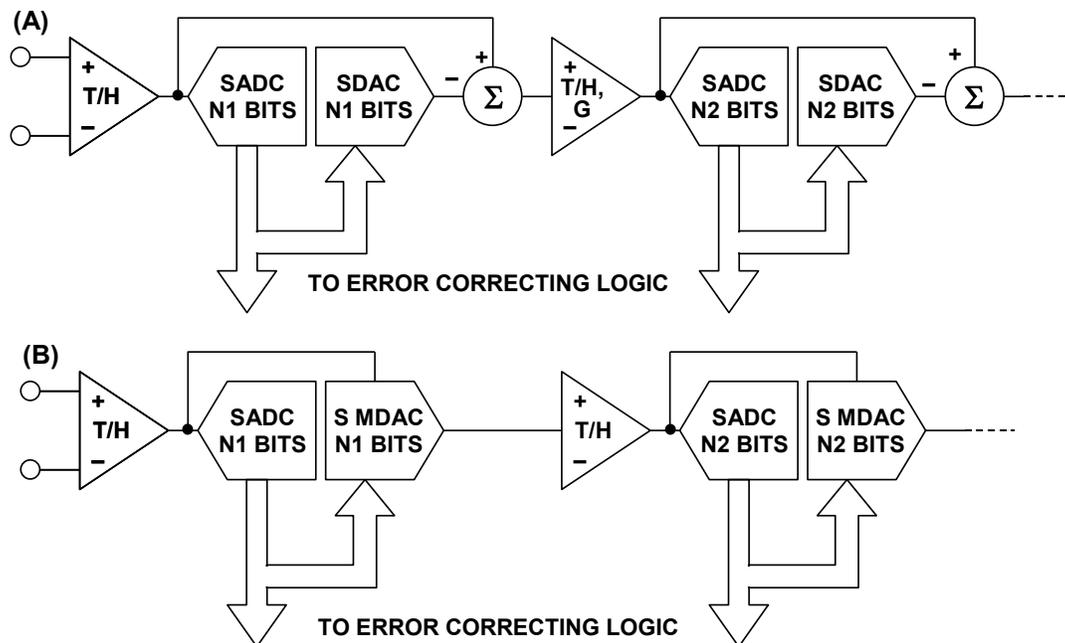


図 6.55: 誤差補正機能を備えたサブレンジング ADC の汎用パイプライン段

「パイプライン」アーキテクチャという言葉は、クロック・サイクルの任意の時点で、ある段が前段からのデータを処理できることを表しています。特定のクロック・サイクルの各段階の終了時に、ある段の出力が T/H 機能を使って次の段に渡され、新しいデータがその段へ渡されます。もちろんこれは、補正ロジックに達するデジタル・データが同じサンプルに対応するように、「パイプライン」内の最終段を除くすべての段のデジタル出力を該当数のシフト・レジスタに保存しなければならないことを意味します。

代表的なパイプライン・サブレンジング ADC のタイミング図を図 6.56 に示します。ADC 内のある T/H アンプがホールド・モードに入ったとき、T/H がその前段の T/H から受け取ったサンプルを保持し、前段の T/H がトラック・モードに戻るように、T/H アンプへのクロックの位相は段ごとに変化することに注意してください。保持されたアナログ信号は、そのパイプライン ADC の最終段に達するまで、段から段へと渡されていきます（この場合の最終段はフラッシュ・コンバータ）。高サンプリング・レートでの動作時は、最大限の性能を引き出すために、差動サンプリング・クロックを 50% のデューティ・サイクルに維持することがきわめて重要です。

デューティ・サイクルを 50% 以外の値にすると、チェーン内のすべての T/H アンプが影響を受けます。あるものはトラック時間が最適値より長くなり、あるものはホールド時間が最適値より短くなります。また、全く逆の状態になる場合もあります。12 ビット、65 MSPS の AD9235 および 12 ビット、210 MSPS の AD9430 などの一部の新しいパイプライン ADC は、内部デューティ・サイクルを制御するためのクロック・コンディショニング回路を搭載していますが、外部のクロック・デューティ・サイクルのある程度の変動にも対応することができます。

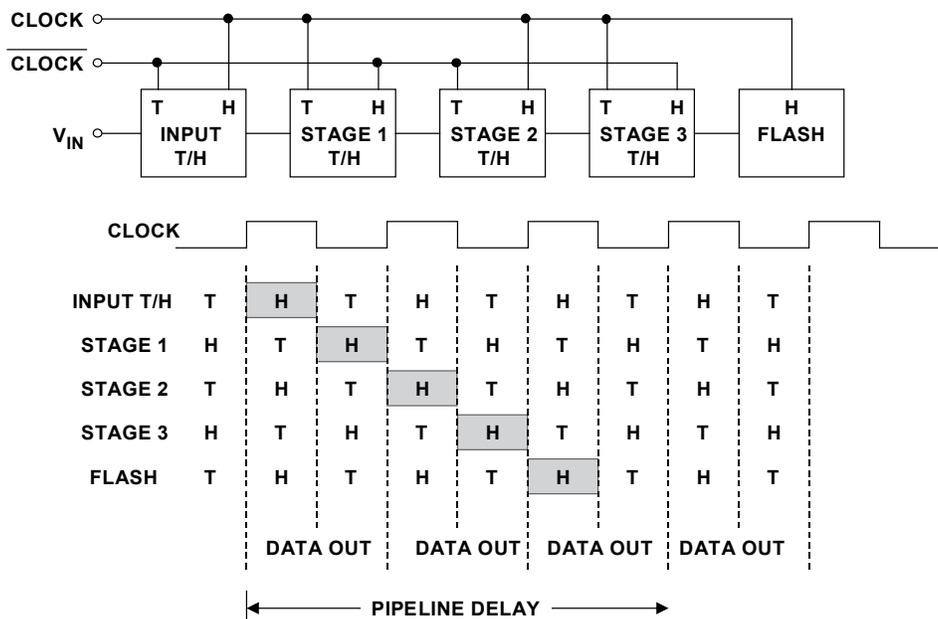


図 6.56: パイプライン ADC のクロック関連問題

12 ビット 65 MSPS ADC である AD9235 において、出力データに 7 クロック・サイクルの「パイプライン」遅延（「レイテンシ」とも呼ばれる）がある場合の影響を図 6.57 に示します。

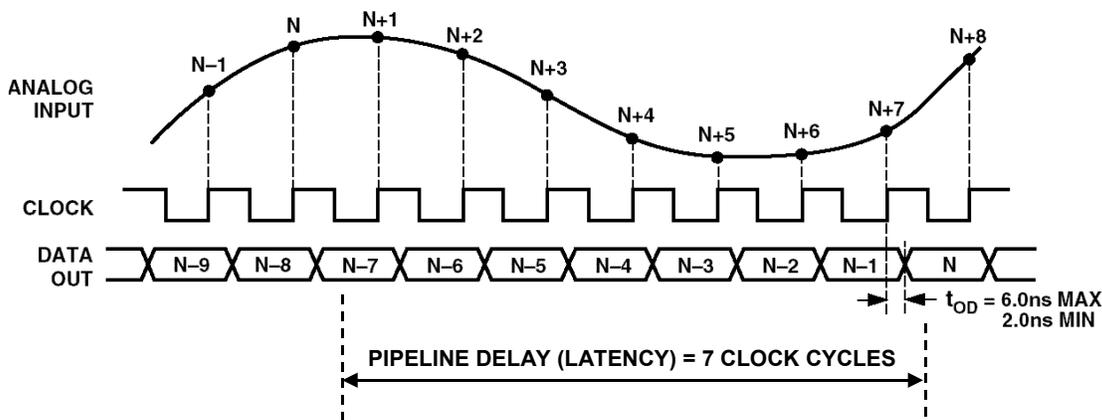


図 6.57. AD9235、12 ビット、65 MSPS ADC における代表的なパイプライン ADC のタイミング

パイプライン遅延は、段数と、ADC 固有のアーキテクチャの関数になります。サンプル・クロックと出力データのタイミングとの詳しい関係については、常にデータシートを確認する必要があります。多くのアプリケーションでは、パイプライン遅延が問題となることはありませんが、ADC が帰還ループの内側にある場合は、パイプライン遅延によってシステムが不安定になる可能性があります。パイプライン遅延は、マルチプレクサを使ったアプリケーションや、「シングルショット」モードで ADC を動作させた場合にも問題となることがあります。このようなアプリケーションには、逐次比較型などの他の ADC アーキテクチャのほうが適しています。

誤差補正機能を備えたパイプライン ADC は、広いダイナミック・レンジと低歪みを必要とする現在の ADC ではごく一般的になっています。パイプライン ADC を設計する方法は多数あるので、ここではそれらのトレードオフの一部を見ていきましょう。それぞれが k ビットの同一段で設計されたパイプライン ADC を図 6.58A に示します。このアーキテクチャは各段で同じコア・ハードウェアを使用しており、他にも利点はいくつかありますが、最大限の性能を得るには ADC を最適化する必要があります。このアーキテクチャの最も単純な形 ($k=1$) を図 6.58B に示します。

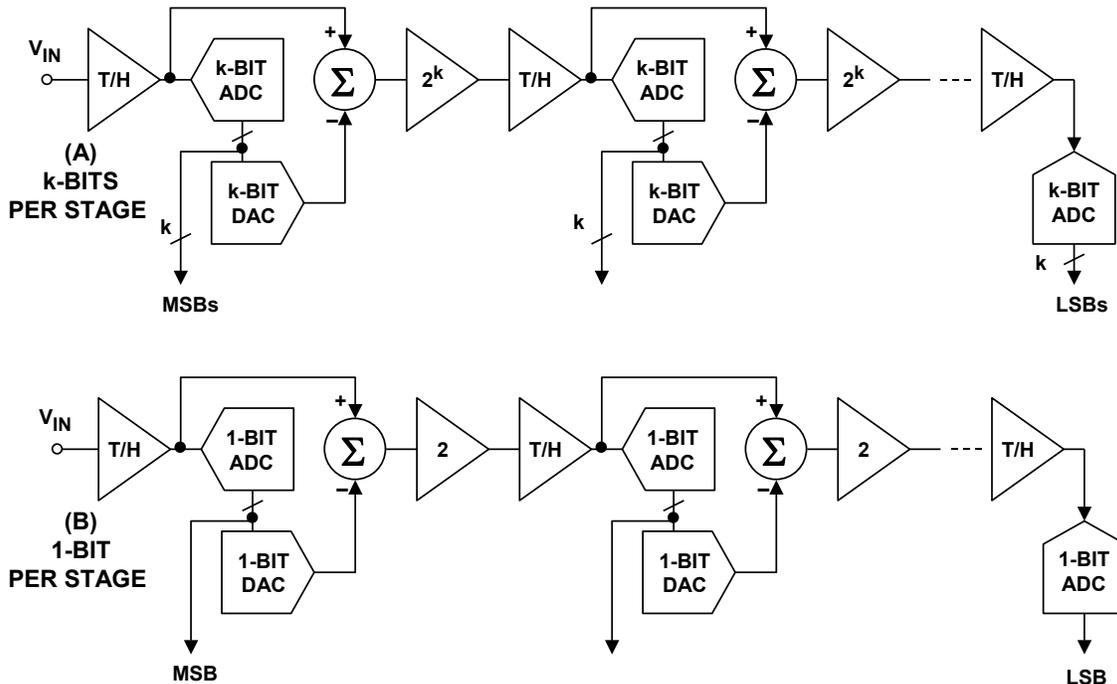


図 6.58: 同一段を持つ基本的なパイプライン ADC

12 ビット・レベルでの性能を最適化するには、例えば、図 6.59 に示すようなマルチビットのフロント・エンドとバック・エンドの ADC を備えた、1 段あたり 1 ビットのパイプライン構成を使用するのが一般的です。

それほど一般的ではないものの、再循環サブレンジング ADC という誤差補正機能付きサブレンジング・アーキテクチャもあります。この考え方は前述の誤差補正機能付きサブレンジング・アーキテクチャと似ていますが、このアーキテクチャでは、スイッチとプログラマブル・ゲイン・アンプ (PGA) を使って、残差信号が ADC と DAC の 1 段を再循環するようにします。

この方法で大きな問題となるのはPGAです。PGAのゲイン帯域幅積により、高ゲインでの周波数応答が制限されます。さまざまなゲインのマッチングも問題になる可能性があります。

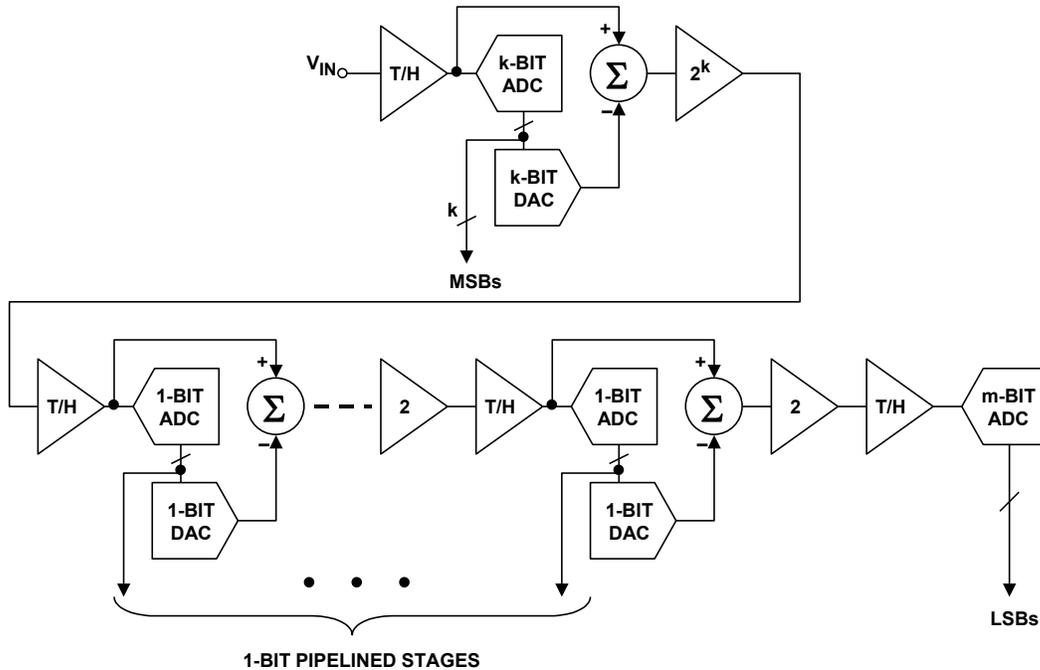


図 6.59: マルチビットと1ビットのパイプライン・コアの組み合わせ

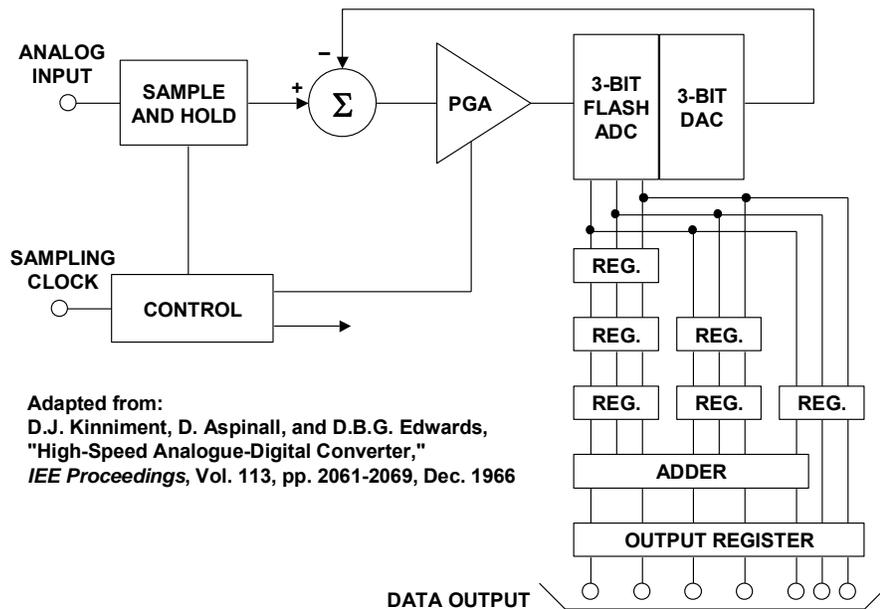
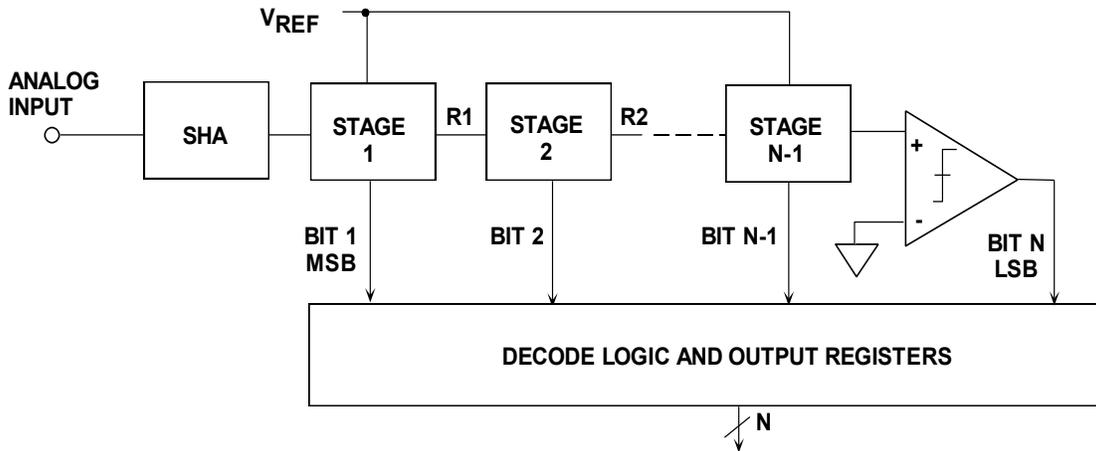


図 6.60: Kinnimentらによる1966年の
7ビット、9 MSPS 再循環式パイプラインADCアーキテクチャ

シリアル・ビット・パー・ステージ・バイナリ型とグレイ・コード型（フォールディング）ADC

1 ビットあたり 1 段で A/D 変換を実行するアーキテクチャにはさまざまなものがあります。全体の考え方を図 6.61 に示します。実際、1 段ごとに 1 ビットを出力する誤差補正なしの多段サブレンジング ADC も、前述のとおりアーキテクチャの 1 つです。この手法では、変換の全サイクルで入力信号を一定に保つ必要があります。N 段のそれぞれにビット出力と残差出力があります。ある段の残差出力が次の段への入力になります。最後のビットは、図に示すように 1 個のコンパレータで検出されます。



B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method,"
IRE Transactions on Instrumentation, June 1956, pp. 155-160.

図 6.61: 一般的なビット・パー・ステージ ADC のアーキテクチャ

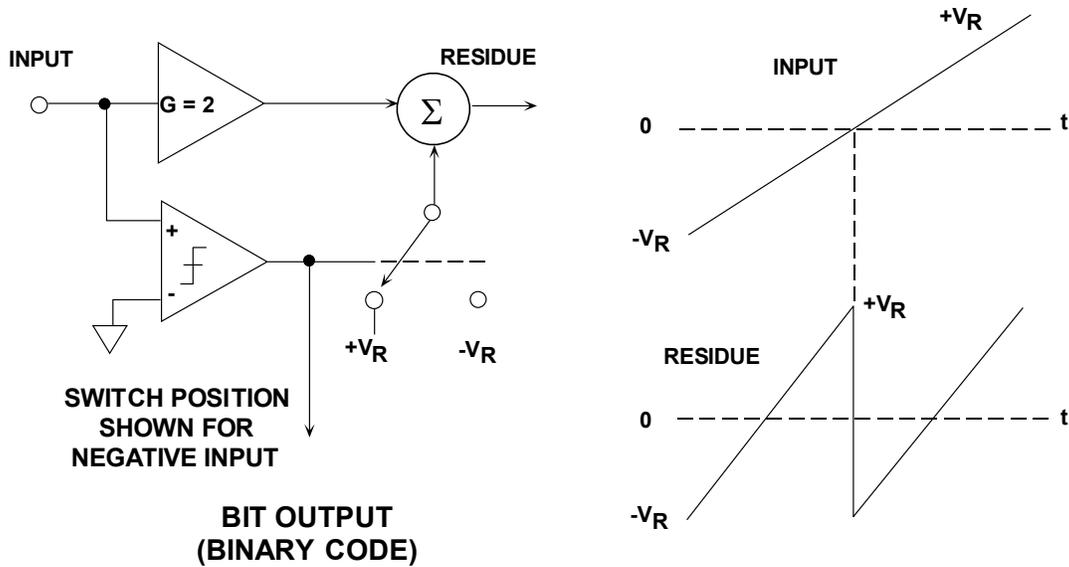


図 6.62: バイナリ ADC における 1 段の伝達関数

1 シングル・バイナリ・ビットの変換を実行する基本的な段を図 6.62 に示します。この段は、ゲイン 2 のアンプ、コンパレータ、および 1 ビット DAC で構成されます。これが ADC の第 1 段であるとして、MSB は単に入力の極性で、コンパレータはこれを検出し、1 ビット DAC も制御します。1 ビット DAC の出力は、ゲイン 2 のアンプの出力と足し合わされます。得られた残差出力は次の段に印加されます。回路の動作をよく理解できるように、図には ADC の範囲全体 ($-V_R \sim +V_R$) を移動するリニア・ランプ入力電圧の場合の残差出力を示しています。残差出力の極性によって、次の段のバイナリ・ビット出力が決まることに注意してください。

簡略化した 3 ビットのシリアル・バイナリ形式の ADC を図 6.63 に、残差出力を図 6.64 に示します。ここでも、 $-V_R \sim +V_R$ を範囲とするリニア・ランプ入力電圧の場合を示しています。それぞれの残差出力信号には、コンパレータの状態の変化により DAC が切り替わるポイントに対応した不連続点が存在します。このアーキテクチャの基本的な問題は、残差出力波形における不連続性です。これらのトランジェントがすべての段を伝播し、最終的なコンパレータ入力でセトリングするには、十分なセトリング時間が必要です。いま示したように、このアーキテクチャが高速で動作する見込みはあまりありません。しかし、本セクションで前述した 1.5 ビットのパイプライン・アーキテクチャを使うと、高速動作の可能性はるかに高まります。

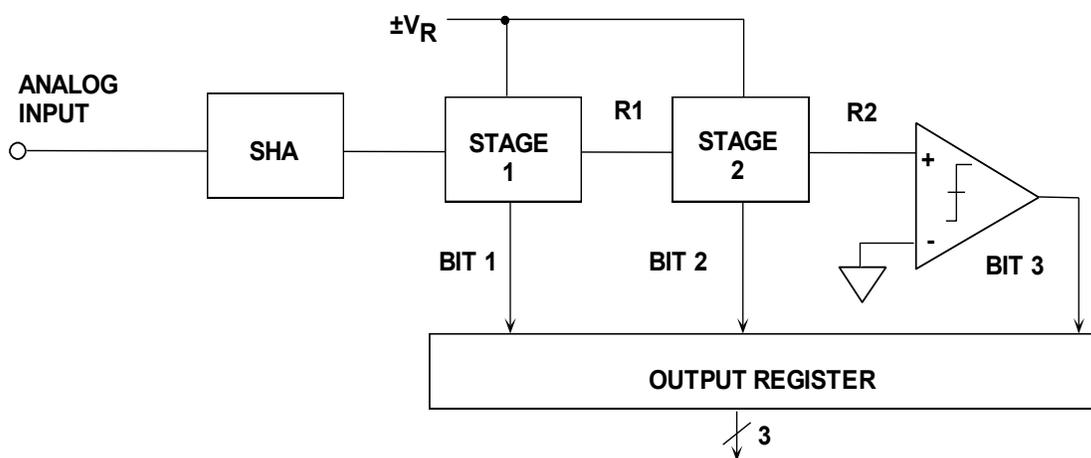


図 6.63: バイナリ出力付き 3 ビット・シリアル ADC

B. D. Smith は論文でバイナリ方式について考察していますが、絶対値アンプ（振幅アンプ、または単に *MagAMPs*TM）をベースとするさらに優れたビット・パー・ステージ・アーキテクチャについても述べています。この方式は、シリアル・グレイ（出力コードがグレイ・コードであるため）、または伝達関数の形状からフォールディング・コンバータとしばしば呼ばれています。最初のグレイ・コード出力を生成する伝達関数を用いて変換を実行すると、残差出力波形における不連続点を最小限に抑えられるという利点があり、バイナリ手法よりもずっと高速に動作する可能性があります。

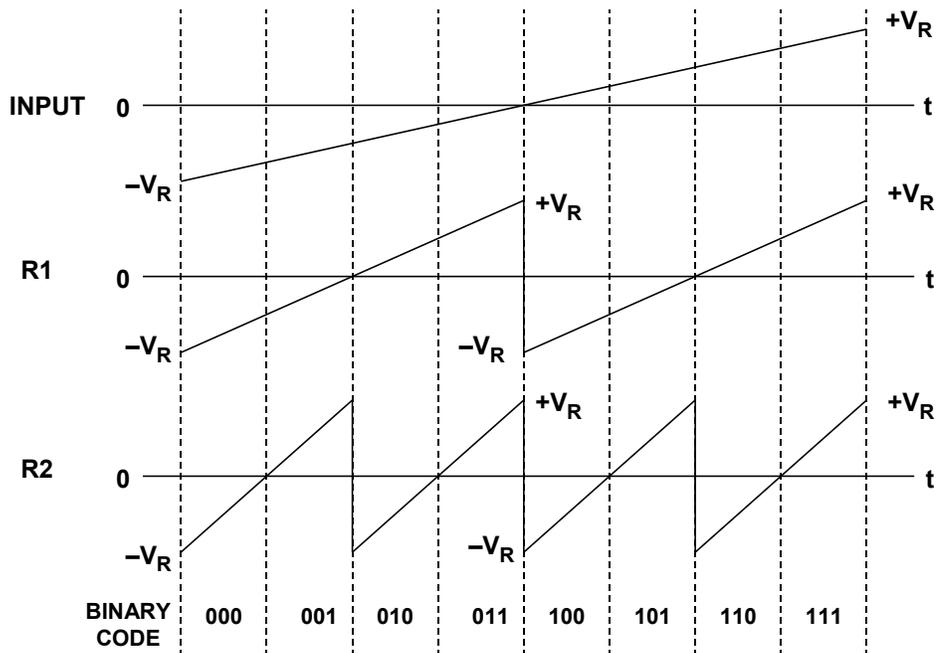


図 6.64: 3 ビット・バイナリ・リップル ADC の入力波形と残差波形

基本的なフォールディング段の機能を、伝達関数とともに図 6.65 に示します。この段への入力を、範囲が $-V_R \sim +V_R$ のリニア・ランプ電圧とします。コンパレータは入力信号の極性を検出し、この段のグレイ・ビットを出力します。また、段全体のゲインが $+2$ か -2 を判別します。リファレンス電圧 V_R はスイッチ出力と加算されて、次の段に印加される残差信号を生成します。残差信号の極性により、次の段のグレイ・ビットが決まります。フォールディング段の伝達関数も図 6.65 に示します。

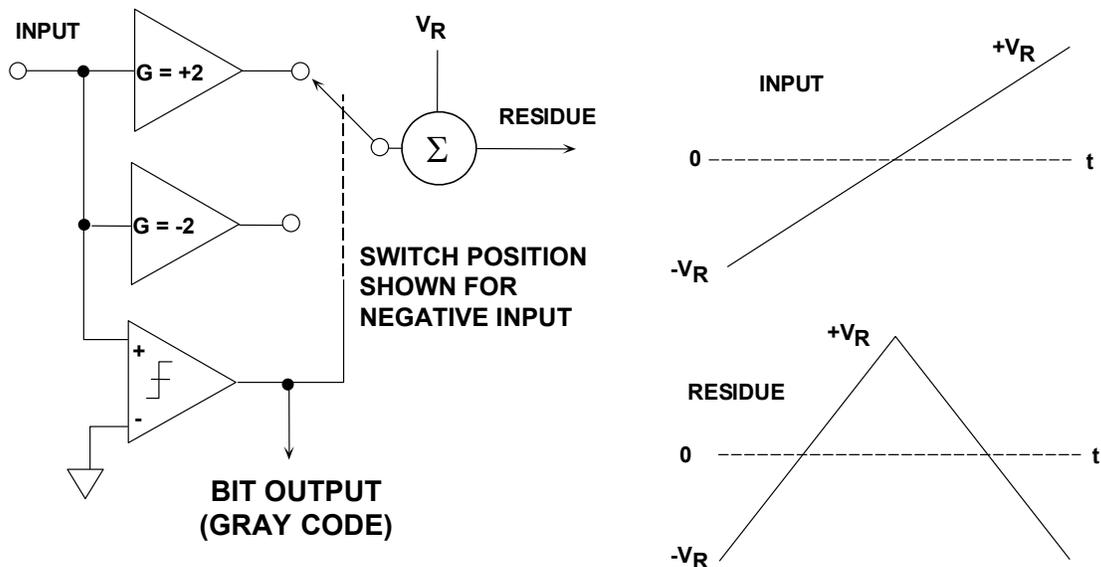


図 6.65: フォールディング段の機能的等価回路

3 ビットの MagAMP フォールディング ADC を図 6.66 に、対応する残差波形を図 6.67 に示します。バイナリ・リップル ADC の場合と同様、ある段の残差出力信号の極性により次の段のグレイ・ビットの値が決まります。第 1 段への入力の極性がグレイ・コードの MSB を決定します。R1 出力の極性によってグレイ・コードのビット 2 が決まり、R2 出力の極性によってグレイ・コードのビット 3 が決まります。バイナリ・リップル ADC と異なり、フォールディング段の残差出力波形のいずれにも急峻な遷移が見られないことに注目してください。このため、高速動作がきわめて容易になります。

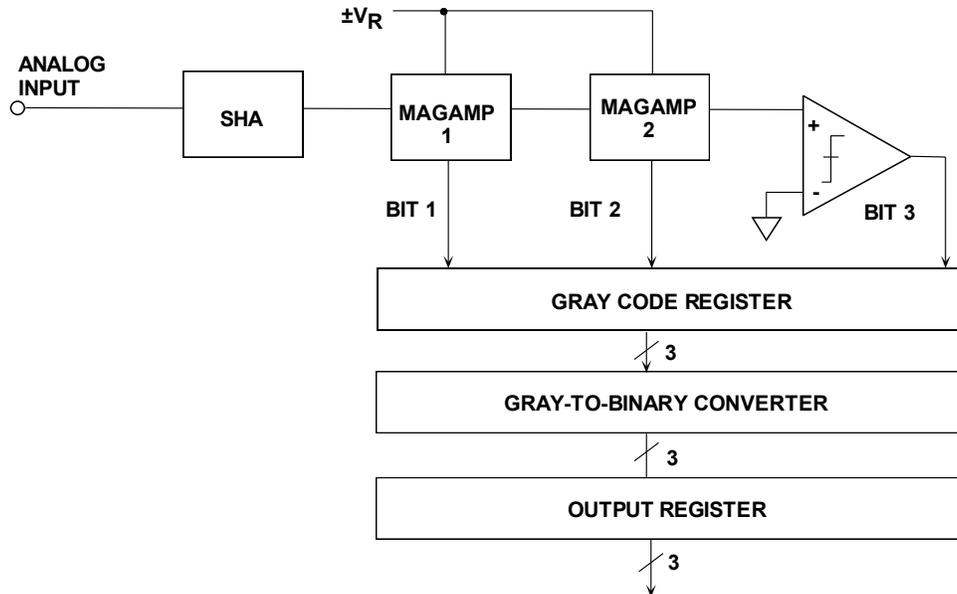


図 6.66: 3 ビット・フォールディング ADC のブロック図

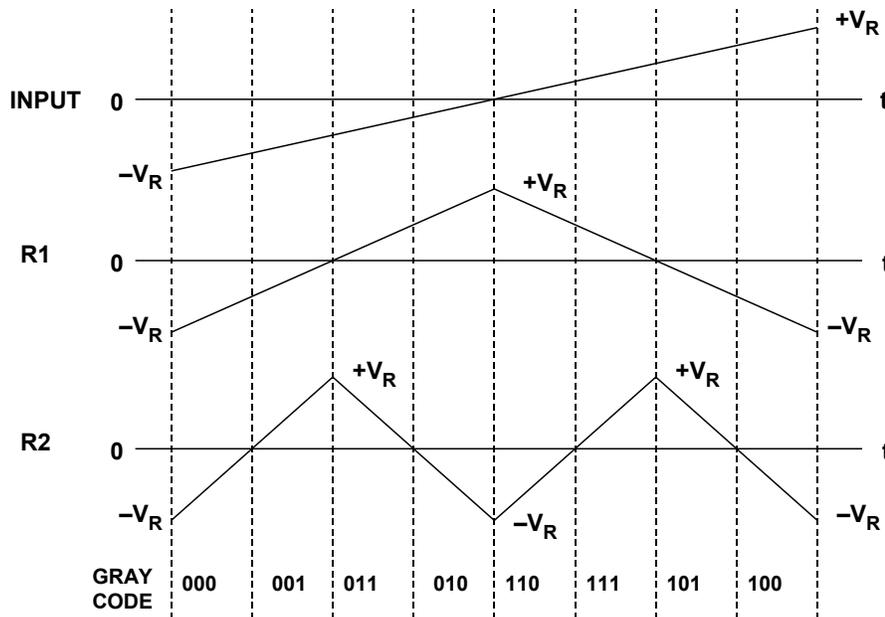


図 6.67: 3 ビット・フォールディング ADC の入力と残差波形

現在の IC 回路設計では、電流ステアリング・オープンループ・ゲイン技術を用いて伝達関数を実装しており、回路をはるかに高速に動作させることができます。完全差動段（SHA を含む）でも、速度と低歪みが得られ、薄膜抵抗レーザ・トリミングを行わなくても 8 ビット精度のフォールディング段が可能になります。

完全差動でゲイン 2 倍の MagAMP フォールディング段の例を図 6.68 に示します。差動入力信号は、エミッタ縮退差動ペアの Q1、Q2、およびコンパレータに印加されます。この差動入力電圧は、Q1、Q2 のコレクタに流れる差動電流に変換されます。 $+IN$ が $-IN$ より大きい場合、カスコード接続されたトランジスタ Q3、Q6 はオンになり、Q4、Q5 はオフになります。したがって、差動信号電流は Q3、Q6 のコレクタを流れてレベルシフト・トランジスタ Q7、Q8、および出力負荷抵抗に流れ、 $+OUT$ と $-OUT$ 間に差動出力電圧を生じます。この回路全体の差動電圧ゲインは 2 となります。

$+IN$ が $-IN$ より小さい（差動入力電圧が負の）場合は、コンパレータは段を変え、Q4、Q5 がオン、Q3、Q6 がオフになります。差動信号電流は Q5 から Q7 に、また Q4 から Q8 に流れるため、差動出力において正の差動入力電圧と同じ極性を維持します。必要なオフセット電圧は、電流 I_{OFF} を Q7 のエミッタ電流に加え、さらにそれを Q8 のエミッタ電流から差し引くことによって得られます。

この段の差動残差出力電圧は次の段の入力を駆動し、コンパレータ出力がこの段のグレイ・コード出力となります。

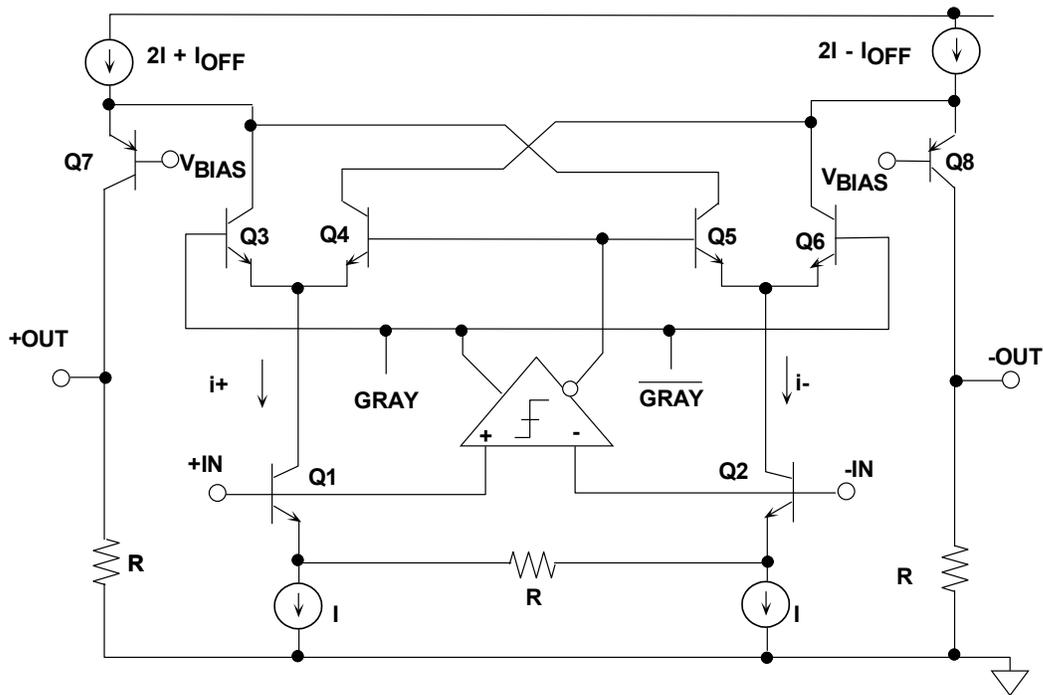


図 6.68: 最新の電流ステアリング MagAMP 段

MagAMP アーキテクチャは低消費電力で、これまでフラッシュ・コンバータが主導してきたサンプリング・レート程度にまで拡張することができます。例えば、8 ビット、200 MSPS ADC である AD9054A を図 6.69 に示します。最初の 5 ビット（グレイ・コード）は、5 段の差動 MagAMP 段から得られます。5 段目の MagAMP 段の差動残差出力は、1 個のコンパレータではなく 3 ビットのフラッシュ・コンバータを駆動します。

5 段の MagAMP のグレイ・コード出力と 3 ビット・フラッシュのバイナリ・コード出力はラッチされ、すべてがバイナリに変換されて、出力データ・レジスタで再びラッチされます。データ・レートが高いため、デマルチプレクス出力を選択できます。

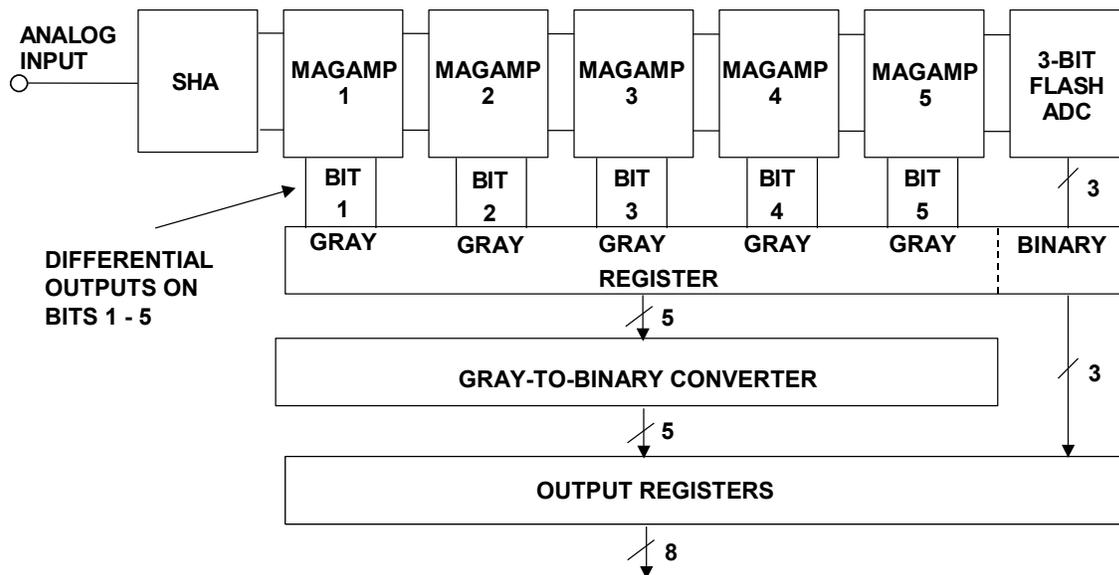
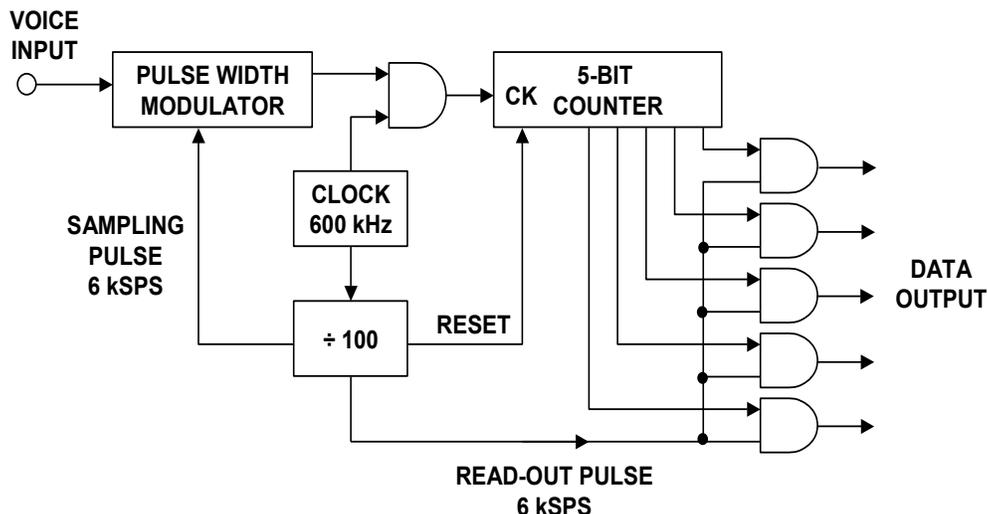


図 6.69: 8 ビット、200 MSPS ADC AD9054A の機能図

計数型および積分型 ADC アーキテクチャ

計数ベースの ADC は高速アプリケーションにはあまり適していませんが、特に積分手法と組み合わせると、高分解能、低周波のアプリケーションに最適です。



Adapted from: Alec Harley Reeves, "Electric Signaling System,"
U.S. Patent 2,272,070, Filed November 22, 1939, Issued February 3, 1942

図 6.70: A. H. Reeves による 5 ビットの計数型 ADC

計数型 ADC 技術（図 6.70 参照）は、基本的に、サンプリング・パルスを使ってアナログ信号のサンプルを取り込み、R/S フリップフロップをセットし、同時にランプ電圧の制御を開始するものです。このランプ電圧は入力と比較され、等しい場合は R/S フリップフロップをリセットするパルスが生成されます。フリップフロップの出力はサンプリングの時に発生するパルスで、その幅はアナログ信号に比例します。このパルス幅変調（PWM）パルスはゲート付き発振器を制御し、ゲート付き発振器からのパルス数はアナログ信号の量子化値を表します。このパルス列は、カウンタを駆動することによって容易にバイナリ・ワードに変換することができます。Reeves のシステムでは、600 kHz のマスター・クロックが使用され、1/100 の分周器が 6 kHz のサンプリング・パルスを生成しました。このシステムは 5 ビット・カウンタを使用しているため、（サンプリング・パルス間の 100 カウントのうち）31 カウントがフルスケール信号になります。この技術を高分解能に拡張すると、間違いなく分解能を高めることができます。

電荷放電型 ADC (電荷積分型 ADC の一種)

図 6.71 に示す電荷放電型 ADC アーキテクチャでは、まずアナログ入力をサンプリングし、その電圧を固定コンデンサに蓄積します。次にコンデンサを定電流源で放電させ、完全放電に要する時間をカウンタで測定します。この手法では、全体の精度が、コンデンサと電流源の大きさに加え、タイムベースの精度に依存することに注意してください。

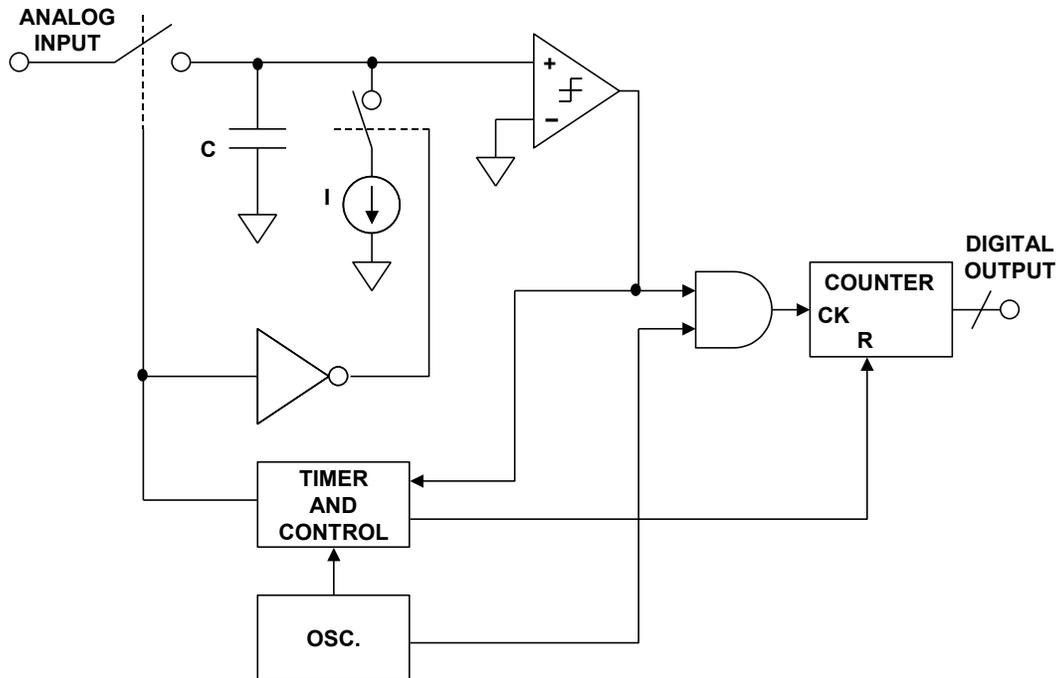


図 6.71: 電荷放電型 ADC

ランプ上昇型 ADC

図 6.72 に示すランプ上昇型アーキテクチャでは、ランプ・ジェネレータが変換サイクルの開始時に始動します。次に、カウンタはランプ電圧がアナログ入力電圧に等しくなるまでに要する時間を測定します。したがって、カウンタ出力はアナログ入力の値に比例します。別の方法 (図 6.72 に点線で表示) では、ランプ電圧ジェネレータが、カウンタ出力によって駆動される DAC で置き換えられます。ランプを使用する利点は、ADC は常に単調増加性ですが、ADC の代わりに DAC を使用すると、全体的な単調増加性が DAC によって決まることです。

ランプ型 ADC の精度は、ランプ・ジェネレータ (または DAC) と発振器の精度に依存します。

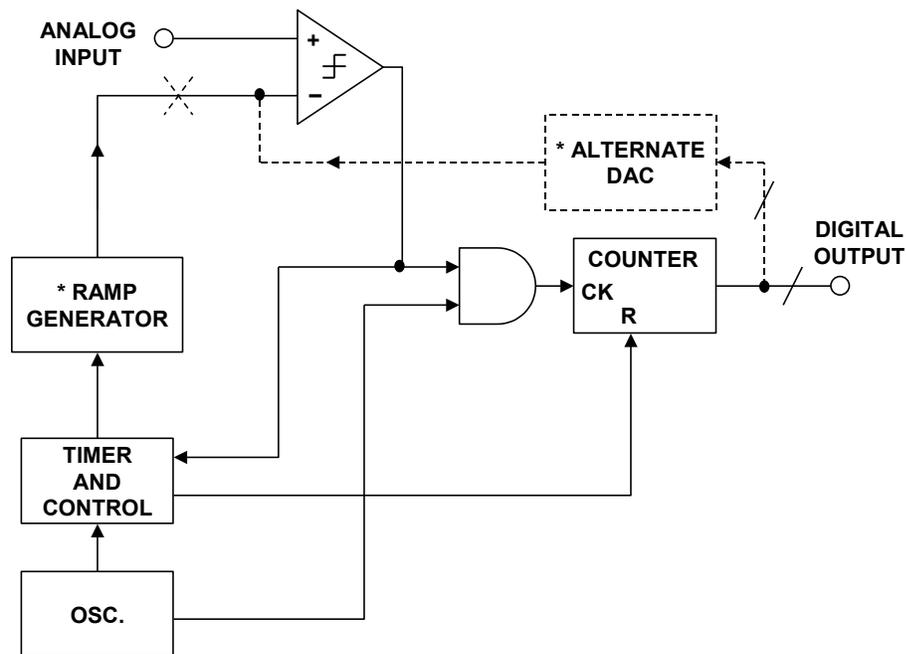


図 6.72: ランプ型 ADC

トラッキング ADC

図 6.73 に示すトラッキング ADC アーキテクチャでは、入力信号と入力信号を再現した信号を逐次比較します。アップ/ダウン・カウンタはコンパレータ出力によって制御されます。アナログ入力が DAC の出力を超えると、それらが等しくなるまでカウンタはカウント・アップされます。DAC の出力がアナログ入力を超えると、それらが等しくなるまでカウンタはカウント・ダウンされます。もちろん、アナログ入力の变化速度が遅くても、カウンタは追従するので、デジタル出力は常に正しい値に近い値となります。アナログ入力が突然大きくステップ変化すると、出力が再び有効になるまでに数百または数千のクロック・サイクルが必要です。したがって、トラッキング ADC はゆっくりと変化する信号には直ちに応答しますが、急速に変化する信号への遅く応答は遅くなります。

上述の簡単な解析では、アナログ入力と DAC 出力がほぼ等しい場合の ADC の挙動は無視しています。この挙動はまさにコンパレータとカウンタの性質に依存します。コンパレータが単純なものであれば、DAC の出力は、アナログ入力のすぐ上からそのすぐ下まで 1 LSB だけ循環し、もちろんデジタル出力も同様になるため、1 LSB のフリッカーが発生します。このような場合は、アナログ入力の値にかかわらず、クロック・サイクルごとに出力がステップするため、マーク/スペース比が常に 1 となることに注意してください。つまり、デジタル出力の平均値を取っても、オーバーサンプリングによって分解能を改善できる見込みはないことになります。

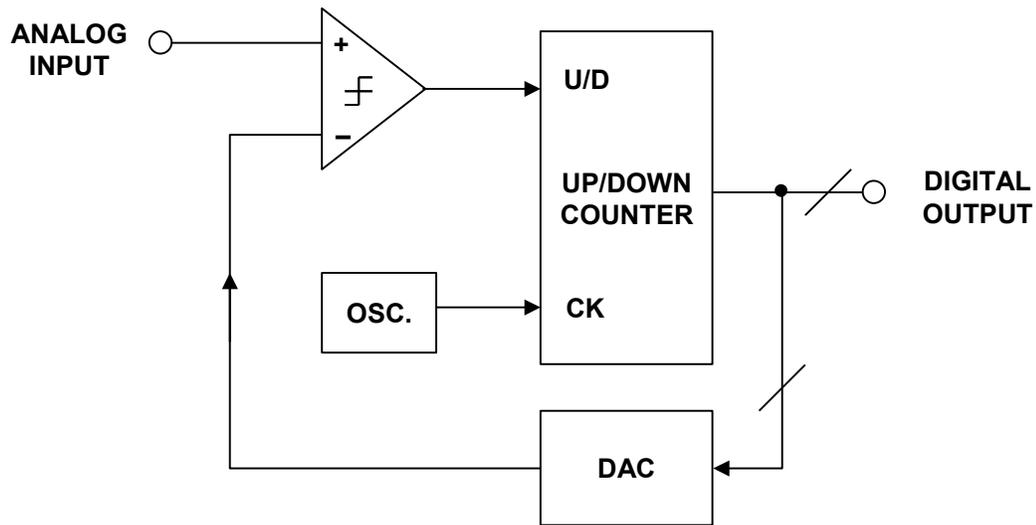


図 6.73: トラッキング ADC

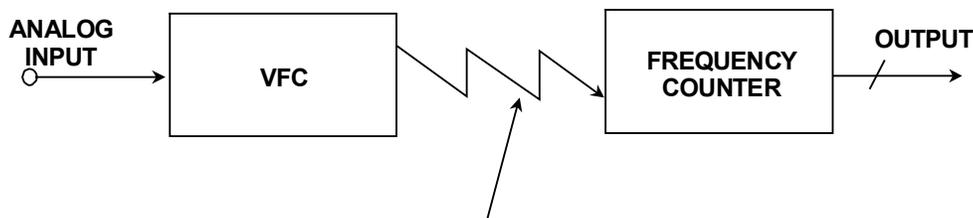
ウィンドウの幅が 1 LSB ~ 2 LSB のウィンドウ・コンパレータを使用すれば、構成はより適切になりますが、複雑さは増します。DAC 出力が大きいか小さいとき、システムは前述のように動作しますが、DAC 出力がウィンドウ内にあると、カウンタは停止します。この構成では、DAC の DNL により、1 LSB のコード変化に対して DAC 出力がウィンドウ内をステップ変化することがなければ、フリッカーは除去されます。

トラッキング ADC はあまり一般的ではありません。ステップ応答が遅いため、多くのアプリケーションには適していませんが、1 つだけ利点があります。それは、出力を**継続的に**得られることです。ほとんどの ADC は変換を実行します。すなわち、(おそらく内部で生成される)「変換開始」コマンドを受け取ると、変換を実行し、一定の遅延後に結果を出力します。アナログ入力の変化速度が遅ければ、トラッキング ADC の出力は常時得られます。これは、S/D コンバータおよび R/D コンバータ (SDC および RDC) において重要であり、トラッキング ADC が最も使用されることの多いアプリケーションです。トラッキング ADC のもう 1 つの重要な特性は、アナログ入力で高速トランジェントが発生しても、出力が 1 カウントしか変化しないことです。これは、ノイズの多い環境では非常に有用です。トラッキング ADC と逐次比較型 ADC の類似点に注目してください。アップ/ダウン・カウンタを SAR ロジックに置き換えると、逐次比較型 ADC のアーキテクチャになります。

V/F コンバータ (VFC)

V/F コンバータ (VFC) は、周波数が制御電圧に線形比例する発振器 (高精度 VCO) です。VFC/カウンタ型 ADC は単調増加性を備え、ミッシング・コードがなく、ノイズを積分し、消費電力はごくわずかです。VFC は小型、安価、低消費電力で、被験対象 (患者、野生動物、砲弾など) に搭載し、テレメトリ・リンクを使ってカウンタと通信させることができるため、テレメトリ・アプリケーションにも非常に有用です (図 6.74 参照)。

VFC のアーキテクチャとしては、**電流ステアリング・マルチバイブレータ型 VFC** と**チャージ・バランス型 VFC** の 2 種類がよく見られます。チャージ・バランス型 VFC は、**非同期式**または**同期 (クロック) 式**で作成できます。よく使われている 555 タイマーなど、VFO (可変周波数発振器) のアーキテクチャは他にも多数ありますが、VFC の重要な特長は直線性です。優れた直線性を持つ VFO は多くありません。



- ◆ CONNECTION NEED NOT BE DIRECT
- ◆ CIRCUIT IS IDEAL FOR TELEMTRY

図 6.74: V/F コンバータ (VFC) と周波数カウンタで構成された
低コスト、多用途、高分解能の ADC

電流ステアリング・マルチバイブレータ型 VFC は、実際には VFC ではなく電流-周波数コンバータですが、実際の回路では、入力に必ず V/I コンバータが組み込まれています (図 6.75 参照)。動作原理は明らかです。すなわち、閾値に達するまでコンデンサから電流が放電され、コンデンサの端子が入れ替わると、この半サイクルが繰り返し実行されます。コンデンサ両端の波形は線形の三角波ですが、グラウンドを基準とした端子の波形は、どちらも図示している波形より複雑になります。

このタイプの実用的な VFC は、ADC ではミッシング・コードなしで高分解能で使用できますが、約 14 ビットの直線性と、それと同等の安定性を備えています。性能限界は、コンパレータのスレッシュホールド・ノイズ、スレッシュホールド温度係数に加え、コンデンサ (通常はディスクリット部品) の安定性や誘電体吸収 (DA) によって規定されます。この図に示すコンパレータ/電圧リファレンスの構成は、使用される実際の回路というよりは実行される機能を表しており、スイッチングと高度に統合されているため、解析が困難です。

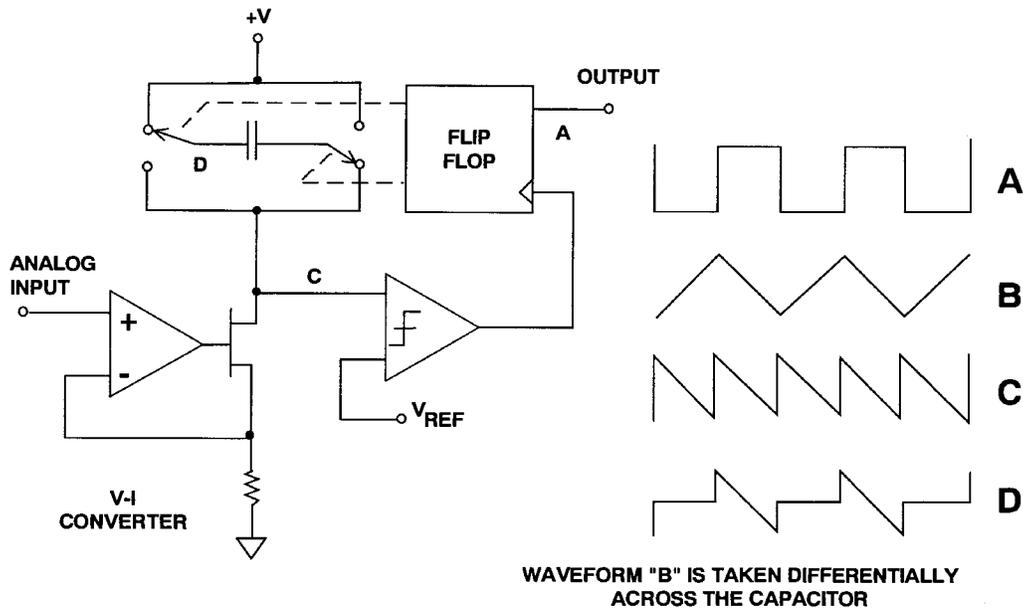


図 6.75: 電流ステアリング型 VFC

このタイプの VFC はシンプル、安価、低消費電力であり、ほとんどが広範囲の電源電圧で動作します。これらは、低コストで中程度の精度 (12 ビット) の ADC やデータ・テレメトリのアプリケーションに最適です。

図 6.76 に示すチャージ・バランス型 VFC は、より複雑で、電源電圧条件と電流条件が厳しく、より高精度です。16 ビット~ 18 ビットの直線性が可能です。

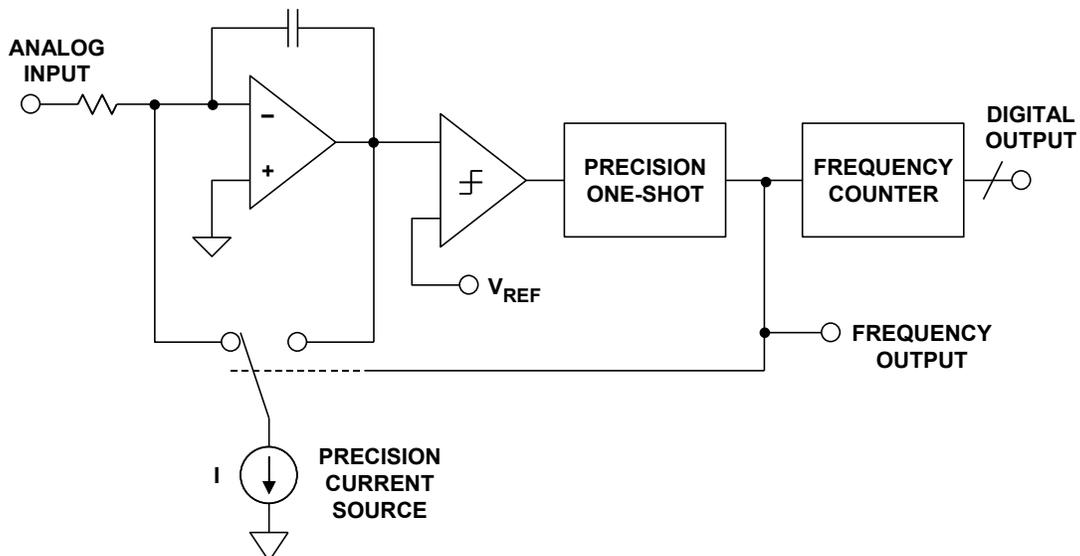


図 6.76: チャージ・バランス型 V/F コンバータ (VFC)

図 6.76 に示すように、積分コンデンサは信号から充電されます。これがコンパレータの閾値を超えると、コンデンサから一定の電荷が除去されますが、放電中も入力電流が流れ続けるため、入力電荷は失われません。この一定の電荷量は、高精度電流源と高精度の単安定マルチバイブレータのパルス幅によって定義されます。したがって、出力パルス・レートは、積分器が入力から充電される速度に正確に比例します。

低周波数では、この VFC の性能の限界は、電流源の安定性と（特に単安定コンデンサに依存する）単安定素子のタイミングによって決まります。積分コンデンサの絶対値と温度安定性は精度には影響しませんが、漏れ電流や誘電体吸収（DA）には影響します。高周波数では、積分器のスイッチング・トランジェントや、パルスの終了直後に単安定マルチバイブレータが再トリガされる時の精度などの二次効果が精度および直線性に悪影響を及ぼします。

電流源のチェンジオーバー・スイッチが積分器のトランジェント問題を解決します。古い VFC の設計で一般的なオン／オフ・スイッチの代わりにチェンジオーバー・スイッチを使用することにより以下が解決します。(a) 高精度電流源のオン／オフ・トランジェントがなくなります。(b) 積分器の出力段の負荷が一定になります。電流源からの電流は、ほとんどの場合出力段に直接流れます。チャージ・バランス時も出力段に流れますが、積分コンデンサを通ります。

高精度の単安定マルチバイブレータの安定性とトランジェント特性動作には他にも問題がありますが、単安定マルチバイブレータをクロック同期双安定マルチバイブレータに置き換えることで回避できます。この構成は同期 VFC あるいは (SVFC) として知られています (図 6.77 参照)。

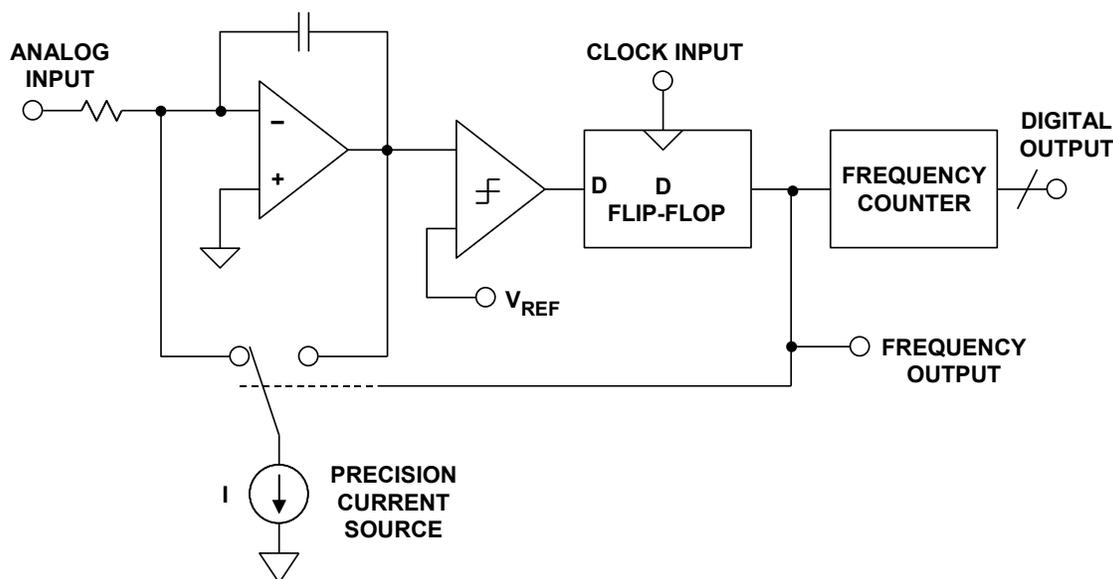


図 6.77: 同期 VFC (SVFC)

図 6.76 の回路との違いはほんのわずかですが、この場合はチャージ・バランス・パルスの長さが外部クロックの 2 つの連続するエッジによって定義されます。このクロックのジッタが小さい場合、電荷は非常に正確に定義されます。出力パルスもクロックに同期します。このタイプの SVFC は、最大 18 ビットの直線性と優れた温度安定性を備えています。

同期データ転送のほうが非同期データ転送よりも扱いやすいことが多いため、この同期動作は多くのアプリケーションにおいて有用です。しかし、このことは、SVFC の出力に従来の VFC のような純音（もちろん高調波を伴う）ではなく、クロック周波数の高調波成分が含まれることを意味します。オシロスコープでの SVFC の出力表示は特に誤解を招きやすく、よく混乱を生じます。VFC で入力を変化させると出力周波数はスムーズに変化しますが、SVFC で変化させると前の出力パルスの N と N+1 番目のクロック・サイクルまでの出力パルスの確率密度が変化します。これが、重大なジッタやデバイス・エラーであると誤って解釈されることがしばしばあります（図 6.78 参照）。

SVFC のもう 1 つの問題は、クロック周波数に関わる出力周波数の非直線性です。SVFC の伝達特性を調べると、図 6.79 に示すように、クロック周波数 F_c の低調波付近に非線形性があることがわかります。これらは、 $F_c/3$ 、 $F_c/4$ 、 $F_c/6$ に見られます。これは、チップ上の（および回路レイアウト内）の浮遊容量と、クロック信号が SVFC コンパレータに結合することが原因で、このためデバイスは、インジェクション・ロック方式のフェーズ・ロック・ループ（PLL）として動作します。この問題は SVFC にとって本質的なものですが、それほど重大ではありません。回路カードのレイアウトが良好で、クロック振幅や dv/dt が極力低く保たれていれば、伝達特性に不連続性が生じる影響はありますが、 $F_c/3$ および $F_c/4$ で 8 LSB 未満であり、他の低調波ではもっと小さくなります。発生する周波数がわかっているので、多くは許容範囲内です。もちろん、回路レイアウトやデカップリングが不適切であれば、影響がはるかに大きくなる可能性があります。それは設計のせいであって、SVFC 自体の責任ではありません。

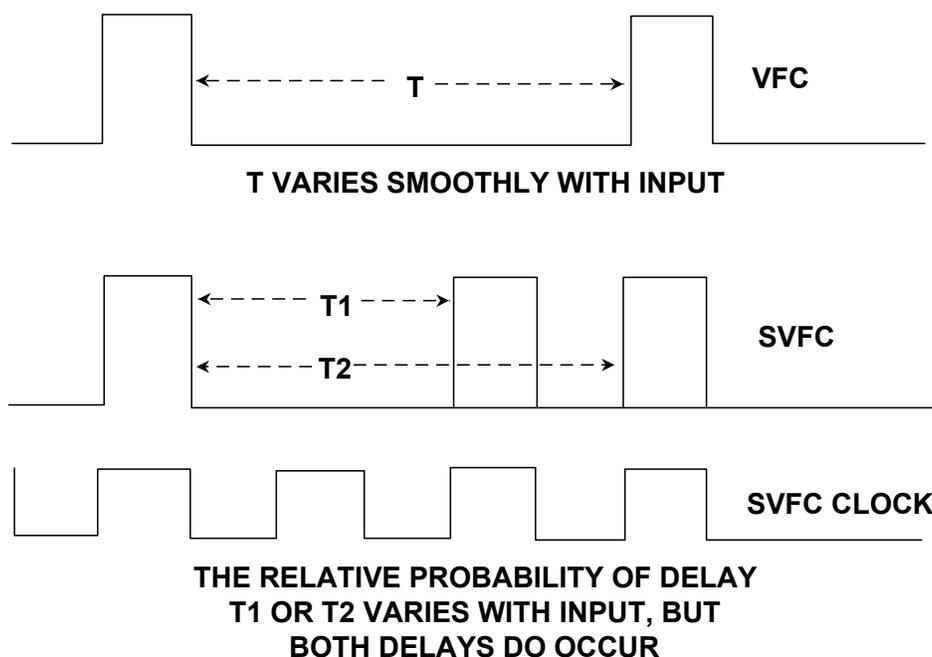


図 6.78: VFC と SVFC の波形

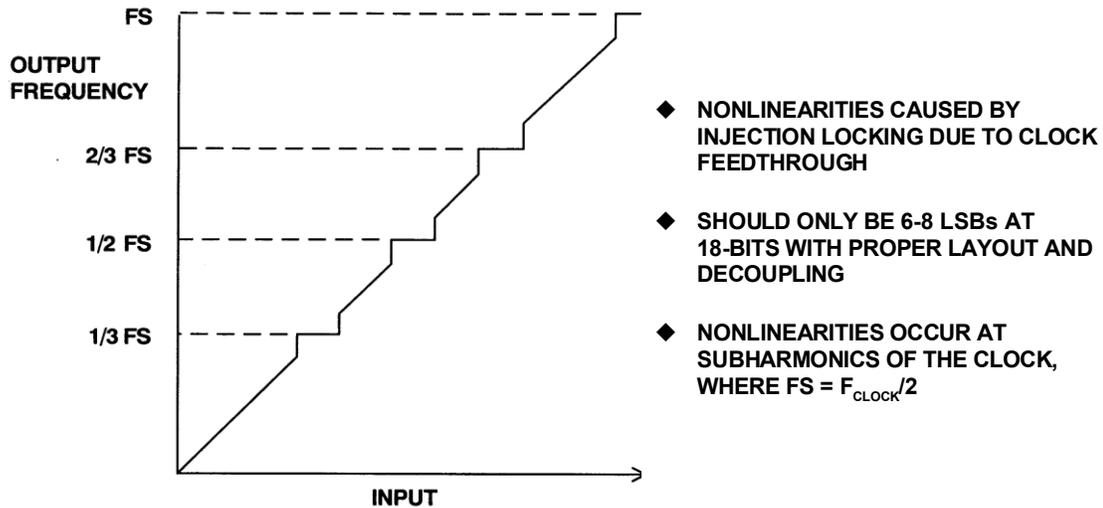


図 6.79: SVFC の非線形性

基本的な VFC は量子化されませんが、SVFC が量子化されるのは確かです。分解能はカウンタのクロックによっても制限されるため、カウンタ/VFC 型 ADC の分解能のほうがカウンタ/SVFC 型 ADC よりも高い（非線形性を無視して）ことは、上記からはわかりません。

VFC に大きな入力があると、すぐに実行され（短時間のカウントで）良好な分解能が得られますが、低速の VFC では妥当なサンプル時間で良好な分解能を得ることは困難です。このような場合、VFC 出力の周期を測定するほうが現実的かもしれませんが（これは SVFC では有効ではありません）、当然ながら、入力（および周波数）が増加するにつれてシステムの分解能は低下します。しかし、カウンタ/タイマーを「スマートな」構成にすると、おおよその VFC 周波数と、1 サイクルではなく N サイクル（N の値はおおよその周波数によって決定される）の正確な期間を測定することが可能となり、広い入力範囲にわたって高分解能を維持できます。1986 年にリリースされたモジュラー ADC の AD1170 はこのアーキテクチャの一例です。

VFC には、ADC の部品として以上の用途があります。出力はパルス・ストリームなので、広範囲の伝送媒体（PSN、ラジオ、光学、IR、超音波など）を介して容易に送信できます。この出力をカウンタが受信する必要はありませんが、周波数/電圧コンバータ（FVC）として構成されるもう 1 つの VFC で受信する必要があります。これによりアナログ出力が得られるため、VFC - FVC の組み合わせは、アイソレーション障壁を越えて高精度のアナログ信号を送信する非常に有益な方法です。

デュアルスロープ/マルチスロープ ADC

デュアルスロープ ADC アーキテクチャは、デジタル・ボルトメータ (DVM) などの高分解能アプリケーション向けの ADC における真のブレークスルーでした。簡略図を図 6.80 に、積分器の出力波形を図 6.81 に示します。

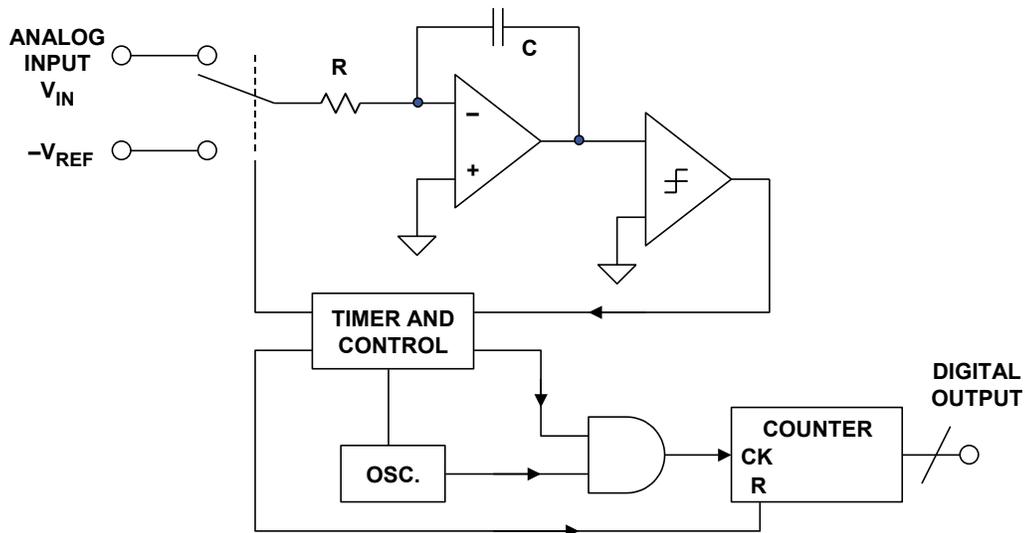
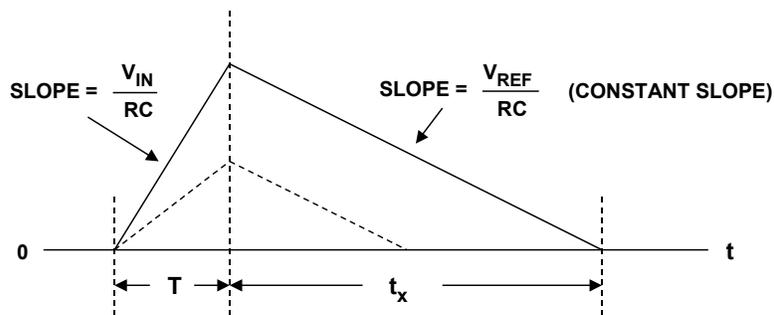


図 6.80: デュアルスロープ ADC



$$\frac{V_{IN}}{RC} T = \frac{V_{REF}}{RC} t_x$$

$$t_x = \frac{V_{IN}}{V_{REF}} T$$

HIGH NORMAL MODE REJECTION AT MULTIPLES OF $\frac{1}{T}$

図 6.81: デュアルスロープ ADC の積分器の出力波形

入力信号が積分器に印加されると同時にカウンタが開始し、クロック・パルスがカウントされます。所定時間 (T) の後、逆極性のリファレンス電圧が積分器に印加されます。その時点で、積分コンデンサに蓄積された電荷は、時間 T における入力の平均値に比例します。

リファレンスを積分すると、傾きが V_{REF}/RC の逆向きのランプ電圧になります。同時に、カウンタは再び 0 からカウントされます。積分器出力がゼロに達するとカウントが停止し、アナログ回路がリセットされます。取得した電荷は $V_{IN} \cdot T$ に比例し、等量の失われた電荷は $V_{REF} \cdot t_x$ に比例するため、フルスケール・カウントに対するカウント数は t_x/T または V_{IN}/V_{REF} に比例します。カウンタの出力が 2 進数であれば、入力電圧の表示はバイナリになります。

デュアルスロープ積分には多くの利点があります。変換の精度は、容量とクロック周波数のいずれにも依存しません。それは、これらがアップスロープとダウンスロープに同じ比率で影響するためです。

入力信号の積分期間を固定すると、周期が積分時間 T に等しいかその約数であるアナログ入力で、ノイズ周波数が除去されます。したがって、 T を適切に選択することによって、50 Hz または 60 Hz ラインのリップルを大幅に除去することができます (図 6.82 参照)。

バイアス電流および積分アンプとコンパレータのオフセット電圧に起因する誤差とゲイン誤差は、追加の充放電サイクルで「ゼロ」と「フルスケール」を測定し、その結果を使用してクワッド・スロープ・アーキテクチャと同様に初期測定値をデジタル補正することにより、キャンセルできます。

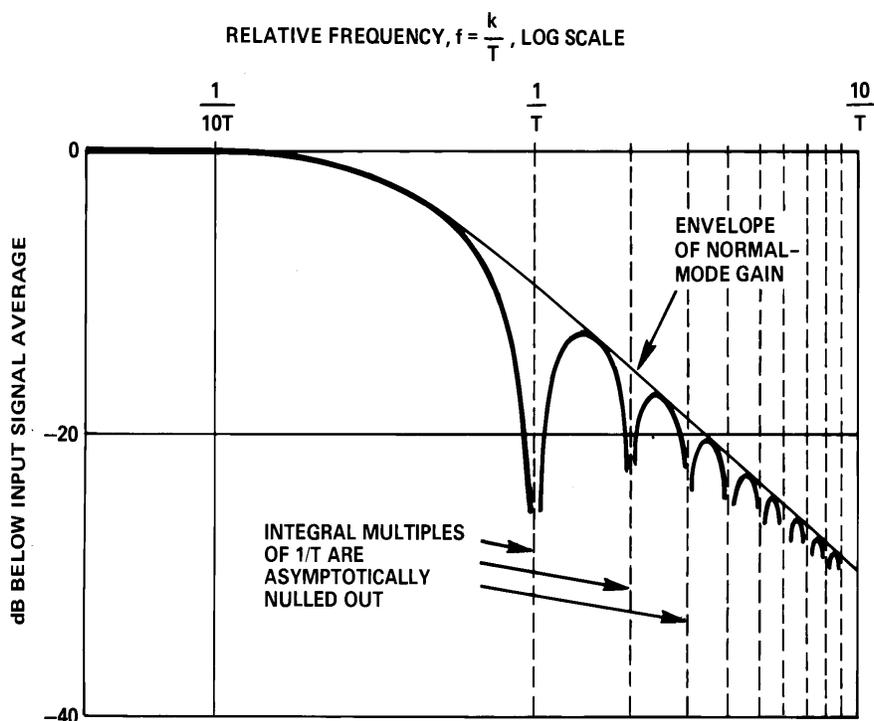


図 6.82: 積分型 ADC の周波数応答

トリプルスロープ・アーキテクチャは、デュアルスロープの利点を保持していますが、複雑さを増しながらも変換速度を大幅に向上させています。この変換速度の向上は、高速と「バーニア（副尺）」である低速の2つの異なる速度でリファレンス積分（ランプ・ダウン）を実行することで得られます。カウンタも同様に、MSB用とLSB用の2つのセクションに分かれています。適切に設計されたトリプルスロープ・コンバータは、デュアルスロープADC関連の直線性、微分直線性、および安定性の特性を維持しながら、速度を大幅に向上させることができます。

R/D コンバータ (RDC) とシンクロ

工作機械やロボットのメーカーは、正確な角度や回転情報を提供するために、レゾルバやシンクロにますます注目するようになってきました。これらのデバイスは、小型、長期信頼性、絶対位置測定、高精度、低ノイズ動作を必要とする要求の厳しい工場用途に優れています。

代表的なシンクロおよびレゾルバを図 6.83 に示します。シンクロとレゾルバのいずれも、固定ステーター内で回転する 1 巻線のローターを使用します。単純なシンクロの場合、ステーターは 120° 間隔で配置した 3 つの巻線を持ち、Y 結線で電氣的に接続されます。レゾルバは、ステーターが 90° に配置された巻線を 2 つしか持たない点でシンクロとは異なります。

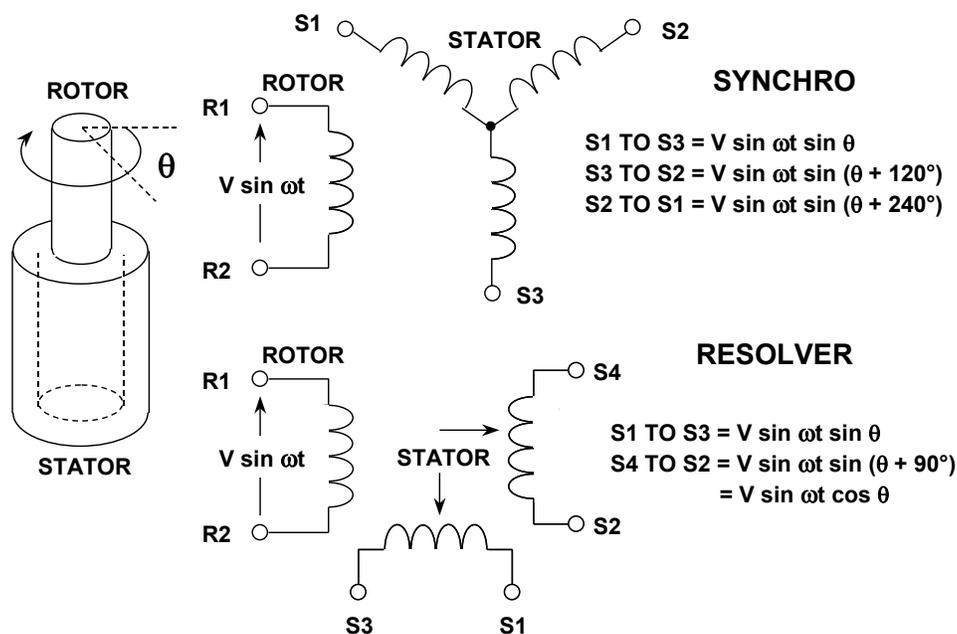


図 6.83: シンクロとレゾルバ

シンクロには 120° 間隔のステーター・コイルが 3 つあるため、レゾルバよりも製造が困難で、コストがかかります。現在、シンクロの使用は、特定の軍事アプリケーションや航空機の改修アプリケーション以外では減少しています。

対照的に、最新のレゾルバには、トランスを使用してステーターからローターにローター信号を結合するブラシレス式が登場しています。このトランスの 1 次巻線はステーター上にあり、2 次巻線はローター上にあります。レゾルバには、信号をローターの巻線に結合するのに、従来型のブラシやスリップ・リングを使用するものもあります。ブラシレス・レゾルバはシンクロよりも頑丈です。これは、壊れたり外れたりするブラシがなく、ベアリング以外に寿命を制限するものがないからです。ほとんどのレゾルバは、2 V ~ 40 V rms の電圧、および 400 Hz ~ 10 kHz の周波数での動作に対して仕様が規定されています。角度の精度は 5 分 ~ 0.5 分の範囲です。(1 度は 60 分、1 分は 60 秒です。)

したがって、1 分は 0.0167 度になります)。

シンクロとレゾルバは、動作時は回転するトランスに似ています。ローターの巻線は、数 kHz までの周波数で AC リファレンス電圧によって励磁されます。ステーターの巻線に誘起される電圧の大きさは、ローターのコイル軸とステーターのコイル軸間の角度のサイン、 θ に比例します。シンクロの場合、ステーター端子の任意のペアの両端に誘起される電圧は、接続された 2 つのコイル間の電圧のベクトル和になります。

例えば、シンクロが、ローター端子 R1 と R2 間のリファレンス電圧 $V \sin \omega t$ で励起されると、ステーターの端子には次のような形の電圧が生じます。

$$S1 \sim S3 = V \sin \omega t \sin \theta \quad \text{式 6.1}$$

$$S3 \sim S2 = V \sin \omega t \sin (\theta + 120^\circ) \quad \text{式 6.2}$$

$$S2 \sim S1 = V \sin \omega t \sin (\theta + 240^\circ) \quad \text{式 6.3}$$

ここで、 θ は軸の角度です。

レゾルバの場合、ローターの AC リファレンス電圧を $V \sin \omega t$ とすると、ステーターの端子電圧は次式のとおりです。

$$S1 \sim S3 = V \sin \omega t \sin \theta \quad \text{式 6.4}$$

$$S4 \sim S2 = V \sin \omega t \sin (\theta + 90^\circ) = V \sin \omega t \cos \theta \quad \text{式 6.5}$$

3 線式シンクロの出力は、スコット T トランスを使用してレゾルバ相当の形式に容易に変換できることに注意してください。したがって、次の信号処理例はレゾルバの構成のみを説明しています。

代表的な R/D コンバータ (RDC) の機能を図 6.84 に示します。レゾルバの 2 つの出力は、コサイン乗算器とサイン乗算器に印加されます。これらの乗算器には、サインおよびコサインのルックアップ・テーブルが組み込まれており、乗算型 DAC として機能します。アップ/ダウン・カウンタの現在の状態が試行角度 φ を表すデジタル番号であると仮定することから始めます。コンバータは、デジタル角度、 φ が測定対象のアナログ角度 θ と等しくなるよう追従しながら逐次調整します。レゾルバのステーター出力電圧は次式のように表すことができます。

$$V1 = V \sin \omega t \sin \theta \quad \text{式 6.6}$$

$$V2 = V \sin \omega t \sin \theta \quad \text{式 6.7}$$

ここで、 θ はレゾルバのローター角度です。デジタル角度 φ はコサイン乗算器に与えられ、そのコサインに $V1$ が乗じられて次項が生成されます。

$$V \sin \omega t \sin \theta \cos \varphi \quad \text{式 6.8}$$

デジタル角度 φ はサイン乗算器に与えられ、それに $V2$ が乗じられて次項が生成されます。

$$V \sin \omega t \cos \theta \sin \varphi \quad \text{式 6.9}$$

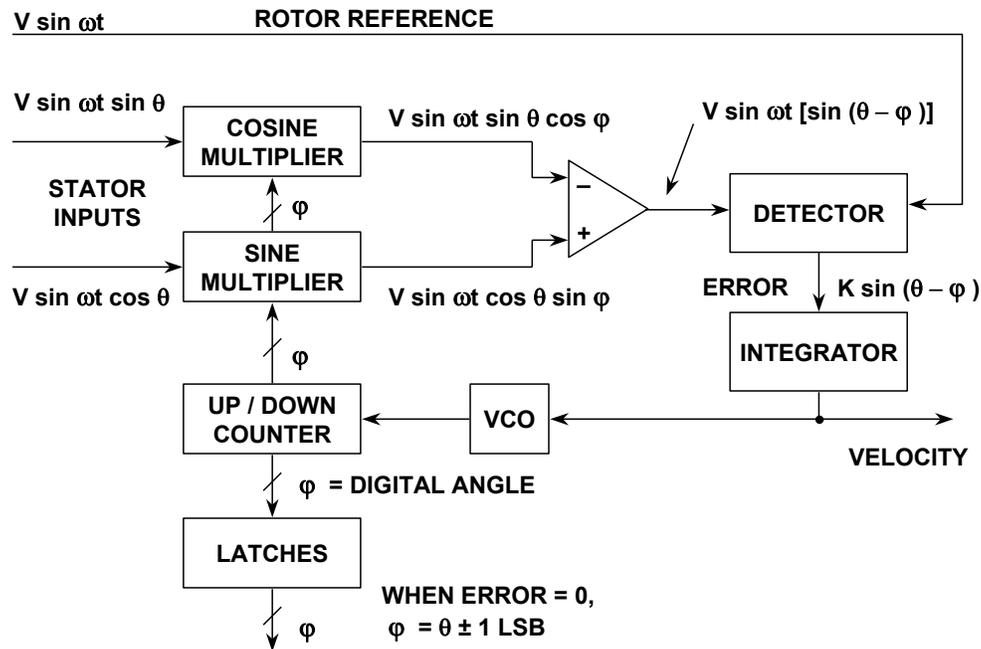


図 6.84: R/D コンバータ (RDC)

これらの2つの信号は誤差アンプによって相互に減算され、次式のAC誤差信号を生成します。

$$V \sin \omega t [\sin \theta \cos \phi - \cos \theta \sin \phi] \quad \text{式 6.10}$$

単純な三角関数の恒等式を適用すると、これは次のようにまとめられます。

$$V \sin \omega t [\sin(\theta - \phi)] \quad \text{式 6.11}$$

検出器はレゾルバのローター電圧をリファレンスとして、このAC誤差信号を同期復調します。この結果、 $\sin(\theta - \phi)$ に比例するDC誤差信号が得られます。

このDC誤差信号は積分器に入力され、その出力が電圧制御発振器(VCO)を駆動します。さらにVCOによりアップ/ダウン・カウンタが次のようになるように、適切な方向にカウントを行います。

$$\sin(\theta - \phi) \rightarrow 0 \quad \text{式 6.12}$$

つまり、次のようになります。

$$\theta - \phi \rightarrow 0 \quad \text{式 6.13}$$

したがって、次のようになって1カウント以内に収まります。

$$\varphi = \theta$$

この結果、カウンタのデジタル出力 φ は角度 θ を表すことになります。ラッチにより、ループのトラッキングを中断することなく、このデータを外部に転送することができます。

この回路は、実質的に 2 つの積分器を持つので、いわゆるタイプ 2 のサーボ・ループと同等になります。1 つはカウンタで、パルスを蓄積します。もう 1 つは検出器の出力にある積分器です。回転速度入力があるタイプ 2 のサーボ・ループでは、出力のデジタル・ワードが連続的に追従するか、あるいは入力を追跡します。この際、外部からの変換コマンドは不要で、デジタル出力ワードと実際のシャフト角度間に定常的な位相遅れはありません。誤差信号は加速時または減速時にのみ現れます。

さらに補足すると、トラッキング RDC では、シャフトの回転速度に正比例したアナログ DC 出力電圧が得られます。これは、速度をサーボ・システムの安定化項として測定または使用する場合に便利な機能であり、タコメータが不要になります。

RDC の動作は入力信号の振幅間の比にのみ依存するため、レゾルバに接続されるラインの減衰が性能に大きな影響を与えることはありません。同様の理由から、波形歪みからの影響を大きく受けることもありません。実際、入力信号に 10 % もの高調波歪みがあっても動作することができます。一部のアプリケーションでは、実際に方形波のリファレンスを使っていますが、追加誤差はほとんど生じません。

したがって、トラッキング ADC は RDC として最適です。逐次比較型などの他の ADC アーキテクチャも使用できますが、このアプリケーションにはトラッキング・コンバータが最も高精度で効率的です。

トラッキング・コンバータはその誤差信号を二重に積分するため、高度なノイズ耐性（オクターブあたり 12 dB のロールオフ）が得られます。ある与えられたノイズ・スパイクでの正味面積は誤差となります。しかし、誘導結合された標準的なノイズ・スパイクは、立上がり波形と立下がり波形が等しくなります。その結果、積分すると正味の誤差信号がゼロになります。これにより得られるノイズ耐性に加え、コンバータが電圧降下の影響を受けにくいことから、コンバータをレゾルバからかなり離れた場所に配置することができます。検出器は広帯域ノイズなどのリファレンス周波数にない信号を除去するため、ノイズ除去性能がさらに向上します。

AD2S90 は、アナログ・デバイセズが提供する多くの積分型 RDC の 1 つです。大まかなアーキテクチャは図 6.83 のアーキテクチャと同様です。S/D コンバータと R/D コンバータの詳細については、参考資料を参照してください。

シンクロとレゾルバについては、第 3 章 (3.1) でも説明しています。

参考資料

ADC アーキテクチャ

1. Walt Kester, Editor, **Amplifier Applications Guide**, Analog Devices, 1992, ISBN-0-916550-10-9, Chapter 10. (*An excellent discussion by James Bryant on the use of op amps as comparators*).
2. James N. Giles, "High Speed Transistor Difference Amplifier," **U.S. Patent 3,843,934**, filed January 31 1973, issued October 22, 1974. (*Describes one of the first high-speed ECL comparators, the AM685*).
3. Christopher W. Mangelsdorf, *A 400-MHz Input Flash Converter with Error Correction*, **IEEE Journal of Solid-State Circuits**, Vol. 25, No. 1, February 1990, pp. 184-191. (*A discussion of the AD770, an 8-bit, 200 MSPS flash ADC. The paper describes the comparator metastable state problem and how to optimize the ADC design to minimize its effects*).
4. Charles E. Woodward, *A Monolithic Voltage-Comparator Array for A/D Converters*, **IEEE Journal of Solid State Circuits**, Vol. SC-10, No. 6, December 1975, pp. 392-399. (*An early paper on a 3-bit flash converter optimized to minimize metastable state errors*).
5. Paul M. Rainey, "Facimile Telegraph System," **U.S. Patent 1,608,527**, filed July 20, 1921, issued November 30, 1926. (*Although A. H. Reeves is generally credited with the invention of PCM, this patent discloses an electro-mechanical PCM system complete with A/D and D/A converters. The 5-bit electro-mechanical ADC described is probably the first documented flash converter. The patent was largely ignored and forgotten until many years after the various Reeves' patents were issued in 1939-1942*).
6. R. W. Sears, "Electron Beam Deflection Tube for Pulse Code Modulation," **Bell System Technical Journal**, Vol. 27, pp. 44-57, Jan. 1948. (*describes an electron-beam deflection tube 7-bit, 100-kSPS flash converter for early experimental PCM work*).
7. Frank Gray, "Pulse Code Communication," **U.S. Patent 2,632,058**, filed November 13, 1947, issued March 17, 1953. (*Detailed patent on the Gray code and its application to electron beam coders*).
8. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224 Mb/s PCM Terminal," **Bell System Technical Journal**, Vol. 44, pp. 1887-1940, Nov. 1965. (*Summarizes experiments on ADCs based on the electron tube coder as well as a bit-per-stage Gray code 9-bit solid state ADC. The electron beam coder was 9-bits at 12 MSPS, and represented the fastest of its type at the time*).
9. R. Staffin and R. D. Lohman, "Signal Amplitude Quantizer," **U.S. Patent 2,869,079**, filed December 19, 1956, issued January 13, 1959. (*Describes flash and subranging conversion using tubes and transistors*).
10. E. Goto, et. al., "Esaki Diode High-Speed Logical Circuits," **IRE Transactions on Electronic Computers**, Vol. EC-9, March 1960, pp. 25-29. (*Describes how to use tunnel diodes as logic elements*).
11. T. Kiyomo, K. Ikeda, and H. Ichiki, "Analog-to-Digital Converter Using an Esaki Diode Stack," **IRE Transactions on Electronic Computers**, Vol. EC-11, December 1962, pp. 791-792. (*Description of a low resolution 3-bit flash ADC using a stack of tunnel diodes*).
12. H. R. Schindler, "Using the Latest Semiconductor Circuits in a UHF Digital Converter," **Electronics**, August 1963, pp. 37-40. (*Describes a 6-bit, 50-MSPS subranging ADC using three 2-bit tunnel diode flash converters*).
13. J. B. Earnshaw, "Design for a Tunnel Diode-Transistor Store with Nondestructive Read-out of Information," **IEEE Transactions on Electronic Computers**, EC-13, 1964, pp. 710-722. (*Use of tunnel diodes as memory elements*).

14. Willard K. Bucklen, "A Monolithic Video A/D Converter," **Digital Video, Vol. 2**, Society of Motion Picture and Television Engineers, March 1979, pp. 34-42. (*Describes the revolutionary TDC1007J 8-bit 20MSPS video flash converter. Originally introduced at the February 3, 1979 SMPTE Winter Conference in San Francisco, Bucklen accepted an Emmy award for this product in 1988 and was responsible for the initial marketing and applications support for the device*).
15. J. Peterson, "A Monolithic video A/D Converter," **IEEE Journal of Solid-State Circuits**, Vol. SC-14, No. 6, December 1979, pp. 932-937. (*Another detailed description of the TRW TDC1007J 8-bit, 20-MSPS flash converter*).
16. Yukio Akazawa et. al., *A 400MSPS 8 Bit Flash A/D Converter*, **1987 ISSCC Digest of Technical Papers**, pp. 98-99. (*Describes a monolithic flash converter using Gray decoding*).
17. A. Matsuzawa et al., *An 8b 600MHz Flash A/D Converter with Multi-stage Duplex-gray Coding*, **Symposium VLSI Circuits, Digest of Technical Papers**, May 1991, pp. 113-114. (*Describes a monolithic flash converter using Gray decoding*).
18. Chuck Lane, *A 10-bit 60MSPS Flash ADC*, **Proceedings of the 1989 Bipolar Circuits and Technology Meeting**, IEEE Catalog No. 89CH2771-4, September 1989, pp. 44-47. (*Describes an interpolating method for reducing the number of preamps required in a flash converter*).
19. W. W. Rouse Ball and H. S. M. Coxeter, **Mathematical Recreations and Essays**, Thirteenth Edition, Dover Publications, 1987, pp. 50, 51. (*Describes a mathematical puzzle for measuring unknown weights using the minimum number of weighing operations. The solution proposed in the 1500's is the same basic successive approximation algorithm used today*).
20. Alec Harley Reeves, "Electric Signaling System," **U.S. Patent 2,272,070**, filed November 22, 1939, issued February 3, 1942. Also **French Patent 852,183** issued 1938, and **British Patent 538,860** issued 1939. (*The ground-breaking patent on PCM. Interestingly enough, the ADC and DAC proposed by Reeves are counting types, and not successive approximation*).
21. John C. Schelleng, "Code Modulation Communication System," **U.S. Patent 2,453,461**, filed June 19, 1946, issued November 9, 1948. (*An interesting description of a rather cumbersome successive approximation ADC based on vacuum tube technology. This converter was not very practical, but did illustrate the concept. Also in the patent is a description of a corresponding binary DAC*).
22. W. M. Goodall, "Telephony by Pulse Code Modulation," **Bell System Technical Journal**, Vol. 26, pp. 395-409, July 1947. (*Describes an experimental PCM system using a 5-bit, 8 kSPS successive approximation ADC based on the subtraction of binary weighted charges from a capacitor to implement the internal subtraction/DAC function. It required 5 internal reference voltages*).
23. Harold R. Kaiser, et al, "High-Speed Electronic Analogue-to-Digital Converter System," **U.S. Patent 2,784,396**, filed April 2, 1953, issued March 5, 1957. (*One of the first SAR ADCs to use an actual binary-weighted DAC internally*).
24. B. D. Smith, "Coding by Feedback Methods," **Proceedings of the I. R. E.**, Vol. 41, August 1953, pp. 1053-1058. (*Smith uses an internal DAC and also points out that a non-linear transfer function can be achieved by using a DAC with non-uniform bit weights, a technique which is widely used in today's voice-band ADCs with built-in companding*).
25. L.A. Meacham and E. Peterson, "An Experimental Multichannel Pulse Code Modulation System of Toll Quality," **Bell System Technical Journal**, Vol. 27, No. 1, January 1948, pp. 1-43. (*Describes non-linear diode-based compressors and expanders for generating a non-linear ADC/DAC transfer function*).
26. Bernard M. Gordon and Robert P. Talambiras, "Signal Conversion Apparatus," **U.S. Patent 3,108,266**, filed July 22, 1955, issued October 22, 1963. (*Classic patent describing Gordon's 11-bit, 20 kSPS vacuum tube successive approximation ADC done at Epsco. The internal DAC represents the first known use of equal currents switched into an R/2R ladder network*).

27. Bernard M. Gordon and Evan T. Colton, "Signal Conversion Apparatus," **U.S. Patent 2,997,704**, filed February 24, 1958, issued August 22, 1961. (*Classic patent describes the logic to perform the successive approximation algorithm in a SAR ADC*).
28. J.R. Gray and S. C. Kitsopoulos, "A Precision Sample-and-Hold Circuit with Subnanosecond Switching," **IEEE Transactions on Circuit Theory**, CT11, September 1964, pp. 389-396. (*One of the first papers on the detailed analysis of a sample-and-hold circuit*).
29. T.C. Verster, "A Method to Increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters," **IEEE Transactions on Electronic Computers**, EC-13, 1964, pp. 471-473. (*One of the first references to the use of error correction in a subranging ADC*).
30. G.G. Gorbatenko, "High-Performance Parallel-Serial Analog to Digital Converter with Error Correction," **IEEE National Convention Record**, New York, March 1966. (*Another early reference to the use of error correction in a subranging ADC*).
31. D. J. Kinniment, D. Aspinall, and D.B.G. Edwards, "High-Speed Analogue-Digital Converter," **IEE Proceedings**, Vol. 113, pp. 2061-2069, Dec. 1966. (*A 7-bit 9 MSPS three-stage pipelined error corrected converter is described based on recirculating through a 3-bit stage three times. Tunnel (Esaki) diodes are used for the individual comparators. The article also shows a proposed faster pipelined 7-bit architecture using three individual 3-bit stages with error correction. The article also describes a fast bootstrapped diode-bridge sample-and-hold circuit*).
32. O. A. Horna, "A 150 Mbps A/D and D/A Conversion System," **Comsat Technical Review**, Vol. 2, No. 1, pp. 52-57, 1972. (*A detailed description and analysis of a subranging ADC with error correction*).
33. J. L. Fraschilla, R. D. Caveney, and R. M. Harrison, "High Speed Analog-to-Digital Converter," **U.S. Patent 3,597,761**, filed Nov. 14, 1969, issued Aug. 13, 1971. (*Describes an 8-bit, 5-MSPS subranging ADC with switched references to second comparator bank*).
34. Stephen H. Lewis, Scott Fetterman, George F. Gross, Jr., R. Ramachandran, and T. R. Viswanathan, "A 10-b 20-Msample/s Analog-Digital Converter," **IEEE Journal of Solid-State Circuits**, Vol. 27, No. 3, March 1992, pp. 351-358. (*A detailed description and analysis of an error corrected subranging ADC using 1.5-bit pipelined stages*).
35. Roy Gosser and Frank Murden, "A 12-bit 50 MSPS Two-Stage A/D Converter," **1995 ISSCC Digest of Technical Papers**, p. 278. (*A description of the AD9042 error corrected subranging ADC using MagAMP stages for the internal ADCs*).
36. B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method," **IRE Transactions on Instrumentation**, June 1956, pp. 155-160. (*Possibly the first published description of the binary-coded and Gray-coded bit-per-stage ADC architectures. Smith mentions similar work partially covered in R. P. Sallen's 1949 thesis at M.I.T.*).
37. N. E. Chasek, "Pulse Code Modulation Encoder," **U.S. Patent 3,035,258**, filed November 14, 1960, issued May 15, 1962. (*An early patent showing a diode-based circuit for realizing the Gray code folding transfer function*).
38. F. D. Waldhauer, "Analog-to-Digital Converter," **U.S. Patent 3,187,325**, filed July 2, 1962, issued June 1, 1965. (*A classic patent using op amps with diode switches in the feedback loops to implement the Gray code folding transfer function*).
39. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224 Mb/s PCM Terminal," **Bell System Technical Journal**, Vol. 44, pp. 1887-1940, Nov. 1965. (*A further description of a 9-bit ADC based on Waldhauer's folding stage*).

40. Udo Fiedler and Dieter Seitzer, "A High-Speed 8-Bit A/D Converter Based on a Gray-Code Multiple Folding Circuit," **IEEE Journal of Solid-State Circuits**, Vol. SC-14, No. 3, June 1979, pp. 547-551. (An early monolithic folding ADC).
41. Rudy J. van de Plassche and Rob E. J. van der Grift, "A High-Speed 7-Bit A/D Converter," **IEEE Journal of Solid-State Circuits**, Vol. SC-14, No. 6, December 1979, pp. 938-943. (*A monolithic folding ADC*).
42. Rob. E. J. van de Grift and Rudy J. van der Plassche, "A Monolithic 8-bit Video A/D Converter," **IEEE Journal of Solid State Circuits**, Vol. SC-19, No. 3, June 1984, pp. 374-378. (*A monolithic folding ADC*).
43. Rob. E. J. van der Grift, Ivo W. J. M. Rutten, and Martien van der Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques," **IEEE Journal of Solid State Circuits**, Vol. SC-22, No. 6, December 1987, pp. 944-953. (Another monolithic folding ADC).
44. Rudy van de Plassche, **Integrated Analog-to-Digital and Digital-to-Analog Converters**, Kluwer Academic Publishers, 1994, pp. 148-187. (*A good textbook on ADCs and DACs with a section on folding ADCs indicated by the referenced page numbers*).
45. Carl Moreland, "An 8-bit 150 MSPS Serial ADC," **1995 ISSCC Digest of Technical Papers**, Vol. 38, p. 272. (*A description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter*).
46. Carl Moreland, **An Analog-to-Digital Converter Using Serial-Ripple Architecture**, Masters' Thesis, Florida State University College of Engineering, Department of Electrical Engineering, 1995. (Moreland's early work on folding ADCs).
47. Frank Murden, "Analog to Digital Converter Using Complementary Differential Emitter Pairs," **U.S. Patent 5,550,492**, filed December 1, 1994, issued August 27, 1996. (A description of an ADC based on the MagAMP folding stage).
48. Carl W. Moreland, "Analog to Digital Converter Having a Magnitude Amplifier with an Improved Differential Input Amplifier," **U.S. Patent 5,554,943**, filed December 1, 1994, issued September 10, 1996. (*A description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter*).
49. Frank Murden and Carl W. Moreland, "N-bit Analog-to-Digital Converter with N-1 Magnitude Amplifiers and N Comparators," **U.S. Patent 5,684,419**, filed December 1, 1994, issued November 4, 1997. (*Another patent on the MagAMP folding architecture applied to an ADC*).
50. Carl Moreland, Frank Murden, Michael Elliott, Joe Young, Mike Hensley, and Russell Stop, "A 14-bit 100-Msample/s Subranging ADC," **IEEE Journal of Solid State Circuits**, Vol. 35, No. 12, December 2000, pp. 1791-1798. (*Describes the architecture used in the 14-bit AD6645 ADC*).
51. Frank Murden and Michael R. Elliott, "Linearizing Structures and Methods for Adjustable-Gain Folding Amplifiers," **U.S. Patent 6,172,636B1**, filed July 13, 1999, issued January 9, 2001. (*Describes methods for trimming the folding amplifiers in an ADC*).
52. Bernard M. Oliver and Claude E. Shannon, "Communication System Employing Pulse Code Modulation," **U.S. Patent 2,801,281**, filed February 21, 1946, issued July 30, 1957. (*Charge run-down ADC and Shannon-Rack DAC*).
53. Arthur H. Dickinson, "Device to Manifest an Unknown Voltage as a Numerical Quantity," **U.S. Patent 2,872,670**, filed May 26, 1951, issued February 3, 1959. (*Ramp run-up ADC*).
54. K. Howard Barney, "Binary Quantizer," **U.S. Patent 2,715,678**, filed May 26, 1950, issued August 16, 1955. (*Tracking ADC*).
55. Bernard M. Gordon and Robert P. Talambiras, "Information Translating Apparatus and Method," **U.S. Patent 2,989,741**, filed July 22, 1955, issued June 20, 1961. (*Tracking ADC*).

56. John L. Lindesmith, "Voltage-to-Digital Measuring Circuit," **U.S. Patent 2,835,868**, filed September 16, 1952, issued May 20, 1958. (*Voltage-to-frequency ADC*).
57. Paul Klonowski, "Analog-to-Digital Conversion Using Voltage-to-Frequency Converters," **Application Note AN-276**, Analog Devices, Inc. (*A good application note on VFCs*).
58. James M. Bryant, "Voltage-to-Frequency Converters," **Application Note AN-361**, Analog Devices, Inc. (*A good overview of VFCs*).
59. Walt Jung, "Operation and Applications of the AD654 IC V-F Converter," **Application Note AN-278**, Analog Devices, Inc.
60. Steve Martin, "Using the AD650 Voltage-to-Frequency Converter as a Frequency-to-Voltage Converter," **Application Note AN-279**, Analog Devices, Inc. (*A description of a frequency-to-voltage converter using the popular AD650 VFC*).
61. Robin N. Anderson and Howard A. Dorey, "Digital Voltmeters," **U.S. Patent 3,267,458**, filed August 20, 1962, issued August 16, 1966. (*Charge balance dual slope voltmeter ADC*).
62. Richard Olshausen, "Analog-to-Digital Converter," **U.S. Patent 3,281,827**, filed June 27, 1963, issued October 25, 1966. (*Charge balance dual slope ADC*).
63. Roswell W. Gilbert, "Analog-to-Digital Converter," **U.S. Patent 3,051,939**, filed May 8, 1957, issued August 28, 1962. (*Dual-slope ADC*).
64. Stephan K. Ammann, "Integrating Analog-to-Digital Converter," **U.S. Patent 3,316,547**, filed July 15, 1964, issued April 25, 1967. (*Dual-slope ADC*).
65. Ivar Wold, "Integrating Analog-to-Digital Converter Having Digitally-Derived Offset Error Compensation and Bipolar Operation without Zero Discontinuity," **U.S. Patent 3,872,466**, filed July 19, 1973, issued March 18, 1975. (*Quad-slope ADC*).
66. Hans Bent Aasnaes, "Triple Integrating Ramp Analog-to-Digital Converter," **U.S. Patent 3,577,140**, filed June 27, 1967, issued May 4, 1971. (*Triple-slope ADC*).
67. Frederick Bondzeit, Lewis J. Neelands, "Multiple Slope Analog-to-Digital Converter," **U.S. Patent 3,564,538**, filed January 29, 1968, issued February 16, 1971. (*Triple-slope ADC*).
68. Desmond Wheable, "Triple-Slope Analog-to-Digital Converters," **U.S. Patent 3,678,506**, filed October 2, 1968, issued July 18, 1972. (*Triple-slope ADC*).
69. Dan Sheingold, **Analog-Digital Conversion Handbook**, Prentice-Hall, 1986, ISBN-0-13-032848-0, pp. 441-471. (*This chapter contains an excellent tutorial on optical, synchro, and resolver-to-digital conversion*).
70. Dennis Fu, "Circuit Applications of the AD2S90 Resolver-to-Digital Converter," **Application Note AN-230**, Analog Devices. (*applications of the AD2S90 RTD*).

6.3: シグマ・デルタ・コンバータ

歴史的考察

シグマ・デルタ ($\Sigma\Delta$) ADC のアーキテクチャの起源は、パルスコード変調 (PCM) システム、具体的には **デルタ変調** や **差分 PCM** と呼ばれる伝送技術関連のシステムの初期の開発段階にあります。($\Sigma\Delta$ ADC の歴史および概念に関する Max Hauser の優れた解説が、参考資料 1 に記載されています)。

デルタ変調および差分 PCM の推進力となったのは、実際のサンプル自体ではなく、連続サンプル間の値の変化分 (デルタ) を伝送することで、伝送効率を高めたことでした。

デルタ変調では、図 6.85A に示すように、アナログ信号は 1 ビット ADC (コンパレータ) により量子化されます。コンパレータの出力は、1 ビット DAC によりアナログ信号に変換されて戻され、積分器を通過した後に入力から減算されます。アナログ信号の形状は次のように送信されます。すなわち、1 は最後のサンプル以降に正の偏位が発生したことを示し、0 は最後のサンプル以降に負の偏位が発生したことを示します。

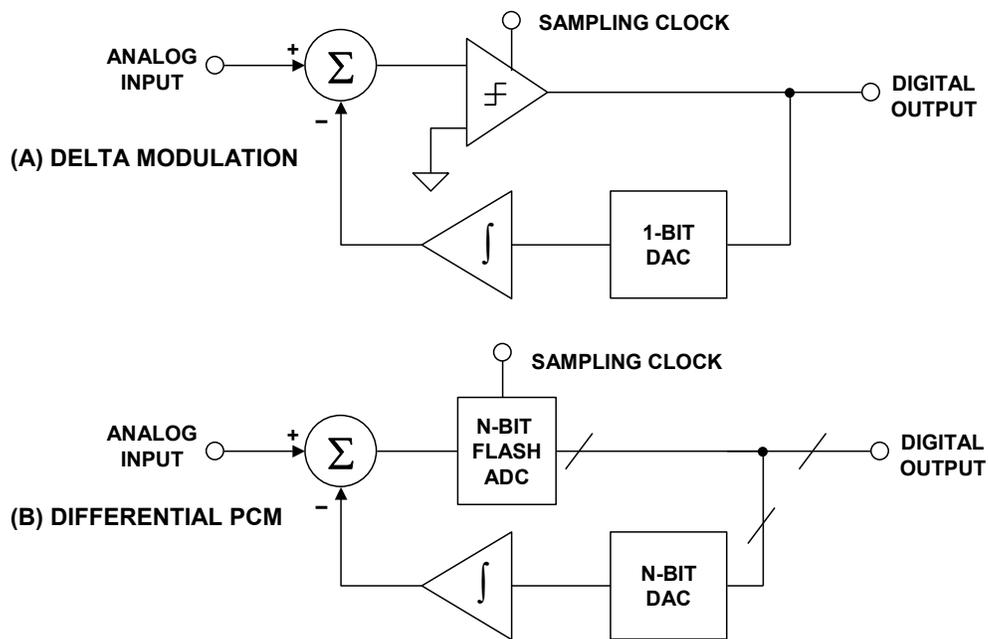


図 6.85: デルタ変調と差分 PCM

アナログ信号を固定 DC レベルに一定時間保持すると、0 と 1 が交互に現れるパターンが得られます。

差分 PCM (図 6.85B 参照) も全く同じ概念を利用しますが、送信された情報を取り出すのにコンパレータではなくマルチビット ADC を使用する点のみ異なることに注意が必要です。

発生する同一符号のパルス数には制限がないので、デルタ変調システムではあらゆる振幅の信号を追従できます。理論的にはピークのクリッピングはありません。しかし、デルタ変調には理論上、アナログ信号の急激な変化は認められないという制約があります。傾斜クリッピングの問題点を図 6.86 に示します。ここでは、サンプリングの都度、正の偏位が見られますが、アナログ信号が急激に上昇しており、量子化器は追従できていません。

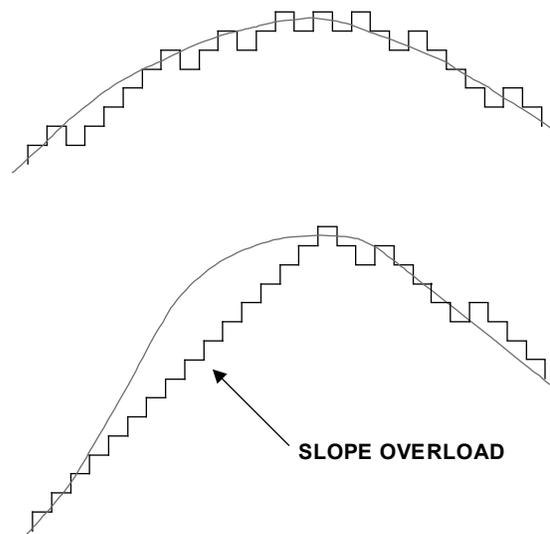


図 6.86: デルタ変調を用いた量子化

スロープ・クリッピングは、量子化ステップ・サイズを大きくするか、またはサンプリング・レートを上げることにより、低減できます。差分 PCM はマルチビット量子化器を使用して、複雑さは増すものの、量子化ステップ・サイズを効果的に増加させます。テストにより、デルタ変調で標準的な PCM と同等の品質を得るには、ナイキスト・レートの 2 倍に対して、非常に高いサンプリング・レート、通常は目的の最高周波数の 20 倍が必要であることがわかっています。

こうした理由から、デルタ変調と差分 PCM が広く普及することはありませんでしたが、デルタ・モジュレータを若干変更するだけで、今日使用されている最も一般的な高分解能 ADC アーキテクチャの 1 つである基本の $\Sigma\Delta$ になります。

基本的なシングル・ビットおよびマルチビットの 1 次 $\Sigma\Delta$ ADC アーキテクチャを、図 6.87A と図 6.87B にそれぞれ示します。積分器が誤差信号に対して動作していたのに対して、デルタ・モジュレータでは、積分器が帰還ループ内にあることに注目してください。基本的なオーバーサンプリングの $\Sigma\Delta$ モジュレータは、量子化ノイズのほとんどが対象帯域外で発生するようにノイズをシェーピングして、低周波における総合的な S/N 比を増加させます。そして、デジタル・フィルタが対象帯域外のノイズを除去し、デシメータが出力データ・レートをナイキスト・レートまで低減します。

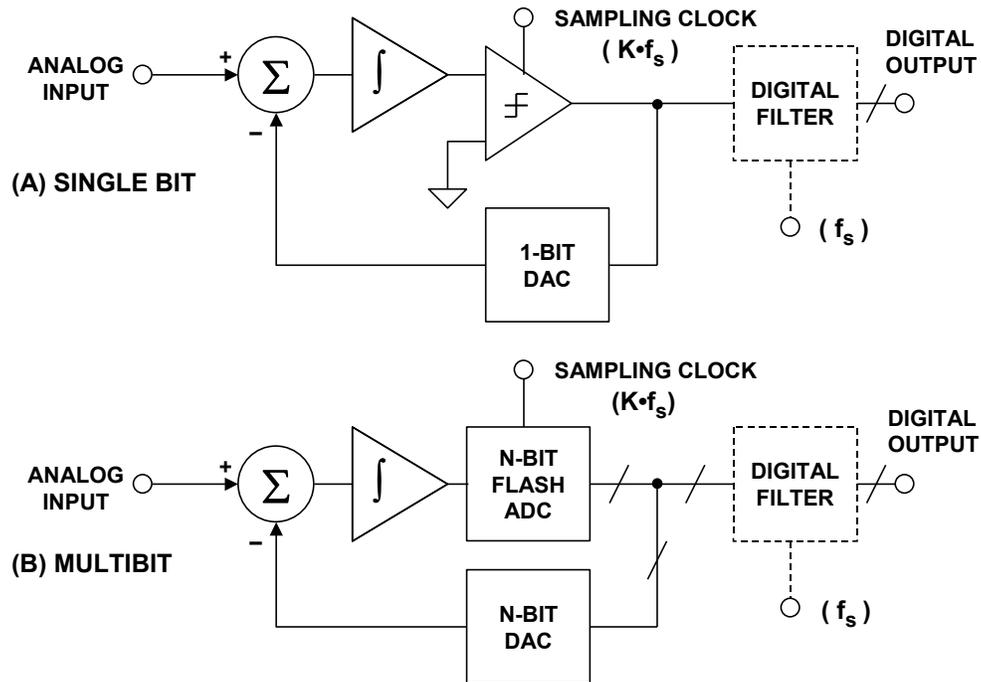


図 6.87: シングル・ビットとマルチビットのシグマ・デルタ ADC

$\Sigma\Delta$ ADC IC は、特に高分解能、低周波アプリケーションにおいて、他のアーキテクチャよりいくつかの点で優れています。第一に、シングル・ビットの $\Sigma\Delta$ ADC は本来単調で、レーザ・トリミングが不要です。また、 $\Sigma\Delta$ ADC はアーキテクチャのデジタルの性質が強いため、製造コストの低い CMOS プロセスに適しています。初期のモノリシック $\Sigma\Delta$ ADC の例は、参考資料 13 ~ 21 に記載されています。上記の初期の $\Sigma\Delta$ ADC で提示された基本的なアーキテクチャには、それ以降プロセスと設計の改良が絶えず行われてきました。

シグマ・デルタ ($\Sigma\Delta$) か、デルタ・シグマ ($\Delta\Sigma$) か? Analog Dialogue Vol.24-2、1990 年、編集後記、Dan Sheingold 著

以下はきわめて重要な問題という訳ではありませんし、多くの読者は一体何事だと疑問に思われるかもしれませんが。もし疑問に思えばの話ですが。この問題は、互いの認識の整合を取る必要があるため、編集者と読者の双方にとって重要です。同じものを掲載するときは常に、それに対して同じ名称を使用したいからです。それにしても、**どちらの名称にしたらよいのでしょうか。**オーバーサンプリング A/D 変換の新しいメカニズムをもたらした変調技術を指す場合、アナログ・デバイセズは**シグマ・デルタ**を使用しています。以下はその理由です。

通常は、新しい概念が考案者によって命名されると、その名称は定着します。それが間違っていたり慣例に反したりしていない限り、変更すべきではありません。対象となるこの技術に関する影響力の大きい論文が 1962 年に発表され（参考資料 9、10）、基本は**デルタ**変調でも、積分（総和、つまり Σ ）を行うことから、著者は「**デルタ・シグマ変調**」という名称を選びました。

1970 年代に AT&T のエンジニアが**シグマ・デルタ**という用語を使って論文を発表するようになるまで、この**デルタ・シグマ**が異を唱えられることはなかったようです。なぜでしょう。Hauser（参考資料 1）によれば、慣例では、デルタ変調の変形に、「**デルタ**」の語の前に形容詞を付けて命名していました。問題の変調方式はデルタ変調の変形であるため、形容詞として使われるシグマ（そのように主張されています）はデルタに先行する必要があります。

その後、現場の技術者の多くは自分の気に入った用語を使用し、その語の理由を知らないこともたびたびでした。両方の用語を同じ論文で区別せずに使うことさえありました。現状ではシグマ・デルタが広く使われており、おそらく引用の大半を占めています。この技術の考案者にとって、それは不当な選択でしょうか？

当社はそうは思いません。他の人々と同様に、**デルタ・シグマ**という名称は慣例から外れたものだと考えています。文法的な意味だけでなく、演算の階層構造にも関連するからです。アナログの二乗平均平方根（root mean-square; 信号を二乗しその平均の平方根を求める）のコンピュータを具体化する場合のブロック図を考えてみましょう。最初に信号は二乗され、次に積分され、最後に平方根がとられます（図 6.88 参照）。

演算の因果順序にならって機能全体を命名するならば、「二乗平均根（square mean root）」機能と呼ばなければなりません。しかし、数学演算の**階層**の順序で命名すれば、よく知られた、そして異論の出ない名前である**根平均二乗**（root mean-square）となります。今度は、差分（**デルタ**）を取ってから積分（**シグマ**）する場合のブロック図を考えてみましょう。

因果順序によれば**デルタ・シグマ**になりますが、機能階層から言えば、差分の積分値を求めるので**シグマ・デルタ**となります。後者の用語の方が正しく慣例に従っていると考え、当社はこれを標準として採用しています。

Dan Sheingold、1990 年。

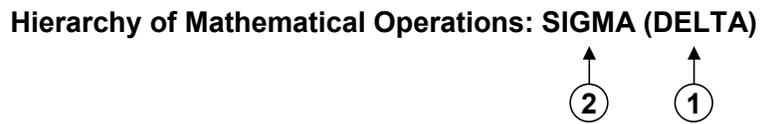
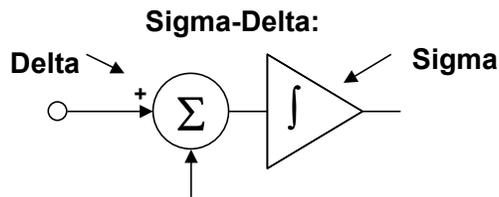
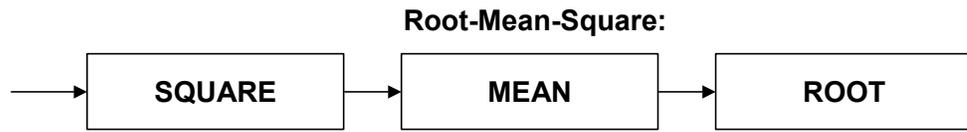


図 6.88: シグマ・デルタ ($\Sigma\Delta$) か、デルタ・シグマ ($\Delta\Sigma$) か?

シグマ・デルタ ADC の基礎

シグマ・デルタ A/D コンバータ ($\Sigma\Delta$ ADC) は 30 年以上も前から知られていますが、安価なモノリシック集積回路として製造する技術 (高密度デジタル VLSI) ができたのはつい最近のことです。これらは今日、低コスト、低帯域幅、低消費電力、高分解能の ADC が必要な多くのアプリケーションで使用されています。

$\Sigma\Delta$ ADC のアーキテクチャと理論については数え切れないほどの記述がありますが、大部分は迷路のような積分に始まり、次第に難解さを増していきます。技術者の中には $\Sigma\Delta$ ADC の動作理論を理解しておらず、発表された代表的な論文を調べた結果、複雑すぎて容易には理解できないものだと思い込んでいる人もいます。

詳細な計算をしない限り、 $\Sigma\Delta$ ADC を理解するのに特に難しいところはありませんし、そのテーマを解き明かそうとするのがこのセクションの狙いです。 $\Sigma\Delta$ ADC は、非常に単純なアナログ・エレクトロニクス (コンパレータ、電圧リファレンス、スイッチ、1 個以上の積分器、アナログ加算回路) と非常に複雑なデジタル演算回路を内蔵しています。この回路は、フィルタ (必ずというわけではないが、一般にはローパス・フィルタ) として機能するデジタル信号プロセッサ (DSP) で構成されています。フィルタを正しく理解するのに、その仕組みを正確に知る必要はありません。 $\Sigma\Delta$ ADC の動作を理解するには、**オーバーサンプリング、量子化ノイズ・シェーピング、デジタル・フィルタリング、それにデシメーション**の概念に精通していなければなりません。

オーバーサンプリング手法について、周波数領域での解析により考えてみましょう。DC 変換に最大 $\frac{1}{2}$ LSB の量子化誤差がある場合、サンプリングされたデータ・システムには量子化ノイズが含まれます。完全な従来の N ビット・サンプリング ADC は、DC $\sim f_s/2$ のナイキスト帯域で、 $q/\sqrt{12}$ の rms 量子化ノイズが均一に分布します (q は LSB の値、 f_s はサンプリング・レート) (図 6.89A 参照)。したがって、フルスケールのサイン波入力での S/N 比は $(6.02N + 1.76)$ dB になります。ADC が完全でなく、そのノイズが理論上の最小量子化ノイズより大きい場合、その有効分解能は N ビット未満になります。実際の分解能 (しばしば有効ビット数 (ENOB) と呼ばれる) は次式で定義されます。

$$\text{ENOB} = \frac{\text{SNR} - 1.76\text{dB}}{6.02\text{dB}} \quad \text{式 6.15}$$

はるかに高いサンプリング・レート、 Kf_s (図 6.89B 参照) を選択すると、rms 量子化ノイズは $q/\sqrt{12}$ のままですが、ノイズはより広帯域の DC $\sim Kf_s/2$ に分散されます。そこで出力にデジタル・ローパス・フィルタ (LPF) を適用すると、量子化ノイズの大部分は除去されますが、目的の信号には影響しません。したがって、ENOB が向上します。低分解能 ADC を用いて高分解能 A/D 変換を実現したことになります。係数 K は、一般に**オーバーサンプリング比**と呼ばれます。ここで注意したいのは、オーバーサンプリングにはアナログ・アンチエイリアシング・フィルタの条件を緩和するもう 1 つの利点があることです。

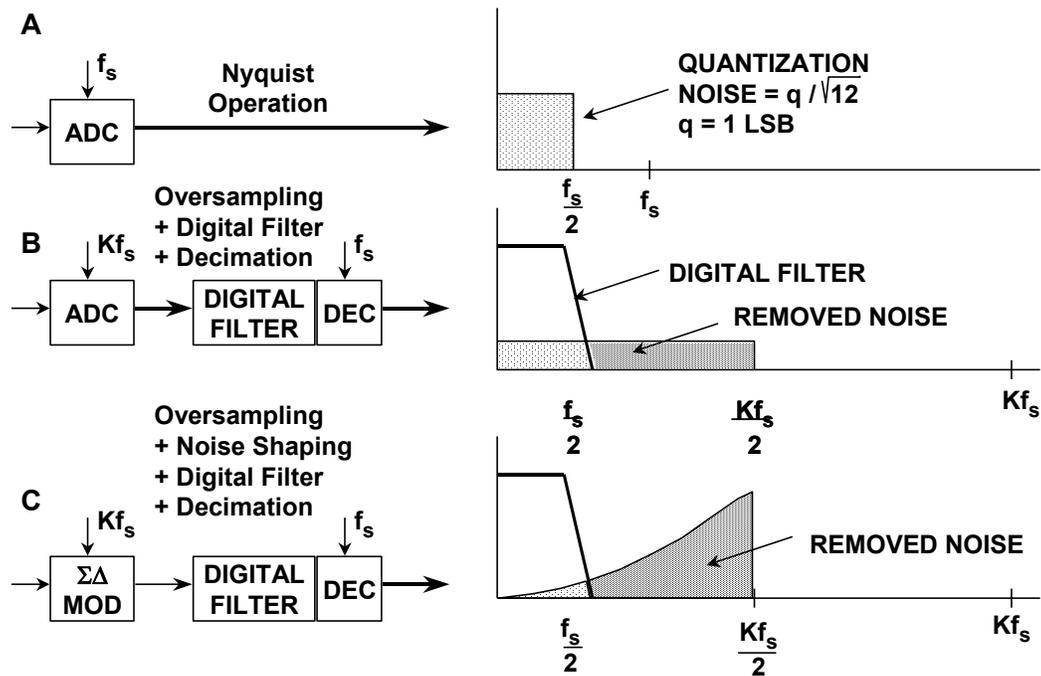


図 6.89: オーバーサンプリング、デジタル・フィルタリング、ノイズ・シェーピング、およびデシメーション

帯域幅はデジタル出力フィルタによって低減されるため、出力データ・レートが元のサンプリング・レート (Kf_s) より低くなることもあるものの、ナイキスト基準は満たしています。これは、M 番目ごとの結果を出力に渡し、残りを破棄することで実現します。このプロセスは、係数 M による「デシメーション (decimation)」として知られています。この言葉の語源 (decem は 10 を意味するラテン語) に関係なく、出力データ・レートが信号帯域幅の 2 倍以上であれば、M は任意の整数値をとることができます。デシメーションによって情報が失われることはありません (図 6.89B 参照)。

オーバーサンプリングだけで分解能を上げる場合、分解能を N ビット増加させるためには 2^{2N} 倍オーバーサンプリングする必要があります。 $\Sigma\Delta$ コンバータは、信号の通過帯域を制限するだけでなく、ほとんどの量子化ノイズがこの通過帯域を外れるように整形するので、これほど高いオーバーサンプリング比は必要ありません (図 6.89C 参照)。

1 ビット ADC (一般にはコンパレータと呼ばれる) を用意し、これを積分器の出力で駆動し、ADC の出力を 1 ビット DAC に与えて、この DAC の出力と合算した入力信号を積分器に与えると、1 次 $\Sigma\Delta$ モジュレータが得られます (図 6.90 参照)。デジタル出力にデジタル・ローパス・フィルタ (LPF) とデシメータを追加すると、 $\Sigma\Delta$ ADC になります。 $\Sigma\Delta$ モジュレータは量子化ノイズをデジタル出力フィルタの通過帯域より高い周波数になるように整形します。したがって、ENOB はオーバーサンプリング比から予想されるよりもはるかに大きくなります。

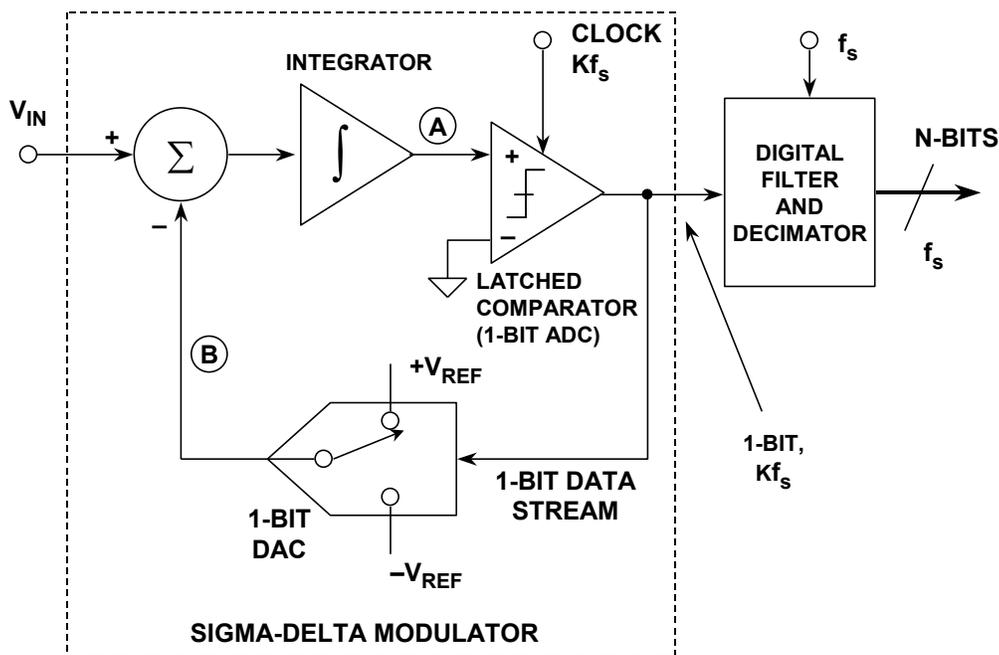


図 6.90: 1 次 $\Sigma\Delta$ ADC

直感的には、 $\Sigma\Delta$ ADC は以下のように動作します。 V_{IN} に DC 入力があるとして、積分器の出力はノード A で絶えず上昇または下降します。コンパレータの出力は、1 ビット DAC を介してノード B の加算入力にフィードバックされます。コンパレータの出力から 1 ビット DAC を介した加算点への負帰還ループによって、ノード B における DC 平均電圧が V_{IN} に等しくなります。これは、DAC の平均出力電圧が入力電圧 V_{IN} に等しくなければならないことを意味します。DAC の平均出力電圧は、コンパレータ出力の 1 ビット・データ・ストリームにおける 1 の密度によって制御されます。入力信号が $+V_{REF}$ 方向に増加すると、シリアル・ビット・ストリームにおける 1 の数が増加し、0 の数が減少します。同様に、信号が負になり $-V_{REF}$ に近づくと、シリアル・ビット・ストリームにおける "1" の数が減少し、"0" の数が増加します。単純に考えると、この分析は、入力電圧の平均値がコンパレータのシリアル・ビット・ストリームに含まれていることを示しています。デジタル・フィルタおよびデシメータは、シリアル・ビット・ストリームを処理し、最終的な出力データを生成します。

1 回のサンプリング期間の入力電圧値に関して、1 ビット ADC からのデータはほとんど意味がありません。多くのサンプル値を平均して初めて、意味のある有用な結果となります。 $\Sigma\Delta$ モジュレータの 1 ビット・データ出力には明らかにランダム性があるため、時間領域でこのモジュレータの動作を解析するのは非常に困難です。入力信号が正のフルスケールに近い場合、ビット・ストリーム内の 1 の数は 0 の数より多くなります。同様に、負のフルスケールに近い入力信号の場合は、ビット・ストリーム内の 0 の数が 1 の数より多くなります。ミッドスケールに近い入力信号の場合は、1 と 0 の数はほぼ等しくなります。2 つの入力条件における積分器の出力を図 6.91 に示します。最初の条件は、入力電圧がゼロ（ミッドスケール）の場合です。出力をデコードするために、出力サンプルを単純なデジタル・ローパス・フィルタに通し、4 サンプルごとに平均をとります。フィルタの出力は $2/4$ です。この値はバイポーラ・ゼロを表します。平均するサンプル数が多いほど、ダイナミック・レンジが拡大します。

例えば、4 サンプルを平均すると分解能は 2 ビットになり、8 サンプルを平均すると 4/8、すなわち分解能は 3 ビットになります。図 6.91 の下側の波形の場合、4 サンプルで得られた平均は 3/4 で、8 サンプルの平均は 6/8 です。

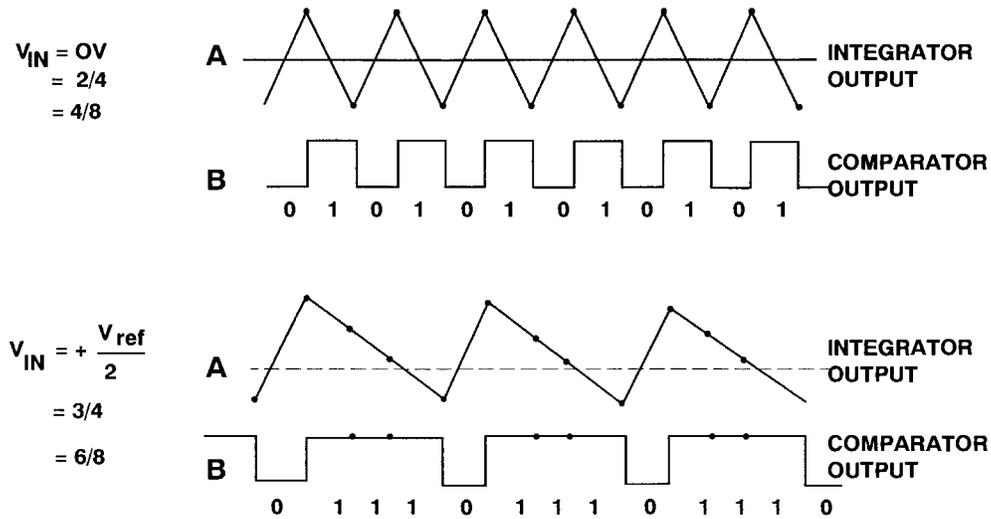


図 6.91: $\Sigma\Delta$ モジュレータの波形

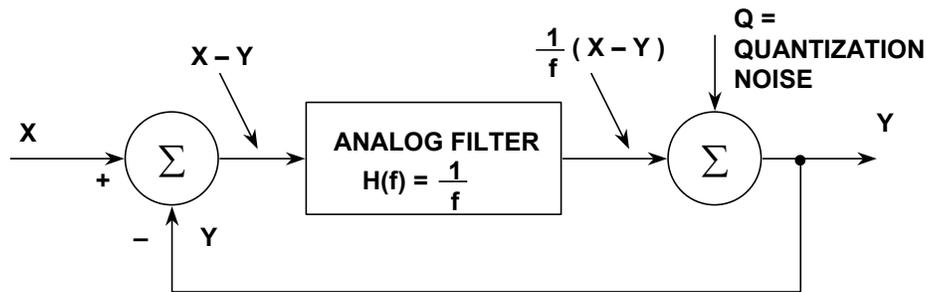
これ以上時間領域で解析しても得るものはなく、ノイズ・シェーピングの概念は、周波数領域において、図 6.92 の単純な $\Sigma\Delta$ モジュレータのモデルを検討し、周波数領域で説明するのが最適です。

モジュレータ内の積分器は、 $H(f) = 1/f$ の伝達関数を持つアナログ・ローパス・フィルタとして表されます。この伝達関数の振幅応答は入力周波数に反比例します。1 ビット量子化器は量子化ノイズ Q を生成し、このノイズは出力加算ブロックに注入されます。入力信号を X 、出力を Y とすると、入力加算器から出力される信号は $X - Y$ でなければなりません。これにフィルタの伝達関数 $1/f$ が乗算され、その結果が出力加算器の一方に入力されます。したがって、出力電圧 Y は次式のように表すことができます。

$$Y = \frac{1}{f}(X - Y) + Q \quad \text{式 6.16}$$

この式は、次のように X 、 f 、 Q の項に置き換えると、 Y を簡単に求めることができます。

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1} \quad \text{式 6.17}$$



$$Y = \frac{1}{f} (X - Y) + Q$$

REARRANGING, SOLVING FOR Y:

$$Y = \frac{X}{f+1} + \frac{Qf}{f+1}$$

↑
SIGNAL TERM

↑
NOISE TERM

図 6.92: 簡略化した $\Sigma\Delta$ モジュレータの周波数領域の線形モデル

周波数 f がゼロに近づくにつれて、出力電圧 Y はノイズ成分を含まない X に近づくことに注意してください。周波数が高くなると、信号成分の振幅はゼロに近づき、ノイズ成分は Q に近づきます。高周波では、出力は量子化ノイズが支配的になります。基本的にこのアナログ・フィルタは、信号に対してはローパス、量子化ノイズに対してはハイパスとして機能します。したがって、 $\Sigma\Delta$ モジュレータ・モデルでは、アナログ・フィルタはノイズ・シェーピング機能を果たします。

所定の入力周波数の場合、アナログ・フィルタが高次なほど減衰が大きくなります。一定の予防策を講じれば、 $\Sigma\Delta$ モジュレータにも同じことが言えます。

$\Sigma\Delta$ モジュレータに複数の積分段と加算段を使用すれば、1 次と 2 次の $\Sigma\Delta$ モジュレータのいずれでも、所定のオーバーサンプリング比に対してより高次の量子化ノイズ・シェーピングとさらに優れた ENOB を実現できます（図 6.93 参照）。

2 次の $\Sigma\Delta$ モジュレータのブロック図を図 6.94 に示します。3 次以上の $\Sigma\Delta$ ADC は、以前は入力値によっては不安定になることがあると考えられていました。コンパレータのゲインを無限大ではなく有限に使用した最近の解析では、必ずしもそうではなく、不安定になり始めても、デジタル・フィルタやデシメータの中の DSP がその始まりを認識して、不安定にならないように対処可能なため、それほど重要でないことがわかっています。

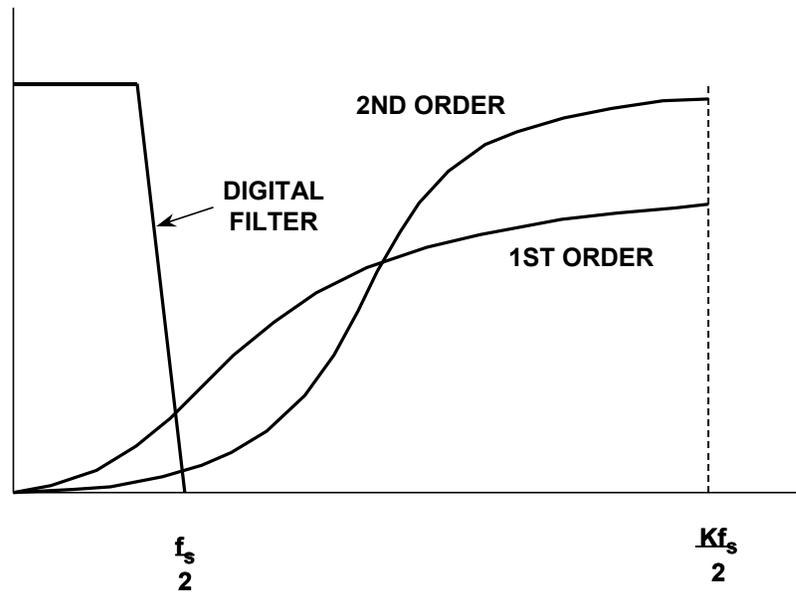


図 6.93: $\Sigma\Delta$ モジュレータでの量子化ノイズ・シェーピング

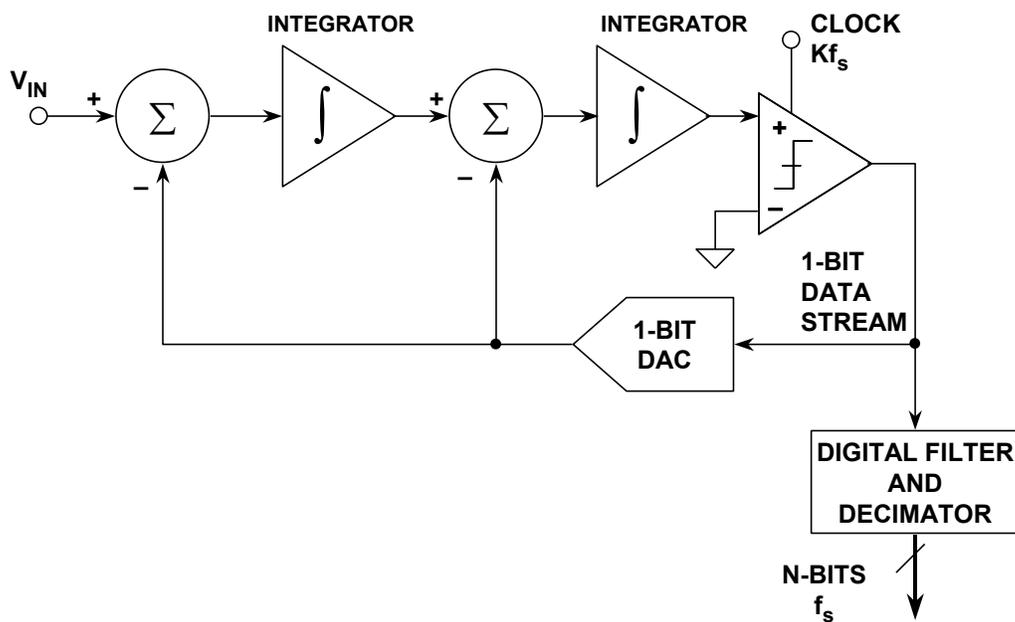


図 6.94: 2 次の $\Sigma\Delta$ ADC

特定の S/N 比を実現するのに必要な $\Sigma\Delta$ モジュレータの次数とオーバーサンプリング量の関係を図 6.95 に示します。例えば、オーバーサンプリング比が 64 の場合、理想的な 2 次システムでは約 80 dB の S/N 比が得られます。これは約 13 ビットの有効ビット数 (ENOB) に相当します。デジタル・フィルタとデシメータによるフィルタリングではどのような精度でも実現できますが、13 ビットを超えるバイナリ・ビットを出力しても意味がありません。ビットを増やしても有用な信号情報を得ることはできず、ポスト・フィルタリング技術を使用しなければ量子化ノイズに埋もれてしまいます。オーバーサンプリング比を大きくしたり、より高次のモジュレータを使ったりすることで、分解能を高めることができます。

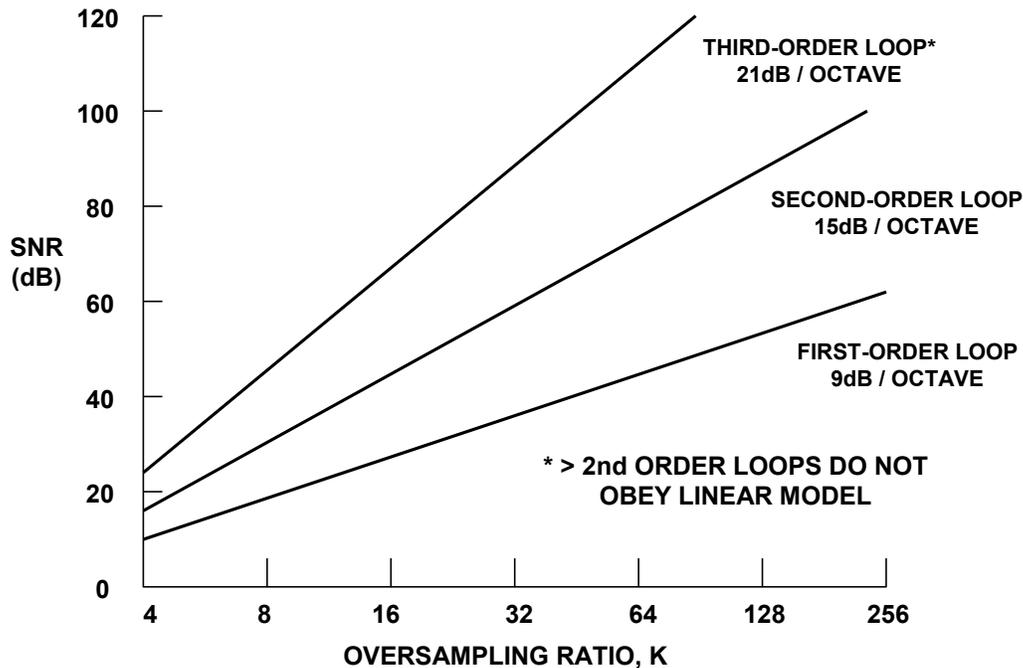


図 6.95: 1 次、2 次、3 次ループの S/N 比とオーバーサンプリング比の関係

アイドル・トーンに関する考慮事項

$\Sigma\Delta$ ADC に関するここまでの説明では、 $\Sigma\Delta$ モジュレータによって生成される量子化ノイズはランダムで、入力信号とは相関がないとしてきました。しかし残念ながら、すべてが当てはまるわけではなく、特に 1 次モジュレータの場合はそうです。4 ビット $\Sigma\Delta$ ADC モジュレータの 16 の出力サンプルを平均化する場合を考えてみます。

入力信号値が $8/16$ と $9/16$ の 2 つの条件のビット・パターンを図 6.96 に示します。9/16 の信号の場合、モジュレータの出力ビット・パターンには 16 ビットごとに 1 が余分に現れます。これにより $f_s/16$ 周期でエネルギーが発生し、これが不要なトーンに変換されます。オーバーサンプリング比が 16 未満の場合は、このトーン・スペクトルが通過帯域内に入りこんでしまいます。オーディオ・アプリケーションでは、このようなトーンを「アイドル・トーン」と呼びます。

1 次 $\Sigma\Delta$ モジュレータでの相関性のある（トーン・スペクトルが発生しやすい）アイドル・パターン動作を図 6.97 に、2 次 $\Sigma\Delta$ モジュレータでの比較的相関性が小さい（トーン・スペクトルが出にくい）パターンを図 6.98 に示します。この理由から、ほぼすべての $\Sigma\Delta$ ADC には最低でも 2 次のモジュレータ・ループが使われています。

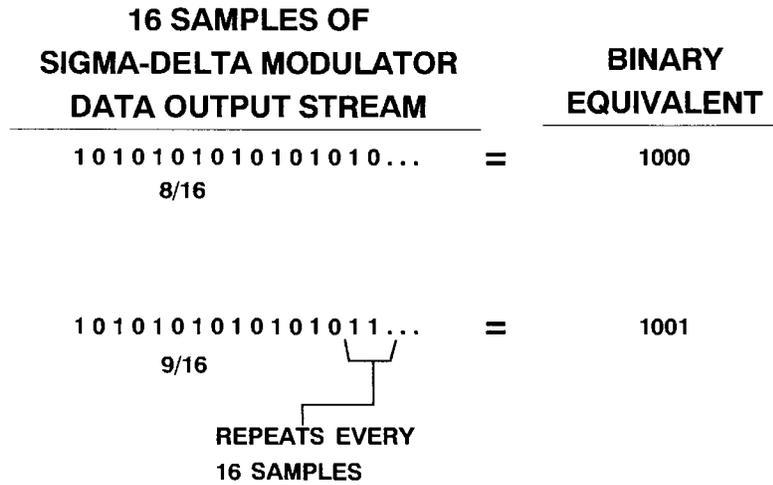
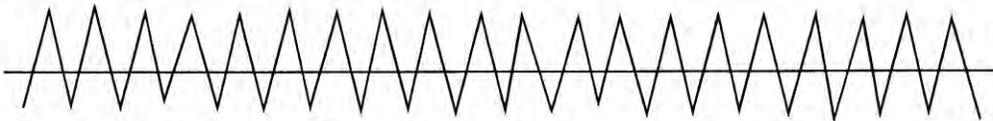


図 6.96: $\Sigma\Delta$ モジュレータの出力の反復ビット・パターン

IDLE BEHAVIOR WITH 0 VOLTS INPUT



IDLE BEHAVIOR WITH DC INPUT SHOWING CORRELATED IDLING PATTERN

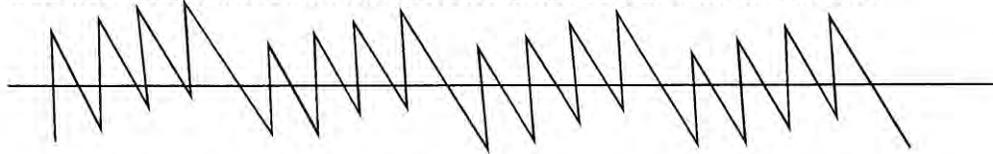
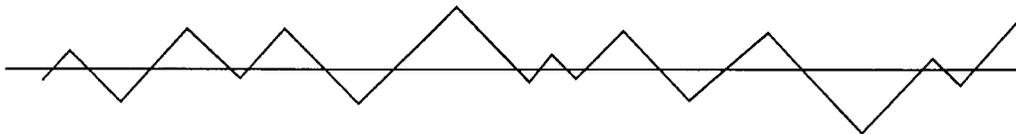


図 6.97: 1次 $\Sigma\Delta$ モジュレータのアイドルング・パターン (積分器出力)

IDLE BEHAVIOR WITH 0 VOLTS INPUT



IDLE BEHAVIOR WITH DC INPUT



図 6.98: 2次 $\Sigma\Delta$ モジュレータのアイドルング・パターン (積分器出力)

高次ループに関する考慮事項

広いダイナミック・レンジを実現するには、2次より次数の高い $\Sigma\Delta$ モジュレータ・ループが必要ですが、実際に設計するには課題があります。まず、前述の単純な線形モデルは完全にはあてはまりません。3次以上のループの場合、一般的に、すべての入力条件で安定性が確保されるわけではありません。不安定性が生じるのは、コンパレータが非線形素子であり、その「実効ゲイン」が入力レベルに反比例して変化するためです。この不安定性のメカニズムによって、以下のような挙動が生じます。ループが正常に動作しているとき、大信号が入力されループに過剰な負荷がかかると、コンパレータの平均ゲインが低下します。線形モデルでコンパレータのゲインが低下すると、ループが不安定になります。原因となった信号が消失しても、不安定性は続きます。実際の例では、このような回路は、ターンオン時の過渡現象で生じた初期状態のせいでパワーアップ時に発振してしまいます。例えば、アナログ・デバイセズが1994年に発表したデュアル・オーディオ ADC の AD1879 は5次ループを使用していました。このような高次ループの設計では、非線形でのさまざまな安定化技術が必要とされました（参考資料 22 ~ 26）。

マルチビット $\Sigma\Delta$ コンバータ

ここまでは、シングル・ビット ADC（コンパレータ）やシングル・ビット DAC（スイッチ）などの $\Sigma\Delta$ コンバータのみを見てきました。図 6.99 のブロック図は、 n ビット・フラッシュ ADC と n ビット DAC を使用したマルチビット $\Sigma\Delta$ ADC を示しています。このアーキテクチャでは、明らかに、与えられたオーバーサンプリング比とループ・フィルタの次数に対して高いダイナミック・レンジが得られます。通常は2次ループを使用できるので、安定化が容易です。また、アイドリング・パターンがよりランダムになりやすいため、トーンの影響を最小限に抑えられます。

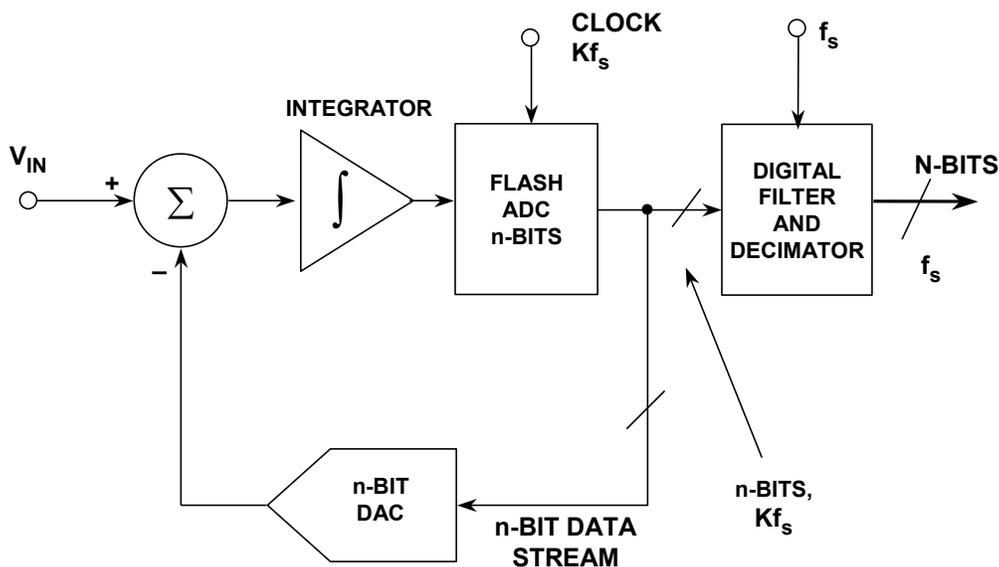


図 6.99: マルチビット $\Sigma\Delta$ 型 ADC

この技術の本質的な欠点は、直線性が DAC の直線性に依存しており、16 ビットの性能レベルに近づけるには薄膜レーザ・トリミングが必要になることです。このため、マルチビット・アーキテクチャを従来のバイナリ型 DAC 技術を使用したミックスド・シグナル IC に実装することは全く現実的ではありません。

しかし、24 ビットのステレオ・オーディオ用 AD1871（参考資料 27、28 参照）を含め、多くのアナログ・デバイスのオーディオ用 ADC および DAC で使用されている独自のデータ・スクランブル技術を組み合わせたフル・デコードのサーモメータ DAC は、マルチビット・アーキテクチャにより高い S/N 比と低歪みを実現します。ADC AD1871 の簡略ブロック図を図 6.100 に示します。

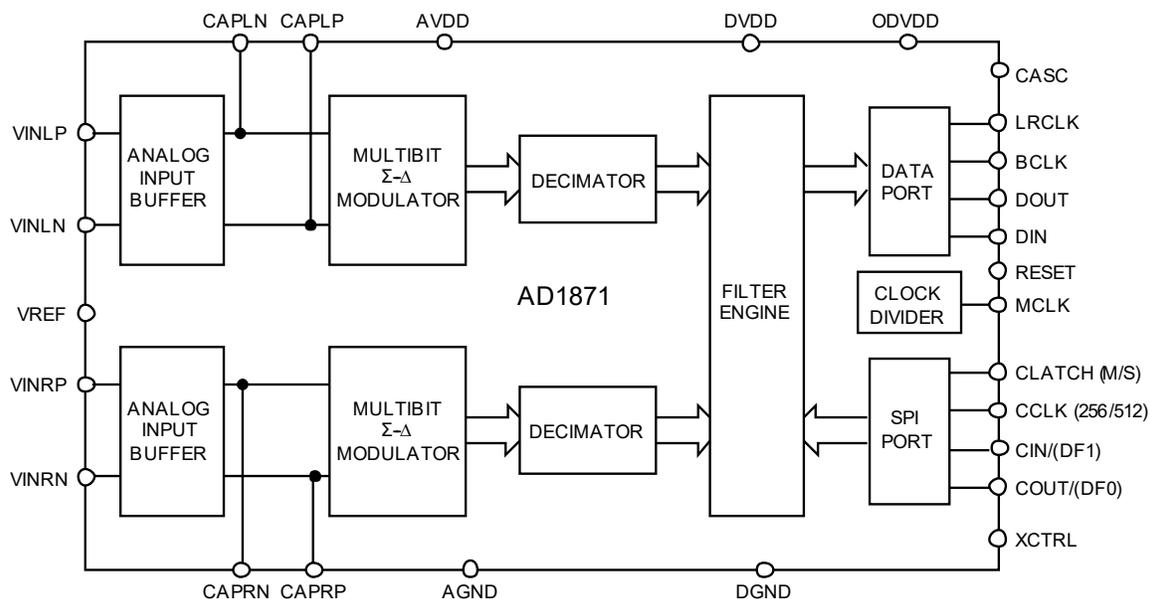


図 6.100: AD1871、24 ビット、96kSPS ステレオ・オーディオ用マルチビット $\Sigma\Delta$ ADC

AD1871 のアナログ $\Sigma\Delta$ モジュレータ部はアナログ・デバイスの独自技術により 2 次のマルチビットを実装しており、最高性能を実現します。図 6.101 に示すように、2 つのアナログ積分器のブロックの後に、マルチビットのサンプルを生成するフラッシュ ADC 部が配置されています。

サーモメータで符号化されたフラッシュ ADC の出力はバイナリにデコードされてフィルタ部に出力され、さらに 2 つの積分器の段にフィードバックするためにスクランブルされます。モジュレータは、6.144 MHz のサンプリング・レート（48 kHz サンプリングでは $128 \times f_s$ 、96 kHz サンプリングでは $64 \times f_s$ ）で動作するように最適化されています。AD1871 における A 重み付けのダイナミック・レンジの代表値は 105 dB です。

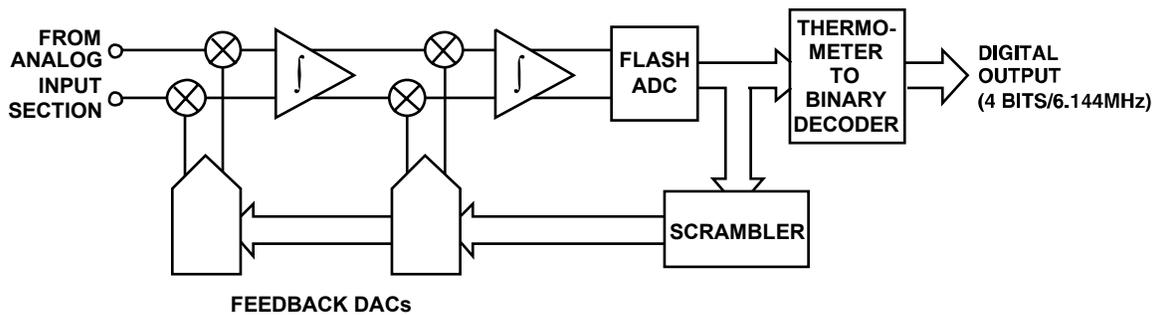


図 6.101: AD1871 の 2 次モジュレータとデータ・スクランブラの詳細

デジタル・フィルタの意味

デジタル・フィルタはすべての $\Sigma\Delta$ ADC にとって不可欠で、排除することはできません。このフィルタのセトリング時間は、ある特定のアプリケーション、特にマルチプレクサを用いたアプリケーションで $\Sigma\Delta$ ADC を使用した際に影響します。隣接チャンネルの入力電圧が異なる場合、マルチプレクサの出力によって ADC にステップ関数が入力されてしまうことがあります。実際、チャンネルが切り替わったときにマルチプレクサの出力がフルスケールのステップ電圧を $\Sigma\Delta$ ADC に与えてしまうことがあります。そのため、このようなアプリケーションでは、フィルタに対して適切なセトリング時間を許容する必要があります。これは、マルチプレクサを用いたアプリケーションでは $\Sigma\Delta$ ADC を使うべきでないということではなく、デジタル・フィルタのセトリング時間を考慮する必要があるということです。一部の新型 $\Sigma\Delta$ ADC は、実際、マルチプレクサを用いたアプリケーションで使用するように最適化されています。

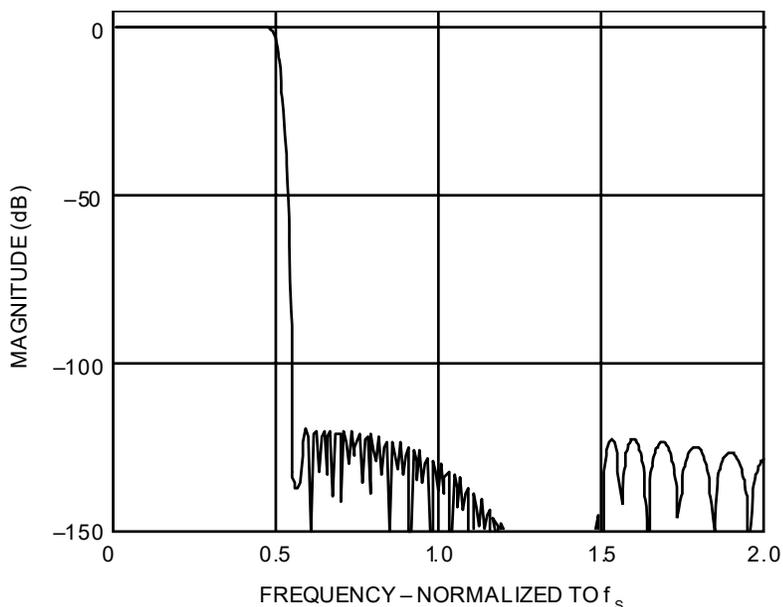


図 6.102: AD1871、24 ビット、96 kSPS ステレオ・オーディオ用 $\Sigma\Delta$ ADC のデジタル・フィルタの特性

例えば、AD1871 のデジタル・フィルタでの群遅延は $910\ \mu\text{s}$ (48 kSPS でサンプリング) と $460\ \mu\text{s}$ (96 kSPS でサンプリング) です。これは、ステップ関数入力が デジタル・フィルタのタップ数の半分を伝搬するのにかかる時間を表しています。したがって、セトリング時間の合計は群遅延時間の約 2 倍になります。入力オーバーサンプリング周波数はどちらの条件でも 6.144 MSPS です。AD1871 ADC のデジタル・フィルタの周波数応答を図 6.102 に示します。

低周波、高分解能の 24 ビット測定用 $\Sigma\Delta$ ADC (AD77xx シリーズ) などの他のアプリケーションでは、他のタイプのデジタル・フィルタを使うこともできます。例えば SINC^3 応答は、スループット・レートの倍数でゼロになるためよく使用されています。例えば、10 Hz のスループット・レートは 50 Hz と 60 Hz でゼロを生成するため、AC 電源ラインのノイズ除去に有効です。代表的な $\Sigma\Delta$ ADC である AD7730 の周波数応答を図 6.103 に示します。

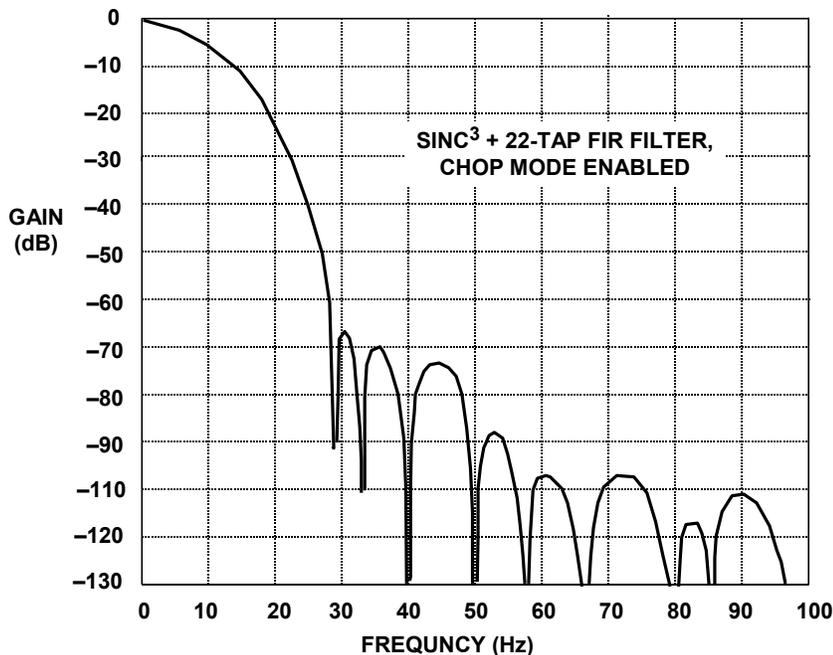


図 6.103: AD7730 のデジタル・フィルタの応答

高分解能測定用 $\Sigma\Delta$ ADC

測定用 $\Sigma\Delta$ ADC の機能と技術力をよく理解するために、最新の例である AD7730 を詳しく見てみます。AD7730 は AD77XX ファミリーの製品で、詳細は図 6.104 に示すとおりです。この ADC は、計量アプリケーションでブリッジ出力に直接インターフェースするように特に設計されています。このデバイスはブリッジから直接ロー・レベル信号を受け取り、シリアル・デジタル・ワードを出力します。2 つのバッファ付き差動入力があり、これらはマルチプレクサを通りバッファされて、PGA を駆動します。PGA は 4 種類のユニポーラの差動アナログ入力範囲 (0 V ~ +10 mV、0 V ~ +20 mV、0 V ~ +40 mV、0 V ~ +80 mV) およびバイポーラの差動入力範囲 (± 10 mV、 ± 20 mV、 ± 40 mV、 ± 80 mV) に設定できます。

達成可能なピーク to ピークまたはノイズフリーの最大分解能は 230,000 カウントで 1 回、つまり約 18 ビットです。ノイズフリー分解能は、入力電圧範囲、フィルタのカットオフ、出力ワード・レートの関数であることに注意してください。PGA ゲインを増加させなければならないような小さな入力範囲を使用すると、ノイズが大きくなります。出力ワード・レートを上げ、それに伴うフィルタ・カットオフ周波数を高くした場合も、ノイズが増加します。

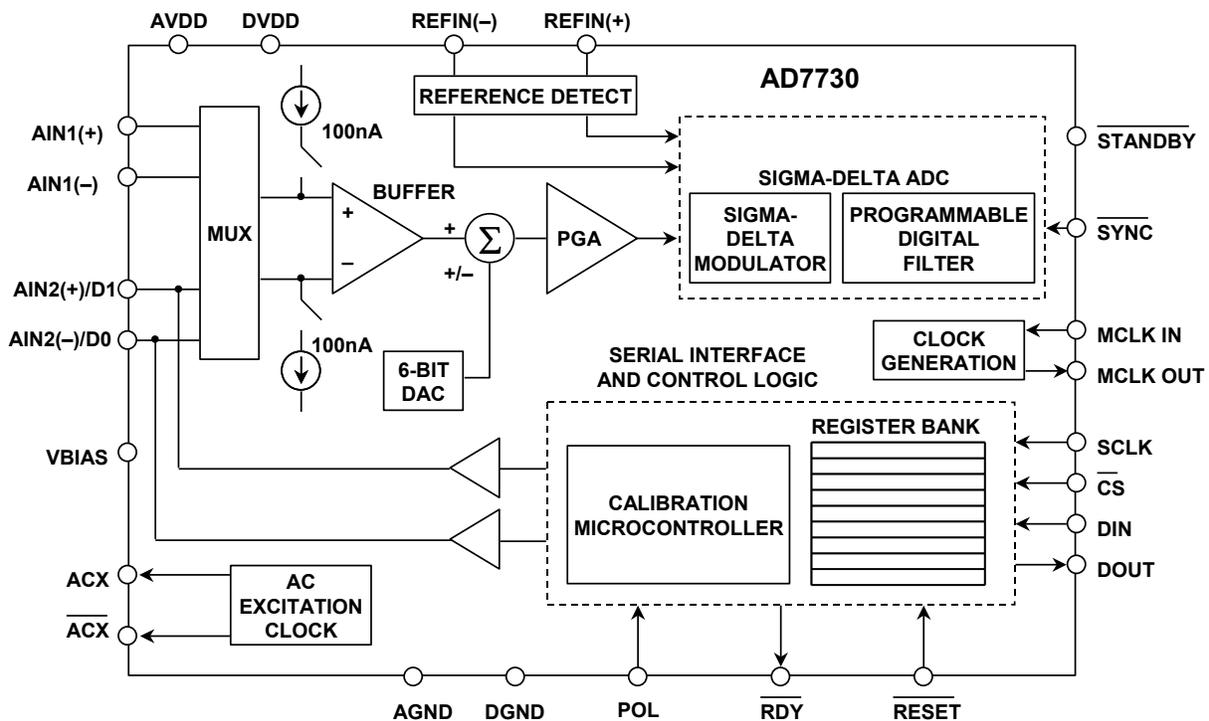


図 6.104: AD7730、 $\Sigma\Delta$ 型単電源ブリッジ ADC

アナログ入力はオンチップでバッファされるため、比較的高いソース・インピーダンスが可能です。両方のアナログ・チャンネルは差動であり、共通モード電圧範囲は AGND の 1.2 V から AVDD の 0.95 V までです。リファレンス入力も差動であり、共通モード範囲は AGND から AVDD までです。

6ビットDACはオンチップ・レジスタによって制御され、アナログ入力信号範囲から最大±80 mVのTARE（風袋重量）値を除去することができます。TARE機能の分解能は、+2.5 Vリファレンスで+1.25 mV、+5 Vリファレンスで2.5 mVです。

PGAの出力は、ΣΔモジュレータとプログラマブル・デジタル・フィルタに与えられます。シリアル・インターフェースは3線式用に構成可能で、マイクロコントローラやデジタル信号プロセッサと互換性があります。AD7730はセルフキャリブレーションとシステム・キャリブレーションのオプションを備えており、オフセット・ドリフトは5 nV/°C未満で、ゲイン・ドリフトは2 ppm/°C未満です。この低いオフセット・ドリフトは、チョップ安定化アンプに似た動作をするチョップ・モードで得られます。

AD7730のオーバーサンプリング周波数は4.9152 MHzで、出力データ・レートは50 Hz～1200 Hzの範囲で設定することができます。ADCの出力精度は出力データ・レートに依存します（図6.105の表Iおよび表II参照）。これらはAD7730で得られた数値です。この精度はPGAゲインにも依存することに注意してください。

Table I. Output Noise vs. Input Range and Update Rate (CHP = 1)

Typical Output RMS Noise in nV

| Output Data Rate | -3 dB Frequency | SF Word | Settling Time Normal Mode | Settling Time Fast Mode | Input Range = ±80 mV | Input Range = ±40 mV | Input Range = ±20 mV | Input Range = ±10 mV |
|------------------|-----------------|---------|---------------------------|-------------------------|----------------------|----------------------|----------------------|----------------------|
| 50 Hz | 1.97 Hz | 2048 | 460 ms | 60 ms | 115 | 75 | 55 | 40 |
| 100 Hz | 3.95 Hz | 1024 | 230 ms | 30 ms | 155 | 105 | 75 | 60 |
| 150 Hz | 5.92 Hz | 683 | 153 ms | 20 ms | 200 | 135 | 95 | 70 |
| 200 Hz* | 7.9 Hz | 512 | 115 ms | 15 ms | 225 | 145 | 100 | 80 |
| 400 Hz | 15.8 Hz | 256 | 57.5 ms | 7.5 ms | 335 | 225 | 160 | 110 |

*Power-On Default

Table II. Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)

Peak-to-Peak Resolution in Counts (Bits)

| Output Data Rate | -3 dB Frequency | SF Word | Settling Time Normal Mode | Settling Time Fast Mode | Input Range = ±80 mV | Input Range = ±40 mV | Input Range = ±20 mV | Input Range = ±10 mV |
|------------------|-----------------|---------|---------------------------|-------------------------|----------------------|----------------------|----------------------|----------------------|
| 50 Hz | 1.97 Hz | 2048 | 460 ms | 60 ms | 230k (18) | 175k (17.5) | 120k (17) | 80k (16.5) |
| 100 Hz | 3.95 Hz | 1024 | 230 ms | 30 ms | 170k (17.5) | 125k (17) | 90k (16.5) | 55k (16) |
| 150 Hz | 5.92 Hz | 683 | 153 ms | 20 ms | 130k (17) | 100k (16.5) | 70k (16) | 45k (15.5) |
| 200 Hz* | 7.9 Hz | 512 | 115 ms | 15 ms | 120k (17) | 90k (16.5) | 65k (16) | 40k (15.5) |
| 400 Hz | 15.8 Hz | 256 | 57.5 ms | 7.5 ms | 80k (16.5) | 55k (16) | 40k (15.5) | 30k (15) |

*Power-On Default

図 6.105: AD7730 の分解能と出力データ・レートおよびゲインの関係

これは容易に理解できます。量子化はマスターのクロック・レート（4.9152 MHz）で実行されます。データ・レートを上げると、フィルタリングに要する時間が短くなるため、測定結果にノイズが多く含まれるようになります。また、ゲインを大きくしてもノイズが増加します。

出力データ・ワードは24ビット幅ですが、入力が接地されていても常に24ビットのデータが出力されるわけではありません。表1に示すように、最大精度はピーク to ピークで18ビットのオーダーです。このため、ノイズフリー・カウントという精度を規定する新しい方法が生まれました。AD7730では230,000です。

クロック・ソースは外付けクロックから与えるか、またはMCLK INピンとMCLK OUTピンの両端に水晶発振器を接続することによって与えることができます。

AD7730 は DC 励起ブリッジからの入力信号を受け取ることができます。AC 励起クロック信号 (ACX および \overline{ACX}) を使用して、AC 励起ブリッジからの入力信号を処理することもできます。これらはオーバーラップしないクロック信号で、ブリッジを駆動する外部スイッチの同期に使用されます。ACX クロックは AD7730 の入力力で復調されます。

AD7730 には 2 つの 100 nA の定電流発生器があり、1 つは AVDD から AIN (+) へのソース電流を、もう 1 つは AIN (-) から AGND へのシンク電流を生成します。電流は、モード・レジスタのビットの制御によって選択されるアナログ入力ペアに切り替えられます。またこれらの電流は、チャンネルで測定を行う前に、センサーが作動しているかどうかの確認に使用することができます。電流をオンにしてフルスケールの読み取り値が得られれば、センサーはオープン・サーキット状態にあります。測定値が 0 V の場合、センサーは短絡しています。通常の動作では、モード・レジスタの適切なビットを 0 に設定してバーンアウト電流をオフにします。

AD7730 にはプログラマブル・デジタル・フィルタが内蔵されています。このフィルタは、第 1 段フィルタと第 2 段フィルタの 2 つの部分で構成されています。第 1 段は sinc^3 ローパス・フィルタです。この 1 段目のフィルタのカットオフ周波数と出力レートは設定可能です。2 段目のフィルタには 3 種類の動作モードがあります。通常モードでは、22 タップの FIR フィルタが 1 段目のフィルタの出力を処理します。アナログ入力でステップに変化が検出されると、2 段目のフィルタは 2 つ目のモード (FASTStep™) に入り、ステップ変化後、一定時間平均化を可変回数実行した後、FIR フィルタ・モードに戻ります。2 段目のフィルタの 3 つ目のモード (SKIP モード) では、フィルタが完全にバイパスされるため、AD7730 でフィルタリングが行われるのは最初の段のみとなります。FASTStep モードと SKIP モードはいずれも、コントロール・レジスタのビットを使って有効または無効にすることができます。この場合、精度に影響が生じます。

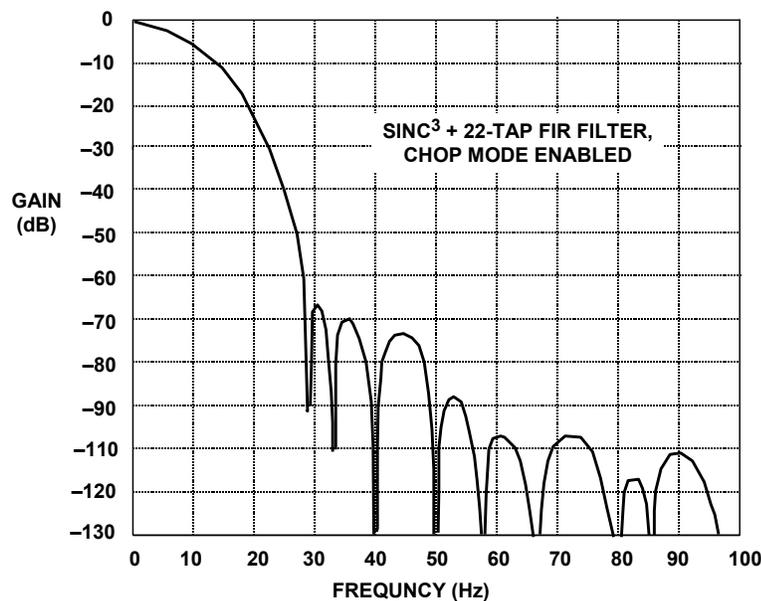


図 6.106: AD7730 のデジタル・フィルタの応答

2 段目のフィルタを通常の FIR 動作に設定した場合の AD7730 の全周波数応答を図 6.106 に示します。この応答は、チョップ・モードを有効にし、出力ワード・レートを 200 Hz、クロック周波数を 4.9152 MHz にした場合のものであります。

応答の範囲は DC ~ 100 Hz です。50 Hz ± 1 Hz および 60 Hz ± 1 Hz での除去は 88 dB 以上と良好です。

FASTStep モードを有効にしたときと無効にしたときの AD7730 のステップ応答を図 6.107 に示します。縦軸はコード値で、入力のステップ変化に対する出力のセtringを示します。横軸は、そのセtringに必要な出力ワードの数を示します。正入力のステップ変化が 5 番目の出力で発生しています。

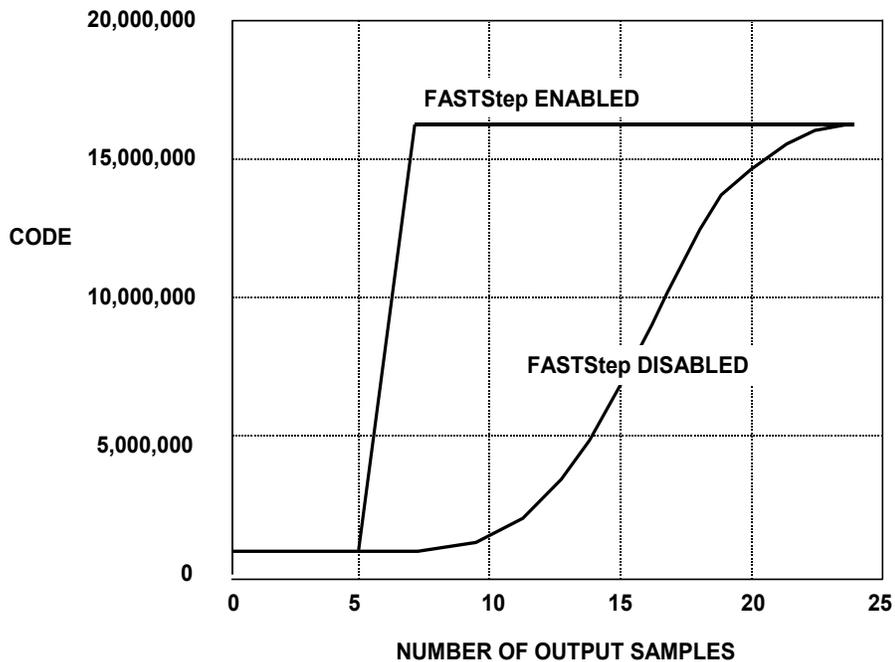


図 6.107: AD7730 の *FASTStep* モードでのデジタル・フィルタのセtring時間

通常モード (*FASTStep* を無効) では、出力は 23 番目の出力ワードまでは最終値に達していません。チョッピングを有効にした *FASTStep* モードでは、7 番目の出力ワードで出力が最終値にセtringしています。7 番目から 23 番目までの出力の間、*FASTStep* モードではセtring状態になりますが、通常の動作条件での規定のノイズ・レベルよりもノイズが大きくなります。これは SKIP モードと同等のノイズ・レベルで始まり、平均化回数の増加とともに規定のノイズ・レベルに達します。規定のノイズ・レベルに戻るのに必要な全セtring時間は、*FASTStep* モードと通常モードで同じです。*FASTStep* モードのほうが、出力チャンネルの切り替わり先と新しい値がはるかに早く決まります。この特長は、計量用途では重量がすぐに表示され、複数チャンネルのスキャン用途では、チャンネルが変更されたかどうかを確認するのに完全にセtringするまで待つ必要がないので、非常に役立ちます。

ただし、*FASTStep* モードは、セtring時間に伴いノイズが大きくなるため、マルチプレクサを用いたアプリケーションにはあまり適していません。マルチプレクサを用いたアプリケーションでは、新しいチャンネルにセtringするのに出力ワード間隔を 23 のフル・サイクルにする必要があります。これは、マルチプレクサを用いたアプリケーションで $\Sigma\Delta$ ADC を使用する際の根本的な問題を示しています。

内部のデジタル・フィルタがチャンネルの切替え後に完全にセトリングできるのであれば、動作しない理由はありません。

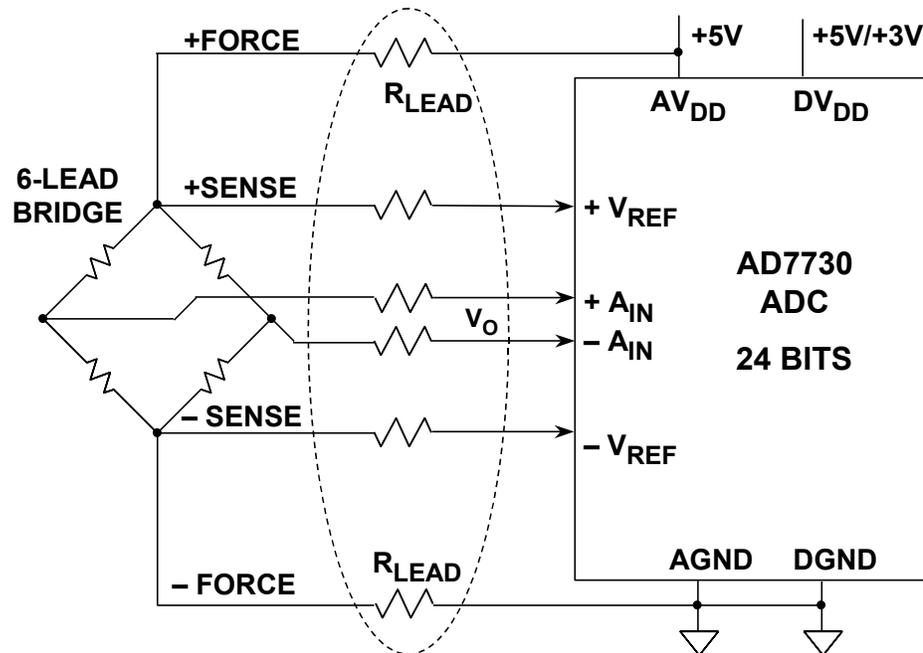


図 6.108: AD7730 のブリッジ・アプリケーション (簡略回路図)

AD7730 では、内部のキャリブレーション・レジスタにアクセスできるので、外部のマイクロプロセッサにデバイスのキャリブレーション係数を読み取らせたり、外部の E²PROM にあらかじめ保存されている値から独自のキャリブレーション係数をデバイスに書き込んだりすることができます。このため、マイクロプロセッサは AD7730 のキャリブレーションを強力に制御することができます。また、キャリブレーション後の係数と E²PROM にあらかじめ保存されていた値を比較することによって、デバイスがキャリブレーションを正しく実行したことを確認できることにもなります。このキャリブレーション係数は規定の入力電圧の変換を行うことで得られるので、キャリブレーション精度は、デバイスの通常モードでのノイズ・レベルと同程度にしかありません。キャリブレーション精度を最適化するには、ノイズ・レベルが最も低い、最低の出力レートで補正することが推奨されます。どのような出力レートでも、生成された係数は、選択されたすべての出力更新レートで有効です。このように最低の出力データ・レートで補正を行うと、補正間隔の時間は長くなります。

AD7730 は外付けの電圧リファレンスを必要としますが、図 6.108 に示すレシオメトリック・ブリッジのアプリケーションでは電源電圧をリファレンスとして使用できます。この構成では、ブリッジ出力電圧はブリッジを駆動する電圧に正比例します。ブリッジを駆動する電圧は、AD7730 へのリファレンス電圧の設定にも使用されます。電源電圧の変動が精度に影響を与えることはありません。ブリッジの SENSE 出力は、リード抵抗の電圧降下に起因する誤差を除去するために、AD7730 のリファレンス電圧に使用されます。

バンドパス型 $\Sigma\Delta$ コンバータ

これまで説明してきた $\Sigma\Delta$ ADC には、ローパス・フィルタとなる積分器が含まれていますが、このフィルタの通過帯域は DC からなっています。したがって、この量子化ノイズは周波数とともに増えていきます。現在市販されているほとんどの $\Sigma\Delta$ ADC はこのタイプのもので（ただし、オーディオやテレコミュニケーション・アプリケーションでの使用を目的としたものの中には、システムの DC オフセットを除去するためにローパス・デジタル・フィルタではなくバンドパス・フィルタを内蔵しているものもあります）。しかし、 $\Sigma\Delta$ モジュレータのフィルタがローパス・フィルタ（LPF）でなければならない理由は特にありません。ただ、従来の ADC はベースバンド・デバイスであると考えられていたうえ、積分器を作るほうがバンドパス・フィルタよりもいく分容易です。図 6.109 に示すように、 $\Sigma\Delta$ ADC の積分器をバンドパス・フィルタ（BPF）に置き換えると、量子化ノイズが周波数の上下方向に移動し、通過帯域に事実上ノイズのない領域が残されます（参考資料 31、32、33）。デジタル・フィルタがこの領域に通過帯域を持つように設定されているなら、ローパス特性ではなく、バンドパス特性を持った $\Sigma\Delta$ ADC ということになります。このようなデバイスは、直接的な IF/デジタル変換、デジタル・ラジオ、超音波などのアンダーサンプリング・アプリケーションに有用であると考えられます。ただし、モジュレータとデジタル BPF はシステム・アプリケーションが要求する特定の周波数群向けに設計する必要があるため、この手法の柔軟性がいく分制限されてしまいます。

バンドパス $\Sigma\Delta$ ADC のアンダーサンプリング・アプリケーションでは、最小のサンプリング周波数は信号帯域幅（BW）の少なくとも 2 倍でなければなりません。この信号は搬送波周波数 f_c を中心とします。455 kHz の中心周波数と 10 kHz の信号帯域幅を用いた代表的なデジタル無線アプリケーションが、参考資料 32 に記載されています。オーバーサンプリング周波数を $Kf_s = 2$ MSPS に、出力レートを $f_s = 20$ kSPS にすると、信号帯域幅内で 70 dB のダイナミック・レンジが得られます。

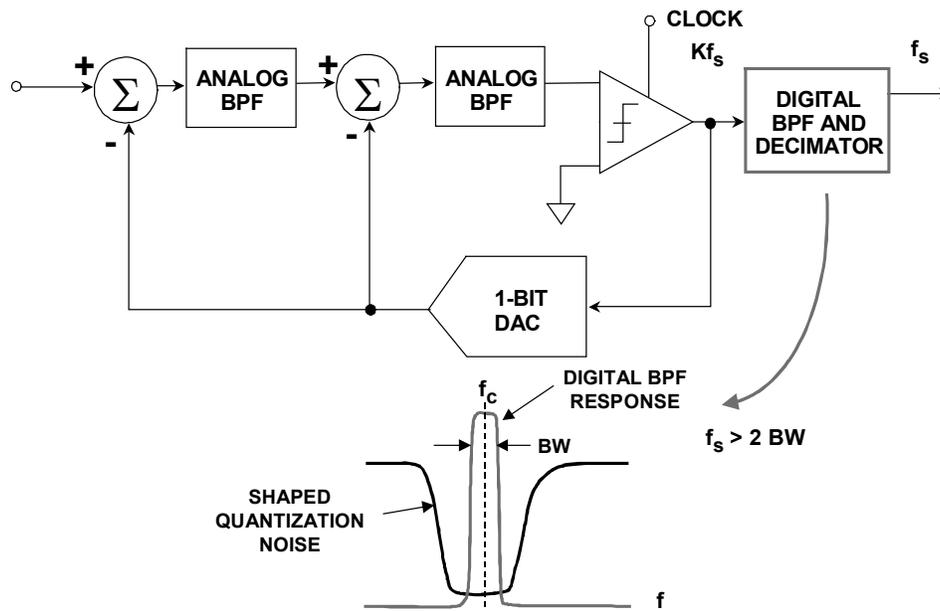


図 6.109: 積分器をレゾネータに置き換えてバンドパス $\Sigma\Delta$ ADC を実現

バンドパスのもう 1 つの例は、IF デジタイジング・サブシステム AD9870 です。このデバイスの公称オーバーサンプリング周波数は 18 MSPS、中心周波数は 2.25 MHz、帯域幅は 10 kHz ~ 150 kHz です（詳細については参考資料 33 を参照）。

ΣΔ 型 DAC

ΣΔ DAC の動作は ΣΔ ADC と非常によく似ていますが、ΣΔ DAC ではノイズ・シェーピング機能がアナログではなくデジタルのモジュレータにより実行されます。

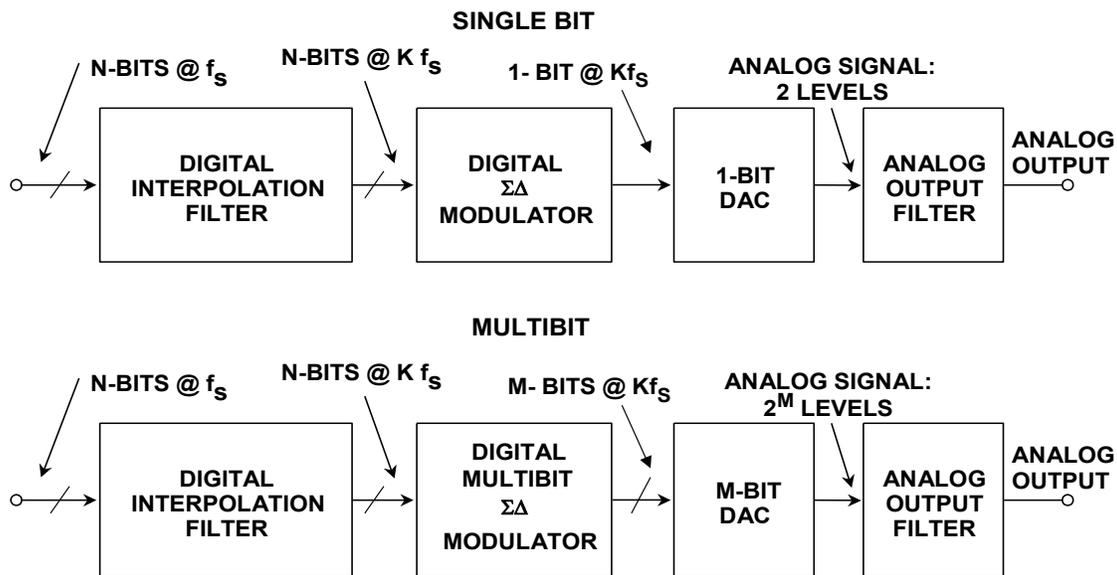


図 6.110: ΣΔ DAC

ΣΔ DAC は ΣΔ ADC とは異なり、大部分がデジタルです（図 6.110A 参照）。これは「インターポレーション・フィルタ」（低速でデータを受け取り、高速でゼロを挿入し、さらにデジタル・フィルタ・アルゴリズムを適用してデータを高速で出力するデジタル回路）、ΣΔ モジュレータ（信号に対してはローパス・フィルタとして、量子化ノイズに対してはハイパス・フィルタとして機能し、得られたデータを高速ビット・ストリームに変換する）、およびその出力が正と負の等しいリファレンス電圧間で切り替わる 1 ビット DAC で構成されます。出力は外部のアナログ LPF でフィルタリングされます。オーバーサンプリング周波数が高いため、従来のナイキスト動作の場合よりも LPF の複雑さは大幅に緩和されます。

ΣΔ DAC で 2 ビット以上を使うこともできます。これにより、図 3.147B に示すマルチビット・アーキテクチャになります。この概念は、先に第 2 章で説明した、デジタル ΣΔ モジュレータを追加したインターポレーション DAC の概念と似ています。これまでマルチビット DAC は、内蔵の n ビット DAC に対する精度条件（内蔵 DAC は n ビットのみだが、最終ビット数 N の線形性がなければならない）があるため、設計が困難でした。

しかし、オーディオ用 DAC である AD185x シリーズはこの問題を克服し、すべてのオーディオ仕様に対して優れた性能を発揮する独自のデータ・スクランブル技術（データ・ダイレクト・スクランブリング）を採用しています（参考資料 27、28 参照）。例えば、24 ビット、92 kSPS のデュアル DAC AD1853 は、48 kSPS サンプルング・レートで THD+N が 104 dB 以上となっています。

このファミリーの最新デバイスの 1 つは、図 6.111 に示すオーディオ用マルチビット $\Sigma\Delta$ DAC の AD1955 です。AD1955 もデータ・ダイレクト・スクランブリングを採用しており、多くの DVD オーディオ・フォーマットをサポートし、きわめて柔軟性の高いシリアル・ポートを備えています。THD + N の代表値は 110 dB です。

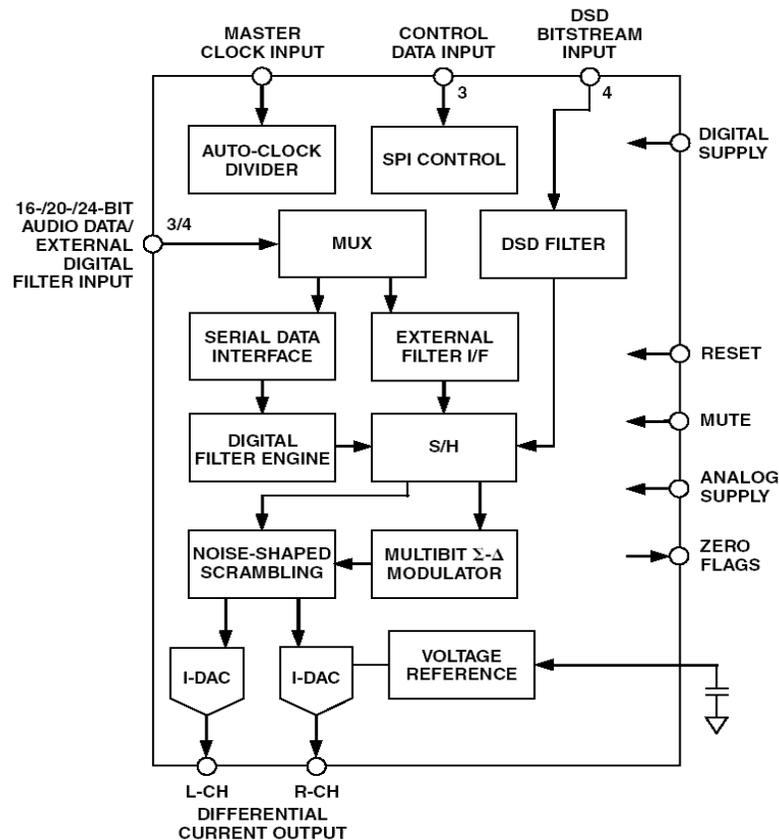


図 6.111: AD1955 オーディオ用マルチビット $\Sigma\Delta$ DAC

まとめ

$\Sigma\Delta$ ADC と $\Sigma\Delta$ DAC は、測定、音声帯域、オーディオなどの多数の最新アプリケーションに幅広く使用されています。この技術は、低コストの CMOS プロセスを最大限に活用しているため、DSP などの高度なデジタル機能との統合化が図られています。現在では、最大 24 ビットの分解能が可能になり、アナログ・アンチエイリアシング／アンチイメージング・フィルタの条件はオーバーサンプリングによって大幅に緩和されています。マルチビット・データ・スクランブル・アーキテクチャのような最新技術によって、初期のシグマ・デルタ製品で悩まされていたアイドル・トーンの問題が最小限に抑えられています。

多くの $\Sigma\Delta$ コンバータでは、出力データ・レートや、デジタル・フィルタ特性、セルフキャリブレーション・モードに関する設定の自由度が高くなっています。マルチチャンネル $\Sigma\Delta$ ADC がデータ・アキュジション・システムで利用できるようになり、これらのアプリケーションでの内蔵デジタル・フィルタのセットアップ時間条件が十分に理解されるようになってきています。

参考資料

$\Sigma\Delta$ コンバータ

1. Max W. Hauser, "Principles of Oversampling A/D Conversion," **Journal Audio Engineering Society**, Vol. 39, No. 1/2, January/February 1991, pp. 3-26. (*One of the best tutorials and practical discussions of the sigma-delta ADC architecture and its history*).
2. E. M. Deloraine, S. Van Mierlo, and B. Derjavitch, "Methode et système de transmission par impulsions," **French Patent 932,140**, issued August, 1946. Also **British Patent 627,262**, issued 1949.
3. E. M. Deloraine, S. Van Mierlo, and B. Derjavitch, "Communication System Utilizing Constant Amplitude Pulses of Opposite Polarities," **U.S. Patent 2,629,857**, filed October 8, 1947, issued February 24, 1953.
4. F. de Jager, "Delta Modulation: A Method of PCM Transmission Using the One Unit Code," **Phillips Research Reports**, Vol. 7, 1952, pp. 542-546. (*Additional work done on delta modulation during the same time period*).
5. H. Van de Weg, "Quantizing Noise of a Single Integration Delta Modulation System with an N-Digit Code," **Phillips Research Reports**, Vol. 8, 1953, pp. 367-385. (*Additional work done on delta modulation during the same time period*).
6. C. C. Cutler, "Differential Quantization of Communication Signals," **U.S. Patent 2,605,361**, filed June 29, 1950, issued July 29, 1952. (*Recognized as the first patent on differential PCM or delta modulation, although actually first invented in the Paris labs of the International Telephone and Telegraph Corporation by E. M. Deloraine, S. Mierlo, and B. Derjavitch a few years earlier*).
7. C. C. Cutler, "Transmission Systems Employing Quantization," **U.S. Patent 2,927,962**, filed April 26, 1954, issued March 8, 1960. (*A ground-breaking patent describing oversampling and noise shaping using first and second-order loops to increase effective resolution. The goal was transmission of oversampled noise shaped PCM data without decimation, not a Nyquist-type ADC*).
8. C. B. Brahm, "Feedback Integrating System," **U.S. Patent 3,192,371**, filed September 14, 1961, issued June 29, 1965. (*Describes a second-order multibit oversampling noise shaping ADC*).
9. H. Inose, Y. Yasuda, and J. Murakami, "A Telemetry System by Code Modulation: Δ - Σ Modulation," **IRE Transactions on Space Electronics Telemetry**, Vol. SET-8, September 1962, pp. 204-209. Reprinted in N. S. Jayant, **Waveform Quantization and Coding**, IEEE Press and John Wiley, 1976, ISBN 0-471-01970-4. (*An elaboration on the 1-bit form of Cutler's noise-shaping oversampling concept. This work coined the description of the architecture as 'delta-sigma modulation'*).
10. H. Inose and Y. Yasuda, "A Unity Bit Coding Method by Negative Feedback," **IEEE Proceedings**, Vol. 51, November 1963, pp. 1524-1535. (*Further discussions on their 1-bit 'delta-sigma' concept*).
11. D. J. Goodman, "The Application of Delta Modulation of Analog-to-PCM Encoding," **Bell System Technical Journal**, Vol. 48, February 1969, pp. 321-343. Reprinted in N. S. Jayant, **Waveform Quantization and Coding**, IEEE Press and John Wiley, 1976, ISBN 0-471-01970-4. (*The first description of using oversampling and noise shaping techniques followed by digital filtering and decimation to produce a true Nyquist-rate ADC*).
12. J. C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters," **IEEE Transactions on Communications**, Vol. COM-22, December 1974, pp. 298-305. (*Describes a multibit oversampling noise shaping ADC with output digital filtering and decimation to interpolate between the quantization levels*).
13. R. J. van de Plassche, "A Sigma-Delta Modulator as an A/D Converter," **IEEE Transactions on Circuits and Systems**, Vol. CAS-25, July 1978, pp. 510-514.

14. B. A. Wooley and J. L. Henry, "An Integrated Per-Channel PCM Encoder Based on Interpolation," **IEEE Journal of Solid State Circuits**, Vol. SC-14, February 1979, pp. 14-20. (*One of the first all-integrated CMOS sigma-delta ADCs*).
15. B. A. Wooley et al, "An Integrated Interpolative PCM Decoder," **IEEE Journal of Solid State Circuits**, Vol. SC-14, February 1979, pp. 20-25.
16. J. C. Candy, B. A. Wooley, and O. J. Benjamin, "A Voice-band Codec with Digital Filtering," **IEEE Transactions on Communications**, Vol. COM-29, June 1981, pp. 815-830.
17. J. C. Candy and Gabor C. Temes, **Oversampling Delta-Sigma Data Converters**, IEEE Press, ISBN 0-87942-258-8, 1992.
18. R. Koch, B. Heise, F. Eckbauer, E. Engelhardt, J. Fisher, and F. Parzefall, "A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15 MHz Clock Rate," **IEEE Journal of Solid-State Circuits**, Vol. SC-21, No. 6, December 1986.
19. D. R. Welland, B. P. Del Signore and E. J. Swanson, "A Stereo 16-Bit Delta-Sigma A/D Converter for Digital Audio," **J. Audio Engineering Society**, Vol. 37, No. 6, June 1989, pp. 476-485.
20. B. Boser and Bruce Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," **IEEE Journal of Solid-State Circuits**, Vol. 23, No. 6, December 1988, pp. 1298-1308.
21. J. Dattorro, A. Charpentier, D. Andreas, "The Implementation of a One-Stage Multirate 64:1 FIR Decimator for use in One-Bit Sigma-Delta A/D Applications," **AES 7th International Conference**, May 1989.
22. W.L. Lee and C.G. Sodini, "A Topology for Higher-Order Interpolative Coders," **ISCAS PROC.** 1987.
23. P.F. Ferguson, Jr., A. Ganesan and R. W. Adams, "One-Bit Higher Order Sigma-Delta A/D Converters," **ISCAS PROC.** 1990, Vol. 2, pp. 890-893.
24. Wai Laing Lee, **A Novel Higher Order Interpolative Modulator Topology for High Resolution Oversampling A/D Converters**, MIT Masters Thesis, June 1987.
25. R. W. Adams, "Design and Implementation of an Audio 18-Bit Analog-to-Digital Converter Using Oversampling Techniques," **J. Audio Engineering Society**, Vol. 34, March 1986, pp. 153-166.
26. P. Ferguson, Jr., A. Ganesan, R. Adams, et. al., "An 18-Bit 20-kHz Dual Sigma-Delta A/D Converter," **ISSCC Digest of Technical Papers**, February 1991.
27. Robert Adams, Khiem Nguyen, and Karl Sweetland, "A 113 dB SNR Oversampling DAC with Segmented Noise-Shaped Scrambling," **ISSCC Digest of Technical Papers**, vol. 41, 1998, pp. 62, 63, 413. (*Describes a segmented audio DAC with data scrambling*).
28. Robert W. Adams and Tom W. Kwan, "Data-directed Scrambler for Multi-bit Noise-shaping D/A Converters," **U.S. Patent 5,404,142**, filed August 5, 1993, issued April 4, 1995. (*Describes a segmented audio DAC with data scrambling*).
29. Y. Matsuya, et. al., "A 16-Bit Oversampling A/D Conversion Technology Using Triple-Integration Noise Shaping," **IEEE Journal of Solid-State Circuits**, Vol. SC-22, No. 6, December 1987, pp. 921-929.
30. Y. Matsuya, et. al., "A 17-Bit Oversampling D/A Conversion Technology Using Multistage Noise Shaping," **IEEE Journal of Solid-State Circuits**, Vol. 24, No. 4, August 1989, pp. 969-975.

31. Paul H. Gailus, William J. Turney, and Francis R. Yester, Jr., "Method and Arrangement for a Sigma Delta Converter for Band-Pass Signals," **U.S. Patent 4,857,928**, filed January 28, 1988, issued August 15, 1989.
32. S.A. Jantzi, M. Snelgrove, and P.F. Ferguson Jr., "A 4th-Order Band-Pass Sigma-Delta Modulator," **IEEE Journal of Solid State Circuits**, Vol. 38, No. 3, March 1993, pp. 282-291.
33. Paul Hendriks, Richard Schreier, Joe DiPilato, "High Performance Narrowband Receiver Design Simplified by IF Digitizing Subsystem in LQFP," **Analog Dialogue**, Vol. 35-3, June-July 2001. available at <http://www.analog.com> (*Describes an IF subsystem with a band-pass sigma-delta ADC having a nominal oversampling frequency of 18MSPS, a center frequency of 2.25MHz, and a bandwidth of 10 kHz - 150 kHz*).

注記

6.4: 仕様の定義

コンバータの仕様化では、基本的に 2 種類の仕様がデータ・コンバータに適用されます。簡単に言えば、DC 仕様と AC 仕様に分けることができます。どちらへの関心が高いかは、主にアプリケーションによって決まります。低周波アプリケーションでは DC 仕様のほうがよく利用されます。この場合、リファレンスを基準に測定されます。AC 仕様では、絶対精度よりは相対精度のほうに関心があります。リファレンスが重要でないというわけではありません。単に、通常は絶対的な数値ではなく相対的な数値のほうに関心があるということです。例えば、歪みは常に基本波に相対的です。この 2 つの間に直接的な関連性はありませんが、良好な歪み特性を得るためには良好な線形性が必要であると推測できます。両方でコンバータが規定されることはほとんどありません。

留意すべきもう 1 つの点は、分解能と精度の違いです。この 2 つの用語は時折区別しないで使われる傾向がありますが、同じものではありません。

分解能は、コンバータのデータ・ワードのビット数と定義することができます。精度とは、仕様を満たすビット数のことです。一例として、あるオーディオ用コンバータのデータ・バス幅が 24 ビットだとしても、S/N 比は 120 dB レンジに限られます。120 dB はおよそ 20 ビット精度に相当します。120 dB は低性能ではありませんが、24 ビットの性能には及びません。

コンバータの分解能のビット数を考慮するだけでなく、電圧の振幅にも留意する必要があります。フルスケール・レベルが 2 V の場合を図 6.112 に示します（この表の電圧の一部は四捨五入していることに注意してください）。このレベルは最新システムでは一般的でなく、ライン・レベルのオーディオ測定用の標準規格です。精度仕様の下限は、システムのガウス・ノイズによって決まる可能性が高いことを覚えておいてください。例えば、2.2 k Ω 抵抗が 25 °C のとき 10 kHz 帯域幅で生成されるジョンソン・ノイズは 600 nV です。これは約 21.5 ビットに相当します。

また、一部のシステムではさらに小さなフルスケールが使用されます。特に、 $\Sigma\Delta$ ADC である AD7730 のシステムは、10 mV までのフルスケール入力で動作するように設計されています。24 ビット分解能の場合、これは 1 LSB の重み付けが 596 μ V であることを意味します。

| RESOLUTION N | 2^N | VOLTAGE (2 V FS) | ppm FS | % FS | dB FS |
|-----------------|------------|---------------------|---------|----------|-------|
| 2-bit | 4 | 500 mV | 250,000 | 25 | - 12 |
| 4-bit | 16 | 125 mV | 62,500 | 6.25 | - 24 |
| 6-bit | 64 | 31.2 mV | 15,625 | 1.56 | - 36 |
| 8-bit | 256 | 7.81 mV | 3,906 | 0.39 | - 48 |
| 10-bit | 1,024 | 1.95 mV | 977 | 0.098 | - 60 |
| 12-bit | 4,096 | 488 μ V | 244 | 0.024 | - 72 |
| 14-bit | 16,384 | 122 μ V | 61 | 0.0061 | - 84 |
| 16-bit | 65,536 | 30.5 μ V | 15 | 0.0015 | - 96 |
| 18-bit | 262,144 | 7.62 μ V | 4 | 0.0004 | - 108 |
| 20-bit | 1,048,576 | 1.9 μ V | 1 | 0.0001 | - 120 |
| 22-bit | 4,194,304 | 476 nV | 0.24 | 0.000024 | - 132 |
| 24-bit | 16,777,216 | 119 nV | 0.06 | 0.000006 | - 144 |

図 6.112: 2 V のフルスケール入力に対する LSB の大きさ

6.5: DAC および ADC の静的伝達関数と DC 誤差

データ・コンバータにおける 4 つの主要な DC 誤差は、オフセット誤差、ゲイン誤差、それに 2 種類の直線性誤差（微分および積分）です。オフセット誤差とゲイン誤差は、バイポーラの入力範囲でのアンプのオフセット誤差とゲイン誤差に似ています（図 6.113 参照）。（オフセット誤差とゼロ誤差は、アンプとユニポーラのデータ・コンバータでは同じですが、バイポーラのコンバータでは同じでないので、注意して区別する必要があります）。

DAC と ADC の伝達特性はどちらも $D = K + GA$ と表すことができます。ここで、 D はデジタル・コード、 A はアナログ信号、 K と G は定数です。ユニポーラ・コンバータでは K はゼロで、オフセット・バイポーラ・コンバータでは -1 MSB となります。オフセット誤差は、 K の実際の値と理想値との差分量です。

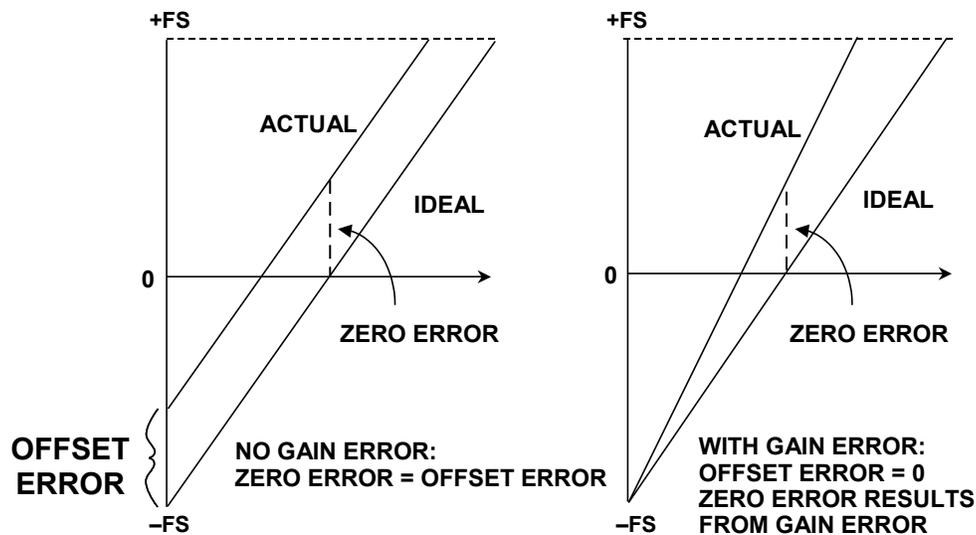


図 6.113: データ・コンバータのオフセット誤差とゲイン誤差

ゲイン誤差は、 G と理想値との差分量であり、通常はこれら 2 つの差がパーセンテージで表されます。しかし、フルスケールでの全誤差に対するゲイン誤差の寄与分（単位は mV または LSB ）と定義されることもあります。これらの誤差は通常、データ・コンバータのユーザが調整可能です。ただし、アンプのオフセットをゼロ入力調整したうえで、ゲインをフルスケール付近で調整することに注意してください。バイポーラのデータ・コンバータの調整アルゴリズムはそれほど単純ではありません。

コンバータの積分直線性誤差は、アンプの直線性誤差と似ており、コンバータの実際の伝達特性の直線からの最大偏差として定義され、一般にフルスケールのパーセンテージで表されます（ LSB を単位とする場合もある）。ADC で最も一般的な方法は、コードの中間点、つまりコードの中心を通る直線を引くことです。直線の選択方法としては、エンドポイント法と回帰直線法の 2 つが一般的です（図 6.114 参照）。

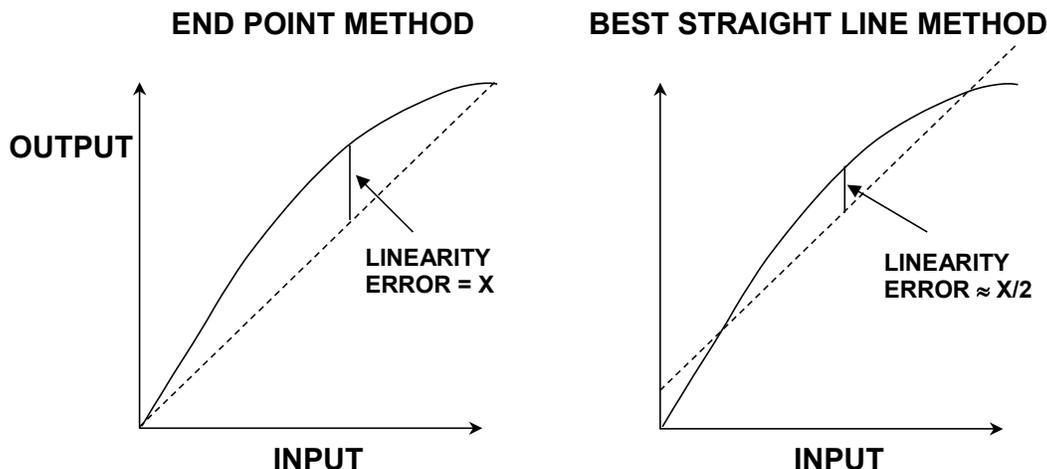


図 6.114: 積分直線性誤差の測定方法
(両グラフとも同じコンバータを使用)

エンドポイントシステムでは、偏差は始点と（ゲイン調整後の）フルスケール・ポイントを結んだ直線で測定されます。この方法は、計測および制御アプリケーションに最も有用なデータ・コンバータの積分直線性誤差（任意の「ベスト・フィット」からではなく理想伝達特性からの偏差）の測定法で、アナログ・デバイスが通常利用しているものです。

ベスト・ストレート・ライン（BSL）は AC アプリケーションにおいて歪み量を推定するのに役立ち、データシート上の「直線性誤差」も小さくします。ベスト・フィット・ストレート・ラインは、標準の曲線適合技術を用いてデバイスの伝達特性を基に描くもので、この直線からの最大偏差を測定します。一般に、この方法で測定された積分直線性誤差は、エンドポイント法で測定した値のわずか 50% となります。この方法をとればカタログ上の性能向上には役立ちますが、誤差バジェット解析にはあまり役立ちません。AC アプリケーションでは、DC 直線性よりも歪みを仕様規定するほうがずっと適切なので、回帰直線法を用いてコンバータの直線性を定義する必要はほとんどありません。

コンバータのもう 1 つの非直線性が、微分非直線性（DNL）です。これは、コンバータのコード遷移の直線性に関係しています。理想的には、デジタル・コードの 1 LSB の変化は、ちょうどアナログ信号の 1 LSB の変化に相当します。DAC では、デジタル・コードの 1 LSB の変化がアナログ出力のちょうど 1 LSB の変化を引き起こすのに対し、ADC では、1 つのデジタル遷移が次のデジタル遷移に移行するのにアナログ入力にちょうど 1 LSB の変化を生じます。微分直線性誤差は、伝達関数全体における、理想的な 1 LSB からの量子の最大偏差量（または LSB の変化）と定義されます。

1 LSB のデジタル変化に対応するアナログ信号の変化分が 1 LSB よりも大きい小さい場合は、DNL 誤差が存在することになります。コンバータの DNL 誤差は通常、すべてのデジタル・データ変化点の中の最大誤差で定義されます。DAC と ADC の非理想的な伝達関数と DNL 誤差の影響を図 6.115 に示します。

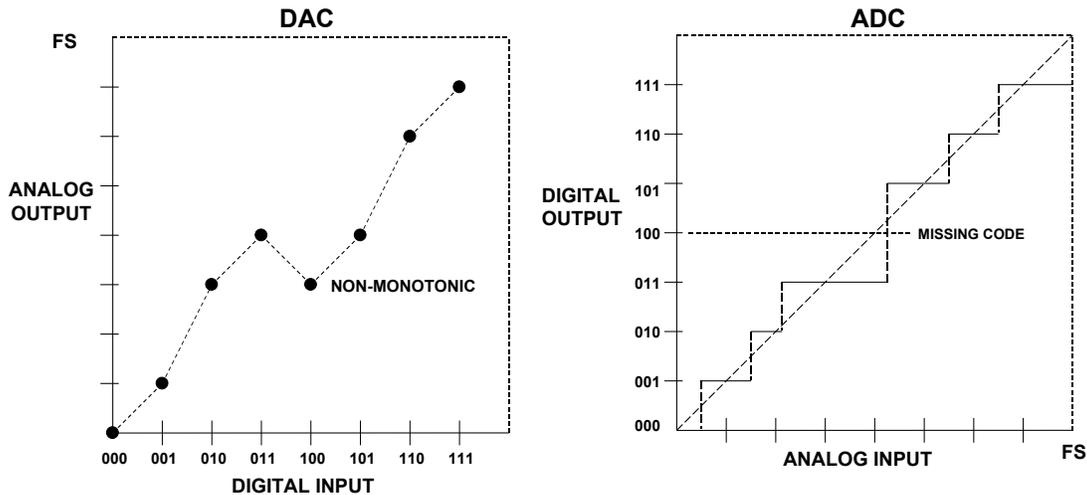


図 6.115: 非理想的な 3 ビットの DAC と ADC の伝達関数

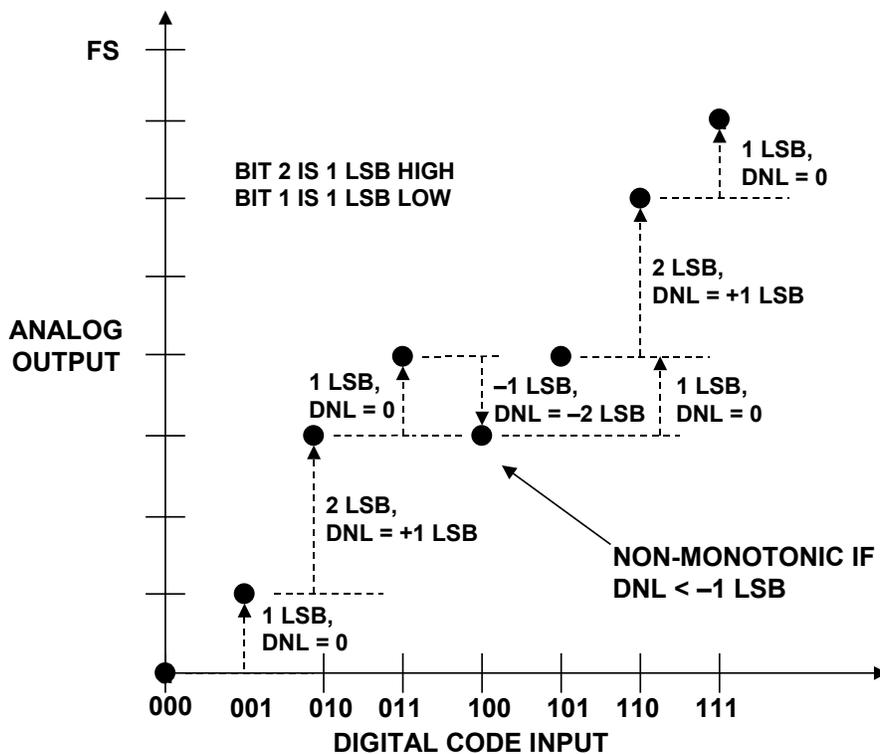


図 6.116: DAC の微分非直線性の詳細

DAC の DNL を図 6.116 に詳細に示します。DAC の DNL がいずれかのデータ遷移時に -1 LSB 未満であれば、DAC は**非単調増加性** (*nonmonotonic*) であり、伝達特性には 1 つ以上の局所的な最大値または最小値が含まれます。DNL が $+1$ LSB を越える場合は非単調にはなりません、やはり望ましくありません。DAC の多くのアプリケーション (特に、非単調増加性により負帰還が正帰還に変わることもあるクローズドループ・システム) では、DAC が単調増加性であることが非常に重要です。

そのため、多くの場合、DAC の単調増加性はデータシートで明示的に仕様規定されています。もっとも、DNL が 1 LSB 以下（すなわち、 $|DNL| \leq 1 \text{ LSB}$ ）のときは、保証が明示されていなくても、デバイスは単調増加性でなければなりません。

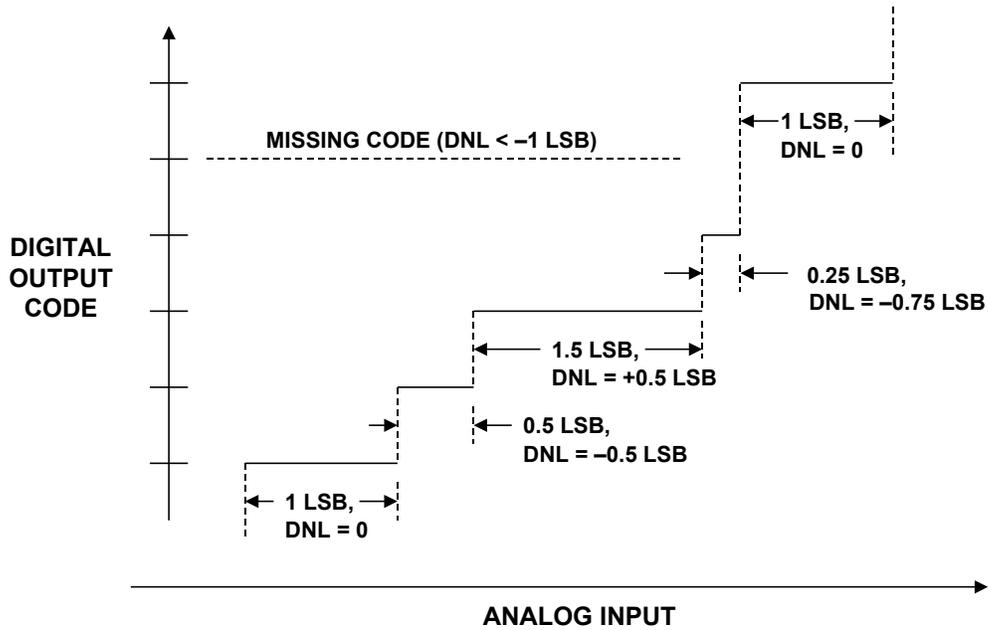


図 6.117: ADC の微分非直線性の詳細

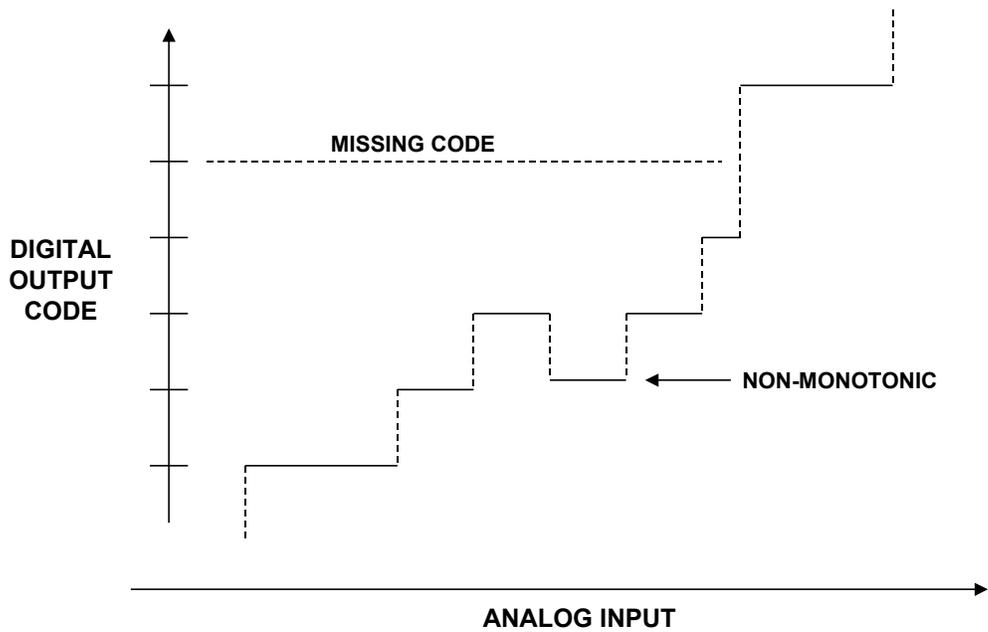


図 6.118: ミッシング・コードのある非単調増加性の ADC

図 6.117 に ADC の DNL を拡大して詳細に示します。ADC は非単調になることがありますが、ADC で DNL が大きすぎると、一般にはミッシング・コードが生じます。ADC におけるミッシング・コードは、DAC の非単調増加性と同等に好ましい特性ではありません。この場合も、 $DNL < -1$ LSB が原因になります。

ADC では、ミッシング・コードが生じるだけでなく非単調になることもあります（図 6.118 参照）。DAC の場合と同様、これは特にサーボ・アプリケーションで大きな問題を引き起こす可能性があります。

DAC ではミッシング・コードが生じることはありません。デジタル入力ワードごとに、対応するアナログ出力が生成されるからです。しかし、前述のように DAC は非単調になることがあります。ストレート・バイナリ DAC で非単調状態が生じる可能性の最も高い場所は、 $0.011\dots11$ と $100\dots0$ の 2 つのコードの間のミッドスケールです。ここで非単調状態が生じた場合、通常は DAC が適切に補正または調整されていないことが原因です。非単調である DAC を内蔵した逐次比較型 ADC は、一般にミッシング・コードを生成しますが、単調増加性は維持します。しかし、ADC が非単調になる可能性はあります。この場合も、特定の変換アーキテクチャに依存します。非単調で、ミッシング・コードがある ADC の伝達関数を図 6.118 に示します。

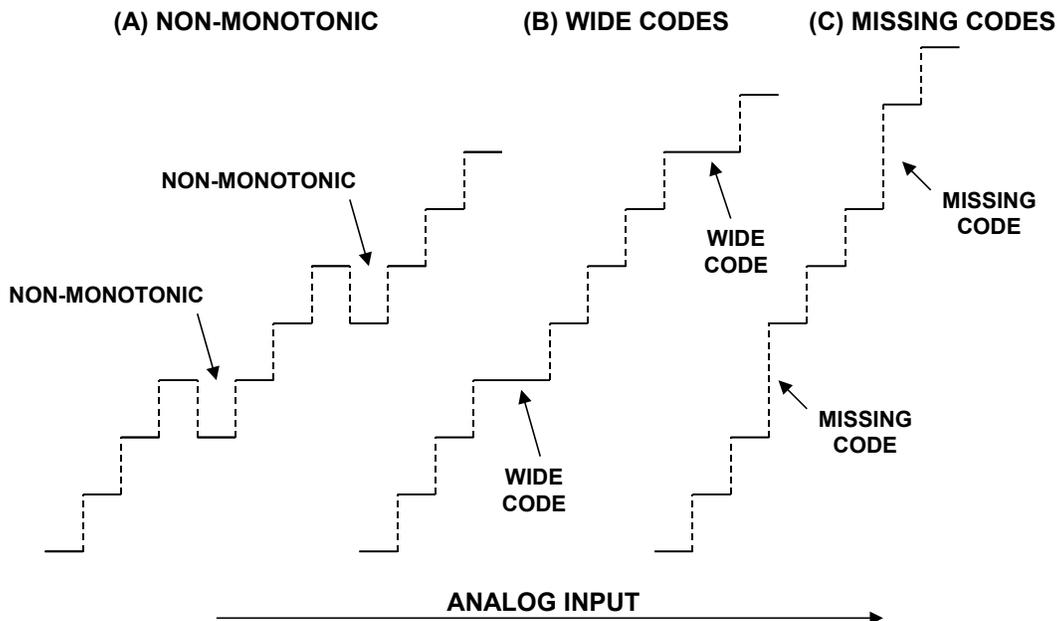


図 6.119: 調整が不適切なサブレンジング ADC で生じる誤差

サブレンジング・アーキテクチャを採用している ADC では、入力範囲は多数の粗セグメントに分割され、各粗セグメントはさらに小さなセグメントに分割されて、最後に最終コードが取り出されます。このプロセスについては、本書の第 4 章で詳述しています。サブレンジング ADC の調整が不適切な場合、サブレンジ・ポイントにおいて、非単調増加性、ワイド・コード、あるいはミッシング・コードが見られることがあります（それぞれ図 6.119 の A、B、C を参照）。このタイプの ADC では、エイジングや温度によるドリフトが発生したら、敏感なポイントには非単調増加性やミッシング・コードではなくワイド・コードが生じるように調整する必要があります。

ミッシング・コードを定義することは、非単調増加性の定義よりも困難です。すべての ADC には、図 6.120 に示すような固有の遷移ノイズが発生します（DVM の最後の隣接する桁で起こるフリッカーを考えてみてください）。分解能と帯域幅が高くなるにつれて、遷移ノイズが発生する入力範囲が 1 LSB に近づいたり、またはそれを越えることさえあります。高分解能の広帯域 ADC には一般に内部ノイズ源があり、これは入力に反映され、信号に足し合わされて、実効入力ノイズとなります。このノイズの影響が特に負の DNL 誤差と組み合わせると、コードの一部（または全部）で、全入力範囲全体で遷移ノイズが発生する可能性があります。したがって、あるコードで、入力がないのにそのコードが出力されたり、入力のある範囲にわたってそのコードが生成されたりすることがあります。

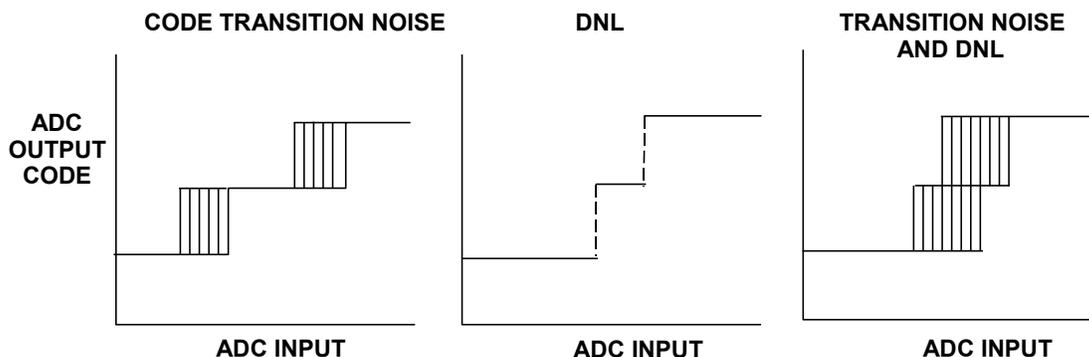


図 6.120: コード遷移ノイズと DNL の複合効果

低分解能 ADC では、ノー・ミス・コードは遷移ノイズと DNL の組み合わせとして定義するのが妥当と考えられ、すべてのコードに対してある程度（およそ 0.2 LSB）のノイズフリー・コードが確保されます。しかし、これは最新の $\Sigma\Delta$ ADC が達成している非常に高い分解能でも、また広帯域サンプリング ADC の低分解能でもできないことです。このような場合、メーカーは他の何らかの方法でノイズ・レベルと分解能を定義しなければなりません。どの方法を使うかはあまり重要ではありませんが、データシートには使用する方法と予想される性能の明確な定義を記載する必要があります。実効入力ノイズについては、本章で後から詳しく説明します。

これまでの説明では、データ・コンバータ関連の最も重要な DC 仕様については取り上げていません。重要性の低いその他の仕様については定義のみで済ませます。

精度、絶対。 DAC の絶対精度誤差とは、あるデジタル・コードがコンバータに入力されたときの実際のアナログ出力と期待される出力との差です。誤差は通常は分解能と一致し、例えば、フルスケールの 1/2 LSB 未満などです。ただし、一部のアプリケーションでは精度のほうが分解能よりも優れている場合があります。例えば、16 種のレベルのみをデジタル的に選択可能な 4 ビットの基準電源は分解能が 1/16 ですが、それぞれのレベルの精度がそれぞれの理想値の 0.01 % 以内になる場合です。

ある出力コードでの ADC の絶対精度誤差とは、そのコードを生成するのに必要な実際のアナログ入力電圧と理論上のアナログ入力電圧との差です。ある有限の帯域内ではいかなるアナログ電圧でもコードが生成されるため（「量子化の不確実性」を参照）、「コードを生成するのに必要な入力」は、そのコードを生成する入力の帯域の中央で定義されます。例えば、5 V、 ± 1.2 mV によって理論的に 1000 0000 0000 という 12 ビットのハーフスケール・コードが生成される場合、4.997 V ~ 4.999 V の任意の電圧がそのコードを生成するコンバータの絶対誤差は $(1/2)(4.997 + 4.999) - 5 \text{ V} = +2 \text{ mV}$ となります。

誤差源には、ゲイン（補正）誤差、ゼロ誤差、直線性誤差、ノイズがあります。絶対精度の測定は、国際的な許容基準に従った信号源と測定器を備えた一連の標準条件の下で実施する必要があります。

精度、対数 DAC。 0 dB でのゲイン誤差の補正後に測定された、実際の伝達関数と理想的な伝達関数との差（dB で測定）。

精度、相対。 %、ppm、または 1 LSB の分数で表される相対精度誤差は、フルスケール・レンジ（FSR）の補正後の（フルスケール・レンジを参照）、（デバイスの伝達特性の全アナログ範囲を基準とする）コードのアナログ値の（同じ範囲を基準とした）理論上の値からの偏差です。

デジタル値に対応する離散アナログ値は理想的には直線上にあるため、リニア ADC または リニア DAC で規定されている最悪ケースの相対精度誤差は、エンドポイントの非直線性を判断する尺度ととらえることができます（「直線性」を参照）。

DAC 伝達特性の「離散点」は、実際のアナログ出力によって測定されます。ADC の伝達特性の「離散点」は、各コードの量子化帯域の中央です（「精度、絶対」を参照）。

温度係数。 一般に温度の不安定性は、 $\%/^{\circ}\text{C}$ 、 $\text{ppm}/^{\circ}\text{C}$ 、 1°C あたりの 1 LSB の分数、あるいは規定温度範囲でのパラメータの変化分と表されます。測定は通常、室温および規定温度範囲の上下限で実施され、温度係数（tempco、TC）は、パラメータの変化を対応する温度変化で割った値として定義されます。対象となるパラメータには、ゲイン、直線性、オフセット（バイポーラ）、ゼロがあります。

a. **ゲインの温度係数:** 温度によるコンバータのゲインの安定性に影響する主な要素は 2 つあります。固定リファレンスのコンバータでは、リファレンス電圧が温度によって変動します。リファレンス用の回路とスイッチ（さらに補助コンバータのコンパレータ）もゲイン全体の温度係数に寄与します。

b. **直線性の温度係数:** 規定範囲における、 $\% \text{FSR}/^{\circ}\text{C}$ または $\text{ppm FSR}/^{\circ}\text{C}$ で表される直線性（積分または微分の直線性）の温度に対する感度。DAC の単調増加性は、対象範囲の温度で微分非直線性が 1 LSB 未満の場合に達成されます。微分非直線性の温度係数は、比率、つまり温度範囲全体に対する最大の変化の比として表されることもあれば、「このデバイスは規定の温度範囲で単調である」という記述で表現されることもあります。ノイズレスの ADC でミッシング・コードを避けるには、対象範囲内の任意の温度で微分非直線性誤差の大きさが -1 LSB より大きいだけで十分です。

微分非線形性の温度係数は、「規定温度範囲内で動作しているときにミッシング・コードが発生しない」という記述で表現されることがよくあります。DAC では、微分非直線性の温度係数は、「DAC が規定温度範囲で単調である」という記述でしばしば表現されます。

c. **ゼロの温度係数 (ユニポーラ・コンバータ)** : % FSR/°C または ppm FSR/°C の単位で測定される固定リファレンスのユニポーラ DAC の温度安定性は、

主に電流リーク (電流出力 DAC) と、出力オペアンプ (電圧出力 DAC) のオフセット電圧やバイアス電流の影響を受けます。ADC のゼロ安定性は、DAC や積分器、あるいは入力バッファやコンパレータのゼロ安定性に依存します。これは通常、 $\mu\text{V}/^\circ\text{C}$ 、あるいは 1°C あたりのフルスケール・レンジ (FSR) のパーセントまたは ppm で表されます。

d. **オフセットの温度係数**: バイポーラ・コンバータの DAC の全スイッチをオフにしたとき (負のフルスケール) の温度係数 (単位は % FSR/°C または ppm FSR/°C) は、リファレンス・ソースの温度係数と、出力アンプの電圧ゼロ安定性、バイポーラ・オフセット抵抗とゲイン抵抗のトラッキング能力に依存します。ADC では、負のフルスケールに対応する温度係数も類似した量、つまり、リファレンス・ソースの温度係数、入力バッファおよびサンプル&ホールドの電圧安定性、バイポーラ・オフセット抵抗とゲイン設定用抵抗のトラッキング能力に依存します。

コモンモード電圧範囲。同相ノイズ除去は通常、入力信号の振幅範囲の大きさによって異なり、コモンモード電圧と差動電圧の合計で決まります。**コモンモード電圧範囲**とは、規定の同相ノイズ除去が維持される入力電圧全体の範囲のことです。例えば、コモンモード信号が $\pm 5\text{ V}$ で差動信号が $\pm 5\text{ V}$ の場合、コモンモード電圧範囲は $\pm 10\text{ V}$ となります。

同相ノイズ除去 (CMR) とは、両方の入力が同量の AC 電圧または DC 電圧によって変化したときの出力電圧の変化量です。同相ノイズ除去は通常は比率 (例えば、 $\text{CMRR} = 1,000,000:1$) またはデシベル単位で表されます。すなわち、 $\text{CMR} = 20\log_{10}\text{CMRR}$ です。したがって、 $\text{CMRR} = 10^6$ ならば、 $\text{CMR} = 120\text{ dB}$ です。 CMRR が 10^6 とは、入力での $1\ \mu\text{V}$ の差動信号が、デバイスの出力では 1 V のコモンモード電圧になることを意味します。

CMR は通常、ある与えられた周波数、および規定のソース・インピーダンスの不均衡 (例えば、 $1\text{ k}\Omega$ のソース不均衡、 60 Hz) における、フルレンジのコモンモード電圧 (CMV) の変化分で規定されます。アンプでは、同相ノイズ除去比は、同相ゲインに対する信号ゲイン G の割合 (入力の CMV に対する出力に現れる同相信号の比) として定義されます。

コモンモード電圧 (CMV)。出力のリファレンス (通常は「グラウンド」) を基準として、デバイスの両方の入力端子に共通に現れる電圧。入力がグラウンドを基準として V_1 と V_2 の場合は、 $\text{CMV} = 1/2 (V_1 + V_2)$ になります。理想的な差動入力デバイスでは CMV は無視されます。**コモンモード誤差 (CME)** とは、コモンモード入力電圧に起因する出力誤差のことです。内部のコモンモード効果である電源電圧変動に起因する誤差は別途規定されます。

コンプライアンス電圧範囲。電流源（例えば、電流出力 DAC）の場合は、デバイスが規定の電流出力特性を維持する（出力）端子電圧の最大範囲。

差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス: ADC のそれぞれのアナログ入力ポートで測定される実数と複素のインピーダンス。抵抗は静的に測定され、容量と差動入力インピーダンスはネットワーク・アナライザを用いて測定されます。

差動アナログ入力電圧範囲。フルスケールの応答を生成するためにコンバータに印加しなければならないピークtoピークの差動電圧。ピークの差動電圧は、片方のピンの電圧を観測し、他方のピンから 180 度位相がずれた電圧を差し引いて計算します。ピークtoピークの差動電圧は、入力位相を 180 度回転させてピーク測定を再度実施することによって計算します。次に、両方のピーク測定値の差を計算します。

フルスケール・レンジ (FSR)。バイナリ型の ADC と DAC の場合は、電圧、電流の大きさ、乗算型 DAC ゲインの場合はゲインの大きさであり、MSB が正確に 1/2 に規定される大きさ、あるいは任意ビットまたは複数ビットの組み合わせが（それらの）所定の理想的な比率でテストされる大きさです。FSR は分解能とは無関係です。LSB（電圧、電流、またはゲイン）の値は 2^{-N} FSR となります。他の用語で、意味がそれぞれ異なり、フルスケール・レンジを含む説明や動作の文脈でよく使用されるものがいくつかあります。それらを以下に挙げます。

フルスケール — フルスケール・レンジに似ていますが、単極性と関係があります。したがって、ユニポーラ・デバイスのフルスケールは MSB の規定値の 2 倍となり、同じ極性になります。バイポーラ・デバイスの場合、正または負のフルスケールは、極性ビットのテスト後の次のビットが 1/2 となる値で、正または負の値です。

スパン — FSR に相当するスカラー電圧または電流の範囲。

オール 1 — 全ビットがオン。メーカーの指示に従い、ADC または DAC のゲイン調整用にオール 0 とともに使用される条件。バイナリ・デバイスの場合、大きさは $(1 - 2^{-N})$ FSR になります。オール 1 は、特定の大小関係における真陽性の定義です。相補型コーディングでは、オール 1 のコードは実際にはすべてがゼロになります。混乱を避けるために、オール 1 を決して「フルスケール」と呼ばないようにします。FSR と FS はビット数とは無関係ですが、オール 1 はそうではありません。

オール 0 — 全ビットがオフ。メーカーの指示に従って、DAC または ADC のオフセット（およびゲイン）調整用に使用される条件。オール 0 はユニポーラ DAC のゼロ出力に相当し、出力リファレンスが正のオフセット・バイポーラ DAC では負のフルスケールに相当します。符号付き絶対値のデバイスでは、オール 0 は符号ビットの後のすべてのビットがゼロであることを指します。「オール 1」と同様に、「オール 0」は全ビットがオフ状態であることを表す真陽性の定義です。相補型符号デバイスでは、すべてが 1 で表されます。混乱を避けるために、オール 0 は、DAC からの真のアナログ・ゼロ出力に正確に対応している場合を除き、「ゼロ」と呼ばないようにします。

実際のデバイスのクリティカル・ポイントを定義する最善の方法は、クリティカル・コードとそれに対応する理想的な電圧、電流、ゲインなどを、測定条件とともにまとめた表を定義することです。

ゲイン: コンバータの「ゲイン」とは、公称の変換関係、例えば 10 V フルスケールを定めるアナログのスケール・ファクタ設定です。乗算型 DAC またはレシオメトリック ADC では、これが実際のゲインになります。固定リファレンスを内蔵するデバイスでは、出力パラメータのフルスケールの大きさ（例えば、10 V または 2 mA）で表されます。内蔵リファレンスの使用がオプションであるような固定リファレンスのコンバータでは、コンバータのゲインとリファレンスの仕様が別々に規定されることがあります。ゲインとゼロの調整についてはゼロのところで説明しています。

インピーダンス、入力: 入力ソースから見た ADC の動的負荷。バッファのない CMOS スイッチド・キャパシタ ADC では、コンバータのクロック周波数で電流トランジェントが生じるため、高精度に変換するには、（過渡電流に含まれる周波数で）コンバータを低インピーダンスで駆動する必要があります。バッファ付き入力 ADC の場合は、通常、入力インピーダンスは抵抗性と容量性の成分で表されます。

入力換算ノイズ（実効入力ノイズ）: 入力換算ノイズは、入力に換算される、ADC 内部のすべてのノイズ源の正味の影響と見なすことができます。これは一般に LSB rms で表されますが、電圧で表されることもあります。6.6 倍することによりピーク to ピーク値に変換することができます。さらに、ピーク to ピーク入力換算ノイズを使って、ノイズフリーのコード分解能を計算することもできます。（ノイズフリー・コード分解能を参照）。

リーク電流、出力: 全ビットがオフのときに DAC の出力端子に現れる電流。2 の補数出力型コンバータ（例えば、多くの高速 CMOS DAC）の場合、すべてのデジタル入力がローのとき、出力のリーク電流は OUT 1 で測定される電流で、すべてのデジタル入力がハイのときは、OUT 2 で測定される電流。

出力伝搬遅延: シングルエンドのサンプリング（または ENCODE）クロック入力を持つ ADC の場合、サンプリング・クロックの 50 % の時点から、全出力データ・ビットが有効なロジック・レベルに達するまでの時間の遅延。差動サンプリング・クロック入力を持つ ADC の場合、遅延は差動サンプリング・クロック信号のゼロ交差を基準にして測定されます。

出力電圧許容差: リファレンスの場合、25 °C および規定の入力電圧での標準出力電圧からの最大偏差。認定済みの基本電圧標準とのトレーサビリティが確保されたデバイスで測定されます。

過負荷: 過負荷状態を生じる、ADC のフルスケール入力範囲を超える入力電圧。

過電圧リカバリ時間: 過電圧からの回復時間は、過電圧（通常はフルスケール・レンジより 50 % 大きい値）になってから ADC で特定の精度が得られるまでに必要な時間と定義されます。過電圧信号がコンバータの入力電圧範囲に再び入った時点から測定されます。ADC は範囲外信号を制限する理想的なリミッタとして機能し、過電圧状態時は正または負のフルスケールのコードを生成する必要があります。ADC によっては、オーバーレンジ・フラグとアンダーレンジ・フラグによりゲイン調整回路をアクティブにするものがあります。

オーバーレンジ、過電圧: ADC の入力範囲を超えているが過負荷までには至らない入力信号。

電源電圧変動除去比 (PSRR) : DC 電源電圧の変動が規定のデバイス誤差の変動に占める割合。ppm または 1 LSB の分数で表されます。dB で対数表示されることもあります ($PSR = 20 \log_{10}(PSRR)$)。

電源電圧変動感度。

電源電圧の変動に対するコンバータの感度は、通常、電源の 1 % の DC 変動に対して、アナログ値の変動がフルスケールに対するパーセンテージ値で表されるか、または 1 LSB の割合 (DAC 出力、ADC 出力のコード・センター) で表されます (例: $0.05 \%/\% \Delta V$)。電源感度は、電源電圧からの DC の最大のずれとして規定されることもあります。フルスケールにおける値の変動が電源電圧の 3 % の変動に対して $\pm 1/2$ LSB を超えない場合、コンバータは「良好」であると考えられます。バッテリーでの動作用に設計されたコンバータでは、さらに優れた仕様が必要です。

レシオメトリック: ADC の出力は、リファレンス電圧に対する (何らかの) 入力量の比に比例したデジタル数値です。ほとんどの変換条件では、絶対的な測定、つまり固定リファレンスに対する測定を必要とします。ただし、このことは、コンバータに印加される信号がリファレンスに依存しないか、または何らかの方法で別の固定リファレンスから与えられることが前提となります。しかし、実際のリファレンスは本当に固定されているわけではありません。コンバータと信号源のリファレンスは、時間、温度、負荷などによって変化します。したがって、リファレンスに依存する信号源 (例えば、ストレイン・ゲージ・ブリッジ、RTD、サーミスタ) と一緒にコンバータを使うのであれば、この複数のリファレンスを 1 つのシステム・リファレンスで置き換えることは理にかなっていません。リファレンスに起因する誤差は相殺される傾向があるからです。これは、コンバータ内蔵のリファレンス (存在する場合) をシステム・リファレンスとして使用することで可能になります。別に外部のシステム・リファレンスを使用する方法もあり、このリファレンスはレシオメトリック・コンバータのリファレンスにもなります。

制限された範囲で、レシオメトリック変換は、アナログまたはデジタルの信号分割 (変換中に分母が $1/2$ LSB 未満だけ変化する) の代わりとして機能することもできます。信号入力が分子に、リファレンス入力が分母になります。

総合未調整誤差: 一連の指定条件でのフルスケール誤差、相対精度、ゼロコード誤差など、一部のデバイスに対する総合的な仕様。

注記

6.6: データ・コンバータの AC 誤差

このセクションでは、データ・コンバータに関連する AC 誤差について説明します。誤差と仕様の多くは ADC と DAC に等しく適用されますが、一部の仕様については、一方でより詳細に規定されています。ここではすべての仕様について論じることはせず、最も一般的な仕様についてのみ説明します。

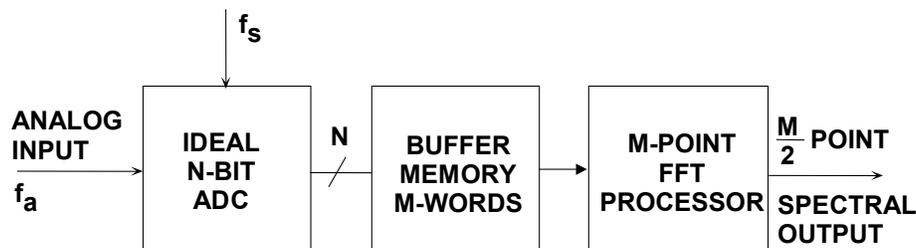


図 6.121: 理想的な N ビット ADC のダイナミック性能解析

ほとんどのアプリケーションでは、ADC への入力はある 1 つの周波数帯域になります（通常はそれにノイズが多少加わります）。そのため、量子化ノイズはランダムになる傾向があります。しかし、スペクトル分析アプリケーションでは（あるいはスペクトル的に純度の高いサイン波を使って ADC で FFT を実行する場合）、量子化ノイズと信号間の相関関係はサンプリング周波数と入力信号の比に依存します（図 6.121 参照）。これを図 6.122 に示します。ここでは、理想的な 12 ビット ADC の出力を 4096 ポイントの FFT を使って解析しています。左側の FFT プロットでは、サンプリング周波数の入力周波数に対する比をちょうど 32 とすると、最悪の高調波は基本波より約 76 dB 低くなっています。右側の図は、比率をわずかにずらして $4096/127 = 32.25196850394$ としたときの効果を示しています。比較的ランダムなノイズ・スペクトルが示されています。ここで、SFDR は約 92 dBc です。どちらの場合も、全ノイズ成分の実効値は約 $q\sqrt{12}$ ですが、最初のケースでは、ノイズは基本波の高調波に集中しています。

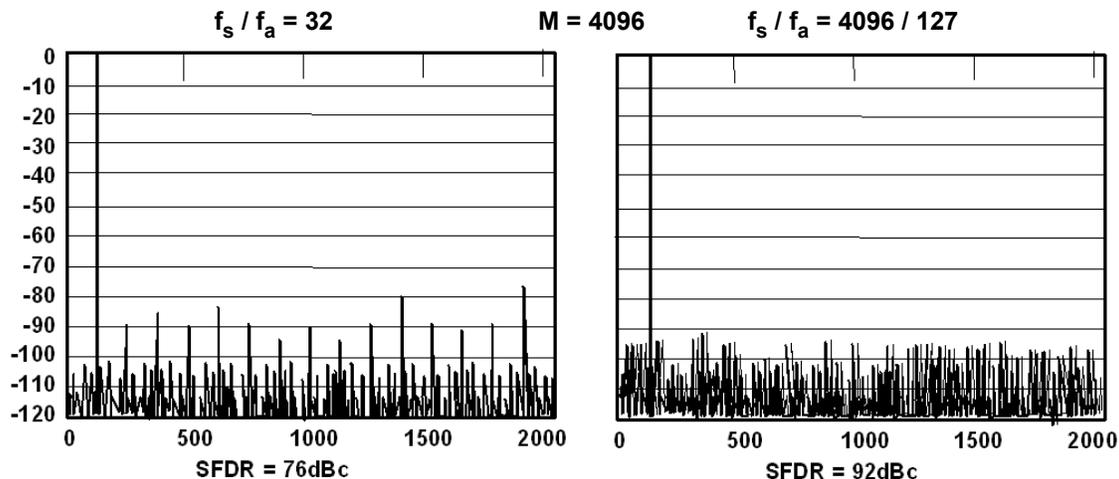


図 6.122: サンプリング・クロックと入力周波数の比が理想的な 12 ビット ADC の SFDR に与える影響

ここに示された ADC の高調波歪みの変動は、サンプリング処理のアーチファクトで、量子化誤差と入力周波数の相関関係を表すことに注意してください。実際の ADC アプリケーションでは、量子化誤差は一般にランダムなノイズとして現れます。これは、広帯域入力信号にランダムな性質があるためと、通常わずかに存在するシステム・ノイズがディザ信号として作用して、量子化誤差のスペクトルをいっそうランダム化するためです。

ADC に対するシングル・トーン・サイン波の FFT テストは、性能評価手法として一般に受け入れられているため、上記の点を知っておくことが重要です。ADC の高調波歪みを正確に測定するためには、量子化ノイズの相関関係によるアーチファクトではなく、ADC の歪みを正しく測定できるような方法を取る必要があります。それには、周波数比を適切に選択し、場合によっては入力信号に少量のノイズ（ディザ）を注入します。アナログ・スペクトル・アナライザで DAC の歪みを測定する場合にも、全く同じ点に注意します。

理想的な 12 ビット ADC の FFT 出力を図 6.123 に示します。FFT のノイズ・フロアの平均値はフルスケールよりも 100 dB ほど低めですが、12 ビット ADC の理論上の S/N 比は 74 dB であることに注意してください。FFT のノイズ・フロアは ADC の S/N 比ではありません。FFT は帯域幅が f_s/M (M は FFT のポイント数) のアナログ・スペクトル・アナライザと同様に機能するためです。したがって、理論的な FFT ノイズ・フロアは、FFT のプロセス・ゲインのために量子化のノイズ・フロアより $10\log_{10}(M/2)$ dB 小さくなります。S/N 比が 74 dB であるような理想的な 12 ビット ADC の場合、4096 ポイントの FFT では $10\log_{10}(4096/2) = 33$ dB のプロセス・ゲインが得られるため、全体の FFT ノイズ・フロアは $74 + 33 = 107$ dBc となります。実際、FFT のノイズ・フロアは、FFT のサイズを大きくすればするほどいっそう低減できます。アナログ・スペクトル・アナライザのノイズ・フロアが、帯域幅を狭めると低減できるのと全く同じです。FFT を使って ADC をテストする場合は、歪み成分を FFT のノイズ・フロアと区別できるように、FFT のサイズを十分に大きくすることが重要です。

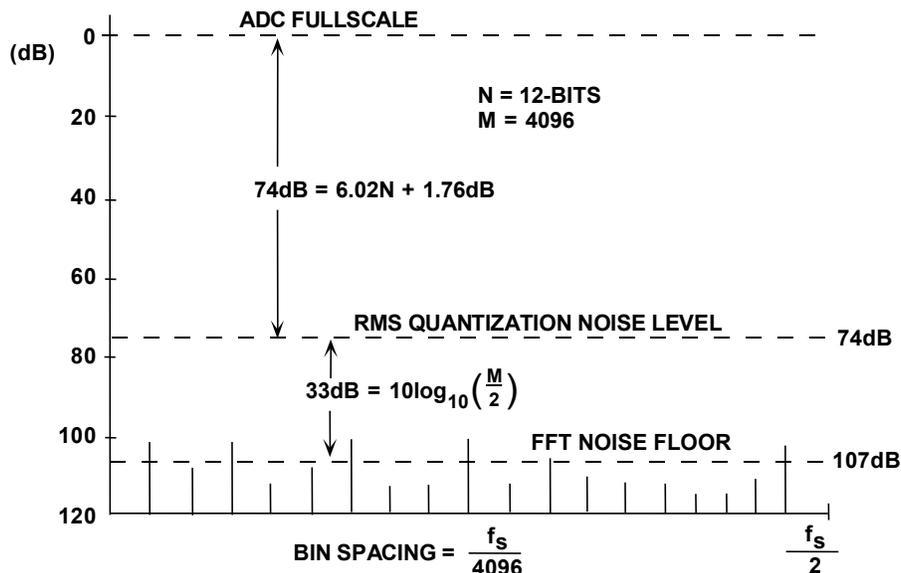


図 6.123: 4096 ポイントの FFT を用いた理想的な 12 ビット ADC のノイズ・フロア

実際の ADC のノイズ

アーキテクチャにかかわらず、実際のサンプリング ADC（積分サンプル&ホールドを内蔵した ADC）にはノイズや歪みの発生源がいくつかあります（図 6.124 参照）。広帯域のアナログ・フロント・エンド・バッファには広帯域ノイズや非線形性があり、帯域幅も有限です。SHA（サンプル&ホールド・アンプ）により、さらに非線形性、帯域制限、アパーチャ・ジッタが追加されます。また、ADC の実際の量子化器部分では、量子化ノイズと、積分や微分の非線形性が追加されます。以下の説明では、ADC のシーケンシャル出力が長さ M のバッファ・メモリにロードされ、FFT プロセッサがスペクトルを出力するものとします。また、FFT 演算自体は ADC に対して重大な誤差を与えないものとします。ただし、出力のノイズ・フロアを調べるときは、FFT のプロセス・ゲイン（M に依存）を考慮する必要があります。

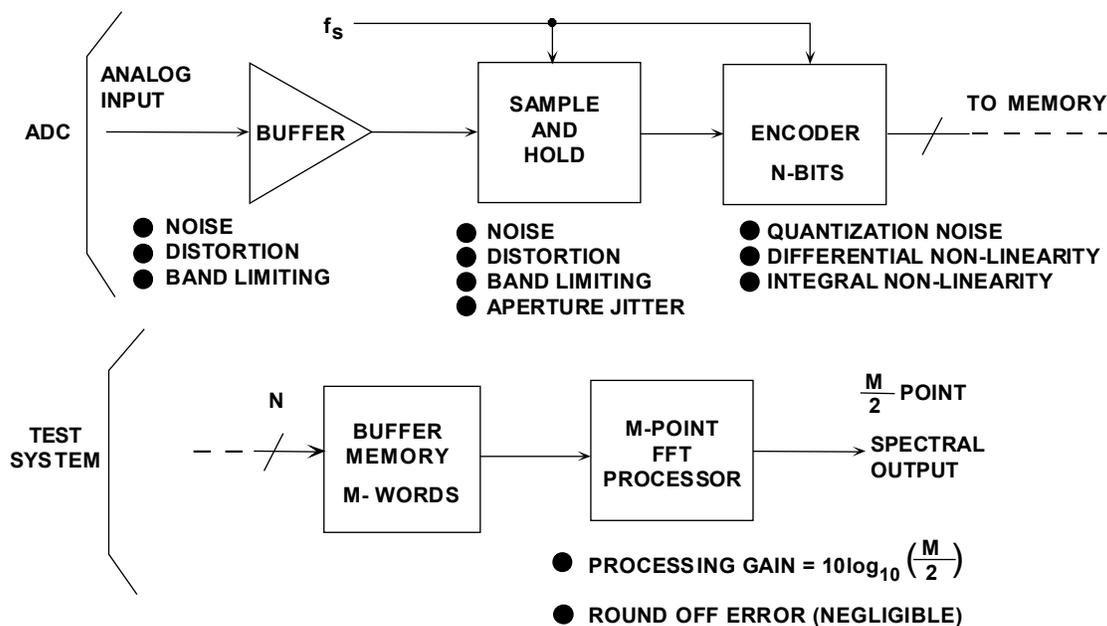


図 6.124: ノイズ源と歪み源を示す ADC モデル

等価入力換算ノイズ

広帯域 ADC の内部回路は、抵抗ノイズと kT/C ノイズに起因する一定量のノイズの実効値を発生します。このノイズは DC 入力信号も存在し、ほとんどの広帯域（または高分解能）ADC の出力では、このノイズにより DC 入力の公称値を中心としてコードが分布することがわかります（図 6.125 参照）。この値を測定するには、ADC の入力を接地するか、または十分デカップリングされた電圧源に接続し、多数の出力サンプルを収集して、ヒストグラム（グラウンド入力ヒストグラムと呼ばれることがある）としてプロットします。このノイズはほぼガウス分布であるため、ヒストグラムの標準偏差は簡単に計算可能です（参考資料 6 参照）、実効入力ノイズの実効値に相当します。このノイズの実効値は LSB の実効値を使って表すのが一般的ですが、ADC のフルスケール入力範囲に換算した電圧の実効値で表すこともできます。

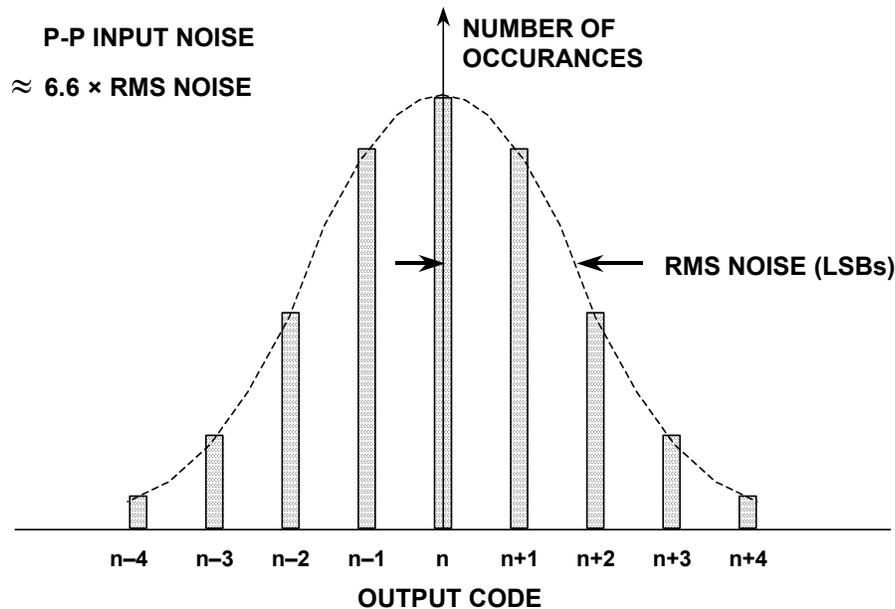


図 6.125: 入力換算ノイズが ADC の「グラウンド入力」ヒストグラムに及ぼす影響

ノイズフリー（フリッカーフリー）コード分解能

ADC のノイズフリー・コード分解能とは、それ以上個別のコードを明確に分解できないビット数のことです。その原因は、すべての ADC に関連する上述の実効入力ノイズ（または入力換算ノイズ）です。このノイズは実効値の量で表すことが可能で、通常は LSB 実効値の単位になります。これを 6.6 倍すると、ノイズの実効値がピーク to ピーク値に変換されます（LSB のピーク to ピーク値で表される）。N ビット ADC の全範囲は 2^N LSB になります。ノイズフリー（またはフリッカーフリー）の分解能は、次式を使って計算できます。

$$\text{ノイズフリー・コード分解能} = \log_2 (2^N / \text{ピーク to ピーク・ノイズ}) \quad \text{式 6.17}$$

この仕様は、一般に測定用の高分解能 $\Sigma\Delta$ ADC に関連するものですが、すべての ADC に適用できます。

分解能を計算するのに、入力ノイズの実効値に対するフルスケール・レンジの比が使用されることがあります。この場合、**有効分解能**という用語が使用されます。同一条件では、有効分解能のほうがノイズフリー・コード分解能よりも $\log_2 (6.6)$ 、つまり約 2.7 ビットだけ大きいことに注意してください。

$$\text{有効分解能} = \log_2 (2^N / \text{入力ノイズの実効値}) \quad \text{式 6.18}$$

$$\text{有効分解能} = \text{ノイズフリー・コード分解能} + 2.7 \text{ ビット} \quad \text{式 6.19}$$

この計算を図 6.126 にまとめています。

$$\begin{aligned}
 \blacklozenge \text{ Effective Input Noise} &= e_n \text{ rms} \\
 \blacklozenge \text{ Peak-to-Peak Input Noise} &= 6.6 e_n \text{ rms} \\
 \blacklozenge \text{ Noise-Free Code Resolution} &= \log_2 \left[\frac{\text{Peak-to-Peak Input Range}}{\text{Peak-to-Peak Input Noise}} \right] \\
 &= \log_2 \left[\frac{2^N}{\text{Peak-to-Peak Input Noise (LSBs)}} \right] \\
 \blacklozenge \text{ "Effective Resolution"} &= \log_2 \left[\frac{\text{Peak-to-Peak Input Range}}{\text{RMS Input Noise}} \right] \\
 &= \log_2 \left[\frac{2^N}{\text{RMS Input Noise (LSBs)}} \right] \\
 &= \text{Noise-Free Code Resolution} + 2.7 \text{ bits}
 \end{aligned}$$

図 6.126: 入力換算ノイズを使用したノイズフリー（フリッカーフリー）コード分解能の計算

データ・コンバータのダイナミック性能

ADC の AC 性能を特性評価するにはさまざまな方法があります。ADC 技術の初期段階（30 年以上前）には、AC 仕様はほとんど標準化されておらず、計測機器や技術は十分に理解されていないか利用可能でもありませんでした。ほぼ 30 年間にわたって、メーカーと顧客はコンバータのダイナミック性能の測定に関する経験を積んできました。図 6.127 に示す仕様は、現在最も一般的に使用されている仕様を示しています。実質的にすべての仕様は周波数領域でのコンバータの性能を表しています。FFT はこれらすべての測定の中心であり、後のセクションで詳しく説明します。

積分および微分の非直線性歪みの影響

データ・コンバータの非線形性を調べる際に最初に理解しなければならないことの 1 つは、データ・コンバータの伝達関数が、オペアンプやゲイン・ブロックなどの従来のリニア・デバイスでは生じないようなアーチファクトを発生させることです。ADC 全体の積分非直線性は、フロント・エンドと SHA の積分非直線性に加え、ADC の伝達関数全体の積分非直線性に起因します。しかし、微分非線形性は符号化プロセスのみに起因するため、ADC の符号化アーキテクチャによってかなり変化する可能性があります。全体的な積分非直線性は歪みを生じさせ、その振幅は入力信号振幅に応じて変化します。例えば、2 次相互変調積は信号レベルが 1 dB 増えるごとに 2 dB 増加し、3 次積は信号レベルが 1 dB 増えるごとに 3 dB 増加します。

- ◆ Harmonic Distortion
- ◆ Worst Harmonic
- ◆ Total Harmonic Distortion (THD)
- ◆ Total Harmonic Distortion Plus Noise (THD + N)
- ◆ Signal-to-Noise-and-Distortion Ratio (SNAD, or S/N +D)
- ◆ Effective Number of Bits (ENOB)
- ◆ Signal-to-Noise Ratio (SNR)
- ◆ Analog Bandwidth (Full-Power, Small-Signal)
- ◆ Spurious Free Dynamic Range (SFDR)
- ◆ Two-Tone Intermodulation Distortion
- ◆ Multi-tone Intermodulation Distortion
- ◆ Noise Power Ratio (NPR)
- ◆ Adjacent Channel Leakage Ratio (ACLR)
- ◆ Noise Figure
- ◆ Settling Time, Overvoltage Recovery Time

図 6.127: 量子化データ・コンバータのダイナミック性能

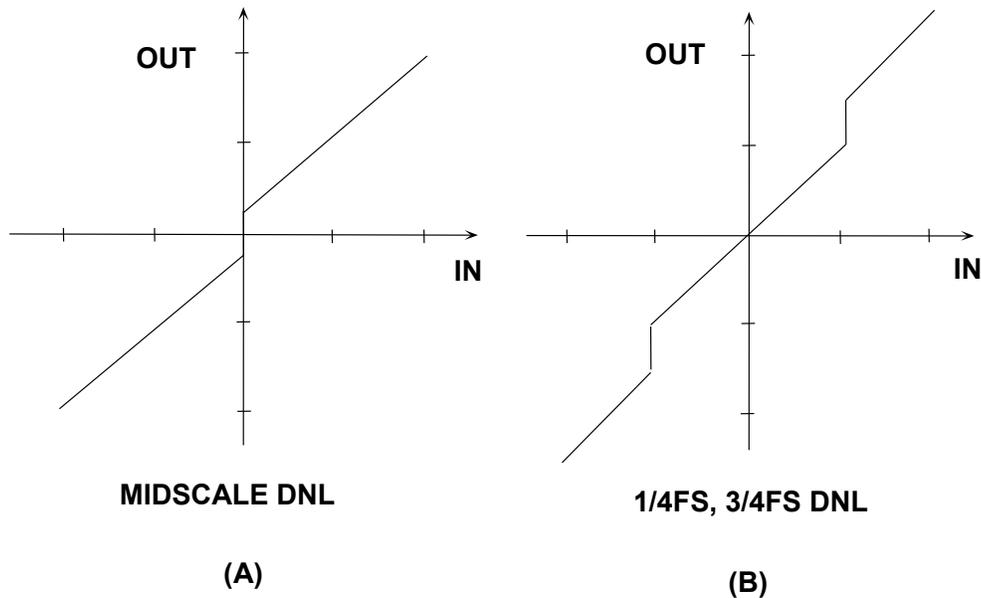


図 6.128: 代表的な ADC/DAC の DNL 誤差 (拡大表示)

ADC の伝達関数の微分非直線性は歪みを生じさせますが、これは信号の振幅だけでなく、ADC の伝達関数上での微分非直線性誤差の位置にも依存します。

微分非線形性のある ADC の 2 つの伝達関数を図 6.128 に示します。左側の図は中点で発生する誤差を示しています。したがって、大信号と小信号のどちらでも、信号がこの点を横切るときに歪みを生成しますが、これは信号振幅とは相対的に無関係です。右側の図は、フルスケールの 1/4 と 3/4 で微分非直線性誤差がある、別の ADC の伝達関数を示しています。ピーク to ピークの半分を超える振幅の信号はコード変換すると歪みを発生させますが、ピーク to ピークの半分未満の信号は発生させません。

ほとんどの高速 ADC は ADC のレンジ全体で微分非直線性が得られるように設計されています。したがって、フルスケールの数 dB 以内の信号に対しては、伝達関数全体での積分非直線性が歪み積を決定します。ただ、これより低レベルの信号の場合、高調波成分は微分非線形性が優勢になるため、一般には信号振幅の減少に応じて低減することはありません。

高調波歪み、最悪高調波、全高調波歪み (THD)、全高調波歪み+ノイズ (THD + N)

ADC の歪みを定量化する方法はいくつかあります。FFT 解析を利用すれば、信号のさまざまな高調波の振幅を測定することができます。入力信号の高調波は、周波数スペクトルの位置で他の歪み成分と区別することができます。7 MHz の入力信号を 20 MSPS でサンプリングしたときに現れる、最初の 9 次までの高調波の位置を図 6.129 に示します。 f_a の折り返された高調波歪みは、 $|\pm Kf_s \pm nf_a|$ の周波数に現れます。ここで n は高調波の次数で、 $K=0, 1, 2, 3, \dots$ です。通常、データシートには、ほかと比べて大きい 2 次と 3 次の高調波歪みか、あるいは最悪の高調波歪みの値が規定されます。

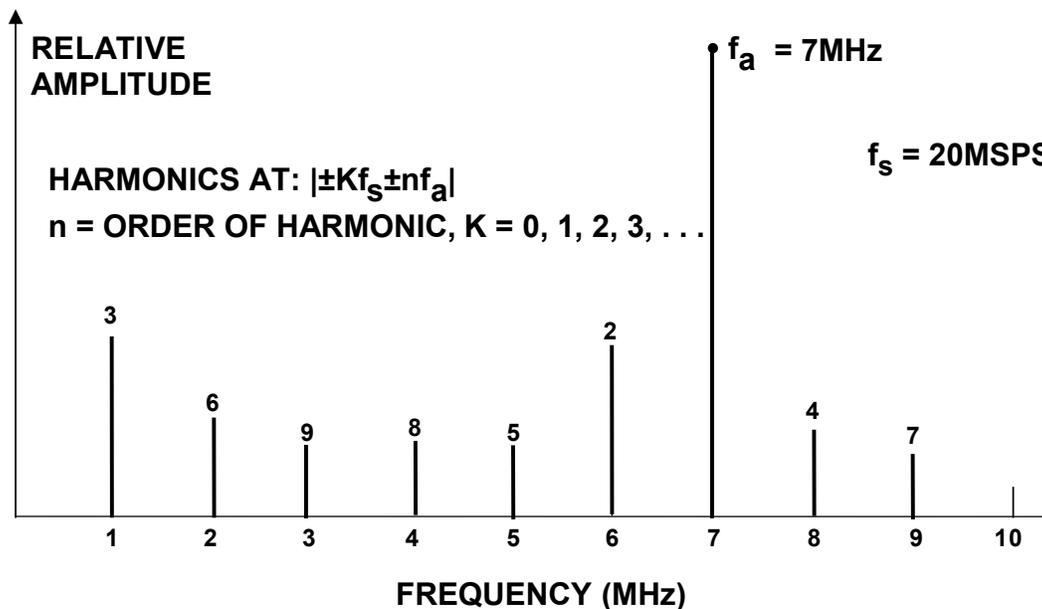


図 6.129: 歪み成分の位置 (入力信号: 7 MHz、サンプリング・レート: 20MSPS)

高調波歪みは通常、dBc（対キャリア・レベル比）で表され、オーディオ用途ではパーセントで表されます。高調波歪みは通常、フルスケールに近い入力信号で規定されますが（クリッピングを防ぐために一般にフルスケールより 0.5 dB ~ 1 dB 小さい値）、どのような信号レベルでも規定することができます。フルスケールよりかなり小さい信号の場合、コンバータの DNL に起因する歪み成分（直接高調波ではない）により性能が制限されます。

全高調波歪み（THD）は、基本周波数信号の実効値と、高調波成分（一般に最初の 5 つの高調波が大きい）の 2 乗和平方根の平均値との比です。ADC の THD も、一般にフルスケールに近い入力信号で規定されますが、任意のレベルで規定されることもあります。

全高調波歪み + ノイズ（THD + N）は、基本波信号の実効値と、高調波成分にすべてのノイズ成分を加えた値（DC を除く）の 2 乗和平方根の平均値との比です。ノイズを測定する帯域幅を指定する必要があります。FFT の場合、帯域幅は DC ~ fs/2 となります。（測定の帯域幅が DC ~ fs/2 の場合、THD + N と SINAD は等しくなります。以下を参照）。

信号／ノイズ + 歪み（SINAD）、信号／ノイズ比（S/N 比）、有効ビット数（ENOB）

SINAD と S/N 比については、ADC のメーカー間で定義が微妙に異なるので注意が必要です。信号／ノイズ + 歪み（SINAD または S/(N+D)）は、信号の実効値と、高調波を含む他のすべてのスペクトル成分（DC を除く）の 2 乗和平方根（rss）の平均値との比で表します（図 6.130 参照）。SINAD は、ノイズ（熱ノイズを含む）と歪みを構成するすべての成分を含むため、入力周波数の関数として ADC 全体の動的性能を示す良い指標です。さまざまな入力信号振幅を示すために、SINAD をプロット表示することがよくあります。ノイズ測定の帯域幅が同じならば、SINAD と THD + N は一致します。12 ビット、65 MSPS ADC の AD9226 における代表的なプロットを図 6.131 に示します。

- ◆ **SINAD (Signal-to-Noise-and-Distortion Ratio):**
 - The ratio of the rms signal amplitude to the mean value of the root-sum-squares (RSS) of all other spectral components, including harmonics, but excluding DC.

- ◆ **ENOB (Effective Number of Bits):**

$$\text{ENOB} = \frac{\text{SINAD} - 1.76\text{dB}}{6.02}$$

- ◆ **SNR (Signal-to-Noise Ratio, or Signal-to-Noise Ratio Without Harmonics):**
 - The ratio of the rms signal amplitude to the mean value of the root-sum-squares (RSS) of all other spectral components, excluding the first 5 harmonics and DC

図 6.130: SINAD、ENOB、S/N 比

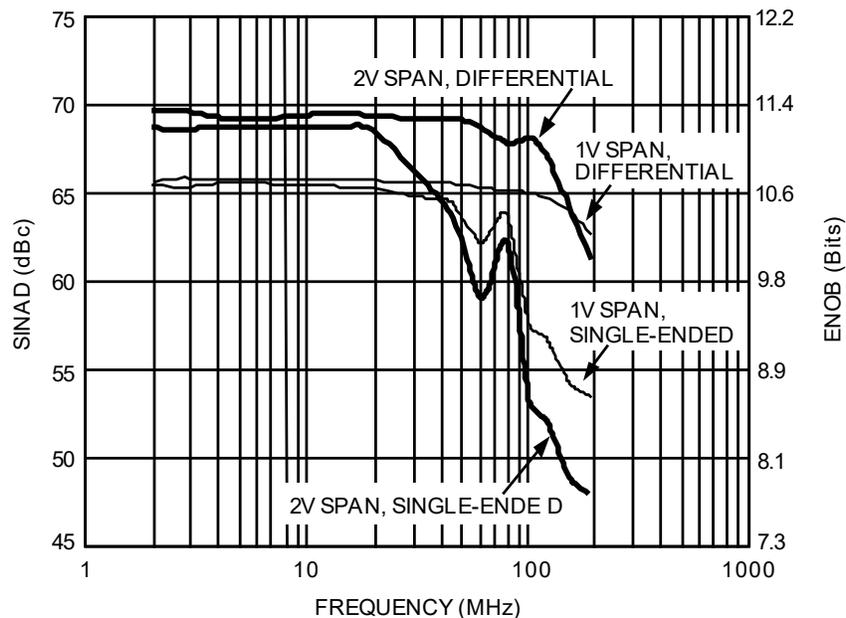


図 6.131: さまざまな入力フルスケール・スパン（レンジ）における 12 ビット、65MSPS ADC AD9226 の SINAD および ENOB

SINAD のプロットは、ADC の AC 性能が高周波歪みにより低下する場所を示しています。通常、アンダーサンプリング・アプリケーションでの性能を評価できるように、ナイキスト周波数よりかなり高い周波数に対する SINAD がプロットされます。SINAD は、多くの場合、理想的な N ビット ADC の理論上の S/N 比 = $6.02N + 1.76 \text{ dB}$ の関係式を用いて有効ビット数（ENOB: Effective Number of Bits）に変換されます。N について S/R 比の方程式を解き、有効ビット数を求めます。SINAD の代わりに S/R 比を利用することもあります。

$$\text{ENOB} = \frac{\text{SINAD} - 1.76\text{dB}}{6.02} \quad \text{式 6.20}$$

信号／ノイズ比（S/N 比または高調波なしの S/N 比は SINAD と同様に計算されますが、計算から信号の高調波が除かれ、ノイズ項だけを残す点が異なります。実際には、中心的な 5 次以下の高調波を除けば十分です。S/N 比は試験周波数を高くすると劣化しますが、高調波を含まないため SINAD ほど急激に変化しません。

最近の ADC のデータシートでは、SINAD のことを S/N 比と呼んでいることが多いので、仕様を解釈するときは注意が必要です。

アナログ帯域幅

ADC のアナログ帯域幅は、入力信号周波数を掃引し、基本波成分のスペクトラム（FFT で求める）が 3 dB 低くなった周波数で定義されます。この帯域幅は、小信号に対して（SSBW:小信号帯域幅）またはフルスケール信号に対して（FPBW:フルパワー帯域幅）規定することができるので、ADC のメーカー間の仕様が大きく異なることがあります。

小信号帯域幅はフルパワー帯域幅よりも大きくなります。これはコンバータのアナログ部分のスルー・レートに関連しています。また、これはオペアンプの帯域幅の仕様と同様です。

アンプと同様、コンバータのアナログ帯域幅の仕様は、ADC が帯域幅の最大周波数まで優れた歪み性能を維持することを意味するものではありません。実際、ほとんどの ADC の SINAD (または ENOB) は、入力周波数が 3dB 帯域幅に近づく前に大きく低下します。FPBW が 1 MHz の場合の ADC の ENOB とフルスケールの周波数応答を図 6.132 に示しますが、ENOB は 100 kHz を超えると急激に低下し始めています。

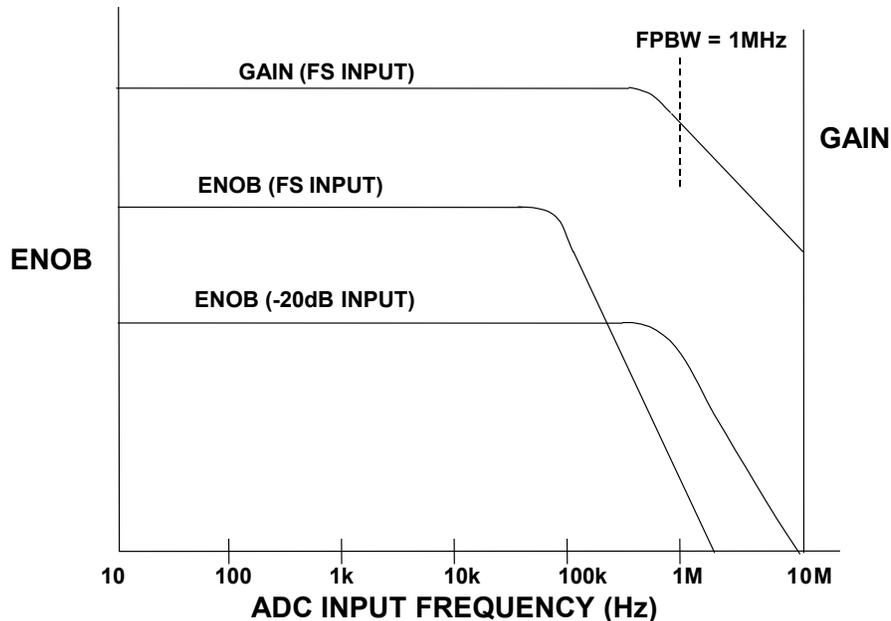


図 6.132: ADC ゲイン（帯域幅）および ENOB 対周波数からわかる ENOB 仕様の重要性

一部のシステム、特にビデオ・アプリケーションでは、0.1 dB 低下するレベルで帯域幅の仕様が規定されています。

スプリアスフリー・ダイナミック・レンジ (SFDR)

通信用途で使用される ADC にとっては、スプリアスフリー・ダイナミック・レンジ (SFDR) が最も重要な仕様。ADC にとって、SFDR はミキサーや LNA の 3 次インターセプト・ポイントに相当します。ADC の SFDR は、信号振幅の実効値と、対象の帯域幅で測定されたピーク・スプリアス・スペクトル成分の実効値との比として定義されます。特に指定のない限り、帯域幅はナイキスト帯域幅 DC ~ $f_s/2$ とされます。

場合によっては、周波数スペクトルが帯域内領域（対象の信号を含む）と帯域外領域（信号はここでデジタル的にフィルタリングされる）に分割されることがあります。この場合には、帯域内の SFDR 仕様と帯域外の SFDR 仕様がそれぞれ記載されます。

通常、SFDR は信号振幅の関数としてプロットされ、信号振幅（dBc）または ADC フルスケール値（dBFS）を基準にして表されます（図 6.133 参照）。

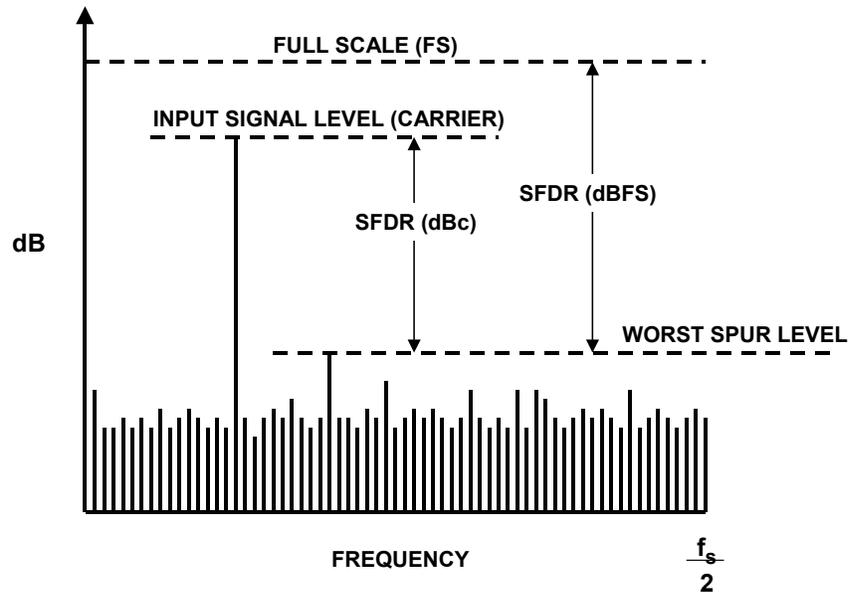


図 6.133: スプリアスフリー・ダイナミック・レンジ (SFDR)

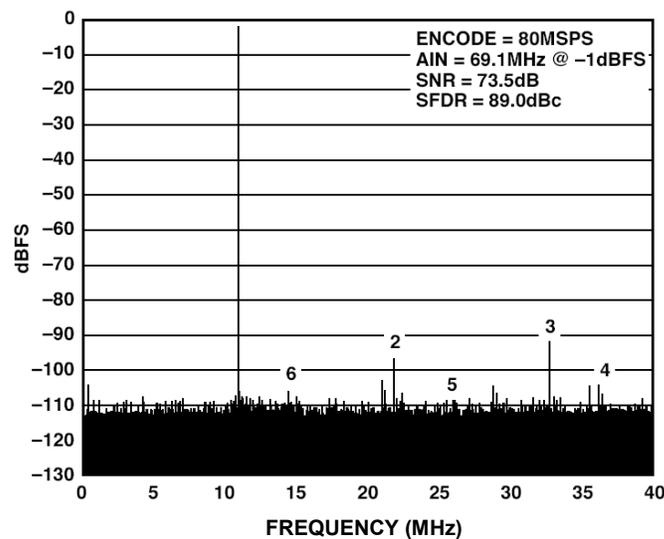


図 6.134: AD6645、14 ビット、80 MSPS ADC の SFDR（入力が 69.1 MHz の場合）

入力信号がフルスケール近くになるとき、一般に基本波の 2 次、3 次のような低次高調波によりピーク・スプリアス・スペクトルが決まります。しかし、入力信号がフルスケールよりも数 dB 小さくなると、通常、入力信号の高調波以外のスプリアスが発生します。この原因は、前述の ADC 伝達関数の微分非直線性です。このように、SFDR は発生原因に関係なく、すべての歪み源を考慮しています。

AD6645 は 14 ビット、80 MSPS の広帯域 ADC で、高い SFDR が重要な通信アプリケーション向けに設計されています。69.1 MHz 入力と 80 MSPS のサンプリング周波数におけるシングル・トーンの SFDR を図 6.134 に示します。第 1 ナイキスト・ゾーン (DC ~ 40 MHz) 全体で、最低でも 89 dBc の SFDR が得られていることに注目してください。

入力信号振幅の関数として表した AD6645 の SFDR を図 6.135 に示します。信号振幅の全範囲で、SFDR が 90 dBFS 以上であることに注目してください。SFDR の急峻な変化は、ADC 伝達関数の微分非直線性によるものです。この非線形性は図 6.128B に示す非線形性に相当し、約 65 dBFS 以下の入力信号が、DNL の増大したポイントをどれも超えないようにミッドスケールからオフセットされています。帯域外で小さなディザ信号を注入することによって、S/N 比はわずかに低下するものの、SFDR を改善できることに注目してください。

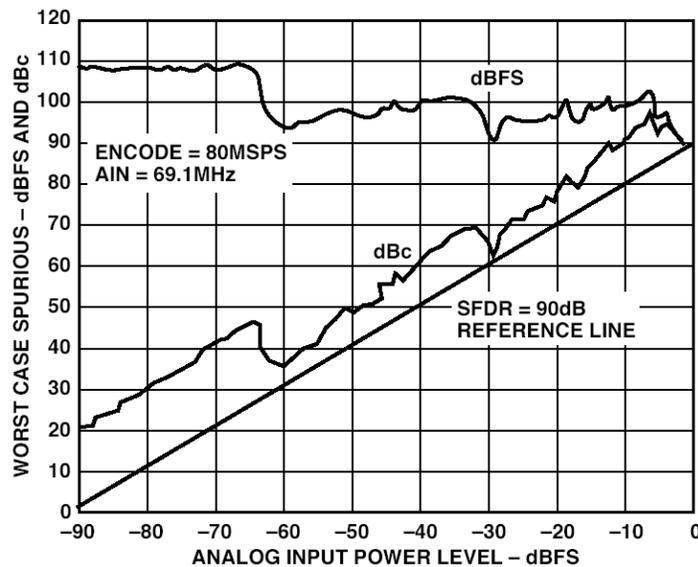


図 6.135: AD6645、14 ビット 80 MSPS ADC の SFDR 周波数対入力電力レベル (69.1 MHz 入力の場合)

SFDR は一般に、ADC における N ビットの理論上の S/N 比 ($6.02 N + 1.76$ dB) よりもはるかに大きくなります。例えば、AD6645 は SFDR が 90 dBc で、代表的な S/N 比が 73.5 dB (14 ビットの理論上の S/N 比は 86 dB) の 14 ビット ADC です。これは、ノイズと歪みの測定間に根本的な違いがあるためです。FFT のプロセス・ゲイン (4096 ポイントの FFT の場合は 33 dB) により、ノイズ・フロアよりもかなり小さな周波数スプリアスを観測することができます。ADC の分解能を上げることは、S/N 比を大きくするには役立ちますが、SFDR は大きくなることも、ならないこともあります。

2 調波相互変調歪み (IMD)

2 調波相互変調歪み (IMD) は、きわめて近接したスペクトル純度の高い 2 つのサイン波を周波数 f_1 、 f_2 で ADC に加えて測定します。各トーンの振幅は、2 つのトーンを同相で加えたときに ADC がクリップしないように、フルスケールから 6dB を減じた値よりわずかに高く設定します。2 次および 3 次の相互変調積の周波数関係を図 6.136 に示します。2 次相互変調の周波数成分はデジタル・フィルタで除去できることに注意してください。しかし、3 次相互変調積 ($2f_2 - f_1$) と ($2f_1 - f_2$) の周波数は元々の信号に近いので、フィルタリングが困難です。特に規定がない限り、ツー・トーン IMD とは、この 3 次 IMD 積を指します。IMD 積の値は dBc で表され、基準は 2 つの信号のいずれかの入力信号レベルであり、それらの合計値ではありません。

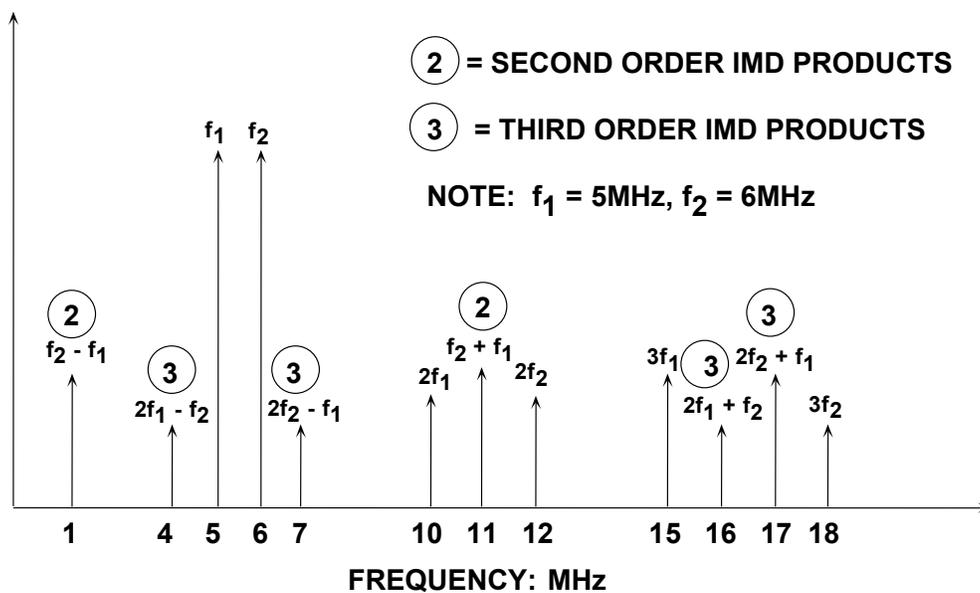


図 6.136: 2 次および 3 次の相互変調積 ($f_1 = 5\text{ MHz}$ 、 $f_2 = 6\text{ MHz}$ の場合)

ただし、2 つのトーンが $f_s/4$ に近い場合、基本波の 3 次歪みと 3 次高調波の折り返しにより、実際の積 ($2f_2 - f_1$) と ($2f_1 - f_2$) を識別することが困難になるので注意が必要です。その理由は、 $f_s/4$ の 3 次高調波は $3f_s/4$ であり、この信号は $f_s - 3f_s/4 = f_s/4$ に折り返されるからです。同様に、2 つのトーンが $f_s/3$ に近い場合は、2 次高調波の折り返しが測定を妨げることがあります。この場合も理由は同じで、 $f_s/3$ の 2 次高調波が $2f_s/3$ で、その折り返しが $f_s - 2f_s/3 = f_s/3$ となるからです。

マルチトーン・スプリアスフリー・ダイナミック・レンジ

通信アプリケーションでは、ツー・トーンおよびマルチトーンの SFDR がしばしば測定されます。周波数が近接したトーンを多数用いると、AMPS や GSM などのセルラ式携帯電話システムの広帯域周波数スペクトルをより正確にシミュレートすることができます。14 ビット 80M SPS ADC である AD6645 の ツー・トーン相互変調性能を図 6.137 に示します。入力トーン信号は 55.25 MHz と 56.25 MHz で、第 2 ナイキスト・ゾーンにあります。

したがって、これらのトーンの折り返しは第 1 ナイキスト・ゾーン内の 23.75 MHz と 24.75 MHz に現れます。SFDR が大きければ、レシーバが大信号の中から小さな信号を受信する能力を高め、大きな信号の相互変調積により小さな信号が埋もれてしまう事態を避けることができます。同一入力周波数に対し、入力信号振幅の関数で表した AD6645 におけるツー・トーンの SFDR を図 6.138 に示します。

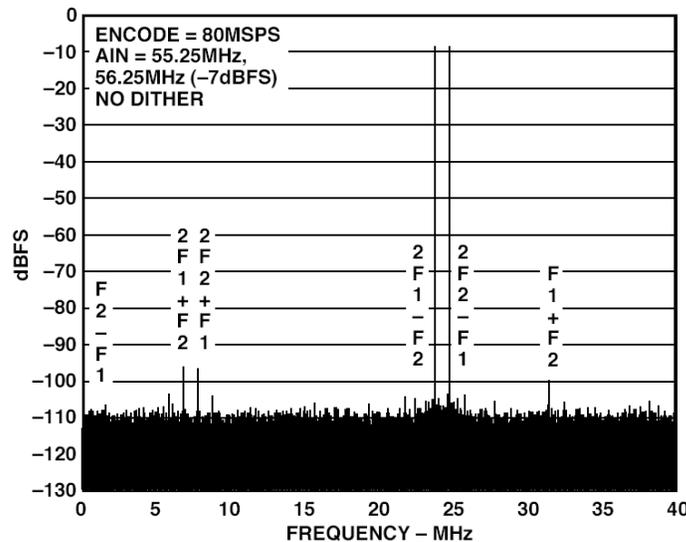


図 6.137: AD6645、14 ビット 80 MSPS ADC のツー・トーン SFDR (入力トーン: 55.25 MHz および 56.25 MHz)

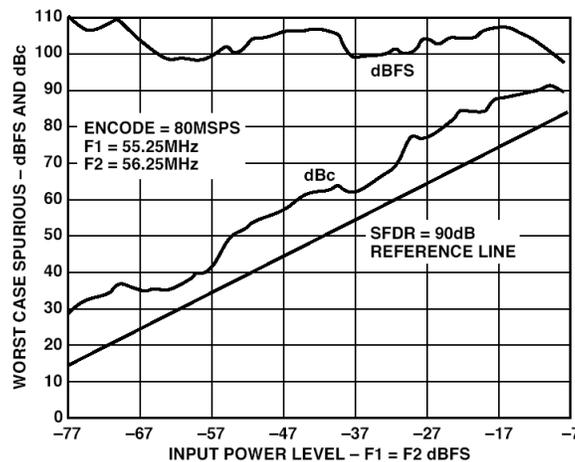


図 6.138: AD6645、14 ビット 80 MSPS ADC のツー・トーン SFDR 対入力振幅

2次と3次のインターセプト・ポイント、1 dB 圧縮ポイント

周波数帯域中のチャンネル間隔が一定であるマルチチャンネル通信システムでは、3次 IMD 積が特に問題となります。3次 IMD 積があると、大信号があるときに小信号が覆い隠されてしまうことがあるからです。

図 6.139 に示すように、アンプでは3次インターセプト・ポイントの値を使って3次 IMD 積の仕様が規定されるのが一般的です。ここでは、スペクトル純度の高いツー・トーン信号をシステムに加えています。シングル・トーンの入力信号電力 (dBm) とともに、3次積の (シングル・トーンに対する) 相対振幅を、入力信号電力の関数としてプロットしたものです。図では、基本波は傾きが1の曲線で示されています。システムの非線形性をべき級数展開で近似すると、2次 IMD の振幅は信号入力が1 dB 増加するごとに2 dB 増加するので、これを傾きが2のプロット線で図示しています。

同様に、3次 IMD の振幅は、入力信号が1 dB 増加するごとに3 dB 増加するので、傾きが3の曲線で表されることとなります。低レベルのツー・トーン入力信号と2つのデータ・ポイントを使用すれば、2次と3次のIMDの直線を引くことができます (傾きが既知なので通過点がわかれば直線が決まる) (図 6.139 参照)。

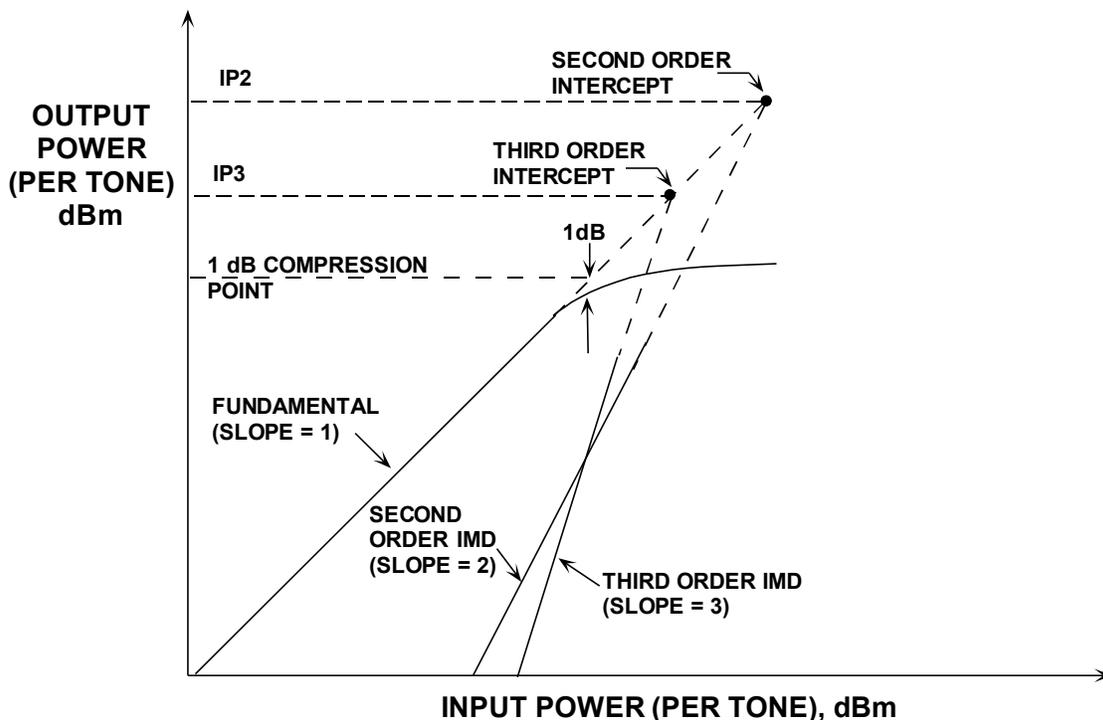


図 6.139: アンプのインターセプト・ポイントと 1 dB 圧縮ポイントの定義

しかし現実には、入力信号が一定のレベルに達すると、出力信号の増加が頭打ちになり、つまり出力が圧縮し始めます。ここで注目するパラメータは、1 dB の圧縮ポイントです。このポイントは、出力信号が理想的な入出力伝達関数から 1 dB 圧縮されるポイントです。

このポイントは、図 6.139 において、理想的な傾き 1 の直線が破線表示された領域内に示されており、実際の応答は圧縮されることを示しています（実線）。

それにもかかわらず、2 次および 3 のインターセプト・ラインを延長すると、理想的な出力応答を表す破線の延長部分と交差します。これらの交差点が、2 次および 3 次インターセプト・ポイント、つまり IP2、IP3 と呼ばれるものです。これらの電力レベルの値は、通常、デバイスがマッチング負荷（通常 50 Ω だが、この限りではない）に供給する出力電力を基準とし、dBm で表されます。

IP2、IP3、1dB の圧縮ポイントはいずれも周波数の関数であり、予想どおり、周波数が高くなるほど歪みは悪化します。

与えられた周波数での 3 次インターセプト・ポイントがわかれば、3 次 IMD 積の近似値を出力信号レベルから求めることができます。

歪み積の変動は（入力信号振幅の関数としては）予測できないので、2 次と 3 次のインターセプト・ポイントの考え方は ADC には有効ではありません。ADC は、フルスケールに近づく信号を徐々に圧縮していくわけではないからです（1 dB の圧縮ポイントは存在しません）。信号が ADC の入力レンジを超えるとすぐにハード・リミッタとして機能するため、クリッピングにより突然過度の歪みを生じ始めます。一方、フルスケールよりずっと小さい信号については、歪みフロアは比較的一定なので、信号レベルとは無関係です。これを図 6.140 に示します。

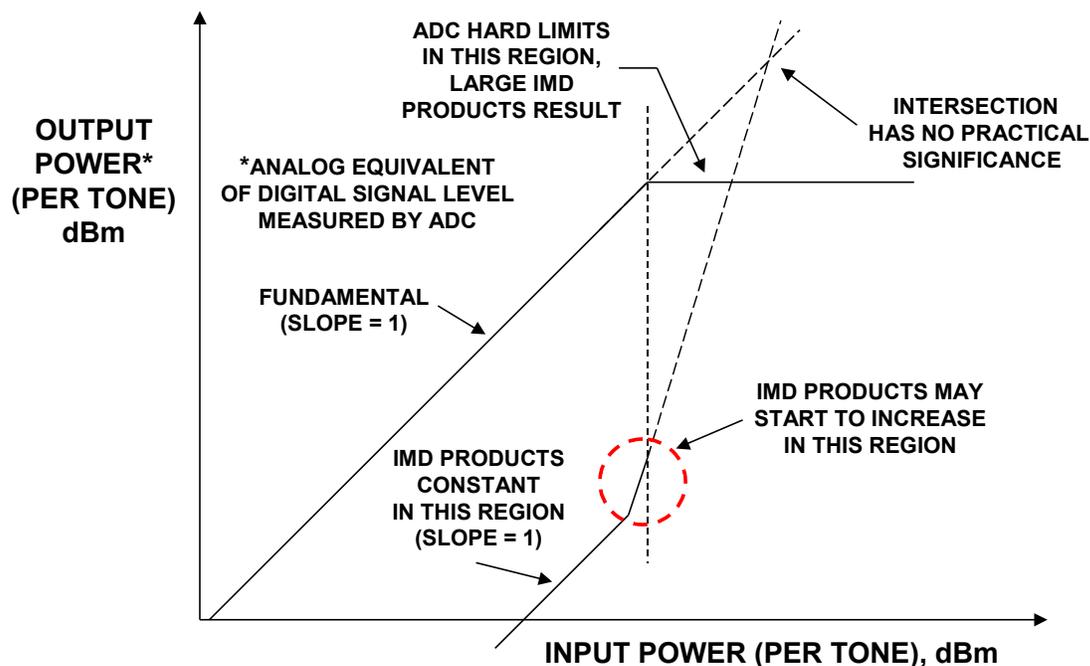


図 6.140: 実用的な意味を持たないデータ・コンバータのインターセプト・ポイント

図 6.140 の IMD 曲線は 3 つの領域に分かれています。低レベルの入力信号では、IMD 積は信号レベルにかかわらず、比較的一定です。つまり、入力信号が 1 dB 増加するにつれ、IMD レベルに対する信号の比も 1 dB 増加することになります。

入力信号が ADC のフルスケール・レンジの数 dB 以内になると、IMD が増え始めます（ただし優れた設計の ADC ではそうならないことがあります）。このようになる正確なレベルは対象とする ADC によって異なります。ADC の中には、入力レンジ全域で IMD があまり増加しないものもありますが、ほとんどは増加します。入力信号がフルスケールを超えて増加し続けると、ADC は理想的なリミッタとして動作し、IMD 積は非常に大きくなります。

このような理由から、2 次と 3 次の IMD インターセプト・ポイントの仕様は ADC では規定されていません。DAC にも基本的に同じ考え方が適用されます。いずれの場合も、データ・コンバータの歪みを評価するには、シングル・トーンまたはマルチトーンの SFDR 仕様を使用するのが最も一般的です。

広帯域 CDMA (W-CDMA) の ACPR (隣接チャンネル漏洩電力比) および ADLR (隣接チャンネル漏れ率)

広帯域 CDMA チャンネルの帯域幅は約 3.84 MHz で、チャンネル間隔は 5 MHz です。チャンネル内の電力の隣接チャンネルの電力に対する比 (dBc) は、ACPR (隣接チャンネル漏洩電力比) として定義されています。

チャンネル帯域幅内の電力の隣接する空きキャリア・チャンネルにおけるノイズ・レベルに対する比 (dBc) は、ACLR (隣接チャンネル漏れ率) として定義されています。

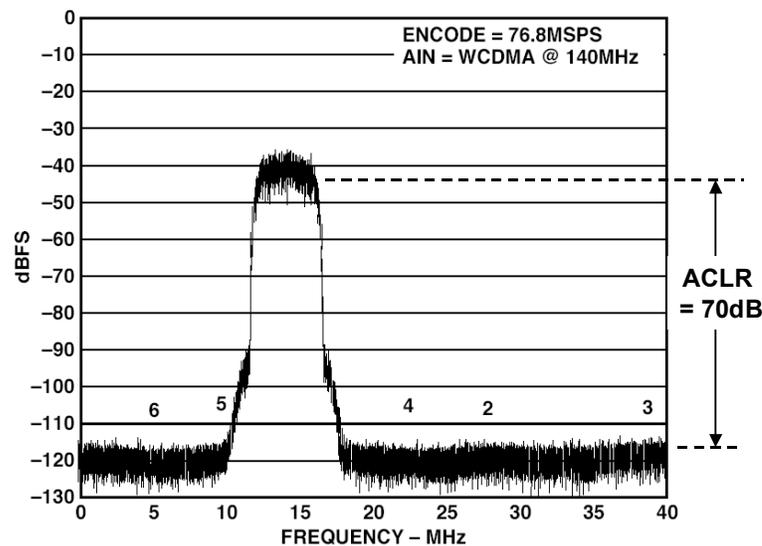


図 6.141: 広帯域 CDMA (W-CDMA) 隣接チャンネル漏れ率 (ACLR)

AD6645 を使い、76.8 MSPS の周波数でサンプリングした、140 MHz を中心とする単一の広帯域 CDMA チャンネルを図 6.141 に示します。これはアンダーサンプリングの好例です（ダイレクト IF/デジタル変換）。信号は第 3 ナイキスト・ゾーン、つまり $3f_s/2 \sim 2f_s$ (115.2 MHz \sim 153.6 MHz) の範囲内にあります。

したがって、第1ナイキスト・ゾーン内の折り返し信号は、 $2f_s - f_a = 153.6 - 140 = 13.6$ MHz を中心とします。図には、折り返された高調波の位置も示されています。例えば、入力信号の第2高調波は $2 \times 140 = 280$ MHz で生じ、折り返し成分は $4f_s - 2f_a = 4 \times 76.8 - 280 = 307.2 - 280 = 27.2$ MHz に現れます。

ノイズ・パワー比 (NPR)

ノイズ・パワー比は、FDMA (周波数分割多元接続) 通信リンクの送信特性の測定に広く使用されています (参考資料7 参照)。代表的な FDMA システムでは、同軸やマイクロ波、または衛星機器を介して送信するために、4 kHz 幅の音声チャンネルが周波数ビンに「スタック」されます。受信側では、FDMA データはデマルチプレクスされ、個別の 4 kHz ベースバンド・チャンネルに戻されます。チャンネル数がおおよそ 100 を超える FDMA システムでは、FDMA 信号を適切な帯域幅を持つガウス・ノイズによって近似することができます。それぞれの 4 kHz チャンネルの「静粛性」を測定するには、狭帯域ノッチ (バンドストップ) フィルタと、4 kHz ノッチ内部のノイズ・パワーを測定するように特別に調整されたレシーバーを使用します (図 6.142 参照)。

ノイズ・パワー比 (NPR) の測定は簡単です。まずノッチ・フィルタを外し、ノッチ内の信号のノイズ・パワーの実効値を狭帯域レシーバーで測定します。次にノッチ・フィルタのスイッチをオンにして、スロット内の残留ノイズを測定します。これらの2つの測定値の比を dB で表したものが NPR になります。ノイズ帯域幅 (低帯域、中帯域、高帯域) でスロット周波数をいくつかテストして、システムの特性を適切に評価します。ADC での NPR 測定は、アナログ・レシーバーをバッファ・メモリおよび FFT プロセッサで置き換える点を除き、同様の方法で行います。

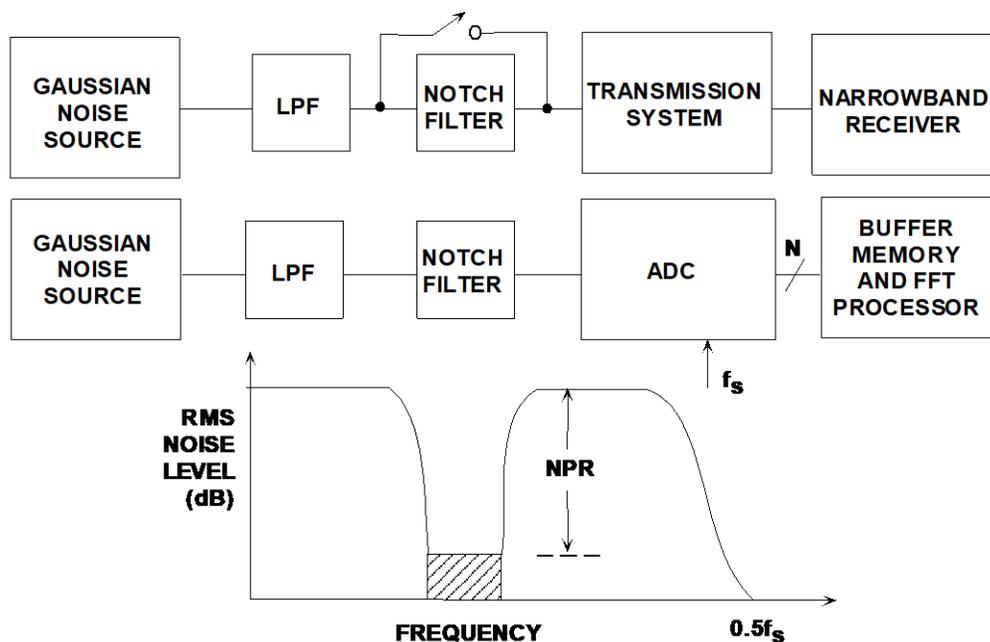


図 6.142: ノイズ・パワー比 (NPR) の測定

NPR は、システムのピーク・レンジを基準としたノイズ・レベルの実効値の関数として示されます。ノイズ負荷レベルが非常に小さい場合、（非デジタル・システムでの）好ましくないノイズは主に熱ノイズで、入力のノイズ・レベルとは無関係です。曲線のこの領域では、ノイズの負荷レベルが 1 dB 増加すると NPR が 1 dB 増加します。ノイズ負荷レベルが増加すると、システム内のアンプが過負荷になり始め、相互変調積が生じてシステムのノイズ・フロアが上昇します。入力ノイズがさらに増加すると、「過負荷」ノイズの影響が支配的になり、NPR が大幅に低下します。FDMA システムは、通常、最大の NPR よりも数 dB 低いノイズ負荷レベルで動作します。

ADC を含むデジタル・システムでは、低レベルのノイズ入力が増えらると、スロット内のノイズは主に量子化ノイズになります。この領域では、NPR 曲線は線形になります。ノイズ・レベルが増加すると、ノイズ・レベルと NPR 間に 1 対 1 の対応が存在するようになります。しかし、あるレベルでは、ADC によるハード・リミットの動作によって生じる「クリッピング」ノイズが支配的になります。10、11、12 ビットの ADC における理論曲線を図 6.143 に示します（参考資料 8 参照）。

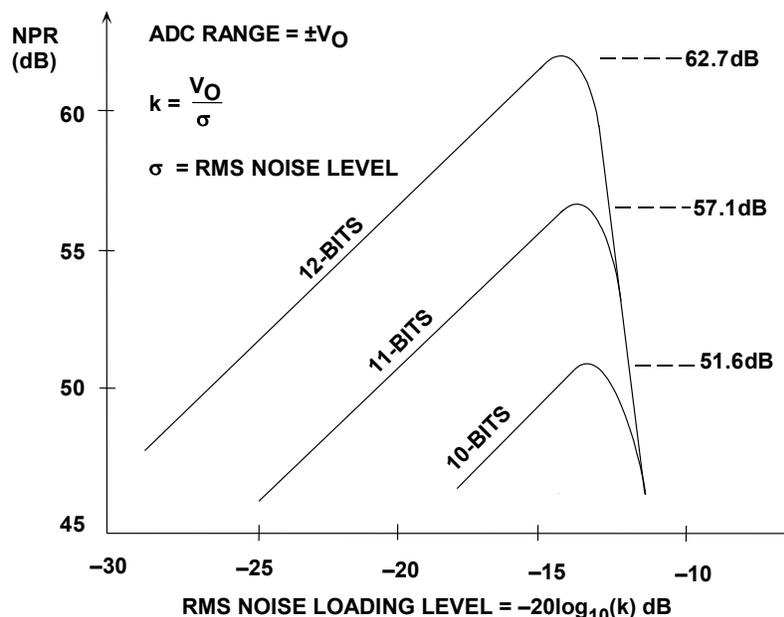


図 6.143: 10、11、12 ビット ADC の理論上の NPR

理論上の NPR の最大値と 8 ~ 16 ビット ADC で発生する最大のノイズ負荷レベルを図 6.144 に示します。ADC の入力レンジは $2 V_0$ ピーク to ピークです。ノイズ・レベルの実効値は σ 、ノイズ負荷係数 k （クレスト・ファクタ）は ピーク対実効値の比 V_0/σ で定義されます（ k は数値比または dB のいずれかで表されます）。

チャンネル間に位相相関がほとんどないマルチチャンネル高周波通信システムでは、FDMA システムと同様、多数の個別チャンネルで生じる歪みをシミュレートするのに NPR を使用することもできます。ノイズ源と ADC の間にノッチ・フィルタを配置し、アナログ・レシーバーの代わりに FFT 出力を使用します。ノッチ・フィルタの幅は、12 ビット 170 MSPS ADC の AD9430 では数 MHz に設定されています（図 2.65 参照）。

ノッチは 19 MHz を中心とし、NPR はノッチの「深さ」になります。理想的な ADC はノッチ内部でのみ量子化ノイズを生成します。しかし実際には、ADC の不完全性による追加ノイズや相互変調歪みによる追加ノイズ成分が加わります。NPR は理論値 62.7 dB と比較して約 57 dB であることに注意してください。

| BITS | k OPTIMUM | k(dB) | MAX NPR (dB) |
|------|-----------|-------|--------------|
| 8 | 3.92 | 11.87 | 40.60 |
| 9 | 4.22 | 12.50 | 46.05 |
| 10 | 4.50 | 13.06 | 51.56 |
| 11 | 4.76 | 13.55 | 57.12 |
| 12 | 5.01 | 14.00 | 62.71 |
| 13 | 5.26 | 14.41 | 68.35 |
| 14 | 5.49 | 14.79 | 74.01 |
| 15 | 5.72 | 15.15 | 79.70 |
| 16 | 5.94 | 15.47 | 85.40 |

$$\text{ADC Range} = \pm V_O$$

$$k = V_O / \sigma$$

$$\sigma = \text{RMS Noise Level}$$

図 6.144: 8 ~ 16 ビット ADC の理論的な最大 NPR

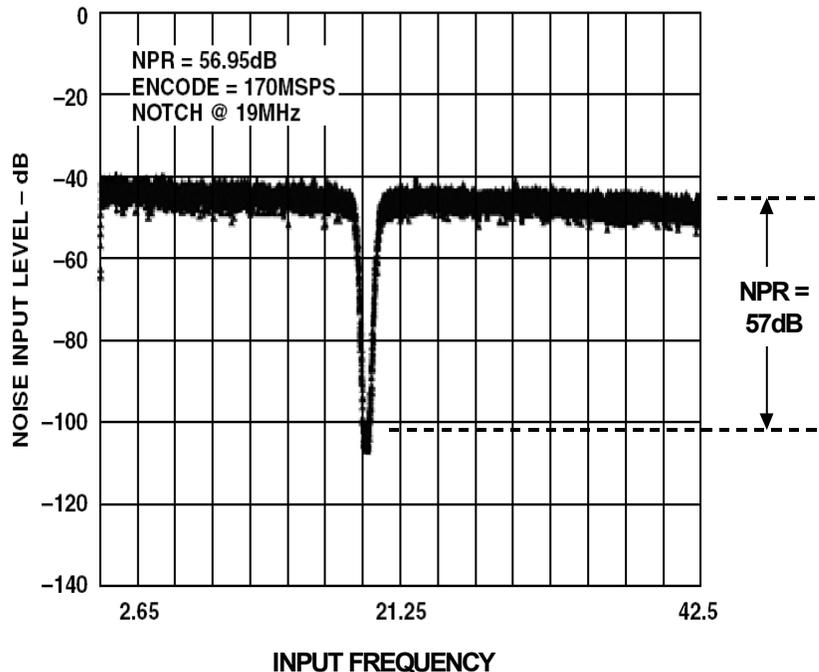


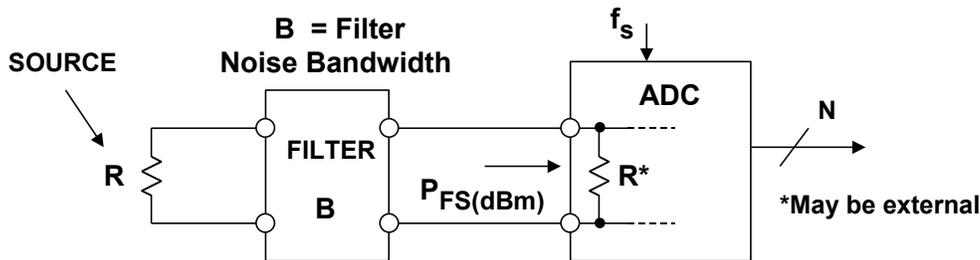
図 6.145: AD9430、12 ビット、170 MSPS ADC の NPR 測定値 57 dB (理論値は 62.7 dB)

ノイズ係数 (F) とノイズ指数 (NF)

ノイズ指数 (NF) は、RF システム設計者の間では一般的な仕様です。これは RF アンプ、ミキサーなどの特性評価に使用され、無線レシーバー設計のツールとしても広く使用されています。通信やレシーバーの設計に関する多くの優れた教科書では、ノイズ指数がよく取り上げられています (例えば、参考資料 9 参照)。この話題に関する説明はここでの目的ではないため、データ・コンバータにノイズ指数がどのように適用されるかについてのみ説明します。

RF アプリケーションでは多くの広帯域オペアンプや ADC が使用されているので、これらのデバイスのノイズ指数が重要になるのは当然であったといえます。参考資料 10 で説明されているように、オペアンプのノイズ指数を正確に求めるためには、オペアンプの電圧と電流のノイズを知るだけでなく、クロズドループ・ゲイン、ゲイン設定抵抗値、ソース抵抗、帯域幅などの正確な回路状態についても知っておく必要があります。これから見ていくように、ADC のノイズ指数の計算はさらに困難です。

ADC のノイズ指数を定義するための基本モデルを図 6.146 に示します。ノイズ指数 F は、ソース抵抗のみによって生じるノイズ電力量に対する ADC の総実効入力ノイズ電力の比として簡単に定義されます。インピーダンスがマッチングしていれば、ノイズ電力の代わりに電圧ノイズの 2 乗を使うことができます。ノイズ指数 NF はノイズ係数を単に dB で表した値であり、 $NF = 10\log_{10}F$ です。



$$\text{NOISE FACTOR (F)} = \frac{(\text{TOTAL EFFECTIVE INPUT NOISE})^2}{(\text{TOTAL INPUT NOISE DUE TO SOURCE } R)^2}$$

$$\text{NOISE FIGURE (NF)} = 10\log_{10} \left[\frac{(\text{TOTAL EFFECTIVE INPUT NOISE})^2}{(\text{TOTAL INPUT NOISE DUE TO SOURCE } R)^2} \right]$$

Note: Noise Must be Measured Over the Filter Noise Bandwidth, B

図 6.146: ADC のノイズ指数 (注意して使用すること)

このモデルでは、ADC への入力は抵抗 R のソースから与えられ、ノイズ帯域幅が $f_s/2$ のフィルタで入力が $f_s/2$ に帯域制限されているものとして扱います。また、入力信号をさらに帯域制限して、オーバーサンプリングを実現しプロセス・ゲインを得ることもできます。この条件については後ほど説明します。

また、ADC への入力インピーダンスがソース抵抗に等しいと仮定しています。多くの ADC は入力インピーダンスが高いため、この終端抵抗を ADC の外部に置いてよいし、あるいは内部抵抗と並列に配置して R に等しい等価終端抵抗としてもかまいません。フルスケールの入力電力とは、ピーク to ピーク振幅が ADC の入力レンジ全体をカバーするようなサイン波の電力のことです。次式で与えられるフルスケール入力のサイン波は、ADC のピーク to ピーク入力レンジに対応する $2V_O$ のピーク to ピーク振幅になります。

$$v(t) = V_O \sin 2\pi ft \quad \text{式 6.21}$$

このサイン波のフルスケール電力は次式で与えられます。

$$P_{FS} = \frac{(V_O / \sqrt{2})^2}{R} = \frac{V_O^2}{2R} \quad \text{式 6.22}$$

慣例では、この電力は次のように dBm (1 mW を基準) で表されます。

$$P_{FS(\text{dBm})} = 10 \log_{10} \left[\frac{P_{FS}}{1\text{mW}} \right] \quad \text{式 6.23}$$

非理想的なブリック・ウォール・フィルタのノイズ帯域幅は、非理想的なフィルタと同じノイズ・パワーを通過させる、理想的なブリック・ウォール・フィルタの帯域幅として定義されます。したがって、フィルタのノイズ帯域幅は、フィルタのカットオフ領域のシャープネスに応じた係数だけ、フィルタの 3 dB 帯域幅より常に大きくなります。5 極までのバターワース・フィルタにおけるノイズ帯域幅と 3 dB 帯域幅の関係を図 6.68 に示します。2 極の場合は、ノイズ帯域幅と 3 dB 帯域幅は互いに 11 % 以内ですが、それを超えるとこの 2 つの量は原則的に等しくなることに注意してください。

| NUMBER OF POLES | NOISE BW / 3dB BW |
|-----------------|-------------------|
| 1 | 1.57 |
| 2 | 1.11 |
| 3 | 1.05 |
| 4 | 1.03 |
| 5 | 1.02 |

図 6.147: バターワース・フィルタのノイズ帯域幅と 3 dB 帯域幅の関係

NF 計算における最初の手順は、ADC の S/N 比から実効入力ノイズを計算することです。ADC の S/N 比はさまざまな入力周波数に対して規定されているため、対象とする入力周波数に対応した値を使用するようにします。また、高調波が S/N 比の数値に含まれていないことを確認します。ADC のデータシートの中には SINAD と S/N 比を混同しているものがあるからです。S/N 比がわかれば、等価入力電圧ノイズの実効値 (RMS) は次式から計算することができます。

$$\text{SNR} = 20 \log_{10} \left[\frac{V_{\text{FS RMS}}}{V_{\text{NOISE RMS}}} \right] \quad \text{式 6.24}$$

$V_{\text{NOISE RMS}}$ について解くと

$$V_{\text{NOISE RMS}} = V_{\text{FS RMS}} \cdot 10^{-\text{SNR}/20} \quad \text{式 6.25}$$

これは、ナイキスト帯域幅 DC ~ $f_s/2$ で測定された、キャリア周波数での実効入力ノイズ電圧の実効値の合計です。このノイズにはソース抵抗のノイズが含まれていることに注意してください。これらの結果を図 6.148 にまとめました。

- ◆ **Start with the SNR of the ADC measured at the carrier frequency (Note: this SNR value does not include the harmonics of the fundamental and is measured over the Nyquist bandwidth, dc to $f_s/2$)**

$$\text{SNR} = 20 \log_{10} \frac{V_{\text{FS-RMS}}}{V_{\text{NOISE-RMS}}}$$

$$V_{\text{NOISE-RMS}} = V_{\text{FS-RMS}} 10^{-\text{SNR}/20}$$

- ◆ **This is the total ADC effective input noise at the carrier frequency measured over the Nyquist bandwidth, dc to $f_s/2$**

図 6.148: ADC の S/N 比から計算した総実効入力ノイズ

次の手順で、実際にノイズ指数を計算します。図 2.70 で注目したいのは、ソース抵抗に起因する入力電圧ノイズの量は、ソース抵抗の電圧ノイズ $\sqrt{4kTBR}$ を 2 で割ったもの、あるいは ADC の入力終端抵抗によって 2:1 の減衰器を構成した場合は \sqrt{kTBR} となることです。

ノイズ係数 F を求める式は次のように表すことができます。

$$F = \frac{V_{\text{NOISE RMS}}^2}{kTRB} = \left[\frac{V_{\text{FS RMS}}^2}{R} \right] \left[\frac{1}{kT} \right] \left[10^{-\text{SNR}/10} \right] \left[\frac{1}{B} \right] \quad \text{式 6.24}$$

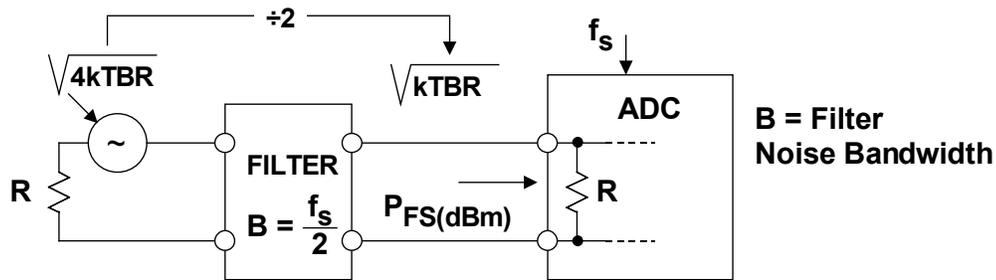
ノイズ指数は、次のように F を dB に変換して得られます。

$$NF = 10_{10} \log F = P_{FS(dBm)} + 174 \text{ dBm} - S/N \text{ 比} - 10_{10} \log B \quad \text{式 6.25}$$

ここで S/N 比の単位は dB、B の単位は Hz、また、 $T = 300 \text{ K}$ 、 $k = 1.38 \times 10^{-23} \text{ J/K}$ です。

前述したようにプロセス・ゲインに起因するノイズ指数を減少させるのに、オーバーサンプリングやフィルタリングを使用することができます。この場合、信号帯域幅 B は $f_s/2$ より小さくなります。補正した式は次式となり、図 6.149 にも示しています。

$$NF = 10_{10} \log F = P_{FS(dBm)} + 174 \text{ dBm} - S/N \text{ 比} - 10 \log_{10}[f_s/2B] - 10 \log_{10}B \quad \text{式 6.26}$$



$$V_{\text{NOISE-RMS}} = V_{\text{FS-RMS}} 10^{-\text{SNR}/20}$$

$$F = \frac{V_{\text{NOISE-RMS}}^2}{kTRB} = \left[\frac{V_{\text{FS-RMS}}^2}{R} \right] \left[\frac{1}{kT} \right] \left[10^{-\text{SNR}/10} \right] \left[\frac{1}{B} \right]$$

$$NF = 10 \log_{10} F = P_{FS(dBm)} + 174 \text{ dBm} - \text{SNR} - 10 \log_{10} B,$$

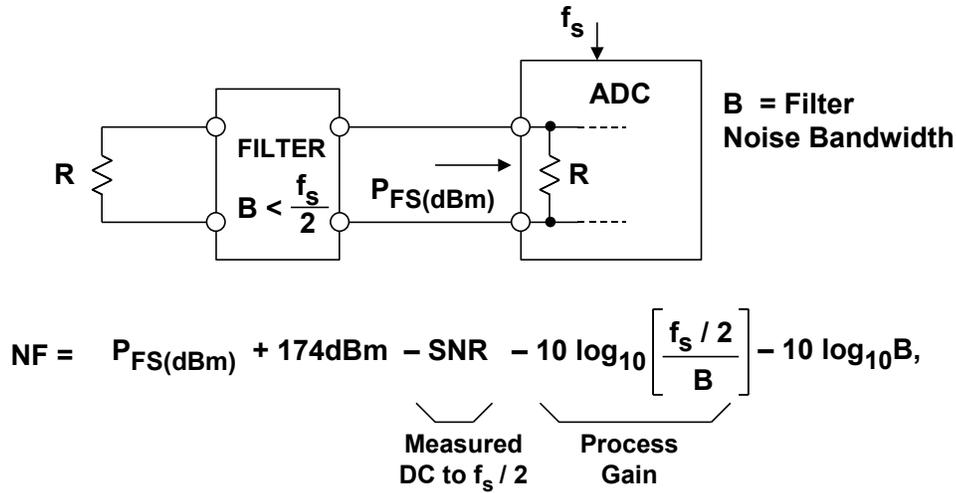
where SNR is in dB, B in Hz, $T = 300\text{K}$, $k = 1.38 \times 10^{-23} \text{ J/K}$

図 6.149: S/N 比、サンプリング・レート、および入力電力から計算される ADC のノイズ指数

14 ビット、80 MSPS ADC である AD6645 の NF を計算した例を図 6.151 に示します。AD6645 の入力インピーダンス $1\text{k}\Omega$ と並列に 52.3Ω の抵抗が追加されて、正味の入力インピーダンスが 50Ω となっています。ADC はナイキスト条件で動作しており、式 6.26 中の S/N 比を 74 dB として計算を始めます。ノイズ指数は 34.8 dB となります。

電圧ゲインのある RF トランスを使ってノイズ指数を改善する方法を図 6.152 に示します。図 6.152A では、巻数比は 1:1 で、ノイズ指数は (図 6.151 より) 34.8 です。図 6.152B に示すトランスは巻数比が 1:2 です。AD6645 の内部抵抗と並列に接続された 249Ω の抵抗により、正味の入力インピーダンスは 200Ω になります。

トランスのノイズフリー電圧ゲインにより、ノイズ指数は 6 dB 改善されます。図 6.152C に示すトランスは巻数比が 1:4 です。AD6645 の入力には 4.02 kΩ の抵抗が並列に接続され、正味の入力インピーダンスは 800 Ω になります。ノイズ指数はさらに 6 dB 改善されます。巻数比がさらに高いトランスは、帯域幅や歪みで制限を受けるために一般には実用的ではありません。



where SNR is in dB, B in Hz, $T = 300K$, $k = 1.38 \times 10^{-23} J/K$

図 6.150: ADC のノイズ指数に対するオーバーサンプリングとプロセス・ゲインの影響

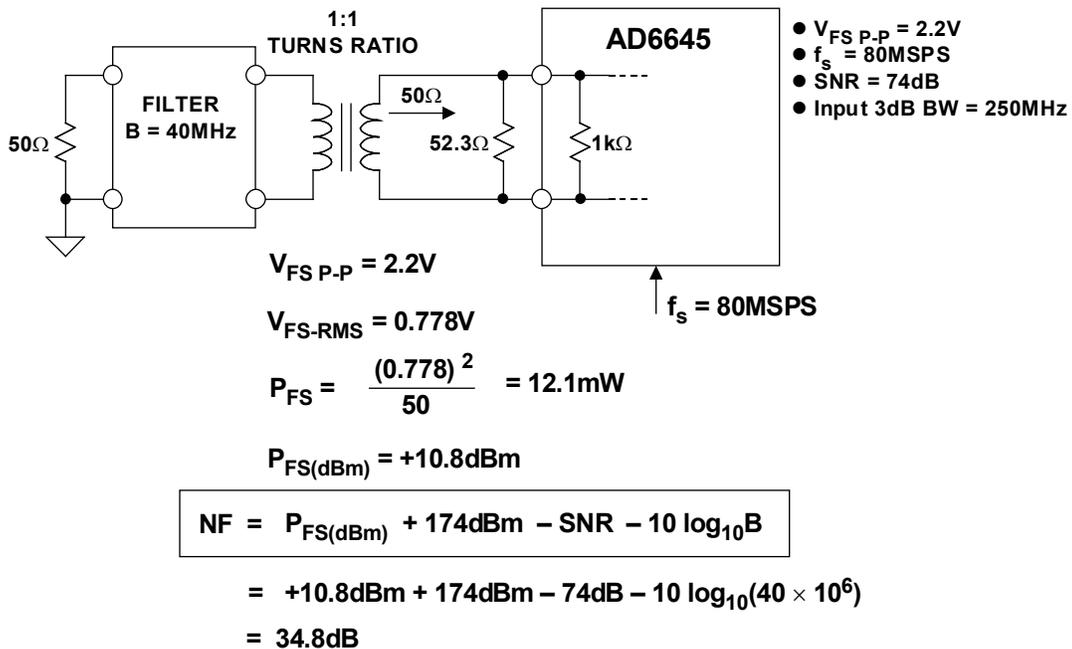


図 6.151: ナイキスト条件での AD6645 のノイズ指数の計算例

巻数比が 1:4 のトランスでも AD6645 の全ノイズ指数は 22.8 dB ですが、RF 規格では比較的高い値です。さらに良い方法は、ADC の前段に低ノイズ、高ゲインの段を置くことです。カスケード接続したゲイン段のノイズ係数を計算するためのフリス公式の使い方を図 6.153 に示します。第 1 段のゲインが高いため、第 2 段のノイズ指数への寄与が低減されることに注目してください。第 1 段のノイズ指数が全体のノイズ指数を支配することになります。

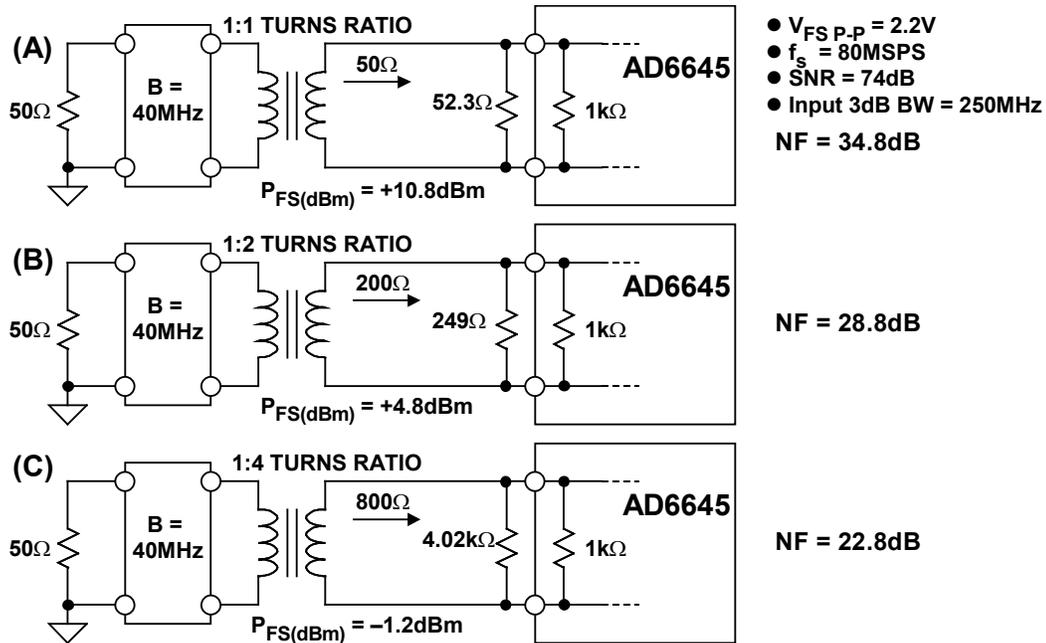


図 6.152: RF トランスを使用して ADC 全体のノイズ指数を改善

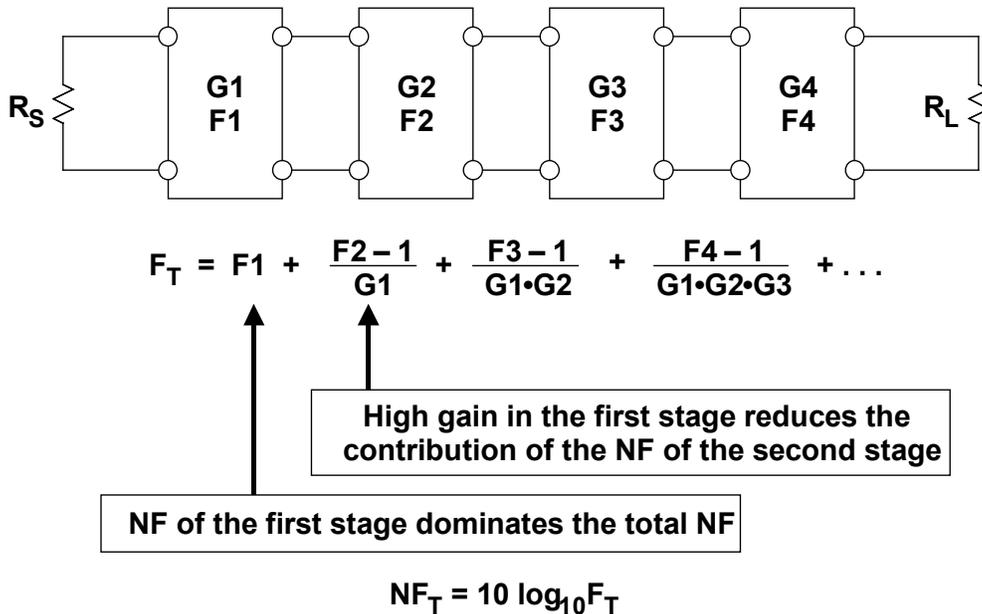
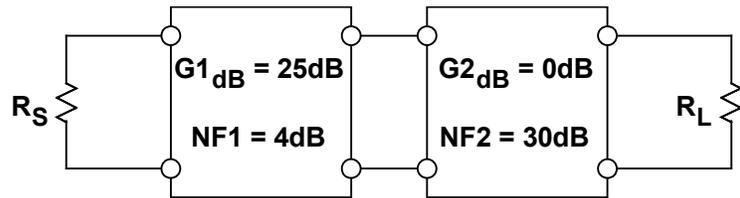


図 6.153: フリス公式を用いたカスケード接続のノイズ指数

比較的高ゲインの NF 段 (30 dB) の前段に配置された、高ゲイン (25 dB)、低ノイズ (NF = 4 dB) の段による影響を図 6.154 に示します。この第 2 段のノイズ指数は高性能 ADC としては代表的な値です。全体のノイズ指数は 7.53 dB で、第 1 段の 4 dB のノイズ指数よりも 3.53 dB 高いにすぎません。



$$G1 = 10^{25/10} = 10^{2.5} = 316, \quad F1 = 10^{4/10} = 10^{0.4} = 2.51$$

$$G2 = 1, \quad F2 = 10^{30/10} = 10^3 = 1000$$

$$F_T = F1 + \frac{F2 - 1}{G1} = 2.51 + \frac{1000 - 1}{316} = 2.51 + 3.16 = 5.67$$

$$NF_T = 10 \log_{10} 5.67 = 7.53 \text{ dB}$$

- ◆ The first stage dominates the overall NF
- ◆ It should have the highest gain possible with the lowest NF possible

図 6.154: 2 段をカスケード接続したネットワークの例

要約すると、広帯域 ADC の特性を評価するためにノイズ指数の概念を適用する際は、誤った結果が生じないようにきわめて慎重に行う必要があります。式を使ってノイズ指数を最小にしようとするだけでは、実際には回路ノイズを増加させてしまう可能性があります。

例えば、計算によれば、ソース抵抗が増加するにつれて NF は減少しますが、ソース抵抗が増加すると回路ノイズも増加します。また、入力でのフィルタリングがなければ、ADC の入力帯域幅が増加すると NF は減少します。帯域幅を広げるとノイズが増えるので、これもまた矛盾します。どちらの場合も、回路ノイズが増加し、NF が減少します。NF が低下する理由は、ソース・ノイズが全ノイズのうちの大きな要素となるためです (ADC のノイズがソース・ノイズよりもはるかに大きいため、全ノイズは比較的一定)。したがって、計算によれば、NF は減少するが実際の回路ノイズは増加することになります。

スタンドアロン方式では、ADC は LNA やミキサなどの他の RF 部品と比べてノイズ指数が相対的に高いことは事実です。このようなシステムでは、図 6.154 の例に示すように、ADC の前段に低ノイズのゲイン・ブロックを配置する必要があります。

アパーチャ時間、アパーチャ遅延時間、アパーチャ・ジッタ

おそらく最も誤解され誤用されている、ADC とサンプル&ホールド（あるいはトラック&ホールド）の仕様は、アパーチャという言葉を含む仕様です。SHA に最も不可欠なダイナミック特性は、ホールド・コンデンサを入力バッファ・アンプからすばやく切り離す能力です（図 6.155 参照）。この動作に必要な短い（しかし非ゼロの）間隔は、アパーチャ時間（またはサンプリング・アパーチャ） t_a と呼ばれます。この間隔の終わりに保持される電圧の実際の値は、入力信号のスルー・レートとスイッチング動作自体によって生じる誤差の両方の関数となります。図 6.155 に、1 と 2 で示した任意の傾斜のある 2 つの入力信号とともに hold コマンドを適用した場合の動作を示します。わかりやすくするために、サンプル to ホールド・ペダスタルとスイッチング・トランジェントは無視しています。最終的に保持される値は入力信号が遅延された信号で、スイッチのアパーチャ時間全体で平均化されます（図 6.155 参照）。1 次モデルでは、ホールド・コンデンサの電圧の最終値は、スイッチがロー・インピーダンスからハイ・インピーダンスに変化する間 (t_a) にスイッチに印加された信号の平均値にほぼ等しくなるものと仮定しています。

このモデルは、スイッチを開くのに必要な有限の時間 (t_a) が、SHA を駆動するサンプリング・クロックに小さな遅延 t_e が生じるのと等価であることを示しています。この遅延は一定で、正または負のいずれかです。この図は、傾きが異なっても、2 つの信号に対して t_e という同じ値を適用できることを示しています。この遅延を、実効アパーチャ遅延時間またはアパーチャ遅延時間、あるいは単にアパーチャ遅延 t_e と呼びます。ある ADC では、アパーチャ遅延時間はコンバータの入力に換算されるので、入力バッファを通るアナログ伝搬遅延の影響 t_{da} 、およびスイッチ・ドライバを通るデジタル遅延 t_{dd} を考慮する必要があります。ADC の入力に換算されるアパーチャ時間 t_e' は、フロント・エンド・バッファのアナログ伝搬遅延時間 t_{da} とスイッチ・ドライバのデジタル遅延 t_{dd} との時間差に、アパーチャ時間の半分 $t_a/2$ を足し合わせた値として定義されます。

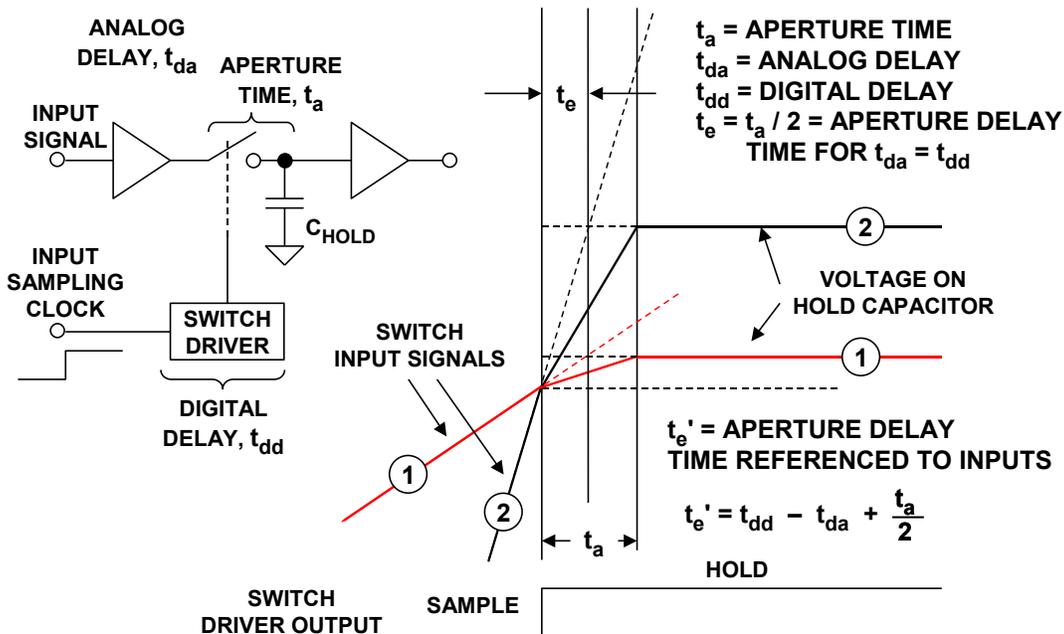


図 6.155: サンプル&ホールドの波形と定義

実効アパーチャ遅延時間は通常は正ですが、アパーチャ時間の半分 $t_a/2$ とスイッチ・ドライバのデジタル遅延 t_{dd} との合計が入力バッファ t_{da} を通る伝播遅延よりも小さい場合は、負になることがあります。したがって、入力信号がサンプリング・クロック・エッジを基準として実際にサンプリングされるときにアパーチャ遅延仕様が設定されます。

アパーチャ遅延時間は、ADC にバイポーラのサイン波信号を印加し、ADC の出力がミッドスケール（サイン波のゼロ交差に対応）になるように同期サンプリング・クロック遅延を調整することで測定できます。入力サンプリングのクロック・エッジと実際の入力サイン波のゼロ交差との間の相対的な遅延がアパーチャ遅延時間となります（図 6.156 参照）。

アパーチャ遅延で誤差は生じませんが（ホールド時間に対して比較的短いと仮定した場合）、サンプリング・クロック入力またはアナログ入力（どちらかは符号による）の固定遅延として機能します。しかし、2 個以上の ADC が十分なマッチングを必要とするような、同時サンプリング・アプリケーションやダイレクト I/Q 復調では、コンバータ間のアパーチャ遅延の変動によって高速のスルー信号で誤差が生じる可能性があります。こうしたアプリケーションでは、さまざまな ADC へのサンプリング・クロックの位相をそれぞれ適切に調整することにより、アパーチャ遅延のミスマッチを取り除く必要があります。

しかし、アパーチャ遅延のサンプル間に変動（アパーチャ・ジッタ）があると、それに応じて電圧誤差が生じます（図 6.157 参照）。スイッチが開く瞬間のこのサンプル間の変動は、アパーチャの不確実性、あるいはアパーチャ・ジッタと呼ばれ、通常はピコ秒単位の実効値で測定されます。これに対応した出力誤差の振幅は、アナログ入力の変化率に関係します。ある任意のアパーチャ・ジッタ値では、アパーチャ・ジッタ誤差は入力 dv/dt が増加するにつれて増大します。外部サンプリング・クロック（またはアナログ入力）に対する位相ジッタの影響により、全く同様の誤差が生じます。

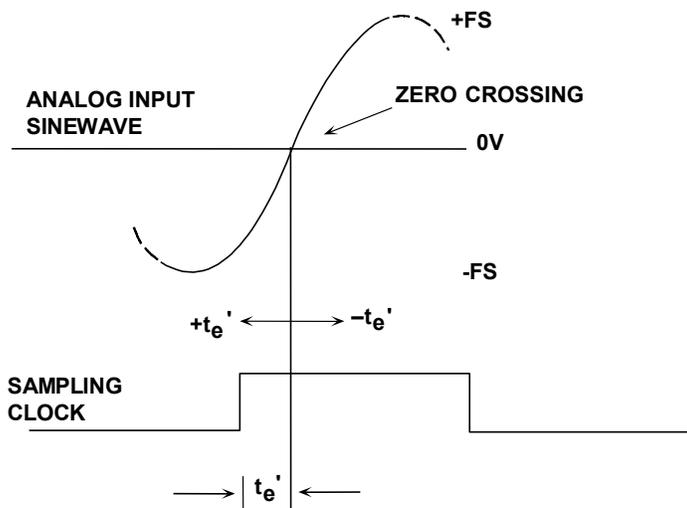


図 6.156: ADC 入力を基準に測定される実効アパーチャ遅延時間

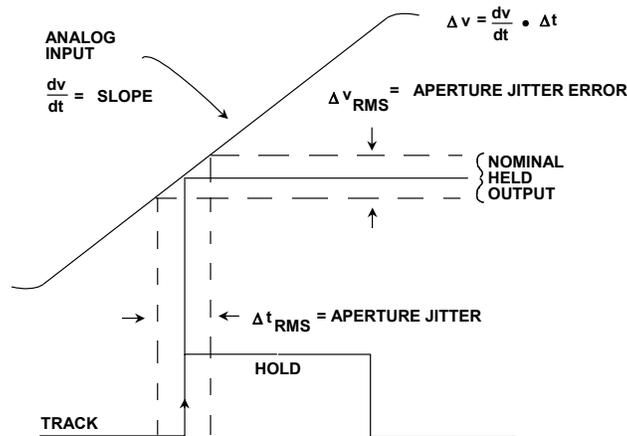


図 6.157: アパーチャ・ジッタとサンプリング・クロック・ジッタの影響

アパーチャ・ジッタおよびサンプリング・クロック・ジッタによる、理想的な ADC の S/N 比への影響は、以下の簡単な解析によって予測できます。入力信号は次で与えられるとします。

$$v(t) = V_0 \sin 2\pi ft \quad \text{式 6.27}$$

この信号の変化率は次式で与えられます。

$$dv/dt = 2\pi f V_0 \cos 2\pi ft \quad \text{式 6.28}$$

dv/dt の実効値 (RMS) は、次のように $2\pi f V_0$ の振幅を $\sqrt{2}$ で割って得られます。

$$|dv/dt|_{\text{rms}} = 2\pi f V_0 / \sqrt{2} \quad \text{式 6.29}$$

ここで、 $\Delta v_{\text{rms}} = \text{RMS 電圧誤差}$ 、 $\Delta t = \text{RMS アパーチャ・ジッタ } t_j$ として、それぞれ代入すると次式になります。

$$\Delta v_{\text{rms}} / t_j = 2\pi f V_0 / \sqrt{2} \quad \text{式 6.30}$$

Δv_{rms} について解くと、

$$\Delta v_{\text{rms}} = 2\pi f V_0 t_j / \sqrt{2} \quad \text{式 6.31}$$

フルスケール入力サイン波の RMS 値は $V_0/\sqrt{2}$ なので、RMS 信号対 RMS ノイズの比は次式で与えられます。

$$\text{SNR} = 20 \log_{10} \left[\frac{V_0 / \sqrt{2}}{\Delta v_{\text{rms}}} \right] = 20 \log_{10} \left[\frac{V_0 / \sqrt{2}}{2\pi f V_0 t_j / \sqrt{2}} \right] = 20 \log_{10} \left[\frac{1}{2\pi f t_j} \right] \quad \text{式 6.32}$$

この式では、ADC の分解能が無限で、アパーチャ・ジッタが S/N 比を決定する唯一の要素であると仮定しています。この式をプロットしたものを図 6.158 に示します。ここでは、特に入出力周波数が高い場合に、アパーチャ・ジッタとサンプリング・クロック・ジッタが S/N 比に対して深刻な影響を及ぼすことが示されています。したがって、サンプリング・データ・システムのサンプリング/再構成のクロックで位相ノイズを最小にするように細心の注意を払う必要があります。

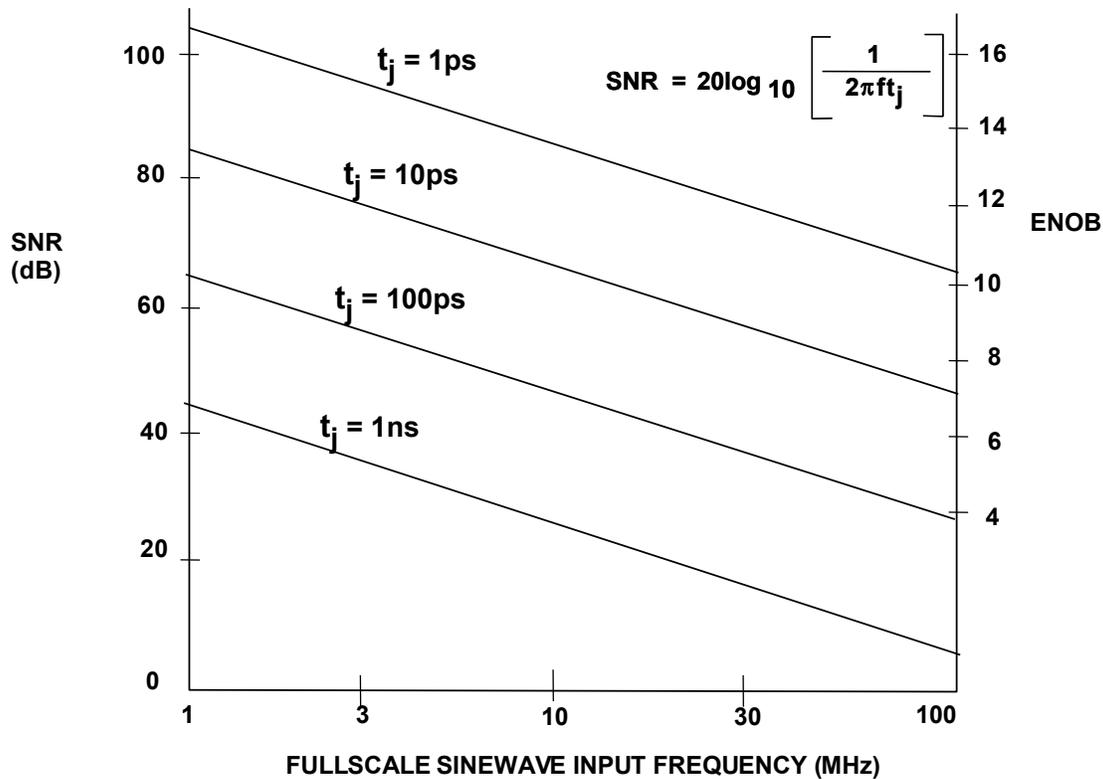


図 6.158: アパーチャ・ジッタとサンプリング・クロック・ジッタに起因する S/N 比

さらにクロック信号のあらゆる面に同様の注意が必要です。すなわち、発振器自体（例えば、555 タイマーは不適切で、水晶発振器でも、ロジックがノイズの多いチップを共有するアクティブ・デバイスを使用すると問題が起こり得る）、伝送経路（これらのクロックはあらゆる種類の干渉に対して非常に脆弱）、さらには ADC や DAC に混入する位相ノイズにも注意が必要です。上述のとおり、コンバータ回路においてよくある位相ノイズの原因は積分サンプル&ホールド（SHA）回路でのアパーチャ・ジッタですが、全ジッタの実効値は多くの要素で構成されます。SHA の実際のアパーチャ・ジッタは、多くの場合それらのうちでも最小のジッタです。

ADC の総 S/N 比を表す簡単な式

サンプリング・クロック・ジッタとアパーチャ・ジッタ、DNL、実効入力ノイズ、分解能ビット数の関数で表した ADC の S/N 比の比較的簡単な式を、図 6.159 に示します。この式では、実効値ベースでさまざまな誤差項が組み合わされます。平均 DNL 誤差 ϵ はヒストグラム・データから計算されます。この式は、14 ビット、80 MSPS ADC である AD6645 の S/N 比性能を、サンプリング・クロック・ジッタとアパーチャ・ジッタの関数として予測するのに使用されています (図 6.160 参照)。

$$SNR = -20 \log_{10} \left[\overbrace{(2\pi \times f_a \times t_{j\ rms})^2}^{\text{SAMPLING CLOCK JITTER}} + \overbrace{\frac{2}{3} \left(\frac{1 + \epsilon}{2^N} \right)^2}^{\text{QUANTIZATION NOISE, DNL}} + \overbrace{\left(\frac{2 \times \sqrt{2} \times V_{NOISE\ rms}}{2^N} \right)^2}^{\text{EFFECTIVE INPUT NOISE}} \right]^{\frac{1}{2}}$$

- f_a = Analog input frequency of fullscale input sinewave
- $t_{j\ rms}$ = Combined rms jitter of internal ADC and external clock
- ϵ = Average DNL of the ADC (typically 0.41 LSB for AD6645)
- N = Number of bits in the ADC
- $V_{NOISE\ rms}$ = Effective input noise of ADC (typically 0.9LSB rms for AD6645)

If $t_j = 0$, $\epsilon = 0$, and $V_{NOISE\ rms} = 0$, the above equation reduces to the familiar:

$$SNR = 6.02 N + 1.76\text{dB}$$

図 6.159: S/N 比とサンプリング・クロック・ジッタ、量子化ノイズ、DNL、入力ノイズとの関係

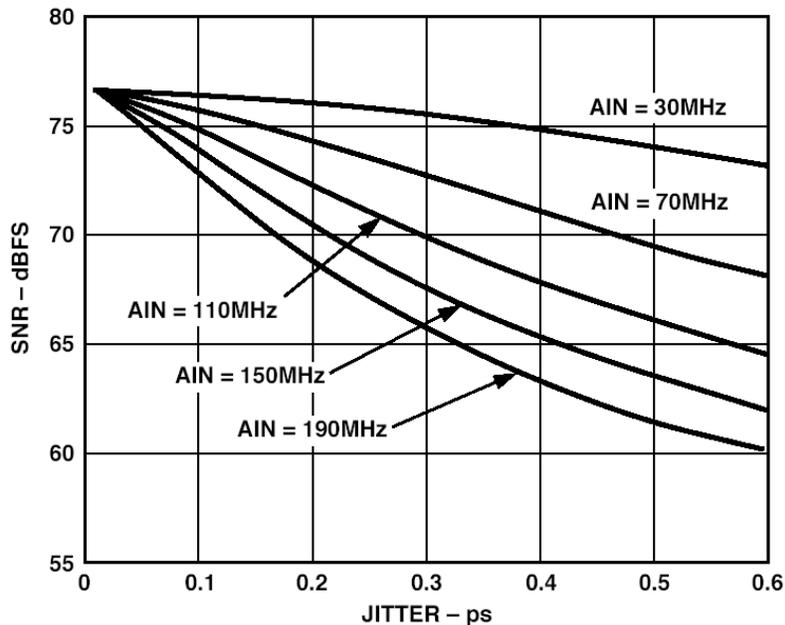


図 6.160: AD6645 の S/N 比とアパーチャ・ジッタとの関係

20 年ほど前は、サンプリング ADC は個別の SHA と ADC で構成されていました。インターフェース設計が困難で、重要なパラメータとして SHA のアパーチャ・ジッタがありました。現在、ほとんどのサンプリング・データ・システムでは、積分型 SHA を内蔵したサンプリング ADC が使われています。そのため、SHA のアパーチャ・ジッタは規定されていませんが、S/N 比または ENOB が明確に仕様規定されていれば問題ありません。それは、固有の S/N 比の規格が保証されれば、適切なアパーチャ・ジッタの仕様が暗黙的に保証されるからです。しかし、さらに高性能の SHA を追加すれば、DC を ADC に与えることによって、最良のサンプリング ADC でも高周波の ENOB が改善されることがあり、ADC を高価なもので置き換えるよりもコスト効率が高くなります。

ADC の過渡応答と過電圧からの回復

通信アプリケーション向けに設計されたほとんどの高速 ADC は、主に周波数領域で仕様が規定されています。しかし、汎用のデータ・アキュイジション・アプリケーションでは、ADC の過渡応答（またはセトリング時間）が重要です。ADC の過渡応答とは、フルスケールのステップ入力の印加後に、ADC が定格精度（通常は 1 LSB）にセトリングするのに必要な時間です。汎用の 12 ビット、10 MSPS ADC の代表的な応答を図 6.161 に示します。ここでは、1 LSB のセトリング時間が 40ns 未満となっています。ADC がアナログ・マルチプレクサによって駆動される代表的なデータ・アキュイジション・システムのアプリケーションでは、セトリング時間の仕様が重要です（図 6.162 参照）。マルチプレクサ出力は、フルスケールのサンプルごとの変換を ADC 入力に与えることができます。マルチプレクサと ADC の両方が必要な精度にセトリングしていないと、マルチプレクサ入力に DC または低周波の信号のみが存在している場合でも、チャンネル間クロストークが発生します。

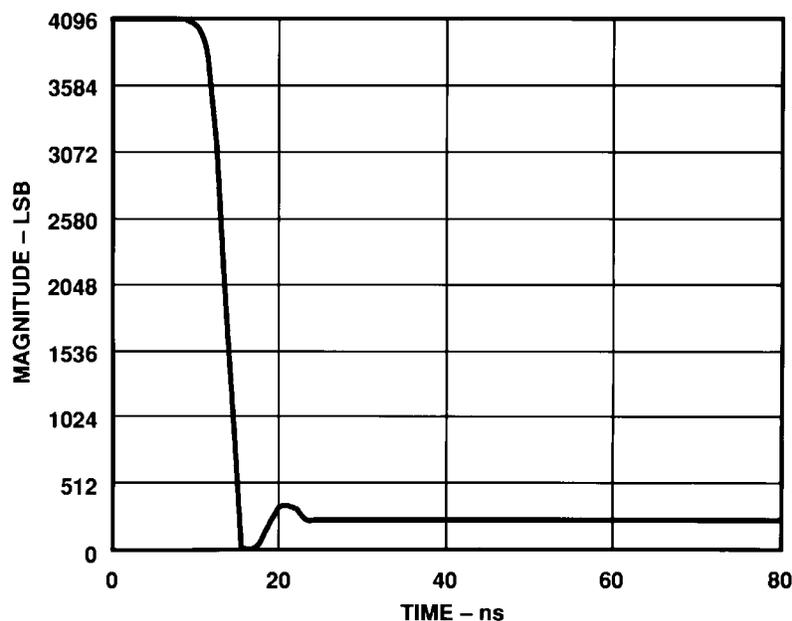


図 6.161: ADC の過渡応答（セトリング時間）

ほとんどの ADC は、セトリング時間が仕様化されていない場合でも $1/f_{s\max}$ 未満です。ただし、 $\Sigma\Delta$ ADC にはデジタル・フィルタが内蔵されているため、セトリングするのに数個の出力サンプル間隔を要することがあります。マルチプレクサを用いたアプリケーションで $\Sigma\Delta$ ADC を使用する際は、この点に留意が必要です。

マルチプレクサを用いたシステムでのセトリング時間の重要性が図 6.163 からわかります。ここで、ADC 入力 は時定数が $\tau = RC$ に相当する単極フィルタとしてモデル化されています。ここに、与えられた精度 (1 LSB) にセトリングするのに必要な時定数が示されています。簡単な例を挙げて、要点を説明します。

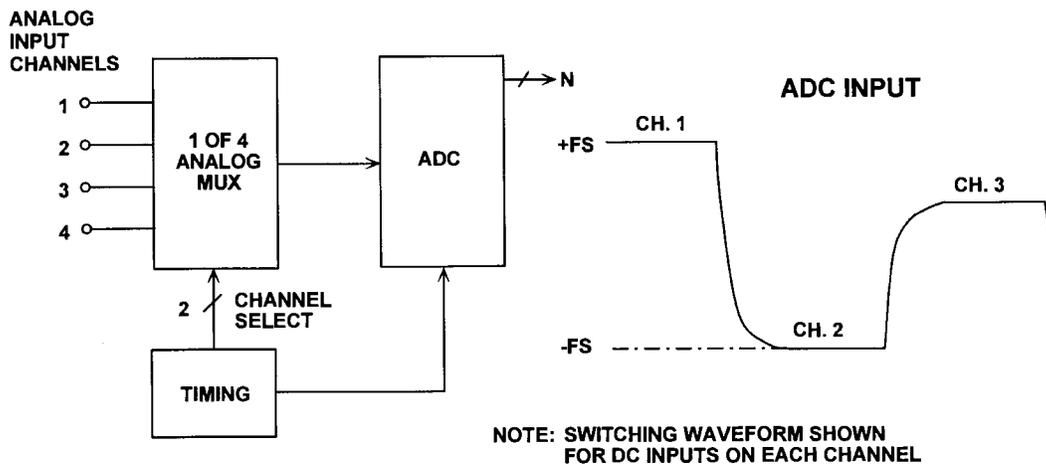


図 6.162: マルチプレクサを用いたアプリケーションではセトリング時間が重要

| RESOLUTION, # OF BITS | LSB (%FS) | # OF TIME CONSTANTS |
|--------------------------|-----------|------------------------|
| 6 | 1.563 | 4.16 |
| 8 | 0.391 | 5.55 |
| 10 | 0.0977 | 6.93 |
| 12 | 0.0244 | 8.32 |
| 14 | 0.0061 | 9.70 |
| 16 | 0.00153 | 11.09 |
| 18 | 0.00038 | 12.48 |
| 20 | 0.000095 | 13.86 |
| 22 | 0.000024 | 15.25 |

図 6.163: さまざまな分解能における時定数の関数としてのセトリング時間

マルチプレクサを用いた 16 ビットのデータ・アキュジション・システムにおいて、サンプリング周波数 $f_s = 100$ kSPS の ADC を使用すると仮定します。 $1/f_s = 10\mu\text{s}$ 以下でフルスケールのステップ関数を入力するには、ADC が 16 ビット精度にセトリングする必要があります。この表から、16 ビットの精度にセトリングするには時定数が 11.09 でなければならないことがわかります。

したがって、入力フィルタの時定数は $\tau = 10 \mu\text{s}/11.09 = 900 \text{ ns}$ 以下でなければなりません。これに相当する立ち上がり時間は $t_r = 2.2\tau = 1.98 \mu\text{s}$ となります。これで、ADC の必要なフルパワーでの入力帯域幅は、 $BW = 0.35/t_r = 177 \text{ kHz}$ と計算できます。この計算では、マルチプレクサと ADC の 2 次セトリング時間の影響を無視しています。

過電圧回復時間は、ADC が規定の精度を達成するのに必要な時間として定義されます。この時間は、過電圧信号がコンバータのレンジに再び入った時点から測定されます（図 6.164 参照）。この仕様は通常、ADC の入力範囲から 50 % 外れた信号に対して定められます。言うまでもなく、ADC は範囲外信号を制限する理想的なリミッタとして機能し、過電圧状態にあるときは正または負のフルスケール・コードを生成する必要があります。ADC によっては、ゲイン調整回路をアクティブにするためにオーバーレンジ・フラグとアンダーレンジ・フラグを備えているものがあります。ADC 入力を損傷する過電圧信号が発生しないように常に注意を払う必要があります。

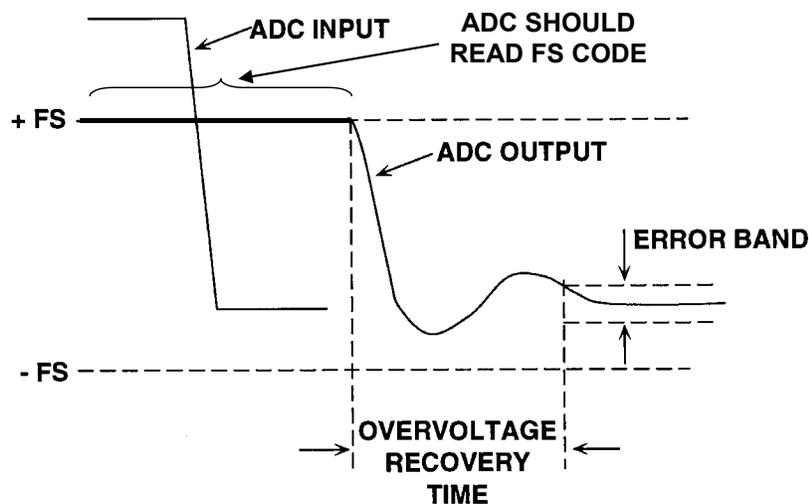


図 6.164: 過電圧回復時間

ADC のスパークル・コード、準安定状態、ビット・エラー・レート (BER)

ADC を使用する多くのデジタル通信システム的设计では、ビット・エラー・レート (BER) が最も重要です。あいにく、ADC の BER への影響は簡単な解析では予測できません。本セクションでは、エラー・レートに影響する ADC のメカニズム、問題を最小限に抑える方法、および BER を測定する方法について説明します。

ランダム・ノイズは、ソースとは無関係に有限のエラー確率（期待する出力からの偏差）を生成します。ただし、エラー・コードの発生源について説明する前に、ADC のエラー・コードを構成する要因を定義することが重要です。ADC の前段または内部で生成されたノイズは従来の方法で解析することができます。したがって、ADC のエラー・コードは、ADC の等価入力ノイズに起因しない、期待される出力からの偏差になります。

エラー・コードのある ADC に小振幅のサイン波が印加されたときの出力を図 6.165 に誇張して示します。ADC のノイズにより、出力に多少の不確実性が生じていることに注意してください。これらの異常はエラー・コードとは見なされず、通常のノイズや量子化の結果に過ぎません。大きなエラーはもっと重要で、予測できないものです。こうしたエラーはランダムで非常にまれなので、ADC の S/N 比のテストで検出されることはほとんどありません。このような種類のエラーは、ビデオ・アプリケーション向けの初期の一部の ADC で問題となり、**スパークル・コード** (sparkle code) という名前が付けられました。理由は、特定のテスト条件で小さな白点、すなわち「スパークル (輝点)」としてテレビ画面に表示されたためです。これらのエラーはラビット (兎) やフライヤー (飛び跳ねるもの) とも呼ばれています。デジタル通信用途では、この種のエラーによりシステム全体のビット・エラー・レート (BER) が増加します。

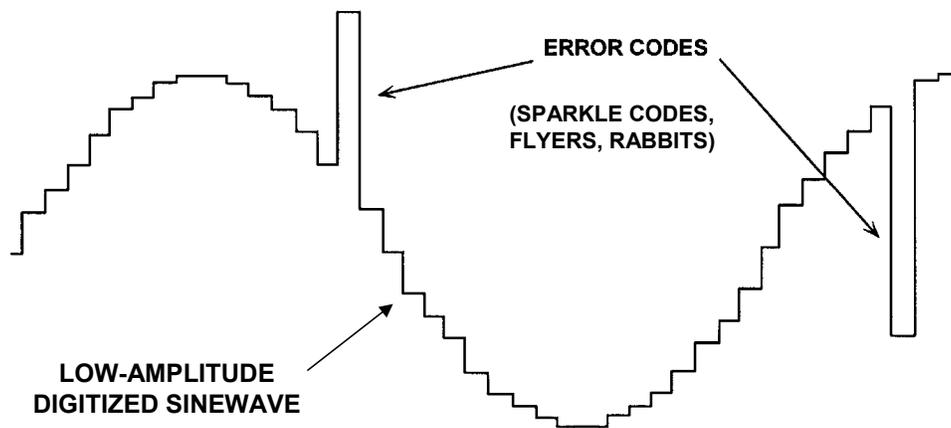


図 6.165: エラー・コードを示す ADC 出力の誇張表示

エラー・コードの原因を理解するには、まず簡単なフラッシュ・コンバータの場合を考えてみましょう。フラッシュ・コンバータのコンパレータは、通常、マスター/スレーブ構成で配置されたラッチ付きコンパレータです。入力信号が特定のコンパレータの閾値の中央にある場合、そのコンパレータの平衡は保たれ、ラッチ・ストロブを印加すると、オーバードライブされている隣接のコンパレータの出力よりも有効なロジック・レベルに達するまでの時間が長くなります。この現象は準安定 (*metastability*) として知られており、平衡状態にあるコンパレータがデコードの許容時間内に有効なロジック・レベルに達することができない場合に生じます。簡単なバイナリのデコード・ロジックを使用してサーモメーター・コードをデコードした場合、準安定のコンパレータ出力が大きな出力コード・エラーを発生させる可能性があります。単純な 3 ビットのフラッシュ・コンバータの場合を考えてみましょう (図 6.167 参照)。入力信号が上から 4 番目のコンパレータのちょうど閾値にあり、ラッチ・ストロブが印加されるたびにランダム・ノイズがこのコンパレータに 1 と 0 の出力間をトグルさせると仮定します。対応するバイナリ出力は、011 または 100 として解釈されるはずですが、コンパレータ出力が準安定状態にある場合、ここに示した単純なバイナリのデコード・ロジックでは、000、011、100、あるいは 111 のバイナリ・コードを生成してしまう可能性があります。コード 000 と 111 は、期待されるコードから 1/2 スケール逸脱することを表します。

準安定のコンパレータはセトリングするための時間が少ししか取れないので、サンプリング・レートが高くなると、準安定性に起因するエラーが生じる確率が高くなります。

準安定状態の問題を最小にするために、フラッシュ・コンバータの設計ではさまざまな対策が講じられています。参考資料 12 ~ 15 に記載されているデコード方式は、これらのエラーの大きさを最小にします。こうした問題を軽減するもう 1 つの方法として、コンパレータの設計を再生ゲインと小さな時定数向けに最適化することが挙げられます。

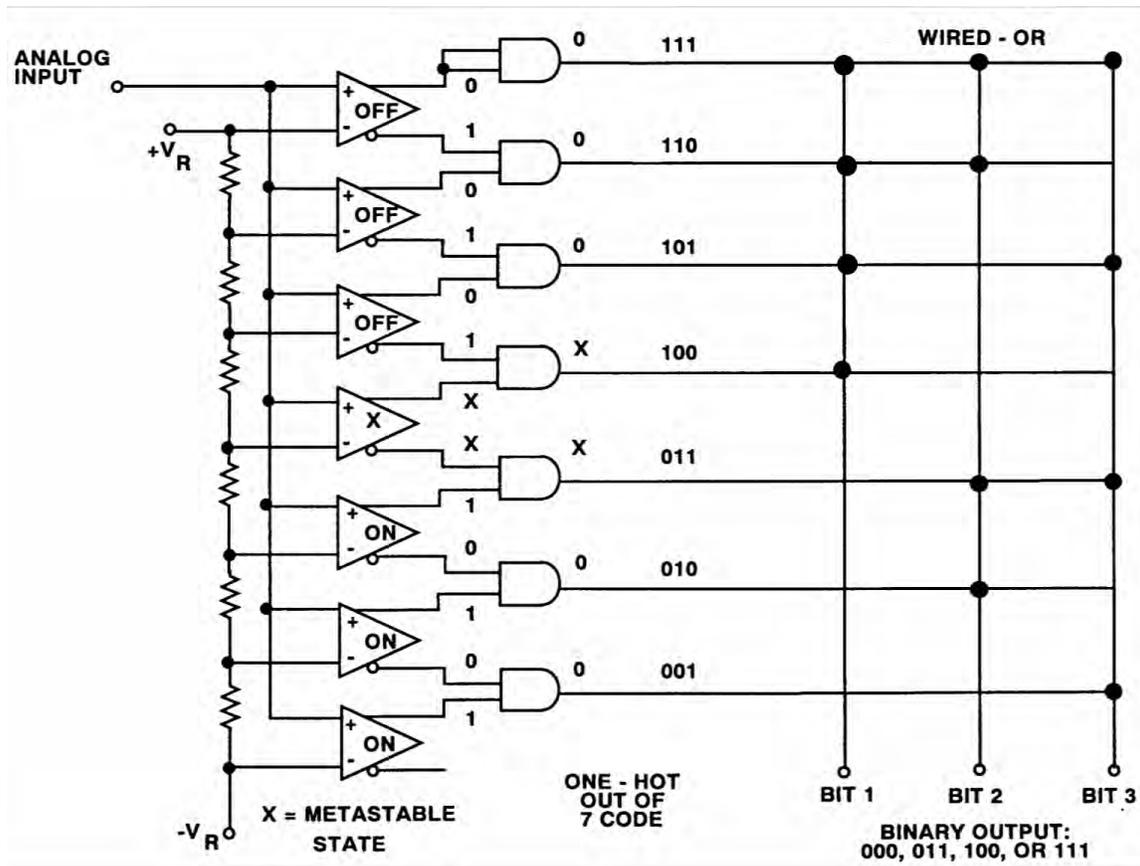


図 6.166: 準安定コンパレータの出力状態によりデータ・コンバータでエラー・コードが発生する可能性

準安定状態エラーは、コンパレータをビルディング・ブロックとして使用する逐次比較型 ADC やサブレンジング ADC でも発生することがあります。エラーの大きさや場所は異なるにせよ、同様の考え方があてはまります。

ADC で良好な BER を得るのは困難で時間のかかる作業です。1 つのユニットをエラーなしでテストするのに数日間かかることもあります。例えば、75 MSPS のサンプリング・レートで動作する一般的な 8 ビット・フラッシュ・コンバータのテストでは、エラー・リミットが 4 LSB で、約 3.7×10^{-12} (1 エラー/時間) の BER が得られます。長時間の重要なテストでは、EMI/RFI 効果 (遮蔽室が必要な場合がある) や絶縁型電源などに特に注意する必要があります。75 MSPS のサンプリング周波数において、BER の関数として表した平均エラー間隔を図 6.167 に示します。

これは、測定時間が長くなければ電源トランジェントやノイズなどでエラーが生じる確率が高くなるため、低い BER の測定が難しいことを示しています。

| Bit Error Rate (BER) | Average Time Between Errors |
|----------------------|-----------------------------|
| 1×10^{-8} | 1.3 seconds |
| 1×10^{-9} | 13.3 seconds |
| 1×10^{-10} | 2.2 minutes |
| 1×10^{-11} | 22 minutes |
| 1×10^{-12} | 3.7 hours |
| 1×10^{-13} | 1.5 days |
| 1×10^{-14} | 15 days |

図 6.167: 平均エラー時間と BER との関係 (75 MSPS でサンプリングした場合)

DAC のダイナミック性能

DAC で最も重要と思われる AC 仕様は、セトリング時間、グリッチ・インパルス領域、歪み、スプリアスフリー・ダイナミック・レンジ (SFDR) です。

DAC のセトリング時間

DAC のセトリング時間とは、デジタル・コードが変化してから、出力がある誤差帯域内に入って、そこに留まるまでの時間です (図 6.168 参照)。アンプでは、誤差帯域がアンプによって異なるため、セトリング時間を比較するのは困難ですが、DAC を使用した場合の誤差帯域はほぼ常に ± 1 LSB または $\pm \frac{1}{2}$ LSB になります。

DAC のセトリング時間は、次の 4 種類の期間で構成されます。すなわち、スイッチング時間またはデッド・タイム (デジタル・スイッチングが変化しているが出力は変化していない期間)、スルー時間 (出力の変化レートが DAC 出力のスルー・レートで制限されている期間)、回復時間 (DAC が高速スルーから回復するときで、オーバーシュートすることもある)、リニア・セトリング時間 (DAC 出力が指数関数的またはほぼ指数関数的に最終値に近づくとき)。スルー時間が他の 3 つに比べて短い場合 (電流出力 DAC では一般的)、セトリング時間は出力のステップ・サイズにはほとんど依存しません。一方、スルー時間が全体のかなりの部分を占める場合は、ステップが大きくなるほどセトリング時間も長くなります。

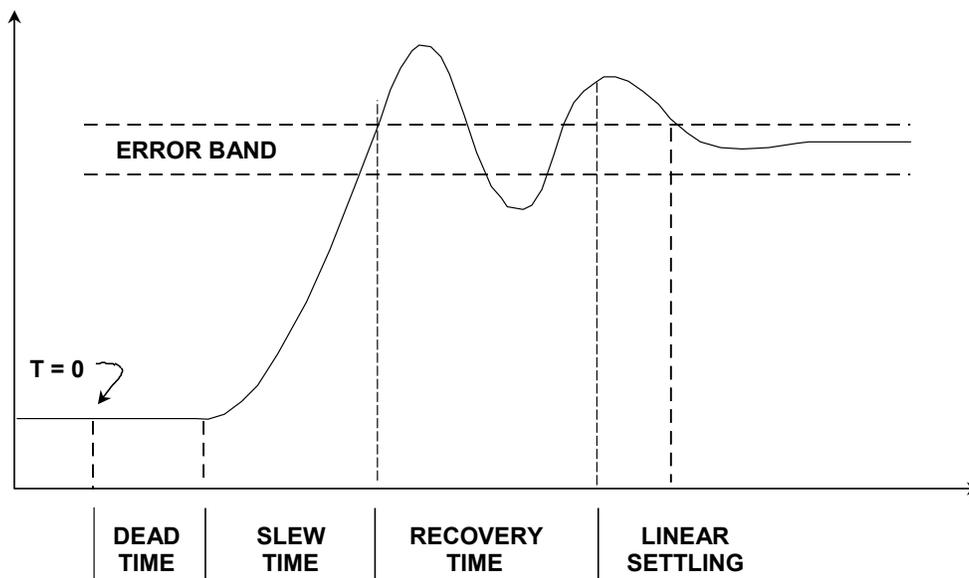


図 6.168: DAC のセトリング時間

セトリング時間はビデオ・ディスプレイ・アプリケーションで特に重要です。例えば、60 Hz リフレッシュ・レートで更新される標準の 1024×768 ディスプレイは、ピクセル・レートが $1024 \times 768 \times 60 \text{ Hz} = 47.2 \text{ MHz}$ (オーバーヘッドなし) である必要があります。35% のオーバーヘッド時間を許容すると、ピクセル周波数が 64 MHz に増加します。これは $1/(64 \times 10^6) = 15.6 \text{ ns}$ のピクセル周期に相当します。

2つの黒色画素の間にある1つの完全な白色画素を正確に再現するには、DACのセトリング時間は15.6 nsの画素持続時間よりも短くなければなりません。

解像度がより高いディスプレイでは、さらに高速のピクセル・レートが必要です。例えば、2048 × 2048のディスプレイでは、60 Hz リフレッシュ・レートで約330 MHzのピクセル・レートが必要になります。

グリッチ・インパルス面積

理想的には、DACの出力が変化するときには、ある値から新しい値に単調に移行する必要があります。実際には、出力はオーバーシュートまたはアンダーシュート、あるいはその両方になる可能性があります（図 6.169 参照）。DACが出力の遷移中に示すこの好ましくない挙動はグリッチと呼ばれます。これが発生するメカニズムとして、デジタル遷移によるアナログ出力への容量結合、およびDACの一部のスイッチが他のスイッチよりも速く動作するために一時的なスプリアス出力を生成することの2つが考えられます。

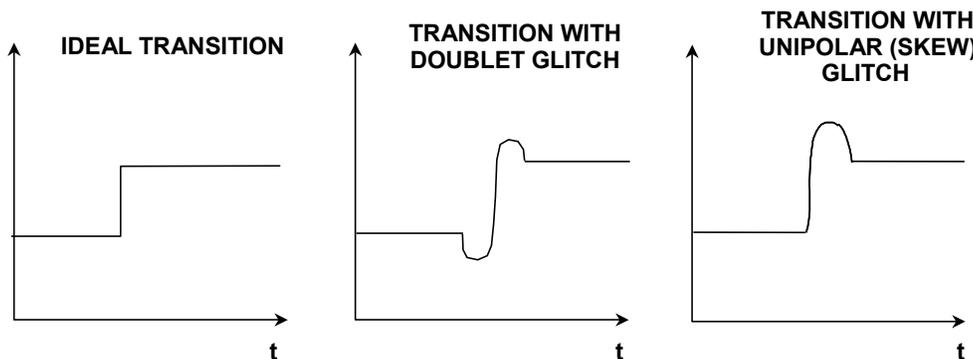


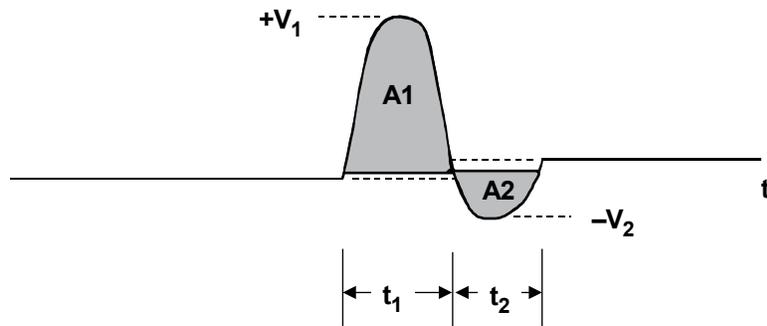
図 6.169: DAC の遷移（グリッチを示す）

容量性結合は、多くの場合正と負のスパイク（ダブルット・グリッチと呼ばれることもある）をほぼ等しく発生させますが、長時間かけて事実上消失します。スイッチのタイミング差によって発生するグリッチは一般に単極性で、こちらの方がはるかに大きく重要な問題です。

グリッチは、グリッチ・インパルスの面積を測定することによりその特性を評価することができ、正確な呼び方ではありませんが、グリッチ・エネルギーと呼ばれることもあります。グリッチ・インパルス面積の単位はボルト・秒 ($\mu\text{V}\cdot\text{sec}$ または $\text{pV}\cdot\text{sec}$ の可能性が高い) であるため、グリッチ・エネルギーという用語は誤称です。ピーク・グリッチ面積とは、正または負のグリッチ面積のうちの最大の面積のことです。グリッチ・インパルス面積は、電圧対時間曲線での正味面積であり、波形を三角形で近似して面積を計算し、さらに正の面積から負の面積を差し引くことによって推算できます（図 6.170 参照）。

コード 0111...111 と 1000...000 間の遷移によって生成されるミッドスケールのグリッチが、通常は最悪のグリッチになります。他のコード遷移点（フルスケールの 1/4 や 3/4 など）でのグリッチは、一般には小さくなります。高速低グリッチ DAC のミッドスケール・グリッチを図 6.171 に示します。ピークと正味のグリッチ面積は、上述のように三角形を使って推算できます。

セトリング時間は、波形が最初の 1 LSB 誤差帯域を離れて、最終値の 1 LSB 誤差帯域内に入り、そこに留まるまでを測定します。遷移領域間のステップ・サイズも 1 LSB です。



◆ PEAK GLITCH IMPULSE AREA = $A1 \approx \frac{V_1 \cdot t_1}{2}$

◆ NET GLITCH IMPULSE AREA = $A1 - A2 \approx \frac{V_1 \cdot t_1}{2} - \frac{V_2 \cdot t_2}{2}$

図 6.170: 正味のグリッチ・インパルス面積の計算

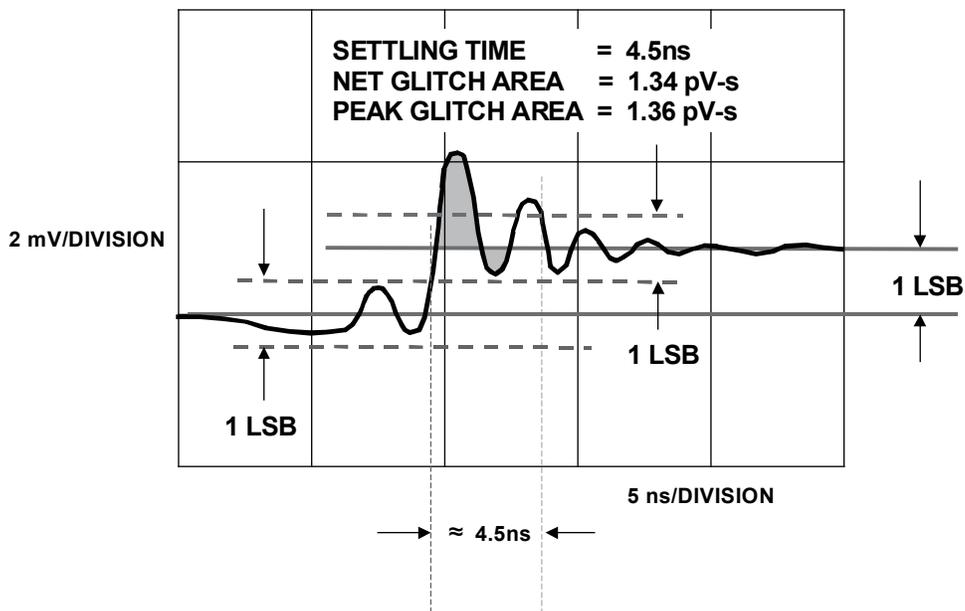


図 6.171: DAC のミッドスケール・グリッチは、正味のインパルスの面積が 1.34 pV-s で、セトリング時間が 4.5 ns を示している

DAC の SFDR と S/N 比

DAC のセトリング時間は、RGB ラスター・スキャン式ビデオ・ディスプレイ・ドライバなどのアプリケーションでは重要ですが、通信では一般に SFDR などの周波数領域での仕様のほうが重要です。

DAC によって再現される波形のスペクトルをデジタル・データから考察すると、期待されるスペクトル（再現される波形の性質に応じて 1 つ以上の周波数を含む）に加え、ノイズや歪みの成分も存在することがわかります。歪みは、高調波歪み、スプリアスフリー・ダイナミック・レンジ（SFDR）、相互変調歪み、あるいはこれらのすべてで仕様が規定されることがあります。高調波歪みは、（理論的に）純粋なサイン波が再現されたときの基本波に対する高調波の比と定義されており、最も一般的な仕様です。スプリアスフリー・ダイナミック・レンジ（SFDR）は、基本波に対する最悪のスプリアスの比率です（通常ははそうだが、必ずしも基本波の高調波とは限らない）。

DDS（ダイレクト・デジタル・シンセシス）システムのように DAC がサイン波をデジタル的に再現する場合は、コードに依存するグリッチは帯域外と帯域内の両方で高調波を発生します。ミッドスケールのグリッチは、再現されるサイン波 1 サイクル中に（それぞれのミッドスケールの交差点で）2 回発生するため、サイン波の 2 次高調波が生成されます（図 6.172 参照）。サイン波のより高次の高調波（ナイキスト帯域幅（DC ~ $f_s/2$ ）に折り返される高調波）はフィルタリングできないことに注意してください。

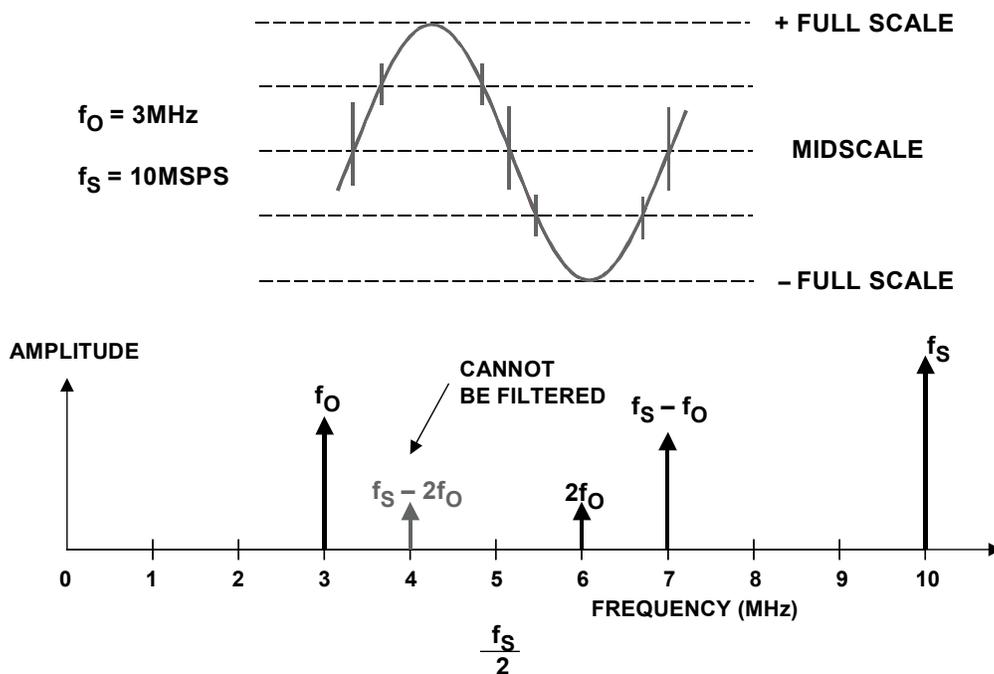


図 6.172: コード依存グリッチがスペクトル出力に与える影響

グリッチ面積の仕様だけでは、高調波歪みや SFDR を予測することは困難です。DAC の全体的な直線性など、他の要素も歪みの原因となります。

さらに、DAC の出力周波数とサンプリング・クロック間の特定の比により、量子化ノイズが基本波の高調波に集中することにより、これらの点で歪みが増加します。

したがって、さまざまなクロック・レートと出力周波数において、(スペクトル・アナライザを用い) 周波数領域で再構成 DAC をテストすることが慣例となっています (図 6.173 参照)。16 ビット、Transmit TxDAC™ である AD9777 の代表的な SFDR を図 6.174 に示します。クロック・レートは 160 MSPS で、出力周波数は 50 MHz まで掃引されています。ADC と同様、クロック周波数と DAC の出力周波数との比が整数の場合、高調波歪みが増加するにつれて量子化ノイズが現れてきます。このような比率は、SFDR を測定する際には避けなければなりません。

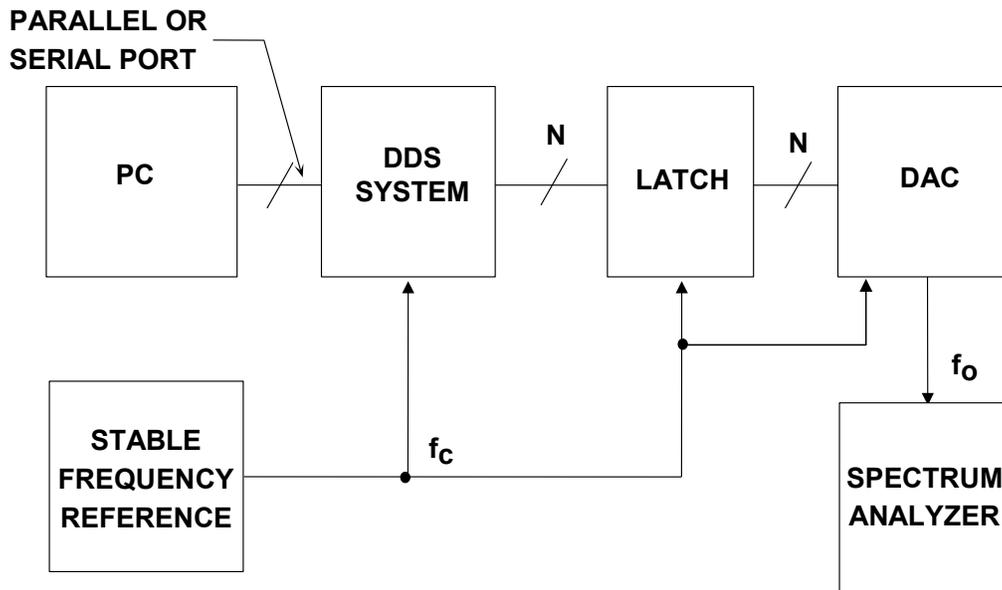


図 6.173: DAC の SFDR を測定するためのテスト・セットアップ

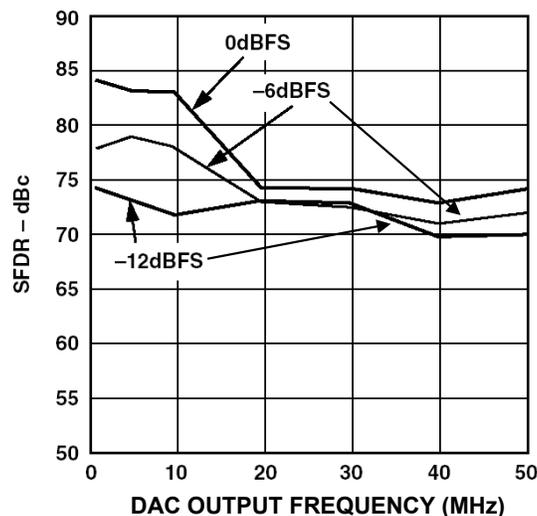


図 6.174: AD9777、16 ビット TxDAC の SFDR (データ更新レート = 160 MSPS)

低歪み DAC のクロック周波数と出力周波数の可能な組み合わせはほぼ無限にあるため、SFDR は一般に限られた数の組み合わせに対して仕様が規定されています。このため、アナログ・デバイスでは、Transmit TxDAC ファミリーに対する顧客の仕様に従ったテスト・ベクトルに基づいて、高速ターンアラウンドを提供しています。このテスト・ベクトルは、特定の DAC の SFDR データに対して顧客が直接仕様化した、振幅、出力周波数、更新レートの組み合わせです。

アナログ・スペクトラム・アナライザを用いた DAC の S/N 比の測定

高性能 DAC の歪みと SFDR の測定には、アナログ・スペクトラム・アナライザが使用されます。アナライザのフロント・エンドが基本波信号によってオーバードライブされないように注意する必要があります。オーバードライブの問題がある場合は、バンドストップ・フィルタを用いて基本波信号をフィルタし、スプリアス成分が観測されるようにすることができます。

帯域幅に留意する必要があるれば、DAC の S/N 比をスペクトラム・アナライザで測定することもできます。ADC の S/N 比は通常、ナイキスト帯域幅 DC ~ $f_s/2$ で測定される S/N 比と定義されます。しかし、スペクトラム・アナライザの分解能の帯域幅は $f_s/2$ 以下なので、アナライザのノイズ・フロアが $10 \log_{10}(f_s/2 \cdot BW)$ (BW はアナライザの分解能ノイズ帯域幅) のプロセス・ゲインだけ低下します (図 6.175 参照)。

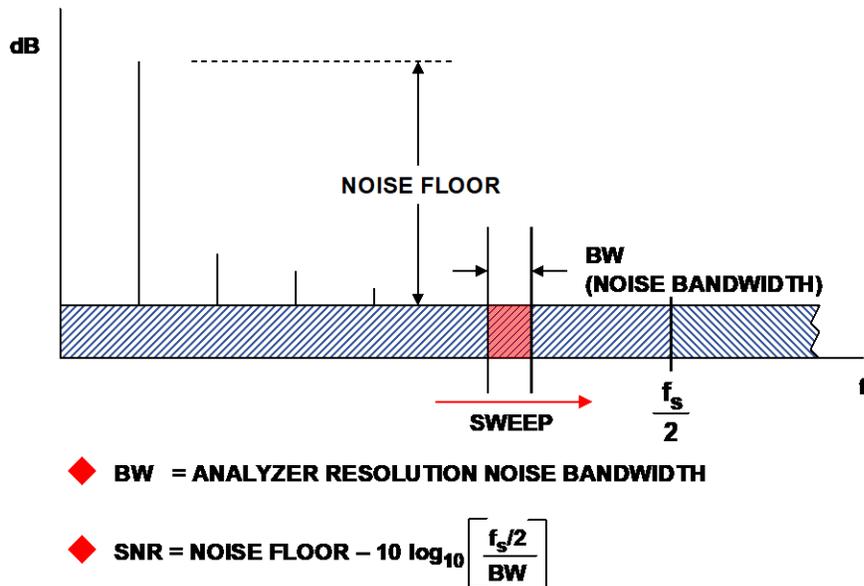


図 6.175: アナログ・スペクトラム・アナライザを用いた DAC の S/N 比の測定

ノイズ帯域幅 (3 dB 帯域幅ではない) を計算に使うことが重要です。ただし、図 6.147 に示すように、アナライザの狭帯域フィルタに少なくとも極が 2 つあるとすれば、誤差は小さくなります。1 極のバターワース・フィルタの 3 dB 帯域幅に対するノイズ帯域幅の比は 1.57 です (プロセス・ゲインの計算では 1.96 dB の誤差が生じる)。2 極のバターワース・フィルタの場合、比は 1.11 です (プロセス・ゲイン計算では 0.45 dB の誤差)。

その他の AC 仕様

あまり一般的でない仕様もいくつかあり、以下にそれらを示します。

アキュイジション時間: ステップ変化に対するサンプル&ホールド回路のアキュイジション時間とは、トラック・コマンドが与えられてから、規定の誤差帯域内の最終値に出力が達するのに必要な時間のことです。これには、スイッチ遅延時間、スルーイング間隔、および規定の出力電圧変化に対するセトリング時間が含まれます。サンプル&ホールド機能はほとんど ADC に組み込まれているため、この仕様は現在ではあまり一般的ではありません。

自動ゼロ: 多くの積分型コンバータでは、ゼロ安定性を達成するために、各変換サイクル中に時間間隔を設けて回路がドリフト誤差を補償できるようにしています。このようなコンバータでのドリフト誤差は事実上ゼロです。

チャンネル間アイソレーション: DAC が複数個ある場合、ある DAC のリファレンス入力のアナログ入力信号が他の DAC の出力に現れる割合。dB 単位で対数表示されます。クロストークも参照してください。

電荷移動 (またはオフセット・ステップ): サンプル to ホールド・オフセット (またはペDESTAL) の主成分は、ホールド・モードに切り替わったときに、スイッチの電極間容量と浮遊容量を介して蓄積コンデンサに転送される小さい電荷です。オフセット・ステップは次のようにこの電荷に正比例します。

$$\text{オフセット誤差} = \text{電荷の増分} / \text{容量} = \Delta Q / C$$

これは適切な極性のホールド信号を 1 次キャンセル用コンデンサに軽く結合することで、いく分低減させることができます。また、容量を増加することによっても誤差を低減できますが、アキュイジション時間が長くなってしまいます。サンプル&ホールド機能がほとんど ADC に組み込まれているため、この仕様も現在ではあまり一般的ではありません。

クロストーク: 信号のリーク。一般には、マルチプレクサ、複数オペアンプ、複数 DAC など、マルチチャンネルのシステムやデバイスの回路間またはチャンネル間の容量を介して生じます。クロストークは通常、物理回路のインピーダンス・パラメータによって決まり、実際の値は周波数に依存します。チャンネル間アイソレーションを参照してください。

複数の DAC の場合は、**デジタル・クロストーク**仕様があります。あるコンバータのデジタル入力コードが変化することにより、他のコンバータの出力にスパイク (グリッチと呼ばれることもある) インパルスが現れるものです。これはナノ・ボルト秒またはピコ・ボルト秒で規定され、 $V_{REF} = 0V$ で測定されます。

微分ゲイン (ΔG): ビデオ仕様。黒から白までのビデオ範囲で掃引されるとき、小振幅の色副搬送波信号の振幅の変化量 (単位はパーセンテージ) を測定します。

微分位相 ($\Delta \phi$): ビデオ仕様。黒から白までのビデオ範囲で掃引されるとき、小振幅の色副搬送波信号の位相の変化量 (単位はパーセンテージ) を測定します。

フィードスルー: スイッチまたはその他のデバイスの周辺で生じる望ましくない信号結合で、解除するかアイソレーションを施すべきもの。例えば、サンプル&ホールド、マルチプレクサ、あるいは乗算型 DAC におけるフィードスルー誤差。フィードスルーは、ある一群の入力条件および規定の周波数において、パーセント、dB、ppm、1 LSB の分数、あるいは 1 ボルトの分数で、仕様がさまざまに規定されます。

乗算型 DAC では、フィードスルー誤差は、すべてのスイッチをオフにした状態で、 $AC V_{REF}$ から出力への容量性結合によって生じます。サンプル&ホールドの場合、入力信号の変動または AC 入力波形の一部がフィードスルーとしてホールド状態の出力に現れます。これは、入力から蓄積コンデンサまでの、主に開いているスイッチの浮遊容量性結合によって生じます。

セトリング時間 — ADC: アナログ入力のステップ変化（通常はフルスケール）後に、ADC のデジタル出力が所定の分数（通常は $\pm 1/2$ LSB）に達してそこに留まるのに必要な時間。

参考資料

データ・コンバータの AC 誤差

1. W. R. Bennett, "Spectra of Quantized Signals," **Bell System Technical Journal**, Vol. 27, July 1948, pp. 446-471.
2. B. M. Oliver, J. R. Pierce, and C. E. Shannon, "The Philosophy of PCM," **Proceedings IRE**, Vol. 36, November 1948, pp. 1324-1331.
3. W. R. Bennett, "Noise in PCM Systems," **Bell Labs Record**, Vol. 26, December 1948, pp. 495-499.
4. H. S. Black and J. O. Edson, "Pulse Code Modulation," **AIEE Transactions**, Vol. 66, 1947, pp. 895-899.
5. H. S. Black, "Pulse Code Modulation," **Bell Labs Record**, Vol. 25, July 1947, pp. 265-269.
6. Steve Ruscak and Larry Singer, *Using Histogram Techniques to Measure A/D Converter Noise*, **Analog Dialogue**, Vol. 29-2, 1995.
7. M.J. Tant, **The White Noise Book**, Marconi Instruments, July 1974.
8. G.A. Gray and G.W. Zeoli, *Quantization and Saturation Noise due to A/D Conversion*, **IEEE Trans. Aerospace and Electronic Systems**, Jan. 1971, pp. 222-223.
9. Kevin McClaning and Tom Vito, **Radio Receiver Design**, Noble Publishing, 2000, ISBN 1-88-4932-07-X.
10. Walter G. Jung, editor, **Op Amp Applications**, Analog Devices, Inc., 2002, ISBN 0-916550-26-5, pp. 6.144-6.152.
11. Brad Brannon, *Aperture Uncertainty and ADC System Performance*, **Application Note AN-501**, Analog Devices, Inc., January 1998. (available for download at <http://www.analog.com>)
12. Christopher W. Mangelsdorf, *A 400-MHz Input Flash Converter with Error Correction*, **IEEE Journal of Solid-State Circuits**, Vol. 25, No. 1, February 1990, pp. 184-191.
13. Charles E. Woodward, *A Monolithic Voltage-Comparator Array for A/D Converters*, **IEEE Journal of Solid State Circuits**, Vol. SC-10, No. 6, December 1975, pp. 392-399.
14. Yukio Akazawa et. al., *A 400MSPS 8 Bit Flash A/D Converter*, **1987 ISSCC Digest of Technical Papers**, pp. 98-99.
15. A. Matsuzawa et al., *An 8b 600 MHz Flash A/D Converter with Multi-stage Duplex-gray Coding*, **Symposium VLSI Circuits, Digest of Technical Papers**, May 1991, pp. 113-114.
16. Ron Waltman and David Duff, *Reducing Error Rates in Systems Using ADCs*, **Electronics Engineer**, April 1993, pp. 98-104.
17. K. W. Cattermole, **Principles of Pulse Code Modulation**, American Elsevier Publishing Company, Inc., 1969, New York NY, ISBN 444-19747-8. (*An excellent tutorial and historical discussion of data conversion theory and practice, oriented towards PCM, but covers practically all aspects. This one is a must for anyone serious about data conversion! Try internet secondhand bookshops such as <http://www.abebooks.com> for starters*).
18. Robert A. Witte, *Distortion Measurements Using a Spectrum Analyzer*, **RF Design**, September, 1992, pp. 75-84.

19. Walt Kester, *Confused About Amplifier Distortion Specs?* **Analog Dialogue**, 27-1, 1993, pp. 27-29.
20. Dan Sheingold, Editor, **Analog-to-Digital Conversion Handbook, Third Edition**, Prentice-Hall, 1986.

6.7: タイミング仕様

コンバータのデジタル信号は、ほとんどの場合、標準インターフェース仕様の代表値で動作するように設計されています。一般的なインターフェースはパラレルまたはシリアルです（通常は SPI® または I2C® 互換ですが、高速では LVDS の採用が増えています）。定義済みの標準と互換性があるということは、これらの標準の仕様で定義されているタイミングと電圧レベルが満たされていることを意味します。

コンバータのデジタル信号は、一般にアドレス、データ、制御の 3 つのグループに分けられます。

共通のタイミング仕様は次のとおりです。

ロジック・ロー・レベル: 信号がロジック 0 であることが保証される電圧レベル。このレベルは、一般にコンバータの動作が保証されるすべての電源で仕様規定されます。つまり、通常 3 V 電源と 5 V 電源では仕様表が異なることになります。

ロジック・ハイ・レベル: 信号がロジック 1 であることが保証される電圧レベル。これもさまざまな電源電圧で仕様規定されます。

立上がり時間: ステップ関数の場合は、信号が規定の低い値から規定の高い値に変化するのに必要な時間。通常、これらの値は一般にはステップの高さの 10% と 90% です（図 6.176 の左側参照）。

立下がり時間: ステップ関数の場合は、信号が規定の高い値から規定の低い値に変化するのに必要な時間。通常、これらの値はステップの高さの 10% と 90% です（図 6.176 の右側参照）。

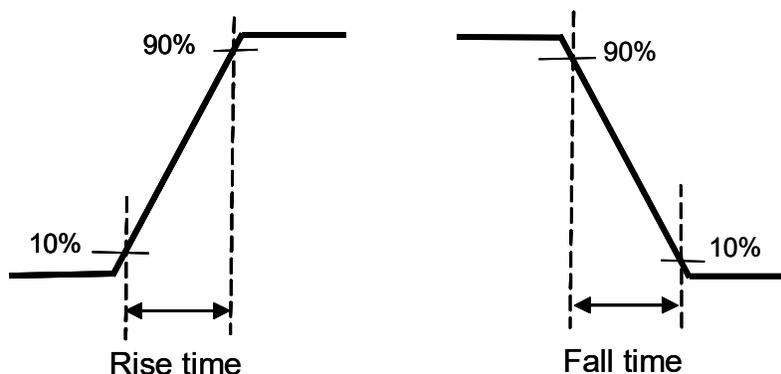


図 6.176: 立上がり時間と立下がり時間

セットアップ時間: 出力ラッチのサンプリング前にデータ入力を有効にしていなければならない時間。

ホールド時間: 出力サンプリング後にデータ入力を有効に保持しなければならない時間。

伝搬遅延: サンプリングされたデータ入力が出力に伝播するのにかかる時間。

パルス幅ハイ: パルスをロジック・ハイ・レベルにする必要のある最小時間。

パルス幅ロー: パルスをロジック・ロー・レベルにする必要のある最小時間。

その他のタイミング仕様は、通常、ある信号遷移から次の信号遷移に至るまでです。これらの信号は仕様に定義されます。一例を図 6.178 に示します。

多くの場合、取り出せる出力電流も規定されています。このため、ファン・アウト、つまり出力が駆動可能な代表的な負荷の数を決めるのに役立ちます。ただし、回路基板に関する考慮事項のセクションでは、なぜコンバータが大きな電流を流すのが得策でないのかについて説明します。

場合によっては高速コンバータのクロック入力が標準のロジック信号レベルと異なることがあります。これは、多くはプリント回路基板上で生成や伝播のしやすい信号にするためです。例えば、最適な性能を得るには、AD6645 は差動でクロックする必要があります。エンコード信号は通常、トランスまたはコンデンサを介して ENC ピンと $\overline{\text{ENC}}$ ピンに AC 結合されます。これらのピンは内部でバイアスされているため、追加のバイアスは不要です。この入力の入力インピーダンスと信号レベルは、仕様規定されます。図 6.177 を参照してください。

| Parameter (Conditions) | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|---|------|------------|--------------|-----|-----|---------------|-----|-----|-------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| ENCODE INPUTS (ENC, $\overline{\text{ENC}}$) | | | | | | | | | |
| Differential Input Voltage ¹ | Full | IV | 0.4 | | | 0.4 | | | V p-p |
| Differential Input Resistance | 25°C | V | | 10 | | | 10 | | kΩ |
| Differential Input Capacitance | 25°C | V | | 2.5 | | | 2.5 | | pF |

図 6.177: AD6645 のエンコード・コマンドの仕様

AD6645

SWITCHING SPECIFICATIONS (continued) (AV_{CC} = 5 V, DV_{CC} = 3.3 V; ENCODE, $\overline{\text{ENCODE}}$, T_{MIN} and T_{MAX} at rated speed grade, C_{LOAD} = 10 pF, unless otherwise noted.)

| Parameter (Conditions) | Name | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|---|-------------------|------|------------|---|-------------------------------------|------|---|-------------------------------------|-----|--------|
| | | | | Min | Typ | Max | Min | Typ | Max | |
| ENCODE Input Parameters ¹ | | | | | | | | | | |
| Encode Period ¹ | t _{ENC} | Full | V | | 12.5 | | | 9.5 | | ns |
| Encode Pulsewidth High ² | t _{ENCH} | Full | V | | 6.25 | | | 4.75 | | ns |
| Encode Pulsewidth Low | t _{ENCL} | Full | V | | 6.25 | | | 4.75 | | ns |
| ENCODE/DataReady | | | | | | | | | | |
| Encode Rising to DataReady Falling | t _{DR} | Full | V | 1.0 | 2.0 | 3.1 | 1.0 | 2.0 | 3.1 | ns |
| Encode Rising to DataReady Rising (50% Duty Cycle) | t _{E_DR} | Full | V | | t _{ENCH} + t _{DR} | | | t _{ENCH} + t _{DR} | | ns |
| | | Full | V | 7.3 | 8.3 | 9.4 | 5.7 | 6.75 | 7.9 | ns |
| ENCODE/DATA (D13:0), OVR | | | | | | | | | | |
| ENC to DATA Falling Low | t _{E_FL} | Full | V | 2.4 | 4.7 | 7.0 | 2.4 | 4.7 | 7.0 | ns |
| ENC to DATA Rising Low | t _{E_RL} | Full | V | 1.4 | 3.0 | 4.7 | 1.4 | 3.0 | 4.7 | ns |
| ENCODE to DATA Delay (Hold Time) | t _{H_E} | Full | V | 1.4 | 3.0 | 4.7 | 1.4 | 3.0 | 4.7 | ns |
| ENCODE to DATA Delay (Setup Time) (50% Duty Cycle) | t _{S_E} | Full | V | t _{ENC} - t _{E_FL(max)} | | | t _{ENC} - t _{E_FL(max)} | | | ns |
| | | | | t _{ENC} - t _{E_FL(typ)} | | | t _{ENC} - t _{E_FL(typ)} | | | ns |
| | | | | t _{ENC} - t _{E_FL(min)} | | | t _{ENC} - t _{E_FL(min)} | | | ns |
| | | Full | V | 5.3 | 7.6 | 10.0 | 2.3 | 4.8 | 7.0 | ns |
| DataReady (DRY ³)/DATA, OVR | | | | | | | | | | |
| DataReady to DATA Delay (Hold Time) (50% Duty Cycle) | t _{H_DR} | Full | V | | Note 4 | | | Note 4 | | ns |
| | | | | 6.6 | 7.2 | 7.9 | 5.1 | 5.7 | 6.4 | ns |
| DataReady to DATA Delay (Setup Time) (50% Duty Cycle) | t _{S_DR} | Full | V | | Note 4 | | | Note 4 | | ns |
| | | | | 2.1 | 3.6 | 5.1 | 0.6 | 2.1 | 3.5 | ns |
| APERTURE DELAY | t _A | 25°C | V | | -500 | | | -500 | | ps |
| APERTURE UNCERTAINTY (Jitter) | t _J | 25°C | V | | 0.1 | | | 0.1 | | ps rms |

NOTES

¹Several timing parameters are a function of t_{ENC} and t_{ENCH}.

²ENCODE TO DATA Delay (Hold Time) is the absolute minimum propagation delay through the analog-to-digital converter, t_{E_RL} = t_{H_E}.

³DRY is an inverted and delayed version of the encode clock. Any change in the duty cycle of the clock will correspondingly change the duty cycle of DRY.

⁴DataReady to DATA Delay (t_{H_DR} and t_{S_DR}) is calculated relative to rated speed grade and is dependent on t_{ENC} and duty cycle.

Specifications subject to change without notice.

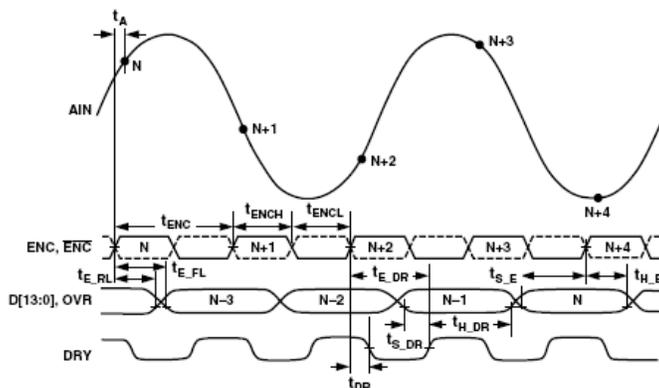


Figure 1. Timing Diagram

図 6.178: AD6645 のサンプリング・タイミング仕様

注記

6.8: データシートの読み方

データシートに関する業界標準（取扱範囲、情報の内容、情報の配置場所）はほとんどありませんが、各社のデータシートは一般に同様の構成となっています。このセクションでは、データシートをいくつか取り上げ、特定の情報をどこで探し、見つかった情報をどう解釈するかについて見ていきます。

例として、次の5つのデータシートを取り上げます。

| | |
|--------|-------------------------------|
| AD6645 | 高速 ADC |
| AD9777 | 高速 DAC (TxDAC、インターポレーション DAC) |
| AD7678 | 汎用 ADC |
| AD5570 | 汎用 DAC |
| AD7730 | $\Sigma\Delta$ ADC |

ここで選んだデバイス番号は任意であり、単に幅広いデバイスを取り上げるために選択したものです。

トップ・ページ

このページは、デバイスの選択に必要な基本情報を提供するように構成されています。図 6.179 参照してください。このページは3つのセクションに分けられます。

最初のセクションは特長です。箇条書きの項目は、製品が対象とするアプリケーションにとって重要であるとメーカーが考える特長です。ターゲットのアプリケーションも同様に紹介されます。

2つ目のセクションは製品の概要です。ここでは通常、メーカーがオペアンプの主要な特長と考える内容の一部を紹介します。

3つ目のセクションは機能ブロック図です。ブロック図から、情報を何度でも得ることができます。この例では、ADCがパイプライン・アーキテクチャを採用していることがわかります。この場合は3段構成です。

仕様表

ある仕様の測定条件は無数に考えられます。当然、そのすべての条件を試すことはできません。したがって、代表的な条件が選ばれます。テスト条件は規定されます（図 6.180 の 1）。条件をさらに明確化したり修正したりする必要がある場合は、脚注に記載されることもあります（図 6.180 の 2）。

多くのコンバータでは、個々の仕様に複数の項目が並ぶことがあります。これは、さまざまな性能レベルを示すためです。また、多様な温度範囲（通常は商用、工業用、または軍用）を示すためでもあります。この場合は、複数の速度グレードを示しています。そのことは図 6.179 (3) でわかります。



14-Bit, 80/105 MSPS A/D Converter

AD6645

FEATURES

SNR = 75 dB, f_{IN} 15 MHz up to 105 MSPS
 SNR = 72 dB, f_{IN} 200 MHz up to 105 MSPS
 SFDR = 89 dBc, f_{IN} 70 MHz up to 105 MSPS
 100 dB Multitone SFDR
 IF Sampling to 200 MHz
 Sampling Jitter 0.1 ps
 1.5 W Power Dissipation
 Differential Analog Inputs
 Pin Compatible to AD6644
 Twos Complement Digital Output Format
 3.3 V CMOS Compatible
 DataReady for Output Latching

APPLICATIONS

Multichannel, Multimode Receivers
 Base Station Infrastructure
 AMPS, IS-136, CDMA, GSM, WCDMA
 Single Channel Digital Receivers
 Antenna Array Processing
 Communications Instrumentation
 Radar, Infrared Imaging
 Instrumentation

1

PRODUCT DESCRIPTION

The AD6645 is a high speed, high performance, monolithic 14-bit analog-to-digital converter. All necessary functions, including track-and-hold (T/H) and reference, are included on the chip to provide a complete conversion solution. The AD6645 provides CMOS compatible digital outputs. It is the fourth generation in a wideband ADC family, preceded by the AD9042 (12-bit, 41 MSPS),

the AD6640 (12-bit, 65 MSPS, IF sampling), and the AD6644 (14-bit, 40 MSPS/65 MSPS).

Designed for multichannel, multimode receivers, the AD6645 is part of Analog Devices' SoftCell[®] transceiver chipset. The AD6645 maintains 100 dB multitone, spurious-free dynamic range (SFDR) through the second Nyquist band. This breakthrough performance eases the burden placed on multimode digital receivers (software radios) that are typically limited by the ADC. Noise performance is exceptional; typical signal-to-noise ratio is 74.5 dB through the first Nyquist band.

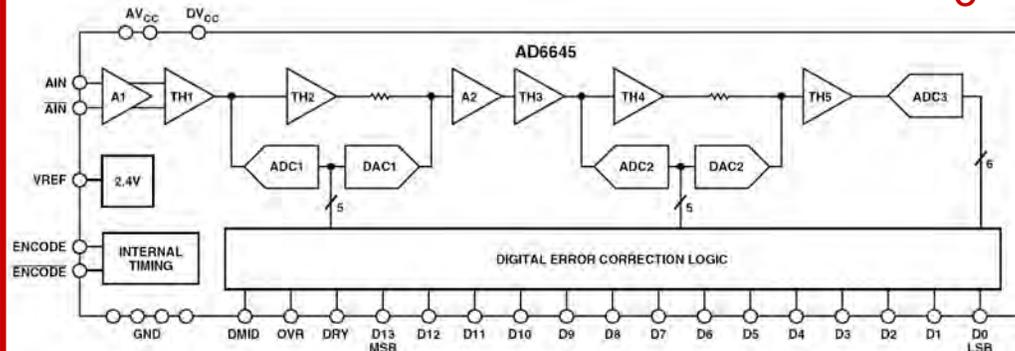
The AD6645 is built on Analog Devices' high speed complementary bipolar process (XFCB) and uses an innovative, multipass circuit architecture. Units are available in a thermally enhanced 52-lead PowerQuad 4[®] (LQFP_PQ4) specified from -40°C to +85°C at 80 MSPS and -10°C to +85°C at 105 MSPS.

2

PRODUCT HIGHLIGHTS

- IF Sampling**
The AD6645 maintains outstanding ac performance up to input frequencies of 200 MHz, suitable for multicarrier 3G wideband cellular IF sampling receivers.
- Pin Compatibility**
The ADC has the same footprint and pin layout as the AD6644, 14-Bit 40 MSPS/65 MSPS ADC.
- SFDR Performance and Oversampling**
Multitone SFDR performance of -100 dBc can reduce the requirements of high end RF components and allows the use of receive signal processors such as the AD6620 or AD6624/AD6624A.

FUNCTIONAL BLOCK DIAGRAM



3

REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781/329-4700 www.analog.com
 Fax: 781/326-8703 © 2003 Analog Devices, Inc. All rights reserved.

図 6.179: データシートのトップ・ページの例

AD6645—SPECIFICATIONS

DC SPECIFICATIONS ($V_{CC} = 5\text{ V}$, $DV_{CC} = 3.3\text{ V}$; T_{MIN} and T_{MAX} at rated speed grade, unless otherwise noted.)

| Parameter | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|---|------|------------|--------------|------------|------|---------------|-----------|------|--------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| RESOLUTION | | | 14 | | | | | | Bits |
| ACCURACY | | | Guaranteed | | | Guaranteed | | | |
| No Missing Codes | Full | II | | | | | | | |
| Offset Error | Full | II | -10 | +1.2 | +10 | -10 | +1.2 | +10 | mV |
| Gain Error | Full | II | -10 | 0 | +10 | -10 | 0 | +10 | % FS |
| Differential Nonlinearity (DNL) | Full | II | -1.0 | ± 0.25 | +1.5 | -1.0 | ± 0.5 | +1.5 | LSB |
| Integral Nonlinearity (INL) | Full | V | ± 0.5 | | | ± 1.5 | | | LSB |
| TEMPERATURE DRIFT | | | | | | | | | |
| Offset Error | Full | V | 1.5 | | | 1.5 | | | ppm/°C |
| Gain Error | Full | V | 48 | | | 48 | | | ppm/°C |
| POWER SUPPLY REJECTION (PSRR) | 25°C | V | ± 1.0 | | | ± 1.0 | | | mV/V |
| REFERENCE OUT (VREF) ¹ | Full | V | 2.4 | | | 2.4 | | | V |
| ANALOG INPUTS (AIN, $\overline{\text{AIN}}$) | | | | | | | | | |
| Differential Input Voltage Range | Full | V | 2.2 | | | 2.2 | | | V p-p |
| Differential Input Resistance | Full | V | 1 | | | 1 | | | kΩ |
| Differential Input Capacitance | 25°C | V | 1.5 | | | 1.5 | | | pF |
| POWER SUPPLY | | | | | | | | | |
| Supply Voltages | | | | | | | | | |
| V_{CC} | Full | II | 4.75 | 5.0 | 5.25 | 4.75 | 5.0 | 5.25 | V |
| DV_{CC} | Full | II | 3.0 | 3.3 | 3.6 | 3.0 | 3.3 | 3.6 | V |
| Supply Current | | | | | | | | | |
| $I_{AV_{CC}}$ ($V_{CC} = 5.0\text{ V}$) | Full | II | 275 | | | 275 | | | mA |
| $I_{DV_{CC}}$ ($DV_{CC} = 3.3\text{ V}$) | Full | II | 32 | | | 32 | | | mA |
| Rise Time ² | | | | | | | | | |
| V_{CC} | Full | IV | 250 | | | 250 | | | ms |
| POWER CONSUMPTION | Full | II | 1.5 | | | 1.75 | | | W |

NOTES

¹VREF is provided for setting the common-mode offset of a differential amplifier such as the AD8138 when a dc-coupled analog input is required. VREF should be buffered if used to drive additional circuit functions.

²Specified for dc supplies with linear rise time characteristics.

Specifications subject to change without notice

DIGITAL SPECIFICATIONS ($V_{CC} = 5\text{ V}$, $DV_{CC} = 3.3\text{ V}$; T_{MIN} and T_{MAX} at rated speed grade, unless otherwise noted.)

| Parameter (Conditions) | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|---|------|------------|-----------------|-----|-----|-----------------|-----|-----|-------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| ENCODE INPUTS (ENC, $\overline{\text{ENC}}$) | | | | | | | | | |
| Differential Input Voltage ¹ | Full | IV | 0.4 | | | 0.4 | | | V p-p |
| Differential Input Resistance | 25°C | V | 10 | | | 10 | | | kΩ |
| Differential Input Capacitance | 25°C | V | 2.5 | | | 2.5 | | | pF |
| LOGIC OUTPUTS (D13–D0, DRY, OVR ²) | | | | | | | | | |
| Logic Compatibility | | | CMOS | | | CMOS | | | |
| Logic 1 Voltage ($DV_{CC} = 3.3\text{ V}$) ³ | Full | II | 2.85 | | | 2.85 | | | V |
| Logic 0 Voltage ($DV_{CC} = 3.3\text{ V}$) ³ | Full | II | 0.2 | | | 0.2 | | | V |
| Output Coding | | | Twos Complement | | | Twos Complement | | | |
| DMID | Full | V | $DV_{CC}/2$ | | | $DV_{CC}/2$ | | | V |

NOTES

¹All ac specifications tested by driving ENCODE and $\overline{\text{ENCODE}}$ differentially.

²The functionality of the Overrange bit is specified for a temperature range of 25°C to 85°C only.

³Digital output logic levels: $DV_{CC} = 3.3\text{ V}$, $C_{LOAD} = 10\text{ pF}$. Capacitive loads >10 pF will degrade performance.

Specifications subject to change without notice.

図 6.180: データシートの仕様ページの例

AD6645

AC SPECIFICATIONS¹ (AV_{CC} = 5 V, DV_{CC} = 3.3 V; ENCODE, ENCODE, T_{MIN} and T_{MAX} at rated speed grade, unless otherwise noted.)

| Parameter (Conditions) | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|--|-------------------------|------------|--------------|------|------|---------------|------|-----|------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| SNR | | | | | | | | | |
| Analog Input | 15.5 MHz | 25°C | V | | 75.0 | | 75.0 | | dB |
| @ -1 dBFS | 30.5 MHz | Full | II | 72.5 | 74.5 | | | | dB |
| | 37.7 MHz | 25°C | I | | | 72.5 | 74.5 | | dB |
| | 70.0 MHz | Full | II | 72.0 | 73.5 | 72.0 | 73.5 | | dB |
| | 150.0 MHz | 25°C | V | | 73.0 | | 73.0 | | dB |
| | 200.0 MHz | 25°C | V | | 72.0 | | 72.0 | | dB |
| SINAD | | | | | | | | | |
| Analog Input | 15.5 MHz | 25°C | V | | 75.0 | | 75.0 | | dB |
| @ -1 dBFS | 30.5 MHz | Full | II | 72.5 | 74.5 | | | | dB |
| | 37.7 MHz | 25°C | I | | | 72.5 | 74.5 | | dB |
| | 70.0 MHz | Full | V | | 73.0 | | 73.0 | | dB |
| | 150.0 MHz | 25°C | V | | 68.5 | | 67.5 | | dB |
| | 200.0 MHz | 25°C | V | | 62.5 | | 62.5 | | dB |
| WORST HARMONIC (Second or Third) | | | | | | | | | |
| Analog Input | 15.5 MHz | 25°C | V | | 93.0 | | 93.1 | | dBc |
| @ -1 dBFS | 30.5 MHz | Full | II | 85.0 | 93.0 | | | | dBc |
| | 37.7 MHz | 25°C | I | | | 85.0 | 93.0 | | dBc |
| | 70.0 MHz | Full | V | | 89.0 | | 87.0 | | dBc |
| | 150.0 MHz | 25°C | V | | 70.0 | | 70.0 | | dBc |
| | 200.0 MHz | 25°C | V | | 63.5 | | 63.5 | | dBc |
| WORST HARMONIC (Fourth or Higher) | | | | | | | | | |
| Analog Input | 15.5 MHz | 25°C | V | | 96.0 | | 96.0 | | dBc |
| @ -1 dBFS | 30.5 MHz | Full | II | 85.0 | 95.0 | | | | dBc |
| | 37.7 MHz | 25°C | I | | | 86.0 | 95.0 | | dBc |
| | 70.0 MHz | Full | V | | 90.0 | | 90.0 | | dBc |
| | 150.0 MHz | 25°C | V | | 90.0 | | 90.0 | | dBc |
| | 200.0 MHz | 25°C | V | | 88.0 | | 88.0 | | dBc |
| TWO TONE SFDR @30.5 MHz^{2,3} | | | | | | | | | |
| | 55.0 MHz ^{2,4} | 25°C | V | | 100 | | 98.0 | | dBFS |
| | 70.0 MHz ^{2,5} | 25°C | V | | 100 | | 98.0 | | dBFS |
| TWO TONE IMD REJECTION^{3,4} | | | | | | | | | |
| F1, F2 @ -7 dBFS | | 25°C | V | | 90 | | 90 | | dBc |
| ANALOG INPUT BANDWIDTH | | | | | | | | | |
| | | 25°C | V | | 270 | | 270 | | MHz |

NOTES

¹All ac specifications tested by driving ENCODE and ENCODE differentially.

²Analog input signal power swept from -10 dBFS to -100 dBFS.

³F1 = 30.5 MHz, F2 = 31.5 MHz.

⁴F1 = 55.25 MHz, F2 = 56.25 MHz.

⁵F1 = 69.1 MHz, F2 = 71.1 MHz.

Specifications subject to change without notice.

図 6.181: 代表的な AC 仕様

SWITCHING SPECIFICATIONS ($AV_{CC} = 5\text{ V}$, $DV_{CC} = 3.3\text{ V}$; ENCODE, $\overline{\text{ENCODE}}$, T_{MIN} and T_{MAX} at rated speed grade, unless otherwise noted.)

| Parameter (Conditions) | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|---|------|------------|--------------|-----|-----|---------------|-----|-----|------|
| | | | Min | Typ | Max | Min | Typ | Max | |
| Maximum Conversion Rate | Full | II | 80 | | | 105 | | | MSPS |
| Minimum Conversion Rate | Full | IV | | | 30 | | | | MSPS |
| ENCODE Pulsewidth High (t_{ENCH})* | Full | IV | 5.625 | | | 4.286 | | 30 | ns |
| ENCODE Pulsewidth Low (t_{ENCL})* | Full | IV | 5.625 | | | 4.286 | | | ns |

*Several timing parameters are a function of t_{ENCL} and t_{ENCH} .
Specifications subject to change without notice.

AD6645

SWITCHING SPECIFICATIONS (continued) ($AV_{CC} = 5\text{ V}$, $DV_{CC} = 3.3\text{ V}$; ENCODE, $\overline{\text{ENCODE}}$, T_{MIN} and T_{MAX} at rated speed grade, $C_{\text{LOAD}} = 10\text{ pF}$, unless otherwise noted.)

| Parameter (Conditions) | Name | Temp | Test Level | AD6645ASQ-80 | | | AD6645ASQ-105 | | | Unit |
|--|--------------------|------|------------|--------------|--|------|---------------|--|-----|--------|
| | | | | Min | Typ | Max | Min | Typ | Max | |
| ENCODE Input Parameters¹ | | | | | | | | | | |
| Encode Period ¹ | t_{ENC} | Full | V | | 12.5 | | | 9.5 | | ns |
| Encode Pulsewidth High ² | t_{ENCH} | Full | V | | 6.25 | | | 4.75 | | ns |
| Encode Pulsewidth Low | t_{ENCL} | Full | V | | 6.25 | | | 4.75 | | ns |
| ENCODE/DataReady | | | | | | | | | | |
| Encode Rising to DataReady Falling | t_{DR} | Full | V | 1.0 | 2.0 | 3.1 | 1.0 | 2.0 | 3.1 | ns |
| Encode Rising to DataReady Rising | $t_{\text{E_DR}}$ | Full | V | | $t_{\text{ENCH}} + t_{\text{DR}}$ | | | $t_{\text{ENCH}} + t_{\text{DR}}$ | | ns |
| (50% Duty Cycle) | | Full | V | 7.3 | 8.3 | 9.4 | 5.7 | 6.75 | 7.9 | ns |
| ENCODE/DATA (D13:0), OVR | | | | | | | | | | |
| ENC to DATA Falling Low | $t_{\text{E_FL}}$ | Full | V | 2.4 | 4.7 | 7.0 | 2.4 | 4.7 | 7.0 | ns |
| ENC to DATA Rising Low | $t_{\text{E_RL}}$ | Full | V | 1.4 | 3.0 | 4.7 | 1.4 | 3.0 | 4.7 | ns |
| ENCODE to DATA Delay (Hold Time) | $t_{\text{H_E}}$ | Full | V | 1.4 | 3.0 | 4.7 | 1.4 | 3.0 | 4.7 | ns |
| ENCODE to DATA Delay (Setup Time) | $t_{\text{S_E}}$ | Full | V | | $t_{\text{ENC}} - t_{\text{E_FL(max)}}$ | | | $t_{\text{ENC}} - t_{\text{E_FL(max)}}$ | | ns |
| | | | | | $t_{\text{ENC}} - t_{\text{E_FL(typ)}}$ | | | $t_{\text{ENC}} - t_{\text{E_FL(typ)}}$ | | ns |
| (50% Duty Cycle) | | Full | V | 5.3 | 7.6 | 10.0 | 2.3 | 4.8 | 7.0 | ns |
| DataReady (DRY³)/DATA, OVR | | | | | | | | | | |
| DataReady to DATA Delay (Hold Time) | $t_{\text{H_DR}}$ | Full | V | | Note 4 | | | Note 4 | | ns |
| (50% Duty Cycle) | | | | 6.6 | 7.2 | 7.9 | 5.1 | 5.7 | 6.4 | ns |
| DataReady to DATA Delay (Setup Time) | $t_{\text{S_DR}}$ | Full | V | | Note 4 | | | Note 4 | | ns |
| (50% Duty Cycle) | | | | 2.1 | 3.6 | 5.1 | 0.6 | 2.1 | 3.5 | ns |
| APERTURE DELAY | | | | | | | | | | |
| | t_{A} | 25°C | V | | -500 | | | -500 | | ps |
| APERTURE UNCERTAINTY (Jitter) | | | | | | | | | | |
| | t_{J} | 25°C | V | | 0.1 | | | 0.1 | | ps rms |

NOTES

- ¹Several timing parameters are a function of t_{ENC} and t_{ENCH} .
 - ²ENCODE TO DATA Delay (Hold Time) is the absolute minimum propagation delay through the analog-to-digital converter, $t_{\text{E_RL}} = t_{\text{H_E}}$.
 - ³DRY is an inverted and delayed version of the encode clock. Any change in the duty cycle of the clock will correspondingly change the duty cycle of DRY.
 - ⁴DataReady to DATA Delay ($t_{\text{H_DR}}$ and $t_{\text{S_DR}}$) is calculated relative to rated speed grade and is dependent on t_{ENC} and duty cycle.
- Specifications subject to change without notice.

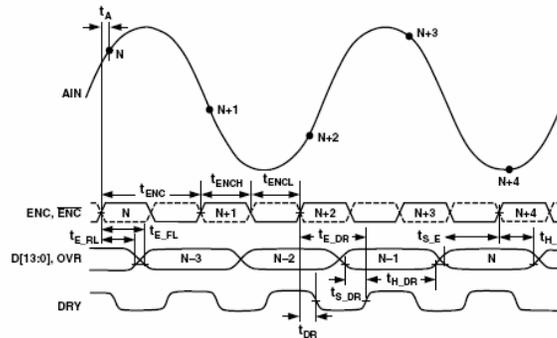


Figure 1. Timing Diagram

図 6.182. 代表的なタイミング仕様のページ

DIGITAL SPECIFICATIONS (T_{MIN} to T_{MAX} , AVDD = 3.3 V, CLKVDD = 3.3 V, PLLVDD = 0 V, DVDD = 3.3 V, I_{OUTES} = 20 mA, unless otherwise noted.)

| Parameter | Min | Typ | Max | Unit |
|-----------------------|------|-----|------|------|
| DIGITAL INPUTS | | | | |
| Logic "1" Voltage | 2.1 | 3 | | V |
| Logic "0" Voltage | | 0 | 0.9 | V |
| Logic "1" Current | -10 | | +10 | μA |
| Logic "0" Current | -10 | | +10 | μA |
| Input Capacitance | | 5 | | pF |
| CLOCK INPUTS | | | | |
| Input Voltage Range | 0 | | 3 | V |
| Common-Mode Voltage | 0.75 | 1.5 | 2.25 | V |
| Differential Voltage | 0.5 | 1.5 | | V |

Specifications subject to change without notice.

| Parameter | Min | Typ | Max | Unit |
|--|-----------|-----|-----|------|
| SERIAL CONTROL BUS | | | | |
| Maximum SCLK Frequency (f_{SCLK}) | 15 | | | MHz |
| Minimum Clock Pulsewidth High (t_{PWH}) | 30 | | | ns |
| Minimum Clock Pulsewidth Low (t_{PWL}) | 30 | | | ns |
| Maximum Clock Rise/Fall Time | | | 1 | ms |
| Minimum Data/Chip Select Setup Time (t_{DS}) | 25 | | | ns |
| Minimum Data Hold Time (t_{DH}) | 0 | | | ns |
| Maximum Data Valid Time (t_{DV}) | | | 30 | ns |
| RESET Pulsewidth | 1.5 | | | ns |
| Inputs (SDI, SDIO, SCLK, CSB) | | | | |
| Logic "1" Voltage | 2.1 | 3 | | V |
| Logic "0" Voltage | | 0 | 0.9 | V |
| Logic "1" Current | -10 | | +10 | μA |
| Logic "0" Current | -10 | | +10 | μA |
| Input Capacitance | | 5 | | pF |
| SDIO Output | | | | |
| Logic "1" Voltage | DRVDD-0.6 | | | V |
| Logic "0" Voltage | | | 0.4 | V |
| Logic "1" Current | 30 | 50 | | mA |
| Logic "0" Current | 30 | 50 | | mA |

図 6.183: 代表的なタイミング仕様のページ 2

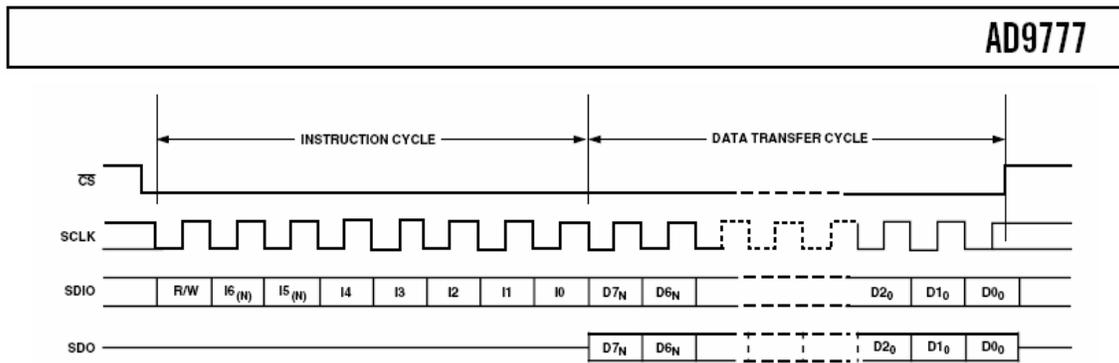


Figure 3a. Serial Register Interface Timing MSB First

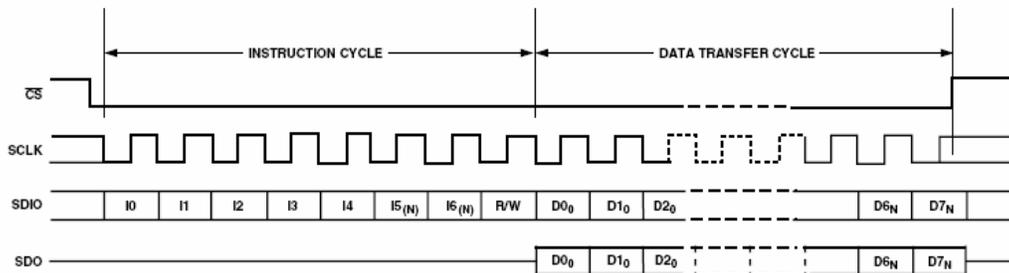


Figure 3b. Serial Register Interface Timing LSB First

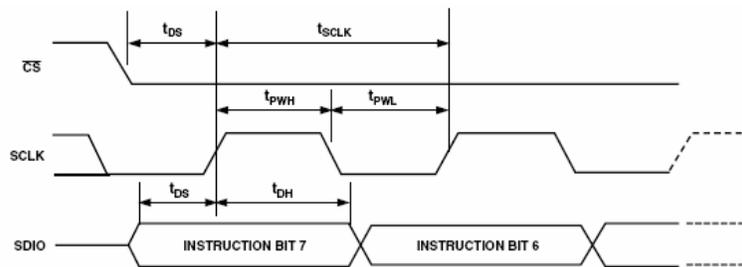


Figure 4. Timing Diagram for Register Write to AD9777

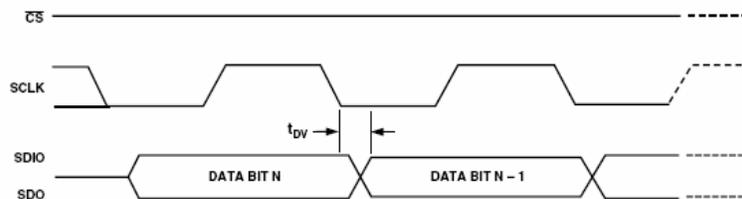


Figure 5. Timing Diagram for Register Read from AD9777

図 6.184: 代表的なタイミング仕様のページ 3

一般に、仕様には Min（最小値）、Typ（代表値）、Max（最大値）の 3 項目があることに注意してください（図 6.180（3）参照）。アナログ・デバイスでは、Min と Max の列の仕様をすべてテストで保証しています。直接テストすることもあるれば、場合によっては、1 つのパラメータをテストすることで他のテストで他のパラメータを保証することもあります。Typ の仕様は代表値です。仕様によっては、代表値の偏差が大きくなる場合があります。この場合、Typ 仕様の変動幅を知る方法はありません。1 つの仕様に Typ と Min（あるいは Max）が記載されていることもあります。これにより、特定のレベル（最小または最大）にテスト限界値があっても、代表値の仕様はそれらの限界値よりはるかに優れていることがわかります。例えば、図 6.180 のデータシート例では、ゲイン誤差は $\pm 10\%$ （フルスケール）であることが保証されていますが、誤差の代表値は 0% （フルスケール）となっています。ただし、設計の際に Typ を使うのは危険です。誤差バジェット分析には Min または Max を使うのが良いでしょう。

テストは集積回路の製造において最もコストのかかる工程の 1 つです。したがって、一般に、高度に仕様化されているデバイスのほうが仕様化が不十分なデバイスよりもコストがかかります。しかし、システムでは、回路性能を保証するためにより高度に仕様化されたデバイスが必要な場合があります。

図 6.179 ~ 図 6.182 の例からわかるように、コンバータの仕様のセクションで説明した例（この場合は AD6645）では DC と AC の両方の仕様が規定されています。DC 仕様は絶対レベルの単位（ボルト、アンペアなど）で規定されており、AC 仕様は dB 単位で規定されていることに注意してください。

また、図 6.181 ではデジタル信号レベルも電圧レベルの単位で規定されています。図 6.182 の「スイッチング仕様」では、時間でも指定されています。これらの仕様は、それぞれの信号の仕様（立上がり時間と立下がり時間、パルス幅の高さなど）および信号間の仕様（セットアップ時間やホールド時間など）です。

絶対最大値

絶対最大定格のセクションは必ず（通常は仕様表の直後に）存在します。これらは一般には電圧と温度に関するものです。

最大電源電圧は、一般にオペアンプの製造プロセスによって決まります。最大入力電圧は通常、電源電圧までに制限されます。なお、電源電圧は瞬時値であって、平均値や最終値ではないことを指摘しておきます。したがって、システムのある部分には電力が供給されていても他の部分には供給されていないときなどのように、コンバータの入力に電圧がかかっているが電源電圧が存在しない場合には、コンバータに電力が供給されていてすべてが動作限界内にあったとしても、コンバータが過電圧になることがあります。

半導体の信頼性に関する最優先事項は、ジャンクション温度を $150\text{ }^{\circ}\text{C}$ 以下に保つことです。さまざまなパッケージ・オプションで θ_{ja} が規定されます。これは接合部から自由大気までの熱抵抗です。単位は $^{\circ}\text{C}/\text{W}$ です。この情報だけでパッケージの放熱量が明確になります。これは、静止電流に電源電圧を掛けた値になります。

さらに、出力段で発生する最大消費電力（出力電流に出力電圧と電源電圧との差を掛けた値）を算出します。これらを合計すると、パッケージの放熱量の合計がワット単位で得られます。熱抵抗に放熱量を掛けると温度上昇度が得られます。まず周囲温度（単位は °C、通常は 25 °C）を決め、上記のように温度上昇を計算することで、ジャンクション温度が得られます。これが動作時の周囲温度であることに留意してください。回路が筐体内に收容され、他の機器とともにラック内に配置されるため、周囲温度は室内の大気温度を大幅に上回る可能性があります。この点は考慮する必要があります。

熱抵抗には θ_{jc} と θ_{ca} の 2 つの要素があります。 θ_{jc} は接合部からケースまでの熱抵抗です。これについては、できることはあまりありません。 θ_{ca} はケースから大気までの熱抵抗です。これには、ヒート・シンクを追加することで比較的容易に対処することができます。熱抵抗は直線的に増加します。これらが自由大気中での値であることにも注意してください。空気を流動させ、特にヒート・シンクを使うことで、冷却度を高めることができます。

ABSOLUTE MAXIMUM RATINGS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Table 4.

| Parameter | Rating |
|--|--|
| V_{DD} to AGND, AGNDS, DGND | -0.3 V, +17 V |
| V_{SS} to AGND, AGNDS, DGND | +0.3 V, -17 V |
| AGND, AGNDS to DGND | -0.3 V to +0.3 V |
| REFGND to AGND, ADNDS | $V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ |
| REFIN to AGND, AGNDS | $V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ |
| REFIN to REFGND | -0.3 V to +17 V |
| Digital Inputs to DGND | -0.3 V to $V_{DD} + 0.3\text{ V}$ |
| V_{OUT} to AGND, AGNDS | -0.3 V to $V_{DD} + 0.3\text{ V}$ |
| SDO to DGND | -0.3 V to +6.5 V |
| Operating Temperature Range: | -40°C to +125°C |
| W, Y Grades | -40°C to +125°C |
| A, B Grades | -40°C to +85°C |
| Storage Temperature Range | -65°C to +150°C |
| Maximum Junction Temperature (T_J Max) | 150°C |
| 16-Lead SSOP Package | |
| Power Dissipation | $(T_J \text{ max} - T_A)/\theta_{JA}$ |
| θ_{JA} Thermal Impedance | 139°C/W |
| Lead Temperature (Soldering 10 s) | 300°C |
| IR Reflow, Peak Temperature | 230°C |

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those listed in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

図 6.185: 代表的な絶対最大定格

オーダー・ガイド

多くのコンバータは、複数のパッケージや複数の温度範囲で提供されています。パッケージと温度範囲のさまざまな組み合わせを指定するには、それぞれ固有の製品番号が必要になります。この番号はオーダー・ガイドに記載されています。図 6.186 と図 6.187 を参照してください。

一般的な ADC と DAC の場合、商用温度範囲 (0 °C ~ 70 °C) は今ではほとんど使用されていません。その理由は、ほとんどの回路が産業用の温度範囲に収まるからです。サポートするデバイスの種類が少ないほどコストが少なく済みます。個別のデバイス番号ごとに、個別のテスト・プログラム、個別の在庫管理やその他の補助文書が必要になります。ただし例外として、商用として定義された特定用途向けのデバイスがあります。その一例が、オーディオなどの民生用アプリケーションです。こうしたデバイスでは、温度範囲を拡張しても何の利点もありません。

工業用の温度範囲はこれとは異なります。標準用の工業用温度範囲は -40 °C ~ 85 °C です。この仕様の派生型として一般的なものに自動車用温度範囲 (-55 °C ~ 85 °C) と呼ばれるものがあります。0 °C ~ 100 °C も一般的に使用されます。

軍用の温度範囲は -55 °C ~ 125 °C です。

ORDERING GUIDE

| Model | Maximum INL | No Missing Code | Temperature Range | Package Description | Package Option | Brand |
|--------------------------------|-------------|-----------------|-------------------|---------------------|----------------|-------|
| AD7684ARM | ±6 LSB | 15bits | -40°C to +85°C | μSOIC-8 | RM-8 | C1M |
| AD7684ARMRL7 | ±6 LSB | 15bits | -40°C to +85°C | μSOIC-8 | RM-8 (reel) | C1M |
| AD7684BRM | ±3 LSB | 16bits | -40°C to +85°C | μSOIC-8 | RM-8 | C1D |
| AD7684BRMRL7 | ±3 LSB | 16bits | -40°C to +85°C | μSOIC-8 | RM-8 (reel) | C1D |
| EVAL-AD7684CB ¹ | | | | Evaluation Board | | |
| EVAL-CONTROL BRD2 ² | | | | Controller Board | | |
| EVAL-CONTROL BRD3 ² | | | | Controller Board | | |

NOTES

¹This board can be used as a standalone evaluation board or in conjunction with the EVAL-CONTROL BRDx for evaluation/demonstration purposes.

²These boards allow a PC to control and communicate with all Analog Devices evaluation boards ending in the CB designators.

図 6.186: オーダー・ガイドの例 1 (AD7684 の場合)

ORDERING GUIDE

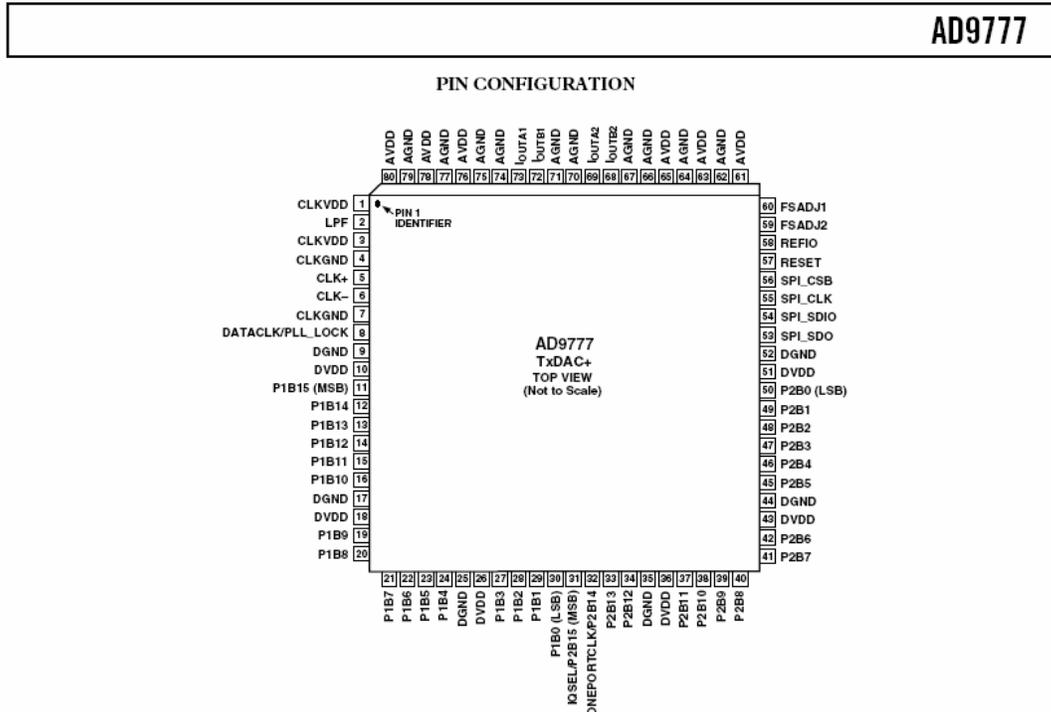
| Model | Temperature Range | Package Description | Package Option |
|-----------------|-------------------|---------------------|----------------|
| AD5570ARS | -40 °C to +85 °C | 16-Lead SSOP | RS-16 |
| AD5570ARS-REEL | -40 °C to +85 °C | 16-Lead SSOP | RS-16 |
| AD5570ARS-REEL7 | -40 °C to +85 °C | 16-Lead SSOP | RS-16 |
| AD5570BRS | -40 °C to +85 °C | 16-Lead SSOP | RS-16 |
| AD5570BRS-REEL | -40 °C to +85 °C | 16-Lead SSOP | RS-16 |
| AD5570BRS-REEL7 | -40 °C to +85 °C | 16-Lead SSOP | RS-16 |
| AD5570WRS | -40 °C to +125 °C | 16-Lead SSOP | RS-16 |
| AD5570WRS-REEL | -40 °C to +125 °C | 16-Lead SSOP | RS-16 |
| AD5570WRS-REEL7 | -40 °C to +125 °C | 16-Lead SSOP | RS-16 |
| AD5570YRS | -40 °C to +125 °C | 16-Lead SSOP | RS-16 |
| AD5570YRS-REEL | -40 °C to +125 °C | 16-Lead SSOP | RS-16 |
| AD5570YRS-REEL7 | -40 °C to +125 °C | 16-Lead SSOP | RS-16 |
| Eval-AD5570EB | | Evaluation Board | |

図 6.187: オーダー・ガイドの例 2 (AD5570 の場合)

オーダー・ガイドの "Brand" 欄は、小型パッケージのマーキングを示しています。DIP パッケージで通常使われているマーキングは、はるかに小型の表面実装パッケージには物理的に適合しません。例えば、DIP パッケージには通常はデバイス番号と日付コード (IC の製造時、一般的には最終テストの合格時) がマーキングされますが、その他の情報が含まれることもあります。表面実装パッケージのマーキングに利用できるスペースは当然ながら非常に限られています。したがって、代わりに 3 文字コードが使用されます。

ピンの説明

ピンの説明では、ピン機能に関する情報（多目的ピンのオプション機能を含む）について説明します。多くの場合、この説明はデータシートの本文に記載されます。



PIN FUNCTION DESCRIPTIONS

| Pin Number | Mnemonic | Description |
|------------------------|---------------------------|---|
| 1, 3 | CLKVDD | Clock Supply Voltage |
| 2 | LPF | PLL Loop Filter |
| 4, 7 | CLKGND | Clock Supply Common |
| 5 | CLK+ | Differential Clock Input |
| 6 | CLK- | Differential Clock Input |
| 8 | DATACLK/PLL_LOCK | With the PLL enabled, this pin indicates the state of the PLL. A read of a Logic "1" indicates the PLL is in the locked state. Logic "0" indicates the PLL has not achieved lock. This pin may also be programmed to act as either an input or output (Address 02h, Bit 3) DATACLK signal running at the input data rate. |
| 9, 17, 25, 35, 44, 52 | DGND | Digital Common |
| 10, 18, 26, 36, 43, 51 | DVDD | Digital Supply Voltage |
| 11–16, 19–24, 27–30 | P1B15 (MSB) to P1B0 (LSB) | Port 1 Data Inputs |
| 31 | IQSEL/P2B15 (MSB) | In one port mode, IQSEL = 1 followed by a rising edge of the differential input clock will latch the data into the I channel input register. IQSEL = 0 will latch the data into the Q channel input register. In two port mode, this pin becomes the Port 2 MSB. |
| 32 | ONEPORTCLK/P2B14 | With the PLL disabled and the AD9777 in one port mode, this pin becomes a clock output that runs at twice the input data rate of the I and Q channels. This allows the AD9777 to accept and demux interleaved I and Q data to the I and Q input registers. |
| 33, 34, 37–42, 45–50 | P2B13 to P2B0 (LSB) | Port 2 Data Inputs |

図 6.188A: 代表的なピンの説明

AD9777

PIN FUNCTION DESCRIPTIONS (continued)

| Pin Number | Mnemonic | Description |
|--|---|--|
| 53 | SPI_SDO | In the case where SDIO is an input, SDO acts as an output. When SDIO becomes an output, SDO enters a High-Z state. This pin can also be used as an output for the data rate clock. For more information, see the Two Port Data Input Mode section. |
| 54 | SPI_SDIO | Bidirectional Data Pin. Data direction is controlled by Bit 7 of Register Address 00h. The default setting for this bit is "0," which sets SDIO as an input. |
| 55 | SPI_CLK | Data input to the SPI port is registered on the rising edge of SPI_CLK. Data output on the SPI port is registered on the falling edge. |
| 56 | SPI_CSB | Chip Select/SPI Data Synchronization. On momentary logic high, resets SPI port logic and initializes instruction cycle. |
| 57 | RESET | Logic "1" resets all of the SPI port registers, including Address 00h, to their default values. A software reset can also be done by writing a Logic "1" to SPI Register 00h, Bit 5. However, the software reset has no effect on the bits in Address 00h. |
| 58 | REFIO | Reference Output, 1.2 V Nominal |
| 59 | FSADJ2 | Full-Scale Current Adjust, Q Channel |
| 60 | FSADJ1 | Full-Scale Current Adjust, I Channel |
| 61, 63, 65, 76, 78, 80 | AVDD | Analog Supply Voltage |
| 62, 64, 66, 67, 70, 71, 74, 75, 77, 79 | AGND | Analog Common |
| 69, 68 | I _{OUTA2} , I _{OUTB2} | Differential DAC Current Outputs, Q Channel |
| 73, 72 | I _{OUTA1} , I _{OUTB1} | Differential DAC Current Outputs, I Channel |

図 6.188B: 代表的なピンの説明 (つづき)

仕様の定義

このセクションでは、仕様について簡単に説明します。実際には、コンバータの仕様を定義した前のセクションの内容を補足するものです。定義はよりコンパクトにし、特定のコンバータに適用される仕様の定義に限定します。

また、ここでは特殊な仕様も定義します。一例としては、ビデオ産業特有の定義である微分ゲインと微分位相があります。

等価回路

コンバータの入力を駆動することは、特に高周波では簡単なことではありません。出力ピンの負荷の駆動も同様に困難です。そのピンに接続される回路のアーキテクチャがわかれば、そのピンのインターフェース方法を理解するのに役立つことがあります。

例えば、ソース・インピーダンスのマッチングや DC レベルでのピンのバイアスを行ううえで、入力ピンにとって重要なのは入力インピーダンスです。このバイアスは通常は電源電圧の半分です（単電源動作とした場合）。しかし、必ずしもそうとは限りません。

AD6645

EQUIVALENT CIRCUITS

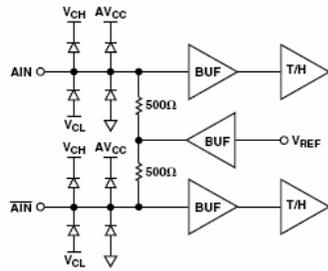


Figure 2. Analog Input Stage

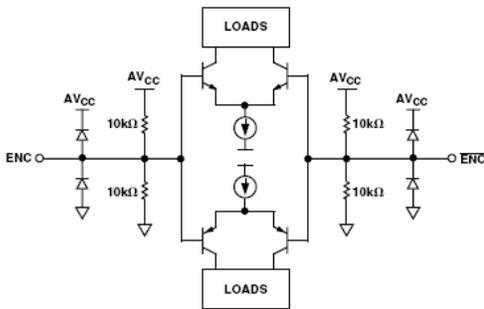


Figure 3. Encode Inputs

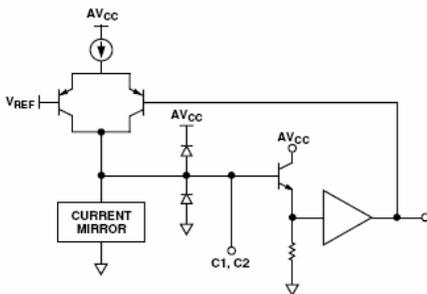


Figure 4. Compensation Pin, C1 or C2

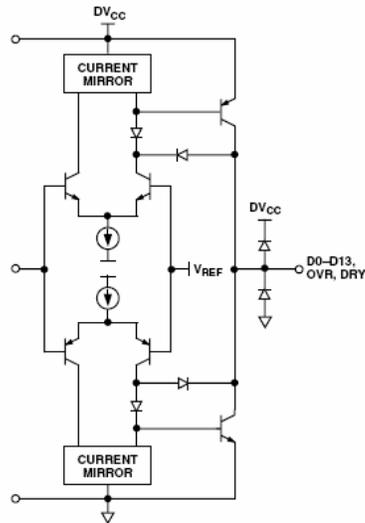


Figure 5. Digital Output Stage

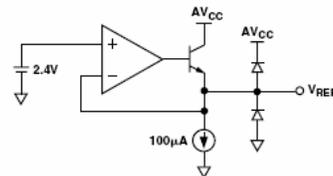


Figure 6. 2.4 V Reference

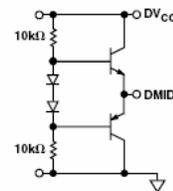


Figure 7. DMID Reference

図 6.189: 代表的なピンの等価回路

グラフ

多くのパラメータはコンバータの動作範囲によって異なります。一例としては、周波数によるスプリアスフリー・ダイナミック・レンジ (SFDR) の変動があります図 6.190 と図 6.193 を参照してください。したがって、デバイスの SFDR 仕様を完全に規定するために、特定の入力周波数での仕様 (仕様表に通常表示される仕様) に加え、入力周波数、サンプリング・レート、レベルに応じた変動を示すグラフが記載されます。

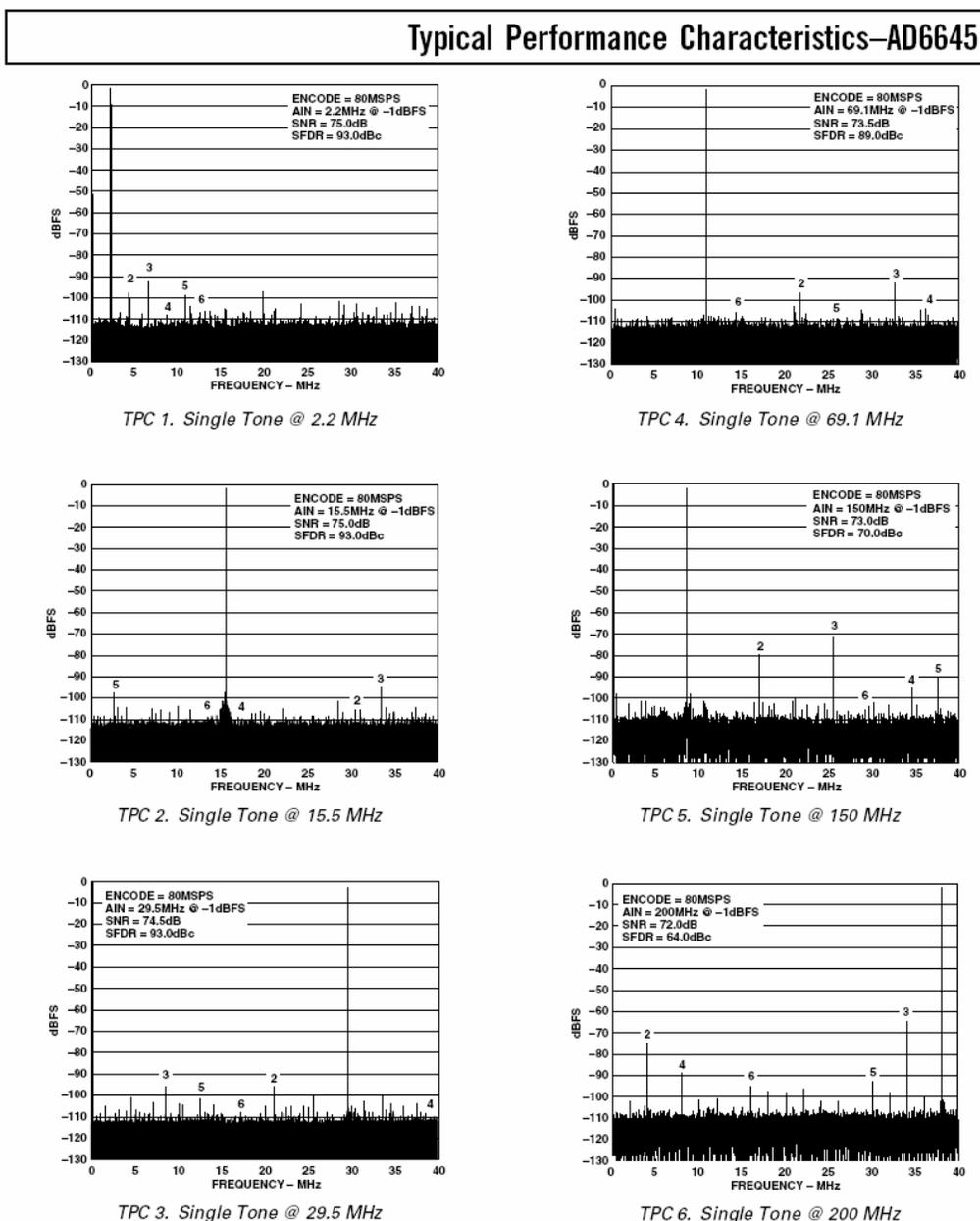
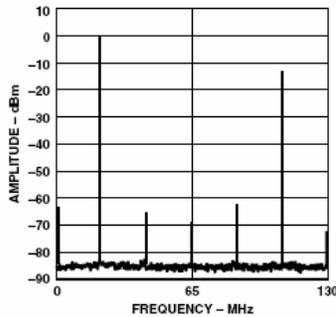


図 6.190: 代表的な性能グラフ

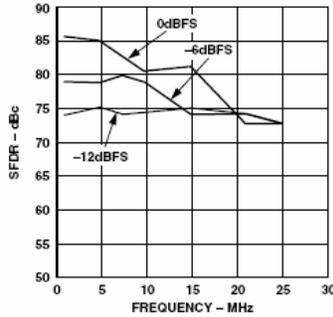
グラフに表示される情報はベンダーによって異なり、同じメーカーのデバイス間でも異なることがあります。高性能なデバイスほど、仕様がより詳細に規定される傾向があります。ほとんどの場合、グラフは代表値と見なします。

Typical Performance Characteristics– AD9777

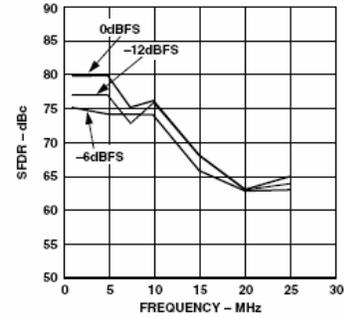
($T = 25^{\circ}\text{C}$, $\text{AVDD} = 3.3\text{ V}$, $\text{CLKVDD} = 3.3\text{ V}$, $\text{DVDD} = 3.3\text{ V}$, $I_{\text{OUTFS}} = 20\text{ mA}$, Interpolation = $2\times$, Differential Transformer-Coupled Output, $50\ \Omega$ Doubly Terminated, unless otherwise noted.)



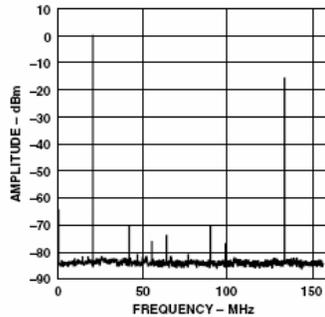
TPC 1. Single-Tone Spectrum
@ $f_{\text{DATA}} = 65\text{ MSPS}$ with
 $f_{\text{OUT}} = f_{\text{DATA}}/3$



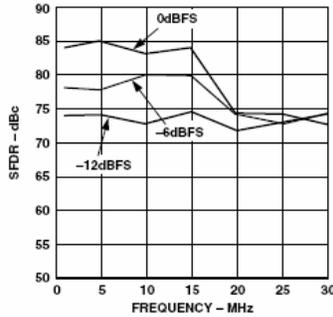
TPC 2. In-Band SFDR vs. f_{OUT}
@ $f_{\text{DATA}} = 65\text{ MSPS}$



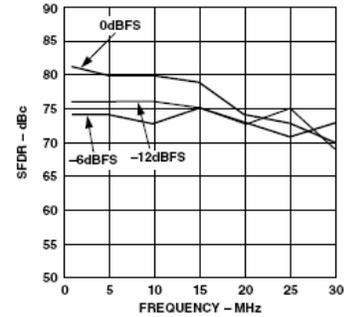
TPC 3. Out-of-Band SFDR vs.
 f_{OUT} @ $f_{\text{DATA}} = 65\text{ MSPS}$



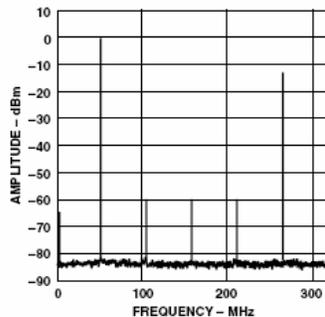
TPC 4. Single-Tone Spectrum
@ $f_{\text{DATA}} = 78\text{ MSPS}$ with
 $f_{\text{OUT}} = f_{\text{DATA}}/3$



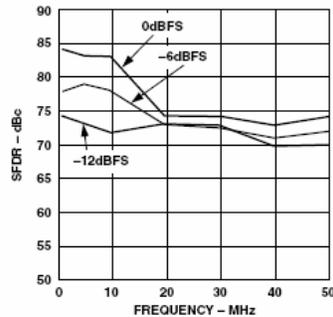
TPC 5. In-Band SFDR vs. f_{OUT}
@ $f_{\text{DATA}} = 78\text{ MSPS}$



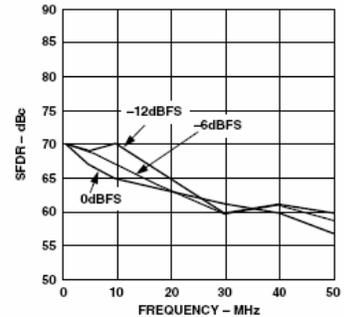
TPC 6. Out-of-Band SFDR vs.
 f_{OUT} @ $f_{\text{DATA}} = 78\text{ MSPS}$



TPC 7. Single-Tone Spectrum
@ $f_{\text{DATA}} = 160\text{ MSPS}$ with
 $f_{\text{OUT}} = f_{\text{DATA}}/3$



TPC 8. In-Band SFDR vs. f_{OUT}
@ $f_{\text{DATA}} = 160\text{ MSPS}$



TPC 9. Out-of-Band SFDR vs.
 f_{OUT} @ $f_{\text{DATA}} = 160\text{ MSPS}$

図 6.191: 代表的な性能グラフのページ 2

AD7678

TYPICAL PERFORMANCE CHARACTERISTICS

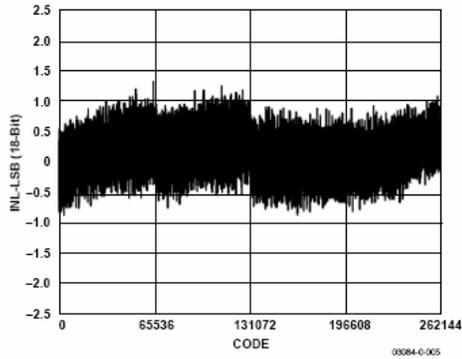


Figure 5. Integral Nonlinearity vs. Code

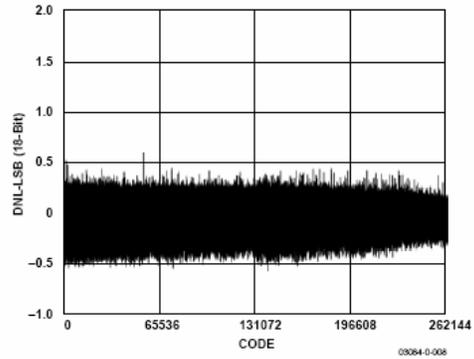


Figure 8. Differential Nonlinearity vs. Code

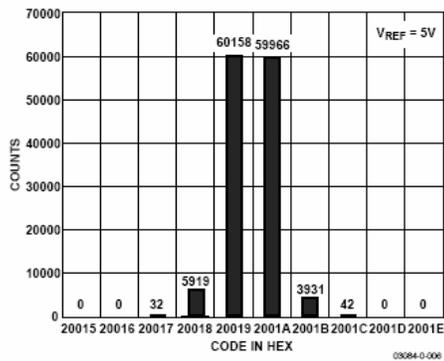


Figure 6. Histogram of 131,072 Conversions of a DC Input at the Code Transition

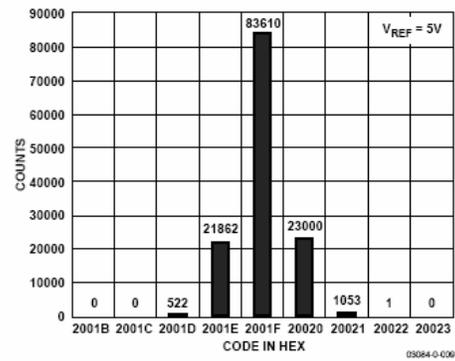


Figure 9. Histogram of 131,072 Conversions of a DC Input at the Code Center

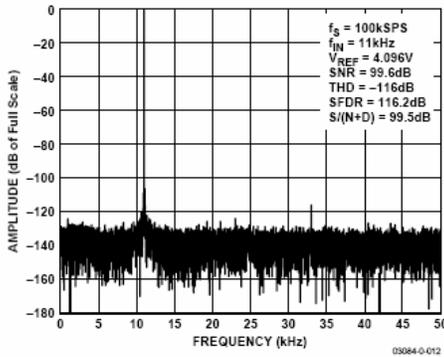


Figure 7. FFT (11 kHz Tone)

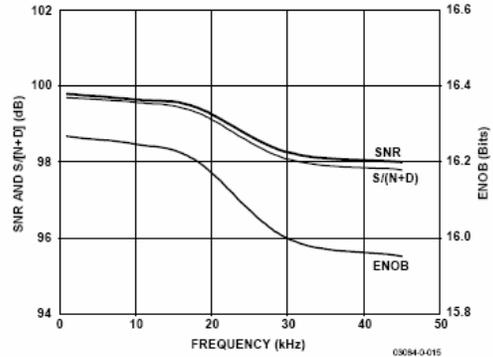


Figure 10. SNR, S/(N+D), and ENOB vs. Frequency

図 6.192: 代表的な性能グラフのページ 3

AD5570

TYPICAL PERFORMANCE CHARACTERISTICS

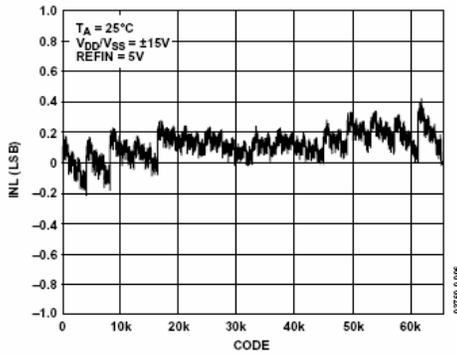


Figure 6. Integral Nonlinearity vs. Code, $V_{DD}/V_{SS} = \pm 15 V$

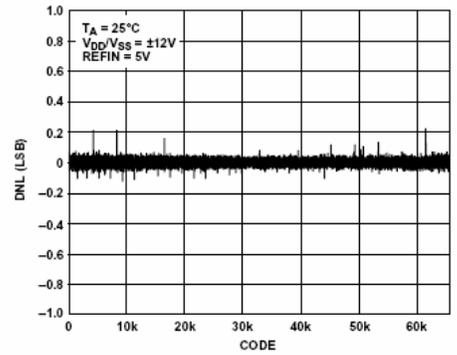


Figure 9. Differential Nonlinearity vs. Code, $V_{DD}/V_{SS} = \pm 12 V$

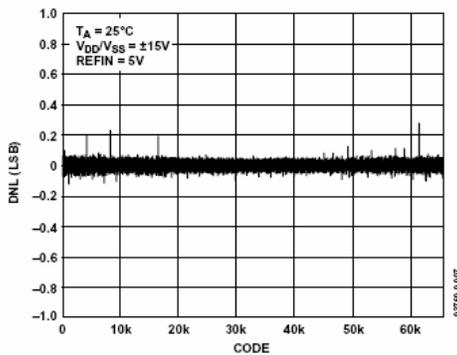


Figure 7. Differential Nonlinearity vs. Code, $V_{DD}/V_{SS} = \pm 15 V$

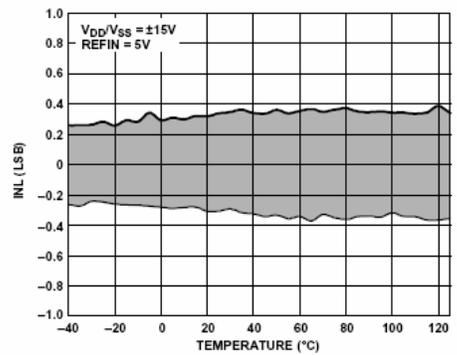


Figure 10. Integral Nonlinearity vs. Temperature, $\pm 15 V$ Supplies

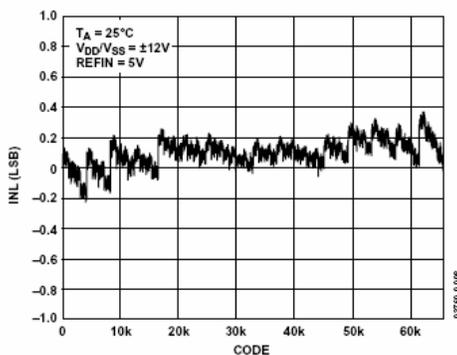


Figure 8. Integral Nonlinearity vs. Code, $V_{DD}/V_{SS} = \pm 12 V$

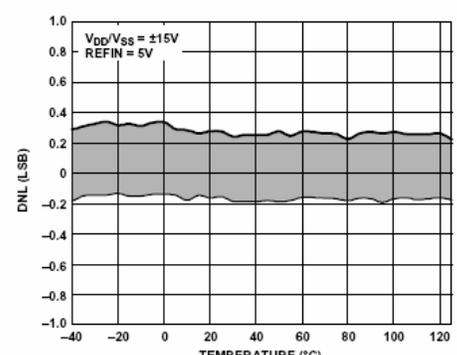


Figure 11. Differential Nonlinearity vs. Temperature, $\pm 15 V$ Supplies

図 6.193: 代表的な性能グラフのページ 4

本文

データシートの本文には、コンバータの動作とアプリケーションに関する詳細な情報が含まれています。アナログ・デバイセズの初期の頃、作りたいものがある人に単にアンプを渡して、それを独力で作ってもらおうとするやり方が、最良とは言えないことがわかりました。そのため、アナログ・デバイセズのデータシートにはアプリケーション情報が含まれています。

回路説明

一般に、データシートの本文の最初の部分は、回路の説明にあてられます。コンバータの回路構成によって、特定のデザインの特定のコンバータをどう利用できるかが決まることがあるので、コンバータの内部動作を理解することは非常に有用です。コンバータの入力構成を理解すればドライバ回路の設計に役立つ場合は、特にそう言えます。

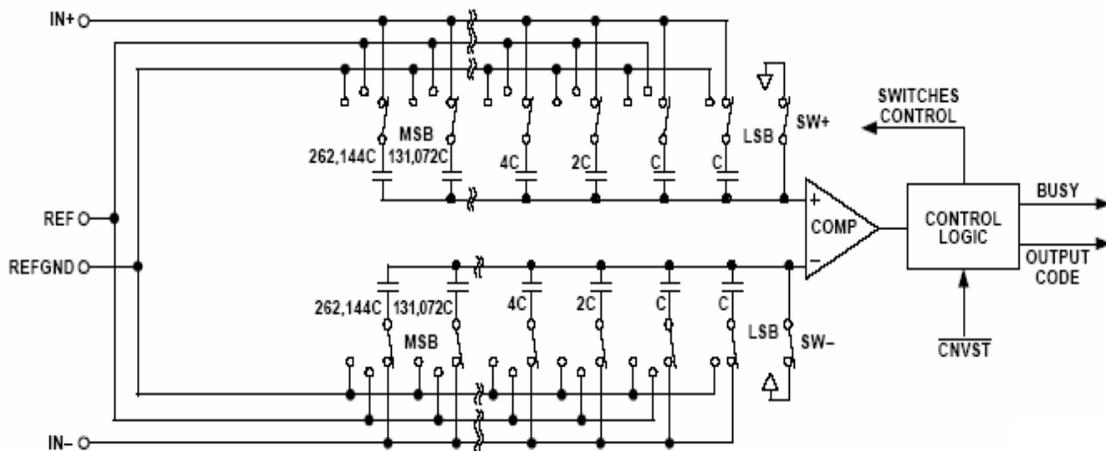


図 6.194: 代表的な回路図

このセクションで例示した AD9777 や AD7730 を含め、多くのコンバータは実際には単なるコンバータ以上のデバイスです。もっと正確に言えば、これらはサブシステムであり、コンバータとサポート回路の両方を備えています。こうした回路のすべてのサブセクションの動作が説明されます。

前述したように、ADC の入力を高速で駆動することは簡単ではありません。入力構成を理解することが不可欠です。データの出力についても同様です。DAC ではインターフェースが逆転しますが（データ入力／信号出力）、重要であることには変わりありません。

インターフェース

コンバータを使用するには、それにデータを入力したり出力したりする必要があります。これを実行する方法には、基本的にパラレルとシリアルとの2つがあります。

パラレル・インターフェースは比較的簡単です。考慮しなければならないタイミングは、セットアップ時間とホールド時間だけです。低電源電圧を使用するようになってきたので、当然デジタル・インターフェースの信号レベルに注意を払わなければなりません。

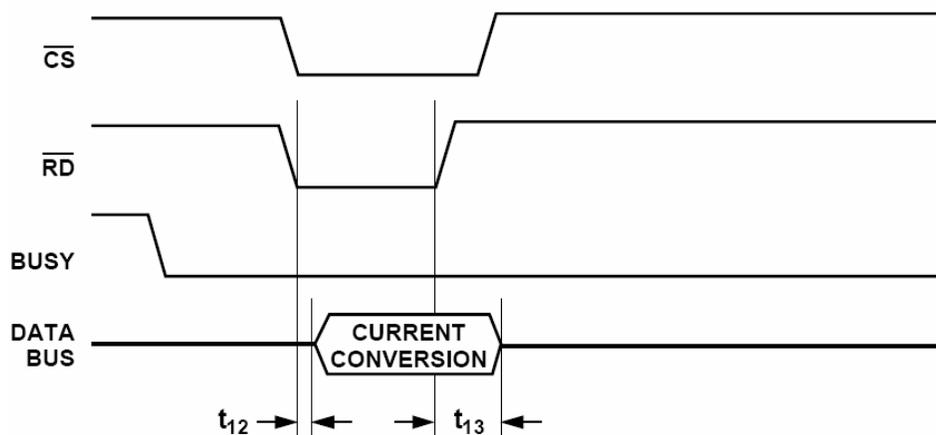


図 6.195: 代表的なパラレル・インターフェースのタイミング図

18ビット・コンバータであるAD7678の場合は、16ビット（または8ビット）のマイクロプロセッサ・バスとのインターフェースが問題となることがあります。しかし、この出力レジスタのロジックは、18ビット・ワードがより狭いデータ・バスにインターフェースできるだけの十分な柔軟性を備えています（図 6.19 参照）。

Table 7. Data Bus Interface Definitions

| MODE | MODE1 | MODE0 | D0/OB/2C | D1/A0 | D2/A1 | D[3] | D[4:9] | D[10:11] | D[12:15] | D[16:17] | Description |
|------|-------|-------|----------|----------|-------|------------------|-----------|-----------|-----------|----------|------------------|
| 0 | 0 | 0 | R[0] | R[1] | R[2] | R[3] | R[4:9] | R[10:11] | R[12:15] | R[16:17] | 18-Bit Parallel |
| 1 | 0 | 1 | OB/2C | A0:0 | R[2] | R[3] | R[4:9] | R[10:11] | R[12:15] | R[16:17] | 16-Bit High Word |
| 1 | 0 | 1 | OB/2C | A0:1 | R[0] | R[1] | All Zeros | | | | 16-Bit Low Word |
| 2 | 1 | 0 | OB/2C | A0:0 | A1:0 | All Hi-Z | | R[10:11] | R[12:15] | R[16:17] | 8-Bit HIGH Byte |
| 2 | 1 | 0 | OB/2C | A0:0 | A1:1 | All Hi-Z | | R[2:3] | R[4:7] | R[8:9] | 8-Bit MID Byte |
| 2 | 1 | 0 | OB/2C | A0:1 | A1:0 | All Hi-Z | | R[0:1] | All Zeros | | 8-Bit LOW Byte |
| 2 | 1 | 0 | OB/2C | A0:1 | A1:1 | All Hi-Z | | All Zeros | | R[0:1] | 8-Bit LOW Byte |
| 3 | 1 | 1 | OB/2C | All Hi-Z | | Serial Interface | | | | | Serial Interface |

R[0:17] is the 18-bit ADC value stored in its output register.

図 6.196: データ・バスのインターフェースの例

シリアル・インターフェースの場合は、通常はもう少し複雑です。多くの場合、シリアル・インターフェースは特定のインターフェース規格に準拠しています。シリアル・インターフェース・コンバータの多くが SPI、QSPI®、MICROWIRE、あるいは I2C 規格に準拠していることがわかるでしょう。

シリアル・インターフェースの場合、コンバータはマスターまたはスレーブとして機能します。どちらになるかは、タイミング・クロックをどこで生成するかで決まります。通常はマスターがクロックを生成します。

シリアル・クロック幅は可変です。データは、MSB が先の場合も、LSB が先の場合もあります。データ・ビットに沿ったタイム・スロットを定義する必要があります。いくつかの選択肢があるため、それぞれを定義する必要があります。

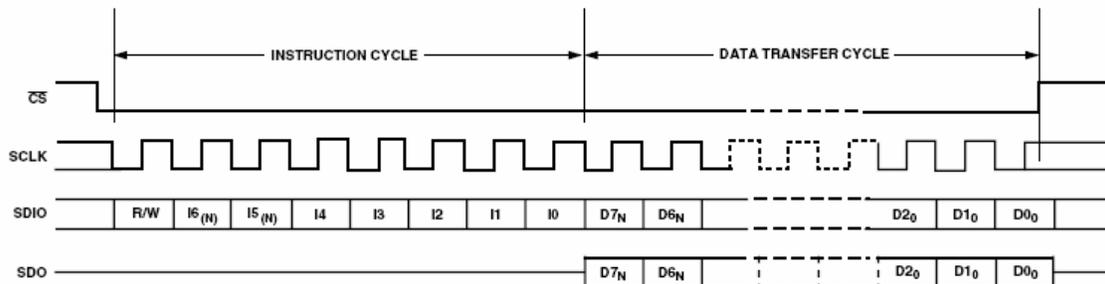


Figure 3a. Serial Register Interface Timing MSB First

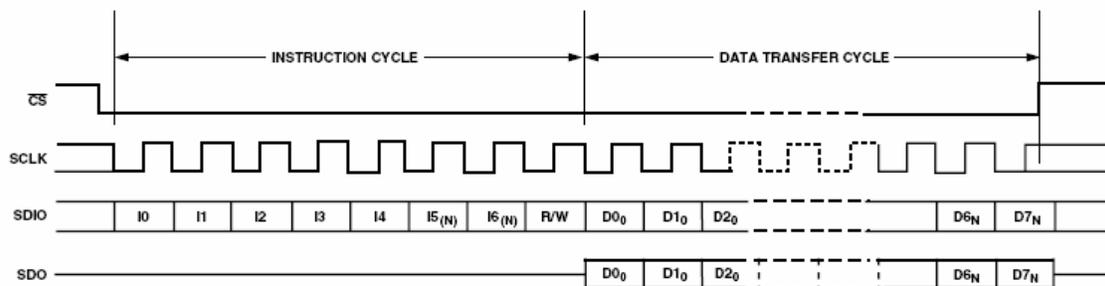


Figure 3b. Serial Register Interface Timing LSB First

図 6.197: 代表的な DAC のシリアル・タイミング図

レジスタの説明

多くのコンバータには複数の動作モードがあります。一部には、設定が必要なマルチプレクサやプログラマブル・アンプ (PGA) などの回路を搭載しているものもあります。その場合は、制御レジスタへの書込みが必要です。各ワードのそれぞれのビットを定義する必要があります。

AD7730/AD7730L

Communications Register (RS2-RS0 = 0, 0, 0)

The Communications Register is an 8-bit write-only register. All communications to the part must start with a write operation to the Communications Register. The data written to the Communications Register determines whether the next operation is a read or write operation, the type of read operation, and to which register this operation takes place. For single-shot read or write operations, once the subsequent read or write operation to the selected register is complete, the interface returns to where it expects a write operation to the Communications Register. This is the default state of the interface, and on power-up or after a **RESET**, the AD7730 is in this default state waiting for a write operation to the Communications Register. In situations where the interface sequence is lost, a write operation of at least 32 serial clock cycles with DIN high, returns the AD7730 to this default state by resetting the part. Table VI outlines the bit designations for the Communications Register. CR0 through CR7 indicate the bit location, CR denoting the bits are in the Communications Register. CR7 denotes the first bit of the data stream.

Table VI. Communications Register

| | | | | | | | |
|------------|------|-----|-----|------|-----|-----|-----|
| CR7 | CR6 | CR5 | CR4 | CR3 | CR2 | CR1 | CR0 |
| WEN | ZERO | RW1 | RW0 | ZERO | RS2 | RS1 | RS0 |

| Bit Location | Bit Mnemonic | Description | | | | | | | | | | | | | | | |
|-----------------|------------------|---|-----|-----|-----------------|---|---|------------------------------------|---|---|-----------------------------------|---|---|---|---|---|---------------------------|
| CR7 | WEN | Write Enable Bit. A 0 must be written to this bit so the write operation to the Communications Register actually takes place. If a 1 is written to this bit, the part will not clock on to subsequent bits in the register. It will stay at this bit location until a 0 is written to this bit. Once a 0 is written to the WEN bit, the next seven bits will be loaded to the Communications Register. | | | | | | | | | | | | | | | |
| CR6 CR5, CR4 | ZERO RW1, RW0 | A zero must be written to this bit to ensure correct operation of the AD7730. Read/Write Mode Bits. These two bits determine the nature of the subsequent read/write operation. Table VII outlines the four options. <div style="text-align: center;"> <p>Table VII. Read/Write Mode</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">RW1</th> <th style="width: 10%;">RW0</th> <th style="width: 80%;">Read/Write Mode</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Single Write to Specified Register</td> </tr> <tr> <td>0</td> <td>1</td> <td>Single Read of Specified Register</td> </tr> <tr> <td>1</td> <td>0</td> <td>Start Continuous Read of Specified Register</td> </tr> <tr> <td>1</td> <td>1</td> <td>Stop Continuous Read Mode</td> </tr> </tbody> </table> </div> <p>With 0, 0 written to these two bits, the next operation is a write operation to the register specified by bits RS2, RS1, RS0. Once the subsequent write operation to the specified register has been completed, the part returns to where it is expecting a write operation to the Communications Register.</p> <p>With 0, 1 written to these two bits, the next operation is a read operation of the register specified by bits RS2, RS1, RS0. Once the subsequent read operation to the specified register has been completed, the part returns to where it is expecting a write operation to the Communications Register.</p> <p>Writing 1, 0 to these bits, sets the part into a mode of continuous reads from the register specified by bits RS2, RS1, RS0. The most likely registers with which the user will want to use this function are the Data Register and the Status Register. Subsequent operations to the part will consist of read operations to the specified register without any intermediate writes to the Communications Register. This means that once the next read operation to the specified register has taken place, the part will be in a mode where it is expecting another read from that specified register. The part will remain in this continuous read mode until 30 Hex has been written to the Communications Register.</p> <p>When 1, 1 is written to these bits (and 0 written to bits CR3 through CR0), the continuous read mode is stopped and the part returns to where it is expecting a write operation to the Communications Register. Note, the part continues to look at the DIN line on each SCLK edge during continuous read mode to determine when to stop the continuous read mode. Therefore, the user must be careful not to inadvertently exit the continuous read mode or reset the AD7730 by writing a series of 1s to the part. The easiest way to avoid this is to place a logic 0 on the DIN line while the part is in continuous read mode. Once the part is in continuous read mode, the user should ensure that an integer multiple of 8 serial clocks should have taken place before attempting to take the part out of continuous read mode.</p> | RW1 | RW0 | Read/Write Mode | 0 | 0 | Single Write to Specified Register | 0 | 1 | Single Read of Specified Register | 1 | 0 | Start Continuous Read of Specified Register | 1 | 1 | Stop Continuous Read Mode |
| RW1 | RW0 | Read/Write Mode | | | | | | | | | | | | | | | |
| 0 | 0 | Single Write to Specified Register | | | | | | | | | | | | | | | |
| 0 | 1 | Single Read of Specified Register | | | | | | | | | | | | | | | |
| 1 | 0 | Start Continuous Read of Specified Register | | | | | | | | | | | | | | | |
| 1 | 1 | Stop Continuous Read Mode | | | | | | | | | | | | | | | |

図 6.198: 代表的なレジスタの説明 (一部)

アプリケーション回路

コンバータ使用に役立つように、多くの場合、代表的アプリケーション回路がいくつか提供されます。

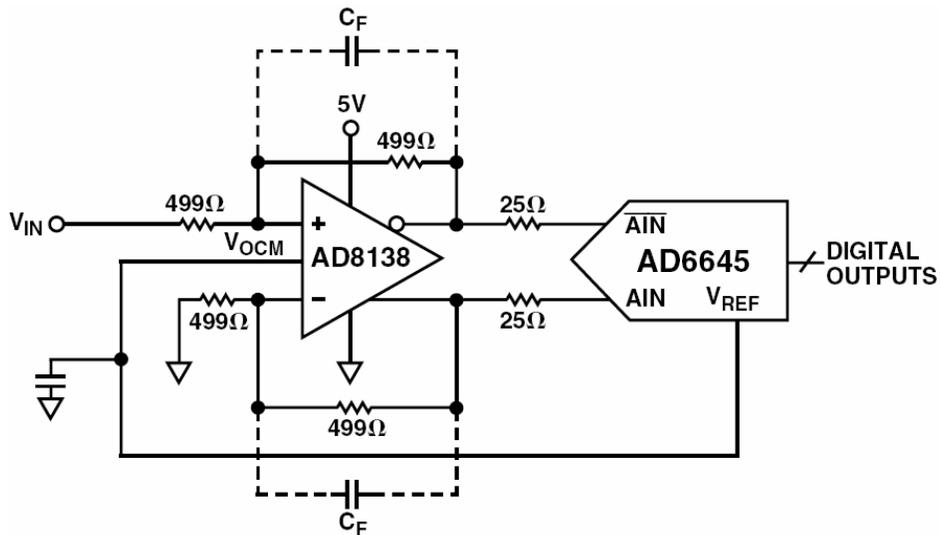


図 6.199: AD6645 の代表的なアプリケーション回路

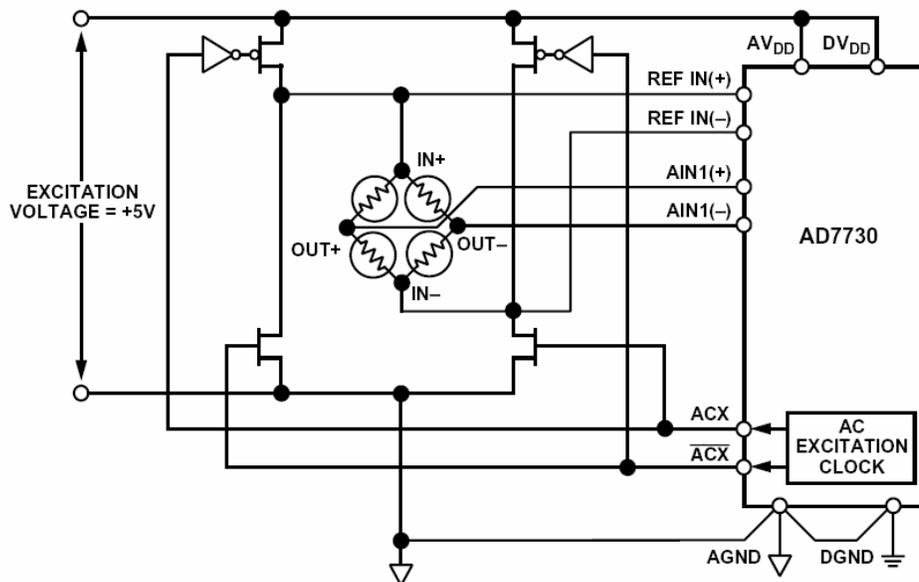


図 6.200: AD7730 の代表的なアプリケーション回路

アプリケーション回路を検討する際には、推奨されているデバイスがまだ入手できるとしても、最善の選択肢ではなくなっていることがあるので、注意してください。データシートの作成後に新しいデバイスがリリースされる可能性があるからです。新しいデバイスのほうが適していないか、常に検討してください。

評価用ボード

設計が正しく機能するかどうかを確認する唯一の方法は、実際に作成して見ることです。しかし、何度か述べたように、プリント回路基板のレイアウトは設計の他の部分と同様に重要です。そのために、メーカーはしばしば評価用ボードを提供しています。設計技術者が評価用ボードを開発したり製作したりしなくてもすむので、これは利点と言えます。また、プロトタイプを実行させる前に設計の一部をテストすることもできます。

しかし、評価用ボードはメーカーにとっても役立つものです。メーカーがボード設計を管理するので、評価システムでそのデバイスの最良部分を確実に示すことができるからです。メーカーは、ボードの性能がデバイスの性能を制限しないようにします。つまり、多くの変動要因が取り除かれるため、より正しい評価ができることとなります。

回路図とボードのレイアウトは通常、データシートに記載されます。評価用ボード用のガーバー・ファイルも多くはメーカーから入手できます。ただし、ひとこと注意しておきます。ガーバー・ファイルを自分の設計にカット&ペーストするだけでは、最適な性能は得られません。評価用ボードの部分をシステムの他の部分と統合することも重要です。例えば、システムに複数個のコンバータがあるとすればどうでしょうか。評価用ボードの接地方式が、コンバータが1個の評価システムでは機能しても、より大きなシステムでは不適切な場合があります。

評価用ボードはコンバータの評価を目的としており、通常はより大きなシステムの一部です。これには、デバイスへのインターフェース用のソフトウェアが含まれるのが一般的です。このソフトウェアは通常はPCで動作し、ヒューマン・インターフェースが必要です。評価システムについては、設計支援の章で詳しく説明しています。

まとめ

メーカーが異なれば、コンバータ（その他の種類のデバイスでも）のデータシートは異なることがありますし、同じメーカーでも異なることがあります。しかし、おおむね標準的な機能を備えています。探す対象や探す場所がわかれば、デバイスを選択する際の困難な作業がいく分容易になるうえ、正確さも増すでしょう。

注記

6.9: データ・コンバータの選定

データ・コンバータの選定は、設計全体の土台になることがよくあります。これまで見てきたように、コンバータには数多くの仕様があります。これらの仕様の意味やデータシートの読み方を見てきたので、次のステップに進む準備はできています。それでは、目的に最適なコンバータをどのような方法で決めるでしょうか。

パラメータの決定

コンバータの指定に使う最もわかりやすいパラメータは、分解能とサンプル・レートです。コンバータの分解能と精度が同じではないことを思い出してください。本当に必要なのは、多くの場合精度です。

ADC でサンプル・レートを考えるときは、一般に最大周波数を意味しています。ただし、サンプル・レートを下げると、ADC のサンプル&ホールド部におけるホールド・コンデンサのホールド時間条件がそれだけ厳しくなります。サンプル・レートがサンプル&ホールドのドループ・レートに対して低くなりすぎて、次のサンプリング期間前に、サンプリングされた電圧がサンプル&ホールドの誤差帯域から外れるまで減衰してしまうと、誤差を生じる可能性があります。SHA を内蔵した ADC のドループ・レートの仕様は一般には規定されませんが、最小のサンプル・レートは規定されます。この影響は ADC のアーキテクチャによって異なります。逐次比較型 ADC ではほとんど問題ありませんが、パイプライン・アーキテクチャではしばしば問題になります。

また、ADC をどのように使用するかも、デバイスの選定に影響します。パイプライン ADC と $\Sigma\Delta$ コンバータには、通常、変換を開始するための制御信号がありません。連続的に変換するように設計されているためです。そのため、サンプルを同期させる必要があるアプリケーションで使用するのが少し難しくなります。こうした用途には、マルチプレクサを使用したアプリケーションや、サンプルが外部信号によってトリガされるアプリケーションがあります。この種のアプリケーションには、フラッシュ・コンバータや逐次比較型コンバータが適していると思われます。

仕様のセクションでは、コンバータの仕様を規定するのに AC 仕様と DC 仕様の 2 つの方法があることを説明しました。一般に、高速な逐次型サンプリングでは AC 仕様が重要になる傾向があります。DC 仕様は、低速化が進むシングル変換やマルチプレクサを使用したアプリケーションでの重要性が高い傾向があります。

入力信号の周波数範囲は？ 高周波アプリケーションでは、入力周波数帯域は第 1 ナイキスト・ゾーンに入りますか？ また、アンダーサンプリングを使用しますか？

次のような点も考慮すべきです。ナイキストによると、入力周波数はサンプル・レートの半分までが可能ですが（ベースバンド・サンプリングの場合）、入力周波数帯域の上端がナイキスト周波数 ($F_s/2$) に近づくと、アンチエイリアシング・フィルタが急に複雑化します。オーバーサンプリングを使用すれば、入力周波数帯域が小さくなるようにサンプル・レートを変更できるので、システム・コストと複雑さを緩和することができます。

DAC のインターフェースに関しては、通常、アナログに関してあまり考慮すべきことはありません。一般的には、DAC を電流出力とするか電圧出力にするかが決められます。電流出力の場合、DAC は通常は電流/電圧 (I/V) コンバータを使用することになります。例外として考えられるのは、DAC が乗算型かどうかです。この乗算型の場合は、入力信号を指定する必要があります。

デジタル側では、主にデータ・バスがパラレルかシリアルかを考慮します。低電圧回路の普及に伴い、インターフェースの電圧レベルも定義が必要となります。多くの場合、データの出力レベルは電源電圧と同じですが、一部のコンバータではデジタル・インターフェースの電圧レベルを設定する電源ピンが別に用意されています。パラレル・インターフェースはかなりシンプルですが、シリアル・インターフェースに関してはいくつか決めなければならないことがあります。SPI、I2C、LVDS などの標準をサポートするかどうかです。

コンバータの分解能がデータ・バス幅と同じでない場合（例えば、12 ビット・コンバータを 8 ビットのパラレル・バスにインターフェースする場合）、コンバータは複数のリード/ライト・サイクルを必要とします。同様に、シリアル・インターフェースでは、データを右揃えと左揃えのどちらにするかを指定する必要があります。

一部のコンバータでは、制御ワードもコンバータに書き込まなければなりません。

コンバータに限りませんが、動作する物理的環境についても考慮しなければなりません。システムの動作温度は何度か、サイズ制限はあるか、どのような電源を使用できるか、などです。また、高速コンバータは消費電力が比較的大きい傾向があります。熱についても検討する必要があります。

この過程で、さまざまなパラメータの値を決めていきますが、それには最適な値と許容範囲を決める必要があります。例えば、精度として全 16 ビットの目標値を設定したものの、微分非線形性が 2 LSB しか得られない場合、この仕様を緩和すれば全体をうまく適合させることができます。回路動作に必要な温度範囲もこれに影響します。パッケージの物理的なサイズとコストについても、この場合に限らず考慮する必要があります。可能であれば、エージング効果などによって回路が仕様から外れることがないように、仕様に多少の余裕を持たせることを推奨します。

パラメータの優先順位付け

上記の説明からわかるように、デバイスの選択には多数の考慮事項があります。しかし、通常、とりわけ重要性が高いのは 1 つか 2 つです。デバイス仕様の条件は、厳しくしすぎないほうがよいでしょう。条件を満たすべき仕様が多いほど、すべてを満たすことが難しくなります。

デバイスの選定

最後の手順は、最終的にデバイスを選択することです。手当たり次第にデータ・ブックを集め、それぞれのデバイスの仕様を片っ端から調べていくこともできるでしょう。しかし、この方法ではすぐに手に負えなくなります。仕事をはるかに容易にするツールがいくつかあります。

そうしたツールの 1 つがセクション・ガイドです。これらは雑誌広告や販売促進メールに頻繁に掲載されます。これらのガイドを使う際の大きな問題は、多くの場合、リストがすべてを網羅しているとは限らず、通常は新製品、単電源、低消費電力などの特定のサブ・グループに焦点を当てていることです。焦点を狭めれば、適切な選択肢を見逃してしまう可能性があります。セクション・ガイドの例を図 6.201 に示しますが、ここではソリューション・ブリテンと呼んでいます。

アナログ・デバイゼズでは、この目的にはるかに適した Short Form Designers Guide という資料を提供しています。ここには、現在のすべての ADI 製品が機能と性能で分類して掲載されています。この資料の主要部分として、製品ツリーとセクション・ガイドの 2 つがあります。

コンバータのセクションを例にとると、いくつかの選択肢の中から製品を選択可能で、それぞれが後続のツリーでさらに展開表示されます。このため、設計者はアプリケーションに適した特定のコンバータを探し出すことができます。ADC セクション・ツリーの一部を図 6.202 ~ 図 6.205 に示します。

セクション・ツリーには仕様は 1 つだけ、多くても 2 つしか表示されません。選定プロセスの出発点となるように考えられているためです。より詳細な仕様はセクション・ガイドで得られます。ここでは、セクション・ツリーのセクションの 1 つに対応するカテゴリを選び、関連パラメータでデバイスをソートします。例えば、コンバータを分解能でソートする場合は、最も分解能が低いものから順に表示されます。さらに、コンバータは次のパラメータ、この場合はサンプリング・レートでソートされます。

デバイスのソートに使用した仕様以外にも、仕様がいくつか用意されています。例えば、パッケージのサイズやコストがあります。見積りコストは、基本グレードのコンバータでは一般に 1000 個単位の価格です。これをデバイスの比較用に使用します。一般に数量が少なければ高額になり、数量が多いほど低価格になります。

別の方法として、パラメトリック検索エンジンがあります。ここでは、目的の設計に応じたパラメータを入力します。コンバータの検索については図 6.206 ~ 図 6.207 に示しています。[priority] ボックスをクリックして、選択項目の優先度を設定することもできます。検索を実行すると、デバイスのデータベースが検索され、10 の選択肢が表示されます。

この検索エンジンの特に優れた特長は、選択基準を正確に満たすことができなくても、条件に近いデバイスが表示されることです。一致するものがない場合は、そのパラメータが赤色で表示されます。このため、設計者は、入手可能なデバイスがアプリケーションにどれだけ適しているかを評価することができます。



High Speed Converters

April 2004

THE ANALOG DEVICES SOLUTIONS BULLETIN

IN THIS ISSUE

High Speed ADCs: More Performance in Less Space 2

ADCs for Instrumentation Applications 3

Meeting the Demands of High Bandwidth Data Services 4

Power Amplifier Linearization 5

Selection Table 6-7

Mixed-Signal Innovations: The Transmit DAC 8

A Common Codec: JPEG2000 9

Ruggedized ADCs 10

Meeting the 3G Standard 11

Building the Best of Both Synthesizer Worlds 12

Next-Generation, Dual, High Speed ADCs

Whether you're designing a next-generation wireless communications receiver or a low power data acquisition subsystem, your choice of an A/D converter solution can be a key element in meeting end system requirements for performance, power, size, and cost.

Analog Devices has developed the next-generation family of dual, high speed ADCs, meeting the most stringent design requirements. Ranging from 10 bits to 14 bits, and from 20 MSPS to 65 MSPS (up to 120 MSPS for 10 bits), this pin compatible family allows for flexibility in design, depending on the ADC signal chain requirements, while assuring that performance and power have been optimized.

This dual family builds off the feature-rich AD9238, 12-bit, 20, 40, and 65 MSPS ADCs that includes optimized power consumption, IF sampling capability, and flexible output interface configurations—all in a very space-efficient 9 × 9 LFCSP. The AD9216 is the 10-bit companion device that supports speeds from 65 MSPS to 120 MSPS. It is suitable for direct conversion applications, such as in broadband wireless and satellite communications. Extending the family to 14 bits is the AD9248, offered in three speed grades of 20, 40, and 65 MSPS, respectively. The AD9248 gives system designers a low cost converter alternative to today's wide-ranging choice of receivers.

PIN COMPATIBLE 10-BIT TO 14-BIT HIGH SPEED DUAL ADC FAMILY

- AD9216: 10 BITS, 65MSPS to 120MSPS
- AD9238: 12 BITS, 20MSPS to 65MSPS
- AD9248: 14 BITS, 20MSPS to 65MSPS
- OPTIMIZED FOR POWER CONSUMPTION AND PERFORMANCE

| Part Number | Resolution (Bits) | Sample Rate (MSPS) | SNR (dB @ 39 MHz) | SFDR (dBc @ 39 MHz) | Power per Channel (mW) ¹ | Price per Channel (\$U.S.) |
|---------------------|-------------------|--------------------|-------------------|---------------------|-------------------------------------|----------------------------|
| AD9216 | 10 × 2 | 65/80/105/120 | 58.0 | 75.0 | 90 | 5.49 |
| AD9238 ² | 12 × 2 | 20/40/65 | 70.0 | 85.0 | 90 | 6.57 |
| AD9248 ² | 14 × 2 | 20/40/65 | 73.5 | 85.0 | 90 | 14.69 |

¹Low speed grade.
²Also available in LQFP-64.

All prices in this bulletin are in USD in quantities greater than 1,000 (unless otherwise noted), recommended lowest grade resale, FOB U.S.A.



Visit our website for samples, data sheets, and additional product information.
www.analog.com/bulletins/converter

図 6.201: 代表的なソリューション・ブリテンのトップ・ページ

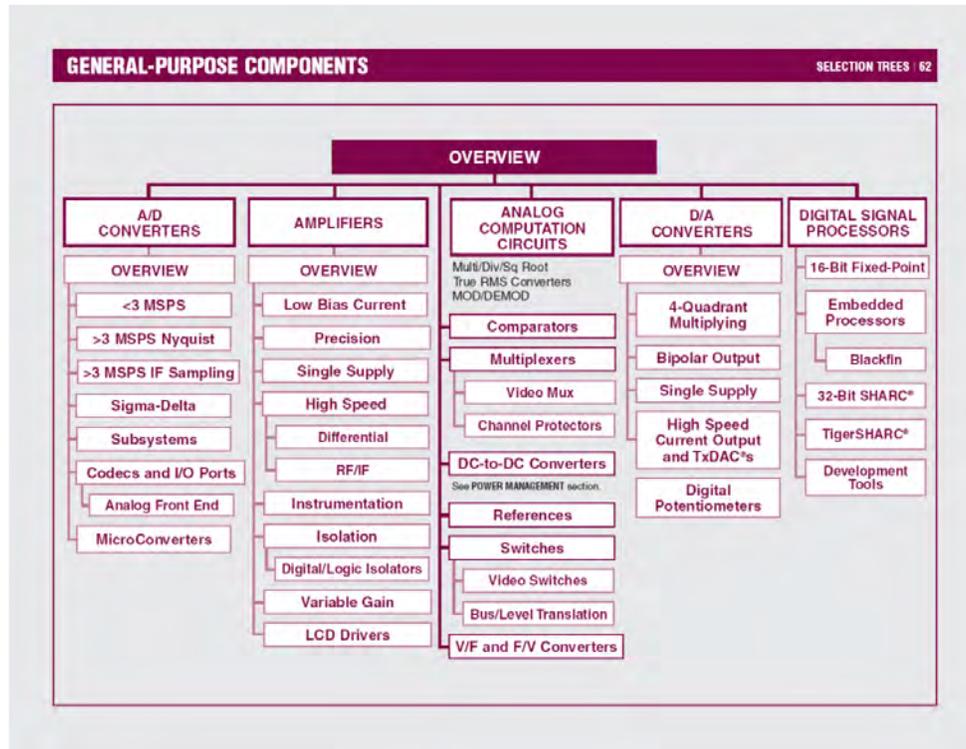


図 6.202. ショート・フォーム・セレクション・ガイドのトップ・レベル

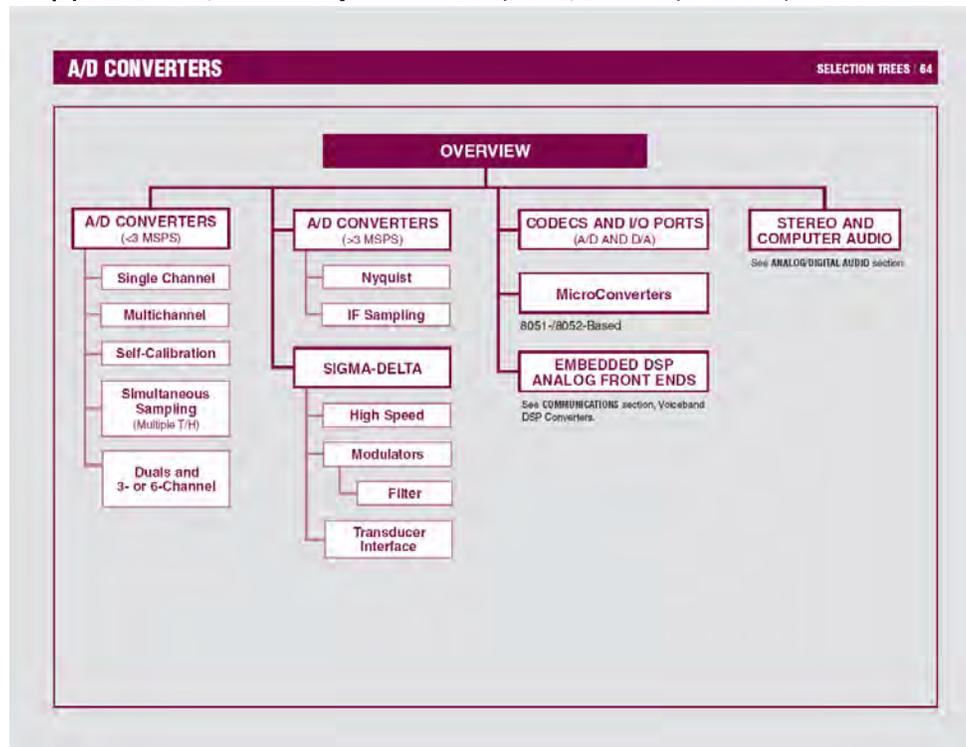


図 6.203: ショート・フォームの ADC セレクション・テーブルのトップ・ページ

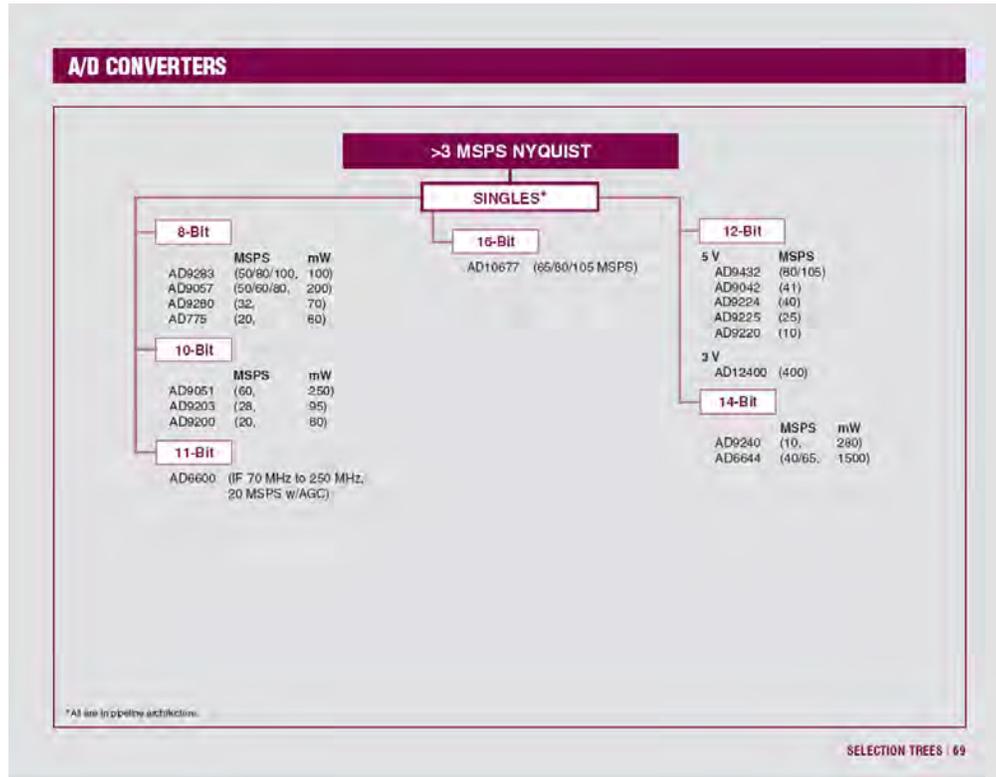


図 6.204: ショート・フォーム・セレクション・ガイドの 2 番目のレベル

A/D CONVERTERS

>3 MSPS, Nyquist

| Model | # Bits | Sample Rate MSPS | Input BW MHz | SNR dB | SFDR -dB | SINAD +dB | Test Conditions f_{in} MHz | f_{sample} MHz | Smallest Available Package | Lowest Grade Price 100s | Comments | Eval Board Avail |
|---|--------|------------------|--------------|--------|----------|-----------|------------------------------|------------------|----------------------------|-------------------------|--------------------------------|------------------|
| Single Supply: Singles¹ | | | | | | | | | | | | |
| AD775 | 8 | 20 | ns | ns | 47 typ | ns | 1 | 20 | 24W SOIC | \$ 0.05 | f_{sample} Rate Min = DC | |
| AD9057 | 8 | 40 | 120 | 43 | ns | 42 | 10.3 | 40 | 20 SSOP | \$ 3.44* | On-Chip V_{REF} , Low Cost | Yes |
| AD9057 | 8 | 80 | 120 | 43 | ns | 42 | 76 | 80 | 20 SSOP | \$ 3.95* | On-Chip V_{REF} , Low Cost | Yes |
| AD9057 | 8 | 80 | 120 | 42.5 | ns | 41.5 | 76 | 80 | 20 SSOP | \$ 4.63* | On-Chip V_{REF} , Low Cost | Yes |
| AD9280 | 8 | 32 | 300 | 47.8 | 51.4 | 46.4 | 3.58 | 32 | 28 SSOP | \$ 2.26 | With Clamp Input and V_{REF} | Yes |
| AD9283-50 | 8 | 50 | 475 | 47 | ns | 46 | 27 | 50 | 20 SSOP | \$ 3.53 | | Yes |
| AD9283-80 | 8 | 80 | 475 | 47 | ns | 42 | 41 | 80 | 20 SSOP | \$ 10.00 | | Yes |
| AD9283-100 | 8 | 100 | 475 | 46 | ns | 42.5 | 78 | 100 | 20 SSOP | \$ 5.83 | | Yes |
| AD9200 | 10 | 20 | 300 | 54 | 61 | 56 | 10 | 20 | 28 SSOP | \$ 3.12 | With Clamp Input, Overflow Pin | Yes |
| AD9203 | 10 | 40 | 390 | 59.5 | 79 | 59.3 | 20 | 40 | 28 TSSOP | \$ 6.84 | With Clamp Input, 2SC or BIN | Yes |
| AD9051 | 10 | 60 | 30/130 | 58 | ns | 57 | 10.3 | 60 | 28 SSOP | \$ 9.94 | | Yes |
| AD9432-80 | 12 | 105 | 500 | 66.1 | ns | 65.8 | 70 | 78 | 52 LOFP | \$ 42.10 | With Overflow Pin | Yes |
| AD9432-105 | 12 | 105 | 500 | 66.1 | ns | 65.8 | 70 | 78 | 52 LOFP | \$ 58.76 | With Overflow Pin | Yes |
| AD9042 | 12 | 41 | 140 | 66.5 | 80 | 66.5 | 19.5 | 41 | 44 LOFP | \$ 31.20 | 2SC | Yes |
| AD9224 | 12 | 25 | 120 | 68.4 | 79 | 68 | 10 | 40 | 28 SSOP | \$ 21.12 | | Yes |
| AD9225 | 12 | 25 | 106 | 68.2 | 72.5 | 68.7 | 10 | 25 | 28 SSOP | \$ 18.08 | With Overflow Pin | Yes |
| AD9220 | 12 | 10 | ns | 68.5 | 60 | 77.5 | 76 | 1000 | 28W SOIC | \$ 6.95 | | Yes |
| AD12400 | 12 | 400 | 400 | 65 | 77 | 64.4 | 100 | 400 | Module | \$1,500.00 | AC-Coupled AFE | Yes |
| AD9240 | 14 | 10 | ns | 75 | 70 | 90 | 78 | 500 | 44 MQFP | \$ 51.00 | With Out-of-Range Indicator | Yes |
| AD6644-65 | 14 | 40/65 | 250 | ns | 73 | 73.5 | 30.5 | 65 | 52 LOFP | \$ 34.20 | With Overflow Pin | Yes |
| AD10677 | 16 | 65 | 210 | 76.5 | 79.5 | 74.5 | 30 | 65 | Board | \$ 670.00 | AC-Coupled AFE | Yes |

NOTE
¹All models are pipelined.
* Retail price

SELECTION GUIDES | 149

図 6.205: ショート・フォーム・セレクション・ガイドの ADC ページ

ADC Parametric Search

GENERAL | DC accuracy | AC performance | Supply and Reference | PHYSICAL | SPECIAL

Type of ADC: [Dropdown] Priority

Number of ADC Inputs: => [Input] Priority

I/O Interface Type: [Dropdown] Priority

Enter your performance requirements for all relevant parameters. Type the word "Best" [or B, or b] for any parameters you wish to optimize while still meeting your other requirements. Parenthesis indicate default placeholder.
 Doubleclick on Parameter Name for more information.

ADC Parametric Search | Search | Reset | Help | Close

Parametric Search Engine implemented by Interactive Multimedia Systems (IRL) Powered by WEBSSELL Technology

Rev. D1.02

図 6.206: パラメトリック検索の概要ページ

ADC Parametric Search

GENERAL | DC accuracy | AC performance | Supply and Reference | PHYSICAL | SPECIAL

Conversion Time: <=> [Input] (μ)s Priority

Throughput Rate: => [Input] (K)Hz Priority

Input Bandwidth: => [Input] (K)Hz Priority

Aperture Jitter: <=> [Input] (p)s RMS Priority

Signal to Noise Ratio (SNR): => [Input] dB Priority

Total Harmonic Distortion (THD): <=> [Input] dB Priority

Spurious Free Dynamic Range (SFDR): => [Input] dB Priority

Intermodulation Distortion (IMD): <=> [Input] dB Priority

Effective Number of Bits (ENOBs): => [Input] bits Priority

Enter your performance requirements for all relevant parameters. Type the word "Best" [or B, or b] for any parameters you wish to optimize while still meeting your other requirements. Parenthesis indicate default placeholder.
 Doubleclick on Parameter Name for more information.

ADC Parametric Search | Search | Reset | Help | Close

Parametric Search Engine implemented by Interactive Multimedia Systems (IRL) Powered by WEBSSELL Technology

Rev. D1.02

図 6.207: パラメトリック検索の ADC 仕様ページ

