

第 4 章: RF/IF 回路

はじめに	4.1
4.1: ミキサー	4.3
理想的ミキサー	4.3
ダイオードリング・ミキサー	4.6
アクティブ・ミキサーの基本動作	4.8
参考資料	4.10
4.2: 変調器	4.11
4.3: アナログ乗算器	4.13
参考資料	4.20
4.4: ログアンプ	4.21
参考資料	4.28
4.5: 真のパワー・ディテクタ	4.29
4.6: 可変ゲイン・アンプ	4.33
電圧制御アンプ	4.33
X-AMP®	4.35
デジタル制御 VGA	4.38
参考資料	4.40
4.7: ダイレクト・デジタル合成	4.41
DDS (ダイレクト・デジタル合成)	4.41
DDS システムのエイリアシング	4.45
ADC クロック・ドライバとしての DDS システム	4.46
DDS システムでの振幅変調	4.47
DDS システムのスプリアスフリー・ダイナミック・レンジの検討事項	4.47
参考資料	4.50
4.8: フェーズ・ロック・ループ (PLL)	4.51
PLL シンセサイザの基本的なビルディング・ブロック	4.53
リファレンス・カウンタ	4.56
フィードバック・カウンタ (N)	4.56
フラクショナル N シンセサイザ	4.59
発振器システムのノイズ	4.60
電圧制御発振器の位相ノイズ	4.61
Leeson の式	4.62
ループを閉じる	4.64
位相ノイズの測定	4.67
リファレンス・スプリアス	4.69
チャージ・ポンプの漏れ電流	4.70

4.8: フェーズ・ロック・ループ (続き)
参考資料

4.72

第 4 章: RF/IF 回路

はじめに

携帯電話から双方向ページャへ、さらにワイヤレス・インターネット・アクセスへと、世界はますます広範にしかもワイヤレスで接続されつつあります。

使われている技術はさまざまですが、これらのデバイスは基本的に単純な無線トランシーバ（トランスミッタとレシーバ）です。ほとんどのレシーバとトランスミッタはスーパーヘテロダイン方式の無線機のバリエーションです。この方式のレシーバを図 4.1 に、トランスミッタを図 4.2 に示します。

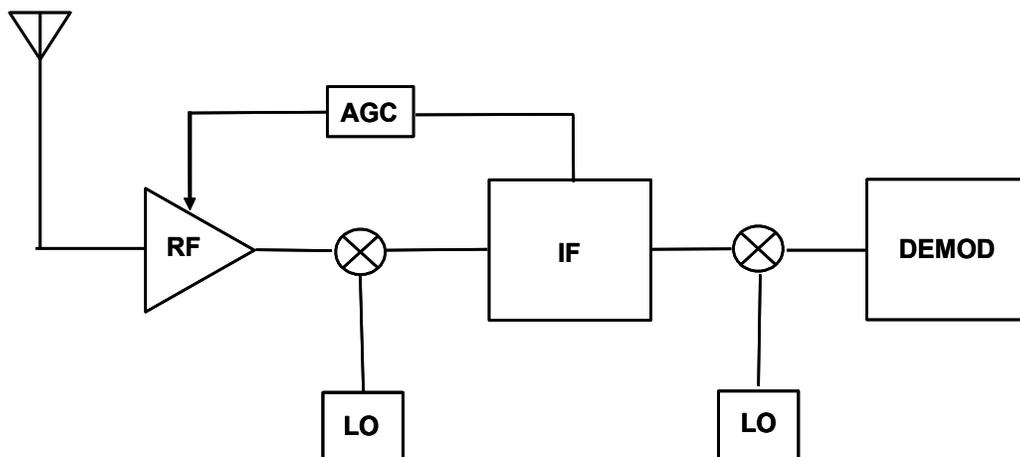


図 4.1: 基本的なスーパーヘテロダイン無線レシーバ

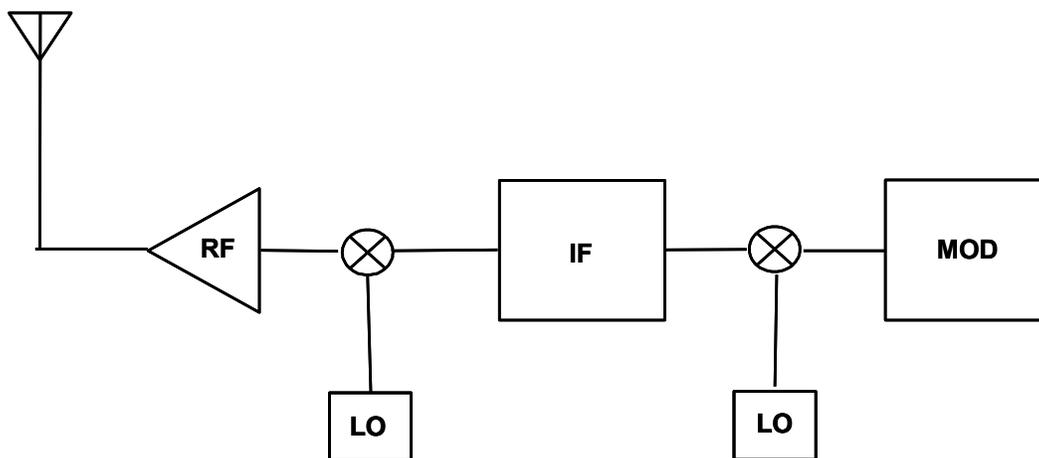


図 4.2: 基本的なスーパーヘテロダイン無線トランスミッタ

基本的な動作は以下のとおりです。レシーバの場合、アンテナからの信号は無線周波数（RF）段で増幅されます。RF 段の出力はミキサーの一方の入力になります。ローカル発振器（LO）が他方の入力になります。ミキサーの出力は中間周波数（IF）です。IF を生成する理由は、広帯域の高ゲイン・アンプを 1 個作成するより、狭周波数帯域の高ゲイン・アンプのストリングを作成する方がはるかに容易だという考えによります。また、変調帯域幅は一般にキャリア周波数よりはるかに小さい帯域幅です。2 番目のミキサー段は信号をベースバンドに変換します。この信号は次に復調（demod）されます。変調方式は、レシーバの技術とはかかわりなく、振幅変調（AM）、周波数変調（FM）、位相変調または何らかの直交振幅変調（QAM）（振幅変調と位相変調の組み合わせ）にすることができます。

FM 放送信号を例に取り上げて、関連する具体的な数値を見てみましょう。キャリア周波数は 98 MHz ~ 108 MHz の範囲です。IF 周波数はほぼ常に 10.7 MHz です。ベースバンドは 0 Hz ~ 15 kHz です。これは左右のオーディオ信号の和の周波数帯域です。また、左右のオーディオ信号の差である、38 kHz を中心とする変調帯域があります。この差信号を復調し、和信号に加算して、左右に分離したオーディオ信号を生成します。

受信側では周波数のダウン・コンバージョンを行いました。送信側では、ミキサーで周波数のアップ・コンバージョンを行います。

ここに示した簡易ブロック図では、「True-Power 回路」で実現されるようなトランスミッタのパワーアンプの電力モニタや制御など、トランシーバの設計に取り入れられる可能性のある追加機能は省いています。

技術の進歩に伴い、IF サンプリングが普及してきました。IF 周波数範囲で信号をサンプリングするのに十分な性能を備えた ADC が開発され、復調はデジタル領域で行われます。これにより、ミキサー段を省いて、システムをシンプルにすることができます。

この章で取り上げる基本的ビルディング・ブロックに加えて、これらの回路ブロックはさらに大きな ASIC（特定用途向け集積回路）のビルディング・ブロックとしてしばしば用いられています。

4.1: ミキサー

理想的ミキサー

理想化されたミキサーを図 4.3 に示します。RF または IF ミキサー（ビデオやオーディオのミキサーとは異なります）は、信号をある周波数から別の周波数に変換するアクティブまたはパッシブなデバイスです。信号を変調または復調することができ、無線分野でポートと呼ばれる 3 つの信号接続箇所を備えています。これら 3 つのポートは無線周波数（RF）入力、ローカル発振器（LO）入力および中間周波数（IF）出力です。

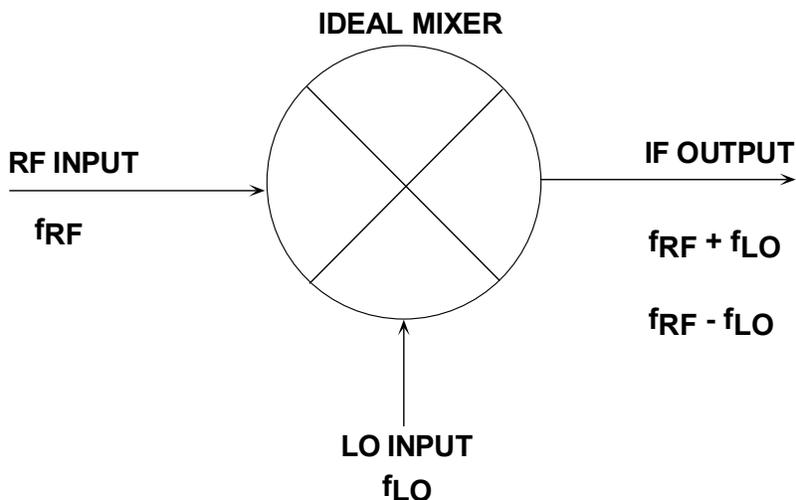


図 4.3: ミキシング処理

ミキサーは周波数が f_{RF} の RF 入力信号を取り込み、それを周波数が f_{LO} の LO 信号とミキシングし、和と差の周波数 $f_{RF} \pm f_{LO}$ からなる IF 出力信号を生成します。

ユーザーは、ミキサーの後にバンドパス・フィルタを置いて、和 ($f_{RF} + f_{LO}$) または差 ($f_{RF} - f_{LO}$) の周波数を選択します。

ミキサーとその用語に関する注意点

- 和の周波数を IF として使用する場合、ミキサーをアップ・コンバータと呼び、差の周波数を使用する場合、ダウン・コンバータと呼びます。前者は一般に送信チャンネルに使用し、後者は受信チャンネルに使用します。
- レシーバでは、LO 周波数が RF より低いとき、LO をローサイド・インジェクションと呼び、ミキサーをローサイド・ダウン・コンバータと呼びます。LO が RF より高いとき、LO をハイサイド・インジェクションと呼び、ミキサーをハイサイド・ダウン・コンバータと呼びます。

• 各出力はそれぞれの入力の子分の振幅（1/4 の電力）なので、この理想的リニア・ミキサーには 6 dB の損失があります。（実際の乗算器では、デバイスのスケージング・パラメータにより、変換損失が 6 dB より大きいことがあります。ここでは、次元の属性がない数学的乗算器を仮定します。）

ミキサーは、アクティブまたはパッシブの技法を使って、複数の方法で実現できます。

理想的には、ミキサーの低ノイズ、高直線性の目標を達成するために、LO 入力に忠答して極性を切り替える機能を実現する回路が必要です。このスイッチング回路を用い、ミキサーは図 4.4 のように簡略化することができます。この図は、RF 信号が正相（0°）と逆相（180°）の成分に分解されることを示しています。ローカル発振器（LO）信号で駆動される切り替えスイッチが、正相信号と逆相信号を交互に選択します。このように必須要素に整理すると、理想的ミキサーは符号スイッチャにモデル化できます。

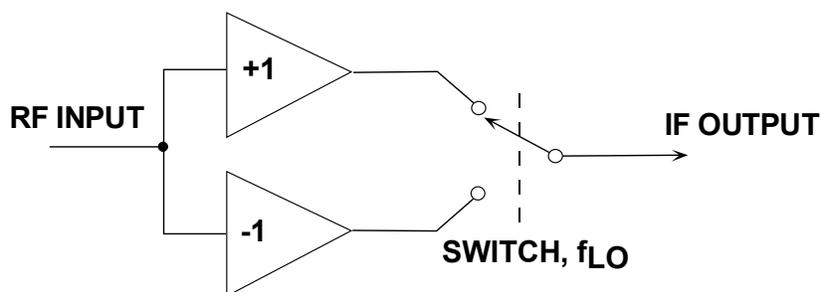


図 4.4: 理想的スイッチング・ミキサー

完璧に実現されると仮定すると、このミキサーはスイッチの抵抗がゼロになるのでノイズがなく、最大信号振幅の制限がなく、さまざまな RF 信号間に相互変調を生じません。考え方は単純ですが、入力スペクトラムの信号が少数の場合でも、中間周波数（IF）出力の波形は非常に複雑になる可能性があります。10 MHz の LO で、11 MHz の単一の入力をミキシングした結果を図 4.5 に示します。

必要な差周波数 1 MHz の IF はこの波形の中に見えており、和周波数 21 MHz も明らかです。これをどのように解析すべきでしょうか。

さらに積がありますが、ここでは ω_{RF} の正弦波（RF 入力）と +1 または -1 の値だけを持つ変数（つまり、 ω_{LO} の単位方形波）の積です。後者はフーリエ級数として表すことができます。

$$S_{LO} = \frac{4}{\pi} \{ \sin\omega_{LO}t - \frac{1}{3} \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{LO}t - \dots \} \quad \text{式 4-1}$$

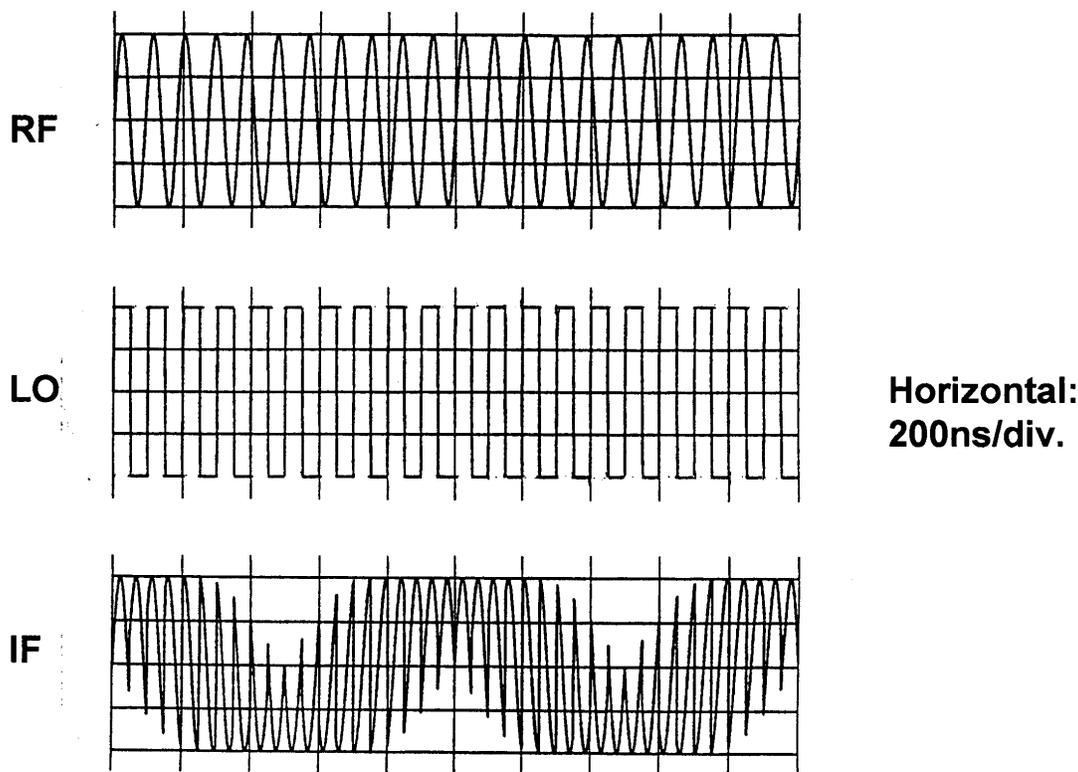


図 4.5: 理想的スイッチング・ミキサーの入力と出力
 $f_{RF} = 11 \text{ MHz}$ 、 $f_{LO} = 10 \text{ MHz}$

したがって、スイッチング・ミキサーの出力は、その RF 入力（これは $\sin\omega_{RF}t$ と簡略化できます）に、上のように展開した方形波を乗算して、次のようになります。

$$S_{IF} = \frac{4}{\pi} \left\{ \sin\omega_{RF}t \sin\omega_{LO}t - \frac{1}{3} \sin\omega_{RF}t \sin 3\omega_{LO}t + \frac{1}{5} \sin 5\omega_{RF}t \sin 5\omega_{LO}t - \dots \right\} \quad \text{式 4-2}$$

各積を展開すると、次式が得られます。

$$S_{IF} = \frac{2}{\pi} \left\{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t - \frac{1}{3} \sin(\omega_{RF} + 3\omega_{LO})t - \frac{1}{3} \sin(\omega_{RF} - 3\omega_{LO})t + \frac{1}{5} \sin(\omega_{RF} + 5\omega_{LO})t + \frac{1}{5} \sin(\omega_{RF} - 5\omega_{LO})t - \dots \right\} \quad \text{式 4-3}$$

整理すると次のようになります。

$$S_{IF} = \frac{2}{\pi} \left\{ \sin(\omega_{RF} + \omega_{LO})t + \sin(\omega_{RF} - \omega_{LO})t + \text{高調波} \right\} \quad \text{式 4-4}$$

この高調波成分の中の重要なものを、図 4.5 に示す波形を発生するケース（ $f_{RF} = 11 \text{ MHz}$ および $f_{LO} = 10 \text{ MHz}$ ）について、図 4.6 に示します。 $2/\pi$ の項により、ゲインが無いとき、ミキサーの挿入損失（およびノイズ指数）は最小 3.92 dB です。

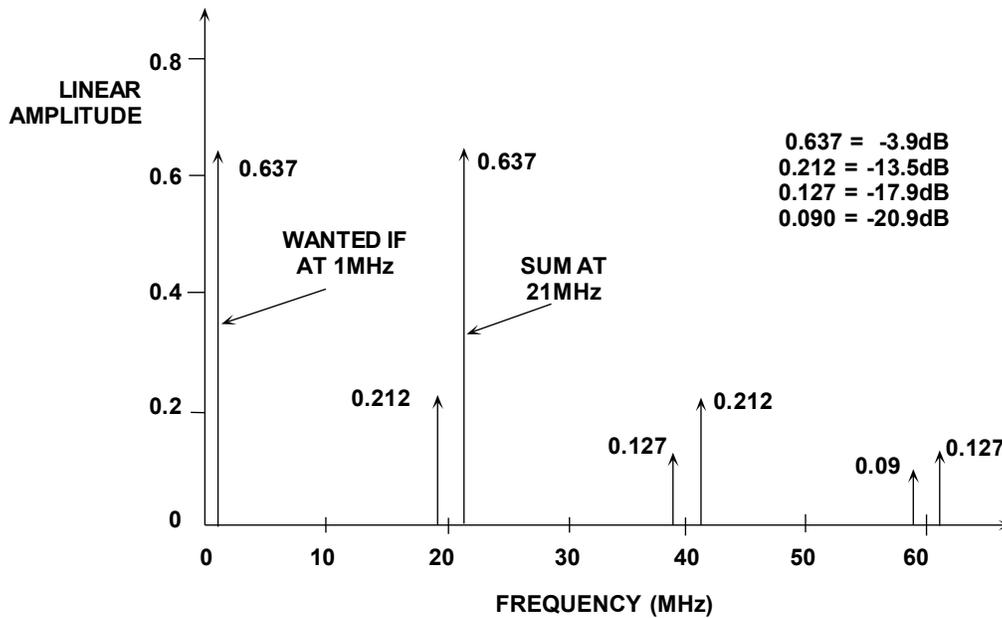


図 4.6: スイッチング・ミキサーの出力スペクトラム
 $f_{RF} = 11 \text{ MHz}$ および $f_{LO} = 10 \text{ MHz}$

理想的（スイッチング）ミキサーには、リニア乗算ミキサーと全く同じ、 $\omega_{LO} - \omega_{RF}$ へのイメージ応答の問題があることに注意してください。イメージ応答は出力のスペクトラムに直ちに現れるわけではないので、とらえにくいものです。潜在的な応答であり、入力スペクトラムに「誤った」周波数が生じたときに顕在化します。

ダイオードリング・ミキサー

多年にわたり、高性能アプリケーション向けの最も一般的なミキサー・トポロジーは、ダイオードリング・ミキサーでした。そのひとつの形式を図 4.7 に示します。ダイオードは基本となるスイッチング動作を行います。これはシリコン接合、シリコン・ショットキー・バリア、またはガリウム砒素のどのタイプでもかまいません。この回路を詳細に解析する必要はありませんが、LO を非常に高く（しばしば 1 ワット近く）駆動する必要がある点に注意してください。これは、低ノイズを達成し、スプリアスによる過度の非直線性なしに大きな信号を変換できるように、ダイオードの導通を十分強くするためです。

ダイオードは非直線性が強いので、3つのポートのインピーダンスは制御しにくく、整合させるのが困難です。さらに、3つのポートの間にはかなりのカップリングが発生し、LO ポートに必要な高電力も相まって、大きく歪みを生じた LO 信号の成分の一部がアンテナに戻る可能性が非常に高くなります。最後に、このようなパッシブなミキサーでは変換ゲインを得られないことは明らかです。理想的なシナリオでは、式 4-4 に示されているように $2/\pi$ （つまり 3.92 dB）の変換損失があります。実際は、ダイオードの抵抗およびトランスの損失のため、ミキサーの損失はもっと大きくなります。

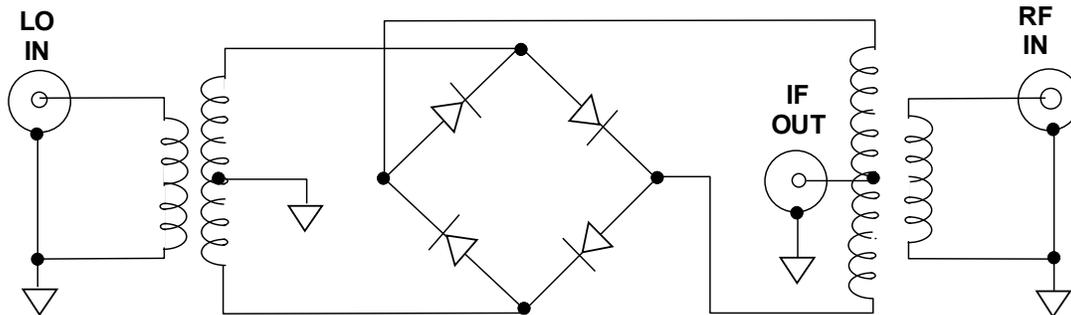


図 4.7: ダイオードリング・ミキサー

このタイプのミキサーを使用する場合、ユーザーはレベル定格によって信号処理能力を判断します。たとえば、レベル 17 のミキサーは +17 dBm (50 mW) の LO ドライブを必要とし、最大 +10 dBm (± 1 V) の RF 入力を処理することができます。このクラスの標準的ミキサーは 2 MHz ~ 500 MHz をカバーする Mini-Circuits 社の LRMS-1H でしょう。これは、公称挿入損失が 6.25 dB (最大 8.5 dB)、ワーストケースの LO-RF アイソレーションが 20 dB、ワーストケースの LO-IF アイソレーションが 22 dB です (これらの数値は LO 周波数が 250 MHz ~ 500 MHz の場合です)。この部品の単価は少量で約 10.00 ドルです。最も高価なダイオードリング・ミキサーでも、ドライブ電力の条件は同様であり、損失は高く、LO ポートからのカップリングが高くなります。

ダイオードリング・ミキサーは性能上の制限があるだけでなく、少なくとも図 4.7 に示す形式では、集積回路技術を用いて製造するには適していません。60 年代の中ごろ、4 個のダイオードを 4 個のトランジスタで置き換えて本質的に同じスイッチング機能を実現できることが分かりました。これが、図 4.8 に示されている、今では古典となったバイポーラ回路によるミキサーの基礎となりました。これは、完全平衡型の最小構成です。CMOS や GaAs を用いたタイプも含めて、何百万ものこの種のミキサーが製造されましたが、ここでは BJT (バイポーラ接合トランジスタ) の回路に限定して説明します。その一例は Motorola の MC1496 で、構造は極めて初歩的ですが、おおよそ 25 年の間、セミ・ディスクリートのレシーバのデザインの主流を占めました。

アクティブ・ミキサーは以下の点で魅力的な回路です。

- 他の信号処理回路と一緒にモノリシック集積回路にできます。
- 変換ゲインを与えることができます。一方、ダイオードリング・ミキサーは必ず挿入損失を生じます。
(注記: アクティブ・ミキサーはゲインを与えることができます。例えば、アナログデバイゼズの AD831 アクティブ・ミキサーは、式 4-4 の結果を $\pi/2$ だけ増幅して RF から IF へのユニティ・ゲインを与えます。)
- LO ポートを駆動する電力がはるかに少なくてすみずみです。
- 信号ポート間のアイソレーションが非常に優れています。

•負荷の整合性による影響を受けにくく、ダイプレクサも広帯域終端も不要です。

適切な設計手法を用いると、3 次インターセプト (3OI または IP3) および 1 dB ゲイン圧縮ポイント (P_{1dB}) と、全消費電力 (P_D) との間のトレードオフが可能です。(全消費電力には、パッシブ・ミキサーでは駆動回路の中に隠されている LO 電力を含めます。)

アクティブ・ミキサーの基本動作

電圧の極性反転スイッチングを行うダイオードリング・ミキサーとは異なり、アクティブ・ミキサーは電流のスイッチングを行います。したがって、アクティブ・ミキサーのコア (図 4.8 のトランジスタ Q3 ~ Q6) は電流信号で駆動する必要があります。Q1 と Q2 で形成される電圧から電流への変換器は、ベース端子で RF の電圧信号を受け取り、コレクタで差動電流ペアへ変換します。

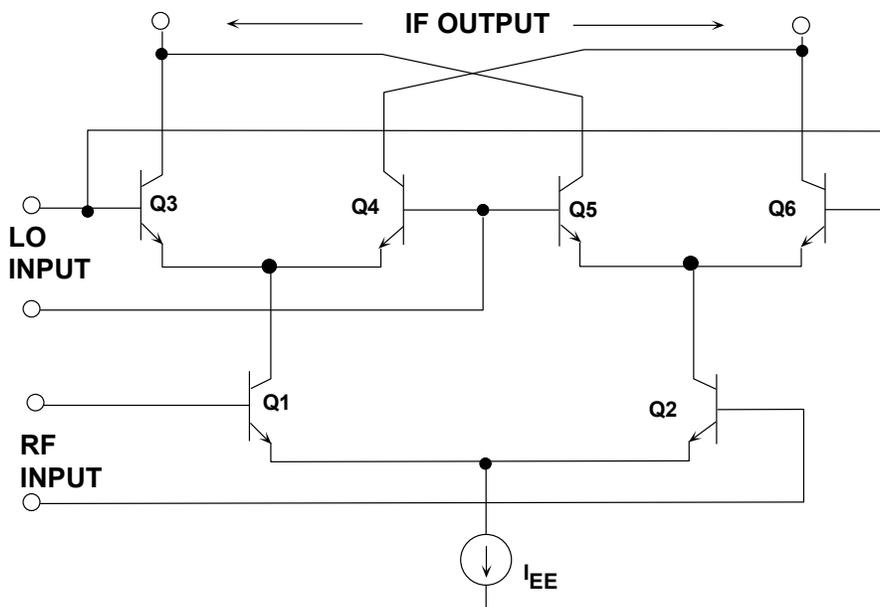


図 4.8: 古典的アクティブ・ミキサー

したがって、アクティブ・ミキサーとダイオードリング・ミキサーの 2 つ目の違いは、アクティブ・ミキサーは、入力電力ではなく、入力電圧の大きさにだけ応答するということです。つまり、アクティブ・ミキサーはソースに整合していません。(整合の概念は、あるポートの電流と電圧の両方が、そのポートを形成する回路によって用いられることです)。バイアス電流 I_{EE} を変化させることにより、入力ペア Q1-Q2 のトランスコンダクタンスを広い範囲にわたって設定することができます。

この能力を使って、アクティブ・ミキサーは可変ゲインを実現することができます。

3つ目の違いは、出力 (Q3 ~ Q6 のコレクタ) が電流であるため、入力で使われているインピーダンス・レベルとは異なるインピーダンス・レベルで再度電圧へ逆変換することができ、さらにゲインを得ることができる点です。両方の出力電流を結合して (一般にトランスを使って)、この電圧ゲインを倍にすることができます。違いの最後として、複数ポート間に存在する半導体接合に逆バイアスがかけられているため、ポート間の (特に LO ポートから RF ポートへの) アイソレーションがダイオードリング・ミキサーで実現できるよりももともとはるかに低くなることは明らかです。

簡単に説明すると、動作は以下ようになります。Q1 と Q2 のベース間に電圧差がないとき、これら 2 つのトランジスタのコレクタ電流は基本的に等しくなります。したがって、LO 入力に電圧を与えても出力電流に変化を生じません。RF 入力に小さな DC オフセット電圧 (主として Q1 と Q2 のエミッタ領域の不整合による) が存在する場合は、LO 信号から IF 出力への小さなフィードスルーを生じるだけで、これは最初の IF フィルタによってブロックされます。

逆に、RF 信号が RF ポートに与えられるが、LO 入力には電圧差が与えられていないと、出力電流は再び平衡化されます。小さなオフセット電圧 (この場合は Q3 ~ Q6 のエミッタの不整合による) により、RF 信号から IF 出力へいくらかのフィードスルーが生じる可能性があります。前の説明と同様に、IF フィルタによって除去されます。出力に信号が現れるのは、RF と LO の両方のポートに信号が与えられているときだけです。したがって、ダブルバランスド・ミキサーと呼ばれています。

アクティブ・ミキサーはもうひとつ別の方法でゲインを実現することができます。50 Ω のソースをミキサーの (通常) 高い入力インピーダンスへ変換するのに用いる整合ネットワークがインピーダンス変換を行い、このインピーダンス・ステップアップによって電圧ゲインを実現します。こうして、入力が広帯域 50 Ω で終端されているとき損失を生じるアクティブ・ミキサーが、入力整合ネットワークを使用すると「ゲイン」を得ることができます。

参考資料

1. Barrie Gilbert, **ISSCC Digest of Technical Papers 1968**, pp. 114-115, February 16, 1968.
2. Barrie Gilbert, **Journal of Solid State Circuits**, Vol. SC-3, December 1968, pp. 353-372.
3. C.L. Ruthroff, *Some Broadband Transformers*, **Proc. I.R.E.**, Vol.47, August, 1959, pp.1337-1342.
4. James M. Bryant, *Mixers for High Performance Radio*, **Wescon 1981: Session 24** (Published by Electronic Conventions, Inc., Sepulveda Blvd., El Segundo, CA)
5. P.E. Chadwick, *High Performance IC Mixers*, **IERE Conference on Radio Receivers and Associated Systems**, Leeds, 1981, IERE Conference Publication No. 50.
6. P.E. Chadwick, *Phase Noise, Intermodulation, and Dynamic Range*, **RF Expo**, Anaheim, CA, January, 1986.
7. **AD831 Data Sheet**, Rev. B, Analog Devices.

4.2: 変調器

変調器（バランスド・モジュレータ、ダブルバランスド・モジュレータと呼ばれることがあり、またハイレベル・ミキサーと呼ばれることもあります）は、符号変換器と見ることができます。2つの入力 X と Y が出力 W を生成しますが、W は単に入力の一方（例えば Y）に他方（例えば X）の符号だけに乗じたもの、つまり $W = Y * \text{sign}(X)$ です。したがって、リファレンス電圧は不要です。優れた変調器はその信号経路が非常に高い直線性を示し、正負両方の Y 値に対し全く等しいゲインを持ち、正負両方の X 値に対しても全く等しいゲインを持ちます。理想的な変調器では、出力の符号を完全にスイッチするのに必要な X 入力の振幅は非常に小さくて済みます。つまり、X 入力はコンパレータに似た動作をします。場合によっては（この入力がロジック信号の場合など）、もっと簡単な X チャンネルを使用することができます。

こうした変調器の一例はAD8345で、250 MHz ~ 1000 MHz で使用するように設計されたシリコン RFIC の直交変調器です。位相精度と振幅バランスが優れているので、IF キャリアの高性能直接変調が可能です。

AD8345 は、ポリフェーズ位相スプリッタ回路によって、外部 LO 信号を2つの直交成分に正確に分離します。I と Q の2つの LO 成分はベースバンドの I と Q の差動入力信号とミキシングされます。最後に、2つのミキサーの出力は出力段で結合され、シングルエンドの 50 Ω ドライブを VOUT に出力します。

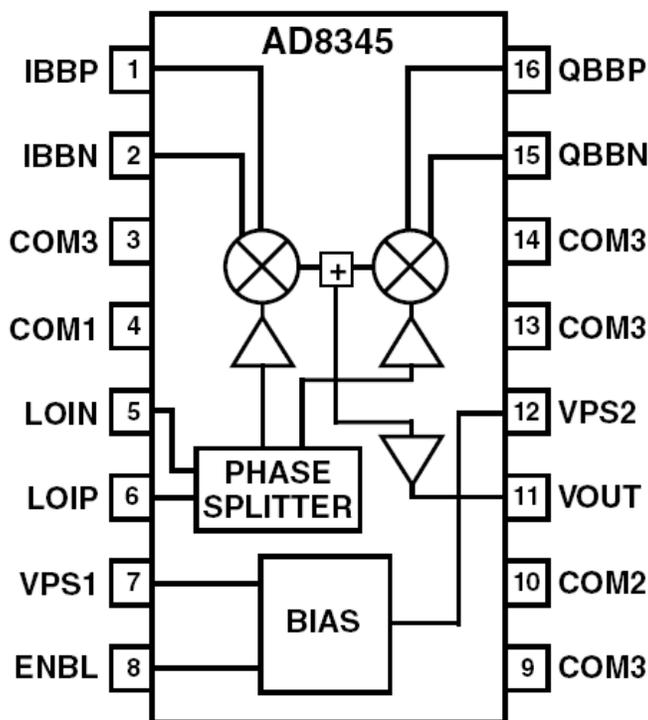


図 4.9: AD8345 のブロック図

メモ:

4.3: アナログ乗算器

乗算器は 2 つの入力ポートと 1 つの出力ポートを備えたデバイスです。出力信号は 2 つの入力信号の積です。入力信号と出力信号の両方が電圧の場合、伝達特性は 2 つの入力電圧の積をスケーリング係数 K で割ったものです。 K の次元は電圧です（図 4.10 を参照）。数学的に見ると、乗算は 4 象限演算です（つまり、両方の入力とも正負どちらでもよく、出力は正または負になる可能性があります）。ただし、電子乗算器の制作に使用する回路には、一方の極性の信号に制限されるものもあります。両方の信号がユニポーラでなければならない場合は 1 象限の乗算器になり、出力もユニポーラになります。信号の一方はユニポーラで、他方はどちらの極性でもよい場合は、乗算器は 2 象限乗算器となり、出力はどちらの極性になることもできます（したがって、バイポーラになります）。1 象限または 2 象限の乗算器の制作に使用する回路は、4 象限乗算器に必要な回路より単純であること、また 4 象限すべての乗算は必要としないアプリケーションが多いことから、1 象限または 2 象限だけで動作する正確なデバイスを使用することが一般的です。一例は AD539 広帯域デュアル 2 象限乗算器で、5 MHz の比較的制限された帯域幅の 1 個のユニポーラ V_y 入力と、60 MHz の帯域幅の 2 個のバイポーラ V_x 入力（乗算器ごとに 1 個）を備えています。AD539 のブロック図を図 4.12 に示します。

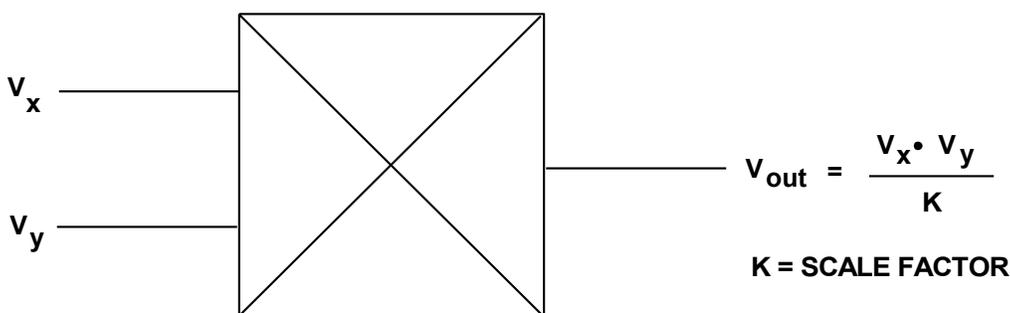


図 4.10: アナログ乗算器のブロック図

Type	V_x	V_y	V_{out}
Single Quadrant	Unipolar	Unipolar	Unipolar
Two Quadrant	Bipolar	Unipolar	Bipolar
Four Quadrant	Bipolar	Bipolar	Bipolar

図 4.11: 乗算器の象限の定義

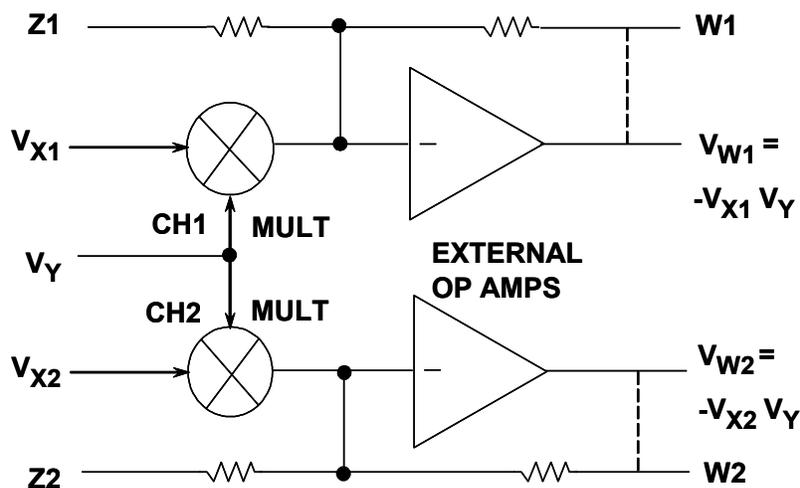


図 4.12: AD539 のブロック図

最も簡単な電子乗算器には対数アンプを使います。2 つの数の対数の和の逆対数はこの 2 つの数の積であるという事実を利用して計算します（図 4.13 を参照）。

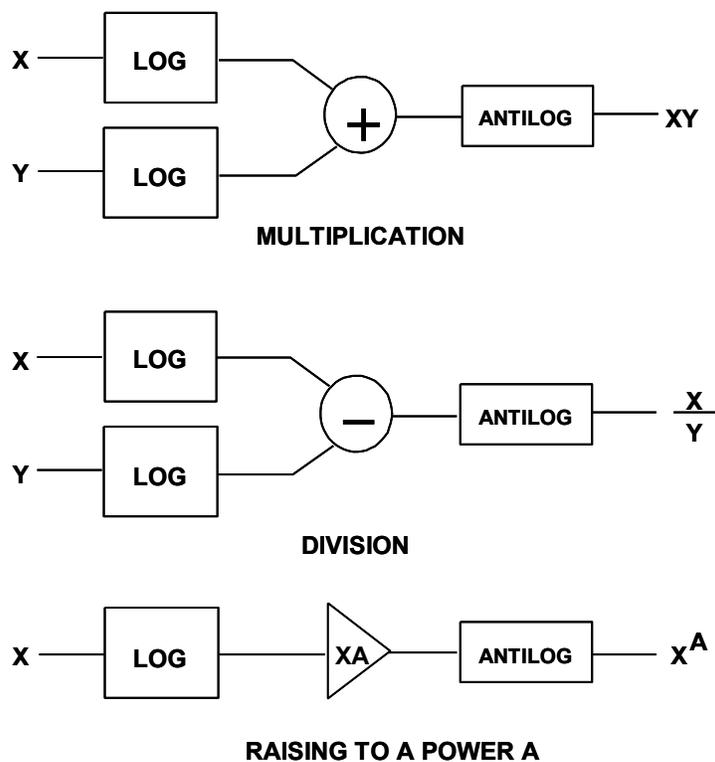


図 4.13: 対数アンプを使った乗算

このタイプの乗算は、帯域幅が非常に制限されていることと、1 象限演算であることが短所です。より優れたタイプの乗算器ではギルバート・セルを使用します。この構造は 1960 年代末に（現在、アナログデバイセス社の）バリー・ギルバート（Barrie Gilbert）によって発明されました（参考資料の 1 と 2 を参照）。

シリコン接合トランジスタのコレクタ電流とそのトランスコンダクタンス（ゲイン）の間には、次式で与えられる線形関係があります。

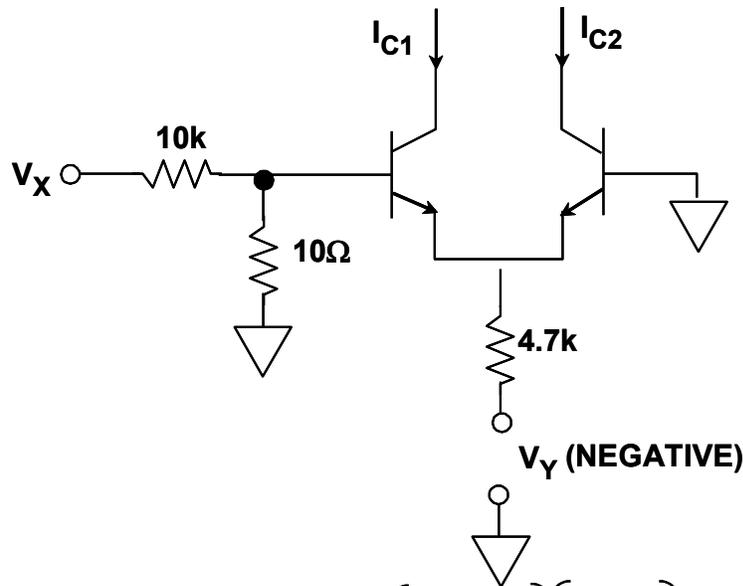
$$dI_c / dV_{be} = qI_c / kT \quad \text{式 4-5}$$

ここで

- I_c = コレクタ電流
- V_{be} = ベース - エミッタ電圧
- q = 電子の電荷 (1.60219×10^{-19})
- k = ボルツマン定数 (1.38062×10^{-23})
- T = 絶対温度

この関係を用いて、図 4.14 に示すように、シリコン・トランジスタの差動（ロングテール）対を使った乗算器を構築することもできます。

これはあまり良くない乗算器です。なぜなら、(1) Y 入力に V_{be} だけオフセットがあり、これが V_y により非線形に変化し、(2) I_c と V_{be} の間に指数関数的関係があるため X 入力为非線形であり、(3) スケール係数が温度によって変化するからです。



$$I_{C1} - I_{C2} = \Delta I_C = \frac{q}{kT} \left[\frac{V_Y + V_{be}}{4.7 \times 10^3} \right] \left[\frac{10}{10,010} \right] V_X$$

$$= 8.3 \times 10^{-6} (V_Y + 0.6) V_X @ 25^\circ \text{C}$$

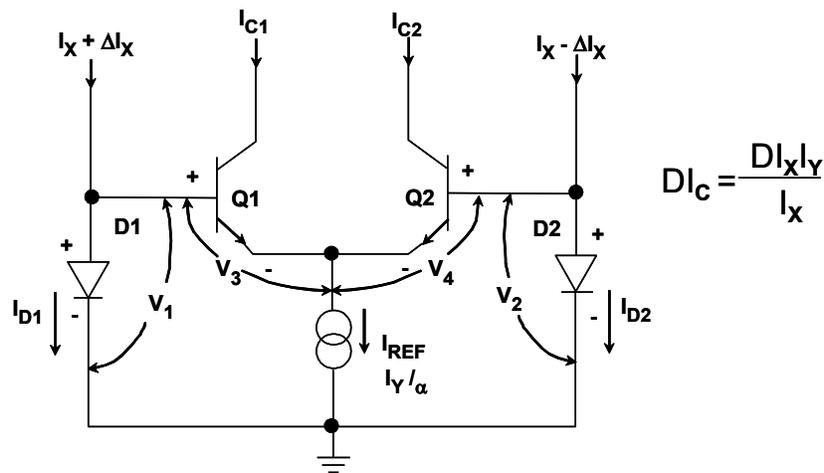
図 4.14: 基本的トランスコンダクタンス乗算器

ギルバートは、電圧よりもむしろ電流で動作させることにより、またトランジスタの対数関数的な I_c/V_{be} 特性を利用することにより、この回路を線形化し、温度に対して安定にできることに気が付きました（図 4.15 を参照）。ギルバート・セルへの X 入力 は 差動電流の形をとり、Y 入力 はユニポーラの電流です。差動の X 電流はダイオードを結合した 2 個のトランジスタに流れ、対数関数的な電圧が指数関数的な V_{be}/I_c の関係を補償します。さらに、 q/kT スケール係数は相殺されます。これにより、ギルバート・セルの伝達関数は次のように線形になります。

$$\Delta I_c = \frac{\Delta I_x I_y}{I_x}$$

式 4-6

$$\Delta I_c = I_{c1} - I_{c2}$$



$$\Delta I_c = \frac{\Delta I_x I_y}{I_x}$$

図 4.15: ギルバート・セル

単体では、ギルバート・セルには使いにくい点が 3 つあります。(1) X 入力 は 差動電流であり、(2) 出力 は 差動電流であり、(3) Y 入力 はユニポーラ電流です。このため、セルは 2 象限乗算器でしかありません。

図 4.16 に示すように、ギルバート・セルを 2 個交差結合させ、電圧から電流への変換器を 2 個使って、基本的アーキテクチャを電圧入力を備えた 4 象限デバイス（例：AD534）へ改造することができます。低周波数または中周波数では、減算アンプで、出力の差動電流を電圧へ変換することができます。電圧出力アーキテクチャにより、AD534 の帯域幅はわずか約 1 MHz ですが、新しいバージョンの AD734 の帯域幅は 10 MHz です。

図 4.16 では、Q1A と Q1B、Q2A と Q2B が 2 個のギルバート・セルによる 2 個のコアとなるロングテール対を形成しており、Q3A と Q3B は両方のセルの線形化トランジスタです。図 4.16 の回路には、差動電流からシングルエンド電圧への変換器として機能するオペアンプがありますが、高速のアプリケーション向けには、交差結合させた Q1 と Q2 のコレクタが差動のオープン・コレクタ電流出力を形成します（例：AD834 500 MHz 乗算器）。

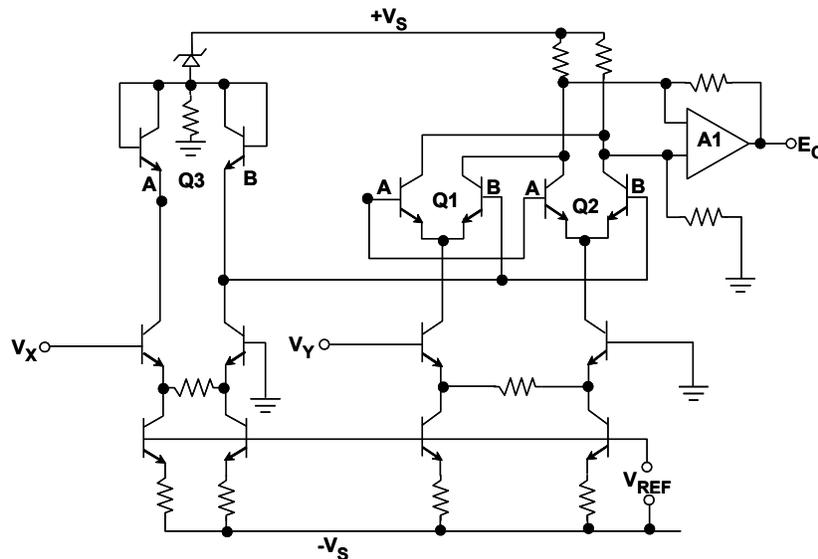


図 4.16: 4 象限トランスリニア乗算器

トランスリニア乗算器は複数のトランジスタと電流の整合に依存しており、モノリシック・チップによって容易に実現できます。ただし、最良の IC プロセスであっても、いくらかの残留誤差があり、このタイプの乗算器では 4 つの DC 誤差項として現れます。X 入力のオフセット電圧は Y 入力のフィードスルーとして現れます。逆に、Y 入力のオフセット電圧は X 入力のフィードスルーとして現れます。Z 入力のオフセット電圧は、出力信号のオフセットを生じ、抵抗の不整合はゲイン誤差を生じます。初期のギルバート・セル乗算器では、これらの誤差はチップ外部の抵抗とポテンショメータを使ってトリミングする必要がありましたが、いくらか面倒でした。現在のアナログ・プロセスでは、チップ自体の SiCr 薄膜抵抗のレーザ・トリミングが可能で、製造時にこれらの誤差をトリミングすることができるので、最終製品の精度は非常に高くなります。内部トリミングには、高周波性能を下げないという別の長所があります。外付けのトリミング・ポテンショメータの場合は高周波性能を下げる可能性があります。

トランスリニア乗算器の内部構造は当然差動なので、入力も通常差動です（いずれにせよ、シングルエンド入力が必要なら、入力的一方を接地することは難しくありません）。これは、同相信号を除去できる点で便利であるだけでなく、もっと複雑な計算も行えるようにします。前に図 4.16 に示した AD534 は、ギルバート・セルをベースにした 4 象限乗算器の古典的例です。これは、乗算器モードでの精度が 0.1 % で、完全差動入力と電圧出力を備えています。ただし、電圧出力アーキテクチャなので、帯域幅は約 1 MHz しかありません。

広帯域アプリケーションでは、オープン・コレクタ電流出力の基本的乗算器が使用されます。AD834 は、差動 X 入力、差動 Y 入力、差動オープン・コレクタ電流出力を備えた 8 ピンのデバイスで、帯域幅は 500 MHz を超えます。ブロック図を図 4.17 に示します。

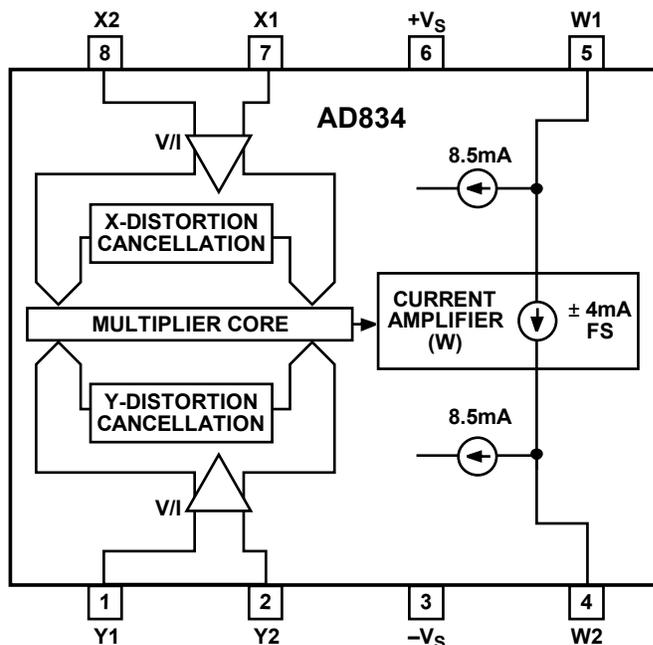


図 4.17: AD834 500 MHz 4 象限乗算器

AD834 は真のリニア乗算器で、伝達関数は次のとおりです。

$$I_{out} = \frac{V_x \cdot V_y}{1V \cdot 250\Omega} \quad \text{式 4-7}$$

X と Y のオフセットは 500 μV (最大 3 mV) にトリミングされており、乗算器 (広帯域および狭帯域)、二乗器、周波数ダブラ、高周波数電力測定回路など、多様なアプリケーションに使用できます。AD834 を使用する場合、帯域幅が非常に広いので、入力バイアス電流 (1 入力あたり約 50 μA) がソース抵抗を流れて予期せぬオフセット電圧を生じないように、入力回路の設計の際に検討する必要があります。

AD834 を使用した基本的な広帯域乗算器を図 4.18 に示します。差動出力電流は等しい負荷抵抗 R1 と R2 に流れ、差動電圧出力を与えます。これはこのデバイスの最も簡単なアプリケーション回路です。高い周波数の出力だけが必要な場合は簡単なトランス (図 4.19 を参照) を、またはもっと良い広帯域性能が必要な場合はトランスミッション・ラインまたは「ルスロフ型」トランスによる、トランス結合を使用することができます。

低速乗算器については 2 章も参照してください (2.11)。

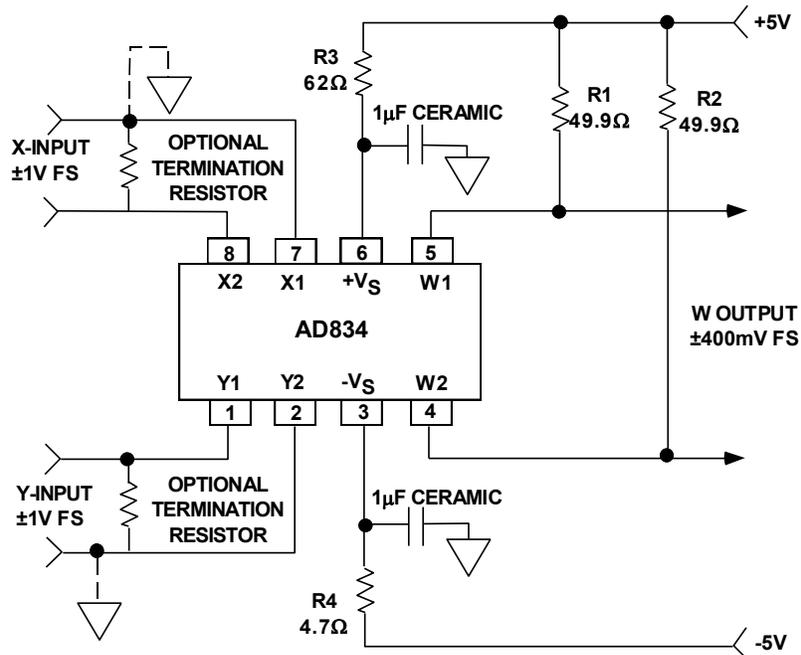


図 4.18: 基本的 AD834 乗算器

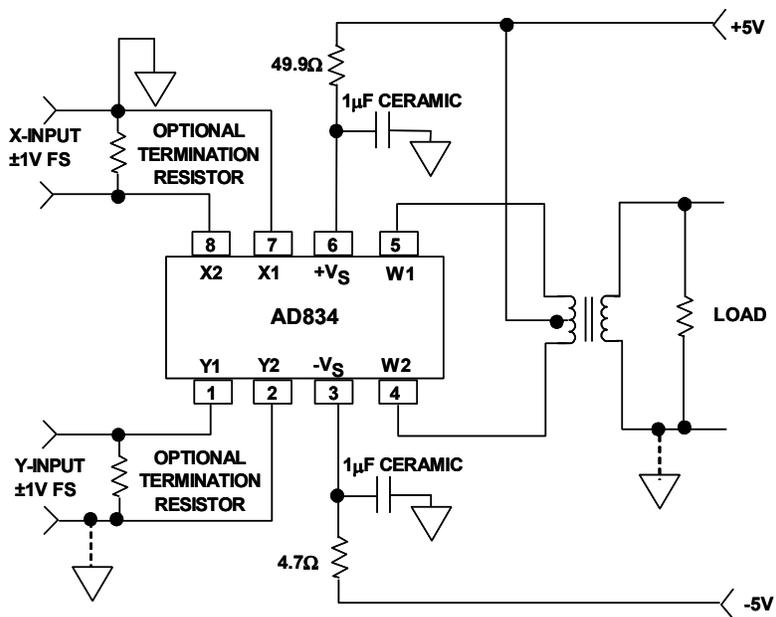


図 4.19: トランス結合した AD834 乗算器

参考資料

1. Daniel H. Sheingold, Editor, **Nonlinear Circuits Handbook**, Analog Devices, Inc., 1974.
2. **AN-309: Build Fast VCAs and VCFs with Analog Multipliers.**

4.4: ログアンプ

低周波数ログアンプについて 2 章 (2.8) で説明しました。このセクションでは、高周波アプリケーションについて説明します。

古典的なダイオード/オペアンプ (またはトランジスタ/オペアンプ) 型ログアンプは、(特に低レベルで) 周波数応答が制限されるという問題があります。高周波アプリケーションでは、**検出**アーキテクチャおよび**真の対数**アーキテクチャが使用されます。これらは細部は異なりますが、設計の背後にある一般的な原理は両者共通です。これらの設計では、対数特性を備えた 1 個のアンプを使用するのではなく、大信号動作が十分定義されている類似のリニアアンプを複数個カスケード接続したのを使います。

カスケード接続した N 個のリミット・アンプについて説明します。それぞれの段の出力は、次の段とサミング回路を駆動します。各アンプのゲインが A dB だとすると、このアンプ・ストリップの小信号ゲインは NA dB になります。

入力信号が十分小さくて最終段でリミットされない場合は、サミング・アンプの出力は最終段の出力によってほぼ決まります。

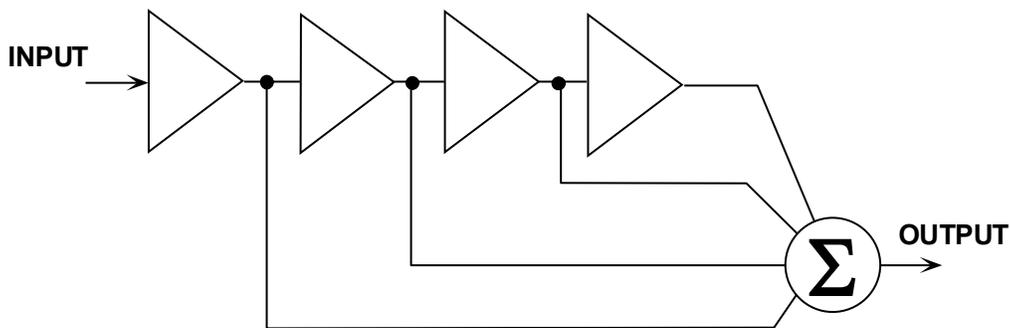


図 4.20: 基本的な多段ログアンプのアーキテクチャ

入力信号が増加するにつれ、最終段がリミットに達し、もはやゲインを加算しなくなります。したがって、このときサミング・アンプの出力に対するゲインが固定されますが、サミング・アンプへのインクリメンタル・ゲインは $(N - 1)A$ dB に低下します。入力が増加し続けると、この段が次にリミットに達して出力への寄与が固定され、インクリメンタル・ゲインは $(N - 2)A$ dB に低下します。以下同様に続き、最終的に最初の段がリミットに達し、入力信号が増加しても出力が変化しなくなります。

したがって、応答曲線は図 4.21 に示すような直線の集まりです。しかし、これらの直線の集まりは、対数曲線の非常に良い近似を与え、実際のリミット・アンプではこのモデルよりも良くなります。なぜなら、リミット・アンプは、特に高周波アンプは、このモデルが仮定しているほど突然リミットに達することはほとんどないからです。

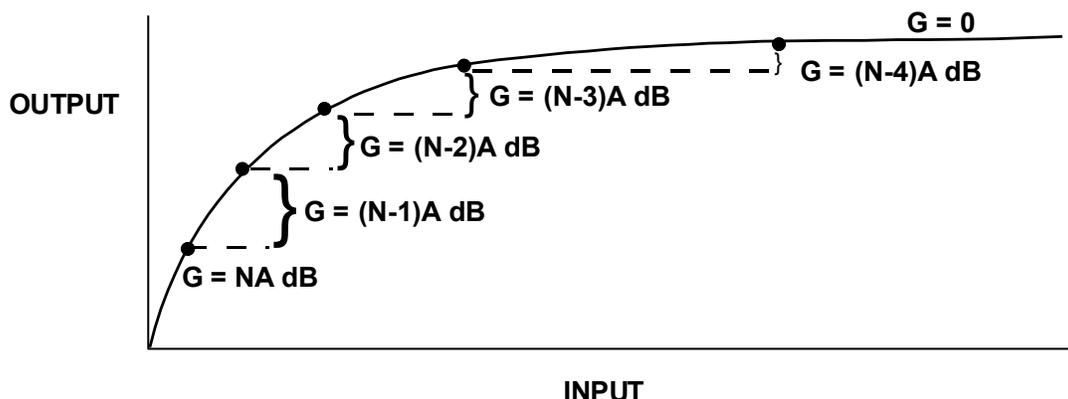


図 4.21: 基本的多段ログアンプ応答 (ユニポーラの場合)

ゲイン A の選択も対数直線性に影響を与えます。ゲインが高すぎると、対数の近似が悪くなります。ゲインが低すぎると、目標のダイナミック・レンジを達成するのに必要な段数が多くなりすぎます。一般に、10 dB ~ 12 dB ($\times 3 \sim \times 4$) のゲインが選択されます。

もちろん、これは理想的な非常に一般化したモデルです。これは原理を示していますが、非常に高い周波数で実装するのは困難です。各リミット・アンプの遅延が t ナノ秒であると仮定します (この遅延はアンプがリミットに達すると変化する可能性があります、1 次の影響だけを考慮することにします)。N 段全てを通過する信号は Nt ナノ秒遅れますが、1 段だけ通過する信号は t ナノ秒遅れるだけです。つまり、小さな信号は Nt ナノ秒遅れますが、大きな信号は「ぼかされ」、 Nt ナノ秒にわたって広がって到着することを意味します。1 ナノ秒は光速での 1 フィートに等しいので、この影響は、レーダー・システムの分解能では Nt フィートの空間の広がりに対応します。これは、用途によっては許容できない値です (大半のログアンプのアプリケーションでは問題ありません)。

この問題の解決法は、サミング・アンプへの信号経路に遅延を挿入することですが、複雑になるおそれがあります。別の解決法としては、アーキテクチャをわずかに変えて、リミット・ゲイン段の代わりに、小信号ゲインが A の段と大信号 (インクリメンタル) ゲインがユニティ (0 dB) の段を用います。このような段は、2 個の並列接続されたアンプ (ゲイン付きリミット・アンプとユニティ・ゲインのバッファ) としてモデル化することができ、図 4.22 に示すように、これらが一緒にサミング・アンプに信号を与えます。

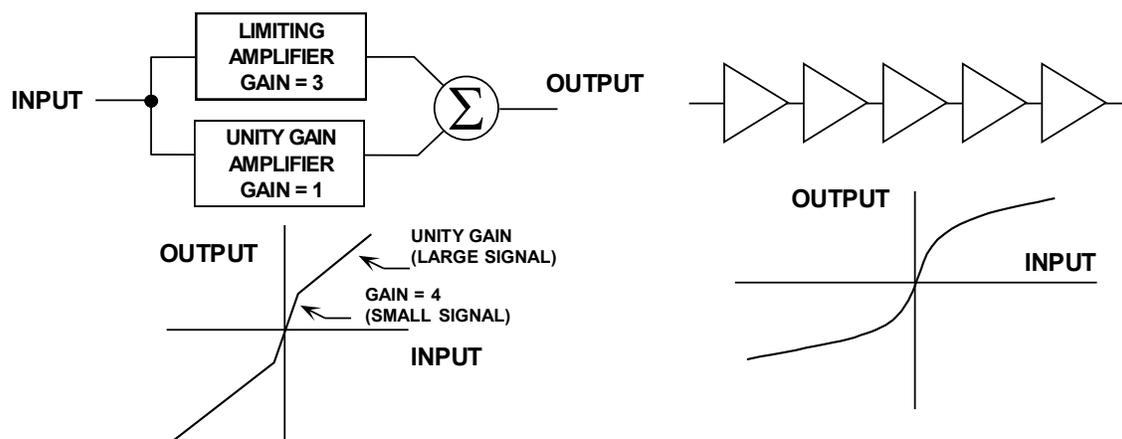
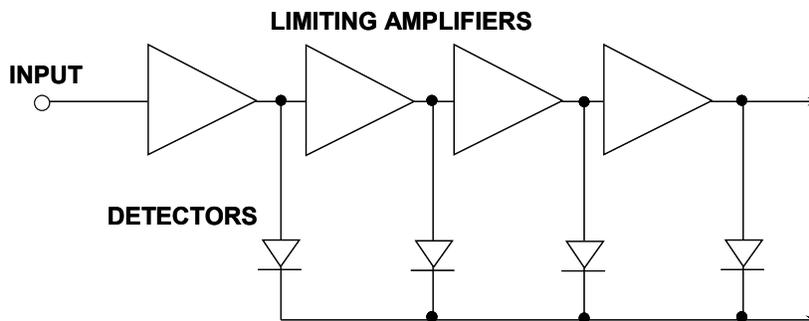


図 4.22: 真のログアンプの要素および
複数の要素で形成されるログアンプの構成と性能

逐次検出ログアンプは前述のアンプと同様にカスケード接続したリミット段で構成されますが、リミット段の出力を直接加算する代わりに、図 4.23 に示すように、出力を検出器に与え、検出器の出力を加算します。検出器が電流出力を備えていれば、加算するために必要なのは検出器の全ての出力を結線することだけです。



DETECTORS MAY BE FULL OR HALF WAVE

**SHOULD BE CURRENT OUTPUT DEVICES (NOT
SIMPLE DIODES) SO THAT OUTPUTS MAY BE
SUMMED WITHOUT ADDITIONAL SUMMING
COMPONENTS BEING NECESSARY**

図 4.23: ログ出力とリミッタ出力を備えた逐次検出ログアンプ

このアーキテクチャを使用したログアンプには、ログ出力とリミット出力の 2 つの出力があります。多くのアプリケーションでは、リミット出力は使用されませんが、アプリケーションによっては（例えば、S メータ付き FM 受信機では）両方必要です。

リミット出力は、極復調 (polar demodulation) 技術で入力信号から位相情報を抽出するのに特に有用です。

逐次検出ログアンプのログ出力は一般に振幅情報を含んでいますが、位相と周波数の情報は失われています。ただし、半波検出器が使用され、逐次検出器からの遅延を等しくすることに注意が払われている場合、必ずしもこうはなりません (ただし、このようなログアンプの設計要件は厳しくなります)。

ログアンプの仕様には、ノイズ、ダイナミック・レンジ、周波数応答 (逐次検出ログアンプ段として使われるアンプの中には、高周波数カットオフとともに低周波数カットオフを備えているものがあります)、伝達特性の傾き (これは、電圧出力デバイスを考えているか、それとも電流出力デバイスを考えているかによって、V/dB または mA/dB で表されます)、インターセプト・ポイント (出力電圧または出力電流がゼロになる入力レベル)、および対数直線性などがあります。(図 4.23 と図 4.24 を参照。)

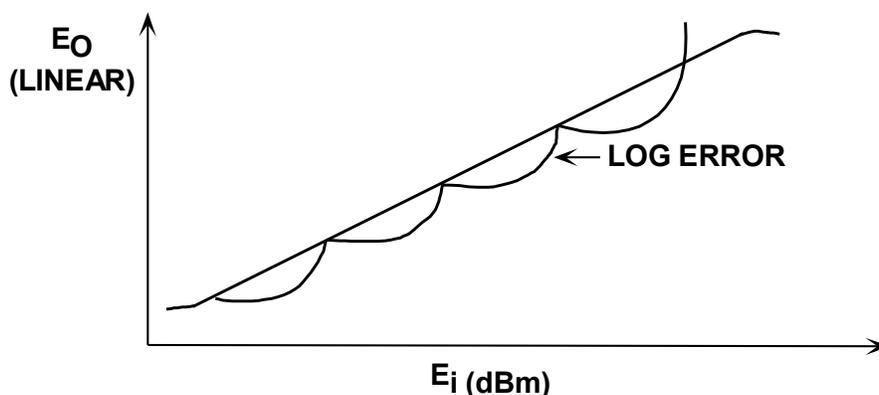


図 4.24: 逐次検出の対数直線性

以前は、高性能、高周波数の逐次検出ログアンプ (ログストリップと呼ばれる) を構成するには、Plessey の SL-1521 シリーズなどの複数の個別モノリシック・リミット・アンプを使用する必要がありました。しかし、最近の IC プロセスの進歩により、ログストリップ機能全体を 1 個のチップに集積することが可能になり、コストのかかるハイブリッド・ログストリップが不要になりました。

AD641 ログアンプは 5 個のリミット段 (10 dB/段) と 5 個の全波検出器を 1 個の IC パッケージに収容し、その対数性能は DC から 250 MHz に及びます。さらに、レイアウトが適切であれば、電源を介した帰還による不安定性が生じないように、アンプと全波検出器の段のバランスをとっています。AD641 のブロック図を図 4.25 に示します。以前の多くの集積回路のログアンプと異なり、AD641 は傾きとインターセプトの両方が高い絶対精度になるようレーザ・トリミングされており、完全に温度補償されています。AD641 の伝達関数と対数直線性を図 4.26 に示します。

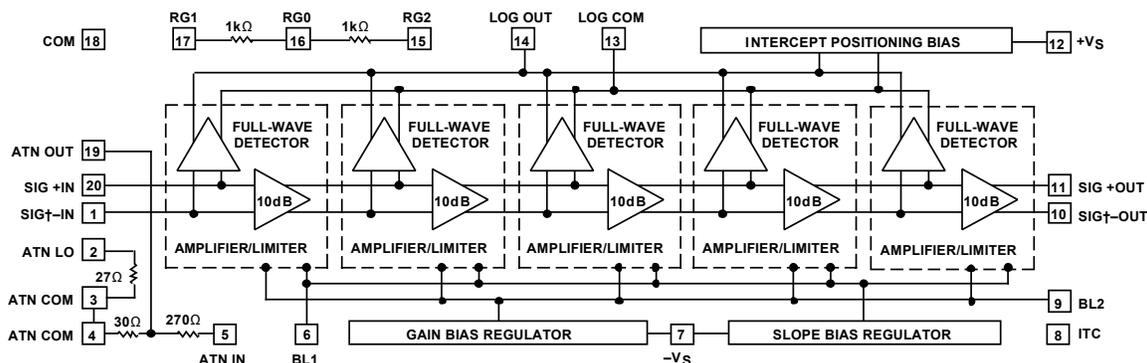


図 4.25: AD641 モノリシック・ログアンプのブロック図

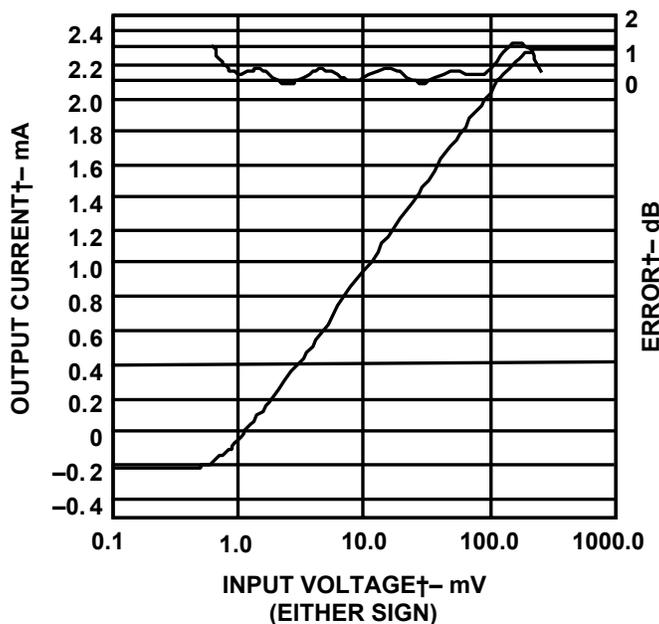


図 4.26: 単一の AD641 での DC 対数伝達関数と誤差曲線

AD641 は精度が高いので、応答を計算するときは、AD641 を駆動する実際の波形を考慮に入れる必要があります。波形が対数関数発生器を通過するとき、得られる波形の平均値が変化します。これは応答の傾きには影響を与えませんが、見かけのインターセプトが変化します。

AD641 は DC レベルまたは対称的な 2kHz 方形波に対して定められた応答を与えるように、較正され、レーザ・トリミングされています。また、正弦波入力に対して 2 mV のインターセプト仕様が定められています（つまり、振幅が 2 mV ピーク [ピーク to ピークではありません] の 2 kHz の正弦波は、DC または 1 mV の方形波信号を入力したときと同じ平均出力信号になります）。

波形は対数応答のリップルや非直線性にも影響を与えます。このリップルは DC または方形波の入力に対して最も大きくなります。なぜなら、入力電圧の全ての値が伝達関数の 1 つの箇所にマッピングされるので、対数応答の非直線性をすべて描き出すからです。対照的に、時間変化する一般的な信号はその波形の各サイクル内で連続した値になります。したがって、出力の平均は「平滑化」されます。なぜなら、波形が伝達関数を「広く掃引」するため、理想的応答からの周期的変動が相殺される傾向があるからです。図 4.27 に明らかなように、この平滑化効果は三角波の場合に最大になります。

INPUT WAVEFORM	PEAK OR RMS	INTERCEPT FACTOR	ERROR (RELATIVE TO A DC INPUT)
Square Wave	Either	1	0.00dB
Sine Wave	Peak	2	-6.02dB
Sine Wave	RMS	1.414 ($\sqrt{2}$)	-3.01dB
Triwave	Peak	2.718 (e)	-8.68dB
Triwave	RMS	1.569 ($e/\sqrt{3}$)	-3.91dB
Gaussian Noise	RMS	1.887	-5.52dB

図 4.27: インターセプト・ポイントへの波形の影響

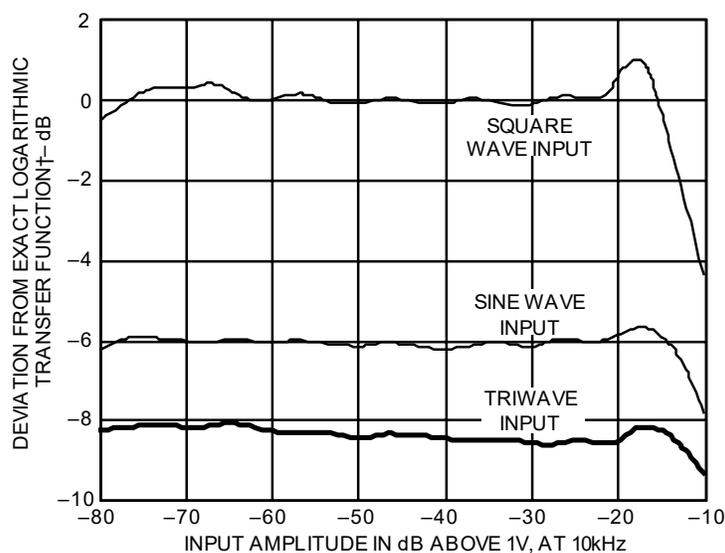


図 4.28: AD641 の対数直線性への波形の影響

AD641 の 5 つの段のそれぞれはゲインが 10 dB あり、全波検出出力を備えています。デバイスの伝達関数と誤差曲線を図 4.26 に示します。1 mV ~ 100 mV (40 dB) の入力範囲にわたる優れた対数直線性に注目してください。AD641 は RF アプリケーションに十分適していますが、全体を通して DC 結合されています。このため、低周波数までの動作、さらに DC での動作を必要とする、音響測定、ソナーなどの計装アプリケーションを含む、LF (長波) および VLF (超長波) のシステムで使用することができます。

AD641 のリミッタ出力のゲイン平坦度は 1.6 dB より良く ($-44 \text{ dBm} \sim 0 \text{ dBm} @ 10.7 \text{ MHz}$)、位相変動は 2° 未満なので、極復調器 (polar demodulator) として使用することができます。

参考資料

1. Daniel H. Sheingold, Editor, **Nonlinear Circuits Handbook**, Analog Devices, Inc., 1974.
2. Richard Smith Hughes, **Logarithmic Amplifiers**, Artech House, Inc., Dedham, MA., 1986.
3. William L. Barber and Edmund R. Brown, *A True Logarithmic Amplifier for Radar IF Applications*, **IEEE Journal of Solid State Circuits**, Vol. SC-15, No. 3, June, 1980, pp. 291-295.
4. **Broadband Amplifier Applications**, Plessey Co. Publication P.S. 1938, September, 1984.
5. M. S. Gay, **SL521 Application Note**, Plessey Co., 1966.
6. **Amplifier Applications Guide**, Analog Devices, Inc., 1992. Section 9.
7. Ask The Applications Engineer—28 Logarithmic Amplifiers-Explained (**Analog Dialogue**, Vol. 33, No. 3, March, 1999)
8. Detecting Fast RF Bursts Using Log Amps (**Analog Dialogue**, Vol. 36, No. 5, September-October, 2002)
9. Moghimi,Rheza, “Log-ratio Amplifier has Six-decade Dynamic Range” (**EDN**, November 2003)

4.5: 真のパワー・ディテクタ

携帯電話などの多くのシステムでは、送信信号の振幅をモニタする必要があります。AD8362 は真の rms 応答パワー・ディテクタで、60 dB の測定レンジを備えています。各種の高周波通信システムや、信号電力への高精度応答が必要な計装機器に使用することを目的としています。このデバイスは任意の低周波数から 2.7 GHz を超える周波数まで動作可能で、ピーク・クレスト・ファクタが 6 までの、1 mV から少なくとも 1 V までの rms 値の入力を受け入れることができ、CDMA 信号の高精度測定の条件を上回っています。初期の rms から DC への変換器とは異なり、応答帯域幅は信号の大きさには全く依存しません。-3 dB ポイントは約 3.5 GHz です。

入力信号は、可変ゲイン・アンプの入力段を構成する抵抗ラダー減衰器へ与えられます。独自技術の採用により 12 個のタップ・ポイントが滑らかに補間されるため、連続的な可変減衰器が構成されます。この減衰器は VSET ピンに加えられる電圧によって制御されます。その結果得られる信号は、高性能の広帯域アンプに送られます。その出力は、高精度の 2 乗ディテクタ・セルによって測定されます。その後で、変動出力がフィルタリングされ、同等の二乗器の出力と比較されます。この二乗器の入力は VTGT ピンに加えられる固定 DC 電圧で、通常は VREF ピンに与えられる 1.25 V の高精度リファレンスです。

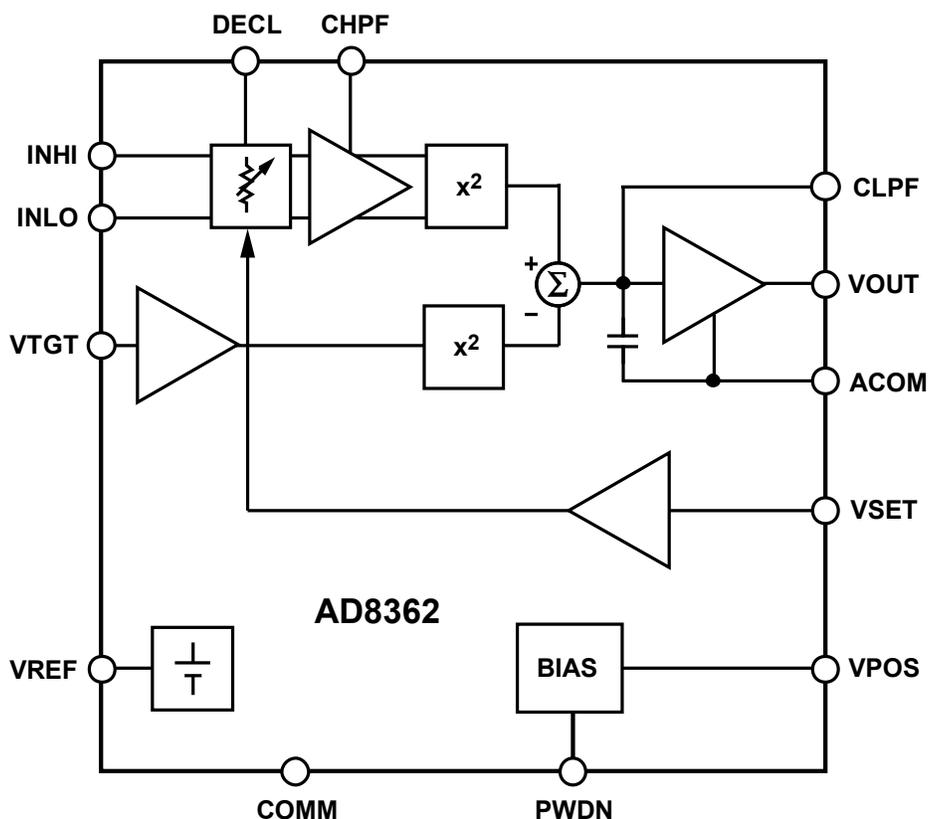


図 4.29: AD8362 のブロック図

メモ :

4.6: 可変ゲイン・アンプ

電圧制御アンプ

多くのモノリシック可変ゲイン・アンプは、広く「トランスリニア」として分類される一般的な原理に基づく技術を用いています。トランスリニアは、確実に予測可能なバイポーラ接合トランジスタの特性（特にトランスコンダクタンスのコレクタ電流への線形依存性）に直接依存した機能を持つ回路セルを指す用語です。1967年にこうしたセルが発明され、1970年代初期に開発された製品に商業利用されて以来、高精度の高帯域アナログ乗算器、除算器、および可変ゲイン・アンプは常にトランスリニアの原理を利用してきました。

この技法は十分に理解されてはいますが、高性能可変ゲイン・アンプ（VGA）を実現するには、さらに特別な技術を必要とし、設計の細部にわたって注意を払わなくてはなりません。一例として、AD8330は独自のシリコン・オン・インシュレータ相補型バイポーラ IC プロセスにより、トランスリニアの原理を用いた多くの先進的製品開発における数十年にわたる経験を踏まえて製造された、かつてないレベルの多用途性を提供する可変ゲイン・アンプです。4個のトランジスタだけで構成された代表的な基本セルを図4.32に示します。この構成やこれに非常に近い構成のセルが、ほとんどのトランスリニア乗算器、除算器、およびVGAの中心部を構成しています。主な動作原理は以下のとおりです。第一に、トランジスタの左側の対の電流比と右側の対の電流比は一致しており、変調係数 x で表され、 $-1 \sim +1$ の値をとることができます。第二に、入力信号は、固定テール電流 I_D を変調し、左側の対に生じる変数値 x が右側の対に複製されるように設定されているので、公称固定テール電流 I_N が変調されて出力を発生します。第三に、このセルの電流ゲインは、多くのディケードにわたる可変バイアス電流に対し非常に正確に $G = I_N/I_D$ となります。

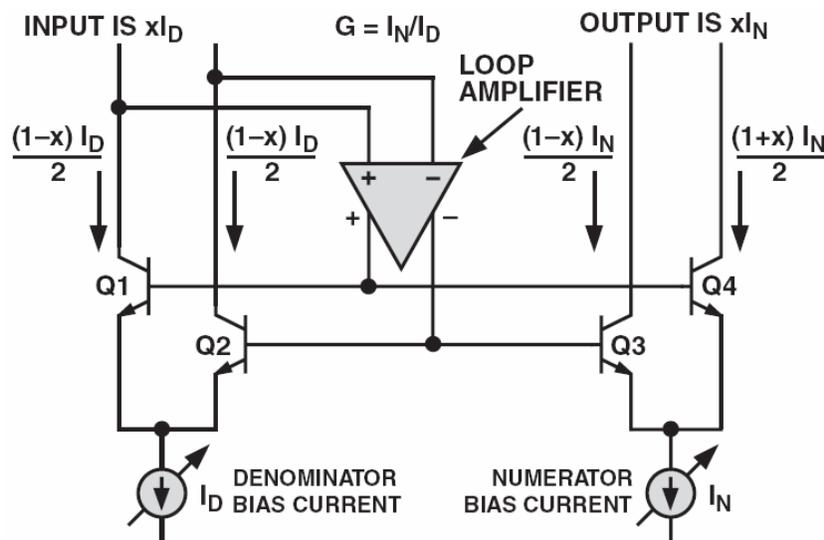


図 4.32: トランスリニア可変ゲイン・セル

実際には、この回路の潜在能力をフルに引き出すには、他の多くの要素が関係しますが、上記 3 つの考え方が基本になります。IN を変化させると、全体の機能は 2 象限アナログ乗算器と同じになり、信号変調係数 x とこのIN(分子)の電流の両方に対して直線的な関係を示します。また、ID を変化させると、2 象限アナログ除算器が実現され、入力係数 x に関して双曲線ゲイン関数となり、このID(分母)の電流によって制御されます。AD8330 ではこの 2 つの動作モードを利用できます。ただし、双曲線ゲイン関数は、一般に1より小さい値を持ち、デシベル・ゲインが制御入力のリニア関数となっているので、ID の指数関数的増加または減少を制御するための特別なインターフェースを備えています。

AD8330 の VGA コアには、図 4.32 に示したセルをさらに精巧にしたものが含まれています。電流 ID は、ピン VDBS およびローカル・コモン CMGN のデシベル・ゲイン・インターフェースで指数関数的（デシベル値で直線的に）に制御されます。この制御機能によって与えられるゲイン・スパン（最大値と最小値のデシベル差）は 50 dB よりわずかに大きくなります。入力から出力までの絶対ゲインはソースと負荷インピーダンスの関数で、2 つ目のゲイン制御ピン VMAG の電圧にも依存します。

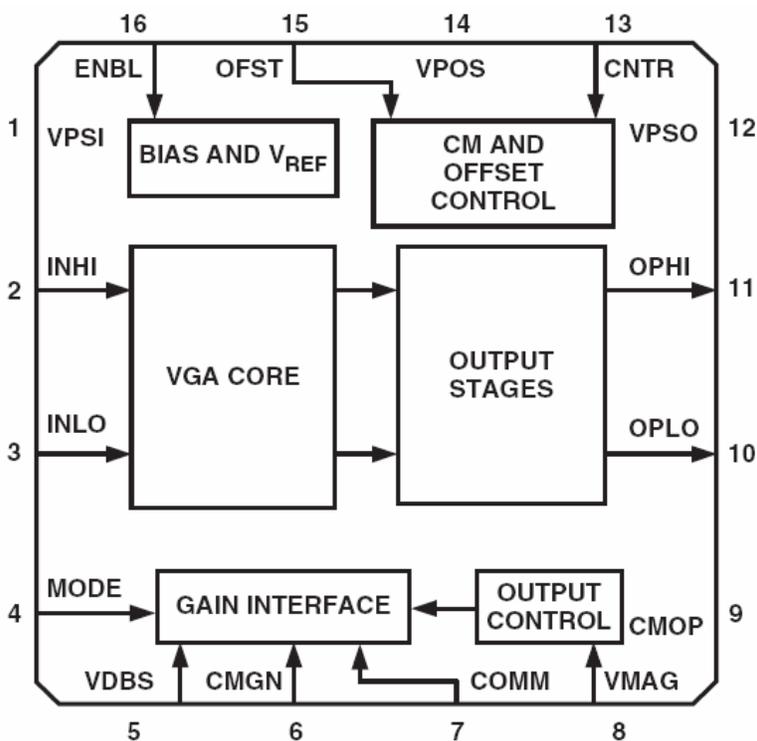


図 4.33: AD8330 のブロック図

X-AMP®

アナログ乗算器で構成される VCA のゲインは、制御電圧に対してボルト表示でリニアであり、また、ノイズが多くなる傾向があります。しかし、広いゲイン範囲と一定の帯域幅および位相との組み合わせ、低ノイズと大信号処理能力の組み合わせ、さらに低歪みと低消費電力の組み合わせを実現するとともに、正確で安定したデシベル・リニアなゲインを与える VCA が求められています。X-AMP ファミリーは、独自のエレガントな（指数関数アンプの）ソリューションによってこれらの相反する厳しい目標を達成します。コンセプトは単純です。固定ゲイン・アンプが受動広帯域減衰器の後に続きます。この減衰器は、電圧制御で減衰を変える特殊な仕組みを備えています（図 4.34 を参照）。このアンプは低入力ノイズに最適化されており、負帰還を使って中程度（約 30 dB ~ 40 dB）のゲインを正確に定め、歪みを最小に抑えます。このアンプのゲインは固定されているので、歪みと群遅延を含む AC 特性および過渡応答特性も固定されます。ゲインが高いため、入力は数ミリ・ボルト以上に決して駆動できません。したがって、常にその小信号応答範囲内で動作します。

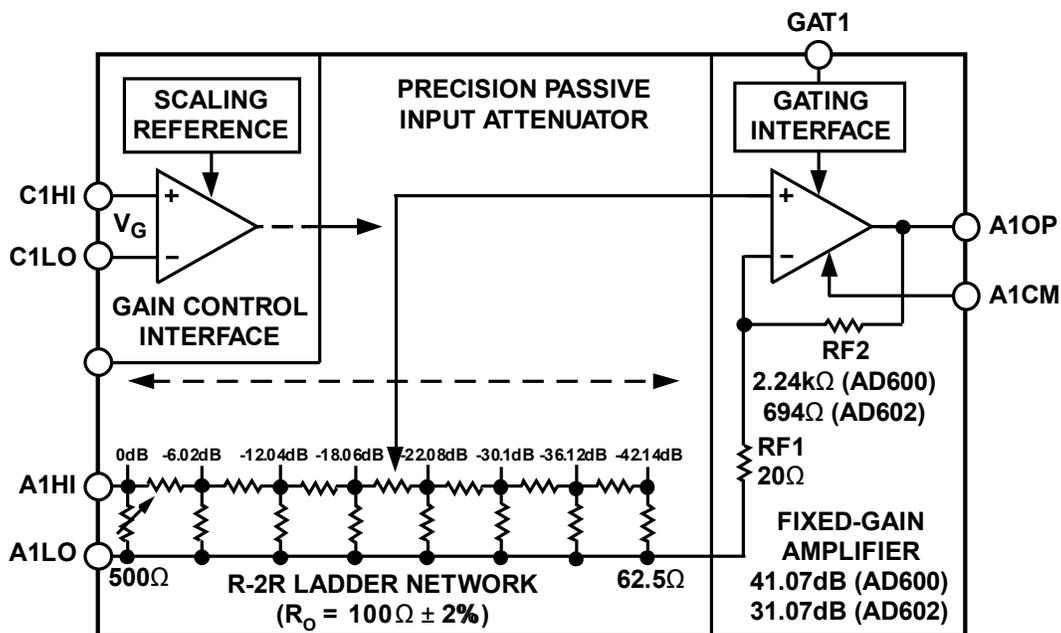


図 4.34: X-AMP のブロック図

減衰器は 7 つのセクション（8 つのタップ）を持った R-2R ラダー・ネットワークです。隣接するタップ間の電圧比は正確に 2 倍、つまり 6.02 dB です。これにより、正確なデシベル・リニア動作の基礎が与えられます。全体の減衰は 42.14 dB です。後で示すように、アンプの入力はこれらのタップのどれにでも接続することができ、また（約 ±0.2 dB の小さな変位誤差で）それらの間に補間できます。全体のゲインは固定（最大）ゲインからそれより 42.14 dB 下の値まで変化させることができます。例えば、AD600 の固定ゲインは 41.07 dB（電圧ゲインは 113）です。これを使用すると、全ゲイン範囲は -1.07 dB ~ +41.07 dB になります。ゲインと制御電圧の関係は $G_{dB} = 32 V_G + 20$ です。ここで、 V_G の単位はボルトです。

$V_G = 0$ でのゲインが ± 0.2 dB の絶対精度になるようにレーザ・トリミングされています。ゲインのスケールリングは、高い精度と低い温度係数を得るようにレーザ・トリミングされた内蔵バンドギャップ・リファレンス（両方のチャンネルによって共有）によって決まります。AD600 と AD602 での、差動制御電圧に対するゲインを図 4.35 に示します。

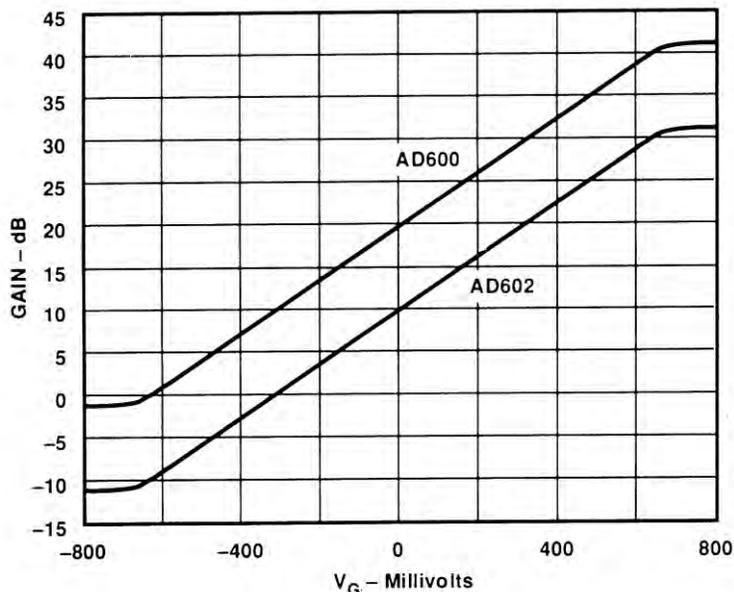


図 4.35: X-AMP の伝達関数

X-AMP ファミリーの動作を理解するため、図 4.36 に示す簡略図で説明します。8 つのタップのそれぞれは、電流制御トランスコンダクタンス (g_m) 段として使用する 8 個のバイポーラ差動対のうちの 1 つの差動対の入力に接続されています。各 g_m 段のもう一方の入力はアンプのゲインを定める帰還ネットワーク R_{F1}/R_{F2} に接続されています。エミッタ・バイアス電流 I_E が、（ここでは示されていない手段によって）8 個のトランジスタ対の 1 つに接続されると、それがアンプ全体の入力段になります。

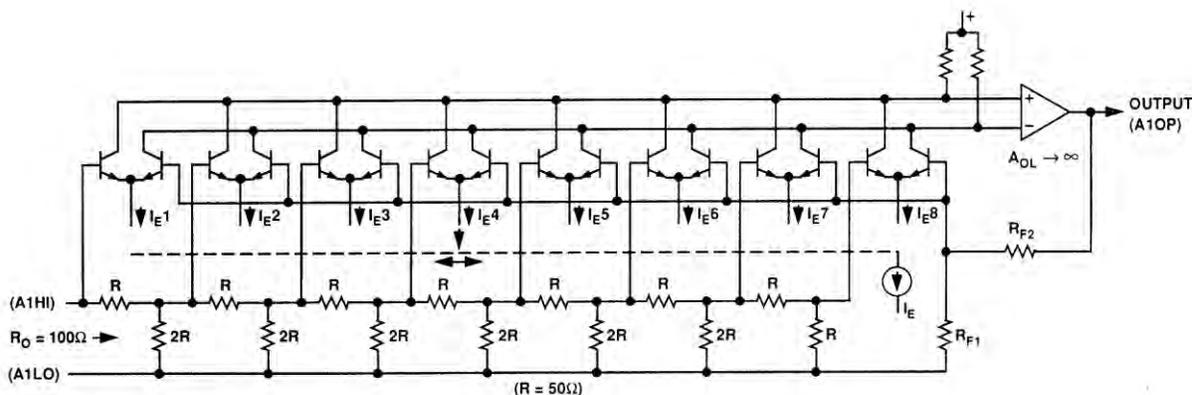


図 4.36: X-AMP の回路図

I_E が一番左側の対に接続されていると、信号入力は直接アンプに接続され、ゲインが最大になります。注意深く設計されたオープンループにより、負帰還に助けられて、高い周波数でも歪みは非常に低くなります。 I_E が瞬時に 2 番目の対に切り替えられれば、全体のゲインは正確に 6.02 dB だけ低下し、1 つの g_m 段だけがアクティブに保たれるので、歪みは低いまま保たれます。

実際には、バイアス電流が 1 番目の対から 2 番目の対へと徐々に移動します。 I_E が 2 つの g_m 段の間で等分される時、両方の段がアクティブになり、ループの制御を得ようと競合する（一方が全部の信号を得て、他方が正確に半分の信号を得る）2 つの入力段を備えたオペアンプが存在することになります。

解析すると、実効ゲインは、予想される 3 dB ではなく、 $20\log 1.5$ 、つまり 3.52 dB だけ減少します。この誤差は、全範囲にわたって等分される時、 ± 0.25 dB のゲイン・リップルになります。ただし、実際には補間回路がバイアス電流のガウス分布を発生し、 I_E のかなりの部分が常に隣接段に流れます。これにより、ゲイン関数が滑らかになり、実際にはリップルが下がります。 I_E がさらに右に移動するにつれ、全体のゲインが次第に低下します。

X-AMP の入力基準の全ノイズは $1.4 \text{ nV}/\sqrt{\text{Hz}}$ です。これは 100Ω 抵抗の熱ノイズ (25°C で $1.29 \text{ nV}/\sqrt{\text{Hz}}$) をわずかに上回るだけです。入力基準のノイズは減衰器の設定に関係なく一定なので、出力ノイズは常に一定でゲインに依存しません。

AD8367 は高性能の 45 dB 可変ゲイン・アンプで、デシベル・リニアのゲイン制御を備えており、低周波数から数百メガヘルツまでの範囲で使用できます。検出器を内蔵しており、自動ゲイン制御アンプを構築できます。ゲイン応答のレンジ、平坦度、精度は、アナログデバイセズの X-AMP アーキテクチャを使用して実現されており、他の競合する技法で実現可能な能力をはるかに凌駕しています。このアーキテクチャは、アナログデバイセズ独自のパワフルな可変ゲイン・アプリケーションシリーズの最新アーキテクチャです。

入力は 200Ω 抵抗ラダー・ネットワークに与えられます。この抵抗ラダーはそれぞれ損失が 5 dB の 9 つのセクションを備え、全減衰量は 45 dB です。最大ゲインを設定すると、1 番目のタップが選択されます。ゲインが徐々に下がるにつれて、タップが滑らかに連続的に高い減衰値に向かって移動します。減衰器の後には 42.5 dB の固定ゲインの帰還アンプ（本質的にはゲイン帯域幅積が 100 GHz のオペアンプ）が続き、高周波数でも非常にリニアです。出力の 3 次インターセプトは、 $V_S = 5 \text{ V}$ で 1 V_{p-p} の出力レベルで測定するとき、100 MHz で +20 dBV (200Ω で +27 dBm) です。ゲイン制御のアナログ・インターフェースは非常に簡単に使えます。20 mV/dB でスケールされていて、制御電圧 V_{GAIN} は 50 mV (-2.5 dB) から 950 mV (+42.5 dB) まで動作します。反転ゲイン・モードは簡単なピン・ストラップで選択でき、このモードでは、ゲインは +42.5 dB ($V_{\text{GAIN}} = 50 \text{ mV}$) から -2.5 dB ($V_{\text{GAIN}} = 950 \text{ mV}$) まで減少します。この反転モードは AGC アプリケーションで必要です。AGC アプリケーションは 2 乗検出器によって実現されており、その設定ポイントは、波形に関係なく出力を 354 mV rms にレベル設定するように選択します。コンデンサを 1 個外付けすることで、ループの平均化時間を設定します。

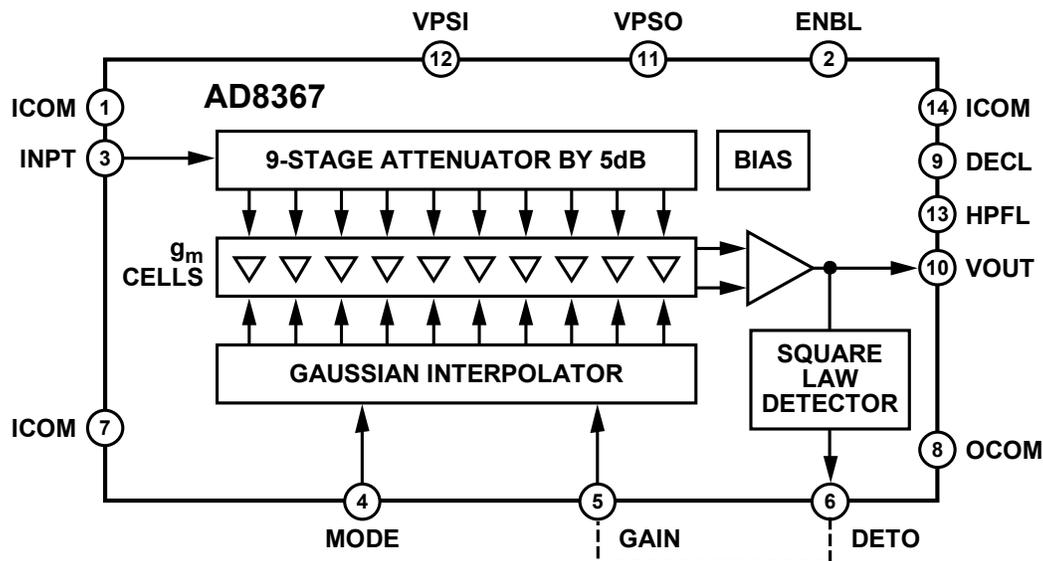


図 4.37: AD8367 のブロック図

デジタル制御 VGA

信号レベルをデジタル制御したほうが都合が良い場合があります。AD8370 は低価格のデジタル制御の可変ゲイン・アンプで、高精度ゲイン制御、高い IP3、および低いノイズ指数を特長とします。AD8370 は優れた歪み性能と広い帯域幅を備えています。広い入力ダイナミック・レンジのアプリケーションに対応するため、AD8370 は高ゲイン・モードと低ゲイン・モードの 2 つの入力レンジを備えています。バーニア 7 ビット・トランスコンダクタンス (G_m) 段によって、2 dB より小さい分解能では 28 dB のゲイン範囲が、1 dB より小さい分解能では 22 dB のゲイン範囲設定が可能です。最初より 17 dB 高い 2 番目の範囲を選択して、ノイズ性能を改善することができます。適切なロジック・レベルを PWUP ピンに与えると、AD8370 はパワーオンします。パワーダウン・モードでは、AD8370 の消費電流は 4 mA 未満で、優れた入力-出力間の絶縁が得られます。パワーダウン・モードでも、ゲイン設定は維持されます。

AD8370 は、シリアルに入力される 8 ビットの制御ワードでゲインを制御します。2 つのゲイン範囲のいずれかを MSB で選び、残りの 7 ビットで高精度リニア・ゲイン・ステップの全体のゲインを調整します。

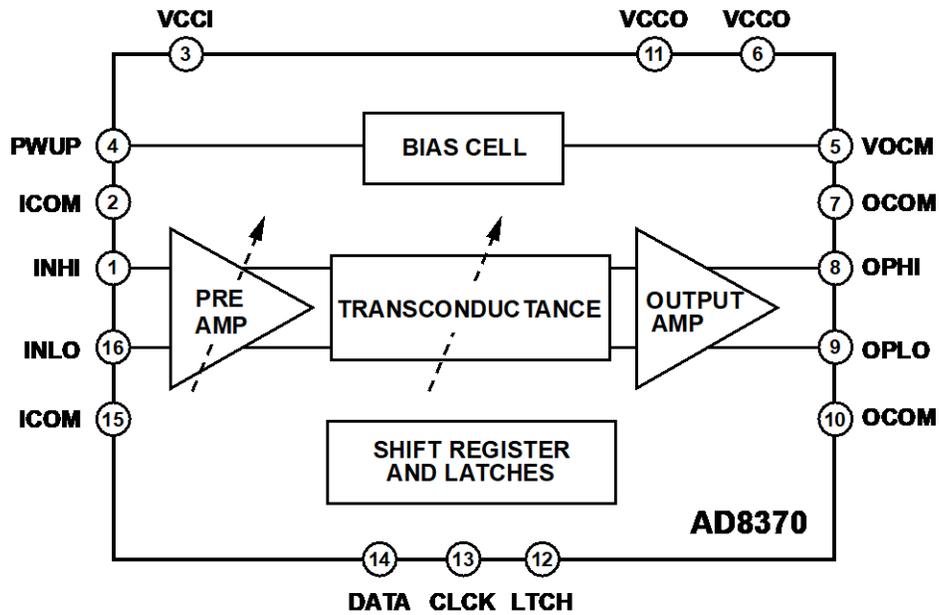


図 4.38: AD8370 のブロック図

可変ゲイン・アンプについては、2章 (2.3 と 2.14) も参照してください。

参考資料

1. Gilbert, Barrie, "A Low Noise Wideband Variable-Gain Amplifier Using an Interpolated Ladder Attenuator," **IEEE ISSCC Technical Digest**, 1991, pp. 280, 281, 330.
2. Gilbert, Barrie, "A Monolithic Microsystem for Analog Synthesis of trigonometric Functions and their Inverses," **IEEE Journal of Solid State Circuits**, Vol. SC-17, No. 6, December, 1982, pp. 1179-1191.
3. **Linear Design Seminar**, Analog Devices, 1995, Section 3.
4. "X-amp, A New 45-dB, 500-MHz Variable-Gain Amplifier (VGA) Simplifies Adaptive Receiver Designs" (**Analog Dialogue**, Vol. 36, No. 1, January-February, 2002)
5. Gilbert, Barrie and Nash, Eamon, "A 10.7 MHz, 120 dB Logarithmic Amp"... An extract from "Demodulating Logamps Bolster Wide-Dynamic-Range Measurements" (**Microwaves and RF**, March 1998)
6. Newman, Eric, "X-Amp, A New 45-dB, 500-MHz Variable-Gain Amplifier (VGA) Simplifies Adaptive Receiver Designs," Analog Devices, Inc.
7. Bonadio, Steven and Newman, Eric, "Variable Gain Amplifiers Enable Cost Effective IF Sampling Receiver Designs" (**Microwave Product Digest**, October 2003)
8. Newman, Eric and Lee, Stephan, "Linear-in-dB Variable Gain Amplifier Provides True RMS Power nts" (Wireless Design 2004)
9. Halford, Phillip and Nash, Emmon, "Integrated VGA Aids Precise Gain Control" (**Microwaves & RF**, March 2002)

4.7: ダイレクト・デジタル合成

周波数シンセサイザは 1 つまたは複数のリファレンス周波数から複数の周波数を生成します。このデバイスは何十年も、特に通信システムで使われてきました。多くは、複数の水晶発振器から出力される周波数のスイッチングやミキシングをベースにしています。他には、フェーズ・ロック・ループ (PLL) を用いる熟知された技法をベースにしているものもあります。これらについて以下のセクションで解説します。

DDS (ダイレクト・デジタル合成)

計装システムや通信システムでデジタル技術が広く普及するとともに、デジタル制御で 1 つのリファレンス周波数ソースから多種の周波数を発生する方法が進化しました。この周波数生成法をダイレクト・デジタル合成 (DDS) と呼びます。基本的アーキテクチャを図 4.39 に示します。この簡略モデルでは、1 サイクル以上の整数サイクルの正弦波 (または、他の任意の波形) を保存している PROM (プログラマブル ROM) を安定したクロックで駆動します。アドレス・カウンタが各メモリ位置を順に指し示し、対応するメモリ位置に保存されている信号の振幅のデジタル値が DAC を駆動し、次に DAC がアナログ出力信号を生成します。最終的なアナログ出力信号のスペクトル純度は主に DAC によって決まります。位相ノイズは基本的にリファレンス・クロックのものです。

DDS システムはサンプル・データ・システムなので、サンプリングに関する全ての問題 (量子化ノイズ、エイリアシング、フィルタリング等) を検討する必要があります。例えば、DAC の出力周波数の高次高調波はナイキスト帯域幅の中に折り返されてフィルタすることができませんが、これに対して PLL をベースにしたシンセサイザの出力の高次高調波はフィルタすることができます。他の問題についてもすぐ後で取り上げます。

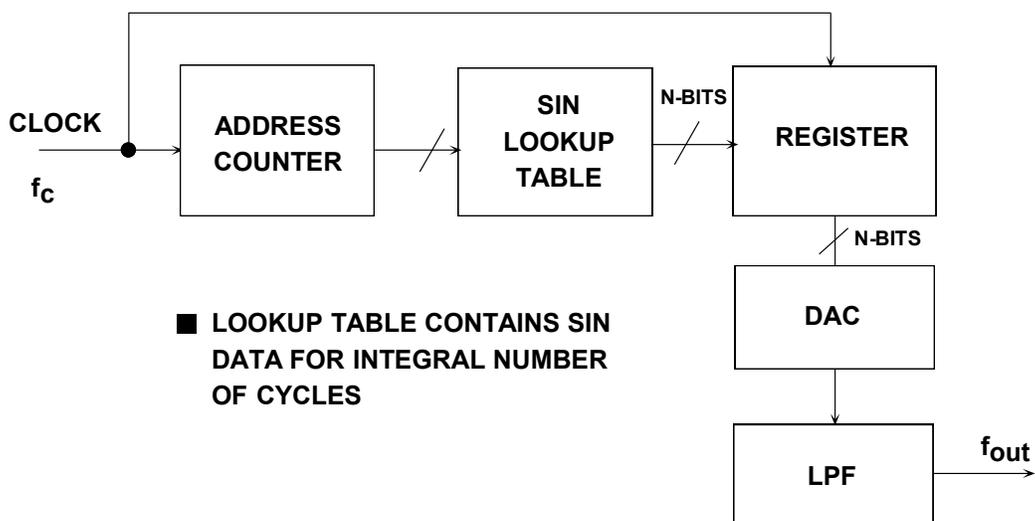


図 4.39: 基本的なダイレクト・デジタル合成システム

このシンプルな DDS システムの根本的な問題点は、最終出力周波数を変更するためには、リファレンス・クロックの周波数を変えるか、または PROM をプログラムしなおすしかないため、柔軟性を欠くことです。実際の DDS システムは、数値制御発振器 (NCO) と呼ばれるデジタル・ハードウェアを使って、はるかに柔軟性に富む効率的な方法でこの基本的な機能を実装しています。このようなシステムのブロック図を図 4.40 に示します。

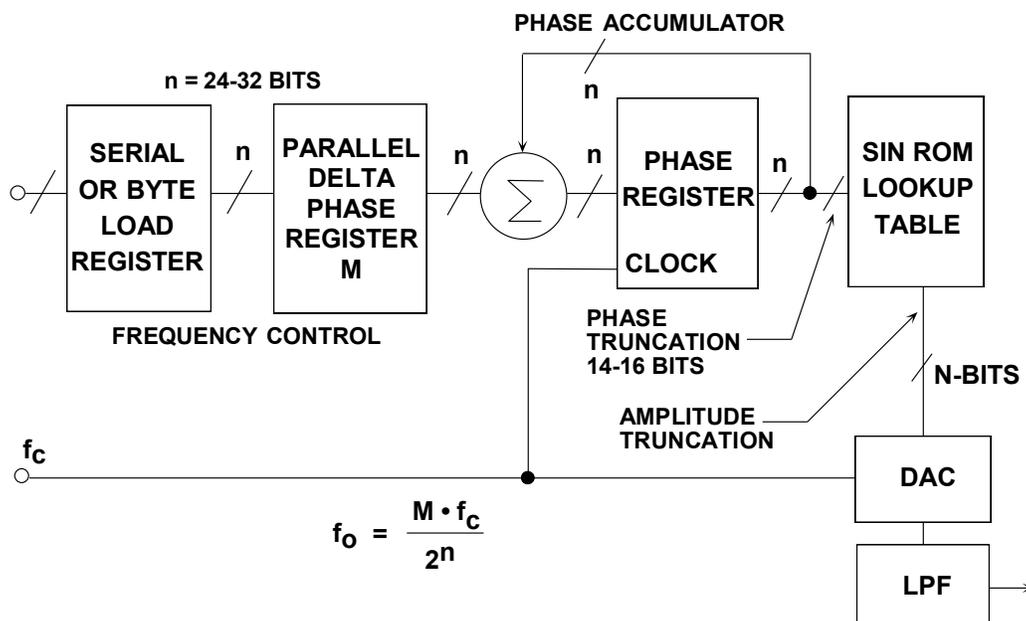
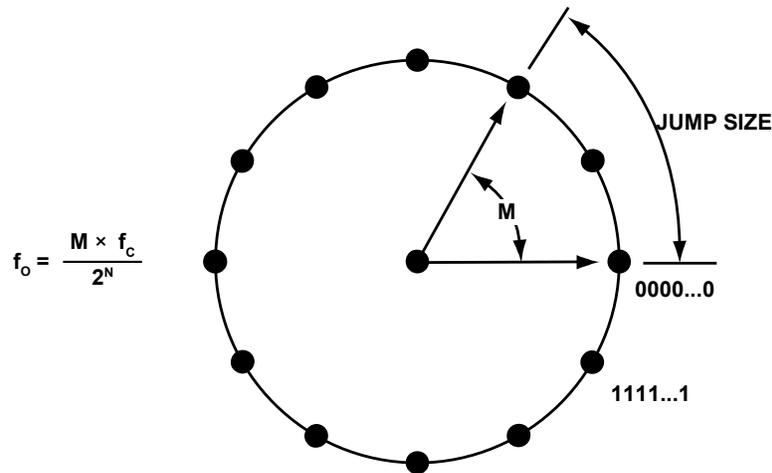


図 4.40: 柔軟性のある DDS システム

システムの中核は位相アキュムレータで、その内容はクロック・サイクルごとに更新されます。位相アキュムレータが更新されるたびに、デルタ位相レジスタに保存されているデジタル値 M が位相アキュムレータ・レジスタの数値に加算されます。デルタ位相レジスタの数値が 00...01 で、位相アキュムレータの初期の内容が 00...00 であると仮定します。クロック・サイクルごとに位相アキュムレータは 00...01 だけ更新されます。アキュムレータの幅を 32 ビットとすると、位相アキュムレータが 00...00 に戻るまでに 2^{32} クロック・サイクル (40 億サイクル以上) を必要とし、このサイクルが繰り返されます。

位相アキュムレータの出力ビットの一部は、正弦 (または余弦) ルックアップ・テーブルへのアドレスとなります。ルックアップ・テーブルの各アドレスは、正弦波の $0^\circ \sim 360^\circ$ の 1 つの位相ポイントに対応します。ルックアップ・テーブルには正弦波の完全な 1 サイクルに対応するデジタル振幅情報が含まれています (実際は、直角位相に関するデータは上位 2 ビットに含まれているので、 90° のデータだけが必要です)。したがって、ルックアップ・テーブルでは位相アキュムレータからの位相情報をデジタル振幅ワードへマッピングし、このワードが次に DAC を駆動します。



n	NUMBER OF POINTS
8	256
12	4096
16	65535
20	1048576
24	16777216
28	268435456
32	4294967296
48	281474976710656

図 4.41: デジタル位相ホイール

n = 32 および M = 1 の場合を検討します。位相アキュムレータは、オーバーフローして再スタートするまでに、 2^{32} の可能な各出力を順に指定します。対応する出力の正弦波の周波数は入力クロック周波数を 2^{32} で割ったものに等しくなります。M = 2 であれば、位相アキュムレータのレジスタは 2 倍の速さで一周し、出力周波数は 2 倍になります。これは以下のように一般化することができます。

n ビットの位相アキュムレータの場合（ほとんどの DDS システムで n は一般に 24 ~ 32 の範囲です）、可能な 2^n の位相ポイントがあります。デルタ位相レジスタのデジタル・ワード M は、クロック・サイクルごとの位相アキュムレータのインクリメント量を表します。 f_c をクロック周波数とすると、出力正弦波の周波数は次のようになります。

$$f_0 = \frac{M \cdot f_c}{2^n} \quad \text{式 4-8}$$

この式は DDS の「チューニングの式 (tuning equation)」として知られています。システムの周波数分解能は $f_c/2^n$ に等しいことに注意してください。n = 32 の場合、分解能は何と 40 億分の 1 を上回ります。実際の DDS システムでは、位相アキュムレータからの全ビットがルックアップ・テーブルに渡されることはなく、一部は切り捨てられて、上位 13 ~ 15 ビットだけが残ります。これにより、ルックアップ・テーブルのサイズを抑えることができます。周波数の分解能には影響を与えません。位相ビットの切り捨ては、許容できる小さな位相ノイズを最終出力に加えるだけです。

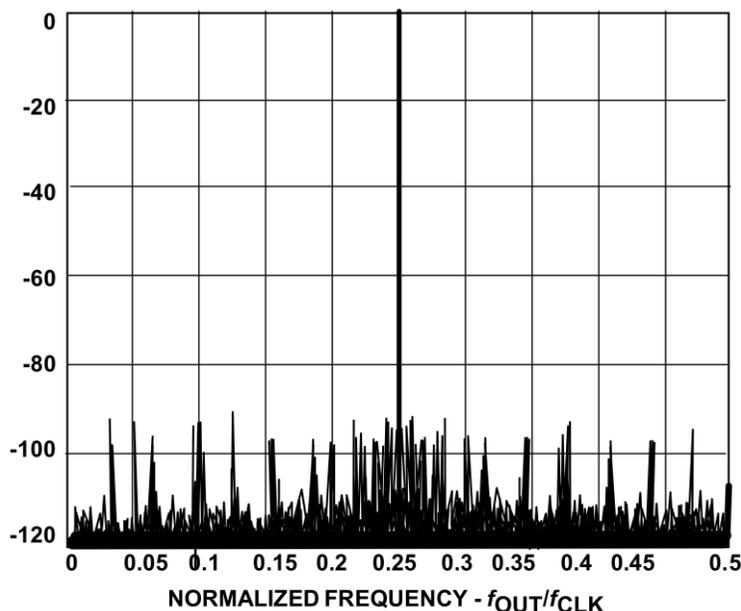


図 4.42: 出カスペクトラムの計算結果における 90 dB SFDR —
15 ビットの位相切り捨てと理想的な 12 ビット DAC の場合

DAC の分解能は一般にルックアップ・テーブルの幅より 2 ~ 4 ビット下回ります。完全な N ビット DAC でも、量子化ノイズが出力に加わります。32 ビット位相アキュムレータ、15 ビットの位相切り捨て、および理想的な 12 ビット DAC の場合の、出カスペクトラムの計算結果を図 4.42 に示します。出力周波数がクロック周波数の 0.25 倍からわずかにオフセットされるような M の値を選択しています。位相切り捨てと DAC の分解能が有限であることによって生じるスパークは全てフルスケール出力より少なくとも 90 dB 下であることを注意してください。この性能はどの市販されている 12 ビット DAC よりはるかに優れており、ほとんどのアプリケーションに適しています。

上述の基本的な DDS システムは極めて柔軟性に富み、高い分解能を有しています。M レジスタの内容を単に変更することにより、周波数を、位相の不連続なしに瞬時に変えることができます。ただし、実際の DDS システムでは、最初にシリアルまたはバイト単位でデータをロードするシーケンスを実行して、新しい周波数ワードを、パラレル出力 M レジスタの前に置かれた内部バッファ・レジスタに取得する必要があります。これはパッケージのピン数を最小に抑えるためです。新しいワードがバッファ・レジスタにロードされた後、パラレル出力デルタ位相レジスタにクロックを供給して、すべてのビットを同時に更新します。デルタ位相バッファ・レジスタへのロードに必要なクロック・サイクル数によって、出力周波数変更の最大速度が決まります。

DDS システムのエイリアシング

簡単な DDS システムで生成できる出力周波数の範囲には、重要な制限がひとつあります。ナイキスト基準によれば、クロック周波数（サンプル・レート）は出力周波数の少なくとも 2 倍なければなりません。現実には、実用的な最高出力周波数はクロック周波数の約 1/3 に制限されます。出力周波数が 30 MHz でクロック周波数が 100MHz の DDS システムの DAC の出力を図 4.43 に示します。図 4.43 に示すように、アンチエイリアシング（折返し誤差防止）・フィルタを再構成 DAC の後に置いて、低い方のイメージ周波数（100 MHz - 30 MHz = 70 MHz）を除去する必要があります。

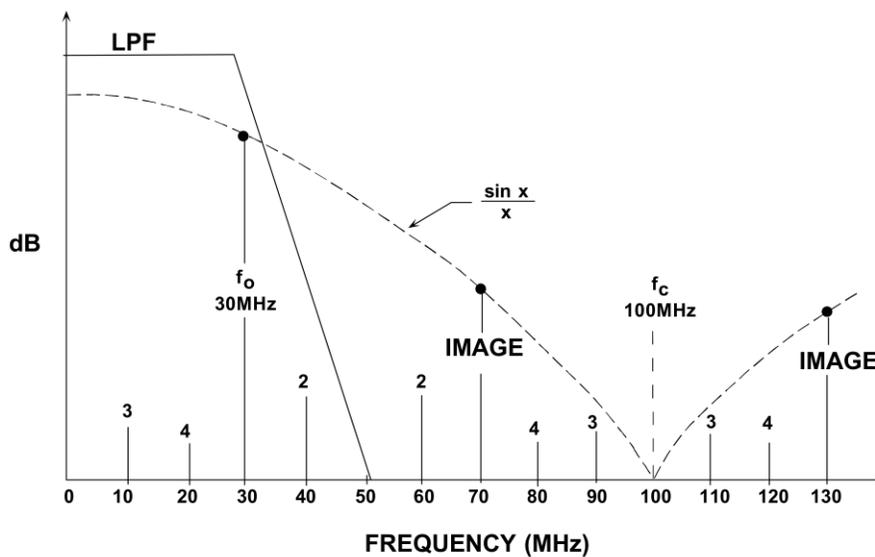


図 4.43: DDS システムのエイリアシング

フィルタリングされる前の DAC 出力の振幅応答は $\sin(x)/x$ の応答に従い、クロック周波数とその整数倍でゼロであることに注意してください。正規化された出力振幅 $A(f_o)$ の正確な式は次のとおりです。

$$A(f_o) = \frac{\sin\left(\frac{\pi f_o}{f_c}\right)}{\frac{\pi f_o}{f_c}} \quad \text{式 4-9}$$

ここで、 f_o は出力周波数、 f_c はクロック周波数です。

このロールオフが生じるのは、DAC 出力は（完璧なリサンプラーの場合のように）幅がゼロのパルス列ではなく、幅が更新レートの逆数に等しい方形パルスの列だからです。 $\sin(x)/x$ 応答の振幅はナイキスト周波数（DAC の更新レートの 1/2）で 3.92 dB 減少します。実際には、再構成（アンチエイリアシング）フィルタの伝達関数は、全体の周波数応答が DAC の最大出力周波数（一般に更新レートの 1/3）まで比較的フラットになるように、 $\sin(x)/x$ のロールオフを補償するように設計することができます。

図 4.44 に示す回路では、40 MSPS ADC 向けのクロックの出力 rms ジッタの合計は 50 ps rms です。アプリケーションのダイナミック・レンジが広い場合は、このジッタの結果生じる SNR の低下を検討する必要があります。

DDS システムでの振幅変調

DDS システムでの振幅変調は、図 4.45 に示すように、ルックアップ・テーブルと DAC 入力の上にデジタル乗算器を置くことで実現できます。DAC の出力振幅を変調する別の方法としては、DAC へのリファレンス電圧を変化させる方法があります。AD9850 の場合、内部のリファレンス制御アンプの帯域幅は約 1 MHz です。この方法は、出力信号が +1 V のコンプライアンス仕様を超えないかぎり、出力振幅の比較的小さな変化には有効です。

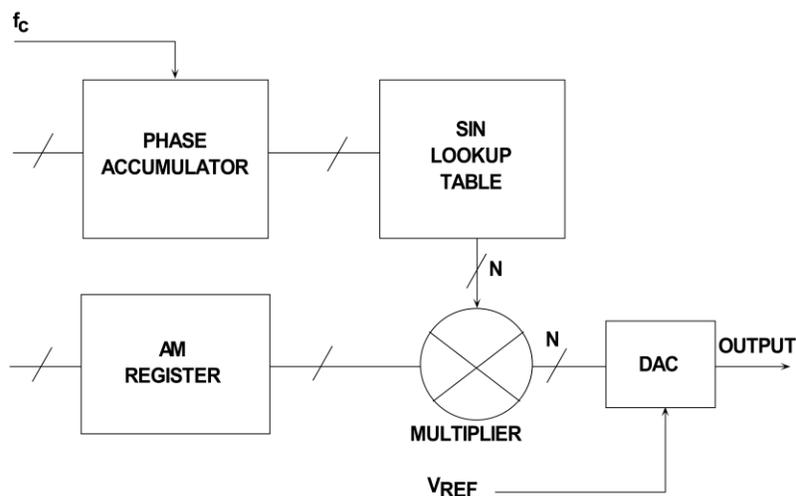


図 4.45: DDS システムの振幅変調

DDS システムのスプリアスフリー・ダイナミック・レンジの検討事項

多くの DDS アプリケーションでは、第一に検討すべき事項として DAC 出力のスペクトルの純度があります。残念ながら、相互に作用するいくつかの要因により、この純度の測定、予測、および解析は複雑な課題です。

理想的な N ビット DAC でも、DDS システムで高調波を生じます。この高調波の振幅は、クロック周波数に対する出力周波数の比に強く依存します。これは、この比が変化するとき DAC の量子化ノイズの理論的 RMS 値は $q/\sqrt{12}$ に等しく保たれるのですが（ここで、 q は LSB の重みです）、そのスペクトル成分が変化するためです。量子化ノイズは白色ノイズとして現れてナイキスト帯域幅全体に一樣に広がるという仮定は、DDS システムではまったく成立しません（この仮定は、ADC ベースのシステムでは成立する可能性が高くなります。なぜなら、ADC はある量のノイズを信号に追加して量子化誤差を「ディザ」する、つまりランダム化する傾向があるからです。

ただし、ある程度の相関はそれでも存在します)。例えば、DAC の出力周波数がクロック周波数の正確な整数分の 1 に設定されると、量子化ノイズは出力周波数の倍数に集中します。つまり、信号に強く依存します。ただし、出力信号がわずかにオフセットしていると、量子化ノイズはもっとランダムになるので、実効 SFDR が改善されます。

例を図 4.46 に示します。ここでは、理想的な 12 ビット DAC で生成したデジタルデータに基づいて、4096 (4k) ポイントの FFT を計算しています。左側の図では、クロック周波数と出力周波数の比を正確に 32 になるように選択しており (FFT のレコード長で 128 サイクルの正弦波)、SFDR は約 78 dBc になります。右側の図では、この比を 32.25196850394 に変えており (FFT のレコード長で 127 サイクルの正弦波)、この場合の実効 SFDR は 92 dBc に増加しています。この理想的なケースでは、周波数比をわずかに変えるだけで 14 dB の SFDR の変化がみられました。

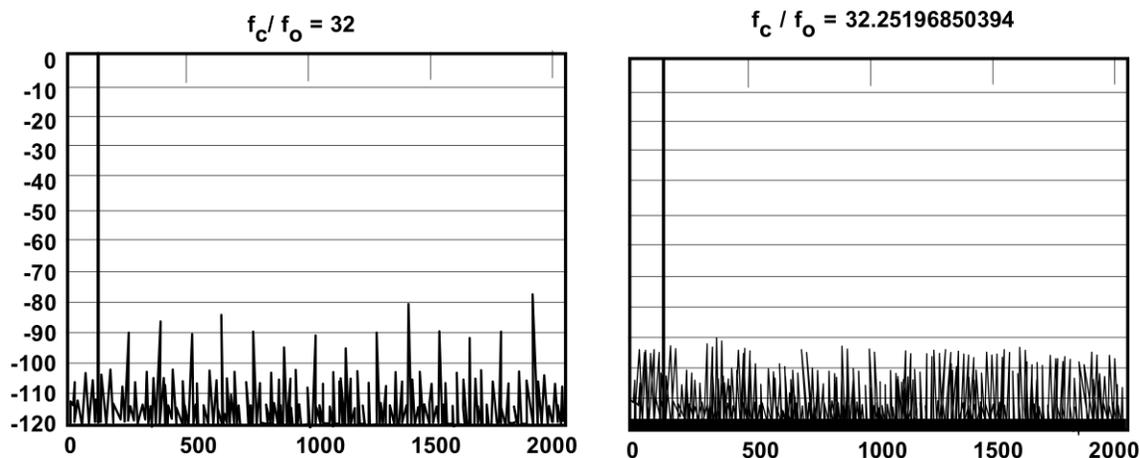


図 4.46: 出力周波数に対するクロックの比の理想的な 12 ビット DAC の SFDR に対する影響 (4096 ポイントの FFT を使用)

したがって、クロック周波数と出力周波数を注意深く選択することによって、最良の SFDR が得られます。ただし、アプリケーションによっては、これができないことがあります。ADC をベースにしたシステムでは、入力に小さなランダム・ノイズが加わると、量子化誤差がランダム化されて、この効果が減少する傾向があります。図 4.47 に示すように、DDS システムでも同じことができます (参考資料 5)。DDS の正弦波振幅ワードが DAC にロードされる前に、このワードに疑似ランダム・デジタル・ノイズ・ジェネレータの出力を加算します。デジタル・ノイズの振幅は約 1/2 LSB に設定します。これにより、全体の出力ノイズ・フロアがわずかに上昇するかわりに、ランダム化が達成できます。ただし、ほとんどの DDS アプリケーションでは十分柔軟に種々の周波数比を選択できるので、ディザリングは不要です。

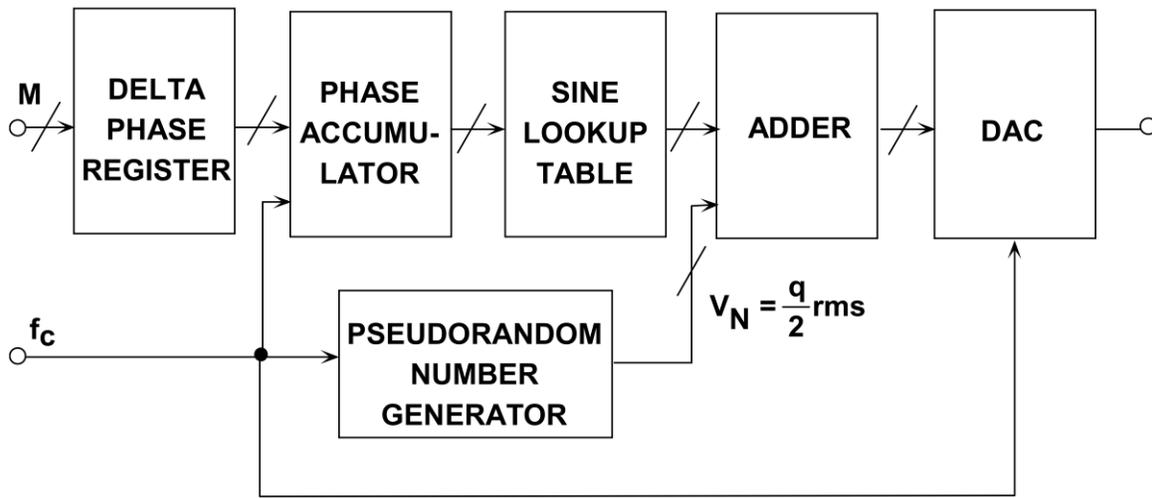


図 4.47: デジタル・ディザの投入による DDS システムの量子化ノイズのランダム化と SFDR の増加

参考資料

1. “Ask The Application Engineer—33: All About Direct Digital Synthesis” (**Analog Dialogue**, Vol. 38, August 2004)
2. “Innovative Mixed-Signal Chipset Targets Hybrid-Fiber Coaxial Cable Modems” (**Analog Dialogue**, Vol. 31, No. 3, 1997)
3. “Single-Chip Direct Digital Synthesis vs. the Analog PLL” (**Analog Dialogue**, Vol. 30, No. 3, 1996)
4. Kroupa, Venceslav (Ed.), **Direct Digital Frequency Synthesizers** Wiley-IEEE Press, 1998,
5. Brandon, David, **DDS Design**, Analog Devices, Inc.
6. **Jitter Reduction in DDS Clock Generator Systems** Copyright © Analog Devices, Inc.
7. **A Technical Tutorial on Digital Signal Synthesis** Copyright ©1999 Analog Devices, Inc

4.8: フェーズ・ロック・ループ (PLL)

フェーズ・ロック・ループは、電圧制御発振器と位相コンパレータを組み合わせ、発振器が基準信号に対して一定の位相角を維持するようにした帰還システムです。フェーズ・ロック・ループは、例えば、固定された低周波数の信号から安定した周波数の出力信号を生成するのに使用できます。フェーズ・ロック・ループは一般に、フォワード・ゲイン項と帰還項を備えた負帰還システムとして解析することができます。電圧ベースの負帰還システムの簡単なブロック図を図 4.48 に示します。

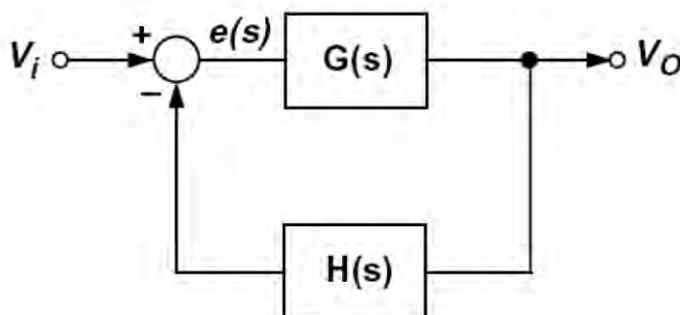


図 4.48: 標準的な負帰還制御システム・モデル

フェーズ・ロック・ループでは、位相コンパレータからの誤差信号は、入力信号と帰還信号の相対位相に比例します。位相検出器の平均出力は、入力信号と帰還信号が同じ周波数のとき一定になります。負帰還システムの通常のを適用できます。

$$\text{Forward Gain} = G(s) \quad \text{式 4-10}$$

$$s = j\omega = j2\pi f \quad \text{式 4-11}$$

$$\text{Closed Loop Gain} = \frac{G(s)}{1+G(s)H(s)} \quad \text{式 4-12}$$

$$\text{Loop Gain} = G(s) * H(s) \quad \text{式 4-13}$$

ループ内の積分により、低周波数では定常状態のゲイン $G(s)$ は高く、次のようになります。

$$\frac{V_o}{V_b} \text{ Closed Loop Gain} = \frac{1}{H} \quad \text{式 4-14}$$

ループ・ゲインに寄与する PLL の構成要素には以下のものがあります。

1. 位相検出器 (PD) とチャージ・ポンプ (CP)
2. 伝達関数が $Z(s)$ のループ・フィルタ
3. 感度が KV/s の電圧制御発振器 (VCO)
4. 帰還分周器 $1/N$

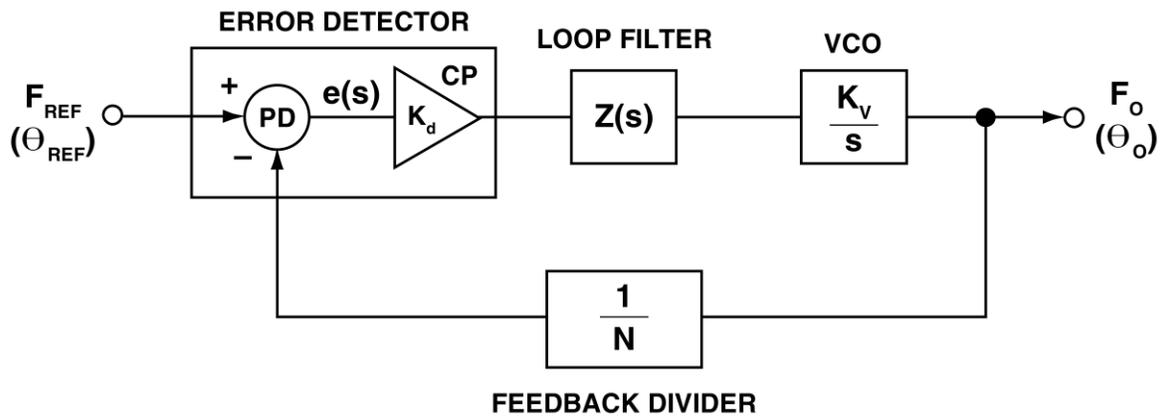


図 4.49: フェーズ・ロック・ループの基本モデル

4 象限乗算器のようなリニア素子を位相検出器に使用し、ループ・フィルタと VCO もアナログ素子の場合、この PLL をアナログ PLL またはリニア PLL (LPLL) と呼びます。デジタル位相検出器 (EXOR ゲートまたは J-K フリップフロップ) を使用し、他のすべてがアナログ PLL と同じままの場合、このシステムをデジタル PLL (DPLL) と呼びます。PLL がデジタル・ブロックのみで構成され、受動部品やリニア素子をまったく含まない場合、オール・デジタル PLL (ADPLL) になります。

一般的な PLL では、位相検出器とチャージ・ポンプが一緒になって誤差検出器ブロックを形成しています。 $F_o = N \times F_{REF}$ のとき、誤差検出器はローパス・ループ・フィルタにソース/シンク電流パルスを出力します。これにより、電流パルスが電圧へ平滑化され、この電圧が次に VCO を駆動します。VCO の周波数は必要に応じて $K_v \cdot \Delta V$ だけ増加または減少します。ここで、 K_v は MHz/ボルトで表した VCO の感度、 ΔV は VCO の入力電圧の変化です。これは $e(s)$ がゼロになり、ループがロックするまで続きます。こうして、チャージ・ポンプと VCO は積分器として機能し、位相検出器からの入力をゼロに戻すようにその出力周波数を必要な値まで増加または減少させようとします。

PLL 全体の伝達関数 (CLG つまりクローズドループ・ゲイン) は、上に与えられている負帰還システムの CLG の式を使って簡単に表すことができます。

$$\frac{F_o}{F_{ref}} = \frac{\text{Forward Gain}}{1 + \text{Loop Gain}} \quad \text{式 4-15}$$

GH が 1 を大きく上回るとき、PLL のクローズドループ伝達関数は N であると言えるので、次のようになります。

$$F_{OUT} = N \times F_{REF} \quad \text{式 4-16}$$

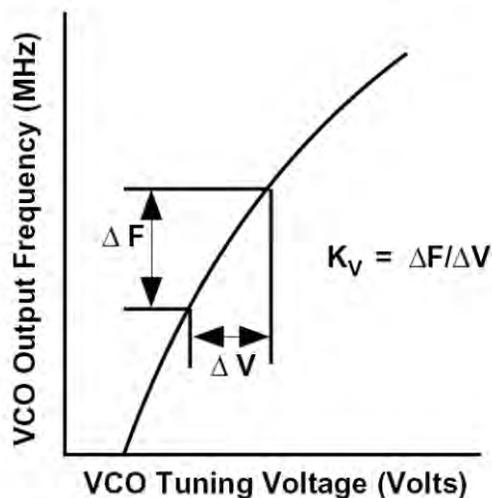


図 4.50: VCO の伝達関数

ループ・フィルタは、一般にポールが 1 つ、ゼロが 1 つのローパス・タイプです。ループの過渡応答は以下の要素に依存します。

1. ポール／ゼロの大きさ
2. チャージ・ポンプ出力範囲の大きさ
3. VCO の感度
4. 帰還係数 N

ループ・フィルタを設計するときは、上記すべてを計算に入れる必要があります。さらに、フィルタは、安定するように設計しなくてはなりません（通常、 90° の位相マージンを推奨します）。応答の 3-dB カットオフ周波数は、一般にループ帯域幅 BW と呼ばれます。ループ帯域幅が大きいと、過渡応答が高速になります。ただし、これは常に長所だとは限りません。なぜなら、高速過渡応答とリファレンスのスプリアスの減衰の間にはトレードオフがあるからです。

PLL シンセサイザの基本的なビルディング・ブロック

PLL シンセサイザはいくつかの基本的なビルディング・ブロックに分割して考察することができます。これまでの説明ですでに触れていますが、ここでは以下についてさらに詳細に取り上げます。

位相周波数検出器 (PFD)

リファレンス・カウンタ (R)

フィードバック・カウンタ (N)

シンセサイザの中心となるのは位相検出器（または位相周波数検出器）です。この検出器で、基準周波数信号と、VCO 出力からフィードバックされた信号を比較し、その結果生じる誤差信号でループ・フィルタと VCO を駆動します。デジタル PLL (DPLL) では、位相検出器または位相周波数検出器はロジック素子です。

最も一般的な実装手段は以下の3つです。

排他的 OR (EXOR) ゲート

JK フリップフロップ

デジタル位相周波数検出器

ここでは、ADF411X と ADF421X のシンセサイザ・ファミリーで使われる素子である PFD についてだけ検討します。その理由は、EXOR ゲートや JK フリップフロップとは異なり、PFD の出力は、ロックしていない状態での 2 つの入力間の周波数差と位相差の関数だからです。PFD の実装例のひとつを図 4.53 に示します。基本的に 2 個の D 型フリップフロップで構成されています。一方の Q 出力が正の電流源をイネーブルし、他方の Q 出力が負の電流源をイネーブルします。この設計では D 型フリップフロップは正エッジでトリガされると仮定すると、(Q1、Q2) の出力に応じて、状態は以下のようになります。

11—両方の出力ともハイ・レベルで、AND ゲート (U3) を介してフリップフロップの CLR ピンへ戻ることによってディスエーブルされます。

00—P1 と N1 は両方ともオフし、出力 OUT は高インピーダンス状態です。

10—P1 はオンし、N1 はオフし、出力は V+ です。

01—P1 はオフし、N1 はオンし、出力は V- です。

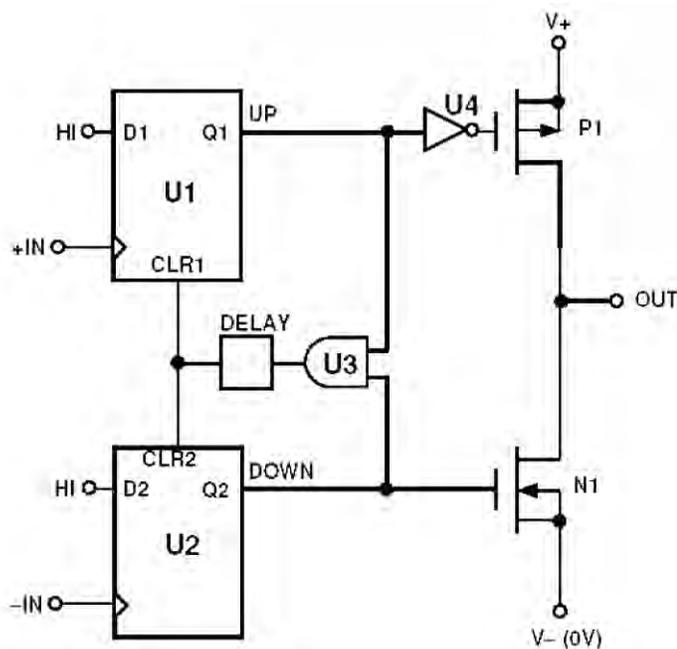


図 4.53: D 型フリップフロップを使った代表的な PFD

ここで、図 4.54 に示すようにシステムがロック状態から外れ、+IN の周波数が -IN の周波数より高い場合に、この回路がどのように動作するかを検討します。

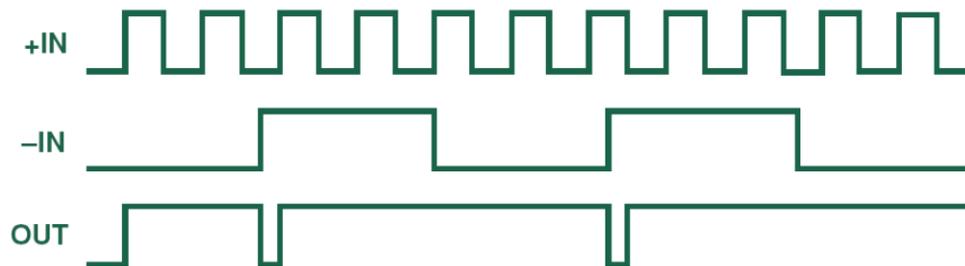


図 4.54: 周波数と位相がロックから外れた PFD の波形

+IN の周波数は -IN の周波数よりはるかに高いので、出力はほとんどの時間ハイ・レベルの状態になります。+IN の最初の立上りエッジにより、出力は強制的にハイ・レベルになり、この状態が、-IN に最初の立上りエッジが生じるまで維持されます。これにより、実際のシステムでは、出力（したがって VCO への入力）が高く駆動され、-IN の周波数が増加することを意味します。これは望ましい動作です。+IN の周波数が -IN の周波数よりはるかに低いと、逆の効果が生じます。OUT の出力はほとんどの時間ローレベルの状態になります。これは、VCO を負方向に駆動する効果があり、この場合も、-IN の周波数を +IN の周波数に近づけ、ロック状態に近づけます。入力が周波数ロック状態で、位相ロックに近い状態の波形を図 4.55 に示します。

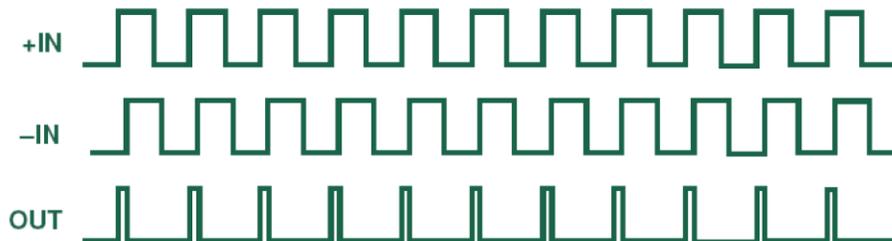


図 4.55: 周波数ロックしているが位相ロックしていない PFD の波形

+IN が -IN より先行しているため、出力は正電流のパルス列になります。このようなパルスは、-IN 信号の位相が +IN 信号の位相と揃うように VCO を駆動する傾向があります。この場合、U3 と、U1 および U2 の CLR 入力間に遅延素子がないとすれば、出力は高インピーダンス状態になる可能性があり、正負どちらの電流パルスも生じないでしょう。これは好ましい状態ではありません。VCO は、位相誤差が大きくなって正または負の電流パルスが再度生じ始めるまでドリフトするでしょう。比較的長時間にわたり、この周期的効果により、チャージ・ポンプの出力が、PFD の入力のリファレンス周波数のある低調波によって変調されるでしょう。これは、低周波信号になることがあるので、ループ・フィルタによっては減衰せず、VCO の出力スペクトルに（バックラッシュ効果として知られる）非常に大きなスパークを生じるでしょう。U3 の出力と、U1 および U2 の CLR 入力間に遅延素子を挿入すると、これが起きなくなります。この遅延素子があると、+IN と -IN の位相が完全に同期しているときでも、チャージ・ポンプの出力に電流パルスが生じます。

この遅延時間は U3 の出力に挿入された遅延に等しく、アンチバックラッシュ・パルス幅として知られています。

リファレンス・カウンタ

古典的な整数 N シンセサイザでは、出力周波数の分解能は位相検出器に与えられるリファレンス周波数によって決まります。したがって、例えば、(GSM 電話のように) 200 kHz の間隔が必要なら、リファレンス周波数は 200 kHz でなければなりません。ただし、安定した 200 kHz の周波数源を得るのは容易ではありません。有効なアプローチは高品質の水晶発振器ベースの高周波数源を選び、それを分周することです。例えば、まず 10 MHz の周波数リファレンスを用意し、それを 50 分周することにより、必要な周波数間隔を達成できます。このアプローチを図 4.56 に示します。

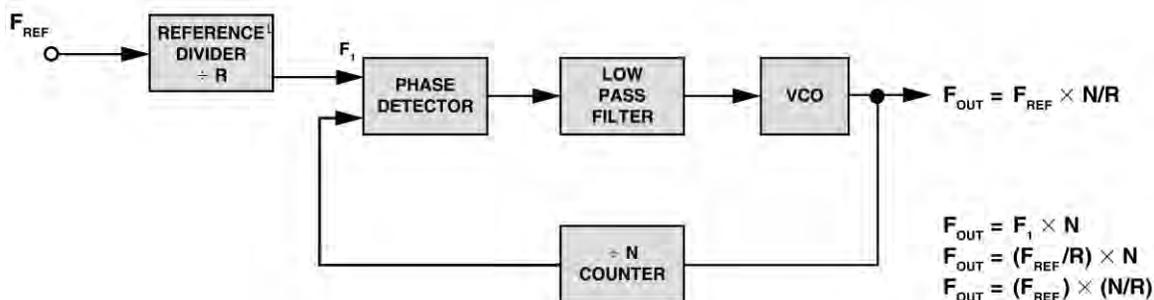


図 4.56: PLL シンセサイザに使用するリファレンス・カウンタ

フィードバック・カウンタ (N)

N 分周器としても知られる N カウンタはプログラマブル素子で、PLL の入力周波数と出力周波数の関係を設定します。多年にわたり N カウンタは複雑さを増してきました。単機能の N カウンタそのものに加えて、プリスケアラを備えたものに進化し、デュアル・モジュラス・プリスケアラを備えていることもあります。

このような構造に進化したのは、非常に高い周波数の出力が必要なとき、位相検出器へのフィードバックに単純な N 分周構造を使用するだけではどうしても避けられない諸問題を解決するためです。例えば、10 kHz の間隔で 900 MHz の出力が必要だと仮定しましょう。10 MHz のリファレンス周波数を使い、R 分周器を 1000 分周に設定するとします。この場合、フィードバック内の N の値は 90,000 のオーダーにする必要があります。つまり、900 MHz の入力周波数で動作可能な少なくとも 17 ビットのカウンタが必要となります。

このレンジを扱うために、プログラム可能なカウンタの前に固定カウンタ素子を置いて、非常に高い入力周波数を、標準的な CMOS カウンタが動作するレンジまで下げるのが合理的です。プリスケアラと呼ばれるこのカウンタを図 4.57 に示します。

ただし、標準的なプリスケラを使用すると別の問題が生じます。システムの分解能が低下します ($F_1 \times P$)。この問題はデュアル・モジュラス・プリスケラを使って解決することができます (図 64.58)。これは標準的なプリスケラの利点を備えていながら、システムの分解能を損なうことはありません。デュアル・モジュラス・プリスケラは、外部制御信号によって分周比をある値から別の値へ切り替えることができるカウンタです。A と B のカウンタを備えたデュアル・モジュラス・プリスケラを使うことにより、 F_1 の出力分解能を維持することができます。

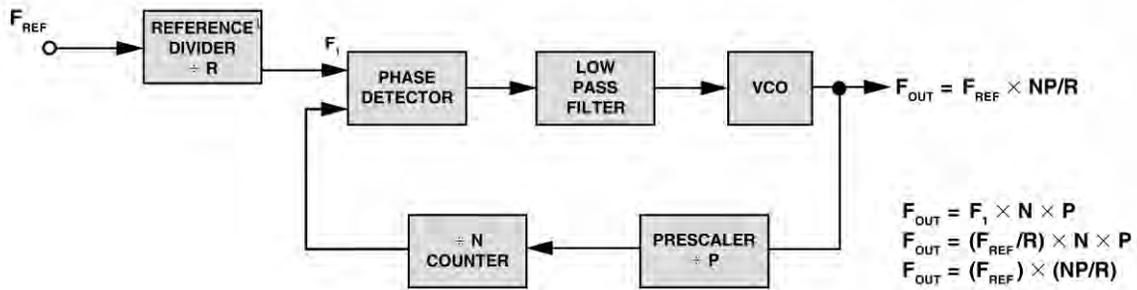


図 4.57: 基本的なプリスケラ

ただし、以下の条件を満たす必要があります。

1. 両方のカウンタがまだタイムアウトしていないとき、両カウンタの出力信号はハイ・レベルになります。
2. Bカウンタがタイムアウトすると、その出力がローレベルになり、直ちに各カウンタに、それぞれの事前に定めた値をロードします。
3. Bカウンタへロードする値はAカウンタへロードする値より常に大きくなければなりません。

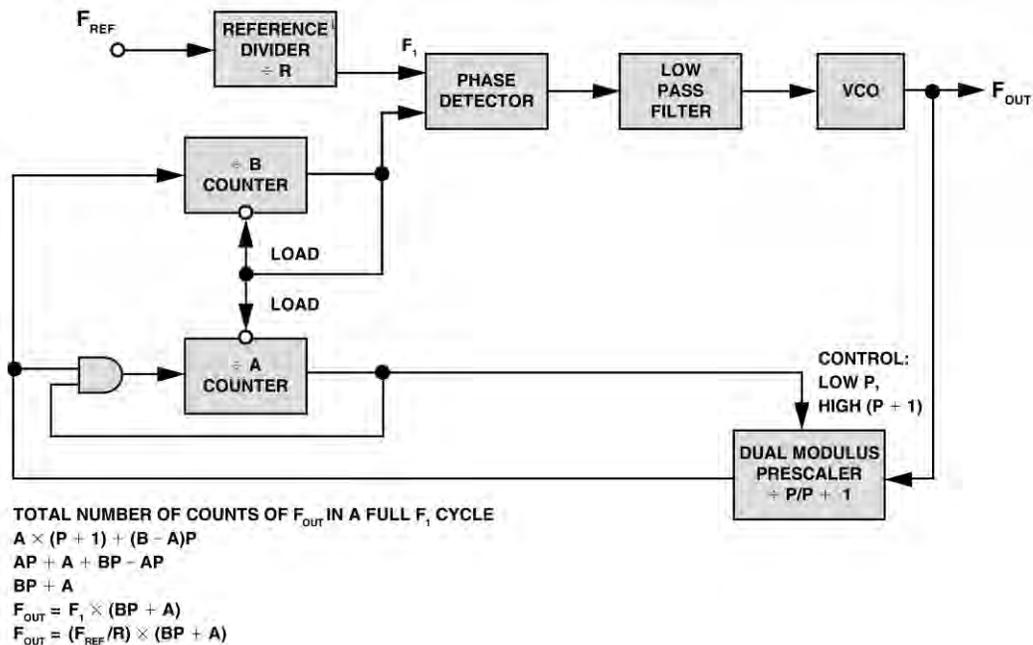


図 4.58: デュアル・モジュラス・プリスケラ

B カウンタがちょうどタイムアウトし、各カウンタにそれぞれ値 A と B が再ロードされたと仮定します。再び同じ状態に戻るのに必要な VCO のサイクル数を求めましょう。

A カウンタがタイムアウトしない限り、プリスケーラは $P + 1$ によって分周し続けます。したがって、プリスケーラが $(P + 1)$ VCO サイクルだけカウントするたびに、A と B の両方のカウンタは 1 だけカウントダウンします。つまり、A カウンタは $((P + 1) \times A)$ VCO サイクル後にタイムアウトします。

タイムアウトした時点で、プリスケーラは P 分周に切り替えられます。B カウンタはこのときタイムアウトするまでにまだ $(B - A)$ サイクル残しています。タイムアウトにはどれだけかかるでしょうか。 $((B - A) \times P)$ です。これで、システムは開始したときの初期状態に戻ります。

ここまでに必要な合計 VCO サイクル数は次のようになります。

$$N = (A \times (P + 1)) + ((B - A) \times P) \quad \text{式4-17}$$

$$= AP + A + BP - AP \quad \text{式4-18}$$

$$= A + BP \quad \text{式4-19}$$

デュアル・モジュラス・プリスケーラを使用するときは、N の最小値と最大値を検討することが重要です。ここで実際に必要なのは、離散的な整数ステップで N を変えられる範囲です。式 $N = A + BP$ について考えます。N の連続した整数の間隔を保証するには、A は $0 \sim (P - 1)$ の範囲でなければなりません。これで、B がインクリメントされるたびに、 BP と $(B + 1)P$ の間のすべての整数値を満たすのに十分な分解能が確保できます。デュアル・モジュラス・プリスケーラに関してすでに述べたように、デュアル・モジュラス・プリスケーラが動作するには、B の値は A 以上でなければなりません。こうしたことから、離散的な整数ステップでインクリメント可能な範囲での最小分周比は次のようになると言えます。

$$N_{MIN} = (B_{MIN} \times P) + A_{MIN} \quad \text{式4-20}$$

$$= ((P - 1) \times P) + 0 \quad \text{式4-21}$$

$$= P^2 - P \quad \text{式4-22}$$

N の最大値は次式で与えられます。

$$N_{MAX} = (B_{MAX} \times P) + A_{MAX} \quad \text{式4-23}$$

この場合、 A_{MAX} と B_{MAX} は単純に A カウンタと B カウンタのサイズによって決まります。

次に、ADF4111 を使った実際の例です。プリスケーラの分周は $32/33$ にプログラムされていると仮定しましょう。A カウンタは 6 ビット幅です。つまり A の値は $2^6 - 1 = 63$ まで可能です。B カウンタは 13 ビット幅です。つまり B の値は $2^{13} - 1 = 8191$ まで可能です。

$$N_{MIN} = P^2 - P = 992 \quad \text{式4-24}$$

$$N_{MAX} = (B_{MAX} \times P) + A_{MAX} \quad \text{式4-25}$$

$$= (8191 \times 32) + 63 \quad \text{式4-26}$$

$$= 262175$$

フラクショナル N シンセサイザ

現存する無線通信システムの多くは、スイッチングがより高速で位相ノイズがより低いローカル発振器 (LO) を必要とします。整数 N シンセサイザはチャンネル間隔に等しい基準周波数を必要とします。これはきわめて低いことがあり、したがって高い N が必要になります。この高い N はそれに比例して高い位相ノイズを生じます。低い基準周波数は PLL のロック時間を制限します。フラクショナル N シンセサイザは、PLL の低位相ノイズと高速ロックの両方を達成する手段です。この手法は 1970 年代初期に開発されました。初期の研究は主に Hewlett Packard と Racal によってなされました。この手法は最初 digiphase と名付けられましたが、後に広くフラクショナル N と呼ばれるようになりました。標準的なシンセサイザでは、RF 信号を分周できるのは整数のみです。このため、(システムのチャンネルの間隔によって決まる) 比較的低い基準周波数の使用が必要になり、その結果、フィードバック内の N の値が高くなります。これらの事実は、システムのセトリング時間とシステムの位相ノイズに大きな影響を与えます。低い基準周波数はセトリング時間を長くし、高い値の N は位相ノイズを大きくします。

分数で分周した帰還が可能であれば、もっと高い基準周波数を使用しても所望のチャンネル間隔を実現することができます。また、低い値の分数によって、位相ノイズは小さくなります。

実際には、2 つの整数で交互に分周することにより、長期間にわたる分数による分周を実装することができます (÷2.5 の分周は 2 と 3 で交互に分周することにより実現できます)。では、X または (X + 1) の分周はどのようにすればよいでしょうか (分数はこれら 2 つの値の間にあると仮定します)。実は、値の分数部分は、基準周波数の周期で(アキュムレータに)累積させることができます。

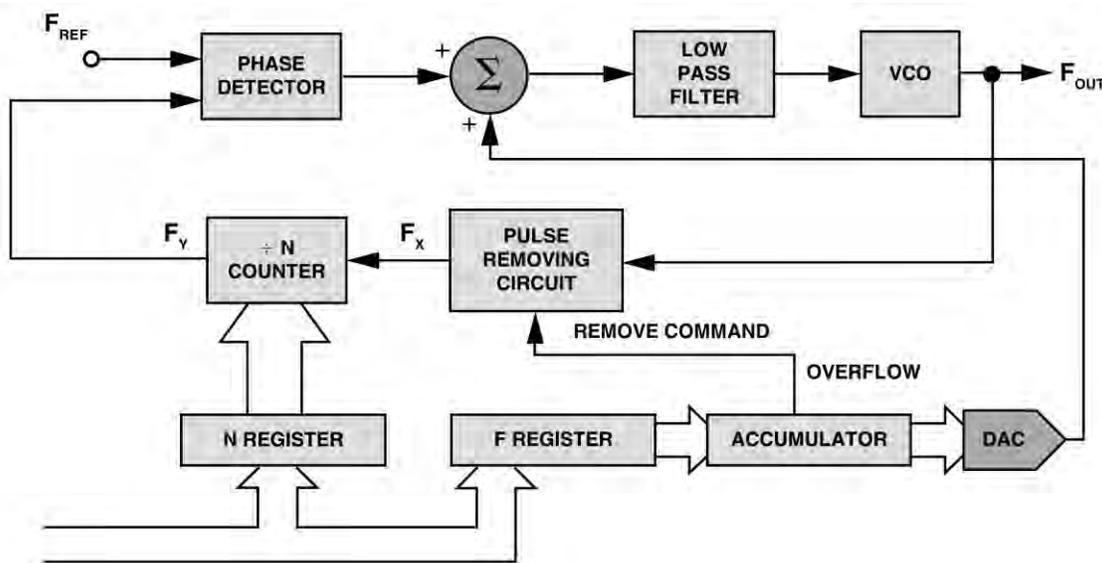


図 4.59: フラクショナル N シンセサイザ

そうすると、アキュムレータがオーバーフローするたびに、信号を使って分周比 N を変えることができます。これは、図 8 に示すように、N カウンタへ与えるパルスから 1 パルスを取り除いてなされます。

これにより、アキュムレータがオーバーフローするたびに実効的に分周比を 1 だけ増やします。また、F レジスタに指定する値が大きいほど、頻りにアキュムレータがオーバーフローし、大きな値による分周が頻りに行われます。これはまさしく回路に求められている動作です。ただし、いくつかの問題が加わります。N 分周回路から位相検出器へ与えられる信号は、規則的な間隔でパルスが均一に並んだストリームではありません。パルスは基準周波数と指定された分数によって決まるレートで変調されています。これが次に位相検出器の出力を変調して VCO の入力を駆動します。最終結果として VCO の出力に含まれる高いスプリアス成分となります。これらのスパーを最小に抑えるために現在研究が進められています。モノリシックのフラクショナル N シンセサイザはまだ期待に応えるところまでできていませんが、最終的には利点を実現されることを見越して、速いペースで開発が続けられています。

発振器システムのノイズ

どのような発振器の設計でも、周波数の安定性は決定的に重要です。長期と短期の両方の安定性に注意が必要です。**長期**の周波数安定性は、長期間（数時間、数日、あるいは数か月）にわたって出力信号がどのように変化するかです。これは通常、与えられた期間に対する比 $\Delta f/f$ として規定され、パーセンテージまたは dB で表されます。他方、**短期**安定性は数秒以下の時間で生じる変化です。これらの変動はランダムなこともあれば、周期的なこともあります。スペクトラム・アナライザを使って、信号の短期安定性を調べることができます。図 4.60 は代表的なスペクトラムを示しており、ランダムおよび離散的な周波数成分がスカート状の広がりとしプリアス・ピークを生じています。

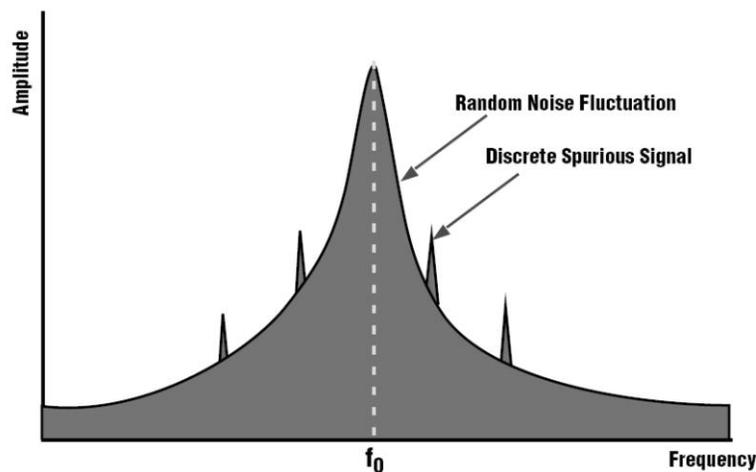


図 4.60: 発振器の短期安定性

離散したスプリアス成分は、信号源、電源ラインの干渉、およびミキサー製品の既知のクロック周波数によって生じる可能性があります。ランダム・ノイズの変動によって生じる広がりには**位相ノイズ**によるものです。それはアクティブおよびパッシブなデバイスの熱ノイズ、ショット・ノイズ、フリッカ・ノイズに起因する可能性があります。

電圧制御発振器の位相ノイズ

PLL システムの位相ノイズを調べる前に、電圧制御発振器 (VCO) の位相ノイズについて検討することも大切です。理想的な VCO であれば、位相ノイズはないでしょう。スペクトラム・アナライザで観察すると、その出力は単一のスペクトル線になるでしょう。もちろん、実際の VCO ではこうはなりません。出力にジッタがあり、スペクトラム・アナライザは位相ノイズを示します。位相ノイズを理解するには、図 4.61 に示すような、フェーザ表示を考えます。

角速度が ω_0 で、ピーク振幅が V_{SPK} の信号が示されています。これに重ね合わされているのは、角速度が ω_m の誤差信号です。 $\Delta\theta_{rms}$ は位相の変動の rms 値を示し、rms 度で表されます。

多くの無線システムでは、全体の積分位相誤差の仕様を満たす必要があります。この全体の位相誤差は PLL の位相誤差、変調器の位相誤差、およびベースバンド部品による位相誤差からなります。例えば、GSM では、全体の許容誤差は 5° rms です。

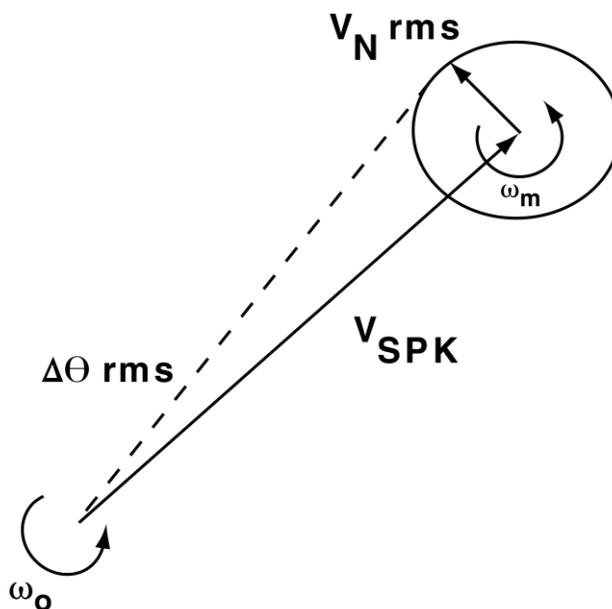


図 4.61: 位相ノイズのフェーザ表示

Leesonの式

Leeson (参考資料 6 を参照) は VCO での異なるノイズ成分を記述する式を開発しました。

$$L_{PM} \sim 10 \log \left(\frac{F kT}{A} \frac{1}{8Q_L} \left[\frac{f_o}{f_m} \right]^2 \right) \quad \text{式 4-27}$$

ここで、

- L_{PM} はシングル・サイドバンド位相ノイズ密度 (dBc/Hz) 、
- F は動作電力レベル A でのデバイスのノイズ係数 (線形) 、
- k はボルツマン定数 (1.38×10^{-23} J/K) 、
- T は温度 (K) 、
- A は発振器の出力電力 (W) 、
- Q_L は負荷 Q (無次元) 、
- f_o は発振器のキャリア周波数、
- f_m はキャリアからの周波数オフセットです。

Leeson の式が有効であるためには、以下の条件が成立している必要があります。

- f_m (キャリアからのオフセット周波数) が $1/f$ フリッカ・コーナー周波数より大きい。
- 動作電力レベルでのノイズ係数がわかっている。
- デバイスの動作が線形である。
- Q には、部品の損失、デバイスの負荷、およびバッファの負荷の影響が含まれる。
- 発振器に 1 個の共振器が使用されている。

Leeson の式は、“ $1/f$ ” (もっと一般的には $1/f_g$) フリッカ・ノイズ周波数から遷移領域への屈折点 (f_1) と、それから先は増幅された白色ノイズが支配的になる周波数 (f_2) の間のニー領域 (knee region) だけに適用できます。これを図 4.62 [$g = 3$] に示します。 f_1 はできるだけ低くしますが (一般に 1 kHz 未満)、 f_2 は数 MHz のあたりです。高性能発振器は、 $1/f$ 遷移周波数が低いデバイスを特に選択する必要があります。

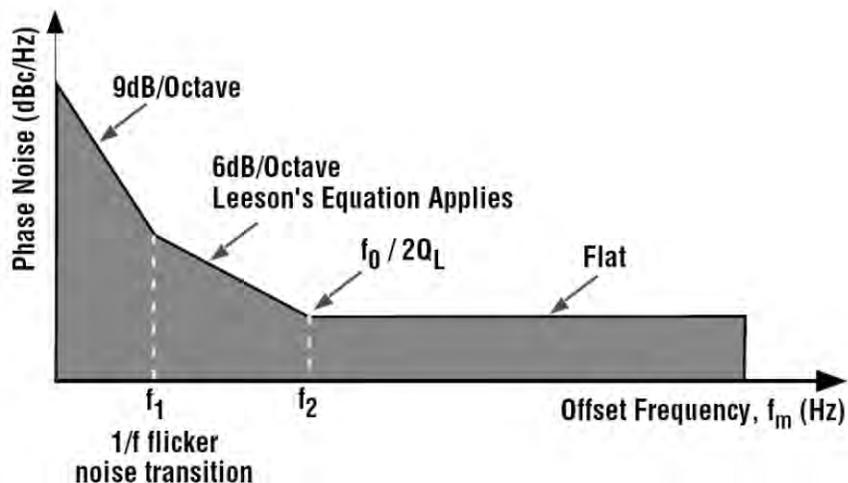


図 4.62: VCO の位相ノイズと周波数オフセット

VCO の位相ノイズを最小に抑えるためのガイドラインを以下に示します。

1. バラクタの調整電圧を十分高く（一般に 3 V ~ 3.8 V）保ちます。
2. DC 電源にフィルタを使用します。
3. インダクタの Q をできるだけ高く保ちます。量販されているコイルの Q は一般に 50 ~ 60 です。
4. ノイズ指数が小さくフリッカ周波数が低いアクティブ・デバイスを選択します。フリッカ・ノイズは帰還素子を使って減らすことができます。
5. ほとんどのアクティブ・デバイスでは、ノイズ指数対バイアス電流の曲線は、広い U 字形を示します。この情報を利用して、デバイスの最適動作バイアス電流を選択します。
6. タンク回路出力の平均電力を最大にします。
7. VCO をバッファするとき、ノイズ指数ができるだけ低いデバイスを使います。

ループを閉じる

前の節では、自走 VCO の位相ノイズと、それをどのように最小にできるかについて考察しました。次にループを閉じたときの位相ノイズへの影響について検討します。

PLL の中で位相ノイズに寄与する主な要因を図 4.63 に示します。システムの伝達関数は以下の式で表すことができます。

$$\text{Closed Loop Gain} = \frac{G}{1 + GH} \quad \text{式 4-27}$$

$$G = \frac{K_d * K_v * Z(s)}{s} \quad \text{式 4-28}$$

$$H = \frac{1}{N} \quad \text{式 4-29}$$

$$\text{Closed Loop Gain} = \frac{\frac{K_d * K_v * Z(s)}{s}}{\frac{K_d * K_v * Z(s)}{N * s}} \quad \text{式 4-30}$$

以下の説明では、位相検出器のリファレンス入力に現れるノイズを S_{REF} と表します。これはリファレンス分周回路と主リファレンス信号のスペクトラムの純度に依存します。 S_N は、位相検出器の周波数入力に現れる、帰還分周器によって生じるノイズです。 S_{CP} は位相検出器によって（その実装に依存して）生じるノイズです。 S_{VCO} は前に展開した式で記述されている VCO の位相ノイズです。

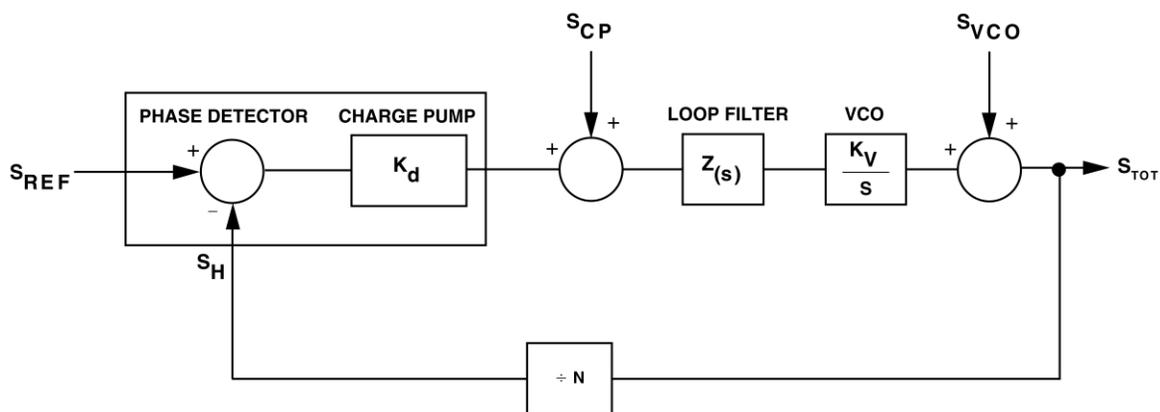


図 4.63: PLL の位相ノイズへの寄与要因

出力の全体的位相ノイズ性能は上述の要因に依存します。出力に現れるすべての影響は rms の形で加算され、システム全体のノイズを与えます。したがって、次のようになります。

ここで、

$$S_{TOT}^2 = X^2 + Y^2 + Z^2 \quad \text{式 4-31}$$

S_{TOT}^2 は出力の合計位相ノイズ電力、
 X^2 は S_N と S_{REF} による出力のノイズ電力、
 Y^2 は S_{CP} による出力のノイズ電力、
 Z^2 は S_{VCO} による出力のノイズ電力です。

PD 入力のノイズ項 (S_{REF} と S_N) は、 F_{REF} と同様に演算し、システムのクローズドループ利得と乗算されます。

$$X^2 = \left[S_{REF}^2 + S_N^2 \right] * \left(\frac{G}{1 + GH} \right)^2 \quad \text{式 4-32}$$

ループ帯域幅内の低い周波数では、

$$GH \gg 1 \quad \text{式 4-33}$$

および

$$X^2 = \left[S_{REF}^2 + S_N^2 \right] * N^2 \quad \text{式 4-34}$$

となり、

ループ帯域幅の外の高い周波数では、

$$GH \gg 1 \quad \text{式 4-35}$$

および

$$X^2 \rightarrow 0 \quad \text{式 4-36}$$

となります。

位相検出器のノイズ S_{CP} による全体の出力ノイズへの寄与は、 S_{CP} を PFD の入力基準に戻すことによって計算することができます。PD 入力の等価ノイズは S_{CP}/K_d です。これを次にクローズドループ・ゲインと乗算します。

$$Y^2 = S_{CP}^2 * \left(\frac{1}{K_d} \right)^2 * \left(\frac{G}{1 + GH} \right)^2 \quad \text{式 4-37}$$

最後に、VCO ノイズ S_{VCO} の出力位相ノイズへの寄与を同様に計算します。このときの順方向ゲインは単に 1 です。したがって、出力ノイズへの寄与は次のようになります。

$$Z^2 = S_{VCO}^2 * \left(\frac{1}{1 + GH} \right)^2 \quad \text{式 4-38}$$

クローズドループ応答の順方向ループ・ゲイン G は通常ローパスとして機能します。これは低い周波数では非常に大きく、高い周波数では小さくなります。 H は定数 $1/N$ です。したがって、上の式の分母はローパスなので、 S_{VCO} はクローズドループによって実際はハイパス・フィルタ処理されます。PLL/VCO 内のノイズ寄与要因に関して、同様の説明が参考資料 1 に記載されています。クローズドループ応答は、カットオフ周波数 BW (ループ帯域幅と呼ばれる) が 3 dB のローパス・フィルタであることを思い出してください。出力での周波数オフセットが BW 未満の場合、出力の位相ノイズ応答の支配的項は X と Y (リファレンス・ノイズ N (カウンタ・ノイズ) とチャージ・ポンプ・ノイズによるノイズ項) です。

S_N と S_{REF} を最小に保ち、 K_d を大きく保ち、 N を小さく保つと、ループ帯域幅 BW 内の位相ノイズを最小に抑えます。 N は出力周波数をプログラムするので、一般にはそれをノイズ削減の要因として利用することはできません。 BW よりはるかに大きな周波数オフセットの場合、支配的ノイズ項は VCO によるノイズ項 (S_{VCO}) です。これは、VCO 位相ノイズのループによるハイパス・フィルタリングによります。小さな値の BW は、積分された合計出力ノイズ (位相誤差) を最小にするので望ましいでしょう。ただし、 BW が小さいと、過渡応答が遅くなり、ループ帯域幅内の VCO 位相ノイズからの寄与が増加します。したがって、ループ帯域幅の計算には、過渡応答と積分された合計出力位相ノイズのトレードオフを考える必要があります。

PLL のループを閉じる影響を示すため、自走 VCO の出力と、PLL の構成要素として動作する VCO の出力を重ね合わせたものを図 4.64 に示します。PLL のインバンド・ノイズは自走 VCO のノイズに比べて減衰していることに注目してください。

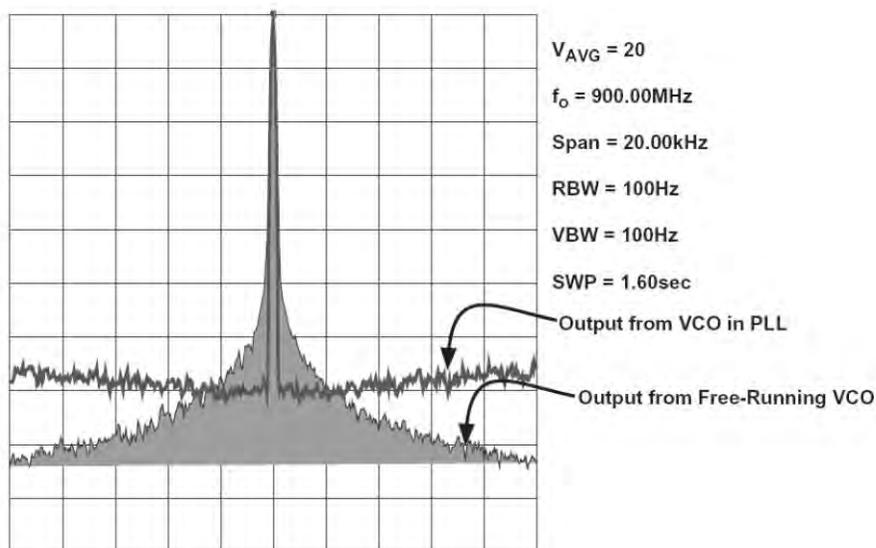


図 4.64: PLL に接続された VCO と自走 VCO の位相ノイズ

位相ノイズの測定

位相ノイズを測定する最も一般的な方法のひとつは、高周波数スペクトラム・アナライザの使用です。図 4.65 は代表的な測定例です。

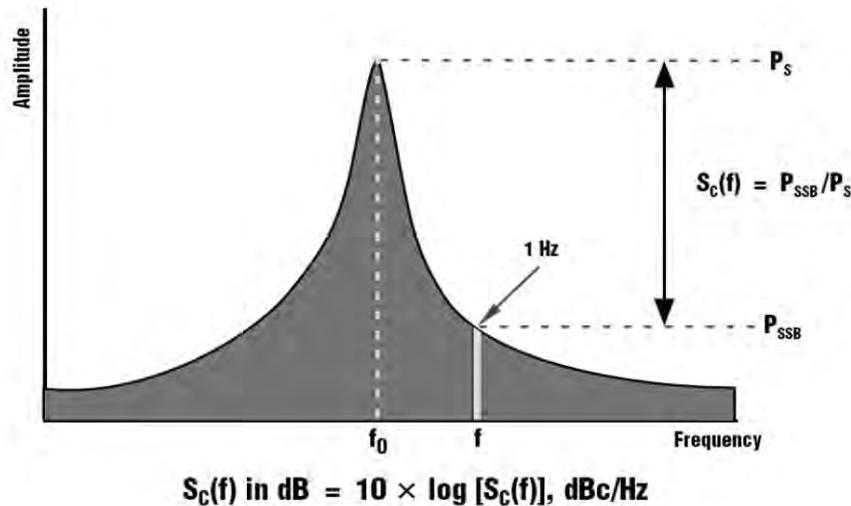


図 4.65: 位相ノイズの定義

スペクトラム・アナライザを使って、単位帯域幅当たりの位相変動のスペクトル密度を測定することができます。VCO の位相ノイズは周波数領域で最もよく記述できます。この場合、スペクトル密度は、出力信号の中心周波数の両側のノイズ・サイドバンドを測定して、特性が評価されます。位相ノイズ電力は、キャリア周波数からある周波数オフセット離れたところでの、キャリア電力を基準にしたデシベル (dBc/Hz) で規定されます。この SSB 位相ノイズ (dBc/Hz) は、次式で表されます。

$$S_c(f) = 10 \log \frac{P_s}{P_{SSB}} \quad \text{式 4-39}$$

スペクトラム・アナライザの背面パネルにコネクタとして搭載されている 10 MHz、0 dBm のリファレンス発振器は、優れた位相ノイズ性能を備えています。R 分周器、N 分周器、および位相検出器は周波数シンセサイザの一部です。これらの分周器は PC の制御のもとにシリアル入力設定します。周波数と位相ノイズ性能をスペクトラム・アナライザで観察します。

VCO として村田製作所の MQE520-1880、PLL として ADF4112 PLL を使った PLL シンセサイザでの代表的な位相ノイズのプロットを図 4.67 に示します。周波数と位相ノイズは 5 kHz のスパンで測定しました。使用したリファレンス周波数は $f_{REF} = 200 \text{ kHz}$ ($R = 50$)、出力周波数は 1880 MHz ($N = 9400$) です。これが理想世界の PLL シンセサイザであれば、単一の離散トーンがスペクトラム・アナライザのノイズ・フロアから立ち上がって表示されるでしょう。しかし、実際に表示されるのは、ループ部品による位相ノイズを含んだトーンです。ループ・フィルタの値は、ループの帯域幅が約 20 kHz になるように選択されています。

ループ帯域幅より小さい周波数オフセットに対する位相ノイズの平坦な部分は、実際は、「ループを閉じる」のセクションの X2 と Y2 によって記述されるような、 f がループ帯域幅内にある場合の位相ノイズです。これは 1 kHz のオフセットで規定します。測定された値 (1 Hz の帯域幅の位相ノイズ電力) は 85.86 dBc/Hz でした。これは以下のように求めます。

1. キャリア周波数と 1 kHz のオフセット周波数でのサイドバンド・ノイズの間の dBc で表した相対電力。
2. スペクトラム・アナライザはある特定の分解能帯域幅 (RBW) に対する電力を表示します。このプロットでは 10 Hz RBW が使われています。この電力を 1 Hz の帯域幅で表すには、1. で得た値から $10\log(\text{RBW})$ を減算する必要があります。
3. 補正係数 (RBW の実装、ログ表示モード、および検出器の特性を考慮した値) を 2. で得た結果に加算する必要があります。
4. スペクトラム・アナライザとして HP 8561E を使うと、マーカー・ノイズ機能 MKR NOISE を用いて短時間で位相測定を行うことができます。この機能は上の 3 つの要素を考慮に入れて、dBc/Hz で位相ノイズを表示します。

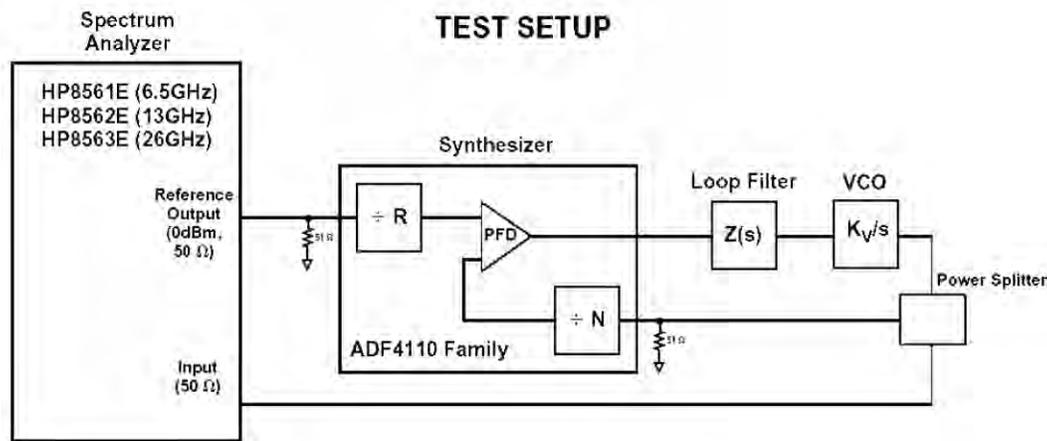


図 4.66: スペクトラム・アナライザによる位相ノイズの測定

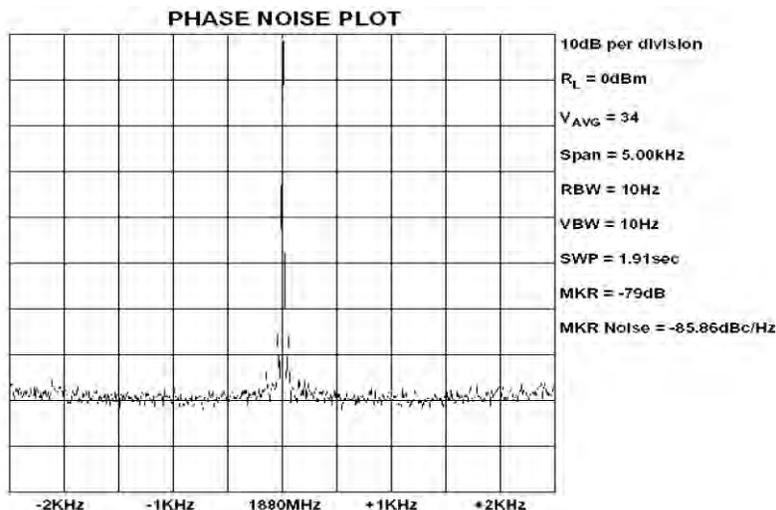


図 4.67: スペクトラム・アナライザの代表的出力

上の位相ノイズの測定結果は VCO 出力の合計出力位相ノイズを示しています。PLL デバイスのノイズへの寄与（位相検出器、R と N の分周器、および位相検出器のゲイン定数によるノイズ）を推定したい場合、結果を N^2 で割る必要があります（つまり、上の結果から $20 * \log N$ を減算します）。これにより、 $[-85.86 - 20 * \log(9400)] = -165.3 \text{ dBc/Hz}$ の位相ノイズ・フロアが得られます。

リファレンス・スプリアス

出力周波数がリファレンス入力の整数倍である整数 N PLL の場合、リファレンス・スプリアスが生じるのは、チャージ・ポンプの出力がリファレンス周波数のレートで連続的に更新されるためです。PLL の基本モデルを再度考えてみましょう。これをもう一度、図 4.68 に示します。

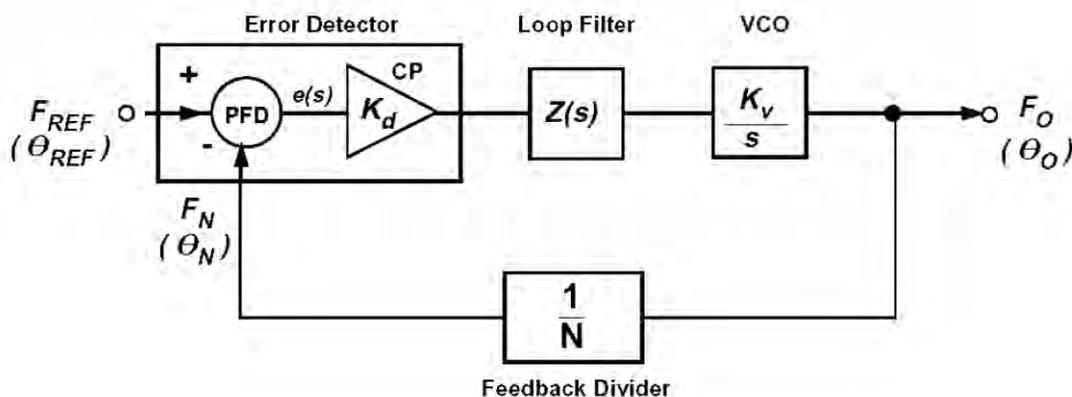


図 4.68: 基本 PLL モデル

PLL がロック状態のとき、PFD への位相入力と周波数入力 (f_{REF} と f_N) は本質的に等しく、理論的には、PFD からの出力はないと予想されます。ただし、これでは問題を生じる可能性があるため、ロック状態では一般にチャージ・ポンプからの電流パルスが図 4.69 に示す状態になるように PFD が設計されています。

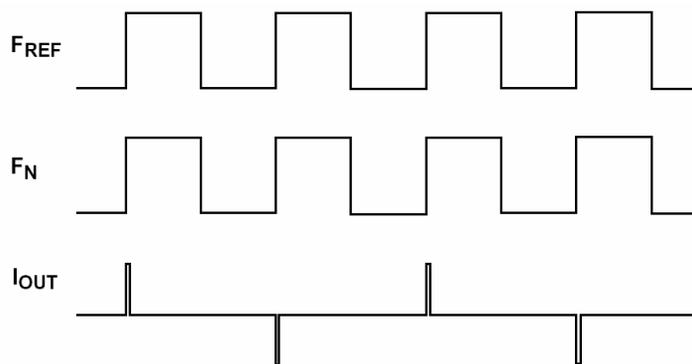


図 4.69: PFD のチャージ・ポンプからの出力電流パルス

これらのパルスの幅は非常に狭いですが、パルスが存在するという事実は、VCO を駆動する DC 電圧が周波数 f_{REF} の信号によって変調されていることを意味します。これにより、 f_{REF} の整数倍のオフセット周波数で、RF 出力にリファレンス・スプリアスが生じます。スペクトラム・アナライザを使用して、リファレンス・スプリアスを検出することができます。スパンは、単純にリファレンス周波数の 2 倍より大きくします。代表的なプロットを図 4.70 に示します。

この場合、リファレンス周波数は 200 kHz で、図には 1880 MHz の RF 出力から ± 200 kHz のところにリファレンス・スプリアスがはっきり現れています。このスプリアスのレベルは -90 dB です。スパンをリファレンス周波数の 4 倍より大きくすると、 $(2 \times f_{REF})$ にもスプリアスが見えるでしょう。

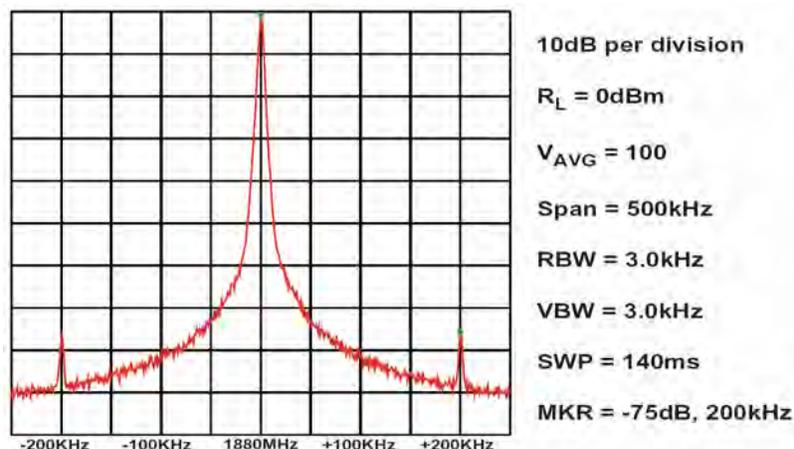


図 4.70: リファレンス・スプリアスを示す出力スペクトラム

チャージ・ポンプの漏れ電流

シンセサイザからの CP 出力が高インピーダンス状態になるよう設定されているとき、理論上は、漏れ電流はないはずですが、実際は、アプリケーションによっては、漏れ電流のレベルがシステム全体の性能に影響を与えます。例として、周波数変調のために PLL がオープンループ・モードで使用されているアプリケーションについて考えてみます。これは FM を実装する簡単で安価な方法であり、また、クローズドループ・モードでの変調より高いデータ・レートを可能にします。FM の場合、クローズドループを用いる方法は問題なく機能しますが、ループ帯域幅によりデータ・レートが制限されます。

オープンループ変調を使うシステムとして、欧州コードレス電話システム (DECT) があります。出力キャリア周波数は 1.77 GHz ~ 1.90 GHz の範囲で、データ・レートは高く、1.152 Mbps です。

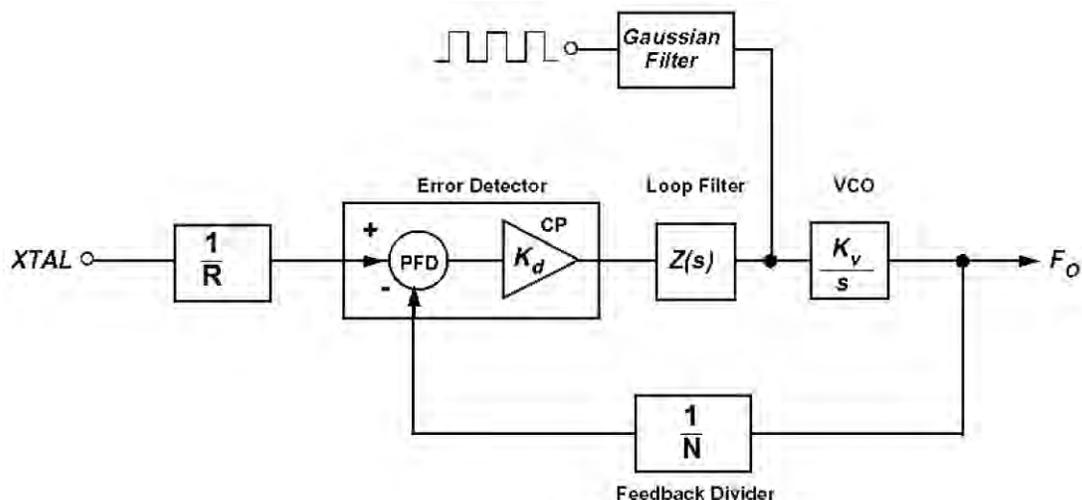


図 4.70: オープンループ変調のブロック図

オープンループ変調のブロック図を図 4.70 に示します。動作原理は以下のとおりです。ループは最初閉じており、RF 出力 ($f_{OUT} = N f_{REF}$) をロックします。変調信号がオンし、最初、変調信号は単に変調の DC 平均です。次に、シンセサイザの CP の出力を高インピーダンス・モードにすることによりループが開き、変調データがガウス・フィルタに与えられます。次に、変調電圧が VCO に現れ、そこで K_V により乗算されます。データ・バーストが終了すると、ループはクローズドループ・モード動作に戻ります。

VCO は通常高い感度を持っているので (代表的な値は $20 \text{ MHz/V} \sim 80 \text{ MHz/V}$ です)、VCO の前のどんなに小さな電圧ドリフトも出力キャリア周波数のドリフトを引き起こします。この電圧ドリフト、さらにシステム周波数のドリフトは、チャージ・ポンプ CP の (高インピーダンス状態のときの) 漏れ電流に直接依存しています。この漏れ電流は、その極性に応じて、ループ・コンデンサを充電または放電します。たとえば、 1 nA の漏れ電流により、ループ・コンデンサ (たとえば 1000 pF) の電圧は $dV/dt = I/C$ (この場合 1 V/s) だけ充電または放電します。これにより、次に VCO がドリフトします。そのため、ループが 1 ms の間開いており、VCO の K_V が 50 MHz/V であれば、 1000 pF のループ・コンデンサへの 1 nA の漏れ電流によって生じる周波数ドリフトは 50 kHz になるでしょう。実際、DECT バーストは一般にもっと短いので (0.5 ms)、この例で使われたループ容量と漏れ電流では実際のドリフトはもっと小さくなります。しかし、この例により、この種のアプリケーションでのチャージ・ポンプの漏れ電流の重要性がわかります。

参考資料

1. R.E. Best, **Phase-Locked Loops**, McGraw-Hill, New York, 1984.
2. F.M. Gardner, **Phaselock Techniques**, 2nd Edition, John Wiley, New York, 1979.
3. **Phase-Locked Loop Design Fundamentals**, Applications Note AN-535, Motorola, Inc.
4. **The ARRL Handbook for Radio Amateurs**, American Radio Relay League, Newington, CT, 1992.
5. Richard J. Kerr and Lindsay A. Weaver, "Pseudorandom Dither for Frequency Synthesis Noise," United States Patent Number 4,901,265, February 13, 1990.
6. Henry T. Nicholas, III and Henry Samuelli, "An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation," **IEEE 41st Annual Frequency Control Symposium Digest of Papers**, 1987, pp. 495-502, IEEE Publication No. CH2427-3/87/0000-495.
7. Henry T. Nicholas, III and Henry Samuelli, "The Optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects," **IEEE 42nd Annual Frequency Control Symposium Digest of Papers**, 1988, pp. 357-363, IEEE Publication No. CH2588-2/88/0000-357.
8. Mike Curtin and Paul O'Brien "Phase-Locked Loops for High-Frequency Receivers and Transmitters--Part 1" **Analog Dialogue** 33-3 (1999)
9. Mike Curtin and Paul O'Brien, "Phase-Locked Loops for High-Frequency Receivers and Transmitters--Part 2" **Analog Dialogue** 33-5 (1999)
10. Mike Curtin and Paul O'Brien "Phase Locked Loops for High-Frequency Receivers and Transmitters--Part 3" **Analog Dialogue** 33-7 (1999)
11. **VCO Designers' Handbook**, Mini-Circuits Corporation, 1996.
12. L.W. Couch, **Digital and Analog Communications Systems**, Macmillan Publishing Company, New York, 1990.
13. P. Vizmuller, **RF Design Guide**, Artech House, 1995.
14. R.L. Best, **Phase Locked Loops: Design, Simulation and Applications**, 3rd edition, McGraw-Hill, 1997.
15. D.E. Fague, "Open Loop Modulation of VCOs for Cordless Telecommunications," **RF Design**, July 1994.
16. D. B. Leeson, "A Simplified Model of Feedback Oscillator Noise Spectrum," **Proceedings of the IEEE**, Volume 42, February 1965, pp. 329-330.