

第 2 章: その他のリニア回路

2.1: バッファ・アンプ	2.1
2.2: ゲイン・ブロック	2.5
2.3: 計装アンプ	2.7
計装アンプの定義	2.7
オペアンプと計装アンプの機能の違い	2.8
減算器あるいは差電圧アンプ	2.8
3 個のオペアンプを使った計装アンプの回路構成	2.12
単電源で動作する高精度の複合型計装アンプ	2.15
2 個のオペアンプを使った計装アンプの回路構成	2.18
計装アンプの DC 誤差の原因	2.22
計装アンプのノイズ源	2.26
計装アンプによるブリッジ・アンプの誤差分布の解析	2.28
計装アンプの過大入力保護	2.29
2.4: 差動アンプ	2.31
2.5: アイソレーション・アンプ	2.33
アナログ・アイソレーションの技術	2.33
3 ポート・アイソレータ AD210	2.34
モーター・コントロール用のアイソレーション・アンプ	2.35
ポスト・フィルタの付加によるノイズの低減	2.36
2 ポート・アイソレータ	2.36
2.6: デジタル・アイソレーションの技術	2.39
高速ロジック・アイソレータ AD260/AD261	2.40
<i>iCoupler</i> ® 技術	2.42
ADuM1100 のアーキテクチャ: シングルチャンネル・デジタル・アイソレータ	2.42
ADuM130X/ADuM140X: マルチチャンネル製品	2.46
2.7: アクティブ・フィードバック・アンプ	2.49
2.8: ログアンプ	2.53
2.9: 高速クランプ・アンプ	2.59
2.10: コンパレータ	2.65
コンパレータとしてのオペアンプの使用	2.65
スピード	2.71
出力に関する考慮	2.71

■ ベーシック・リニア・デザイン

その他のリニア回路

2.10: コンパレータ(cont.)	
入力回路	2.75
2.11: アナログ乗算器	2.77
2.12: RMS/DC コンバータ	2.83
2.13: プログラマブル・ゲイン・アンプ	2.87
2.14: オーディオ・アプリケーション	2.95
アンプ	2.95
VCA (電圧制御アンプ)	2.98
ライン・ドライバとライン・レシーバ	2.101
オーディオ・ライン・レシーバ	2.101
オーディオ・ライン・ドライバ	2.103
クラス D オーディオ・パワー・アンプ	2.105
2.15: オートゼロ・アンプ	2.119
チョツパ・アンプ	2.119
オートゼロ・アンプによるチョツパの改善	2.121
実装	2.123
動作の解説	2.124
参考資料	2.126

第 2 章: その他のリニア回路

2.1: バッファ・アンプ

初期の高速回路では、高速バッファとして単純なエミッタ・フォロワがしばしば使用されました。バッファという用語は一般に、ユニティ・ゲインのオープンループ・アンプを意味するものとして受け入れられていました。マッチングのとれた PNP トランジスタが利用できるようになると、図 2.1A に示すように、単純なエミッタ・フォロワを改善することが可能になりました。この相補型回路は DC オフセット電圧の 1 次キャンセルを可能にし、100 MHz を超える帯域幅を実現できます。マッチングしていないディスクリートのトランジスタを使用しても、トリミングなしのオフセット電圧（代表値）が通常は 50 mV 未満になります。

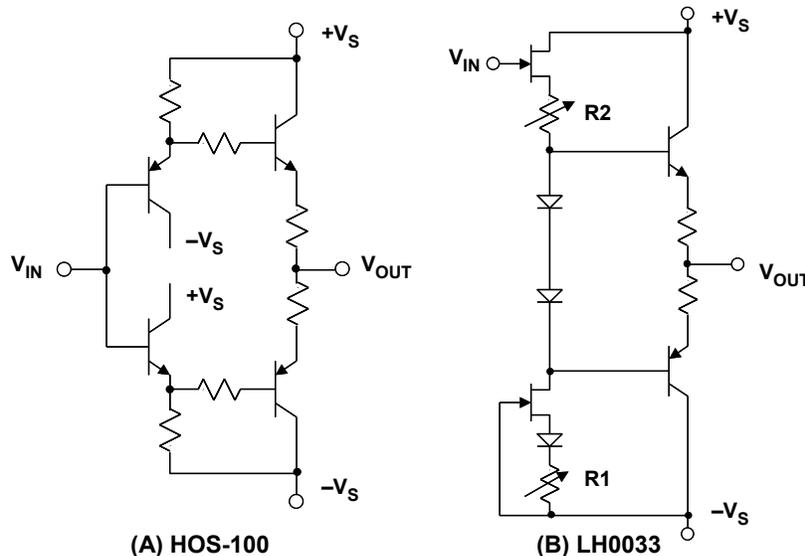


図 2.1: 初期のハイブリッド型オープンループ・バッファ・アンプ:
(A) HOS-100 バイポーラ、(B) LH0033 FET 入力

高い入力インピーダンスが必要な場合は、図 2.1B に示すように、相補型エミッタ・フォロワの前に入力段としてデュアル FET を設置します。この方式のバッファ回路は、ナショナル・セミコンダクタ社の LH0033 やアナログ・デバイゼズの ADLH0033 などに実装されました。

このような回路は、約 100 MHz の帯域幅と、代表値で -60 dBc より良好な優れた高調波歪み特性を達成します。ただし、500 Ω 未満の負荷を駆動する場合は、DC および AC で直線性がなくなります。

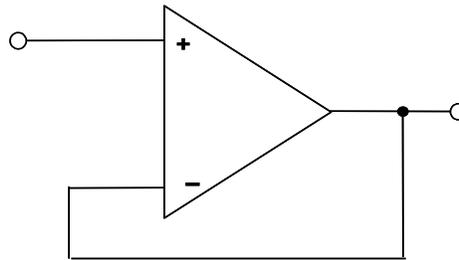


図 2.3: 単純なユニティ・ゲイン・モノリシック・バッファ

1 つの現実的な解決策は、図 2.4 に示すように、所望のクローズドループ・ゲインになるようにオペアンプを補償し、同時にゲイン設定抵抗をチップに内蔵することです。この種のオペアンプは内部でバッファとして構成されており、一般には帰還ピンがないことに注意してください。また、抵抗と補償回路をチップに内蔵することによって寄生容量を低減することもできます。

このようにして最適化されたオペアンプは数多く存在します。Roy Gosser が設計した AD9620 (参考資料 2 参照) は、おそらく最も早くこの方法をモノリシックで実現したアンプです。AD9620 は 1990 年に製品がリリースされ、 $\pm 5\text{ V}$ 電源を使用して 600 MHz の帯域幅を達成しました。これはユニティ・ゲインに最適化され、電圧帰還アーキテクチャを採用しています。同様の技術に基づいた新しいデザインには AD9630 があり、750 MHz の帯域幅を実現しています。

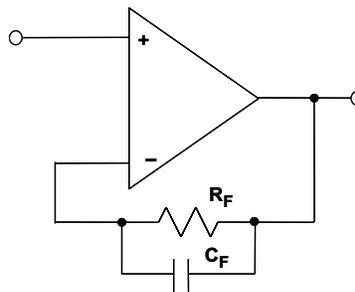


図 2.4: 周波数補償型バッファ

BUF04 ユニティ・ゲイン・バッファ (参考資料 3 参照) は 1994 年にリリースされたデバイスで、120 MHz の帯域幅を達成します。このデバイスは大信号用に最適化され、 $\pm 5\text{ V} \sim \pm 15\text{ V}$ の電源で動作します。BUF04 は広い電源電圧範囲で動作するため、スタンドアロンのユニティ・ゲイン・バッファとして使用できるだけでなく、出力を増大させるために標準的なオペアンプと共に帰還ループ内で使用することもできます。

バッファの一般的な定義はユニティ・ゲイン・デバイスですが、この用語はゲインが 2 の回路に使用されることもあります。ゲインが 2 のクローズドループ・バッファには、図 2.5 に示すように、伝送ライン・ドライバとして幅広い用途があります。

内部で固定ゲインに設定されたアンプは、ソースと負荷の終端による損失を補償します。50 Ω、75 Ω、100 Ω というインピーダンスは、よく使用されるケーブル・インピーダンスです。AD8074/AD8075 は 500 MHz トリプル・バッファで、ゲインがそれぞれ 1 および 2 に最適化されています。AD8079A/AD8079B は 260 MHz デュアル・バッファで、ゲインがそれぞれ 2 および 2.2 に最適化されています。

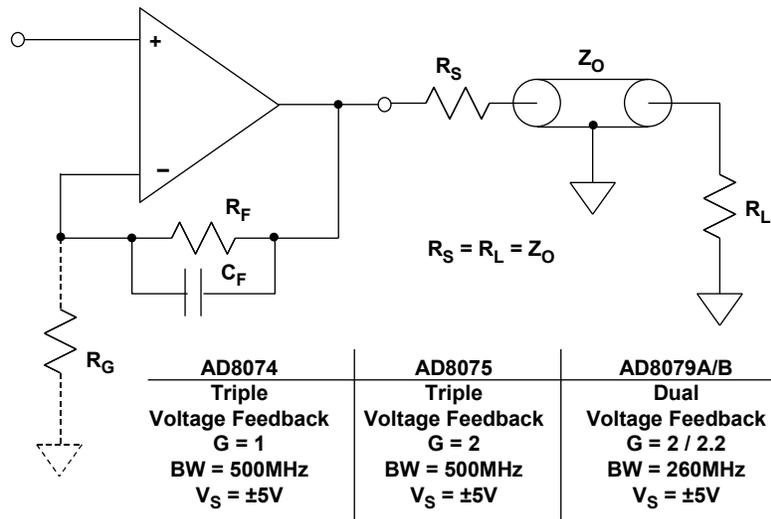


図 2.5: 固定ゲインのビデオ伝送ライン・ドライバ

電圧帰還オペアンプを用いて高速ユニティ・ゲイン・バッファを構成する場合、通常は帰還ループに抵抗が不要なので、回路を大幅に簡略化できます。しかし注意していただきたいのは、これは 100 % 確実というわけではないということです。必ずデバイスのデータシートを確認してください。電流帰還オペアンプを用いたユニティ・ゲイン・バッファは、一般に 500 Ω ~ 1000 Ω の範囲の帰還抵抗が常に必要です。したがって、基本的な部分だけでなく、使用する特定の電源にも適切な値を必ず使用してください。

2.2: ゲイン・ブロック

オペアンプではゲインを外付け抵抗で設定できますが、固定ゲインで動作するように設計されている回路もあります。これらのデバイスは通常は RF 用です。これらはまた、通常、入出力を内部で整合させた $50\ \Omega$ 環境で動作するように設計されています。多くの場合、ゲイン・ブロックは数種類のゲイン設定のものが提供されています。

例えば、AD8354 RF ゲイン・ブロックはシングルエンドの入出力ポートを備えた固定ゲイン・アンプです。これらのポートのインピーダンスは、 $100\ \text{MHz} \sim 2.7\ \text{GHz}$ の周波数範囲で公称 $50\ \Omega$ となっています。そのため、インピーダンス整合回路を必要とせずに直接 $50\ \Omega$ システムに挿入できます。入出力インピーダンスは、温度や電源電圧の変動に対して十分に安定しており、インピーダンス整合補償は不要です。

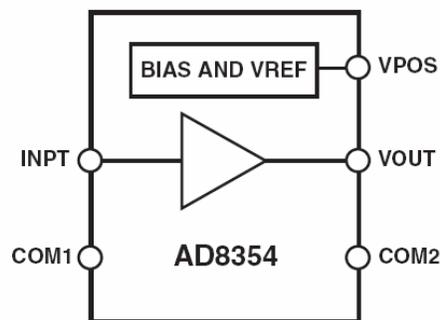


図 2.6: AD8352 20dB RF ゲイン・ブロック

差動入出力ゲイン・ブロックも提供されています。差動入力、シングルエンド出力のデバイス例としては AD8129 があります（図 2.7 参照）。

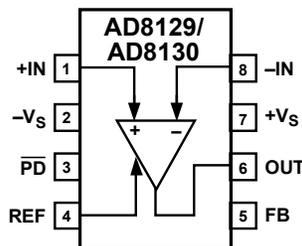


図 2.7: AD8129/AD8130 差動入力、シングルエンド出力ゲイン・ブロック

AD8350 のような完全差動入出力デバイスも提供されています（図 2.8 参照）。

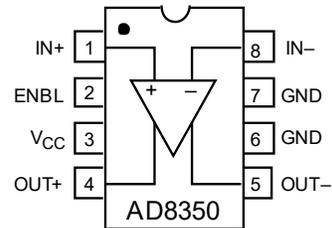


図 2.8: AD8350 差動入力／差動出力ゲイン・ブロック

2.3: 計装アンプ

計装アンプは主に、（標準で）大きなコモンモード電圧が存在する場合に、小さな差動電圧を増幅するのに使用されます。

計装アンプの定義

計装アンプは 高精度 のクローズドループ・ゲイン・ブロックです。これは、図 2.9 に示すように、一対の差動入力端子と、リファレンスまたはコモン端子を基準として動作するシングルエンド出力を備えています。入力インピーダンスは平衡していて、代表値で $\geq 10^9 \Omega$ という高い値になっています。オペアンプとは異なり、計装アンプは内部の帰還抵抗ネットワークと、（通常は）1 個のゲイン設定抵抗 R_G を使用します。オペアンプとさらに異なる点として、内部抵抗ネットワークと R_G は信号入力端子から切り離されています。計装アンプのゲインは、（これも信号入力から切り離された）ピン選択により内部 R_G を介してプリセットすることも可能です。計装アンプの代表的なゲインは 1 ~ 1000 の範囲です。

通常、計装アンプは、REFERENCE または V_{REF} と名付けられるピンを基準として、出力電圧を発生します。多くのアプリケーションでは、このピンは回路のグラウンドに接続されますが、計装アンプの定格範囲内にある限りは、それ以外の電位に接続することもできます。この特長は、通常、中間電源（すなわち、+5 V 電源の場合は +2.5 V）を基準にして出力電圧を発生する単電源アプリケーションにおいて特に有用です。

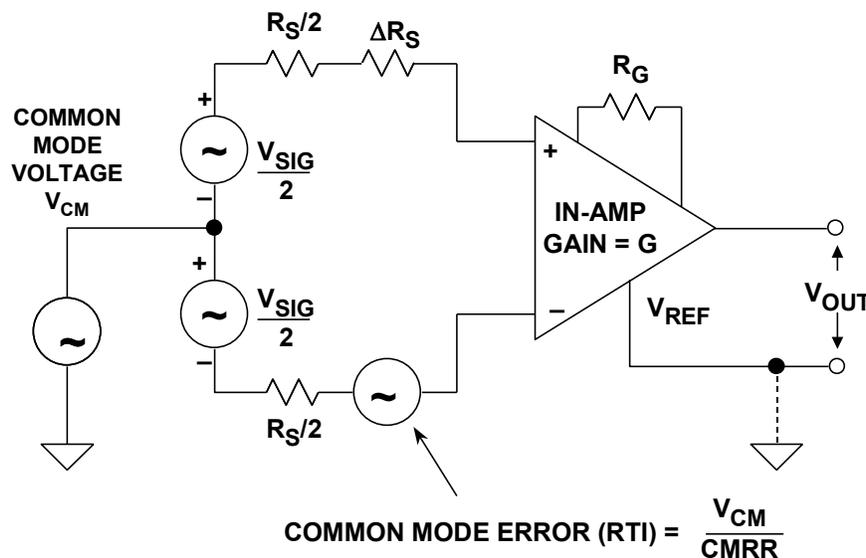


図 2.9: 一般的な計装アンプ

計装アンプが効果的であるためには、マイクロボルト・レベルの信号を増幅できると同時に、入力でのボルト・オーダーのコモンモード (CM) 信号を除去できなければなりません。このため、計装アンプには非常に高い同相ノイズ除去 (CMR) 能力が必要です。計装アンプにおける CMR の代表値は 70 dB ~ 100 dB (DC 時) であり、一般に CMR はゲインが大きいほど改善されます。

ほとんどの実用的なアプリケーションでは、DC 入力での CMR 仕様のみでは十分ではないことに注意してください。工業用アプリケーションでは、外部干渉の最も一般的な原因は、高調波を含めた 50 Hz/60 Hz の AC 電力に関連するノイズです。差動測定では、この種の干渉は計装アンプの両方の入力に均等に発生する傾向があるので、干渉は CM 入力信号として現れます。したがって、周波数全域で CMR を規定することが、DC 値を規定するのと同様に重要です。2 つのソース・インピーダンスが不均衡である場合は、計装アンプによっては CMR が劣化することがあるので注意してください。アナログ・デバイゼスの計装アンプでは、ソース・インピーダンスに 1 k Ω の不均衡があるという条件で、50 Hz/60 Hz における CMR を完全に規定しています。

オペアンプと計装アンプの機能の違い

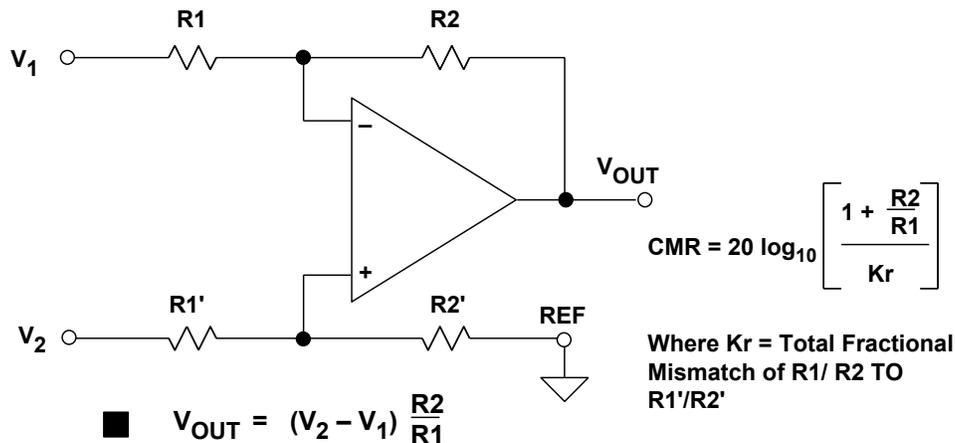
オペアンプは汎用のゲイン・ブロックです。すなわち、R、C、および (場合によっては) L の外付け帰還部品を使用して、様々な方法でユーザが設定可能です。オペアンプを使った最終的な構成や回路の機能は、設計者自身が決めることができます。

これとは対照的に、計装アンプは機能と動作ゲインの許容範囲という点で制約のあるデバイスです。計装アンプは機能面で混同されて「オペアンプ」と呼ばれることがよくあります。しかし、その逆は (皆無ではないにせよ) めったにありません。計装アンプは単なる特殊なオペアンプではないことを理解すべきです。実際、これら 2 種類のデバイスの機能は基本的に異なります。

これら 2 つのデバイスを区別するには、オペアンプは帰還回路の柔軟性によってほとんど何でも実行するように設定できる、ということ覚えておけばよいでしょう。これとは対照的に計装アンプでは、設定によって何かを行わせるということはできません。設定可能なのはゲインのみで、それも特定の範囲に限られます。オペアンプは多数の外付け部品を用いて設定しますが、計装アンプは 1 個の抵抗、またはピンで選択可能なタップによって動作ゲインを設定します。

減算器あるいは差電圧アンプ

図 2.10 に示すように、4 個の抵抗と 1 個のオペアンプを用いて簡単な減算器または差電圧アンプを構成できます。これは真の計装アンプではないことに注意が必要ですが、差動からシングルエンドへの簡単な変換が必要とされるアプリケーションでしばしば使用されます。この回路はよく使用されるので、この回路について詳細に検討してその根本的な限界について理解し、その後真の計装アンプのアーキテクチャについて説明することにします。



- $V_{OUT} = (V_2 - V_1) \frac{R2}{R1}$
- $\frac{R2}{R1} = \frac{R2'}{R1'}$ CRITICAL FOR HIGH CMR
- EXTREMELY SENSITIVE TO SOURCE IMPEDANCE IMBALANCE
- 0.1% TOTAL MISMATCH YIELDS $\approx 66\text{dB}$ CMR FOR $R1 = R2$

図 2.10: オペアンプによる減算器または差電圧アンプ

この単純な回路には、根本的な問題がいくつかあります。第一に、 V_1 と V_2 から見た入力インピーダンスが平衡していません。 V_1 から見た入力インピーダンスは $R1$ ですが、 V_2 から見た入力インピーダンスは $R1' + R2'$ です。ソース・インピーダンスのわずかな不均衡によって有効な CMR が劣化するので、この構成は CMR の面でも大きな問題を含む可能性があります。この問題は、それぞれの入力に十分整合したオープンループ・バッファを直列に挿入することで解決できます（例えば、高精度デュアル・オペアンプを使用）。しかし、これにより回路が複雑になり、オフセット・ドリフトや非直線性が加わる可能性があります。

この回路の 第二の問題は、CMR がオペアンプではなく主に抵抗比のマッチングによって決まることです。同相ノイズを除去するためには、抵抗比 $R1/R2$ および $R1'/R2'$ は、少なくとも標準的なオペアンプの CMRR である ≥ 100 dB と同程度に、厳密にマッチングする必要があります。抵抗の絶対値はそれほど重要でないことにも注意してください。

1 ロットの抵抗から 4 個の 1 % 抵抗を選ぶことで正味の抵抗比のマッチングとして 0.1 % が得られるかもしれませんが、これは 66 dB の CMR に相当します ($R1 = R2$ と仮定)。ただし、1 個の抵抗が他の抵抗と 1 % 異なるだけでも、CMR はわずか 46 dB にまで低下します。この回路で、通常のディスクリット抵抗を使用した場合は（手作業で合わせない限り）非常に限られた性能しか得られないことは明らかです。なぜなら、一般に入手可能な最良の標準 RNC/RNR 型の抵抗でも、その許容誤差は 0.1 % 程度だからです（参考資料 1 参照）。

一般的に、このタイプの回路の CMR の最悪値は次式で与えられます（参考資料 2 および 3 参照）。

$$CMR(\text{dB}) = 20 \log \left[\frac{1 + R2/R1}{4Kr} \right], \quad \text{式 2-1}$$

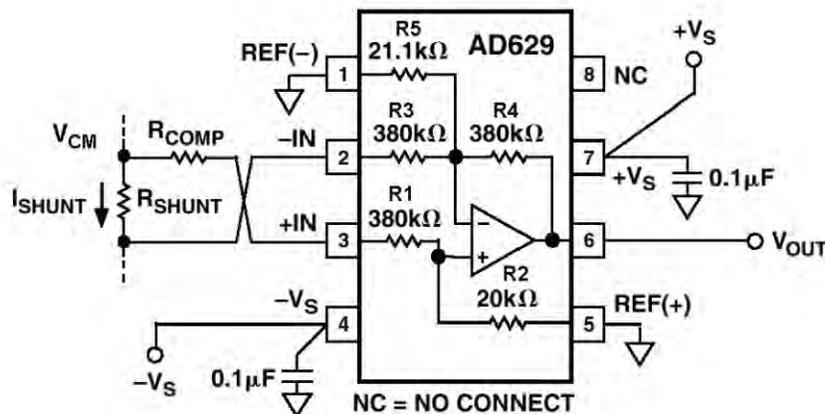
ここで、 K_r は、4 個のディスクリート抵抗を使用した場合の個々の抵抗許容誤差を小数で表したものです。この式から、4 個の同一公称値の 1 % 抵抗を無選別で使用することで許容誤差が累積した場合、CMR の最悪値 が 34 dB よりは良好にならないことがわかります。

おそらくこの回路には正味のマッチング許容誤差が K_r である単一の抵抗ネットワークが使用されますが、この場合は図中に示す式、すなわち以下の式になります。

$$\text{CMR(dB)} = 20 \log \left[\frac{1 + R2/R1}{K_r} \right] \quad \text{式 2-2}$$

したがって、抵抗比の正味のマッチング許容誤差が 0.1 % の場合は、式 2-2 を使用し、 $R1 = R2$ と仮定すると、直流 での CMR の最悪値は 66 dB となります。いずれの場合も、CMR がきわめて高いアンプ（すなわち、>100 dB）を前提としていることに注意してください。このような回路において高い CMR を得るためには、絶対値と温度係数が極めてよくマッチングしている同一サブストレート上の 4 個の抵抗が必要なのは明らかです。厚膜／薄膜技術を使用したこのようなネットワーク抵抗は、抵抗比マッチングが 0.01 % やそれ以上に良いものが Caddock 社や Vishay 社などから入手可能です。

単純な差電圧アンプを実装する場合は、高精度オペアンプと個別の抵抗ネットワークを組み合わせた構成では高コストになったり、PCB 占有面積に制限を受けたりするので、完全なモノリシック型を検討したほうが一般には得策であると言えます。



$$V_{CM} = \pm 270V \text{ for } V_S = \pm 15V$$

図 2.11: 高い共通モード電圧を扱える AD629 差電圧アンプを使った電流検出回路

単純な構成の差電圧アンプの派生品として興味深いものに、高共通モード入力電圧に対して最適化された、AD629 差電圧アンプがあります。代表的な電流検出アプリケーション回路を図 2.11 に示します。AD629 は、差動からシングルエンドへ変換するユニティ・ゲインのアンプです。これは、±15 V の電源電圧で 270 V の共通モード電圧を扱うことができ、小信号帯域幅は ±500 kHz です。

大きなコモンモード電圧範囲は、R1-R2 の分圧器ネットワークを使用し、非反転入力（ピン 3）を 20 分の 1 に減衰させることによって得られます。反転入力では、 $R5 \parallel R3$ が抵抗 R2 と等しくなるように抵抗 R5 を選択しています。回路のノイズ・ゲインは $20 [1 + R4 / (R3 \parallel R5)]$ に等しいので、差動入力電圧でユニティ・ゲインが得られます。R1 から R5 の薄膜抵抗をレーザによってウェハ・トリミングすることで、AD629B では 500 Hz で最小でも 86 dB の CMR が得られます。アプリケーションでは、両入力ソース・インピーダンスを平衡させることが望ましいので、ダミー抵抗 R_{COMP} がシャント検出抵抗 R_{SHUNT} の値に等しくなるように選択します。

3 個のオペアンプを使った計装アンプの回路構成

最高の精度と性能を得るため、高精度および高い直線性が要求されるブリッジや他のオフセット・トランスデューサ・アプリケーションには、3 オペアンプ型計装アンプの回路構成が最適です（図 2.12）。

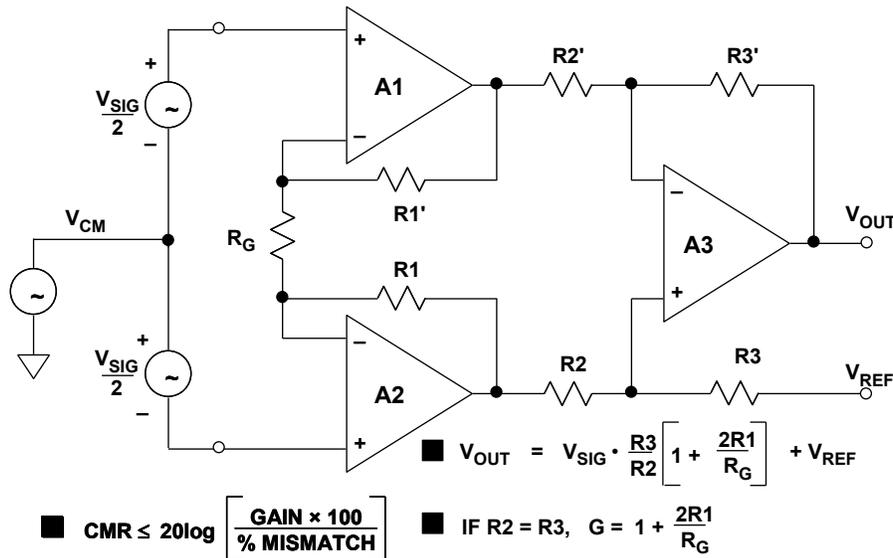


図 2.12: 3 オペアンプ型計装アンプ

抵抗 R_G により、このアンプ全体のゲインが設定されます。計装アンプによっては、これが内蔵抵抗であったり、外付け抵抗であったり、あるいは（ソフトウェアやピンの接続による）プログラマブルな抵抗であったりします。この構成では、CMR は $R3/R2$ と $R3'/R2'$ の抵抗比のマッチングに依存します。また、設定ゲインに関係なく、共通モード信号は 1 倍にしか増幅されません。オペアンプの入力端子間に有意な電位差がないため、 R_G 両端に共通モード電圧が発生せず、したがって、この抵抗に共通モード電流が流れないからです。

A1-A2 において差動ゲインと CM ゲインの比が大きいため、この計装アンプの CMR は理論的にはゲインに比例して増加します。（A1-A2 のオペアンプの動作範囲内にある）大きな共通モード信号を、すべてのゲインで処理できます。さらに、この回路構成の対称性により、入力アンプにおける共通モード誤差は、減算器の出力段に到達しても、そこで相殺される傾向があります。これらの特長により、この 3 オペアンプ型計装アンプの回路構成が、最高の性能を実現するものとして広く使われています。

この古典的な 3 オペアンプの回路構成は、多くのモノリシック IC 化された計装アンプで使用されてきました（参考資料 8 および 9 参照）。3 個の内部オペアンプの優れたマッチングに加えて、レーザ・トリミングされた薄膜抵抗により、ディスクリートの高精度オペアンプと抵抗ネットワークを使用した場合よりもはるかに低いコストで、優れた抵抗比のマッチングとゲイン精度が得られます。

AD620 (参考資料 10 を参照) は、モノリシック IC 化された計装アンプ技術の優れた例です。簡略化したデバイスの回路図を図 2.13 に示します。

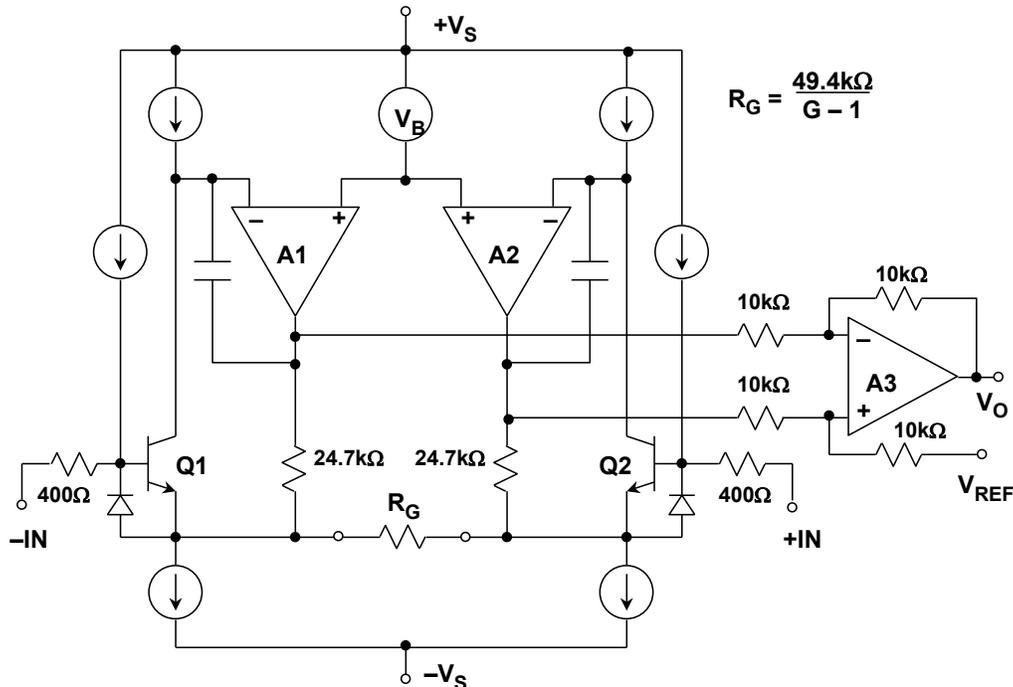


図 2.13: AD620 計装アンプの簡略化した回路図

AD620 は非常によく使用される計装アンプであり、 $\pm 2.3 \text{ V} \sim \pm 18 \text{ V}$ の電源電圧で仕様が規定されています。1 kHz での入力電圧ノイズは、わずか $9 \text{ nV}/\sqrt{\text{Hz}}$ です。Q1 と Q2 にスーパーベータ・トランジスタを採用することにより、最大入力バイアス電流はわずか 1 nA です。

過電圧保護はある程度、内部の 400Ω 薄膜電流制限抵抗を、Q1 と Q2 のエミッタ・ベース間に接続されたダイオードとを組み合わせることによって提供されています。式 2-3 に示すように、ゲイン G は 1 個の外付け抵抗 R_G で設定されます。

$$G = (49.4 \text{ k}\Omega / R_G) + 1 \quad \text{式 2-3}$$

この式と図 2-13 からわかるように、標準の 1% または 0.1% 抵抗を使用して、ゲインをよく使用する値に設定できるように、AD620 の内部抵抗はトリミングされています。3 オペアンプ型計装アンプの単電源動作については、内部ノード電圧を理解する必要があります。図 2.14 は、 $+5 \text{ V}$ 単電源で動作する計装アンプの概略図を示しています。個々のオペアンプの許容可能な最大出力電圧と最小出力電圧は、それぞれ V_{OH} (最大出力電圧) と V_{OL} (最小出力電圧) で示されています。

コモンモード電圧から A1 および A2 の出力へのゲインは 1 であることに注意してください。これらの出力でのコモンモード電圧と信号電圧の合計はアンプの出力電圧範囲内になければならない、ということが言えます。

この回路構成では、ゼロ・ボルトまたは +5 V の共通モード入力電圧は扱えないのは明らかです。なぜなら、A1 と A2 が飽和するからです。出力リファレンスは、両極性の差動入力信号を扱えるように、 V_{OH} と V_{OL} の中間に設定されます。

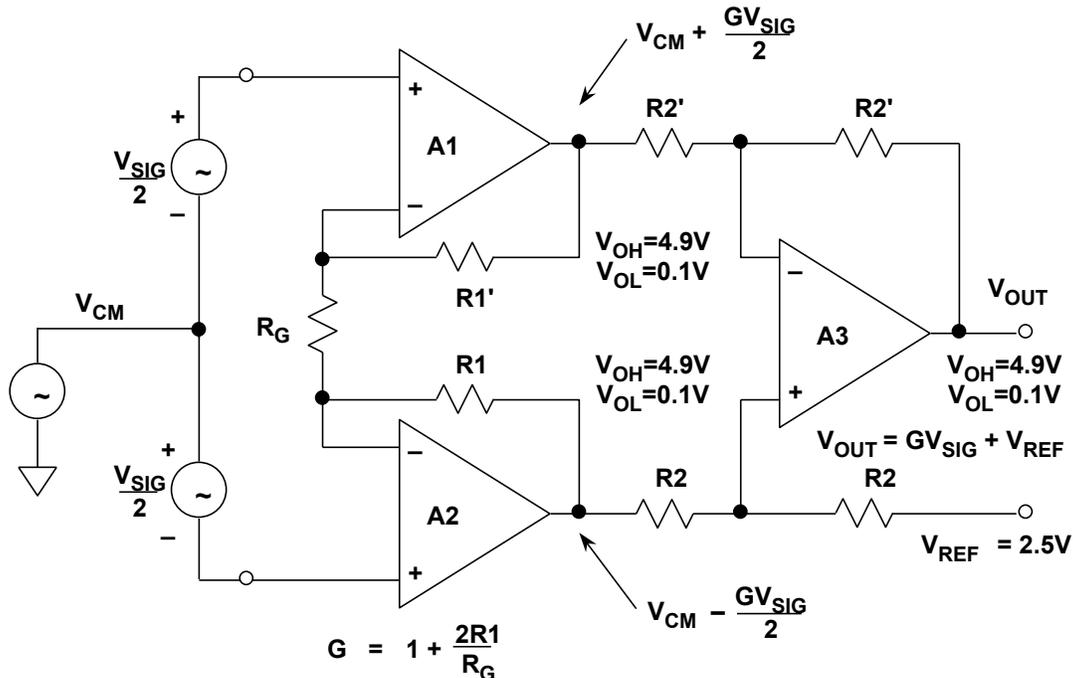


図 2.14: +5 V 単電源動作の 3 オペアンプ型計装アンプでの制約

優れた単電源の計装アンプは AD627 など多数ありますが、最高性能のデバイスはいまでも従来の 両電源動作のもの、すなわち今述べた AD620 などになります。アプリケーションによっては、両電源で動作するように設計された AD620 などのデバイスでも、単電源システムにおいて十分な精度で使用できます。

単電源で動作する高精度の複合型計装アンプ

高精度と単電源動作の両方を実現する 1 つの方法は、多くの一般的なセンサー（例えばストレイン・ゲージなど）の出力信号がその性質上、電源電圧（またはリファレンス電圧）のほぼ中点を中心とする動作を利用することです。この基本動作を利用することで、信号を調整する計装アンプの入力を「中間電位」にバイアスすることができます。この方法により、入力をグラウンドまたは正電源電圧の近辺で動作させる必要がなくなるため、計装アンプを高精度で使用できるようになります。

このような条件では、電源の中間電位を基準とした両電源計装アンプ AD620 の後に、レール to レール・オペアンプによる出力ゲイン段を配置することによって、きわめて高い DC 精度が得られます。図 2.15 は、+5 V の単電源で動作する、このような高性能計装アンプの一例を示します。

この回路は、入力段に低コストの高精度計装アンプである AD620 を使用すると共に、A1 と A2 で構成される出力段に JFET 入力、デュアル・レール to レール出力オペアンプ AD822 を使用しています。出力段は 3 の固定ゲインで動作し、 R_G によって総ゲインが設定されます。

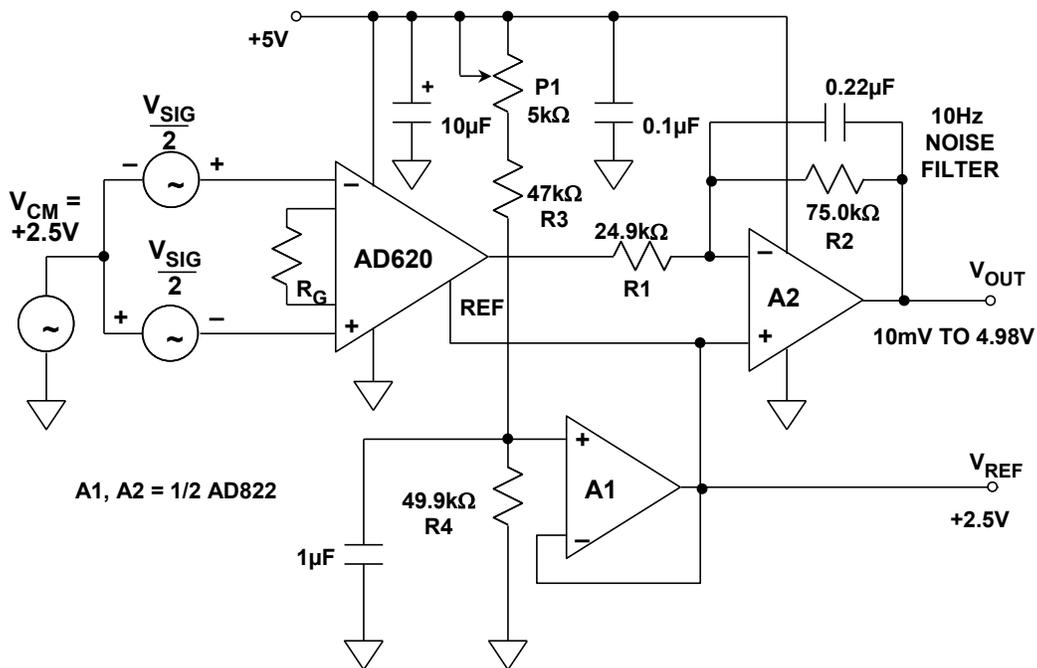


図 2.15: レール to レール出力をもつ単電源動作の高精度複合型 計装アンプ

この回路の R_3 と R_4 は、電源電圧を半分の 公称+2.5 V にする電圧分圧器を構成します。微調整はトリミング・ポテンショメータ P1 で行います。この電圧は A1 (AD822 電圧フォロワ) の入力に与えられ、A1 でバッファされ、AD620 のリファレンス・ピンを駆動するとともに、出力のリファレンス電圧 V_{REF} を供給するのに必要な低インピーダンスの電圧源を提供します。この機能により、両極性の V_{OUT} を (GND ではなく) この +2.5 V のリファレンスを基準にして測定できることに注意してください。これは、回路全体が単一 (ユニポーラ) 電源で動作していても同じです。

AD822 の残り半分は、ゲインが 3 の反転アンプとして接続されており、±2.5 V を「レール to レール」で出力する場合でも、AD620 の出力はわずか±0.83 V ですみます。AD620 のこの出力電圧レベルは AD620 の十分な能力範囲内なので、フロントエンドとして高い直線性を確保できます。

この複合型計装アンプの一般的なゲイン式は、次式に示すように、AD620 段のゲインに反転アンプのゲインを乗じたものになります。

$$\text{GAIN} = \left(\frac{49.4\text{k}\Omega}{R_G} + 1 \right) \left(\frac{R_2}{R_1} \right) \quad \text{式 2-4}$$

この例では、 $R_G = 21.5\text{ k}\Omega$ (最も近い標準値) を使うことで、総ゲインは 10 となります。図 2.16 に示す表には、各種の R_G によるゲイン値、および 10 ~ 1000 のゲイン範囲で得られる性能をまとめてあります。

このアプリケーションでは、直線性を維持するには、AD620 のいずれの入力も、許容入力電圧は +2 V ~ +3.5 V でなければなりません。例えば、回路の総ゲインが 10 の場合は、コモンモード入力電圧範囲は 2.25 V ~ 3.25 V となり、 V_{REF} に対して±2.5 V 出力を駆動するのに必要な、±0.25V のフルスケール差動入力電圧をとることができます。

CIRCUIT GAIN	R_G (Ω)	$V_{OS, RTI}$ (μV)	TC $V_{OS, RTI}$ ($\mu\text{V}/^\circ\text{C}$)	NONLINEARITY (ppm) *	BANDWIDTH (kHz)**
10	21.5k	1000	1000	< 50	600
30	5.49k	430	430	< 50	600
100	1.53k	215	215	< 50	300
300	499	150	150	< 50	120
1000	149	150	150	< 50	30

* Nonlinearity Measured Over Output Range: $0.1\text{V} < V_{OUT} < 4.90\text{V}$

** Without 10Hz Noise Filter

図 2.16: +5 V 単電源動作の AD620/AD822 複合型計装アンプの性能概要

A2 段バッファの帰還合流ノードに電流を加えることによってシステムの出カオフセット電圧を調整するために、出力バッファには反転構成を選択しました。これらのオフセット電流は外付けの DAC から供給するか、またはリファレンス電圧に接続した抵抗から供給できます。

不要なノイズ混入による影響を低減するために、A2 の帰還抵抗の両端にフィルタ・コンデンサを接続して、回路の帯域幅を必要な周波数帯域に制限することを推奨します。このコンデンサは、R2 と共に一次ローパス・フィルタを形成します。図ではコーナー周波数は 10 Hz と表示されていますが、これは容易に変更できます。このコンデンサは、ポリプロピレンのような高品質のフィルム型でなければなりません。

2 個のオペアンプを使った計装アンプの回路構成

図 2.17 に示す回路は、2 オペアンプ型計装アンプと呼ばれています。これは特に単電源システムで使用されます。良好なマッチングを得るため、多くの場合、OP297 や OP284 などのデュアル・オペアンプ IC が使用されます。レール to レールのオペアンプが指定されることがほとんどです。抵抗には、レーザ・トリミングされた薄膜アレイを使用する機会が多く、おそらくは同一チップ上に配置されます。計装アンプのゲインは、外付け抵抗 R_G で簡単に設定できます。 R_G がなければ、ゲインは単に $1 + R_2/R_1$ となります。実際のアプリケーションでは、 R_2/R_1 の比は計装アンプに必要な最小ゲインになるように選択します。

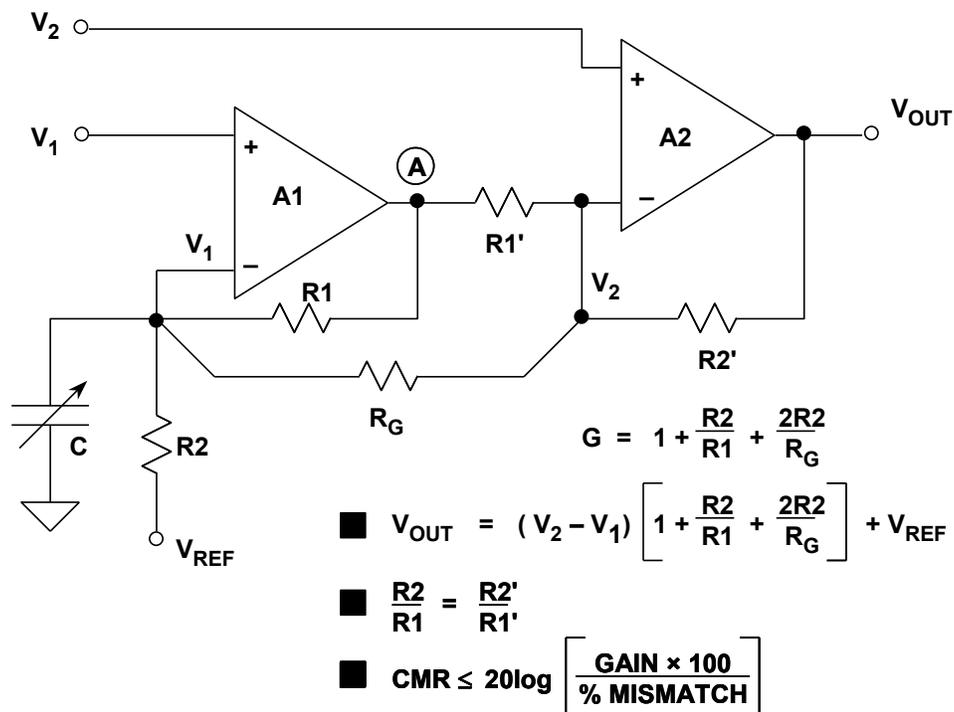


図 2.17: 2 オペアンプ型計装アンプ

2 オペアンプ型計装アンプの入力インピーダンスは本質的に高いので、信号源のインピーダンスを高く、かつ不均衡にすることが可能です。DC の同相ノイズ除去 (CMR) は、 R_1/R_2 と R_1'/R_2' のマッチングによって制限されます。4 個の抵抗のいずれかでミスマッチがある場合は、DC の CMR は次式のように制限されます。

$$CMR \leq 20 \log \left[\frac{GAIN \times 100}{\% MISMATCH} \right] \quad \text{式 2-5}$$

この回路の最終的な CMR は計装アンプの動作ゲインに比例して増加することに注意してください。これは、高ゲインで高性能を得る有効な手段です。

IC 化された計装アンプは、特にゲイン設定抵抗比のマッチングと温度トラッキングのニーズを両方とも満たすのに最適です。

シリコン上に作成される薄膜抵抗の初期許容誤差は最大 $\pm 20\%$ ですが、製造時のレーザ・トリミングにより、抵抗間の（絶対値ではなく）比の誤差は 0.01% （ 100 ppm ）まで低減できます。また、薄膜抵抗の温度係数間のトラッキングはもともと小さく、代表値で $3\text{ ppm}/^\circ\text{C}$ （ $0.0003\%/^\circ\text{C}$ ）未満です。

両電源を使用する場合、 V_{REF} は通常、グラウンドに直接接続されます。単電源アプリケーションでは、 V_{REF} は通常、電源電圧の半分に等しい低インピーダンス電圧源に接続されます。 V_{REF} からノード A までのゲインは $R1/R2$ であり、ノード A から出力までのゲインは $R2/R1'$ です。抵抗比のマッチングが完全であると想定すれば、 V_{REF} から出力までのゲインは 1 になります。 V_{REF} から見たソース・インピーダンスは低いことが重要です。そうでなければ、CMR が劣化することになります。

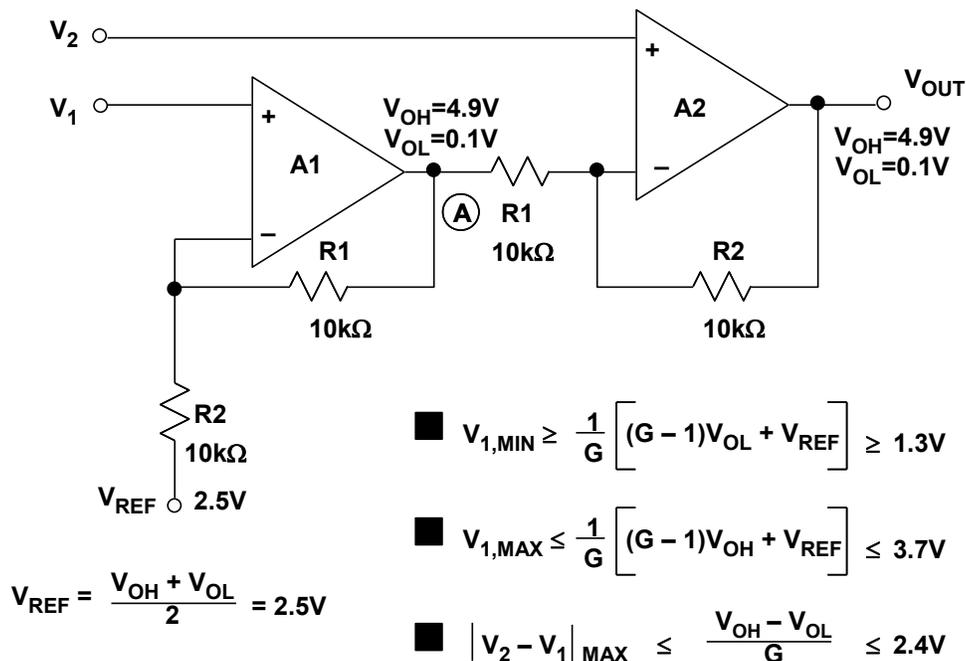


図 2.18: 単電源動作の 2 オペアンプ型計装アンプでの制約
($V_s = +5\text{ V}$ 、 $G = 2$ の場合)

2 オペアンプ型計装アンプの大きな欠点の 1 つは、入力のコモンモード電圧範囲がゲインに対してトレードオフの関係にならざるを得ないことです。アンプ A1 は、 V_1 における信号を $(1 + R1/R2)$ 倍に増幅する必要があります。 $R1 \gg R2$ （図 2.18 のような低ゲインの例）の場合は、 V_1 のコモンモード信号が大きすぎると A1 は飽和し、所望の差動信号を増幅するだけの余裕がなくなってしまいます。高ゲイン（ $R1 \ll R2$ ）の場合は、A ノードに相応の余裕があるため、大きなコモンモード入力電圧を許容できます。

V_1 から V_{OUT} までの信号経路に A1 による位相シフトが追加されるため、この構成の AC の同相ノイズ除去（CMR）は一般には良くありません。また、2 個のアンプは異なるクロズドループ・ゲインで（したがって、異なる帯域幅で）動作しています。図 2.17 に示すように、小さなトリム・コンデンサ C を使用すれば、AC の CMR を多少改善できます。

R_G を使用しない場合は、図 2.18 に示したような、ゲインの低い ($G=2$) 単電源動作の 2 オペアンプ型計装アンプの構成になります。コモンモードおよび差動の入力信号は、A1 や A2 を飽和させない電圧範囲に制限しなければなりません。この例では、オペアンプは電源レールから 0.1 V 以内で線形を維持し、その上下の出力限界値がそれぞれ、 V_{OH} および V_{OL} であると指定されています。これらの飽和電圧の限界値は、単電源のレール to レール出力オペアンプ (AD822 など) では一般的な値です。

図 2.18 の式を用いると、A1 が飽和しないようにするには、 V_1 の電圧が 1.3 V ~ 2.4 V の間にしなければなりません。 V_{REF} が V_{OH} と V_{OL} の平均値 (2.5 V) に接続されていることに注意してください。これにより、+2.5 V を基準とした V_{OUT} に対して + 両極性の差動入力信号が可能になります。

ゲインの高い ($G = 100$) 単電源動作の 2 オペアンプ型計装アンプの回路構成を図 2.19 に示します。同じ式を使用した場合、 V_1 の電圧は 今度は 0.124 V ~ 4.876 V の間で振れることが可能な点に注意してください。この場合も V_{REF} は 2.5 V であり、両極性の入出力信号が可能です。

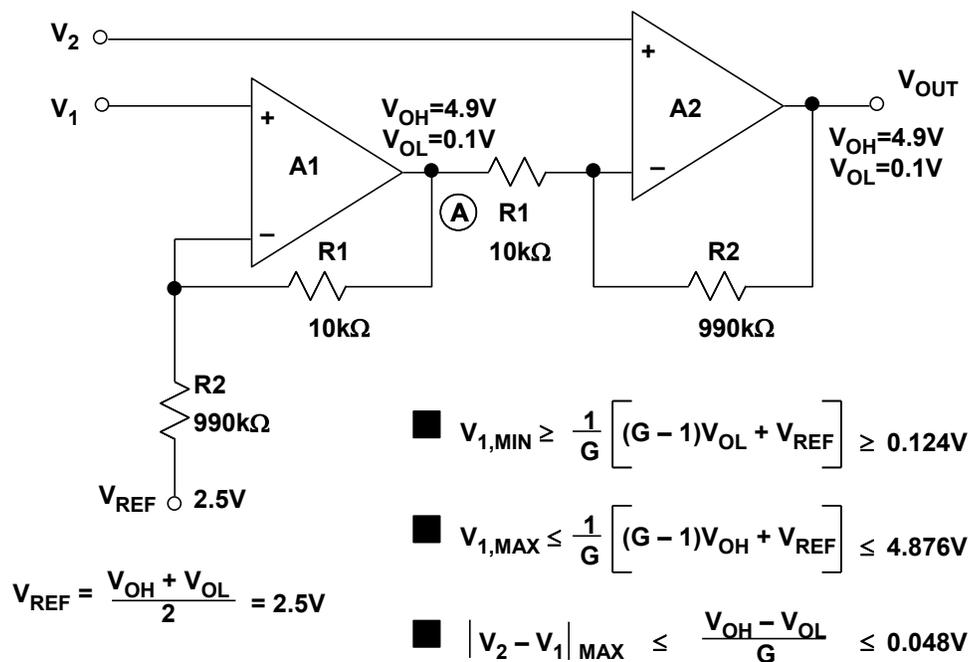


図 2.19: 単電源動作の 2 オペアンプ型計装アンプでの制約
($V_s = +5V$ 、 $G = 100$ の場合)

ここまでの説明により、従来の 2 オペアンプ型計装アンプ・アーキテクチャには、単電源で動作する場合に基本的な制約があることがわかります。これらはある意味では、設定したゲインに対して許容できるコモンモード入力範囲の制約として見る事ができます。あるいは逆に、設定したコモンモード入力電圧に対して許容できるゲイン範囲の制約と見なすこともできます。

要約すると、ゲインとは関わりなく、一般的な 2 オペアンプ型計装アンプの基本構造では、単電源で動作する場合、コモンモード入力電圧がゼロであってはならない、ということになります。単電源動作に対するこれらの制約を解消する唯一の手段は、計装アンプのアーキテクチャを変更することです。

計装アンプの DC 誤差の原因

計装アンプの DC およびノイズ仕様は従来のオペアンプとは若干異なるので、誤差の原因を十分に理解することが必要です。

計装アンプのゲインは通常は 1 個の抵抗で設定されます。抵抗が計装アンプの外部にある場合は、その値は必要なゲインに応じて式から計算するか、あるいはデータシートにある表から選択します。

レーザ・ウェハ・トリミングで絶対値を調整してあるので、この抵抗 1 個のみでゲインを正確に設定できます。この抵抗の絶対精度と温度係数は、計装アンプのゲイン精度とドリフトに直接影響を与えます。外付け抵抗の温度係数が内部薄膜抵抗のものと厳密に一致することはありませんので、低い温度係数 (<25 ppm/°C) の、できれば 0.1 % かそれ以上の精度の金属皮膜抵抗を選択すべきです。

仕様で 1 ~ 1000、あるいは 1 ~ 10,000 のゲイン範囲が規定されている多くの計装アンプはしばしばこれ以上のゲインでも動作しますが、メーカーではこのような高ゲインで特定レベルの性能を保証することはありません。実際には、ゲイン設定抵抗が小さくなるにつれて、金属配線やボンド・ワイヤの抵抗による誤差が大きくなります。これらの誤差は、ノイズやドリフトの増加と相まって、単一段で高いゲインを得ることが非現実的になるかもしれません。また、入力オフセット電圧は、高ゲインで出力に反映されると、かなり大きなものになることがあります。例えば、ゲインが 10,000 のときには、0.5 mV の入力オフセット電圧が出力で 5V になります。高ゲインを得る最善の策は、計装アンプをプリアンプとして使用し、その後さらにポスト・アンプを使用して増幅することです。

AD621 のようにゲインをピンで設定可能な計装アンプでは、ゲイン設定抵抗が内蔵されていて、良くマッチングがとれているので、デバイスのゲイン精度とゲイン・ドリフトの仕様にその効果が反映されています。それ以外の点では、AD621 は外部でゲインを設定する AD620 と全般的に類似しています。

ゲイン誤差とは、ゲインの式からの最大偏差をいいます。AD624C などのモノリシック計装アンプは工場出荷時にトリミングされており、ゲイン誤差は非常に低くなっています。この高品質計装アンプでは、最大誤差の代表値がゲイン=1 で 0.02 % 、ゲイン = 500 で 0.25 % となっています。ゲインが大きくなるほどゲイン誤差が増加することに注意してください。ゲイン・ネットワークを外付けすればゲインを正確に設定できますが、外付け抵抗の温度係数、およびネットワーク内の個々の抵抗間の温度差はすべて、全体のゲイン誤差に影響します。データが最終的にデジタル化され、デジタル・プロセッサに送られる場合は、既知のリファレンス電圧を測定して定数を乗ずることにより、ゲイン誤差を補正することが可能です。

非直線性は、入力対出力のプロット上の直線からの最大偏差として定義されます。この直線は、実際の伝達関数の終点間を結んで描かれています。高品質計装アンプにおけるゲインの非直線性は通常は 0.01 % (100 ppm) 以下であり、推奨されるゲイン範囲では比較的影響を受けません。

計装アンプの総入力オフセット電圧は 2 つの成分から構成されます (図 2.20 参照)。入力オフセット電圧 V_{OSI} は、ゲイン (G) 倍されて計装アンプの出力に反映される入力オフセット成分です。出力オフセット電圧 V_{OSO} は、ゲインとは無関係です。

低いゲインでは出力オフセット電圧が支配的になり、高いゲインでは入力オフセットが支配的になります。出力オフセット電圧ドリフトは通常、 $G = 1$ でのドリフトとして規定され (入力の影響は軽微)、入力オフセット電圧ドリフトは高いゲインでのドリフトとして示されます (出力オフセットの影響は無視できる程度です)。

合計した出力オフセット誤差の入力換算値 (RTI) は、 $V_{OSI} + V_{OSO}/G$ に等しくなります。計装アンプのデータシートには、 V_{OSI} と V_{OSO} が別々に規定されているかもしれませんが、あるいは各種のゲイン値に対して合計した RTI 入力オフセット電圧が記載されているかもしれません。

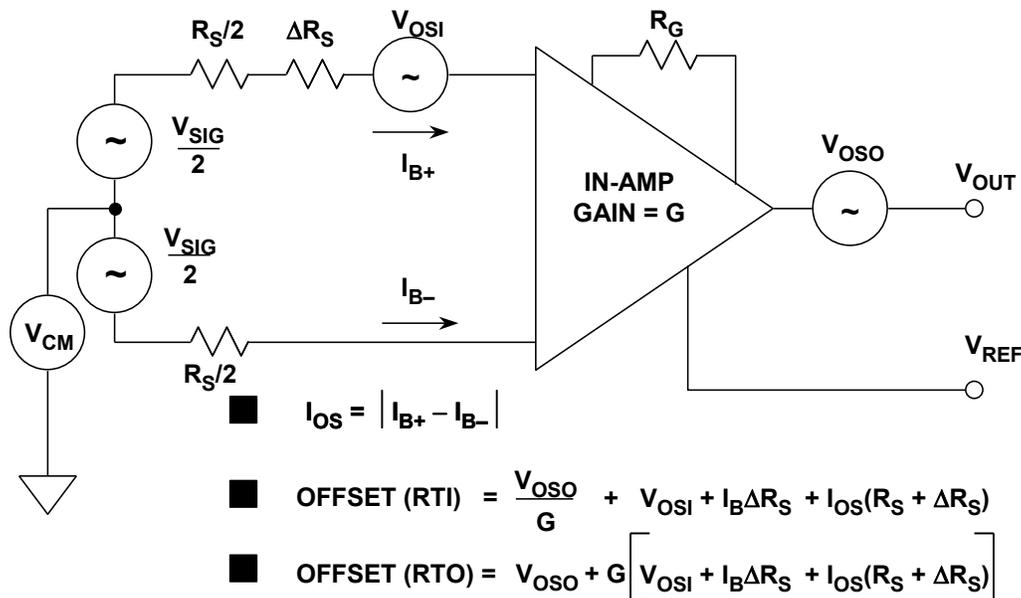


図 2.20: 計装アンプのオフセット電圧のモデル

計装アンプ回路において入力バイアス電流もオフセット誤差を生じさせることがあります (図 2.20)。ソース抵抗 R_S が ΔR_S だけ不均衡になった場合には、バイアス電流によって $I_B \Delta R_S$ に等しい追加の入力オフセット電圧誤差が生じます ($I_{B+} \approx I_{B-} = I_B$ と仮定)。この誤差は、ゲイン (G) 倍されて、出力に反映されます。

入力オフセット電流 I_{OS} は、ソース抵抗 $R_S + \Delta R_S$ の両端に、 $I_{OS} (R_S + \Delta R_S)$ に等しい入力オフセット電圧誤差を発生させ、これもまた、ゲイン (G) 倍されて出力に反映されます。

計装アンプのコモンモード誤差は、ゲインと周波数の関数となります。アナログ・デバイセズでは、計装アンプの CMR を、ソース・インピーダンスの不均衡が $1 \text{ k}\Omega$ である状態について、 60 Hz の周波数で規定しています。

入力換算のコモンモード誤差は、コモンモード電圧 V_{CM} を同相ノイズ除去比 CMRR で割ることで得られます。

図 2.21 は、ソース・インピーダンスの不均衡が $1\text{ k}\Omega$ の場合の、AD620 計装アンプの CMR を周波数の関数で示しています。

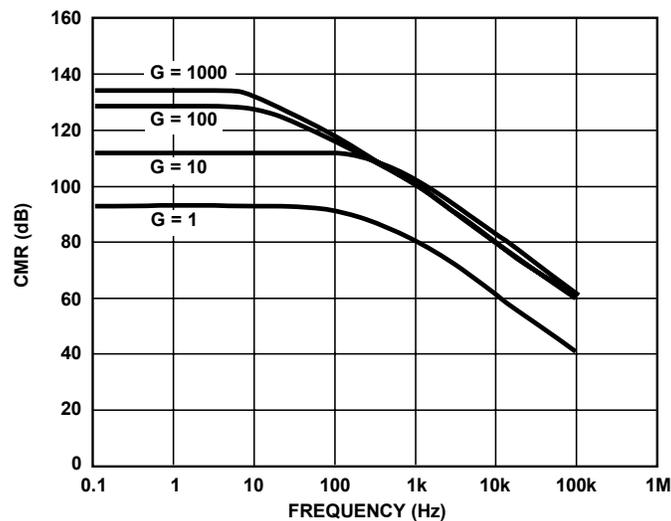


図 2.21: AD620 計装アンプの同相ノイズ除去 (CMR) の周波数特性 $1\text{ k}\Omega$ の場合)

電源電圧変動除去 (PSR) もゲインと周波数の関数です。計装アンプの場合は、図 2.22 に示す AD620 の例のように、それぞれの電源からの影響を受けやすさを規定するのが慣習になっています。入力換算した電源電圧変動除去は、電源電圧の公称値からの変動を、電源電圧変動除去比 (PSRR) で割ることで得られます。

高周波数では PSR が劣化するため、計装アンプの両方の電源ピンにデカップリング・コンデンサが必要になります。高周波数では、低インダクタンスのセラミック・コンデンサ ($0.01\ \mu\text{F} \sim 0.1\ \mu\text{F}$) が適しています。低周波数でのデカップリングのために、PC 基板の何箇所かに低 ESR の電解コンデンサを配置する必要もあります。

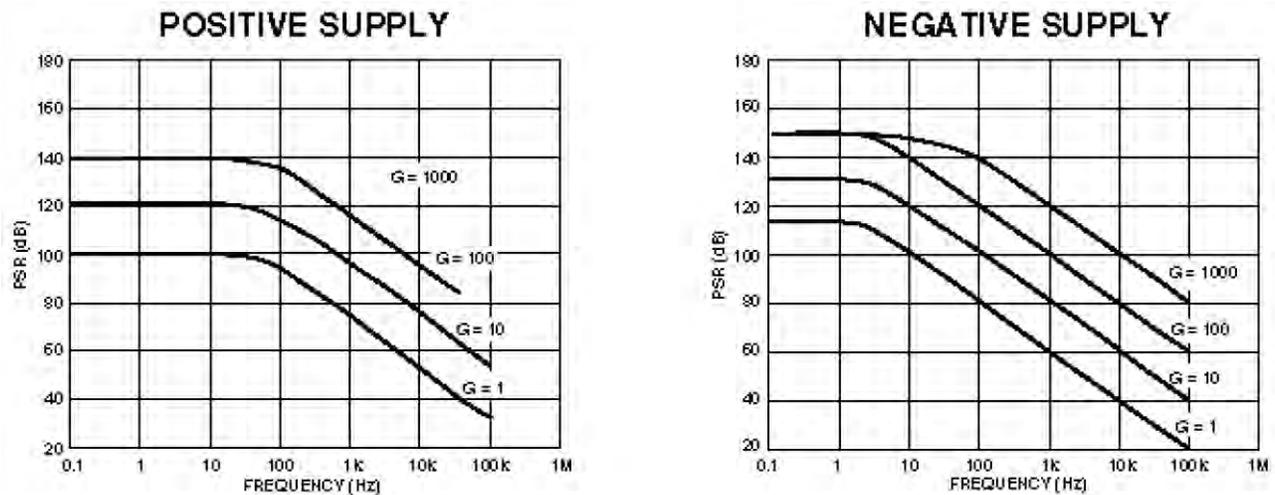


図 2.22: AD620 計装アンプの電源電圧変動除去 (PSR) の周波数特性

これらのデカップリング要件は、オペアンプやデータ・コンバータを含むすべてのリニア・デバイスに適用されることに注意してください。電源デカップリングについての詳細は 7 章を参照してください。

これですべての DC 誤差の発生原因について説明しましたが、図 2.23 の表に示すように、すべての誤差要因を計装アンプの入りに反映させることで、DC 誤差の最悪値を見積もることができます。

ERROR SOURCE	RTI VALUE
Gain Accuracy (ppm)	Gain Accuracy × FS Input
Gain Nonlinearity (ppm)	Gain Nonlinearity × FS Input
Input Offset Voltage, V_{OSI}	V_{OSI}
Output Offset Voltage, V_{OSO}	$V_{OSO} \div G$
Input Bias Current, I_B , Flowing in ΔR_S	$I_B \Delta R_S$
Input Offset Current, I_{OS} , Flowing in R_S	$I_{OS}(R_S + \Delta R_S)$
Common Mode Input Voltage, V_{CM}	$V_{CM} \div CMRR$
Power Supply Variation, ΔV_S	$\Delta V_S \div PSRR$

図 2.23: 入力換算した計装アンプの DC 誤差

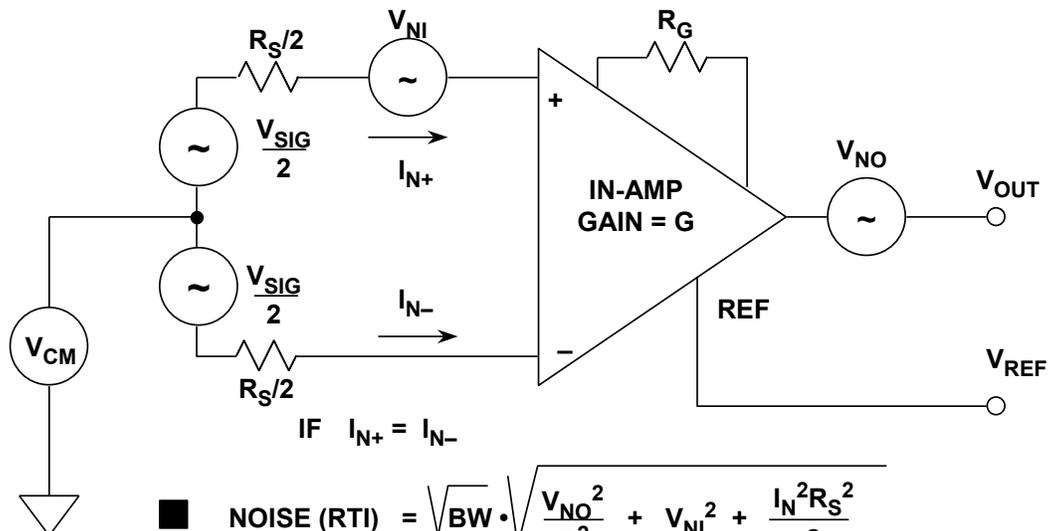
DC 誤差を出力換算 (RTO) の誤差に変換するには、単に入力換算の DC 誤差に計装アンプのゲインを乗るだけでよいということに注目してください。

計装アンプのノイズ源

計装アンプは主に小さい高精度の信号を増幅するのに使用されるので、関連するすべてのノイズ源の影響を理解することが重要です。計装アンプのノイズ・モデルを図 2-24 に示します。

入力電圧のノイズ源は 2 つあります。1 つは、従来のオペアンプ回路のように、入力と直列に入るノイズ源 V_{NI} として表されます。このノイズは、計装アンプのゲイン (G) 倍されて出力に反映されます。2 つ目のノイズ源は出力ノイズ V_{NO} であり、計装アンプの出力に直列に入るノイズ電圧として表わされます。この図で V_{OUT} と示している出力ノイズは、ゲイン G で割ることによって入力換算が可能です。

また、入力ノイズ電流 I_{N+} および I_{N-} に関連する 2 つのノイズ源があります。 I_{N+} と I_{N-} は通常等しい値ですが ($I_{N+} \approx I_{N-} = I_N$)、**相関関係がない**ので、それぞれが生成するノイズを二乗和平方根 (RSS) をとって合計しなければなりません。 I_{N+} は R_S の半分を流れ、 I_{N-} は残りの半分を流れます。これによって 2 つのノイズ電圧が発生し、それぞれの振幅は $I_N R_S / 2$ になります。これら 2 つのノイズ源は、それぞれ計装アンプのゲインで G 倍されて出力に反映されます。



- $NOISE (RTI) = \sqrt{BW} \cdot \sqrt{\frac{V_{NO}^2}{G^2} + V_{NI}^2 + \frac{I_N^2 R_S^2}{2}}$
- $NOISE (RTO) = \sqrt{BW} \cdot \sqrt{V_{NO}^2 + G^2 \left[V_{NI}^2 + \frac{I_N^2 R_S^2}{2} \right]}$
- $BW = 1.57 \times \text{IN-AMP Bandwidth @ Gain} = G$

図 2.24: 計装アンプのノイズ・モデル

4 つのすべてのノイズ源を次式のように RSS で合計することにより、総出力ノイズが計算されます。

$$\text{NOISE (RTO)} = \sqrt{\text{BW}} \sqrt{V_{\text{NO}}^2 + G^2 \left(V_{\text{NI}}^2 + \frac{I_{\text{N}+}^2 R_{\text{S}}^2}{4} + \frac{I_{\text{N}-}^2 R_{\text{S}}^2}{4} \right)}$$

式 2-6

ここで、 $I_{\text{N}+} = I_{\text{N}-} = I_{\text{N}}$ とすると、

$$\text{NOISE (RTO)} = \sqrt{\text{BW}} \sqrt{V_{\text{NO}}^2 + G^2 \left(V_{\text{NI}}^2 + \frac{I_{\text{N}}^2 R_{\text{S}}^2}{2} \right)}$$

式 2-7

入力換算 (RTI) の総ノイズは、上式を計装アンプのゲイン G で割るだけで得られます。

$$\text{NOISE (RTI)} = \sqrt{\text{BW}} \sqrt{\frac{V_{\text{NO}}^2}{G^2} + \left(V_{\text{NI}}^2 + \frac{I_{\text{N}}^2 R_{\text{S}}^2}{2} \right)}$$

式 2-8

計装アンプのデータシートでは、入力換算の総電圧ノイズは、しばしばゲインの関数として表されています。このノイズ・スペクトル密度には、入力ノイズ (V_{NI}) と出力ノイズ (V_{NO}) の両方からの寄与が含まれます。入力電流のノイズ・スペクトル密度は、別途規定されています。

オペアンプの場合と同様に、計装アンプの入力換算した総ノイズは、計装アンプに適用されるクローズドループ帯域幅にわたって積分して実効値を計算しなければなりません。帯域幅は、データシートにある周波数応答をゲインの関数として示している曲線から決定できます。

この帯域幅に関してノイズ計算をする際には、電圧帰還型オペアンプの場合のように、一定の帯域幅との掛け算にならないことが多いので、いくらか注意を払わなければなりません。例えば、AD620 計装アンプ・ファミリーの場合、ゲイン帯域幅の特性は電流帰還型オペアンプのものと似ています。このような場合には、あるゲインに対する帯域幅を推定する最も安全な方法はデータシートに記載されている特性カーブを使用することです。

計装アンプによるブリッジ・アンプの誤差分布の解析

代表的なアプリケーションにおける計装アンプの誤差要因を理解することは重要です。図 2.25 は、10 V 電源を印加した場合にフルスケールで 100 mV を出力する 350 Ω のロードセルを示しています。AD620 は、外付けの 499 Ω のゲイン設定抵抗によって、100 のゲインになっています。図中の表は、それぞれの誤差要因による、2145 ppm の未調整の総誤差への寄与を示しています。ただし、ゲイン、オフセット、CMR 誤差はすべて、システムの校正で取り除けることに注意してください。残りの誤差要因、つまりゲインの非直線性および 0.1 Hz ~ 10 Hz でのノイズは校正で取り除くことは不可能なため、最終的にはシステムの分解能は 42.8 ppm (およそ 14 ビット精度) に制限されます。

もちろんこれは説明のための単なる一例にすぎませんが、ゲイン非直線性や低周波ノイズといった、性能を制限する誤差要因に注意を払うことの重要性を知るうえで役立ちます。

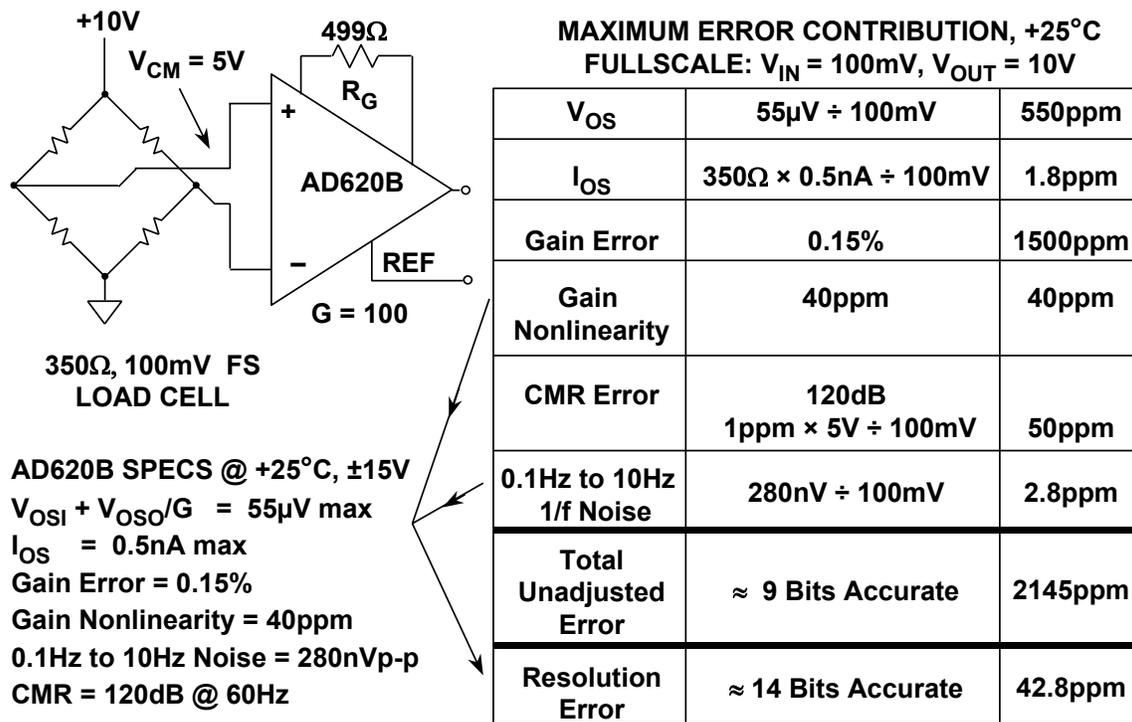
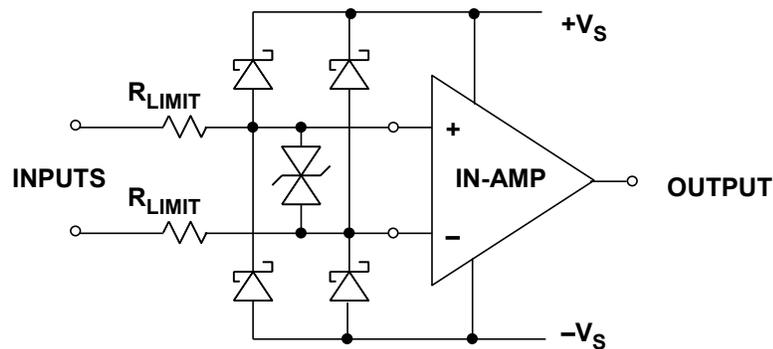


図 2.25: AD620B ブリッジ・アンプの DC 誤差の配分

計装アンプの過大入力保護

データ・アキュイジション・システムのインターフェースとして使われることの多い計装アンプには、しばしば過大入力がかかります。つまり、設定ゲインのフルスケールを超えたレベルの入力電圧がかかるわけです。したがって、デバイスの「絶対最大定格」入力を十分に吟味する必要があります。オペアンプと同様に、多くの計装アンプの絶対最大入力電圧の仕様は、正負の電源電圧 $\pm V_S$ に等しくなっています。

場合によっては、過大入力を防止するために、必要に応じて外付けの（電流制限用の）直列抵抗やダイオード・クランプを使うことができます（図 2.26 参照）。計装アンプの中には、直列抵抗による過大入力保護回路を内蔵しているものもあります。例えば、AD620 シリーズは薄膜抵抗を内蔵しており、抵抗サブストレートの絶縁が許容できる電源電圧以上の入力に対処できます。このほかの AMP02 や AD524 といったデバイスでは、保護用 FET の直列保護を使っています。これは、通常動作では低インピーダンスを示しますが、過大電圧による異常状態では高インピーダンスを示します。しかしどの場合でも、印加できる過大電圧には限度があります（図 2.26 参照）。



- ◆ Always Observe Absolute Maximum Data Sheet Specs!
- ◆ Schottky Diode Clamps to the Supply Rails Will Limit Input to Approximately $\pm V_S \pm 0.3V$, TVSs Limit Differential Voltage
- ◆ External Resistors (or Internal Thin-Film Resistors) Can Limit Input Current, but will Increase Noise
- ◆ Some In-Amps Have Series-Protection Input FETs for Lower Noise and Higher Input Over-Voltages (up to $\pm 60V$, Depending on Device)

図 2.26: 計装アンプの入力過大電圧についての考慮

場合によっては、最大差動入力電圧を制限するために、入力ピン間にトランジェント電圧サプレッサ(TVS)を追加することが必要になるかもしれません。これは、 R_G を小さくして高いゲインで動作する 3 オペアンプ型の計装アンプで特に適しています。

入力過大電圧と EMI/RFI 防止についての詳しい説明は、本書の第 11 章を参照してください。

注記

2.4: 差動アンプ

今日では多くの高性能 ADC は差動入力型で設計されています。完全差動型 ADC の設計には、優れた同相ノイズ除去、2 次歪み積の低減、DC トリム・アルゴリズムの簡略化などの利点があります。これはシングルエンドで駆動することができますが、通常は完全差動ドライバによって全体の性能が最適化されます。

差動入力型 ADC を駆動する最も一般的な方法の 1 つはトランスを使用することです。ただし、周波数応答を DC まで拡張する必要があるために、ADC をトランスでは駆動できないようなアプリケーションが数多く存在します。そうした場合は差動ドライバが必要になります。

ADC 駆動に最適化された完全差動アンプである AD813X ファミリーのブロック図を図 2.27 に示します (参考資料 3 ~ 5 参照)。図 2.27A は内部回路の詳細を、図 2.27B は等価回路を示しています。ゲインは外部の R_F および R_G の抵抗によって設定し、コモンモード (CM) 電圧は V_{OCM} ピンの電圧によって設定します。次式に示すように、内部の CM 帰還により V_{OUT+} と V_{OUT-} の出力はバランスします。すなわち、2 つの出力における信号の振幅は常に等しくなりますが、位相が 180° ずれます。

$$V_{OCM} = (V_{OUT+} + V_{OUT-}) / 2 \quad \text{式 2-9}$$

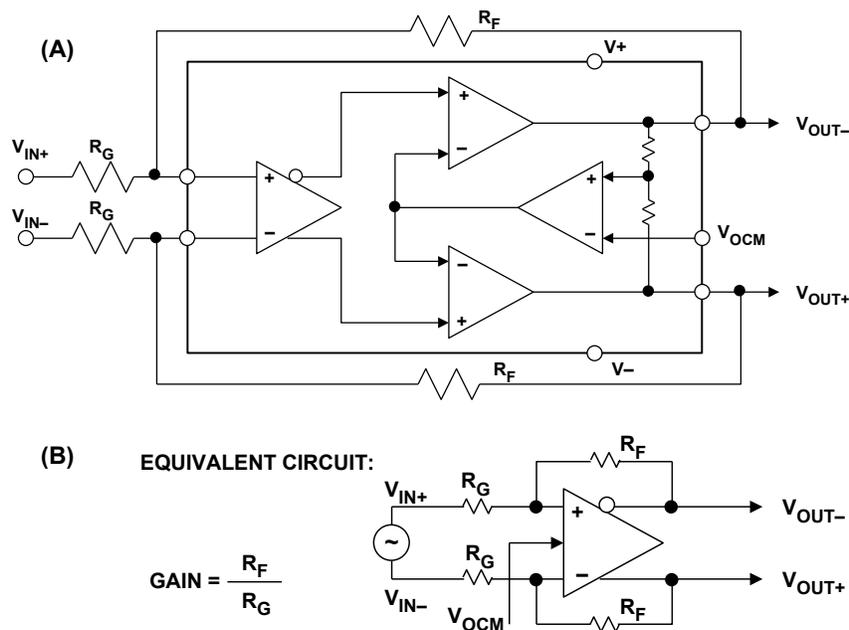


図 2.27: 差動型 ADC ドライバ AD813x の機能図と等価回路

この回路は差動入力またはシングルエンド入力のいずれでも使用可能で、電圧ゲインは R_G に対する R_F の比に等しくなります。

電流出力型 DAC でバッファ付きの差動電圧出力が必要な場合は、図 2.28 に示すような差動アンプの AD813x シリーズを使用できます。

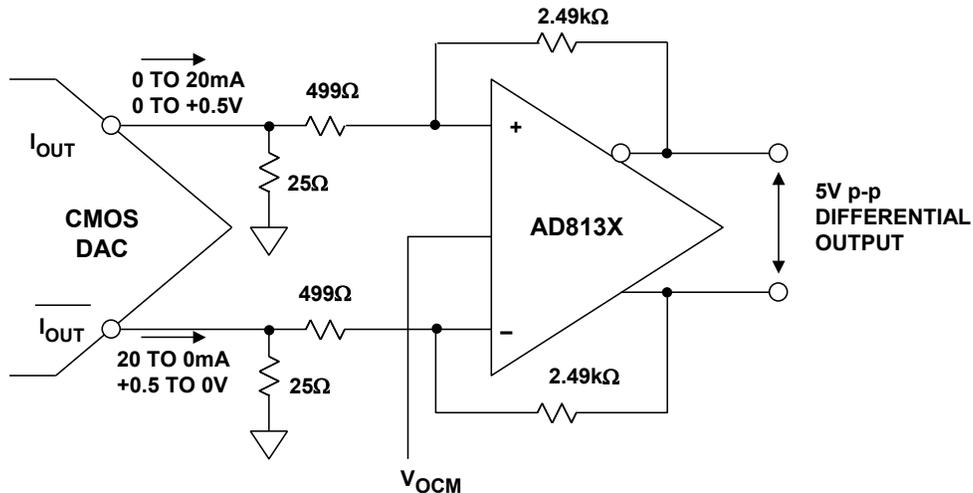


図 2.28: AD813x 差動アンプを使用した高速 DAC のバッファリング

DAC の出力電流は最初に 25Ω の抵抗の両端に発生する電圧に変換されます。この電圧は AD813x で 5 倍に増幅されます。この技術は直接的な I/V 変換の代わりに使用され、DAC の高速なスルーイング電流がアンプを過負荷にしたり歪みを生じさせることを防ぎます。ここでは、DAC の出力電圧が定格内に収まるように注意が必要です。

最終的な出力の CM 電圧を AD813x の定格内に収めるのに、AD813x の V_{OCM} 入力を使用することができます。出力で伝送ラインを駆動する場合は、 75Ω の抵抗ペアを追加します。

なお、これらのアンプはシングルエンド入力でも使用できます。入力の一方を接地すると、シングルエンドから差動へのコンバータになります。

2.5: アイソレーション・アンプ

アナログ・アイソレーションの技術

センサーとその信号を受け取るシステムとの間で電氣的に直結せず、絶縁することが望ましいことがあり、あるいは必須であるようなアプリケーションは数多く存在します。これが必要な理由は、危険なレベルの電圧や電流により片方のシステムが他方に損傷を与える危険性を減らし、やっかいなグラウンド・ループを切るためです。このように対策がとられたシステムはアイソレート (isolate; 絶縁) されていると呼ばれ、ガルバニック (galvanic; 直流的な) 接続なしで信号を伝える仕組みはアイソレーション・バリア (絶縁障壁) として知られています。

絶縁障壁による保護は両方向に有効で、片方向で必要とされることもあれば、両方向で必要とされることもあります。適合するアプリケーションとしては、センサーに高電圧がかかるような事故が予想され、例えば、交流誘導モーターの電流を監視する場合や、それを駆動するシステムを保護しなければならないような場合です。あるいは、使用環境を保護するために、事故の場合でも高電圧からセンサーを絶縁しておく必要があるかもしれません。例としては、センサーでのスパークによる爆発性ガスの引火を防止したり、心電図 (ECG)、脳波 (EEG)、あるいは筋電図 (EMG) を監視している患者を感電から保護することなどがあります。保護を両方向で必要とされるような ECG の場合は興味深いものです。患者は事故による感電から保護されなければなりません、その一方で、患者の心臓が停止した場合の再鼓動に使用される心臓除細動除去器 (いわゆる心臓電気ショック装置) から患者に印加される非常に高い電圧 (7.5kV 以上) から ECG 装置を保護しなければなりません。

妨害 (不要な) 信号は、電界、磁界、あるいは電磁輻射によって結合されるわけですが、絶縁されたシステムの設計では、これらの現象を利用して必要な信号を送ることが出来ます。

最も一般的なアイソレーション・アンプではトランスに発生する磁場を利用しますし、やはり別の一般的なタイプとして、小容量の高電圧コンデンサに発生する電界を利用するものもあります。LED とフォトセルで構成される光アイソレータは、光、すなわち電磁界輻射の形で絶縁します。アイソレータによって性能に差があります。例えば、あるものは絶縁障壁を通して高精度なアナログ信号を通過させるのに十分な線形性をもっています。また、精度を維持するために、信号をいったんデジタル形式に変換してから伝送しなければならないものもあります (一般的な V/F コンバータの応用例)。

トランスは、12 ~ 16 ビットのアナログ精度と数百 kHz の帯域幅を扱うことが可能ですが、その最大電圧定格がまず 10 kV を超えることはなく、ほとんどはずっと低い定格です。容量結合タイプのアイソレーション・アンプの精度は低く、おそらく最大でも 12 ビット程度であり、帯域幅も電圧定格も低いのですが安価です。光アイソレータは高速かつ安価であり、また非常に高い電圧定格 (一般的な定格のものでも 4 kV ~ 7 kV) のものが製造可能です。しかし、アナログ領域の直線性が悪いので、高精度なアナログ信号を直接結合する用途には通常は適していません。

絶縁システムを選択するうえで、直線性と絶縁耐圧だけが考慮すべき問題とは限りません。もちろん、動作電源も重要です。入力回路と出力回路の両方に電力を供給しなければならず、また、絶縁障壁の向こう側に電池を置かない限り (この方法は可能であっても、一般的に不便)、なんらかの手段で絶縁された電源を供給する必要があります。

トランスを使うシステムでは、絶縁された電源を供給するのにトランス（信号トランスでも他のトランスでも）を使うことはできますが、容量性または光学的手段によって必要な量の電力を伝送することは現実的ではありません。これらの絶縁手段を使用するシステムで絶縁された電源を得るには、他の手段を使用しなければなりません。このことは、トランスを使うアイソレーション・アンプを選択する強力な動機になります。つまり、それらのほとんどが絶縁された電源を含んでいるからです。

アイソレーション・アンプの入力回路は、電源および出力回路から電氣的に（ガルバニックに）絶縁されます。また、デバイスの入力とそれ以外の部分との間の静電容量はできるだけ小さくしてあります。したがって、DC 電流が流れる可能性はなく、AC 結合も最小になっています。アイソレーション・アンプが意図するアプリケーションは、高い同相ノイズ除去を備えていて、（数千ボルトにおよぶような）高いコモンモード電圧がある場合に、（約 100 kHz までの）低周波の電圧や電流を安全かつ精密に測定する必要がある場合です。また、ノイズの多い環境で高インピーダンス伝送される信号のライン・レシーバや、DC やライン周波数のリークを法定限度以下に維持しなければならない汎用測定での安全確保にも有用です。アイソレーション・アンプの主要なアプリケーションは、医療機器や発電所および原子力発電所、ATE（自動テスト装置）、産業用プロセス制御システム、などに関連した電氣的環境におけるものになります。

3 ポート・アイソレータ AD210

アイソレータの基本的な形態は、（入力、電源、出力のすべてが絶縁された）3 ポート・アイソレータであり、図 2.29 に示します。この構成図では、入力回路、出力回路、電源のすべてが互いに絶縁されていることに注意してください。この図は、オールイン型のアイソレータ AD210（参考資料 1 および 2 参照）の回路アーキテクチャを表しています。

この種のアイソレータは、2 本の端子（PWR、PWR COM）への DC 電力供給が必要です。内部発振器（50 kHz）が DC 電力を AC に変換し、それがシールドされた入力セクションにトランス結合されます。そして、DC に変換されてから入力段と補助電源出力用に供給されます。この出力の電流能力は一般的には±15 mA の電流に制限されます。

AC キャリア信号は入力段アンプの出力によって変調されます。それは出力段にトランス結合されたのち、（キャリア信号の位相を基準として）位相変化検波回路で復調されます。さらに、フィルタを経て、キャリアから得た絶縁された DC 電源を電力とするバッファを経て出力されます。

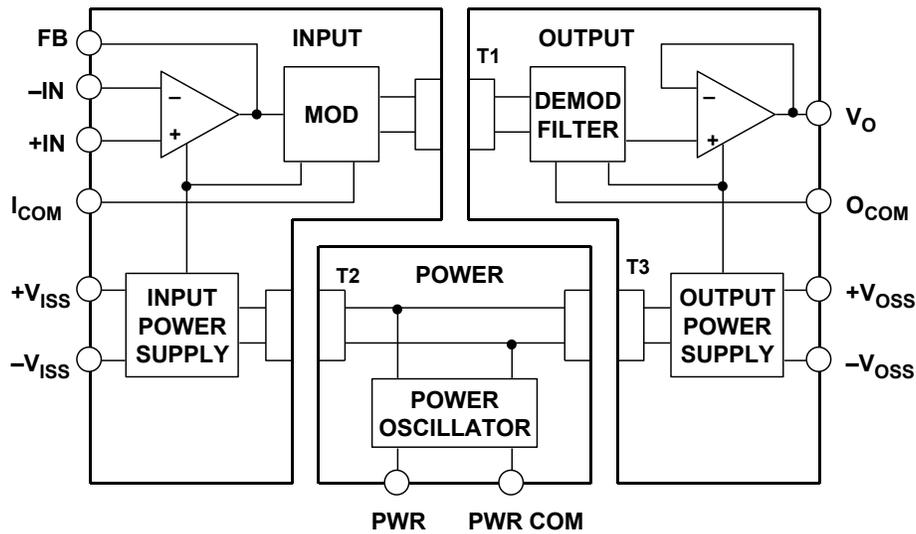


図 2.29: 3ポート・アイソレーション・アンプ AD210

AD210 は 3ポートアイソレーション・アンプなので、電源回路は入力段と出力段の双方から絶縁されています。したがって、機能を変えずにどちらかにつなぐ（あるいはどちらにもつながない）ことができます。トランス絶縁を利用することで、12ビットの精度と 3500V の絶縁を達成しています。

モーター・コントロール用のアイソレーション・アンプ

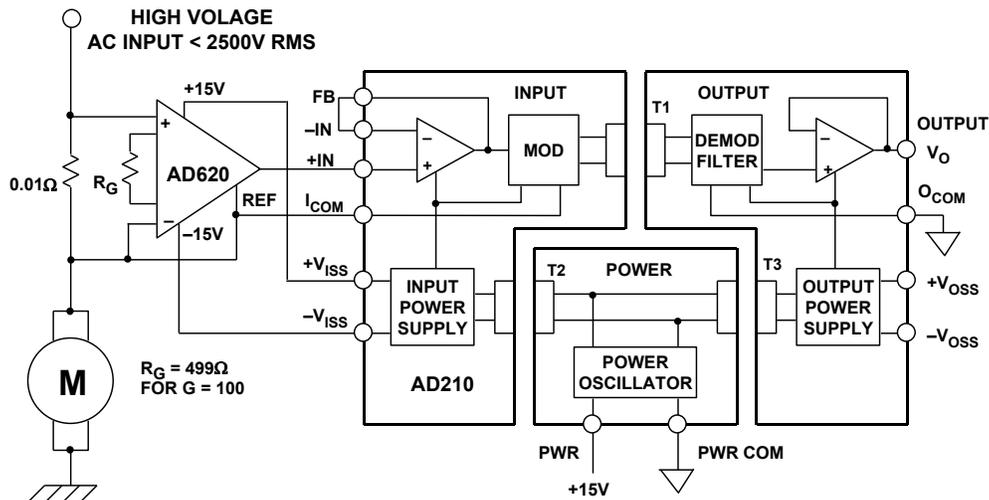


図 2.30: モーター・コントロールでの電流検出

AD210 を使った代表的なアイソレーション・アンプのアプリケーションを図 2.30 に示します。このモーター・コントロール回路の電流検出システムでは、AD210 は AD620 計装アンプとともに使用されます。

AD210 の入力アイソレートされているため、保護回路なしに直接 110 V/230 V の電力線に接続することができます。入力セクションの絶縁された ± 15 V は AD620 に電力を供給し、電流センス用の微小抵抗両端の電圧降下を検出します。AD210 の入力段のオペアンプは単にユニティ・ゲインのフォロワとして接続されていて、その誤差への影響を最小にしています。実効値 (RMS) で 110 V あるいは 230 V のコモンモード電圧は、このようにシステムが絶縁されているので気にしなくて済みます。

このシステムでは、AD620 プリアンプはシステムの変換比率を決定する部分となっていて、モーター電流に比例した電圧を、検出抵抗値および AD620 の R_G で設定されるゲインによる変換比率で出力します。AD210 の V_{OS} が 15mV であるのに対して AD620 のは 30 μ V (ドリフトも少ない) なので、AD620 はシステム全体の精度も改善しています。より大きな DC オフセットとドリフトが許容できるなら、AD620 を省略して AD210 のゲインを 100 とした設定で使うことができます。

ポスト・フィルタの付加によるノイズの低減

キャリアを使うこの種の絶縁システムでは、復調された DC 信号出力に、AC キャリアのある程度の残存成分が乗ってしまうことがあります。このような場合には、出力段のあとに低インピーダンスのパッシブ RC フィルタを追加します (次の段が高入力インピーダンス、つまりこのフィルタに負荷がかからない場合)。注意すべきは、多くの高入力インピーダンスのサンプリング ADC はこのケースにあてはまることです。これらは、基本的に小容量のコンデンサのように見えるからです。150 Ω 抵抗と 1nF のコンデンサのコーナー周波数は約 1 kHz になります。また、低誤差とするためには、コンデンサはポリプロピレンなどのフィルム型を使用する点にも注意が必要です。オプションとして、アクティブ・フィルタを使用することができます。このフィルタの出力は低インピーダンス (オペアンプの出力) なので、低出力インピーダンスが必要な場合に使用できます。また、このフィルタには ADC が必要とするアンチエイリアシング機能を含めることも可能ですので留意してください。

2 ポート・アイソレータ

2 ポート・アイソレータは、電源セクションが出力セクションから絶縁されていない点で 3 ポート・アイソレータと異なります。AD215 は高速な 2 ポート型のアイソレーション・アンプであり、広帯域幅のアナログ信号を絶縁して増幅するように設計されています (参考資料 3 参照)。AD215 の革新的な回路とトランス設計により、DC 性能を劣化させずに、広帯域の動特性を確保しています。AD215 のブロック図を図 2.31 に示します。

AD215 では入力と出力間が電氣的に完全に絶縁されており、ユーザが利用可能なフロントエンド用の絶縁型両電源も用意されています。出力側に ± 15 V の DC 電源が供給された完全機能型設計なので、絶縁型の DC/DC コンバータを新たに用意する必要がありません。このため、周辺回路が最小で済み、システム全体の設計がシンプルになり、部品コストも削減できます。

AD215 の入出力範囲は $\pm 10\text{ V}$ であり、ゲインは $1\text{ V/V} \sim 10\text{ V/V}$ で規定されています。また、オフセットが微調整されたバッファ付きの出力段と、フロントエンド用に絶縁された $\pm 15\text{ V}/10\text{ mA}$ のユーザが利用できる電源を備えています。

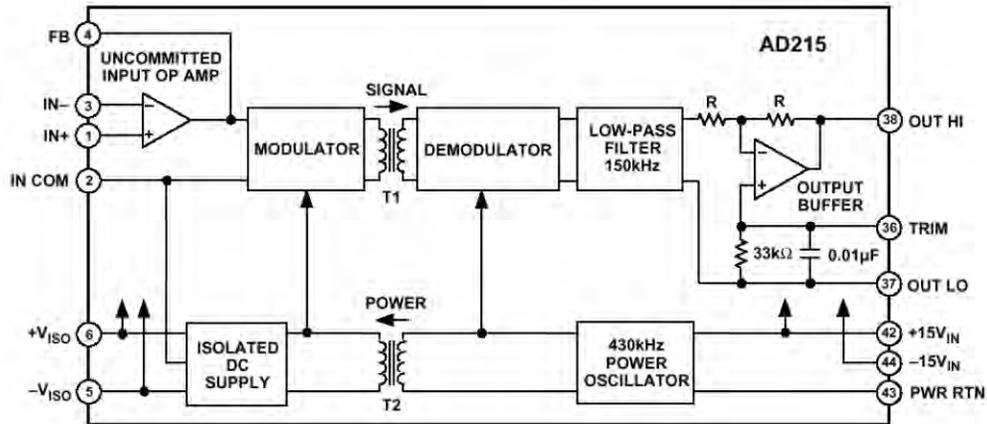


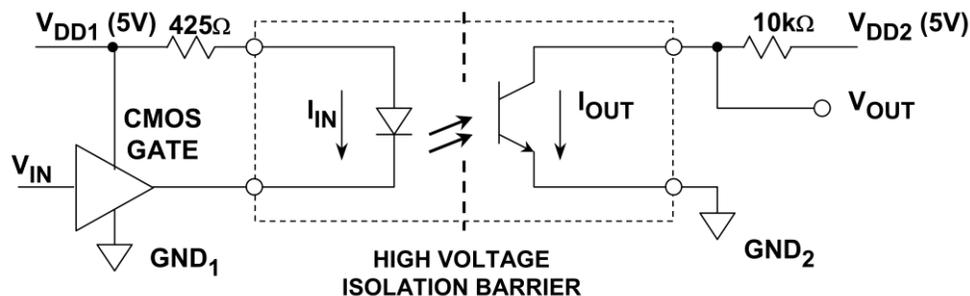
図 2.31: 120 kHz 低歪み 2 ポート・アイソレーション・アンプ AD215

注記

2.6: デジタル・アイソレーションの技術

デジタル・アイソレーションはリニア回路ではありませんが、アイソレーション・アンプに密接に関連しているため、ここで取り上げます。

医療用機器などの高度の絶縁が必要な多くの用途において、アナログ・アイソレーション・アンプが使われています。デジタル・アイソレーション技術でも電気的絶縁と同様の絶縁を得ることが可能で、グラウンド・ノイズのないデジタル信号を高い信頼性で伝送できます。



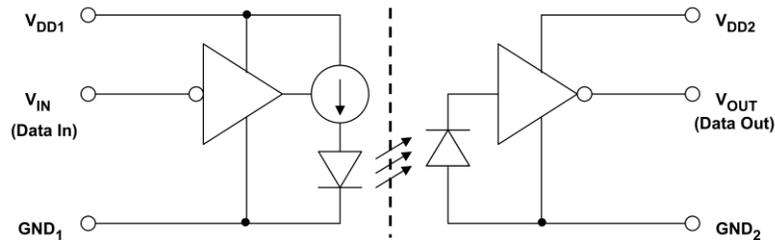
- ◆ Uses Light for Transmission Over a High Voltage Barrier
- ◆ The LED is the Transmitter, and the Phototransistor is the Receiver
- ◆ High Voltage Isolation: 5000V to 7000V RMS
- ◆ Non-Linear -- Best for Digital or Frequency Information
- ◆ Rise and Fall-times can be 10 to 20μs in Slower Devices
- ◆ Example: Siemens ILQ-1 Quad (<http://www.siemens.com>)

図 2.32: LED/フォトランジスタを組み合わせたフォトカプラを用いたデジタル・アイソレーション

フォトカプラ（フォト・アイソレータとも呼ばれる）は有用なデバイスであり、さまざまなタイプやパッケージのものが入手できます。LED やフォトランジスタを使用した一般的なフォトカプラを図 2.32 に示します。LED のトランスミッタはおよそ 10 mA の電流で駆動され、その光出力はフォトランジスタによって受信されます。LED が発生する光はフォトランジスタを飽和させます。入出力間のアイソレーションは、5000 V ~ 7000 V（実効値）が一般的に得られます。フォトカプラは、デジタル信号には問題はありませんが、ほとんどのアナログ・アプリケーションに対しては非直線性が大きすぎます。また、フォトカプラの伝達特性は時間とともに変化します。さらに、フォトランジスタはしばしば飽和するので、低速デバイスでの応答時間は 10 μs ~ 20 μs となり、高速アプリケーションは限定されます。

はるかに高速なフォトカプラのアーキテクチャを図 2.33 に示します。これは、LED とフォトダイオードを使用しています。この場合も、LED はおよそ 10 mA の電流で駆動されます。この電流により発生した光出力によって、受信部のフォトダイオードに電流が発生します。これはデバイス出力段のトランスインピーダンス・アンプが、有効なロジック・レベルの電圧を発生させるのに十分な大きさになります。速度はフォトカプラによって大幅に異なりますが、最速のものは伝播遅延が標準で 20 ns、最悪で 40 ns であり、NRZ データでは 25 Mbaud までのデータ・レートを処理できます。

これは方形波の周波数にすると最大 12.5 MHz に相当し、通過可能なパルス幅の最小値は 40 ns となります。



- ◆ +5V Supply Voltage
- ◆ 2500V RMS I/O Withstand Voltage
- ◆ Logic Signal Frequency: 12.5MHz Maximum
- ◆ 25MBd Maximum Data Rate
- ◆ 40ns Maximum Propagation Delay
- ◆ 9ns Typical Rise/Fall Time
- ◆ Example: Agilent HCPL-7720
- ◆ (<http://www.semiconductor.agilent.com>)

図 2.33: LED/フォトトランジスタを組み合わせたフォトカプラを用いたデジタル・アイソレーション

高速ロジック・アイソレータ AD260/AD261

デジタル・アイソレータの AD260/AD261 ファミリーは、トランス結合によるアイソレーションの原理で動作します（参考資料 4 参照）。これらのデバイスは、高速な DSP、マイクロコントローラ、マイクロプロセッサとの間で、5 系統のデジタル・コントロール信号を絶縁することができます。AD260 はまた、3.5 kV rms 耐圧の絶縁された外部 DC/DC コンバータ電源回路用の 1.5 W トランスも備えています。

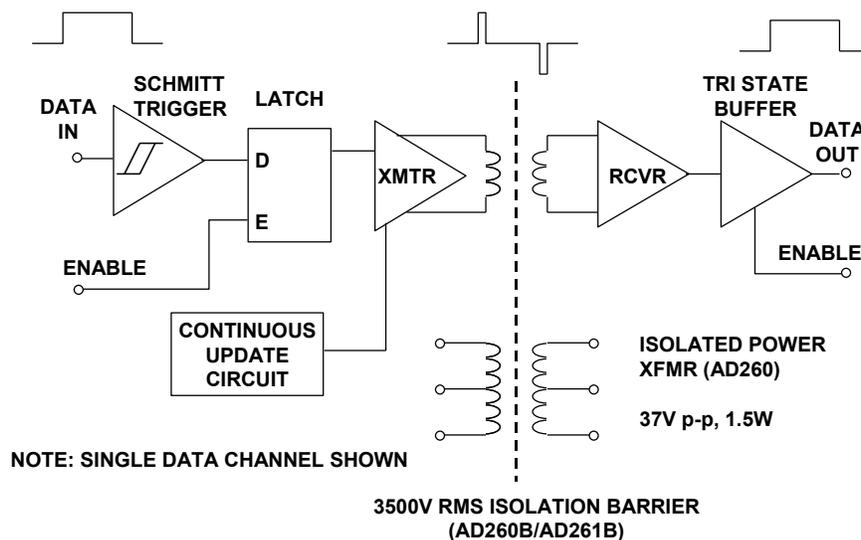


図 2.34: AD260/AD261 デジタル・アイソレータ

AD260 の各系統は 20 MHz (40 Mbaud) までのデジタル信号を扱うことができ、その伝播遅延はわずか 14 ns で、非常に高速なデータ伝送が可能です。入力波形と出力波形の相似性は入力の ± 1 ns 以内に保たれるので、タイムベース型パルス幅変調 (PWM) 信号を精密に絶縁するのに AD260 を使用できます。

AD260/AD261 の 1 チャンネル分を簡略化した回路を図 2.34 に示します。データ入力はシュミット・トリガ回路を経てラッチされ、デジタル入力信号のエッジを微分する特別な送信回路に入り、エッジ検出した「H にセット/L にセット」の波形で専用トランスの一次巻線を駆動します。

同じ「H にセット/L にセット」信号のデータで絶縁トランスの 2 次側はレシーバを駆動して、元のロジック信号波形が再生されます。バックグラウンドで動作している内部回路が約 5 μ s ごとにすべての入力を監視し、ロジック遷移がない期間は、インターフェースを介して適切な「H にセット/L にセット」のデータを送信します。これにより、誤動作あるいはパワーアップ時の状態からの回復時間は 5 μ s ~ 10 μ s で済むこととなります。

電源トランス (AD260 に搭載されているもの) は 150 kHz ~ 250 kHz で動作するように設計されており、送信側でプッシュプル駆動 (5 V) すると 1W 以上の絶縁電力を容易に発生します。他のトランスのタップ、整流器、レギュレータの構成を変更することで、 ± 5 V、15 V、24 V、あるいは 30 V やそれ以上の出力の組み合わせが得られます。

電圧降下の少ないドライバを使って 5 V プッシュプル駆動すると、トランスの 2 次巻き線に発生する電圧は 37 V p-p になります。ここで述べたような低価格のデジタル・アイソレータを使用すれば、図 2.35 に示すように、データ・アキュイジション・システムにおけるほとんどの絶縁に関する問題が解決されます。図の上の例では、最初に信号をデジタル化した後にデジタル・アイソレーションを使用することで、アナログ・アイソレーション・アンプを使った場合の問題は解決します。デジタル・アイソレーションをパラレル出力の ADC で使用することもできますが、アイソレータの帯域幅が十分なら、シリアル出力の ADC を使うほうがより実用的です。これにより、コストと部品点数が最小限になり、3 本のインターフェース (データ、シリアル・クロック、フレーミング・クロック) ですべてが済んでしまいます。

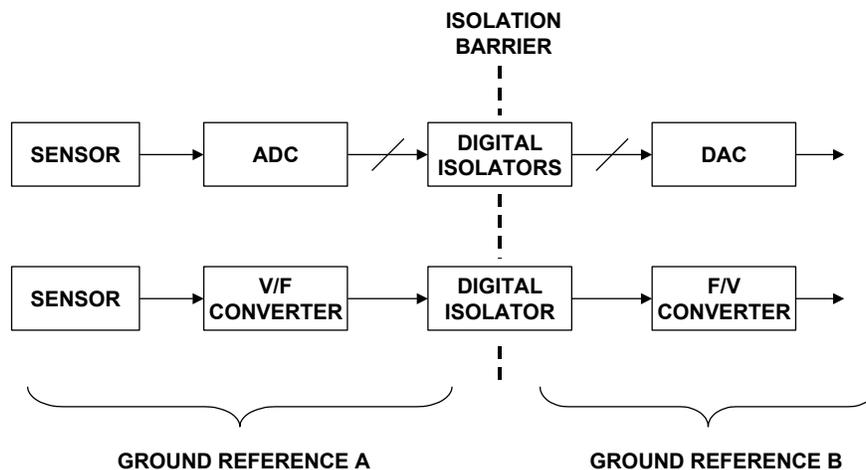


図 2.35: データ・アキュイジション・システムにおけるデジタル絶縁の実用的なアプリケーション

図の下側の例は、V/F コンバータ (VFC) をトランスミッタ、F/V コンバータ (FVC) をレシーバとして使用する方法です。この場合、デジタル・アイソレータは 1 個で済みます。

iCoupler[®] 技術

プロセス制御システムやデータ・アキュイジション／制御システムなどの多くの産業用途では、処理および分析のためにデジタル信号を各種センサーから中央コントローラに送信しなければなりません。次いでコントローラは、特定の操作を達成するために、実行した分析結果に従って、様々なアクチュエータへのコマンドをユーザ入力と組み合わせて送信する必要があります。ユーザ・インターフェースで安全電圧を確保し、信号源から送信されてくる過渡電圧を防止するためにガルバニック（直流的な）絶縁が必要になります。絶縁デバイスとしては、フォトカプラ、容量結合アイソレータ、トランスを使用したアイソレータの 3 種類が一般的に知られています。フォトカプラは、発光ダイオードを使用して電気信号を光信号に変換し、光検出器を使用して光信号を電気信号に戻します。電気光変換および低速応答の光検出器が元来持っている変換の低効率性により、フォトカプラは寿命、スピード、電力消費の面で限界があります。容量結合アイソレータは、サイズ、それに同相ノイズ除去の能力に限界があり、一方、従来のトランスを使用したアイソレータは大型かつ高価です。これらのアイソレータにはすべて限界があり、そのうえ、集積回路における集積化の限界、さらにはしばしばハイブリッドのパッケージングを必要とします。

チップ上に集積可能なトランスに基づいた新しい絶縁技術である *iCoupler* がアナログ・デバイスズによって近年開発されました。最初の製品は、シングルチャンネルのデジタル・アイソレータ ADuM1100 です。*iCoupler* 技術は、厚膜処理技術を活用してマイクロスケールのオンチップ・トランスを構築し、チップ上に数千ボルトの絶縁を実現しています。

iCoupler 絶縁トランスは標準的なシリコン集積回路と一緒に集積化が可能です、シングルチャンネルまたはマルチチャンネルの構成で製造することができます。誘導結合の双方向の性質によって、双方向の信号伝達を可能としています。このオンチップ・トランスと微細な CMOS 回路の高帯域幅特性を組み合わせることにより、消費電力、スピード、タイミング精度、使いやすさ、といった面で比類のない性能のアイソレータが生まれました。

ADuM1100 のアーキテクチャ: シングルチャンネル・デジタル・アイソレータ

ADuM1100 はシングルチャンネルの 100 Mbps デジタル・アイソレータです。8 ピン SOIC パッケージに 2 個の IC を搭載しています。ADuM1100 の断面図を図 2.36 に示します。パッケージにはリード・フレームの 2 つのパドルがあり、それらの間に約 0.4 mm のギャップがあります。成形材料の絶縁破壊強度は 25 kV/mm なので、0.4 mm のギャップにこの成形材料を満たすことで、2 個の IC チップ基板間に 10 kV を超える絶縁を実現できます。

左パドルにあるドライバ・チップは、入力されたデジタル信号を受け取ってエンコードします。エンコードされた差動信号は、ボンディング・ワイヤを介し、右パドルにあるレシーバ・チップ上に構築されたトランスの上部コイルを駆動します。ドライバのダイは標準的な CMOS チップです。レシーバのダイも CMOS チップですが、さらに 2 つのポリイミド層とパッシベーション上にトランスの一次コイルの構造が追加されています。上部コイルと下部コイル間のポリイミドの厚さは約 $20\ \mu\text{m}$ です。硬化ポリイミド・フィルムの破壊強度は $300\ \text{V/m}$ を超えるため、 $20\ \mu\text{m}$ のポリイミドによってトランスのコイル間に $6\ \text{kV}$ 以上の絶縁が実現されます。これは $3\ \text{kV}$ の製造試験電圧を超え、十分なマージンがあります。

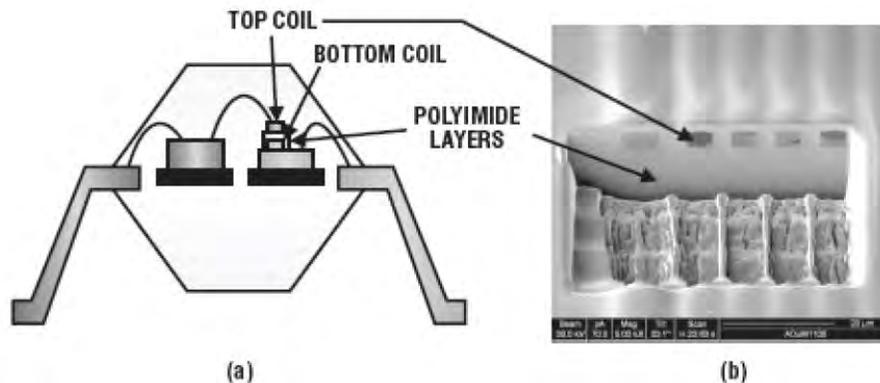


図 2.36: 8 ピン SOIC パッケージの ADuM1100 の断面図;
図 b. 上部コイルとポリイミド層の断面図

このようにウェーハ処理した高品質なポリイミド・フィルム構造のため、 $3\ \text{kV rms}$ でも $5\ \text{pC}$ を超える部分放電は検出できません。上部コイルは金メッキが施された $4\ \mu\text{m}$ 厚の層で、巻線間のコイル・トラックの幅と間隔はすべて $4\ \mu\text{m}$ です。

ポリイミド層の機械的伸長性および引張強度は良好なので、ポリイミド層間、あるいはポリイミド層と金属蒸着層間の密着性も高まります。金膜とポリイミド・フィルム間の相互作用は最小のため、ポリイミド膜の高温安定性とあいまって、様々な環境ストレス下においても信頼性の高い絶縁性を提供するシステムを構築できます。

ADuM110 は数千ボルトの絶縁をオンチップに実現したことに加え、非常に高度の効率性、精度、そして信頼性のもとに非常に広い帯域幅の信号を送信することを可能にしました。図 2.37 は、ADuM1100 の簡略化した回路図です。入力安定性を保証するために、フロントのグリッチ・フィルタはおよそ $2\ \text{ns}$ 以下のパルス幅のパルスを除きます。信号エッジを受信すると、 $1\ \text{ns}$ のパルスがコイル 1 またはコイル 2 に送られます。(立上りエッジ信号ではコイル 1 に、立下りエッジ信号ではコイル 2 に送られます)。短いパルスが 2 次コイル (この場合は下部コイル) に送信されると増幅され、SR フリップフロップを介して入力信号が再現されて、絶縁された出力として現れます。これらのマイクロ・トランスや広帯域幅の高速 CMOS によって、こうしたナノ秒オーダーの短いパルスの伝送が可能になります。この伝送方式は信号エッジのみを使用するので電力効率が非常に優れています。 $1\ \text{ns}$ 以内に $100\ \text{mA}$ の電流が立ち上がるような非常にエネルギーの強いパルスでも、 $1\ \text{Mbps}$ の入力信号の平均電流はわずかに $50\ \mu\text{A}$ です。CMOS ゲート周辺のスイッチングによって、さらに電力がいくらか消費されます。

CMOS ゲートの総静電容量が 5 V で 20 pF の場合は、さらに 50 μ A/Mbps を必要とします。一方で一般的なフォトカプラは、1 Mbps で動作していても 10 mA 以上を消費します。

このことは、iCoupler アイソレータによって消費電力が 2 桁（100 倍）改善されることを意味します。

約 1 μ s の一定期間、入力に変化がない場合は、単安定素子が 1 ns のパルスを生成し、入力のロジック・レベルに応じてコイル 1 またはコイル 2 に送ります。入力がハイの場合は、1 ns のリフレッシュ・パルスがコイル 1 に送られ、入力がローの場合はコイル 2 に送られます。これによってアイソレータは DC を正確に維持できます。通常は信号エッジの受信時のみパルスが送信されるからです。レシーバにはウォッチドッグ回路が含まれ、入力パルスによってリセットされなければ 2 μ s でタイムアウトします。タイムアウトになると、レシーバ出力はデフォルトの安全なレベル（ADuM1100 ではロジック・ハイ）に戻ります。リフレッシュ機能とウォッチドッグ機能を組み合わせることによって、フィールド・デバイスの障害をシステム側で検出できるというもう一つの利点が得られます。他のアイソレータでは、通常はアイソレートされた追加のデータ・チャンネルを使用することが必要になります。

アイソレータの帯域幅は入力フィルタの帯域幅に依存します。例えば、2 ns の入力フィルタでは 500 Mbps を実現できます。ADuM1100 では 100 M Baud の信号帯域幅が選択されていますが、最速のフォトカプラよりも 2 倍高速です。また、マイクロスケールのオンチップ・コイル間の誘導結合の即時的な性質のために、入出力間でのロジック信号のエッジ対称性が非常に厳格に維持されています。

ADuM1100 のエッジ対称性は、5 V 動作では 2 ns よりも優れた値です。絶縁システムの帯域幅が拡大し続けるにつれ、フォトカプラ技術では困難な状況でも iCoupler 技術で対処できるようになるでしょう。

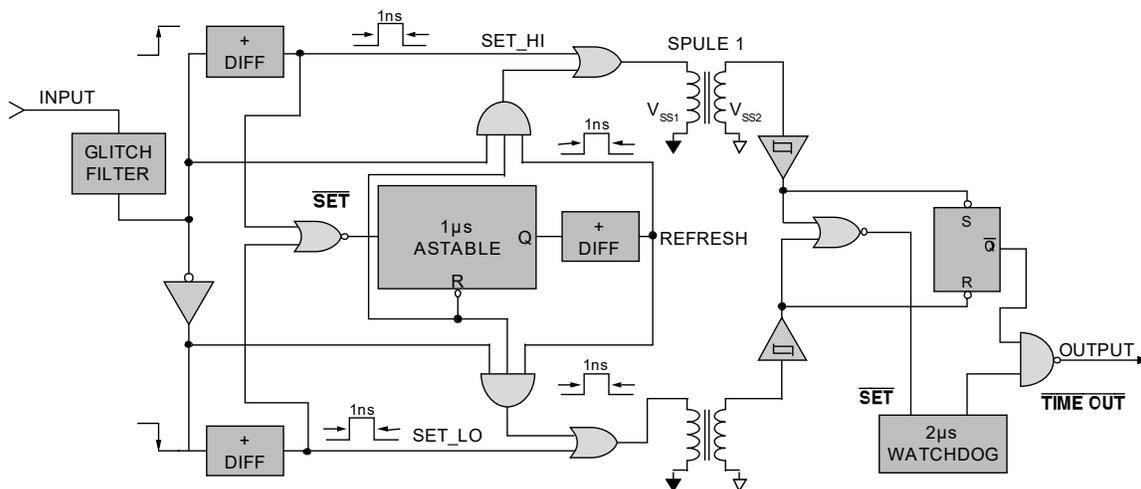


図 2.37: ADuM1100 の簡略化回路図

効率性と帯域幅の向上に加え、iCoupler 技術は競合製品よりも堅牢で信頼性の高いアイソレーション手段です。多くのデータ・アキュイジション／制御システムには高電圧の過渡電圧が存在するため、過渡事象がロジック・コントローラに影響を与えることを防ぐアイソレータの能力は非常に重要です。高性能フォトカプラの過渡耐性は 10 kV/μs 以下ですが、ADuM1100 は 25 kV/μs 以上の優れた過渡耐性を備えています。入出力過渡応答によって誘導される、レシーバ入力における誘導誤差電圧は次式で与えられます。

$$V = C \cdot R \frac{dV}{dt} \quad \text{式 2-10}$$

ここで、

- C は、入力コイルと受信側コイル間の静電容量
- R は、下部コイルの抵抗
- dV/dt は過渡信号の振幅

ADuM1100 では、上部（入力側）コイルと下部（受信側）コイル間の静電容量はわずか 0.2 pF で、下部コイルの抵抗は 80 Ω です。したがって、上部コイルへの 25 kV/μs 過渡電圧によって下部コイルに誘導される誤差信号はわずか 0.4 V であり、レシーバ検出閾値よりもはるかに小さな値です。iCoupler アイソレータの過渡耐性は、デコーダ検出閾値、受信側コイルの抵抗、それに当然ながら上部と下部コイル間の静電容量を慎重に選択することによって最適化できます。

トランスを使用したアイソレータに関してよく質問される点の 1 つは耐磁性についてです。iCoupler は空芯技術を使用していて磁気コンポーネントが存在しないため、コア材料での磁気飽和の問題は存在しません。したがって、iCoupler は事実上無限の DC 耐磁性を持っていると言えます。ADuM1100 の AC 耐磁性に関する限界値は、トランスの受信側コイル（この場合は下部コイル）に誘導される誤差電圧が、誤ってデコーダをセットまたはリセットする値まで大きくなるという条件で決まります。下部コイル両端に誘導される電圧は次式で与えられます。

ここで、

$$V = \left[- \frac{d\beta}{dt} \right] \sum \pi r_n^2; n = 1, 2, \dots, N \quad \text{式 2-11}$$

- β = 磁束密度（ガウス）
- N = 受信側コイルの巻数
- r_n = 受信側コイルの n 番目のターンの半径（cm）

ADuM1100 の受信側コイルは非常に小さいので、1 MHz で 1000 A が流れるワイヤを ADuM1100 からわずか 1 cm 離すだけでも、デコーダを誤ってトリガするだけの大きな誤差電圧は誘導しなくなります。注意したいのは、強磁界と高周波が組み合わせると、プリント回路基板のトレースにループがあれば十分大きな誤差電圧が誘導され、後段回路のスレッショールドがトリガされてしまう可能性があることです。一般には、このような大きな磁気過渡電圧が存在する場合は、アイソレータ自体よりも PC ボードの設計のほうが制限因子となります。

磁気耐性に加え、*iCoupler* デバイスから放射される電磁放射のレベルが懸念されます。遠距離場近似を用いると次式に表されます。

$$P = 160\pi^2 I^2 \sum_n r_n^4; n = 1, 2, \dots, N \quad \text{式 2-12}$$

ここで、

P = 総放射電力

I = コイル・ループ電流

この場合も、コイルは非常に小さいので、0.5 GHz で動作していても総放射電力は 50 pW 以下にすぎません。

ADuM130x/ADuM140x: マルチチャンネル製品

これまで述べた多くのパフォーマンス改善に加え、*iCoupler* 技術は統合の面でも多大な利点をもたらします。光学干渉は、マルチチャンネル・フォトカプラの実現を非常に困難にします。

iCoupler 技術に基づいたトランスは単一チップに容易に統合できます。さらに、ある 1 つのデータ・チャンネルは一方向に、例えば、上部コイルから下部コイル方向に信号を送信する一方、隣接チャンネルは信号を他方向に、つまり下部コイルから上部コイルに送信できます。誘導結合の双方向性の性質によってこれが可能になります。

新たに追加された製品は 3 チャンネルおよび 4 チャンネルの 5 種類の製品で構成され、あらゆるチャンネル方向性の構成に対応します。チャンネル構成が柔軟であるのみならず、絶縁障壁の両側で 3 V と 5 V の両方の動作をサポートしており、これらのアイソレータをレベル・コンバータとして使用することもできます。例えば、一方の側では 2.7 V とし、反対側は 5.5 V とすることが可能です。2 ns のエッジ対称性は、-40 °C ~ +100 °C のすべての温度で、可能なすべての電源構成で維持されます。複数の双方向絶縁チャンネルを単一パッケージに混在させることができるため、システムのサイズとコストを削減できます。

ADuM1100 では、単一データ・チャンネルを送信するのに 2 つのトランスを使用します。1 つは、信号の立上りエッジを示すかまたは入力ハイを更新するパルスの送信にのみ使用され、他方は、信号の立下りエッジを示すかまたは入力ローを更新するパルスの送信にのみ使用されます。ADuM130x/ADuM140x 製品ファミリーでは、データ・チャンネルごとに 1 個のトランスを使用します。図 2.38 に示す ADuM140x は合計で 4 個のトランスを搭載しています。立上りエッジと立下りエッジは別々にエンコードされ、エンコードされたパルスは同じトランスで結合されます、したがって、パルスをデコードして、それらが立上りエッジか立下りエッジかを判別するのはレシーバの責任です。その後、それに応じて出力信号が再構築されます。

当然ながら、データ・チャンネルごとに 2 個の変圧器を使用せずに、データ・チャンネルごとに 1 個の変圧器を使用する場合にはペナルティが生じます。エンコード時間とデコード時間が追加されるため、単一トランス・アーキテクチャの方が伝播遅延が長くなります。

帯域幅に関しては、100 Mbps の入力速度であってもほとんど問題にはなりません。

ADuM1100 とは異なり、ADuM130x/ADuM140x はレシーバの集積回路とは別に専用のトランス・チップを使用しています。このように分離できることは、*iCoupler* 技術の統合の容易さを示していると言えます。スタンドアロン型のマルチチャンネル・アイソレータに加え、より透過性を高めた絶縁を利用するために、他のデータ・アキュイジション／制御 IC に *iCoupler* 技術を組み込むことができます。そのため、将来的にはシステム設計者はアイソレーションについて心配することなく、システムの機能性を向上させることに自分の時間を充てるできるようになります。

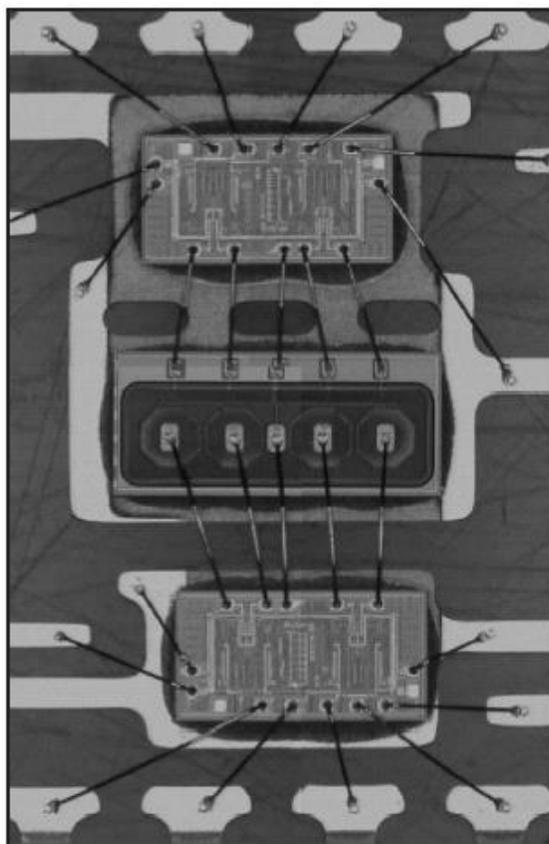


図 2.38: ADuM140X のダイ写真

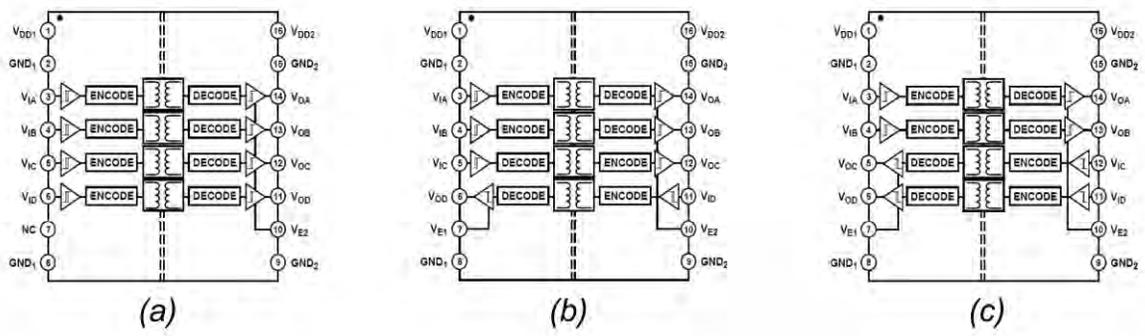


図 2.39: ブロック図: (a) ADuM1400、 (b) ADuM1401、 (c) ADuM1402

2.7: アクティブ・フィードバック・アンプ

差動ライン・レシーバ AD8129/AD8130 は、その先行品である AD830 とともに、アクティブ・フィードバックと呼ばれる最新の回路構成を採用しています（参考資料 8 参照）。これらのデバイスの簡略化したブロック図を図 2.40 に示します。

AD830 および AD8129/AD813 は、 $V_{X1} - V_{X2}$ および $V_{Y1} - V_{Y2}$ という 2 組の完全差動入力を備えています。内部において、これら 2 つの GM 段の出力の和がとられ、バッファ出力段を駆動します。

このデバイスでは、全体的な帰還ループによって内部電流 I_X と I_Y とが等しくなります。この条件によって、差動電圧 $V_{X1} - V_{X2}$ および $V_{Y1} - V_{Y2}$ が等しくなり、極性は逆になります。帰還は出力から入力差動ペアの 1 つに戻され、もう 1 つのペアは差動入力信号によって直接駆動されます。

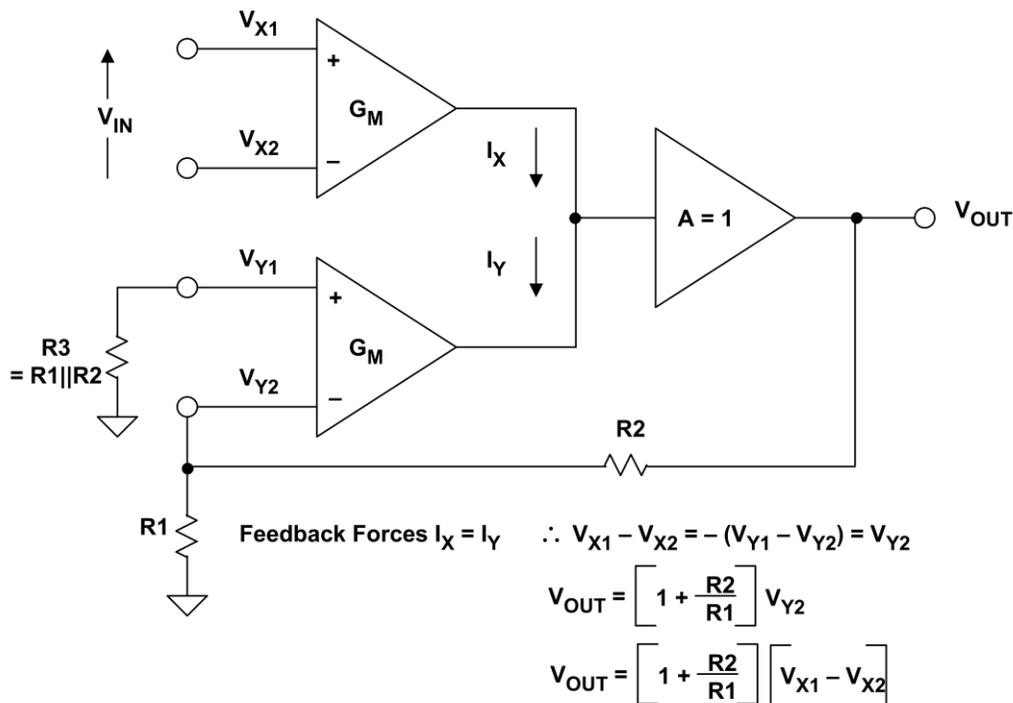


図 2.40: AD830/AD8129/AD8130 アクティブ・フィードバック型アンプの内部構成

このアーキテクチャの重要なポイントは、2 つの差動入力ペアによって高い同相ノイズ除去 (CMR) 特性が得られるため、CMR が抵抗ブリッジに依存せず、またそれに関連するマッチングの問題にも依存しなくなることです。広帯域の平衡回路と駆動入力が増幅器が準フローティング的に動作することにより、DC で 100 dB という高い CMR を実現しています。

ある意味でこの構成は、一般的な反転および非反転入力を持った 2 個のオペアンプとしてではなく、差動入力ペアを備えた非反転モードの 1 個のオペアンプとして見ることができます。このステージのゲイン G の一般式は、非反転オペアンプの場合と同様に次式になります。

$$G = \frac{V_{OUT}}{V_{IN}} = 1 + \frac{R2}{R1} .$$

式 2-13

見ておわかりのように、この式は、非反転オペアンプ段において $R2$ と $R1$ を同様に配置したゲインと同一です。

AD8129 はこのファミリーの低ノイズ高ゲイン ($G \geq 10$) 版であり、信号の減衰が問題となるような長距離ケーブルを使用する用途を意図しています。AD8130 デバイスは 1 のゲインで安定に動作します。これは、小さなゲイン ($G = 2$ など) で信号源と負荷が終端されたケーブルを駆動するような応用に使用されます。

AD8129/AD8130 の電源電圧範囲は広く、+5 V 単一電源から ± 12 V までで動作し、広範囲のコモンモード電圧および差動モード電圧が可能です。コモンモード範囲が広いこと、ドライバとレシーバ間のグラウンド電位差が数ボルトあるような多くのシステムでも、ドライバ/レシーバのペアは絶縁トランスなしで動作可能です。両デバイスにはロジック制御の可能なパワーダウン機能が含まれています。

両デバイスは平衡型の高入力インピーダンスを備えているため、高い周波数領域における CMR 特性に優れており、10 MHz で 70 dB の CMR を達成しています。各種電源電圧における AD8130 の CMR を図 2.41 に示します。この図からわかるように、1 MHz において CMR は 95 dB と高く、調整が不要であることを考慮すると優れた数値です。

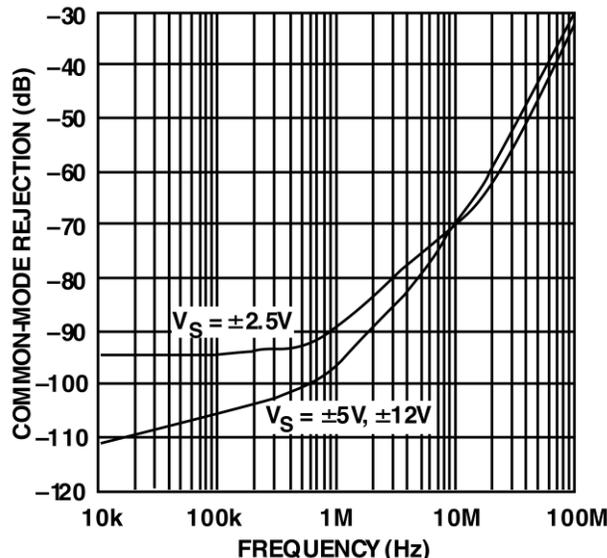


図 2.41: AD8130 の同相ノイズ除去の周波数特性 (電源電圧: ± 2.5 V, ± 5 V, ± 12 V)

AD8129 の代表的な 3 dB 帯域幅は 200 MHz であり、0.1 dB の帯域幅は、SOIC パッケージでは 30 MHz、 μ SOIC パッケージでは 50 MHz です。これらの特性の条件は、 $V_S = \pm 5$ V および $G = 10$ です。

AD8130 の代表的な 3 dB 帯域幅は 270 MHz であり、0.1dB の帯域幅は、どちらのパッケージでも 45 MHz です。これらの特性の条件は、 $V_S = \pm 5$ V および $G = 1$ です。AD8130 の代表的な差動ゲインおよび位相特性は、 $G = 2$ 、 $V_S = \pm 5$ V、 $R_L = 150 \Omega$ において、それぞれ 0.13 % および 0.15° です。

▣ ベーシック・リニア・デザイン

その他のリニア回路

2.7: アクティブ・フィードバック・アンプ

注記

2.8: ログアンプ

「ログアンプ」(logarithmic amplifier または log amp) という用語はあまりふさわしくない名称であり、「ログ・コンバータ」のほうが適切です。ある信号をそれに相当する対数值へ変換する際には非線形操作を伴い、理解が十分でなければその結果に混乱することがあります。リニア回路で慣れ親しんだ概念の多くはログアンプには無関係との認識が重要です。例えば、理想的なログアンプの増分ゲインは、入力がゼロに近づくと無限大に近づき、ログアンプの出力でのオフセットの変化分は、入力オフセットの変化分ではなく、入力での振幅の変化分と同等です。

最初の説明を簡単にするために、ログアンプの入力と出力の両方が電圧であると仮定します。とはいっても、ログ電流アンプ、トランスインピーダンス・アンプ、あるいはトランスコンダクタンス・アンプを設計できないという訳ではありません。

式 $y = \log(x)$ を考えると、 x を定数 A で乗ずるごとに、 y が定数 $A1$ 分だけ増えることがわかります。したがって、 $\log(K) = K1$ の場合は、 $\log(AK) = K1 + A1$ 、 $\log(A^2K) = K1 + 2A1$ 、 $\log(K/A) = K1 - A1$ となります。これにより図 2.42 に示すグラフが得られます。ここで、 x が 1 のとき y はゼロになり、 x が 0 に近づくと y は負の無限大に近づき、 x が負のときは Y の値は存在しません。

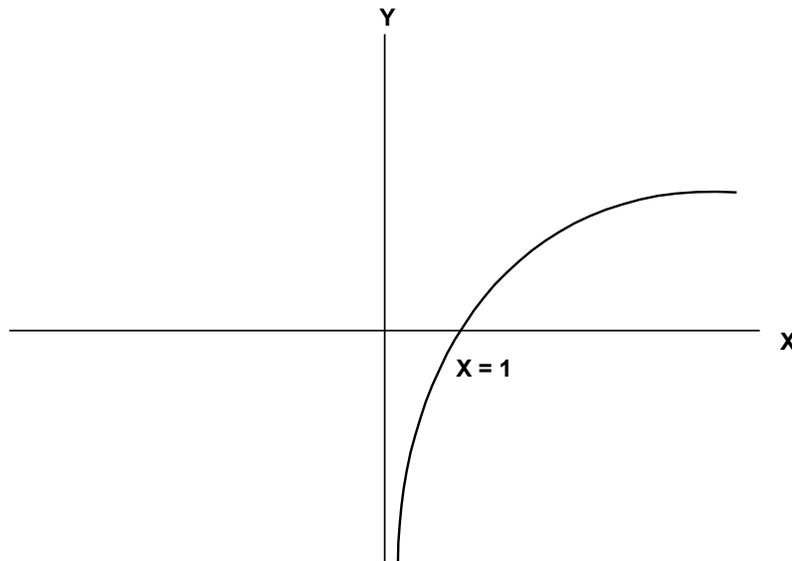


図 2.42: $Y = \text{Log}(X)$ のグラフ

しかし、概してログアンプはこのようには動作しません。負の無限の出力電圧を生成する困難さはともかく、そのようなデバイスは実際にはあまり有用とは言えません。ログアンプは次のような伝達関数を満たしている必要があります。

$$V_{\text{out}} = V_y \log(V_{\text{in}}/V_x)$$

式 2-14

ここで、入力値の範囲は、100:1 (40 dB) から 1,000,000:1 (120 dB) まで変化する可能性があります。

入力がゼロに非常に近くなると、ログアンプは対数的に振る舞うのをやめ、ほとんどが線形の V_{in}/V_{out} 式に従います。この挙動はしばしばデバイス・ノイズに埋もれてしまいます。ノイズはログアンプのダイナミック・レンジを制限する場合があります。出力が電圧であるため、定数 V_y は電圧の次元を持ちます。対数の引数は単純な無次元の比率でなければならないので、入力、 V_{in} を電圧 V_x で割ります。

ログアンプの伝達特性のグラフを図 2.43 に示します。横軸（入力）のスケールは対数で、理想的な伝達特性は直線になります。 $V_{in} = V_x$ のときは、対数値はゼロになります ($\log 1 = 0$)。したがって、 V_{in} がこの値のときにグラフは横軸と交差するので、 V_x はログアンプのインターセプト電圧として知られています。

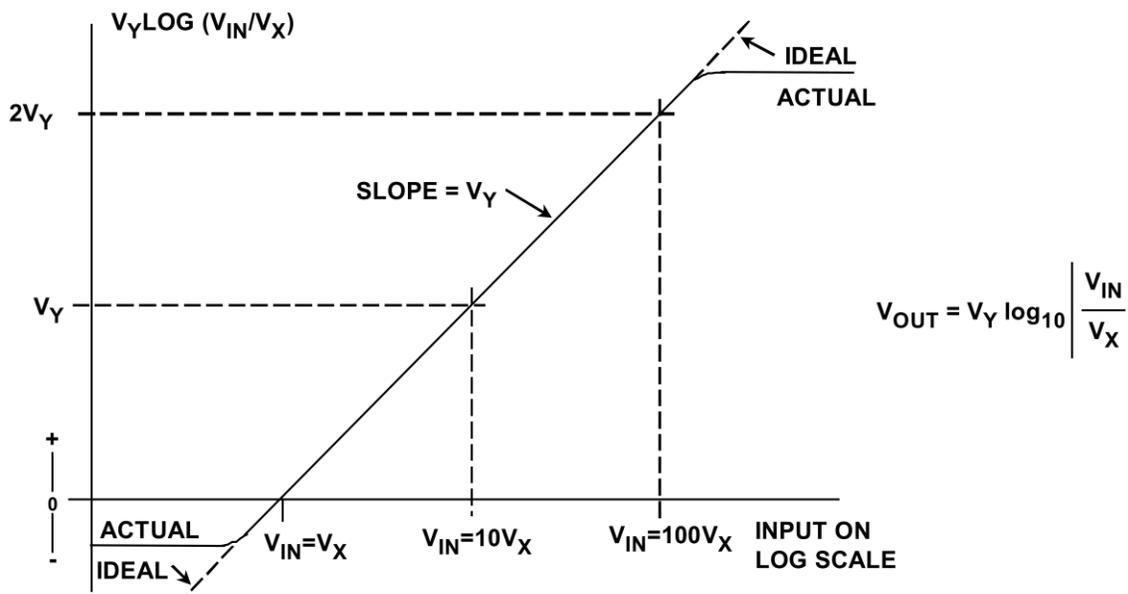


図 2.43: ログアンプの伝達関数

直線の傾きは V_y に比例します。スケールを設定する場合は、デシベル値との関係が簡単になるので、基数を 10 とした対数が最もよく使用されます。 $V_{in} = 10 V_x$ のときは、対数は 1 の値になるので、出力電圧は V_y となります。 $V_{in} = 100 V_x$ のときは、出力は $2 V_y$ となり、以下同様です。したがって、 V_y は「スロープ電圧」または「10 倍を単位とするボルト数」と考えることができます。

対数関数は x の負の値については不確定です。ログアンプは以下の 3 種類の方法で負の入力に対応できます。(1) 負のフルスケール出力を与える (図 2.44 参照)。(2) 入力の絶対値の対数に比例した出力を与え、符号は無視する (図 2.45 参照)。この種のログアンプは対数特性を持った全波検波器と考えることができ、しばしば**検波型ログアンプ**と呼ばれます。

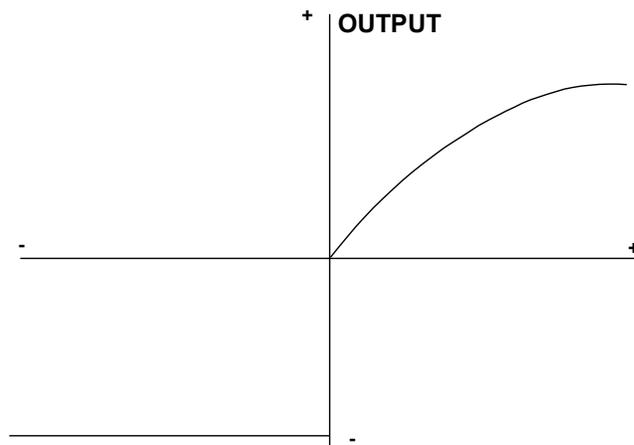


図 2.44: 基本的なログアンプ
(負入力で飽和)

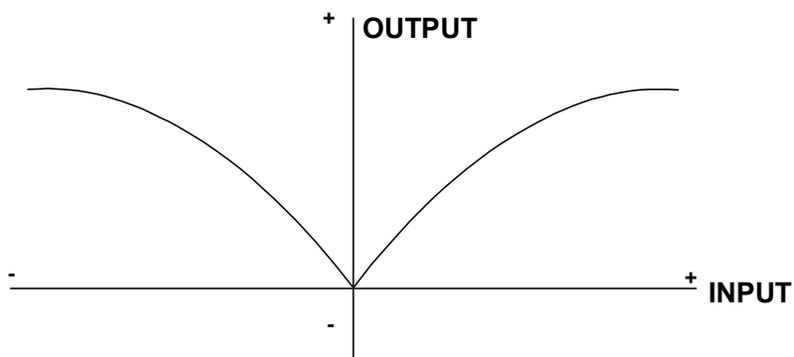


図 2.45: 検波型ログアンプ
(出力極性は入力極性と異なる)

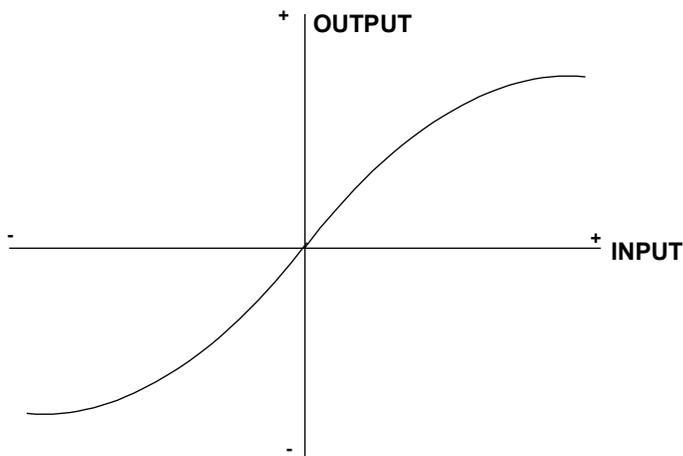


図 2.46: ログ・ビデオまたは「真のログアンプ」
(正または負の信号に対称応答)

(3) 入力の絶対値の対数に比例し、入力と同じ符号を持つ出力を与える (図 2.46 参照)。この種のログアンプは対数特性を持ったビデオ・アンプと考えられ、**対数ビデオ (ログ・ビデオ) アンプ**、あるいはときには、**真のログアンプ**として知られています (ただし、この種のログアンプはビデオ・ディスプレイ関連用途に使われることはほとんどありません)。

ログアンプの作成には、次の 3 つの基本的なアーキテクチャが使用されます。それは、**基本的なダイオード・ログアンプ**、**逐次検波型ログアンプ**、およびカスケード型準制限アンプに基づいた**真のログアンプ**です。逐次検波型ログアンプおよび真のログアンプについては、RF/IF のセクションで説明しています。

シリコン・ダイオード両端の電圧は、それを流れる電流の対数に比例します。ダイオードが反転オペアンプの帰還経路に配置された場合は、図 2.47 に示すように出力電圧は入力電流の対数に比例します。この構成のダイナミック・レンジは、実際にはダイオードが理想的な特性でないため 40 dB ~ 60 dB に制限されます。しかし図 2.48 に示すように、ダイオードを、ダイオード接続としたトランジスタに置き換えると、ダイナミック・レンジを 120 dB 以上に拡大できます。この種のログアンプには、次の 3 つの欠点があります。(1) 傾きとインターセプトの両方が温度に依存する。(2) 単極性信号しか処理できない。(3) 帯域幅が制限され、かつ信号振幅に依存する。

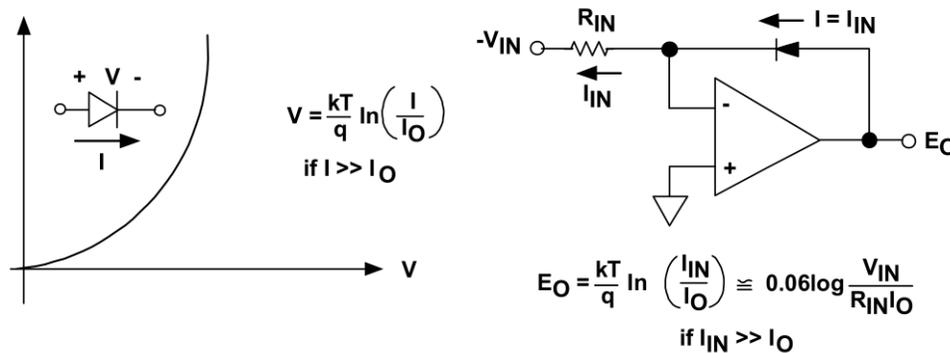


図 2.47: ダイオードとオペアンプを組み合わせたログアンプ

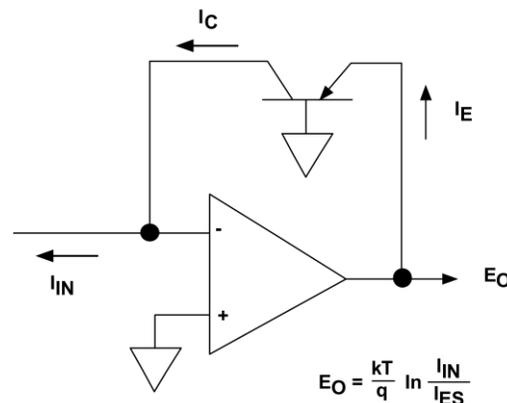


図 2.48: トランジスタとオペアンプを組み合わせたログアンプ

このようなログアンプを複数個シングル・チップに搭載し、対数および逆対数の両方の操作を実行するアナログ・コンピュータを作成する場合は、対数演算における温度変動は重要ではありません。なぜなら、逆対数における同様な変動で補償されるからです。この原理により AD538 (図 2.49) が生まれました。これは、乗算、除算、指数演算が可能なモノリシック型のアナログ・コンピュータです。ただし、本当の対数演算が必要な場合は、AD538 や同様の回路では温度補償を必要とします (参考資料 7)。しかしながら、高周波用途におけるこの種のログアンプの主な欠点は、周波数応答が制限されることであり、これは回避できません。アンプを慎重に設計しても、出力から入力への残留帰還容量 C_c (しばしばミラー容量としても知られている) が常に存在するため高周波数応答が制限されます。

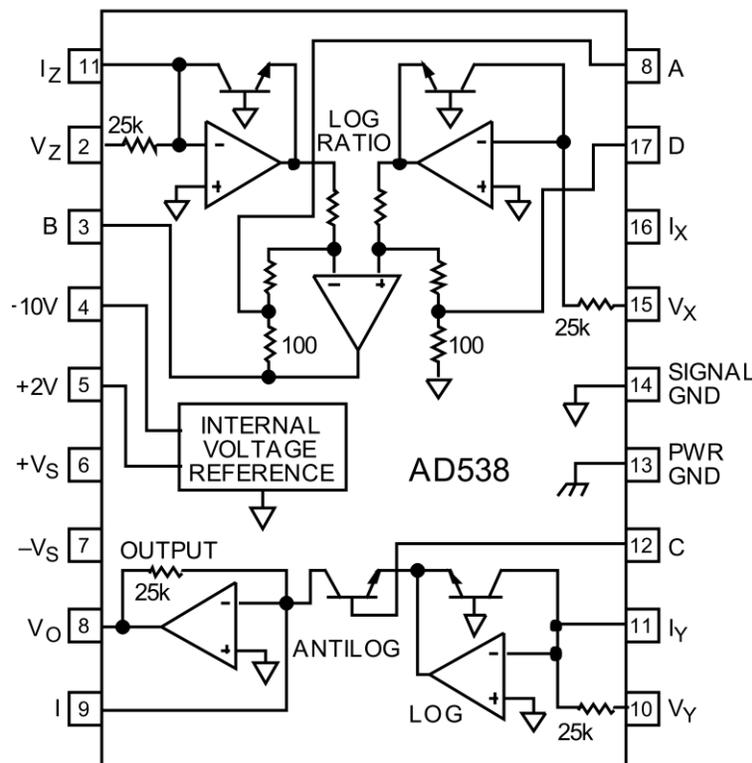


図 2.49: AD538 のブロック図

このミラー容量が特に厄介なのは、エミッタ・ベース接合部のインピーダンスがそれに流れる電流に逆比例するからです。したがって、ログアンプのダイナミック・レンジが 1,000,000:1 ならば、その帯域幅も 1,000,000:1 だけ変化します。実際には、他の条件によって大信号帯域幅が制限されるためこの変動は小さくなりますが、この種のログアンプで小信号帯域幅が数百 kHz 以上のものを作成することは非常に困難です。

RF/IF のセクション (4.4) でも高速ログアンプについて説明しています。

注記

2.9: 高速クランプ・アンプ

後続回路へのオーバードライブを防ぐために、オペアンプの出力をクランプしたい場合が数多くあります。特別に設計された高速動作かつ高速リカバリのクランプ・アンプは、外部のクランプ回路や保護回路を設計するには魅力的な選択肢です。低歪み、広帯域幅のクランプ・アンプである AD8036/AD8037 は、この技術において大きなブレイクスルーを果たしました。これらのデバイスでは、上側のクランプ電圧 (V_H) と下側のクランプ電圧 (V_L) を設定できます。入力がこれら 2 つのレベルのいずれかを超えた場合に、デバイスの出力はクランプされます。AD8036/AD8037 は、出力クランプ方式を採用している競合デバイスに比べて優れたクランプ性能を発揮します。オーバードライブからのリカバリ時間は 5 ns 未満です。

AD8036 と AD8037 の高速かつ正確なクランプ、それに高いアンプ性能の鍵となるのは、独特の入力クランプ・アーキテクチャです。この新規の設計は、従来の出力クランプ方式を採用した回路に比べ、クランプ誤差を 10 分の 1 以下に低減するほか、帯域幅、精度、それにクランプ入力汎用性を大幅に改善させます。

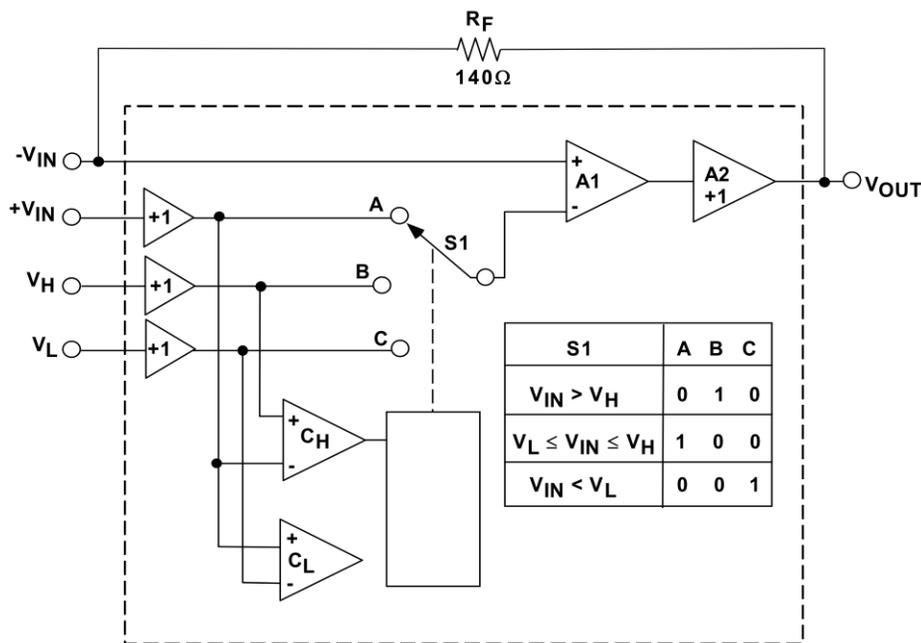


図 2.50: AD8036/AD8037 クランプ・アンプの等価回路

ユニティ・ゲイン電圧フォロワとして接続された AD8036 のブロック構成を図 2.50 に示します。主要な信号経路は、A1 (1200 V/ μ s、240 MHz の高電圧ゲイン、差動入力/シングルエンド出力アンプ) および A2 (G=+1 の高電流ゲイン出力バッファ) で構成されます。AD8037 は、A1 がクローズドループ・ゲインが 2 以上で最適化されている点のみが AD8036 と異なります。

入力クランプ部はコンパレータ C_H および C_L で構成され、これらはデコーダを介してスイッチ $S1$ を駆動します。 $+V_{IN}$ 、 V_H 、 V_L の各入力に直列に入っているユニティ・ゲイン・バッファは、帯域幅や精度を劣化させることなく、入力ピンをコンパレータおよび $S1$ から分離しています。

2 つのコンパレータの帯域幅は $A1$ とほぼ同様 (240 MHz) なので、AD8036 の有効帯域幅内の信号に追従できます。入力クランプ回路の動作を説明するために、 V_H が $+1\text{ V}$ を基準とし、 V_L はオープンで、AD8036 の出力が推奨値の $140\ \Omega$ 帰還抵抗を介して反転入力に戻されてゲインが $+1$ に設定されていると考えてみましょう。クランプ回路は $A1$ の非反転入力にのみ影響を与えるので、主信号経路は常にクロードループで動作することに注意してください。

この接続において、AD8036 の $+V_{IN}$ に 0 V から $+2\text{ V}$ へのランプ電圧が印加された場合、 V_{OUT} は $+1\text{ V}$ までは正確に $+V_{IN}$ に追随し、それ以上では $+V_{IN}$ が $+2\text{ V}$ まで上がり続けても正確に $+1\text{ V}$ に制限されます。

実際には、AD8036 はこれとほぼ同様の理想的なふるまいをします。 $+V_{IN}$ 入力電圧がゼロから 1 V に上昇するまでは、上限コンパレータの出力 C_H は、 C_L の出力と同様にオフ状態にあります。 $+V_{IN}$ が V_H をちょうど超えたところで (実際には約 18 mV)、 C_H は状態を変化させ、 $S1$ の基準電圧レベルを A から B に切り替えます。いま $A1$ の $+$ 入力は V_H に接続されているので、 $+V_{IN}$ がさらに増加しても AD8036 の出力電圧には影響しません。いま AD8036 は V_H 入力に対してはユニティ・ゲイン・バッファとして動作しており、 $V_H > 1\text{ V}$ では、 V_H の変化が忠実に V_{OUT} に反映されます。

V_L での負の入力電圧と負のクランプ・レベルに対する AD8036 の動作も同様です。この場合、コンパレータ C_L が $S1$ を制御します。両コンパレータは $+V_{IN}$ ピンの電圧を共通の基準レベルと見なすので、 V_H および V_L の電圧は $+V_{IN}$ を基準として「ハイ」または「ロー」として定義されます。例えば、 V_{IN} が 0 V 、 V_H がオープン、 V_L が $+1\text{ V}$ に設定されている場合は、コンパレータ C_L はスイッチ $S1$ を C に切り替えるので、AD8036 は V_L の電圧をバッファリングし、 $+V_{IN}$ は無視します。

AD8036/AD8037 の性能はいま述べた理想的な振る舞いとほぼ一致します。コンパレータの閾値は、 V_L および V_H の電圧によって定義されたクランプ・ウィンドウより 60 mV 内側から、ウィンドウ境界を 60 mV 越えた点まで拡大されます。スイッチ $S1$ はカレント・ステアリングを使用して実装されているので、例えば $V_H = 1.0\text{ V}$ の場合、 $A1$ の $+$ 入力によって、入力電圧がコンパレータの入力閾値を 0.9 V から 1.0 V に横切ると、 V_{IN} から V_H へ連続的に遷移します。

動作が理想的でない場合は、増幅モードからクランプ・モードへの遷移を遅れさせるように影響しますが、入力クランプ回路により設定されたクランプ・リミットを損なうものではありません。図 2.51 は、AD8036 および代表的な出力クランプ方式アンプの V_{OUT} 対 V_{IN} をグラフにしたものです。どちらのアンプも、 $G = +1$ および $V_H = +1\text{ V}$ に設定されています。

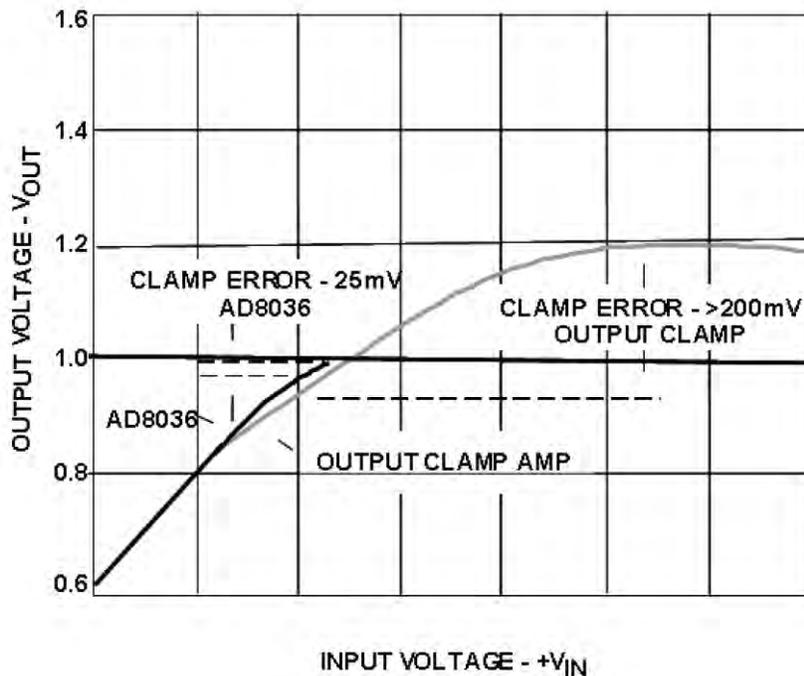


図 2.51: 入力クランプ方式と出力クランプ方式の比較

理想的にクランプされた V_{OUT} と実際のクランプ V_{OUT} との最悪ケースの誤差の代表値は、 18 mV にアンプのクローズドループ・ゲインを乗じたものになります。これは、 V_{IN} が V_H (または V_L) に等しいときに生じます。 V_{IN} がこのリミットを上回るか下回ると、 V_{OUT} は理想値の 5 mV 内にとどまります。

これとは対照的に、出力クランプ方式アンプの伝達曲線は、一般的には、入力 0.8 V から始まるコンプレッション特性を示し、出力電圧はクランプ・リミットを 200 mV 越えることがあります。また、出力クランプ方式では、アンプがクランプ・モードでオープンループ動作をするので、アンプの出力インピーダンスは増加して、さらに誤差を増大させこととなり、リカバリ時間が大幅に長くなります。

重要な点は、AD8036/AD8037 などのクランプ・アンプは、入力信号がクランプ電圧に近づいたときでも低歪みを維持することです。図 2.52 は、出力がクランプ電圧に近づいたときの、アンプの第 2 次および第 3 次の高調波歪みを示しています。入力信号は 20 MHz 、出力信号は 2 V ピーク to ピーク、出力負荷は $100\ \Omega$ です。

クランプ電圧の 2 倍のステップ電圧からのリカバリの様子を図 2.53 に示します。入力ステップ電圧は $+2\text{ V}$ から始まって 0 V になります (オシロスコープ写真の左側のトレース)。入力クランプ電圧 (V_H) は $+1\text{ V}$ に設定されています。右側のトレースは出力波形を示しています。

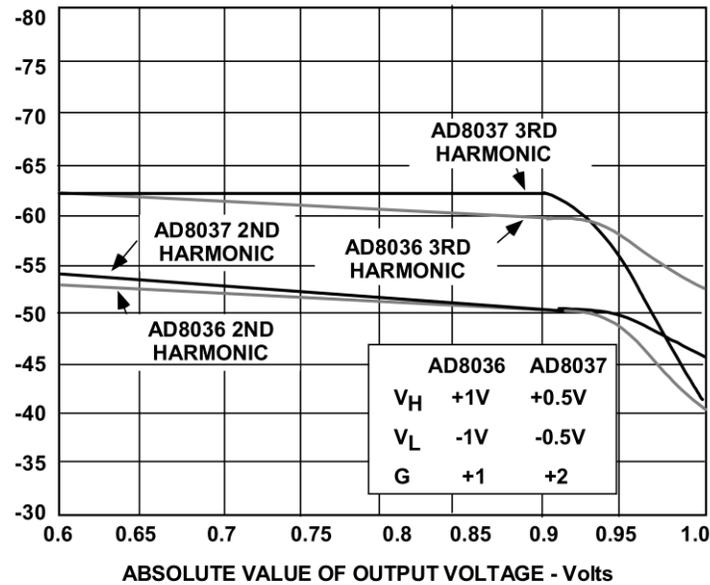


図 2.52: AD8036/AD8037 のクランプ電圧付近の歪み、出力 = 2 V p-p、負荷 = 100 Ω 、 $f = 20$ MHz

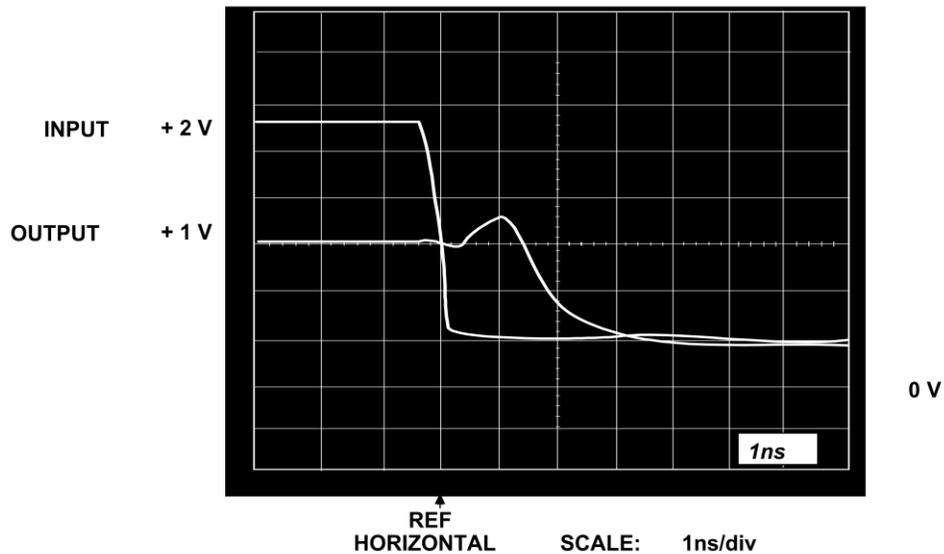


図 2.53: AD8036/AD8037 のオーバードライブ (2 倍) からのリカバリ

図 2.54 は、クランプ・アンプ AD8037 (240 MHz 帯域幅) によって、8 ビット、125 MSPS フラッシュ・コンバータ AD9002 を駆動する回路例を示しています。AD8037 のクランプ電圧は、外付け分圧抵抗により、 ± 0.5 V の入力信号を基準として +0.5 V および -0.5 V に設定されています。AD8037 はゲインは 2 であり、オフセットは -1 V で (AD780 電圧リファレンスを使用)、フラッシュ・コンバータ AD9002 の入力範囲 0 V ~ -2 V にマッチさせてあります。その結果、出力信号は +0.1 V および -2.1 V でクランプされます。

したがって、このクランプ回路は重要な複数の機能を実行するとともに、入力が +0.5 V を超えた場合にサブストレート・ダイオードを順方向にバイアスし、フラッシュ・コンバータのダメージを防止します。ショットキー・ダイオード 1N5712 によって、さらに電源投入時の保護を行います。

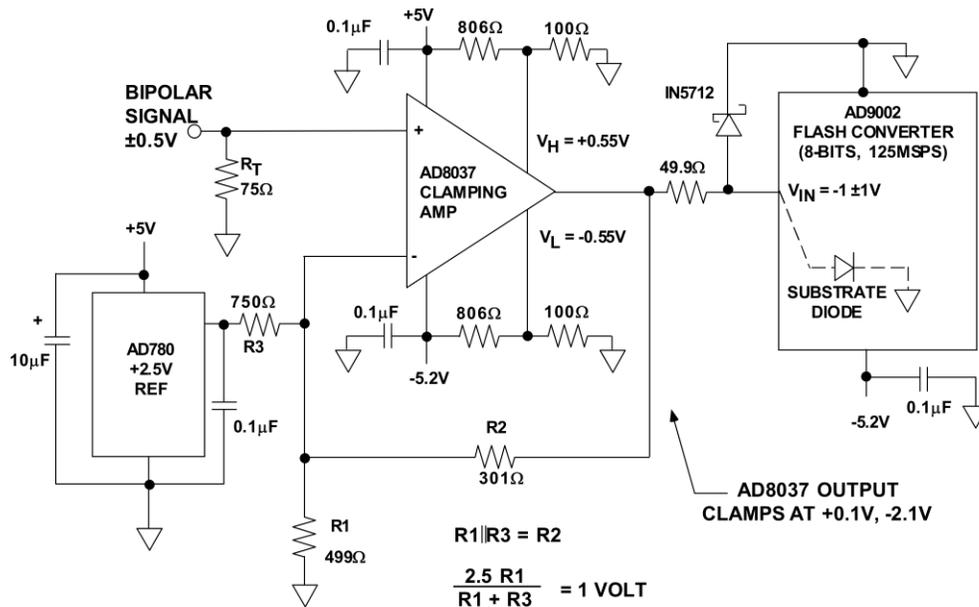


図 2.54: クランプ・アンプ AD8037 によって
8 ビット、125 MS/SPS フラッシュ・コンバータ AD9002 を駆動する回路

301 Ω の帰還抵抗 R2 は、データシートの推奨値に従って帯域幅が最適になるように選択されています。ゲインが 2 の場合には、次式に示すように R1 と R3 の並列接続抵抗値が R2 に等しくなければなりません。

$$\frac{R1 \cdot R3}{R1 + R3} = R2 = 301 \Omega \quad \text{式 2-15}$$

(標準 1% 抵抗に最も近い値)

また、AD8037 の出力に -1 V のオフセットを与えるために、AD780 の +2.5 V リファレンスおよび R3/R1 分圧器のテブナン等価出力電圧は +1V でなければなりません。

$$\frac{2.5 \cdot R1}{R1 + R3} = 1 \text{ volt} \quad \text{式 2-16}$$

この式を解くと、R1 = 499 Ω、R3 = 750 Ω が得られます (標準 1% 抵抗に最も近い値を使用)。他の入力電圧や出力電圧の範囲に対しては、外付け抵抗を適宜変更することにより対応できます。これらの高速クランプ型オペアンプの他の応用例については参考資料 9 を参照してください。

注記

2.10: コンパレータ

コンパレータはオペアンプに似ています。つまり、反転および非反転の 2 つの入力、それに出力があります。ただし、2 つの入力間の電圧を比較するように特に設計されています。したがって、非線形的に動作します。コンパレータはオープンループで動作し、2 つの状態のロジック電圧を出力します。これらの 2 つの状態は、2 入力間における正味の差の符号を表します（コンパレータの入力オフセット電圧の影響を含む）。したがって、コンパレータの出力は、非反転入力の入力信号（それにオフセット電圧、 V_{OS} を加えたもの）が反転入力の信号を超えた場合に論理 1 となり、その逆の場合は論理 0 になります。コンパレータは通常、変化する複数の信号レベルをある一定レベル（通常はリファレンス電圧）と比較するようなアプリケーションで使用されます。実際には 1 ビットの A/D コンバータ（ADC）なので、コンパレータはすべての ADC の基本要素といえます。

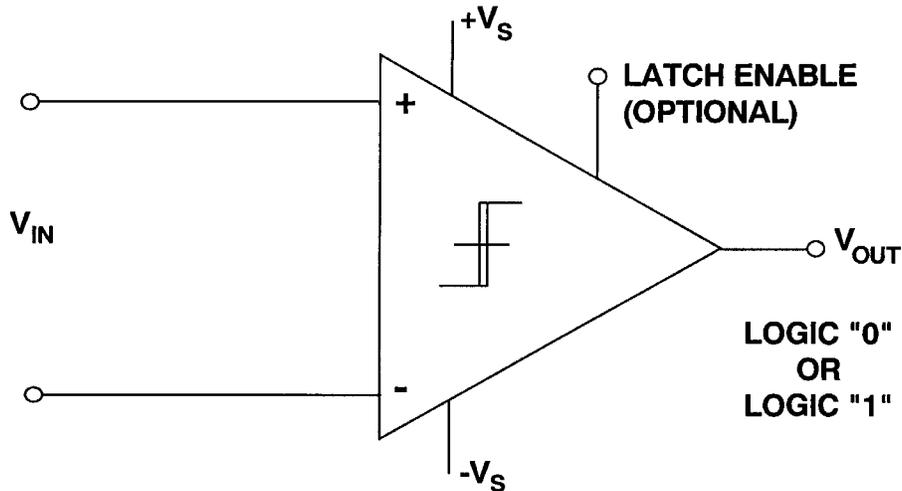


図 2.55: コンパレータのシンボル

コンパレータの DC 仕様はオペアンプのものに似ています。すなわち、入力オフセット電圧、入力バイアス電流、オフセットおよびドリフト、コモンモード入力範囲、ゲイン、CMR、それに PMR の仕様があります。標準ロジック関連の DC、タイミング、それにインターフェースの仕様は、コンパレータの出力に関連しています。

コンパレータにおける重要な AC 仕様は**伝搬遅延**です。これは、差動入力信号がオフセット電圧を交差してから、出力が遷移の 50 % に達するのに必要な時間です。方形波（標準的には振幅が 100 mV）によって駆動されたときは、入力オーバードライブ（通常は 5 mV または 10 mV）の規定値に達するのに必要な時間です（図 2.55 参照）。

実際のコンパレータにおける伝搬遅延は、入力オーバードライブが増加するにつれていくぶん減少します。オーバードライブの関数としての伝搬遅延のこの変化分は**分散**と呼ばれています（図 2.56 参照）。

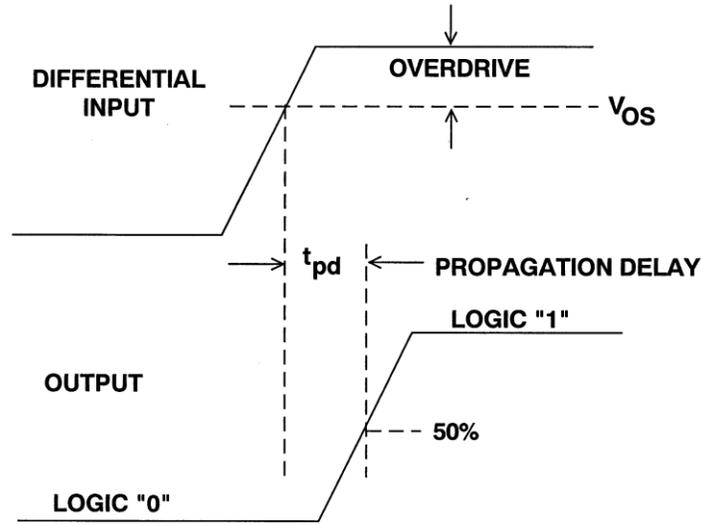


図 2.56: 伝搬遅延

ノイズの多い環境や、入力信号がスイッチングの閾値付近にあるときにコンパレータが状態を連続的に切り替えることが望ましくない場合には、コンパレータの伝達関数にヒステリシスを追加する（正帰還を少量印加する）ことがしばしば有用です。比較的ゆっくりと変化する入力を DC レベルと比較する場合はこれに該当します。ノイズによって出力レベルが何度も切り替わることがあるからです。ヒステリシスを適用したコンパレータの伝達関数を図 2.58 に示します。

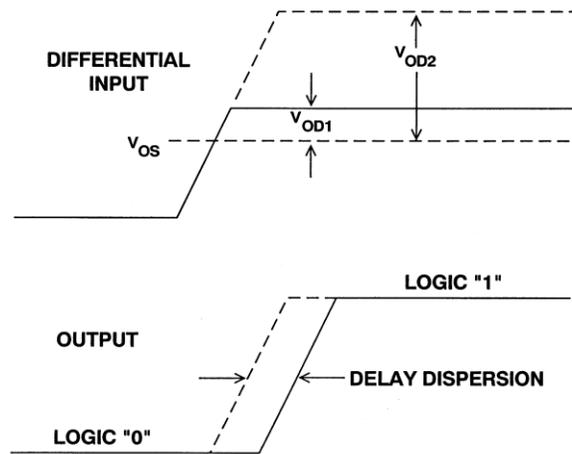


図 2.57: 遅延分散

入力電圧が負の方向からスイッチング閾値 (V_{OS}) に近づく場合は、入力が $V_{OS} + V_H/2$ を越えたときに、コンパレータは 0 から 1 に切り替わります。 $V_{OS} - V_H/2$ が次の「新しい」スイッチング閾値になります。正の方向から来て閾値 $V_{OS} - V_H/2$ を超えるまで、コンパレータの出力は 1 の状態を維持します。 V_{OS} を中心とした入力ノイズが $V_{OS} \pm V_H/2$ を境界とする領域を超えない限り、コンパレータは状態を切り替えることはありません。

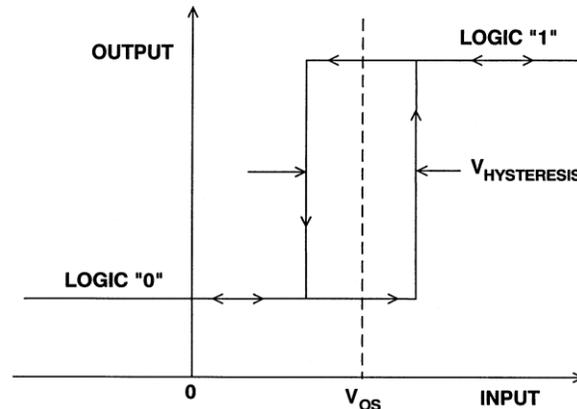
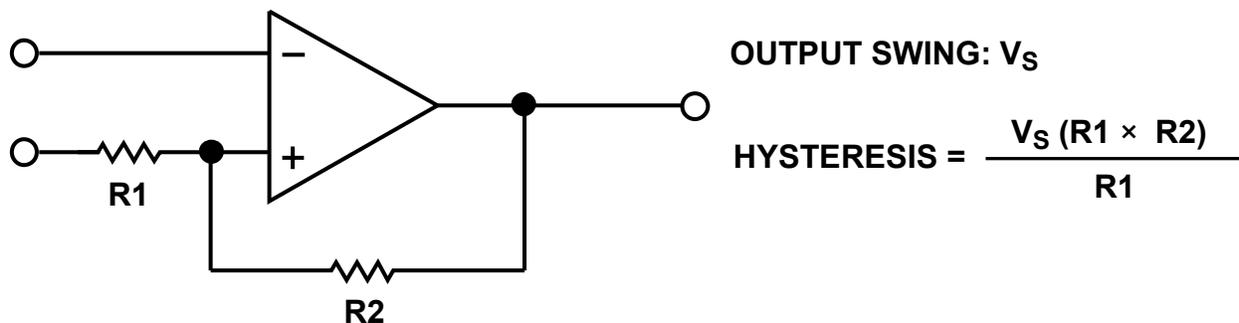


図 2.58: ヒステリシスの効果

図 2.59 に示すように、ヒステリシスは 2 個の抵抗を使用して実現可能で、ヒステリシスの大きさは抵抗比に比例します。コンパレータへの信号入力は反転または非反転へのいずれの入力へも可能ですが、反転入力にする場合は、ソース・インピーダンスは $R1$ に影響を与えないほど十分に小さくしなければなりません（当然ながら、ソース・インピーダンスが十分に予測できる場合は $R1$ として使用できます）。



- INPUT SIGNAL MAY BE APPLIED TO EITHER INPUT BUT ITS SOURCE IMPEDANCE MUST BE LOW IF IT IS APPLIED TO R1

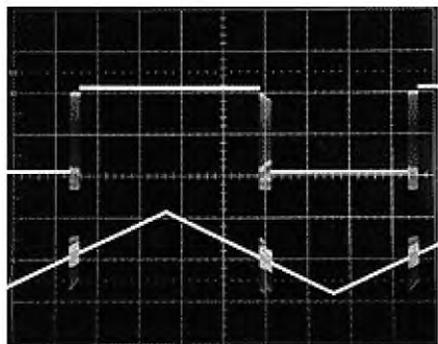
図 2.59: ヒステリシスの適用

トリップ電圧が 2 つのコンパレータの出力電圧の間にある場合は（対称電源でグラウンドを基準とする場合）、ヒステリシスを導入すると、正と負の閾値がトリップ点電圧から等しい距離に移動しますが、トリップ点を一方の出力電圧に近づけると、閾値はトリップ点電圧に対して非対称になります。ヒステリシスを計算するために、コンパレータの出力電圧をそれぞれ V_p と V_n であるとします。コンパレータのトリップ点電圧を V_{os} とします。負の閾値は次式になります。

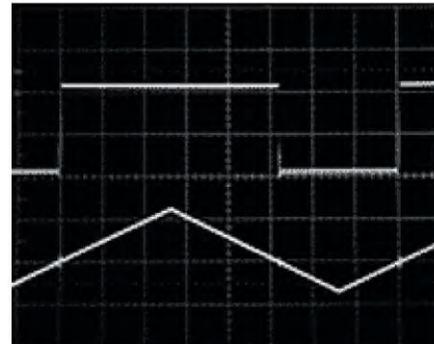
$$\frac{(R1 + R2) V_{os} - R1V_n}{R2} \quad \text{式 2-17}$$

正の閾値は次式になります。

$$\frac{(R1 + R2) V_{os} - R1V_p}{R2} \quad \text{式 2-18}$$



外部ヒステリシスなし



5mV の外部ヒステリシス

図 2.60: ヒステリシスによるコンパレータ応答のクリーンアップ

外部の（外付け抵抗で適用した）ヒステリシスで遭遇する問題は、出力電圧が電源電圧および負荷に依存することです。このことは、ヒステリシス電圧がアプリケーションによって変化することを意味します。これは分解能に影響を与えるものの深刻な問題にはなりません。というのは、ヒステリシスは通常、設定範囲の中の非常に小さな割合にすぎないため、計算結果の 2 倍 または 3 倍（あるいはそれ以上）の安全マージンを許容できるからです。コンパレータをいくつか交換すれば、安全マージンの信頼性を高めることができます。帰還には巻線抵抗は使用しないでください。インダクタンスが性能を悪化させることがあります。

コンパレータにはヒステリシスを内蔵しているものがあります。例えば AD790 があります（図 2.61 を参照）。ヒステリシス電圧は公称 $500 \mu\text{V}$ です。もちろんこれは外部ヒステリシスを使用することによって変更できます。

AD790 にはほかにも利点があります。入力（アナログ）側の電源電圧と出力側の電源電圧が必ずしも同じである必要がありません。出力の振幅は V_{LOGIC} から GND までです。入力側の電源電圧は $\pm 15 \text{ V}$ から、 $+5 \text{ V}$ とグラウンドまでが可能です。

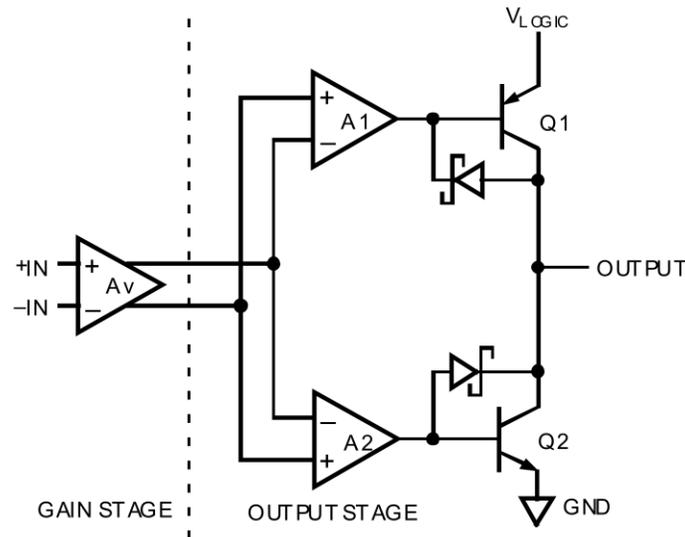


図 2.61: AD790 のブロック図

コンパレータの出力はオープン・コレクタ（オープン・ドレイン）であることがきわめて一般的です。こうすると、後続の回路に適切なロジック・レベルでインターフェースすることができます。最大許容出力電圧を守らなければならない点には注意が必要ですが、通常はそれほど大きな問題にはなりません。

ウィンドウ・コンパレータは 2 個のコンパレータを利用します。これらは異なるリファレンス電圧を使用し、入力電圧は共通にします。入力信号が 2 つのリファレンス電圧の間にある場合に最終的な出力の論理レベルがアサートされるようにコンパレータを接続します（図 2.62）。

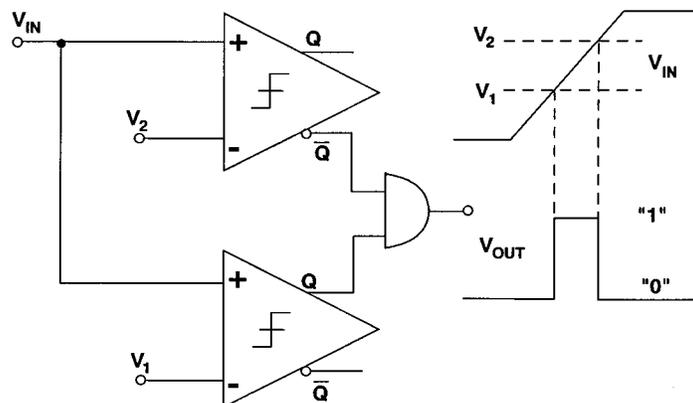


図 2.62: ウィンドウ・コンパレータ

多くのコンパレータには内部ラッチがあります。ラッチ・イネーブル信号には、比較（トラック）とラッチ（ホールド）の 2 つの状態があります。ラッチ・イネーブル信号が比較の状態にあるときは、コンパレータ出力は正味の差動入力信号の符号に連続的に応答します。

ラッチ・イネーブル信号がラッチ状態に遷移すると、コンパレータ出力は、遷移の瞬間の差動入力信号の符号に応じて論理 1 または論理 0 になります（ここでは、セットアップ時間とホールド時間、それにラッチ・イネーブル機能に関連した出力伝搬遅延を無視しています）。多くのコンパレータはラッチ・イネーブル機能を持っているにもかかわらず、しばしば比較モードでのみ動作しています。

コンパレータの内部ラッチ・イネーブル機能は、コンパレータの決定を既知の瞬間に記録できるので、ADC のアプリケーションで特に有用です。フラッシュ・コンバータはこの概念を利用し、共通のラッチ・イネーブル・ラインを共有する多数の並列コンパレータで構成されています。ラッチ・イネーブル機能に関連した代表的なタイミングを図 2.63 に示します。ラッチ・イネーブルのアサートから出力ロジック振幅の 50 % の時点までの間の遅延は、ラッチ・イネーブルからの出力までの遅延と呼ばれます。これは、出力が正へ向かうときと負へ向かうときとは異なることがあります。ラッチ・イネーブル機能に関連する他の重要な仕様は、最小許容ラッチ・イネーブル・パルス幅です。この仕様により、コンパレータをストロープできる最大周波数が決まります。

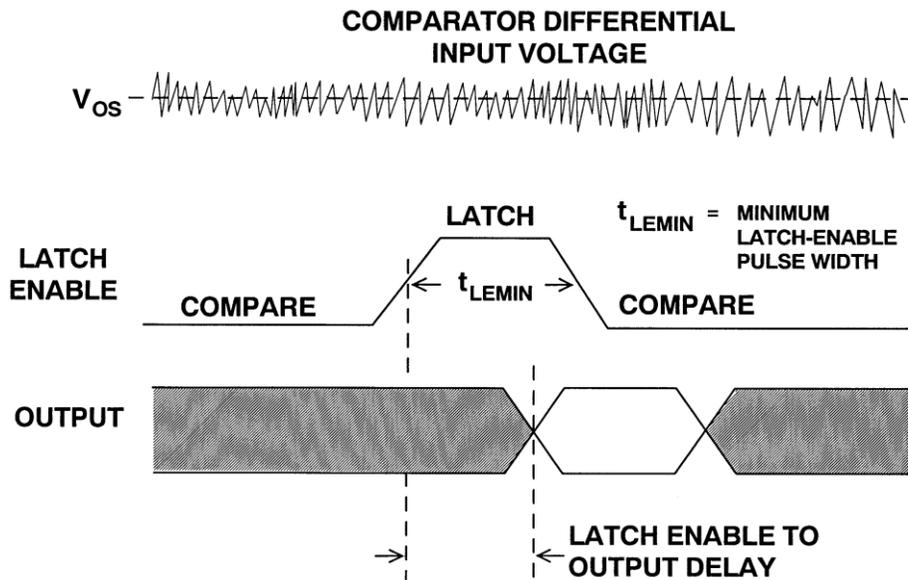


図 2.63: 出力ラッチの効果

高速コンパレータは高ゲインおよび高帯域幅のため、使用には少々困難を伴います。コンパレータを使用する際には、高速用のレイアウト、接地、デカップリング、それに信号ルーティングを適切に適用することが必須です。このことはいくら強調してもしすぎることはありません。最大の問題は、入力信号がスイッチング閾値に等しいか非常に近い場合に発振する傾向があることです。低速信号が DC のリファレンスと比較されたときにも発振することがあります。ヒステリシスおよび狭いラッチ・イネーブル・パルスを使用すれば一般にこれらの条件を緩和できます。TTL コンパレータは出力スイングが大きく高速エッジなので、しばしば出力が状態を変化させる際の電源電流スパイクと組み合わせると、ECL よりも発振する可能性が高くなります。これはノイズの形で入力へ帰還されることがあります。

コンパレータとしてのオペアンプの使用

オペアンプとコンパレータは一見すると交換可能に思えるかもしれませんが、いくつかの重要な違いがあります。

コンパレータはオープンループで動作し、出力でロジックを駆動し、不安定性を最小にして高速動作するように設計されています。オペアンプはコンパレータとして使用するようには設計されておらず、オーバードライブされると飽和し、回復は比較的遅めになる可能性があります。多くのオペアンプは、大きな差動電圧で使用した場合に入力段が予期しない動作をし、実際多くのケースではオペアンプの差動入力電圧範囲は制限されています。また、オペアンプの出力はロジックとはほとんど互換性がありません。

しかし、多くの人々はいまだにオペアンプをコンパレータとして使用しようとしています。低速かつ低分解能では動作しますが、その結果はほとんど満足のいくものではありません。オペアンプはコンパレータとして使用することは意図されていないので、そのように使用した際に発生する問題は、オペアンプのデータシートを参照してもすべてが解決するとは限りません。

最も一般的な問題は、(前述したように)スピード、入力構成の影響(保護ダイオード、FET アンプにおける位相反転、その他多数)、ロジックを駆動するようには意図されていない出力構造、ヒステリシスおよび安定性、さらには同相ノイズの影響、などです。

スピード

ほとんどのコンパレータは非常に高速ですが、オペアンプのなかにも高速なものがあります。オペアンプをコンパレータとして使用する場合、なぜ低速しか期待できないのでしょうか。

コンパレータは大きな差動入力電圧で使用するようには設計されていますが、オペアンプは通常は負帰還によって差動入力電圧を最小にするように動作します。オペアンプがオーバードライブされると、ときにはわずか数 mV でも一部のステージが飽和することがあります。この問題が生じた場合は、飽和状態を脱するのに比較的長時間を要するため、常に飽和しない状態を維持した場合よりもはるかに低速になります。

オーバードライブしたオペアンプの飽和状態からの脱出までの時間はアンプの通常の群遅延よりもかなり長くなる可能性があるため、しばしばオーバードライブ量に依存します。様々なオーバードライブ量に対するこの飽和脱出時間の仕様が規定されているオペアンプはほとんどないので、一般には、特定のアプリケーションで予想されるオーバードライブの条件で、アンプの挙動を実験により定める必要があります。

このような実験結果はそのまま信用してはならず、最悪ケースの設計での計算に選択すべきオペアンプ・コンパレータの伝播遅延の値は、実験で得られた最悪値の少なくとも 2 倍にする必要があります。

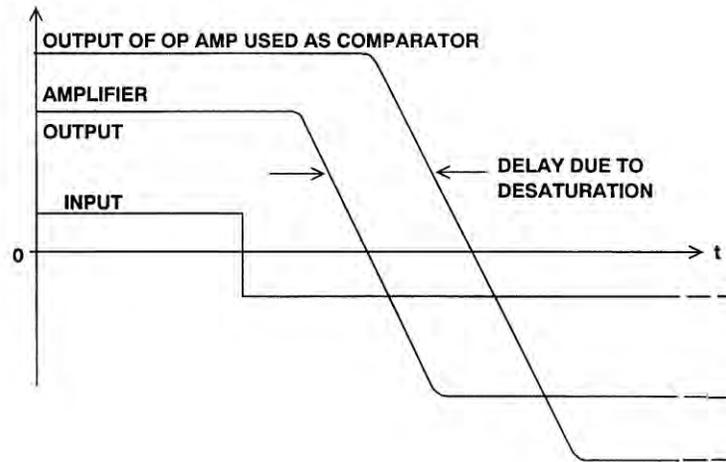


図 2.64: 飽和のアンプ速度への影響
(コンパレータとして使用した場合)

出力に関する考慮

コンパレータの出力は特定のロジック・ファミリーを駆動するように設計されますが、オペアンプの出力は電源電圧のレール to レールをスイングするように設計されています。

オペアンプ・コンパレータによって駆動されるロジックがオペアンプと電源を共有しないため、オペアンプのレール to レール・スイングがロジック電源電圧のレール外にはみ出ることがよくあります。その結果、おそらくロジック回路が破壊され、それによって引き起こされる短絡によってオペアンプも破壊されることがあります。

検討しなければならないロジックは、ECL、TTL、CMOS の 3 種類です。

ECL は非常に高速な電流ステアリング型ロジックのファミリーです。さきほど述べた理由から、ECL の最高速度を必要とされるような用途ではオペアンプがコンパレータとして使用されることはあまりないので、通常はオペアンプの信号振幅から ECL の論理レベルを駆動することにのみ関心がもたれ、浮遊容量に起因する速度低下は重要にはならないでしょう。これを行うには、図 2.65 に示すように 3 個の抵抗だけで済みます。

オペアンプの出力がハイのときにゲートのレベルが -0.8 V になり、ローになったときに -1.6 V となるように R1、R2、R3 を選択します。ECL はたまたま負電源ではなく正電源で使用されることがあり（つまり、もう一方のレールを接地）、その場合は同様な基本インターフェース回路を使用できますが、各種の値を再計算しなければならないことがあります。

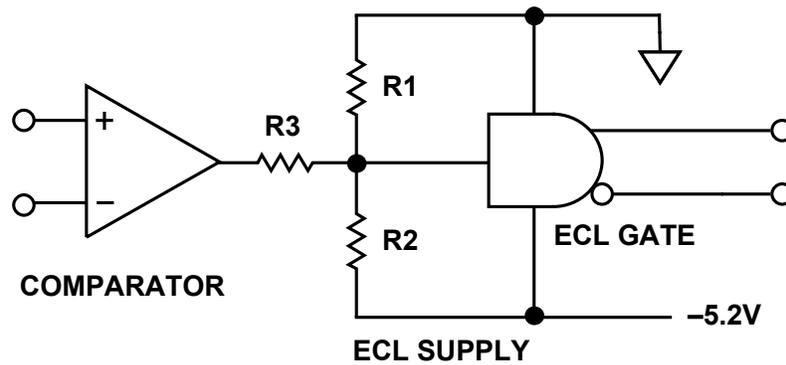


図 2.65: オペアンプ・コンパレータによる ECL ロジックの駆動

CMOS と TTL とでは、入力構成、ロジック・レベル、それに電流の流れ方は全く異なりますが（一部の CMOS は TTL の入力レベルで動作する仕様のものも存在）、両方とも論理 0 は 0V 付近、論理 1 は 5V 付近で動作するため、インターフェース回路が同じであればどちらの種類ロジックでも完全に動作します。

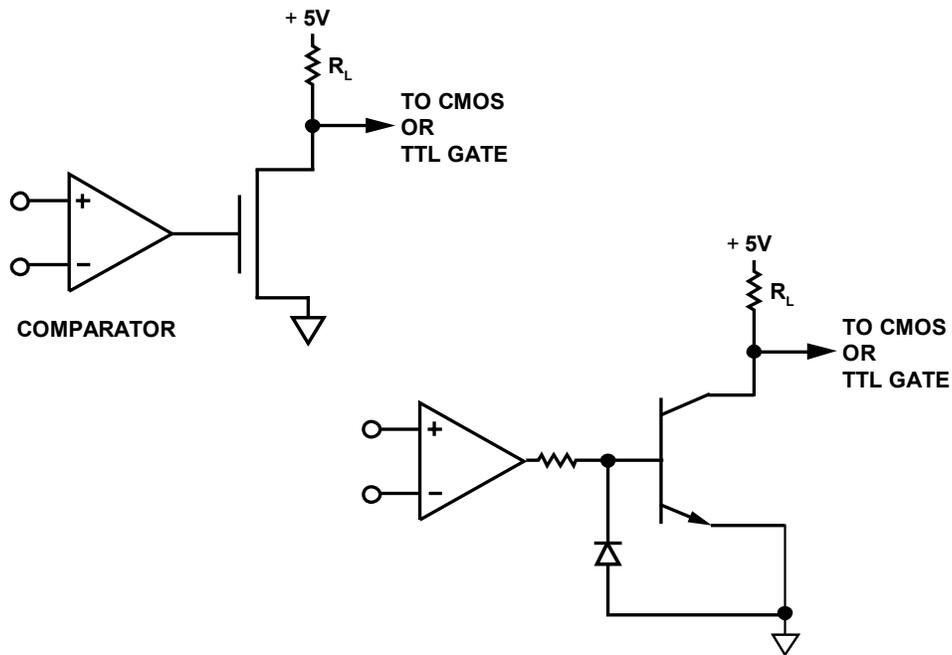
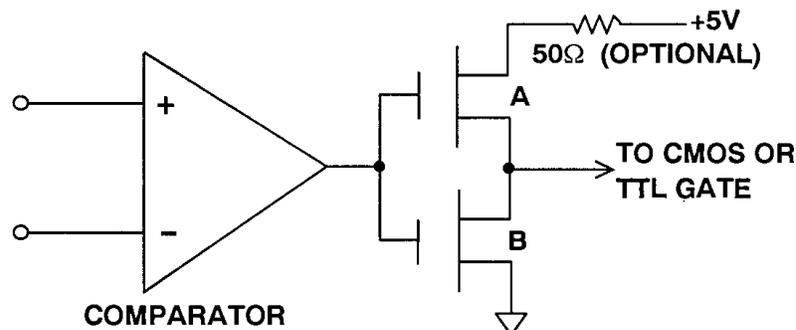


図 2.66: オペアンプ・コンパレータによる TTL または CMOS ロジックの駆動

最も単純なインターフェースでは、1 個の N チャンネル MOS トランジスタと 1 個のプルアップ抵抗 R_L を使用します。NPN トランジスタ、 R_L 、それに追加のトランジスタとダイオードを用いても同様の回路を作成できます。これらの回路は単純で安価かつ信頼性があり、並列接続した数個のトランジスタと 1 個の R_L で「ワイヤード OR」をとることで可能ですが、0 から 1 への遷移速度は R_L と出力ノードの浮遊容量の値に依存します。 R_L の値が小さいほど高速になりますが、消費電力も増加します。2 個の MOS デバイスを使用し、1 個は P チャンネル、1 個は N チャンネルとすることにより、どちらの状態でも静止消費電力のない CMOS/TTL インターフェースを 2 個のコンポーネントだけで作成することができます。

また、単にコンポーネントの配置を変えるだけで反転または非反転にすることができます。ただし、両方のデバイスが一度にオンになったときにスイッチング時に大きなサージ電流が流れるため、高チャンネル抵抗の MOS デバイスを使用しない限りは、この影響を軽減するのに電流制限抵抗が必要になることがあります。このアプリケーションや図 2.67 に示すようなアプリケーションで同様に重要なのは、ゲート・ソース間耐圧 V_{bgs} が両方向でコンパレータの出力電圧よりも大きな MOS デバイスを使用することです。 $V_{bgs} > \pm 25\text{ V}$ の値は MOS デバイスでは一般的であり、通常はこれで十分ですが、多くの MOS デバイスにはこの値を減少させるゲート保護ダイオードが含まれています。これらは使用すべきではありません。



- Can be inverting or non-inverting, depending on placing of VMOS devices.

Inverting: A = P-channel/B = N-channel

Non-inverting: A = N-channel/B = P-channel

($V_{bgs} > \pm 25\text{ V}$ for both devices)

図 2.67: CMOS ドライバ付きのオペアンプ・コンパレータ

入力回路

コンパレータとして使用するオペアンプの入力に関しては、考慮しなければならない効果はいくつかあります。技術者がすべてのオペアンプとコンパレータに関してまず最初に仮定することは、これらは無限の入力インピーダンスを持ち、開回路とみなすことができるということです（非反転入力が高インピーダンスだが反転入力では数十 Ω の低インピーダンスである電流帰還（トランスインピーダンス）オペアンプを除く）。

しかし、多くのオペアンプ（OP-07 やその多くの派生型など、特にバイアス補償型オペアンプ）は、入力デバイスにダメージを与える大電圧を防止するための保護回路を内蔵しています。

また、より複雑な入力回路を搭載しているものもあり、印加された差動電圧が数十 mV 以下の場合にのみ高インピーダンスとなったり、数ボルト以上の差動電圧によって実際に損傷を受けるものもあります。したがって、オペアンプをコンパレータとして使用する場合には、データシートを調べて、大きな差動電圧が印加されたときの入力回路の挙動を知る必要があります。（集積回路を使用する際、理想的でない挙動（これまでに製造されたあらゆる集積回路には何らかの理想的でない挙動があります）が検討中のアプリケーションに適合するかを確認するため、必ずデータシートを参照する必要があります。この場合は通常よりもずっと重要になります。）

もちろん、コンパレータのアプリケーションによっては大きな差動電圧を扱わないものもあります。あるいは、扱う場合でも、大きな差動電圧が存在するときのコンパレータの入力インピーダンスはそれほど重要にはならない場合があります。このような場合には、入力回路が非線形的に振る舞うオペアンプをコンパレータとして使用することが適切と言えます。ただし、関連する問題は無視せずに検討しておく必要はあります。

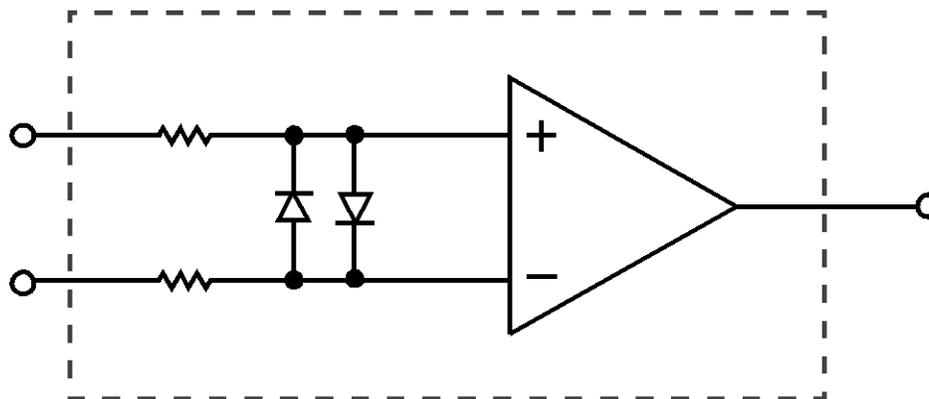


図 2.68: 入力保護がなされたオペアンプ

本書で前述したように、ほぼすべての BIFET オペアンプは、入力が電源電圧のいずれか（通常は負電源）に接近したときに異常な挙動を示します。

反転入力と非反転入力が入れ替わることがあります。オペアンプをコンパレータとして使用しているときにこれが発生すると、そのシステムの位相が反転し、非常に不都合な状況になります。

解決策はこの場合もデータシートを注意深く読んで、同相電圧範囲が許容範囲内にあるかどうかを知ることです。

また、負帰還が存在しないということは、オペアンプ回路とは異なり、入力インピーダンスにはループ・ゲインが乗じられないことを意味します。その結果、入力電流はコンパレータがスイッチングするごとに変化します。したがって、駆動インピーダンスは、寄生帰還とあいまって回路の安定性に重大な影響を与えることがあります。負帰還はアンプを線形領域内に維持する傾向がありますが、正帰還は飽和状態にします。

2.11: アナログ乗算器

乗算器は 2 つの入力ポートと 1 つの出力ポートを持つデバイスです。出力の信号は 2 つの入力信号の積になります。入力信号と出力信号の両方が電圧である場合、伝達特性は 2 つの電圧の積を倍率 K で割った値になり、次元は電圧になります (図 2.69 参照)。数学的観点からは、この乗算は 4 象限の演算になります。つまり、両方の入力为正または負で、出力が正または負になりえます。ただし、電子乗算器の製造に使用する回路によっては、単極性の信号に制限されることがあります。両方の信号とも単極性でなければならない場合は、1 象限のみの乗算器を使用し、出力も単極性になります。信号の一方が単極性でも他方がいずれの極性もとりうる場合は、乗算器は 2 象限の乗算器となり、出力はいずれの極性もとりえます (つまり両極性になります)。1 象限および 2 象限の乗算器を作成するのに使用する回路は、4 象限の乗算を必要とする回路よりも単純になります。さらに、4 象限全部に対応する乗算器を必要としないアプリケーションは多いので、1 象限または 2 象限のみで動作する適切なデバイスを見つけることが一般的です。例としては広帯域の 2 象限型デュアル乗算器である AD539 があります。これは、5 MHz という比較的限られた帯域幅の単極性入力 V_y をひとつ、それに 60 MHz の帯域幅の、乗算器あたり 1 つずつ、計 2 つの両極性入力 V_x を持ちます。AD539 のブロック図を図 2.71 に示します。

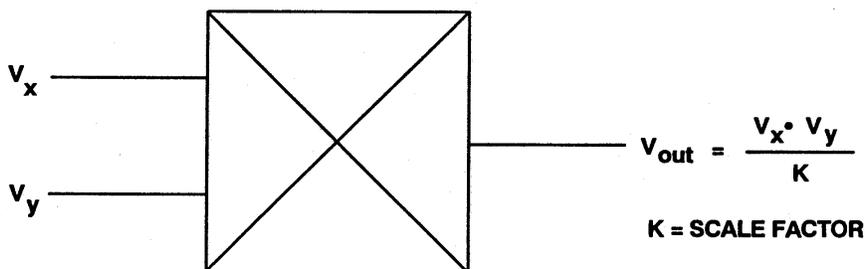


図 2.69: 乗算器のブロック図

Type	V_x	V_y	V_{out}
Single Quadrant	Unipolar	Unipolar	Unipolar
Two Quadrant	Bipolar	Unipolar	Bipolar
Four Quadrant	Bipolar	Bipolar	Bipolar

図 2.70: 乗算器における入出力の関係

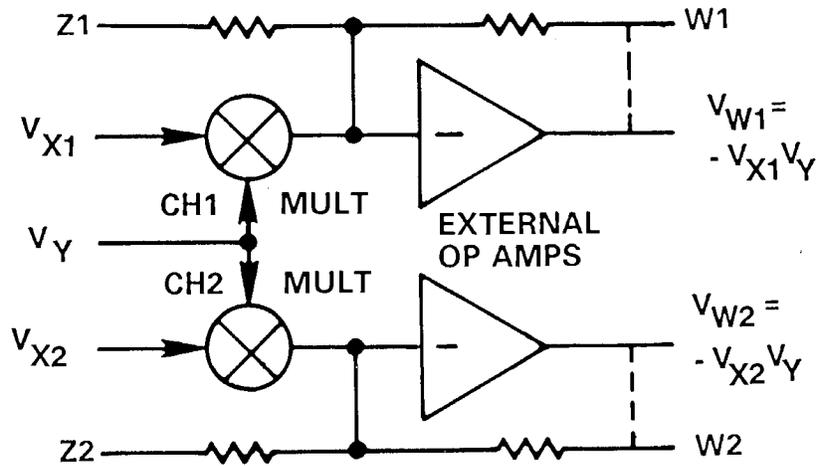


図 2.71: AD539 のブロック図

最も単純な電子乗算器はログアンプを使用します。計算は、2 つの数の対数をとった値の和の真数はそれらの数の積である、という事実を基にしています (図 2.72 参照)。

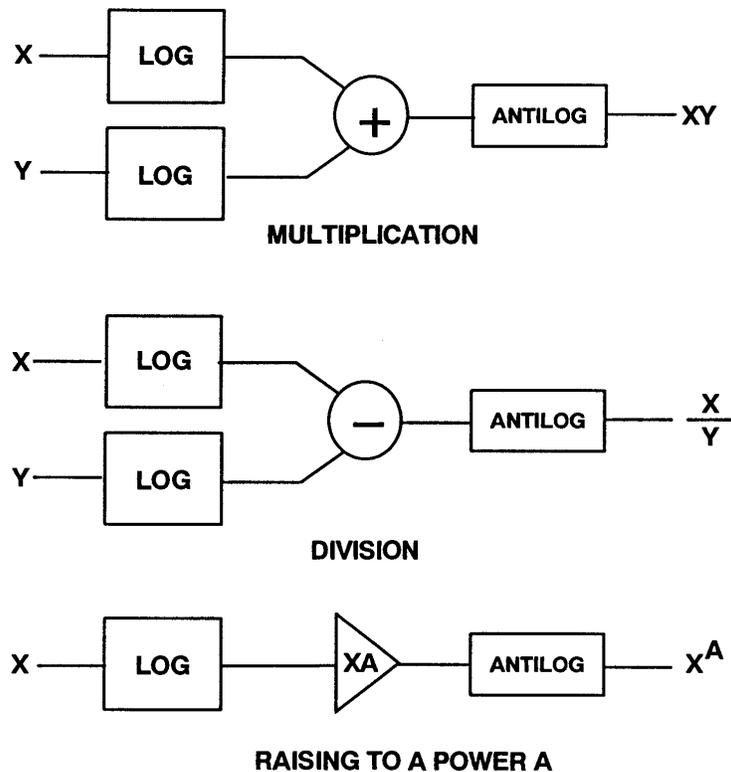


図 2.72: ログアンプを乗算器として使用

この種の乗算の欠点は、帯域幅が非常に限られることと、1 象限のみの演算であることです。はるかに優れた乗算器はギルバート・セル (Gilbert Cell) を使用します。この構造は、1960 年代後半に、現在はアナログ・デバイセズの社員であるバリー・ギルバートによって発明されました (参考資料 1 および 2 を参照)。

シリコン接合トランジスタのコレクタ電流と相互コンダクタンス (ゲイン) との間には線形的関係が存在し、次式で与えられます。

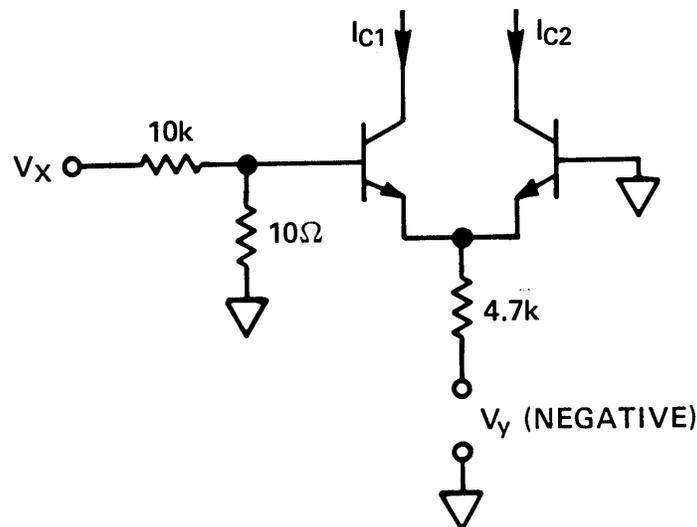
$$dI_c / dV_{be} = qI_c / kT \quad \text{式 2-19}$$

ここで、

- I_c = コレクタ電流
- V_{be} = ベース・エミッタ間電圧
- q = 電荷 (1.60219×10^{-19})
- k = ボルツマン定数 (1.38062×10^{-23})
- T = 絶対温度

図 2.73 に示すように、この関係はシリコン・トランジスタの差動型 (ロングテール型) ペアを使用して乗算器を作成する際に利用できます。

この乗算器は、次の理由によりあまり優れているとはいえません。つまり、(1) Y 入力は、 V_y とともに非線形に変化する V_{be} によってオフセットされる。(2) X 入力は、 I_c と V_{be} 間の指数関数的な関係により非線形になる。(3) スケール係数は温度とともに変化する。



$$I_{c1} - I_{c2} = \Delta I_c = \frac{q}{kT} \left(\frac{V_y + V_{be}}{4.7 \times 10^3} \right) \left(\frac{10}{10,010} \right) V_x$$

$$= 8.3 \times 10^{-6} (V_y + 0.6) V_x \quad @ 25^\circ\text{C}$$

図 2.73: 単純な乗数器

ギルバートは、この回路は線形化が可能で、電圧ではなく電流で動作させ、トランジスタの対数的な I_c/V_{be} の特性を利用することによって温度的に安定させることができることに気づきました（図 2.74 参照）。ギルバート・セルへの X 入力は差動電流の形をとり、Y 入力は単極性電流です。X の差動電流はダイオードが接続された 2 個のトランジスタに流れ、対数的な電圧により V_{be}/I_c の指数関係が補償されます。また、スケール係数 q/kT は相殺されます。これにより、ギルバート・セルは次のような線形伝達関数となります。

$$\Delta I_c = \frac{\Delta I_x I_y}{I_x} \quad \text{式 2-20}$$

現在のところ、ギルバート・セルには次の 3 つの不都合な点があります。(1) X 入力は差動電流である。(2) 出力は差動電流である。(3) Y 入力は単極性電流なので、セルは 2 象限のみの乗算器になる。このような 2 つのセルをクロスカップリングさせ、2 個の電圧／電流コンバータを使用することによって（図 2.75 参照）、この基本的なアーキテクチャを AD534 のような電圧入力の 4 象限デバイスに変えることができます。低・中周波数では、出力の差動電流を電圧に変換するのに減算器アンプを使用できます。電圧出力アーキテクチャにより、AD534 の帯域幅はわずか約 1 MHz ですが、後継バージョンである AD734 は 10 MHz の帯域幅です。

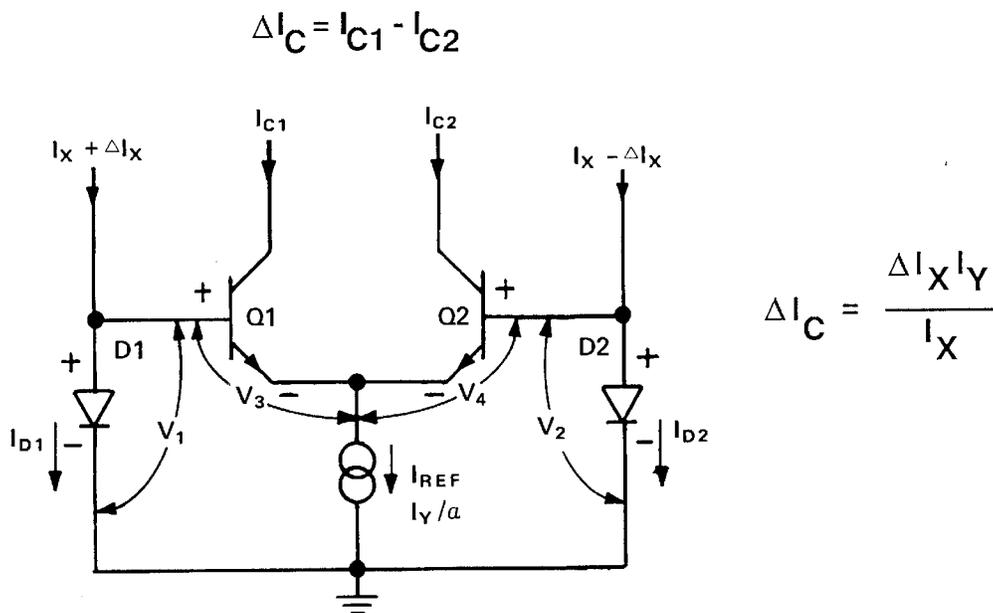


図 2.74: 4 象限のギルバート・セル

図 2.75 では、Q1A と Q1B、および Q2A と Q2B がギルバート・セル構成の 2 つのロングテール型ペアを形成し、図 2.75 には、差動電流からシングルエンド電圧へのコンバータとして動作するオペアンプがありますが、より高速なアプリケーションでは、(AD834 500 MHz 乗数器のように) Q1 と Q2 のコレクタをクロスカップリングさせることにより、差動型のオープン・コレクタ電流出力を形成します。

トランスリニア乗算器は、多数のトランジスタと電流のマッチングに依存します。これはモノリシック・チップで容易に実現できます。ただし、最良の IC プロセスでも残留誤差がいくらかあり、このような乗算器では 4 つの DC 誤差項として現れます。初期のギルバート・セル乗算器では、これらの誤差はチップ外部の抵抗やポテンショメータによってトリミングする必要があり、やや不便でした。チップ上で SiCr 薄膜抵抗のレーザ・トリミングが可能となった最新のアナログ・プロセスでは、最終的なデバイスが高精度となるように製造時にこれらの誤差をトリミングすることが可能になりました。内部でのトリミングには、外付けのトリムポットを使用した場合のように高周波性能が低下しないという利点もあります。

トランスリニア乗算器の内部構造は必然的に差動なので、入力も通常は差動です（いずれにせよ、シングルエンド入力が必要な場合には入力の片方を接地するのは難しくはありません）。これは同相信号の除去を容易にするだけでなく、より複雑な計算を行うことも可能にします。AD534 は（先の図 2.71 に示したように）ギルバート・セルに基づいた 4 象限乗算器の典型的な例です。これは、乗算器モードで 0.1% の精度であり、完全差動入力および電圧出力を備えています。ただし、電圧出力アーキテクチャのため、帯域幅は約 1 MHz にすぎません。

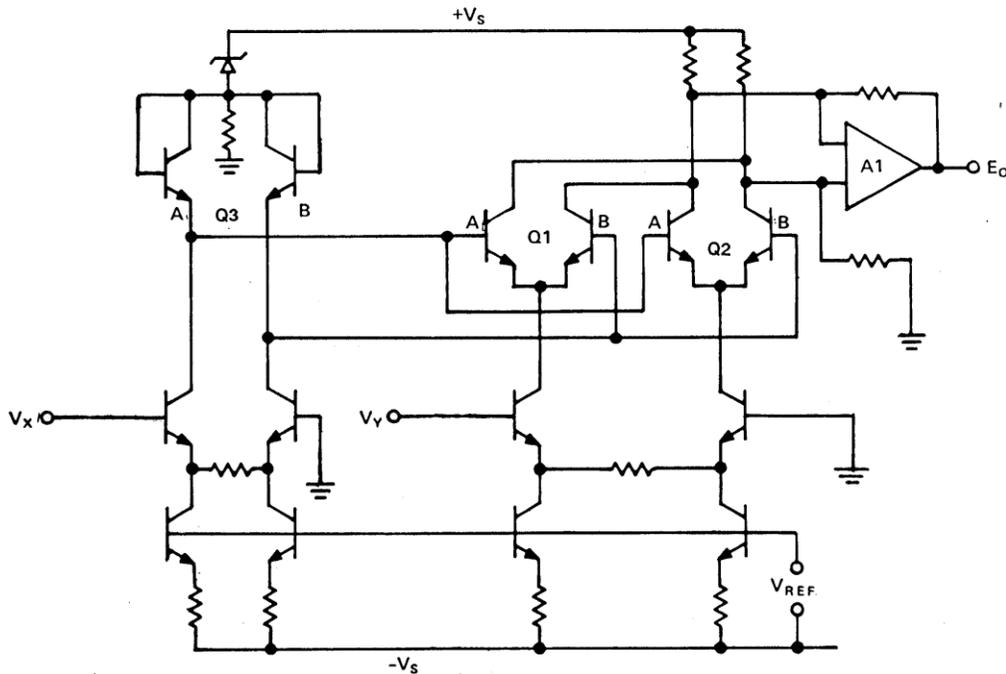
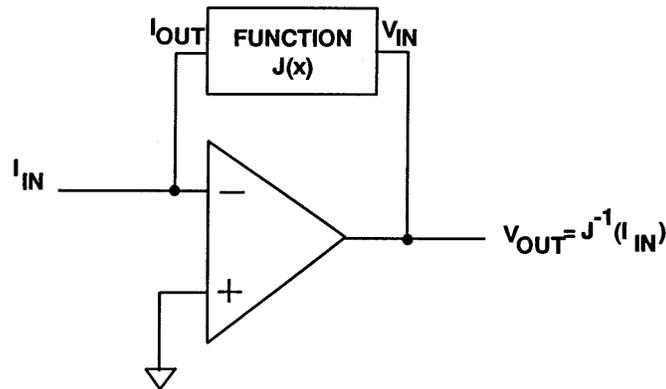


図 2.75: 分周器として構成した乗算器とオペアンプ
(反転および非反転の両モードで動作)

乗算器はオペアンプの帰還ループ内に配置して、いくつかの有用な機能を持たせることができます。図 2.76 は、負帰還ループ内に関数発生器を置いて逆関数を計算する、アナログ計算の基本原理を示しています（当然ですが、関数は動作範囲にわたって単調であるという条件が付きます）。



**NOTE: FUNCTION MUST BE MONOTONIC
OVER THE RELEVANT RANGE**

図 2.76: 逆関数の生成

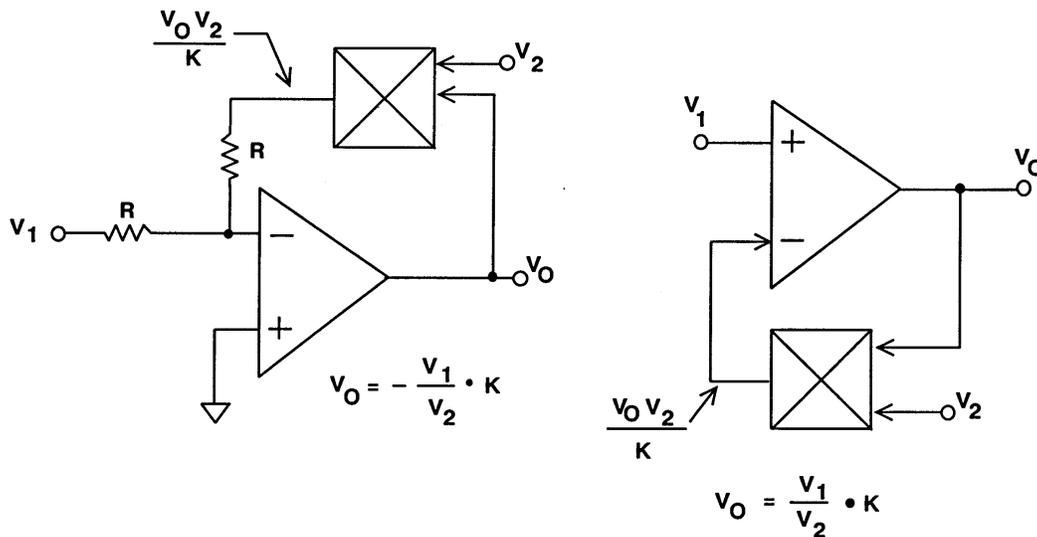


図 2.77: 分周回路

高速乗算器については RF/IF のセクション (4.3) でも説明します。

2.12: RMS/DC コンバータ

二乗平均平方根（実効値: RMS）は、AC 信号の振幅についての基本的な測定値です。実際的な定義では、AC 信号の実効値は、同一負荷で同等の熱量を生成するのに必要な DC の量として定義されます。数学的な定義では、電圧の実効値は信号を二乗して平均値をとり、さらに平方根をとった値として定義されます。この平均化時間は、必要とする最低の動作周波数でのフィルタリングに十分な長さでなければなりません。RMS/DC コンバータの詳細は参考資料 13 に記述されていますが、アナログ回路がこの機能をいかに効率的に実行するかを示す例をいくつか示します。

第 1 の方法は陽解法と呼ばれるもので、図 2.78 に示します。入力信号は最初に乗算器によって二乗されます。適切なフィルタを用いて平均値が取り出され、さらに帰還ループ内に 2 つ目の二乗器を置いたオペアンプを使用して平方根が取り出されます。この回路では、平方根処理の次の段階で振幅の変化が非常に大きい信号を処理しなければならないため、ダイナミック・レンジに制限を受けます。そのため、この方法では、入力は最大のダイナミック・レンジが約 10:1 (20 dB) の制限があります。ただし、AD834 などの乗算器を回路の一部として使用すると、優れた帯域幅 (100 MHz 以上) を高精度に実現できます (図 2.79 参照)。

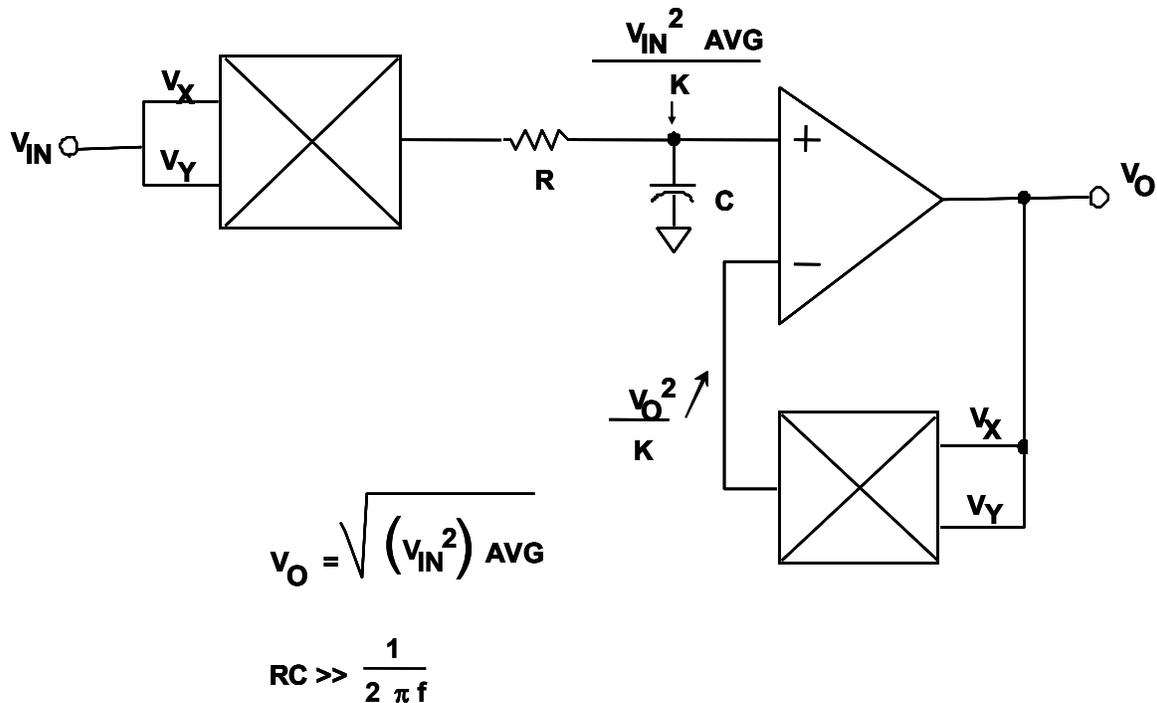


図 2.78: 陽解法による実効値の計算

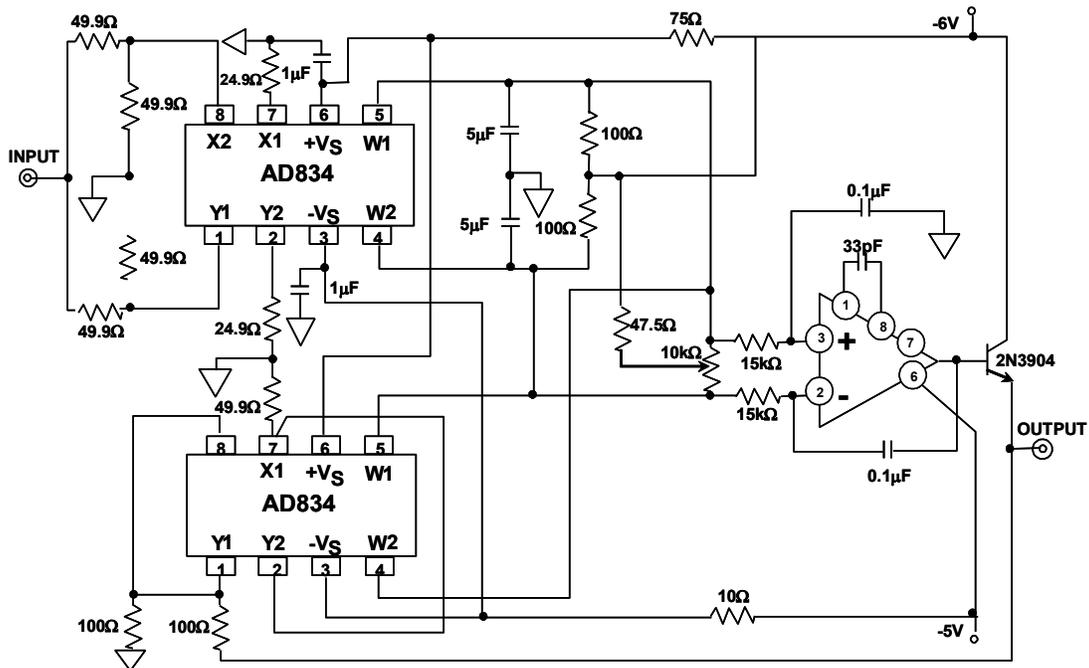


図 2.79: 広帯域での実効値の測定

図 2.80 は、陰解法 (implicit method) を用いて信号の実効値を計算する回路を示しています。ここでは、出力を AD734 などの乗算器の直接分周入力に帰還しています。この回路では、乗算器の出力は入力の実効値に対して（二乗ではなく）線形に変化します。これにより、陽解回路に比較して陰解回路のダイナミック・レンジは大幅に増大します。この手法の欠点は、陽解法の計算よりも一般に帯域幅が狭くなることです。

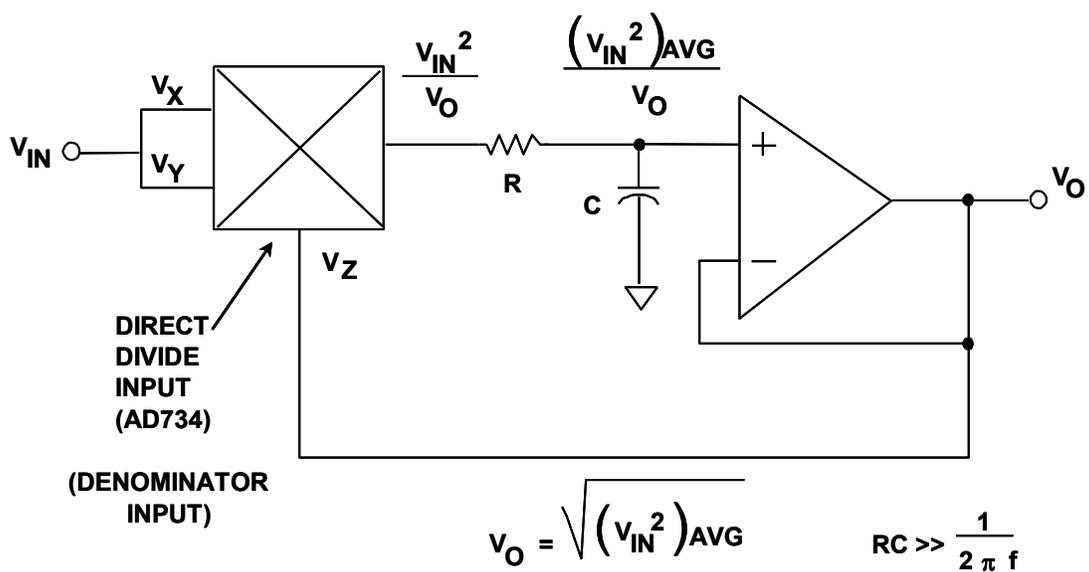


図 2.80: 陰解法による実効値の計算

AD734 を使用して RMS 回路を構成することは可能ですが、専用の RMS 回路を設計したほうがはるかにシンプルになります。 V_{IN}^2/V_Z 回路は電流駆動型でもよく、入力が最初に絶対値回路を通過すれば 1 象限で済みます。

図 2.81 は代表的なモノリシック型 RMS/DC コンバータ AD536A の簡略図を示しています。これは、絶対値回路（アクティブ整流器）、二乗器／分周器、カレント・ミラー、バッファ・アンプの 4 つの主要セクションに分割されます。入力電圧 V_{IN} は AC でも DC でもよく、絶対値回路 A_1 、 A_2 により単極性電流 I_1 に変換されます。 I_1 は、伝達関数が $I_4 = I_1^2/I_3$ である 1 象限の二乗器／分周器における入力的一方を駆動します。二乗器／分周器の出力電流 I_4 は、 $R1$ と外部に接続されたコンデンサ C_{AV} により形成されるローパス・フィルタを通過してカレント・ミラーを駆動します。 $R1C_{AV}$ の時定数が入力信号の最長時間よりも十分大きい場合は、 I_4 が効果的に平均化されます。カレント・ミラーは $AVG [I_4]$ に等しい電流 I_3 を二乗器／分周器に返し、陰解法による実効値計算を完了させます。したがって、次式になります。

$$I_4 = AVG [I_1^2/I_4] = I_{1rms} \quad \text{式 2-21}$$

カレント・ミラーはまた、 $2I_4$ に等しい出力電流 I_{out} を生成します。 I_{out} は直接使用するか、あるいは低インピーダンスの電圧出力を提供するには、 $R2$ で電圧に変換し、 $A4$ でバッファリングします。伝達関数は次式になります。

$$V_{out} = 2R2 \cdot I_{rms} = V_{IN rms} \quad \text{式 2-22}$$

$Q3$ のエミッタの電圧は $-\log V_{IN}$ に比例するので、dB 出力はここから取り出されます。エミッタ・フォロワ $Q5$ はこの電圧をバッファリングおよびレベル・シフトしているので、外部から $Q5$ に供給されるエミッタ電流 (I_{REF}) が約 I_3 になったときに dB 出力の電圧はゼロになります。ただし、この dB 回路のゲインは TC がおよそ $3300 \text{ ppm}/^\circ\text{C}$ なので温度補償が必要です。

これらの原理を利用したモノリシック型の RMS/DC コンバータは数多く市販されています。AD536A は真の RMS/DC コンバータであり、 $V_{rms} > 100 \text{ mV rms}$ では帯域幅がおよそ 450 kHz で、 $V_{rms} > 1 \text{ V rms}$ では帯域幅は 2 MHz です。AD636 は、 200 mV rms までの低レベル信号用に 1 MHz の帯域幅が得られるように設計されています。AD637 は、 100 mV rms 信号では帯域幅が 600 kHz であり、 1 V rms 信号では帯域幅が 800 MHz です。AD736 や AD737（パワーダウン・オプション）といった低価格かつ汎用型の RMS/DC コンバータも提供されています。

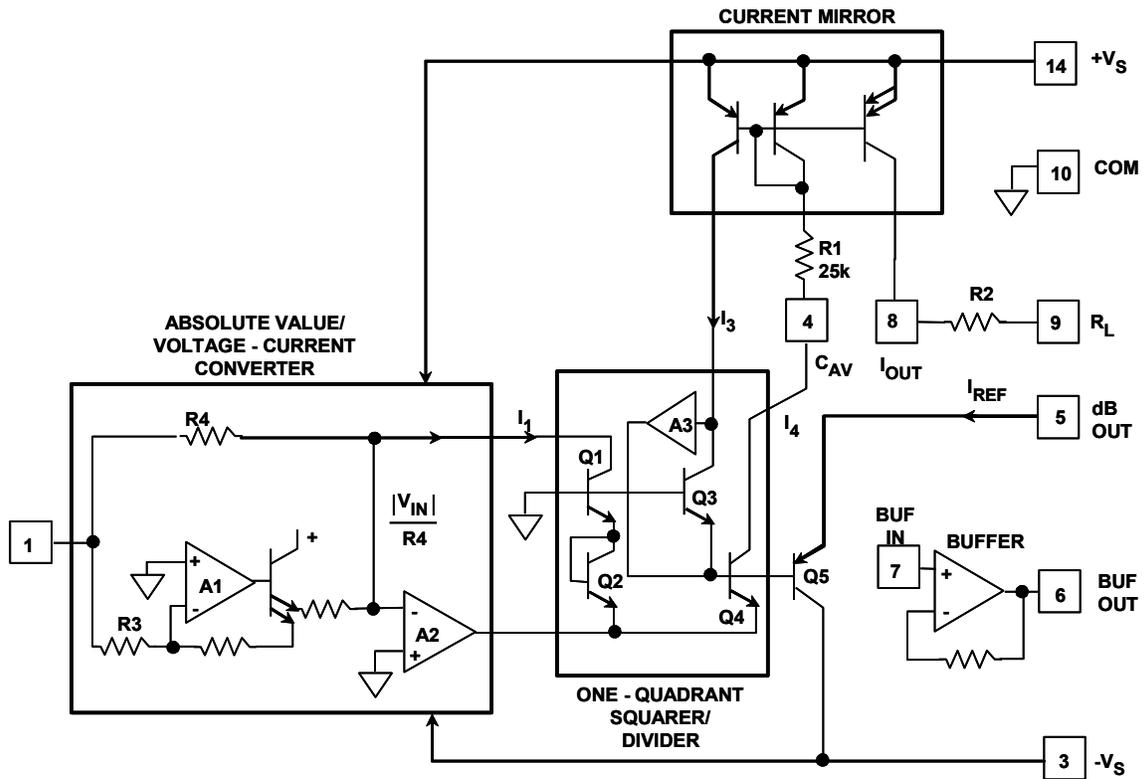


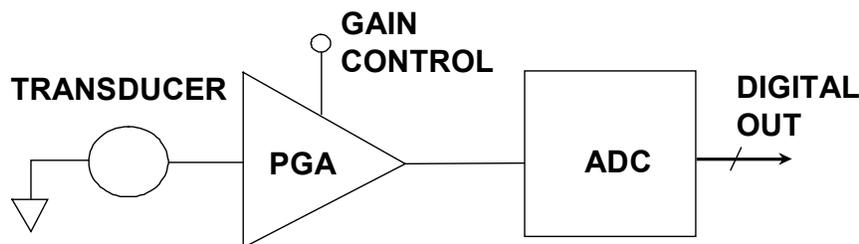
図 2.81: モノリシック型 RMS/DC コンバータ AD536A

2.13: プログラマブル・ゲイン・アンプ

広いダイナミック・レンジのほとんどのシステムでは、A/D コンバータ (ADC) への入力信号レベルを調節するための何らかの手段が必要です。ADC は入力信号を、固定された電圧リファレンス (+5 V または +10 V が代表的な値) と比較します。コンバータの定格どおりの精度を実現するには、最大入力信号をフルスケール電圧近くまで設定しなければなりません。ただし、トランスデューサの出力電圧は広い範囲になります。小電圧のセンサーには高いゲインが必要ですが、大出力のトランスデューサでは、高ゲインにするとアンプや ADC を飽和させてしまいます。したがって、ゲインを制御可能なデバイスが必要になります。このようなデバイスのゲインは DC 電圧や一般的なデジタル入力によって制御されます。こうしたデバイスは、**プログラマブル・ゲイン・アンプ** (programmable gain amplifier: PGA) として知られています。

ゲインが可変であることの利点を理解するために、ゲインが 1 と 2 の 2 種類の設定が可能な理想的な PGA を考えてみます。システムのダイナミック・レンジは 6 dB ずつ増加します。ゲインを 4 に増加させると、ダイナミック・レンジは 12 dB 増加します。

ADC の LSB が入力電圧の 10 mV に相当するとしたら、それ以下の小さい信号を ADC では弁別できませんが、PGA のゲインを 2 に増加すると、5 mV の入力信号が弁別できるようになります。このように、プロセッサが PGA のゲイン制御と ADC のデジタル出力とを組み合わせることにより、分解能を 1 ビット増やすことができます。本質的にこれは ADC の分解能を上げたのと同様です。

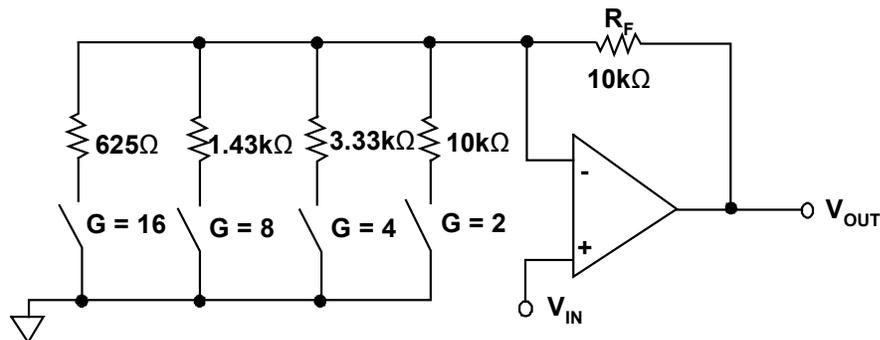


- Used to Increase Dynamic Range of Circuit
- A PGA With a Gain from 1 to 2 Theoretically Increases the Dynamic Range by 6dB, A Gain of 1 to 4 Gives 12dB Increase, etc.

図 2.82: プログラマブル・ゲイン・アンプ (PGA)

実際には PGA は理想的ではないので、誤差の原因を検討する必要があります。PGA 設計における最も根本的な問題は、ゲインの設定精度です。電気機械式リレーはオン抵抗 R_{ON} は最小ですが、他の点ではゲインの切り替え用として不適當です。低速、大型で、高価だからです。また、スイッチとマルチプレクサのセクション (本書の第 7 章) で説明したように、シリコン・スイッチはきわめて大きく、電圧や温度によって変動し、しかも PGA の AC パラメータに影響を与えうる浮遊容量があります。

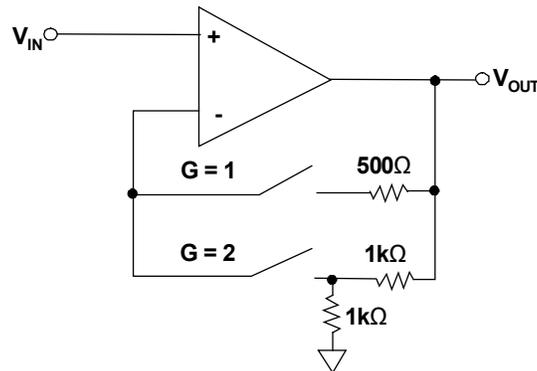
R_{ON} による PGA の性能への影響を理解するために、あまり優れているとは言えない PGA 設計について考えてみましょう (図 2.83)。オペアンプは標準的な非反転ゲイン回路で構成され、4 個の値の異なるゲイン設定抵抗がそれぞれスイッチにより接地されています。ほとんどのシリコン・スイッチは $100\ \Omega \sim 50\ \Omega$ の抵抗値の範囲にありますオン抵抗を $25\ \Omega$ と低くしても、ゲインが 16 での誤差は 2.4% になり、8 ビット精度にも達しません。また、 R_{ON} は温度でも変わりますし、スイッチ間でのばらつきもあります。帰還抵抗やゲイン設定抵抗の値を増加させると、今度はノイズやオフセットが問題になります。この回路で精度を改善する唯一の方法は、シリコン・スイッチを実質的にオン抵抗がほとんどないリレーに交換することです。



- Gain Accuracy Limited by Switch's On Resistance, R and R_{ON} Modulation
- R_{ON} Typically $100 - 500\ \Omega$ for a CMOS Or JFET Switch
- Even With $R_{ON} = 25\ \Omega$, There is a 2.4% Gain Error for $A_V = 16$
- R_{ON} Drift Over Temperature Limits Accuracy
- Only Solution is to Use Very Low R_{ON} Switches (Relays)

図 2.83: 優れた設計とはいえない PGA 回路

もっと良い方法は、 R_{ON} に影響を受けない回路を使用することです。図 2.84 では、スイッチがオペアンプの反転入力と直列に配置されています。オペアンプの入カインピーダンスが非常に大きいので、スイッチの R_{ON} は問題になりません。この場合ゲインは外付け抵抗によって決定されるようになります。オペアンプのバイアス電流が大きい場合は、 R_{ON} によって小さなオフセット誤差が生じることがあります。



- R_{on} is Not in Series With Gain Setting Resistors
- R_{on} is Very Small Compared to Input Impedance
- Only a Slight Offset Error Occurs Due to the Bias Current Flowing Through the Switch

図 2.84: R_{on} の影響を排除する別の PGA 回路構成

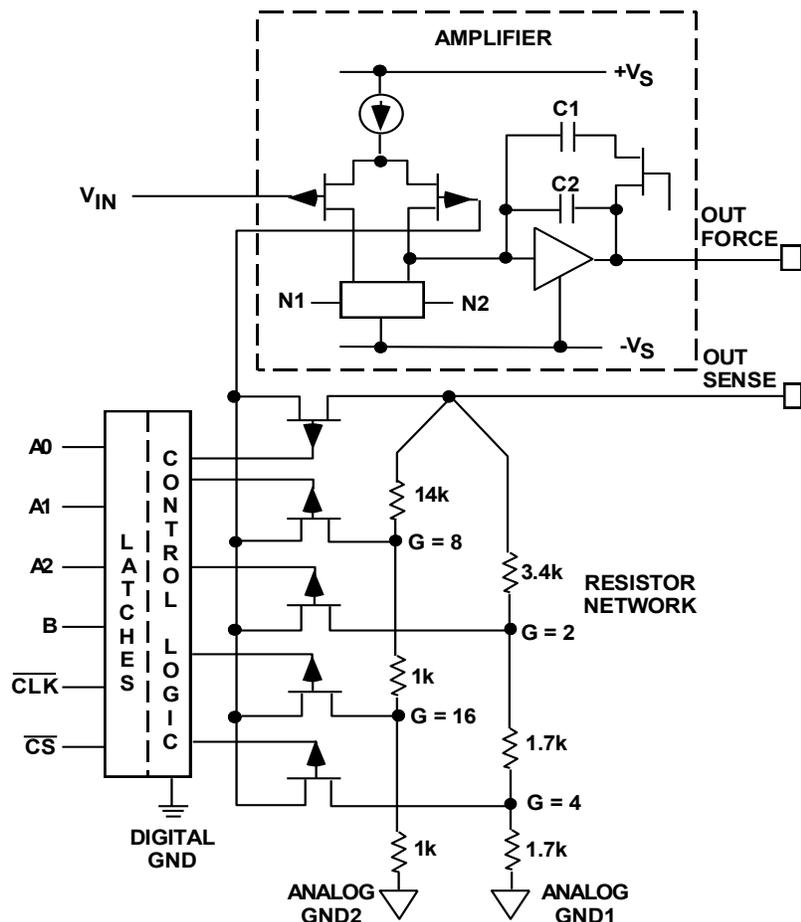


図 2.85: モノリシック型ソフトウェア・プログラマブル PGA 計装アンプ (AD526)

AD526 アンプはこの PGA の設計手法をシングル・チップに集積したものです。AD526 は 1 倍～ 16 倍のバイナリによる 5 段階のゲイン設定が可能で、内部の JFET スイッチはアンプの反転入力に接続されています。ゲイン抵抗はレーザー・トリミングされています。最大ゲイン誤差はわずかに 0.02 % で、図 2.8 の 2.4 % 誤差よりもはるかに良好です。直線性も 0.001 % と非常に優れています。AD526 はラッチ付きのデジタル・インターフェースによって制御されます。

これと同様な設計を、図 2.86 に示すディスクリート PGA の作成に利用できます。これは、1 個のオペアンプ、4 個のスイッチ、および複数の精密抵抗を使用します。AD526 の JFET 入力オペアンプをローノイズの AD797 に置き換えています。AD526 の JFET 入力オペアンプをローノイズの AD797 に置き換えています。電圧帰還型オペアンプならほとんどのようなオペアンプでもこの回路で使用できます。スイッチには、オン抵抗が 35 Ω と低い ADG412 を採用しています。抵抗値は 1、10、100、1000 といった 10 倍単位のゲイン設定になるように選ばれていますが、抵抗値を変更することで他のゲイン設定も容易に得られます。初期ゲイン精度を高くし温度ドリフトを低く抑えるために、理想的にはトリミング型抵抗ネットワークを使用すべきです。20 pF のコンデンサは安定な動作を保証し、ゲインを切り替えたときに出力電圧を保持します。スイッチへの制御信号は、あるスイッチをオフにしてから数 ns 後に次のスイッチをオンにします。この中断の間、オペアンプはオープンループ状態になります。したがって、このコンデンサがなければ出力は値をはずれて動きはじめます。コンデンサがあれば、スイッチングの間は出力電圧が保持されます。両方のスイッチが開いている時間は非常に短いので、わずか 20 pF で済みますが、遅いスイッチの場合はより大きなコンデンサが必要になります。

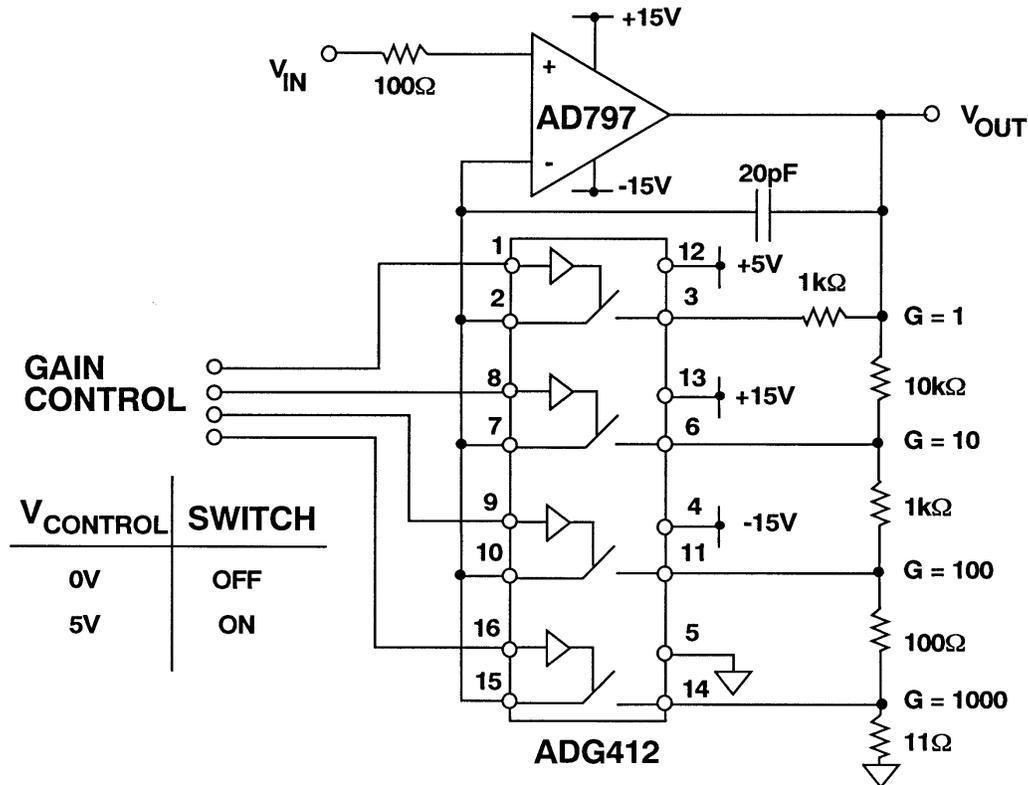
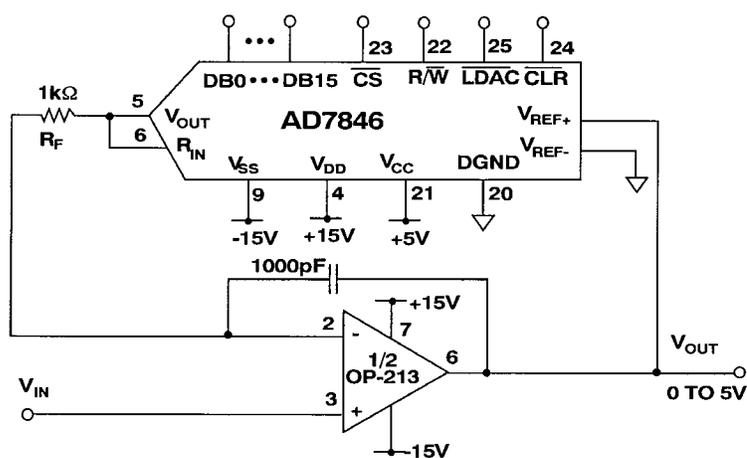


図 2.86: 超低ノイズの PGA

この PGA の入力電圧ノイズ・スペクトル密度は 1 kHz で わずか 1.65 nV/√Hz であり、AD797 単体のノイズ性能よりも若干高くなるにすぎません。この増加は ADG412 のノイズと、R_{ON} を流れる AD797 の電流ノイズによるものです。なお、ノイズはゲイン 1000（最悪ケース）で測定しました。

PGA の精度は、システムの全体的な精度を決定するうえで重要です。AD797 ではバイアス電流は 0.9 μA であり、これは 35 Ω の R_{ON} に流れ、その結果 31.5 μV のオフセット誤差が付け加わることになります。AD797 のオフセットと足し合わされて、合計の V_{OS} は 71.5 μV（最大）となります。オフセットの温度ドリフトは、バイアス電流およびオン抵抗の変化に影響を受けます。計算によると、合計の温度係数が 0.6 μV/°C から 1.6 μV/°C に増加します。これらの誤差は小さく、問題になることはないかもしれませんが、値を把握しておくことは重要です。実際には、回路の精度および温度係数は外付け抵抗によって決まることになるでしょう。コモンモード範囲や入力バイアス電流などの入力特性は AD797 単体で決まります。この回路は、オペアンプを変更するだけで単電源に変更することができます。スイッチは変更が不要です。

その他の PGA 構成としては、オペアンプの帰還ループに DAC を挿入し、デジタル制御によってゲインを調整するという方法があります（図 2.87）。DAC のデジタル・コードによって減衰量を制御します。帰還信号を減衰させると、クロードループ・ゲインが増加します。この種の非反転型の PGA では、電圧モード出力をもった乗算型 DAC が必要になります（乗算型 DAC はリファレンス電圧がゼロを含む広範囲の DAC です）。PGA のほとんどのアプリケーションでは、リファレンス電圧入力は両極性信号を取り扱うことができなければなりません。AD7846 はこの要件を満たしている 16 ビット・コンバータです。この応用例では、標準的な 2 象限乗算モードで使用されています。OP-213 は低ドリフト、ローノイズのアンプですが、このアンプの選択は自由度があり使用目的により選びます。入力電圧範囲は AD7846 の出力振幅に依存し、正電源電圧より 3 V 低く、負電源電圧より 4 V 高くなります。安定させるために帰還ループ内に 1000 pF のコンデンサを挿入します。



■ Multiplying DAC in Feedback Loop Adjusts Gain

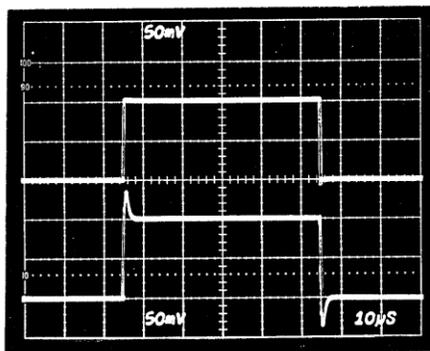
■
$$G = \frac{2^{16}}{\text{Decimal Value of Digital Code}}$$

図 2.87: 帰還ループ内に乗算型 DAC を挿入して 2 進ステップでゲイン設定する PGA

この回路のゲインは、図 2.87 中の式に応じて、DAC のデジタル入力を調整することで設定します。D₀₋₁₅ は、デジタル・コードの 10 進数値を表しています。例えば、すべてのビットをハイにセットしたとすると、ゲインは $65,536/65,535 = 1.000015$ になります。最下位 8 ビットをハイ、残りすべてをローにセットすると、ゲインは $65,536/255 = 257$ になります。

図 2.88 は、100 mV の方形波を入力した場合に、ゲインが 1 における小信号応答を示しています。帯域幅はかなり広く、4 MHz あります。しかし、これはゲインとともに減少し、ゲインが 256 では帯域幅はわずか 600 Hz になります。ゲイン帯域幅積が一定であれば、ゲインが 256 での帯域幅は 15.6 kHz となるはずですが、DAC の内部容量によって帯域幅は 600 Hz まで減少してしまいます。

SMALL SIGNAL RESPONSE



Top Trace: Input, 50mV/div.
Bottom Trace: Output, 50mV/div.
Horizontal Scale: 10µs/div.

Bandwidth (G=+1) = 4MHz

Bandwidth (G=+256) = 600Hz

Nonlinearity (G=+1) = 0.001%

Offset = 100µV

Noise = 50nV/√Hz

Gain Accuracy (G=+1) = 0.003%

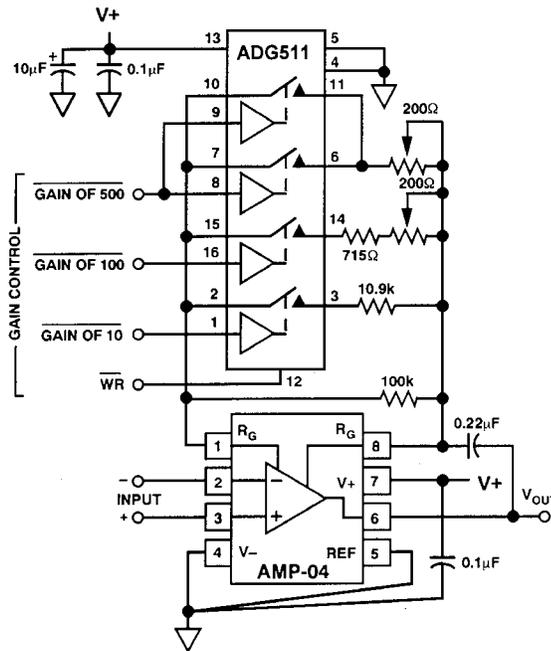
Gain Accuracy (G=+256) = 0.1%

図 2.88: 図 2.87 の回路における性能

この回路のゲイン精度は、DAC の分解能とゲイン設定値によって決まります。ゲイン 1 のときは、すべてのビットがオンとなり、精度は DAC の DNL (微分非直線性) の仕様によって決まり、最大 ± 1 LSB です。したがって、ゲイン精度は 16 ビット・システムでの 1 LSB、つまり 0.003% になります。ただし、ゲインを増加するにつれて、オンになるビット数は少なくなっていきます。ゲインが 256 の場合は、ビット 8 のみがオンになります。ゲイン精度は DNL の ± 1 LSB に依存するわけですが、今度は最下位 8 ビットのみと比較されることになります。したがって、ゲイン精度は 8 ビット・システムでの 1 LSB、つまり 0.4% に低下します。ゲインを増加させて 256 以上にすると、ゲイン精度はさらに低下します。設計者は精度の許容レベルを決める必要があります。ここに示した回路では、ゲインは 256 に制限されています。

オペアンプを使った非反転 PGA 回路を単電源動作で使用することは容易ですが、計装アンプの回路構成は単電源アプリケーションには適しません。しかし、AMP-04 を外部スイッチとともに使うことで、図 2.85 に示す単電源動作の計装 PGA を作成できます。この回路はゲインを 1、10、100、500 から選択可能で、ADG511 によって制御されます。ADG511 は、R_{ON} が 45 Ω と低く、電源動作のスイッチであることから選ばれています。

この回路のゲインは、スイッチの R_{ON} に依存しています。高精度を実現するには、高ゲイン設定で微調整が必要になります。ゲイン 500 では、2 個のスイッチを並列にしますが、調整をしなければ、そのオン抵抗によって 10% のゲイン誤差が生じます。



- $G = 100k\Omega/R_G$
- R_G Is a Combination of Switch R_{ON} and the External Resistor
- Trim Required at High G Due to Uncertainty Of R_{ON}
- Relays Can Be Used to Avoid Trim

図 2.89: 単電源動作の計装アンプ PGA

ある種の $\Sigma\Delta$ ADC (AD7710、AD7711、AD7712、AD7713 など) には PGA が内蔵されています。外部の PGA とその制御ロジックが不要となるため、回路設計が非常に簡単になります。また、PGA の誤差はすべて ADC の仕様に含まれるため、誤差計算も単純になります。PGA のゲインは ADC と同じシリアル・インターフェースを介して制御され、ゲイン設定は変換に織り込まれるため、入力電圧を決定するための余分な計算が不要になります。この ADC と PGA の組み合わせは非常に強力で、高精度のシステムを最小の回路設計で実現することができます。この例での PGA 機能は、 $\Sigma\Delta$ ADC が期待する精度を得るために抵抗のマッチングを必要とするような別ブロックとはなっていません。この PGA 機能は、モジュレータでスイッチド・キャパシタのデューティ・サイクルを調整することでゲインを変更して実現しています。

高速 VGA については RF/IF のセクション (セクション 4.6) で説明しています。

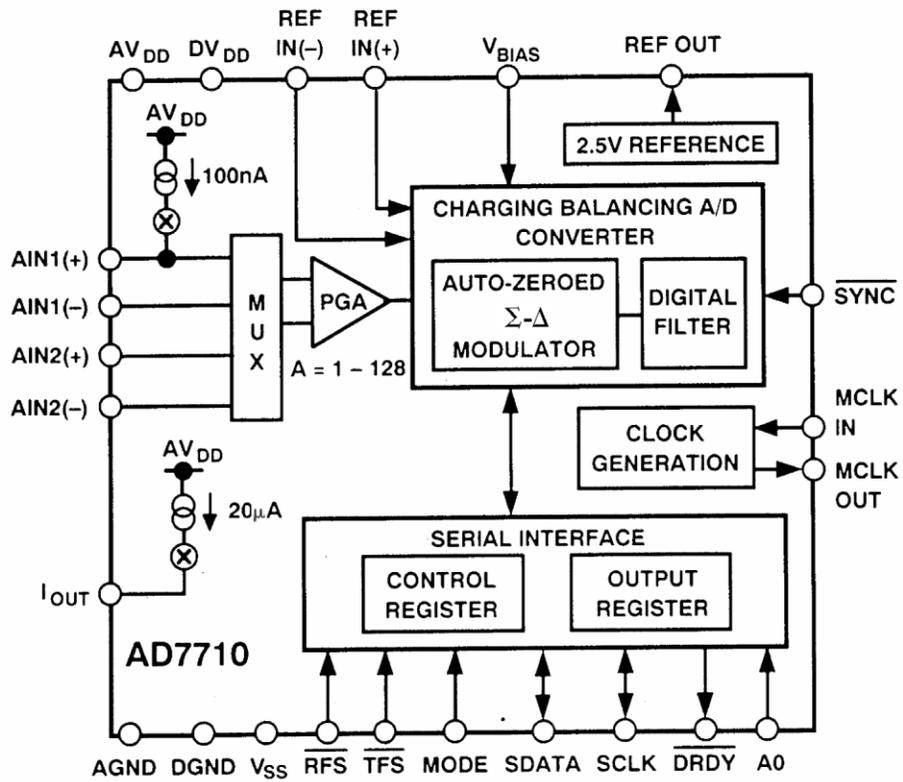


図 2.90: Σ - Δ ADC に組み込まれた PGA

2.14: オーディオ・アプリケーション

アンプ

アンプに適用される特定のオーディオ仕様というものは存在しません。ただし、アンプは適切な帯域幅を持ち、低歪みでなければならないのは明らかです。いくつかの種類のアンプはオーディオ分野の用途に使用することができます。その中には、AD797、OP275、AD711/AD712/AD713 などがあります。

特定用途向けのオーディオ IC としてはマイク・プリアンプ SSM2019 があります（図 2.91 参照）。高忠実度用途でマイク・プリアンプとして使用する際に最も重要なことは、回路が低ノイズであることです。SSM2019 におけるこの仕様は $1 \text{ nV}/\sqrt{\text{Hz}}$ です。SSM2019 への入力は、平衡型マイクとのインターフェースには完全差動型を使用します。

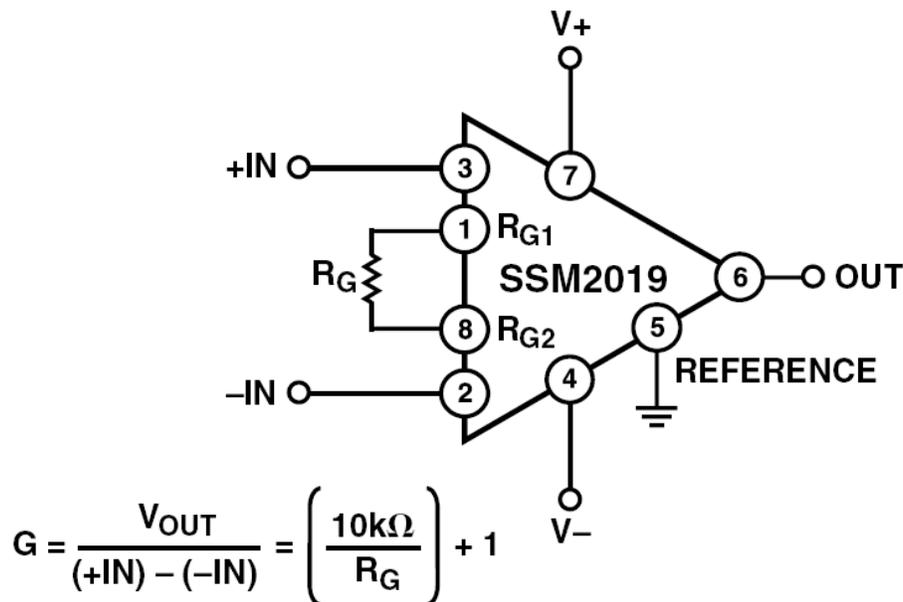


図 2.91: SSM2019 マイク・アンプ

マイクロフォンのプリアンプにはこれ以外の用途もあります。その場合に重要なのは、低ノイズではなく音声の明瞭度が高いことです。ターゲットとするアプリケーションは、通信システムや場内放送システムです。SSM2165/SSM2166/SSM2167 ファミリーは、コンディショニング・マイク入力としては最適かつ柔軟なソリューションです。低ノイズの電圧制御増幅器（VCA）により、ゲインが制御ループによって動的に調整され、規定の圧縮特性が維持されます。圧縮比は 1 本の抵抗で設定し、固定のローテーション・ポイントを基準に 1:1 ~ 15:1 の間を変化させることができます。ローテーション・ポイントを超えた信号はリミットにより過負荷が防止され、「ポッピング」ノイズが除去されます。ダウンワード・エクスパンダ（ノイズ・ゲート）はノイズやハムの増幅を防ぎます。

これによりデジタル化の前に信号レベルを最適化することで、ノイズ付加や音声認識アルゴリズムの精度を損なう原因となる、デジタル領域におけるゲインや減衰の操作が不要になります。SSM2165 のブロック図を図 2.92 に示します。

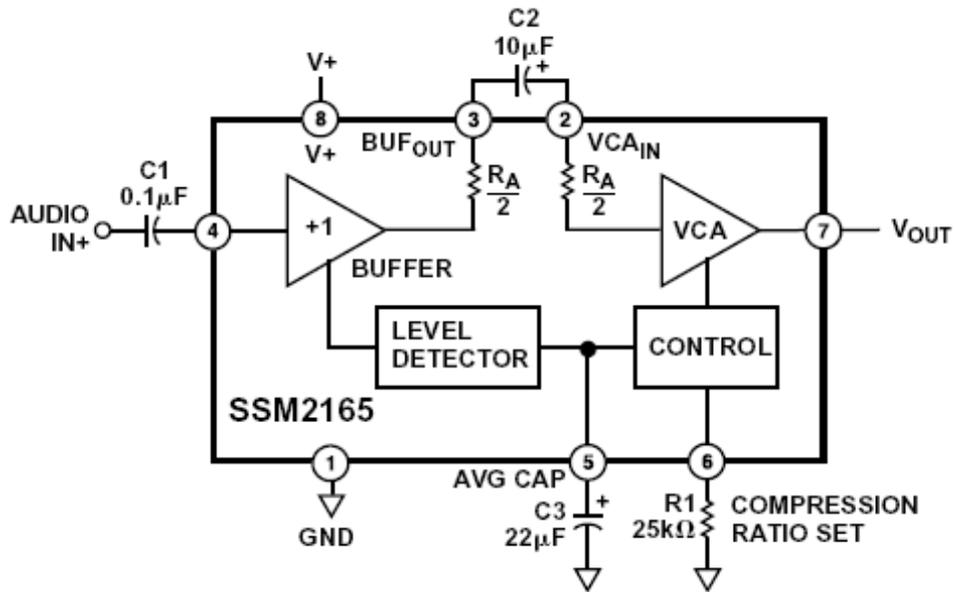


図 2.92: SSM2165 のブロック図

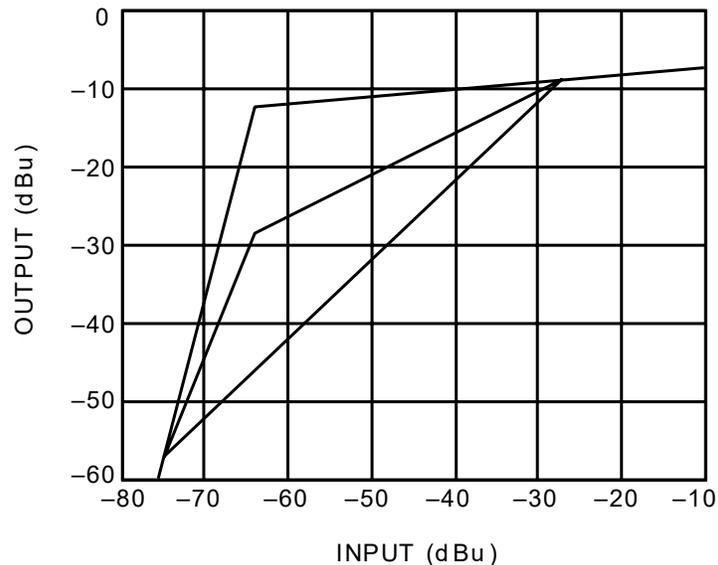


図 2.93: SSM2165 の代表的な伝達特性

スピーカ駆動用のパワー・アンプは、アプリケーションに特化したもう 1 つのオーディオ分野です。このアプリケーションにおける主な課題は、コンピュータやゲームで一般的な、限られた電源電圧環境で十分なオーディオ電源を供給しながら、パッケージの消費電力を安全なレベルにまで低減させることです。例として挙げる SSM2211 (図 2.94) は、ブリッジ結合された 8 Ω スピーカ負荷に低歪みの 1 W rms オーディオ・パワーを出力 (または 4 Ω 負荷に 1.5 W rms を出力) する高性能オーディオ・アンプです。SSM2211 は、SO-8 および LFCSP (リード・フレーム・チップスケール・パッケージ) の表面実装型パッケージで提供されます。SO-8 は特許取得済みのサーマル・コーストライン・リード・フレームを特徴としています。サーマル・コーストライン・パッケージについては、電源のセクションで詳細に説明しています。

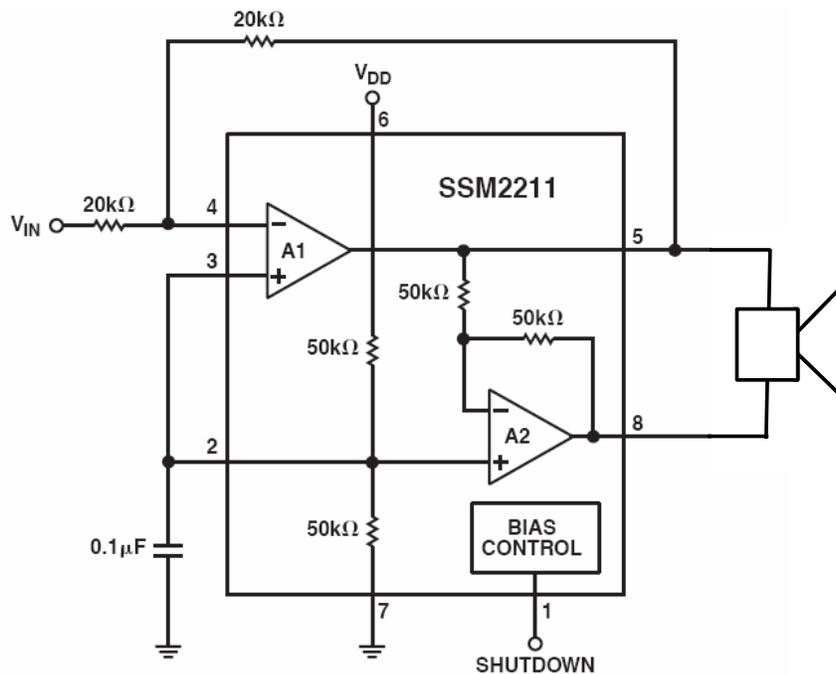


図 2.94: SSM2211 の代表的なアプリケーション

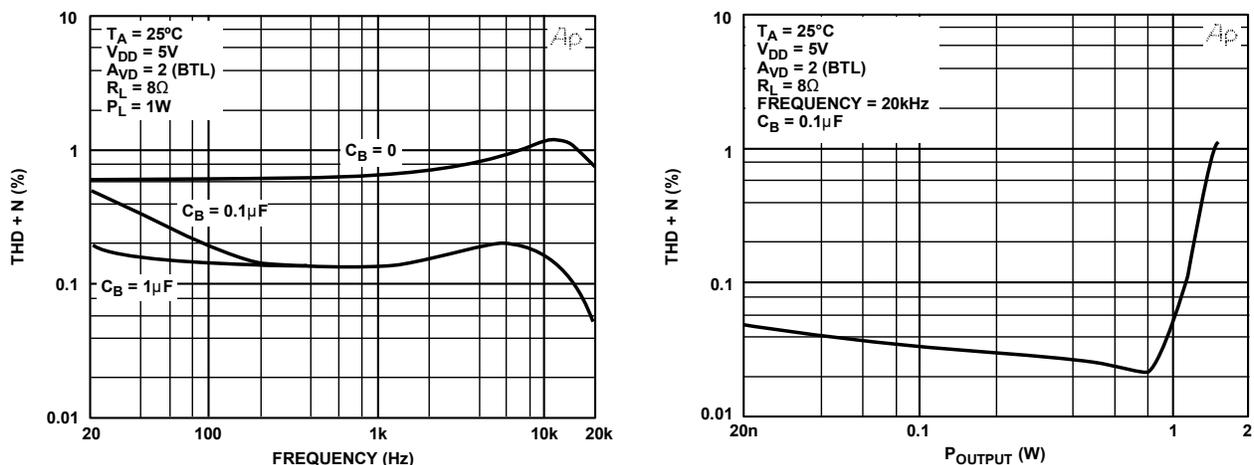


図 2.95: SSM2211 の代表的な性能

VCA (電圧制御アンプ)

オーディオ信号レベルは、しばしば信号経路上の低歪み VCA (電圧制御アンプ) を用いて制御されます。変化率を制御して VCA を駆動することにより、スイッチド抵抗ネットワークに関連した「クリッキング」ノイズを除去できます。例えば、SSM2018T は高性能オーディオ・システムに応用可能な低ノイズ、低歪みの VCA です。サフィックスの T は、工場で歪みをトリミング済みのため、後で調整が不要であるバージョンを示しています。

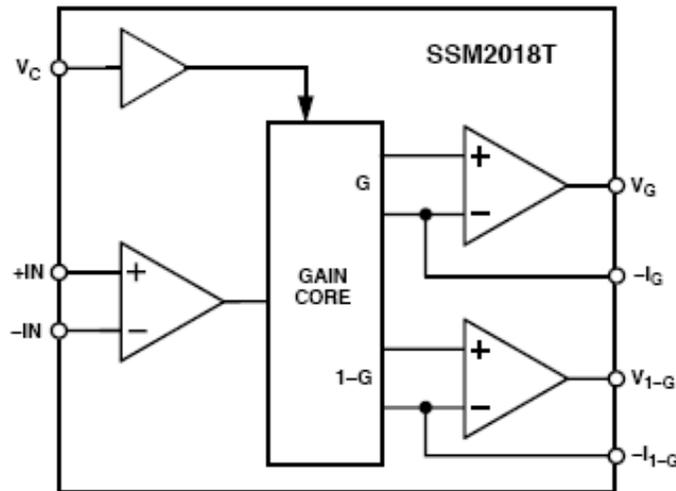


図 2.96: SSM2018 のブロック図

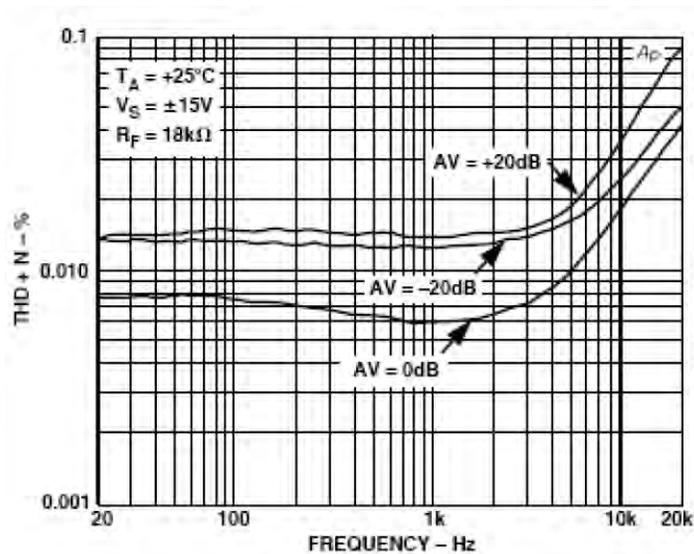


図 2.97: SSM2018 の歪み特性

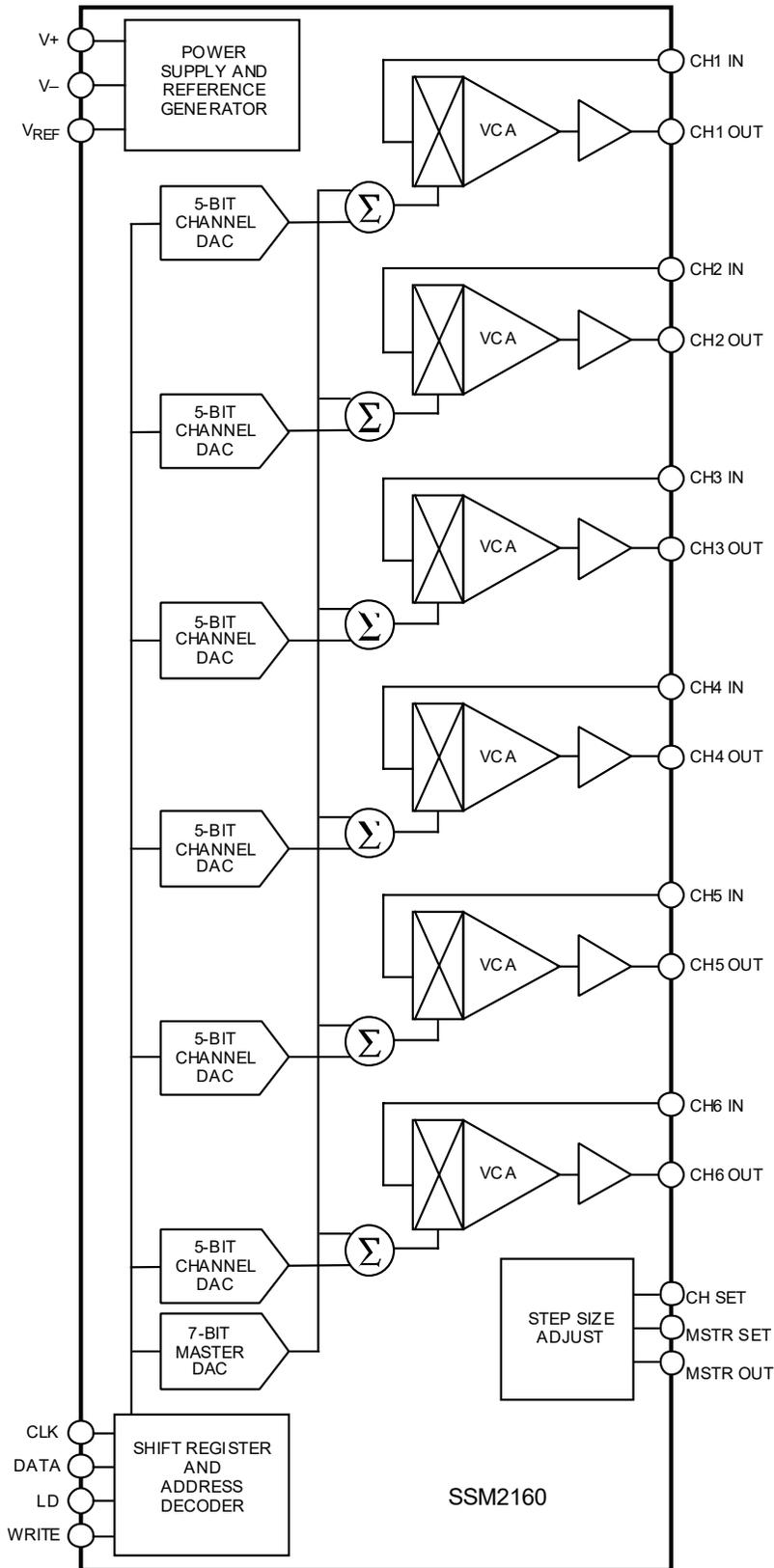


図 2.98: SSM2160 のブロック図

信号レベルでアナログ制御をしたほうが音質的には有利ですが、デジタル制御で電圧を制御したほうが便利ことがあります。このような場合は、DAC を VCA に追加します。この構成例としては、6 オーディオ・チャンネルの音量のデジタル制御が可能な SSM2160 があり、マスタ・レベル制御および各チャンネルの制御が可能です。低歪み VCA（電圧制御アンプ）は信号経路に使用されます。各チャンネルは、32 レベルのゲインを提供する専用の 5 ビット DAC によって制御されます。マスタの 7 ビット DAC は、すべての制御ポートに 128 レベルの減衰度を設定します。ステップ・サイズは公称 1 dB であり、外付け抵抗で変更できます。チャンネルのバランスは、マスタ・コントロールの範囲全体で維持されます。電源投入後、すべての出力は自動的にミュートされます。3 線式または 4 線式のシリアル・データ・バスによって、最もよく使用されているマイクロコントローラとのインターフェースが可能です。

ライン・ドライバとライン・レシーバ

さまざまなシステム・コンポーネント間でオーディオ信号を送受信する機能には、伝統的にさまざまな形のトレードオフを伴ってきました。完全差動型、つまり平衡の伝送システムは低周波および高周波のノイズ除去に最適であり、最高性能を得るために使用されているため、以下である程度詳しく説明します。

差動型伝送あるいは平衡型伝送を使用する代表的なオーディオ・システムのブロック図を図 2.99 に示します。概念上、このような平衡型伝送システムでは、ドライバおよびレシーバ内でいくつかの入出力カップリング方式を使用することができます。実際の回路について述べる前に、カップリング方式を区別する主要なポイントのいくつかを以下に簡単に説明します。

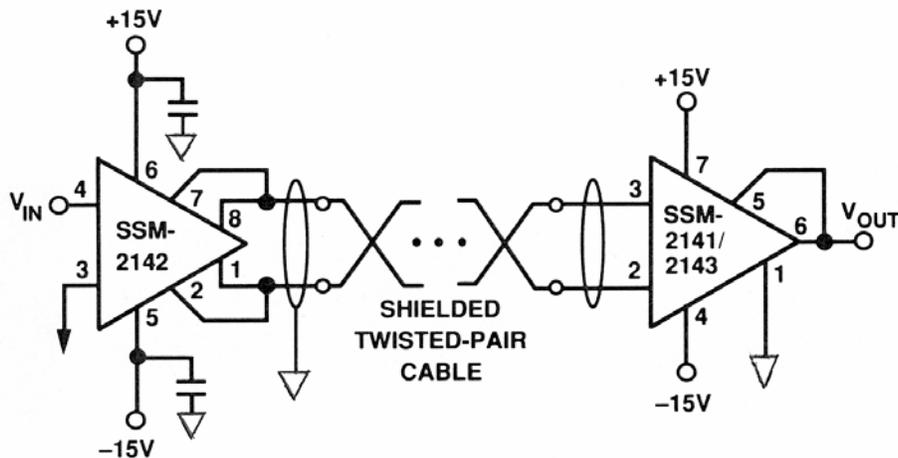


図 2.99: オーディオ平衡型伝送システム

注目すべき点は、平衡型伝送のメリットを享受するのに、ラインへの \pm 電圧駆動が正確にバランスしている必要はないということです。実際、ドライブはある程度非対称でよく、それでも正しい振幅、かつ良好なノイズ除去性能で信号を V_{OUT} で受信できます。必要とされることは、2 つのライン駆動インピーダンス R_{O1} と R_{O2} のバランスが良好であることです。また、これらのバランスした駆動インピーダンスと併せて、それに対応する (+) と (-) のレシーバ入力インピーダンスも等しくなければなりません。

この技術的な理由は以下ですぐに明らかになります。

オーディオ・ライン・レシーバ

オーディオ・ライン・レシーバは単なる減算アンプです（図 2.100）。DC および AC のトリムとバランスの観点から、図 2.100 の回路構成は、抵抗とアンプがともに単一のモノリシック IC 上に組み込まれた場合に最も効果的に動作します。

図 2.100 のような回路（あるいは、ソースに抵抗負荷がかかるような他の回路構成）を応用する際には、これら 4 個の抵抗に追加される外付け抵抗はすべて、比例関係を維持しながら値を増加させない限り、同相ノイズ除去（CMR）を劣化させてしまう可能性があることに留意しなければなりません。具体的に言えば、 $2.5\ \Omega$ つまり 0.01% のミスマッチは容易に配線で生じることであり、バランスしななければ、 $25\ \text{k}\ \Omega$ 抵抗が完全にマッチングした場合の CMR を $86\ \text{dB}$ まで劣化させることとなります。したがって、これらの回路は、バランスのとれた低インピーダンス駆動源、望ましくは $25\ \Omega$ 以下の場合に最良になります。

SSM2141 および SSM2143 は図 2.100 の回路とほぼ同様に動作するモノリシック型のライン・レシーバ IC であり、ゲインが異なるだけです。SSM2141 はユニティ・ゲインのデバイスとして動作しますが、SSM2143 は 0.5 ($-6\ \text{dB}$) の公称ゲインで動作させるか、あるいはオプションで入出力の抵抗ペアを逆にして 2 のゲインで動作させることもできます。

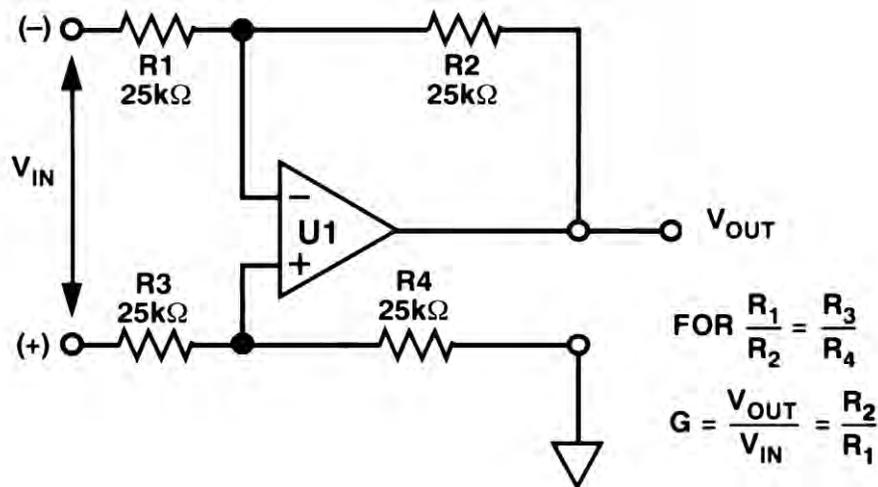


図 2.100: 4 個の抵抗を持つ差動アンプを使用したシンプルなライン・レシーバ

両デバイスとも、最大 $\pm 18\text{V}$ の電源で動作し、 $600\ \Omega$ 負荷を駆動可能で、低歪みでかつ優れた CMR 特性を備えています。参考のために、これらのレシーバで使用されているオペアンプは OP271 で使用されているものと同じです。出力はピン 6 に現れ、使い方は限定されていませんが、従来型の使用では帰還用に R_4 (ピン 5) に接続されます。また必要に応じて、ループ内に挿入する外付けバッファをオプションで追加できます。

この様にいずれのライン・レシーバも、より低い Z 負荷でも駆動させることが可能になります。

おそらく、これらデバイスの最も顕著な特徴は、図 2.101 (a) に示すような CMR 性能です (このデータは SSM2141 のものですが、SSM2143 も同様です)。SSM2141 の DC ~ 1 kHz の CMR は標準で 100 dB ですが、10 kHz でも約 80 dB です。SSM2143 (図示なし) はより小さな抵抗値を使用し、CMR の代表値が 90 dB とやや低めですが、ほぼ 10 kHz までこの値を維持します。また、図 2.101 (b) に示す SSM2141 の THD+N 性能は、600 Ω と 100 k Ω の両方の負荷で非常に良好な値を示しています。

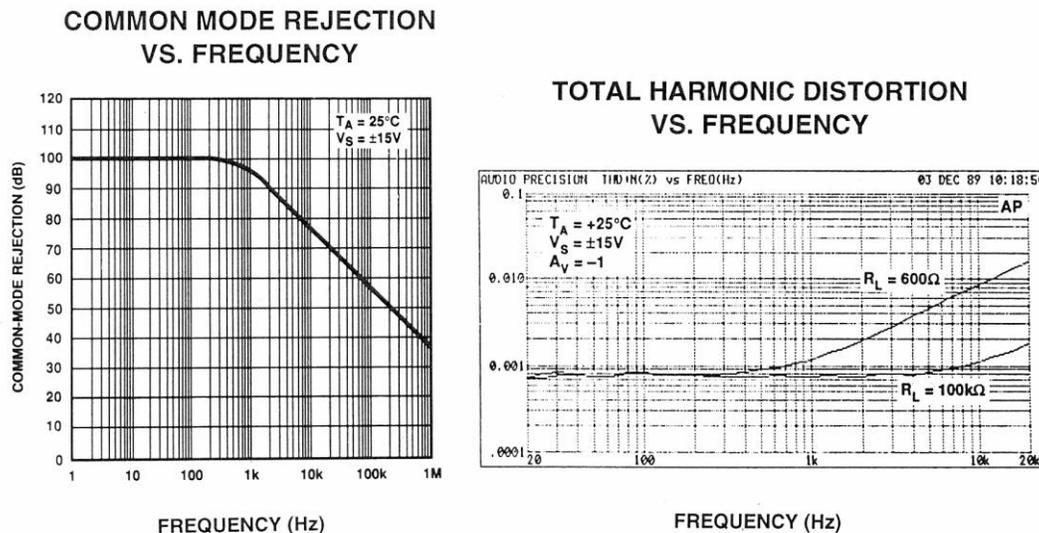


図 2.101: SSM2143 の同相ノイズ除去と THD

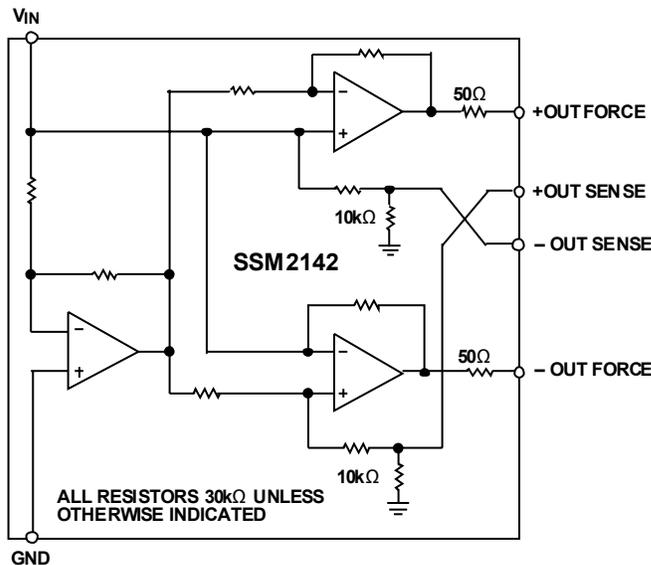
これら 2 つのライン・レシーバを対になる差動ライン・ドライバ (次のセクションを参照) と組み合わせると、オーディオ・システムのポイント間において簡便かつ柔軟なインターフェースが可能となるだけでなく、最大 100 kHz までの他の計装機器も使用できるようになります。ただし、これらは両方とも、必ずしも優れた CM 性能を必要としない、システム内の柔軟なゲイン・ブロックとしてより一般的に使用することができます。例えば、内部の抵抗比がきわめて精確であるため、反転または非反転の精密なゲイン・ブロックとしても使用できます。代表的なゲイン精度が 0.001 % である SSM2141 を使用すれば、高精度のシングル・チップ型ユニティ・ゲインのインバータやアナログ加算器を全体的に低コストで構築することができます。

オーディオ・ライン・ドライバ

差動型ライン・レシーバとは異なり、差動型ライン・ドライバの一般的な回路構成はそれほど明確ではありません。本セクションでは 2 種類の回路について性能と複雑さの面で比較しながら説明します。

レーザ・トリミング加工のモノリシック技術の持つ優れた特性により、平衡型ライン・ドライバなどの複雑な回路が完全に実用化されました。SSM2141 および SSM2143 のライン・レシーバと同様の概念をドライバ回路にも適用することにより、効率的で便利な IC が生まれました。こうした製品である、平衡ライン・ドライバ SSM2142 の機能図を図 2.102 に示します。

FUNCTIONAL DIAGRAM



MINI-DIP PACKAGE

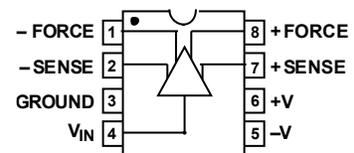


図 2.102: SSM2142 のブロック図

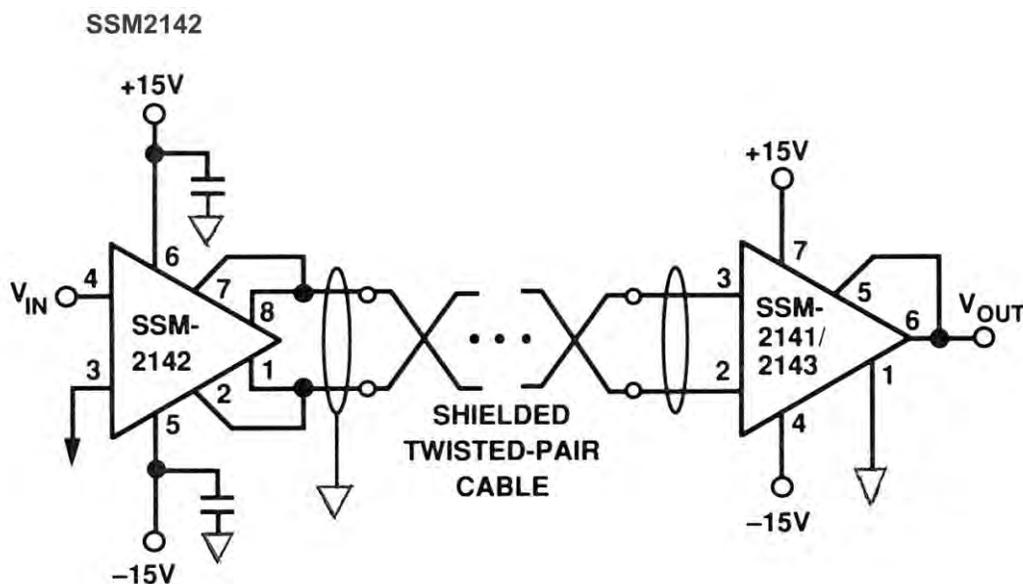


図 2.103: 平衡型オーディオ伝送システム

SSM2142 は、ゲインが 2 倍の、シングルエンドから差動への変換用に設計されており、使用の際は単に FORCE ピンと SENSE ピンを互に接続するだけで済みます。システム・アプリケーションでは、SSM2142 を SSM2143 または SSM2141 のライン・レシーバと共に使用して、シールド型ツイストペア・ケーブルを介して差動モード信号を送信します。この接続構成には、シングルエンドから差動に変換し、途中でノイズ・アイソレーションを行い、さらにシングルエンド伝送システムに戻す、という過程が全て含まれています。

ゲインが 0.5 の SSM2143 を使用すれば、ゲインが 2 の SSM2142 で補完されて、システム全体のゲインは 1 となります。SSM2141 をレシーバとして使用すれば、全体のゲインは 2 になります。ユニティ・ゲインである SSM2142/SSM2143 システムの THD + N 性能を図 9.104 に示します。入出力信号が 5 V rms の条件で、500 フィートのケーブルを使用した場合と使用しない場合とを示しています。

以上から明らかなように、これらのドライバではガルバニックな（直流的な）絶縁は提供されません。このことはすべてのアプリケーションにおいて、ドライバと最後のレシーバのグラウンド間に DC 電流経路が存在しなければならないことを意味しますが、実際には必ずしも問題にはなりません。

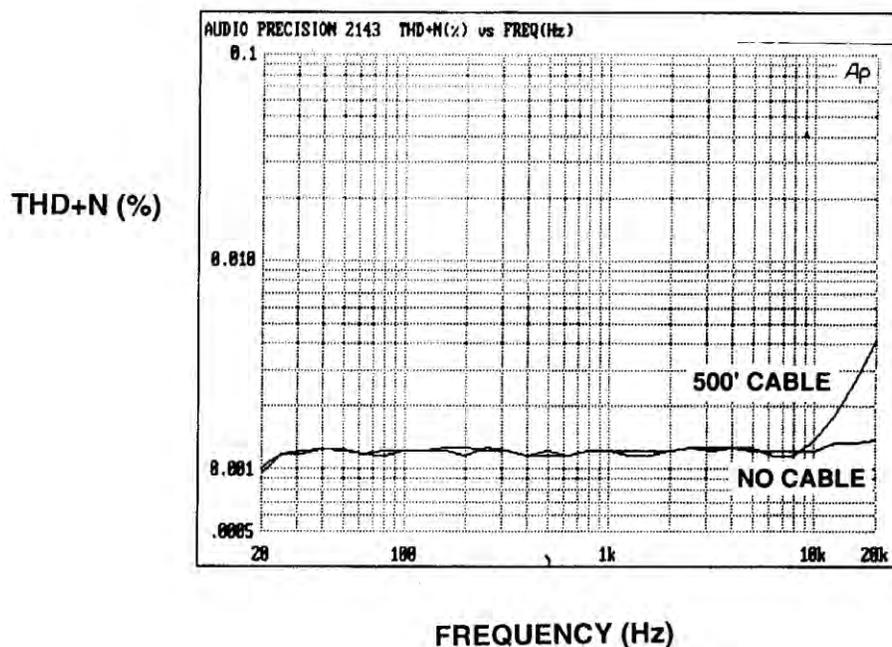


図 2.104: 平衡型オーディオ伝送システムの性能

クラス D オーディオ・パワー・アンプ

動作原理

クラス D オーディオ・アンプは、基本的にはスイッチモード・アンプまたは PWM（パルス幅変調）アンプで、さまざまなクラスがあるアンプの中の 1 つです。以下に、主なクラスの定義を示します。

クラス A – クラス A アンプでは、サイクル全体にわたって出力デバイスに連続して導電されるか、あるいは言い換えれば常に出力デバイスにバイアス電流が流れます。この回路構成は歪みが最も少なく、最も高い直線性を示しますが、同時に効率は最低で、およそ 20 % 前後です。したがって、静止消費電力も大きくなります。実際、負荷に供給される電力とは無関係に電力消費は一定です。クラス A アンプの出力は、一般的にはハイ・サイドとロー・サイドの出力デバイスは相補的ではありません。

クラス B – クラス B アンプでは、出力デバイスは正弦波周期の半分だけ導電されます（正の半周期に 1 つのデバイスが導電され、負の半周期にもう 1 つが導電される）。信号がない場合は、出力デバイスには電流が流れません。このクラスのアンプは明らかにクラス A よりも効率的で 50 % ほどですが、1 つのデバイスをオフにし、他のデバイスをオンにするのにかかる時間のために、クロスオーバー点で若干の歪みが生じます。これはクロスオーバー・ノッチ歪みと呼ばれます。これは最小信号（ゼロ交差）の時点で発生するので、その効果は非常に明白です。

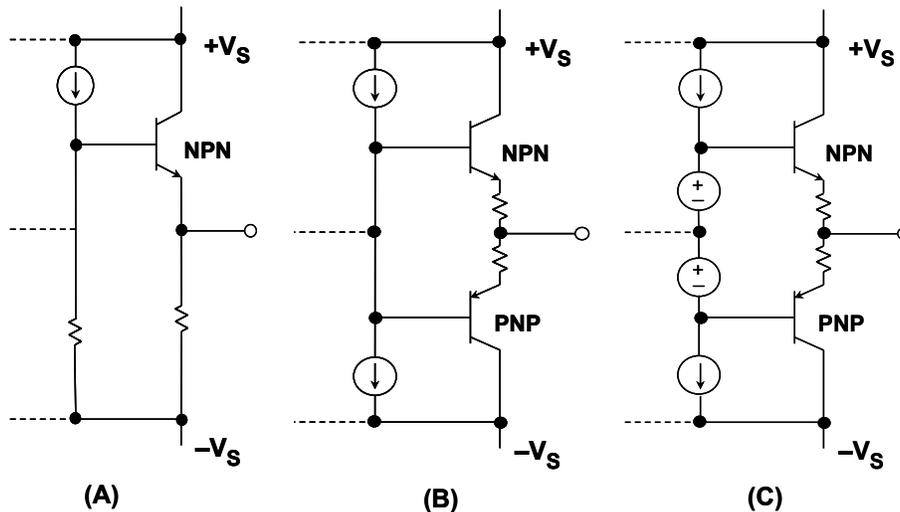


図 2.105: 出力ステージの例
(A) クラス A、(B) クラス B、(C) クラス AB

クラス AB – この種のアンプは上記の 2 種類を組み合わせたものであり、おそらく現存する電力アンプの中では最も一般的です。この場合、両方のデバイスが同時に導電されることがありますが、クロスオーバー点付近のわずかな量に限られます。各デバイスは半周期を超え全周期未満までの時間導電されるので、クラス A 設計の非効率性を伴うことなく、クラス B 設計固有の非線形性（クロスオーバー歪み）を回避できます。クラス AB アンプの効率もおおよそ 50 % にすることが可能です。

両方の出力デバイスが導電される周期割合に応じて、クラス AB のさまざまなバリエーションが存在します。両方が導電される割合が多いほど、低効率になり直線性が高くなるのは明らかです。

クラス D — 前述のように、このクラスのアンプはスイッチング・アンプです。この種のアンプでは、スイッチは完全にオンまたは完全にオフのいずれかですので、出力デバイスにおける電力損失は大幅に低減されます。これは、リニア電力レギュレータとスイッチモード・レギュレータの違いに非常によく似ています。

効率は 90 % ~ 95 % が可能です。オーディオ用のクラス D アンプはモジュレータを使用して入力オーディオ信号を、出力スイッチの制御に使用されるスイッチング波形に変換します。パルス幅変調 (PWM) は最も一般的に使用される変調方式です。PWM の場合、オーディオ信号は、出力デバイスを駆動する PWM キャリア信号を変調するのに使用されます。その後、出力デバイスはローパス・フィルタを駆動して高周波の PWM キャリア搬送周波数を除去する一方、必要なオーディオ信号を保持します。スピーカはこのフィルタの要素の 1 つであり、フィルタ出力に位置します。

クラス D アンプは様々な形をとり、デジタル入力を持つものやアナログ入力を持つものがあります。

ただし、PWM アンプではオーディオ品質が制限されることがあります。全高調波歪み (THD) は通常は 0.1 % 以上で、電源電圧変動除去比 (PSRR) も良好ではありません (参考資料 1 参照)。PSRR は、参考資料 1 で提案されているように、電源変動を検知し、モジュレータの動作を調整して補償することによって改善できます。しかし、これだけでは PWM 固有の非線形性やパワー段の非直線性によって生じる THD を抑制できません。

この THD と電源ノイズは両方ともパワー段の出力からの帰還によって抑制することができます (参考資料 2 参照)。これは、アナログ PWM モジュレータ周囲の帰還と統合されます。

PWM は、400 kHz 付近の低クロック・レートでオーディオ帯域での S/N 比 100 dB 以上が可能になり、スイッチング損失が抑制されるため、魅力的といえます。また、多くの PWM モジュレータは 100 % 変調付近になると安定するので、過負荷にならずに高出力が可能です。ただし、PWM には問題がいくつかあります。1 つは、PWM 処理はその性質上、多くの変調方式で歪みを追加すること (参考資料 3 参照)、2 つ目は、PWM スwitching 周波数の高調波が AM 帯で EMI を発生することです。

$\Sigma\Delta$ 変調にはこれらの問題はありませんが、それにもかかわらず従来のクラス D には使用されていません (参考資料 3 参照)。なぜなら、従来の 1 ビット型 $\Sigma\Delta$ モジュレータは 50 % までの変調でのみ安定しているのと、オーディオ帯域での十分な S/N 比を達成するためには、64 倍以上のオーバーサンプリング・レートが必要な場合、一般的な出力データ・レートが 1 MHz 以上になるため電力効率が制限されるからです。しかし、アナログ・デバイセズは、これらの問題を克服するために従来の 1 ビット型 $\Sigma\Delta$ アーキテクチャを改善し、競合他社の PWM ベースの製品よりも性能上の利点を持った $\Sigma\Delta$ ベースのクラス D アンプ・チップを開発しました。

デバイス・アーキテクチャ

AD1990/AD1992/AD1994/AD1996 チップは、 Σ - Δ モジュレータを内蔵した、ブリッジ結合負荷 (BTL) 型の 2 チャンネル・スイッチング・オーディオ・パワーアンプです。以下、この製品群を指すのに AD199x を使用します。

AD199x モジュレータは、(最大振幅 5V p-p の) 低電力アナログ入力信号を受け取り、直接スピーカを駆動するためのスイッチング波形を生成します。2 つのモジュレータの 1 つが両方の出力段を制御できるので、シングルチャンネル・アプリケーションでは 2 倍の電流を供給することができます。マイクロコントローラ互換のデジタル・インターフェースは、リセット、ミュート、PGA ゲインに加え、熱および過電流のエラー状態の出力信号を備えています。出力段は、8V ~ 20V の電源電圧範囲で動作できます。アナログ変調およびデジタル・ロジックは 5V の電源電圧で動作します。

AD199x のパワー段は 4 個のトランジスタ・ペアが内部で配置されており、ステレオ増幅を提供するための 2 つの H ブリッジ出力として使用されます。このトランジスタ・ペアは Σ - Δ モジュレータの出力によって駆動されます。両方のトランジスタが同時にオンにならないように、ハイ・サイド・トランジスタとロー・サイド・トランジスタのスイッチング間でオーバーラップしない時間を選択することができます。AD199x は電源投入時のポップ・ノイズ抑制機能を内蔵しており、リセットまたはミュート解除後のポップやクリックのノイズを除去できます。

アナログ入力部

アナログ入力部は内部アンプを使用して、入力信号をリファレンス・レベルにバイアスしています。入力信号に含まれる外部の DC バイアスを除去するために、DC 阻止コンデンサを接続する必要があります。

シグマ・デルタ・モジュレータ

このモジュレータでは、1 ビット型の 7 次フィードフォワード・アーキテクチャを採用しています。量子化器の出力はスイッチング・パワー段を駆動し、そのパルスは連続時間 (CT) の第 1 積分器に帰還されます。これにより、パルス波形を最大限に積分することが可能となり、誤差訂正が最大化されます。第 1 積分器を離散時間 (DT) にすると、サンプリング・プロセスでパルス・エッジのタイミングや形状の誤差に関する重要な情報がしばしば欠落するため、帰還ループでの誤差訂正の効果が低減してしまいます。

CT 積分器の帯域幅が 100 kHz なので、後続の DT 型スイッチド・キャパシタ (SC) 積分器に対してアンチエイリアシング・フィルタリングが行えます。SC 積分器および量子化器は 6 MHz でクロックされ、128 倍のオーバーサンプリングに相当します。

モジュレータでは、従来型の強度のノイズ・シェーピングを用いて 100dB の S/N 比 を実現するには 7 次で十分です (参考資料 5 参照)。ただし、変調が 50 % を超えると不安定になり、安定動作での最大出力電力は理論的な最大電力のわずか 25 % に制限されます。この制限を回避するために、若干緩和されたノイズ・シェーピングを使用して 90 % 変調とし、安定性を維持します。これにより、ハイパワーで良好な音質が得られますが、許容できる S/N 比 を得るには高次のモジュレータが必要になります。

幸いにも、第 1 積分器の後段のすべての積分器は SC にすることができます。第 1 積分器のゲインが大きければ、SC 積分器のノイズ要件が緩和され、サンプリング・コンデンサが小さくて済み (50 fF)、また低電力の単段オペアンプで済むこととなります。レゾネータから 2、4、6 の各段の積分器への帰還により、NTF のゼロを 12 kHz、22 kHz、40 kHz に設定することで低周波ノイズが低減されます。PVDD = 12V の場合は、オーディオ帯域で積分される量子化ノイズが 25 μ V rms となり、これに熱雑音が追われることにより合計で 50 μ V rms のオーディオ・ノイズが発生します。最高出力は 7.8 V rms なので、104 dB のダイナミック・レンジが得られることとなります。

ここまでで述べたモジュレータは、フルスケールの 90% を超えるような大きな入力では不安定になります。不安定性に起因する出力トランジェントにより、期待する信号にはほど遠く、悪い音になります。この問題を解決するには、モジュレータ入力を監視し、不安定性の原因となる大きな信号が検出されたときに、モジュレータの 3 ~ 7 の各段の積分器をリセットします。これによって、モジュレータは無条件に安定する 2 次の構成に変換されます。ループ・ゲインは「通常の」7 次構成よりも減少するので、ノイズ・シェーピングの効果も低下し、多くの量子化ノイズが出力に到達するようになります。ただし、この上昇ノイズは大出力信号に重ね合わされるため期待する波形に近くなり、合成サウンドはモジュレータが不安定な場合よりも良好になります。

H ブリッジの駆動

スイッチング・アンプの各チャンネルは、差動出力段に接続された 4 個のトランジスタで構成される H ブリッジによって制御されます。H ブリッジの出力 OUTF+, OUTF-, OUTL+, OUTL- は、シグマ・デルタ (Σ - Δ) モジュレータの決定に従って PVDD と PGND の間でスイッチングします。AD199x のパワー段を駆動するのに使用される電源電圧は +8 V ~ +20 V の範囲で、負荷を駆動するのに十分な電流を供給できなければなりません。この電源は PVDD ピンと PGND ピンの間に接続します。帰還ピン NFR、NFR-, NFL、NFL-は、モジュレータに負帰還を与えるのに使用します。これらのピンは、図 2.106 に示すように、抵抗分圧器ネットワークを使用して H ブリッジの出力に接続されます。

ハイ・サイドとロー・サイドのトランジスタがどちらもオンでない、非オーバーラップ期間中の電力損失を低減するために、外付けのショットキー・ダイオードを使用できます。この期間中は、どちらのトランジスタも OUTx ピンを駆動しません。インダクタの目的は、電流を流し続けることです。

例えば、OUTx ピンが PGND レベルに近づき、さらにそこを超えたときに起こります。OUTx ピンの電圧が PGND よりも 0.7 V 以上小さくなると、ロー・サイド・トランジスタに付随する寄生ダイオードが順方向にバイアスされて、オンになります。ハイ・サイドのトランジスタがオンになると、OUTx の電圧は PVDD に上昇し、寄生ダイオードを逆バイアスします。しかし、その性質上、寄生ダイオードの逆回復時間が長いので、電流は PGND に流れ続け、回路全体が必要以上に電流を流すこととなります。ショットキー・ダイオードを追加することによって、これを防ぐことができます。OUTx ピンが PGND よりも 0.3V 以上小さくなると、ショットキー・ダイオードは順方向にバイアスされます。ハイ・サイドのトランジスタがオンになると、ショットキー・ダイオードは逆バイアスになります。ショットキー・ダイオードの逆回復時間は寄生ダイオードよりも大幅に高速なので、電流浪費ははるかに少なくなります。OUTx ピンが PVDD を超えるような駆動電流をインダクタが誘導した場合も同様の効果が生じます。

図 2.106 は、外付けコンポーネントを AD199x のピンに接続して、H ブリッジを構成した様子を示しています。

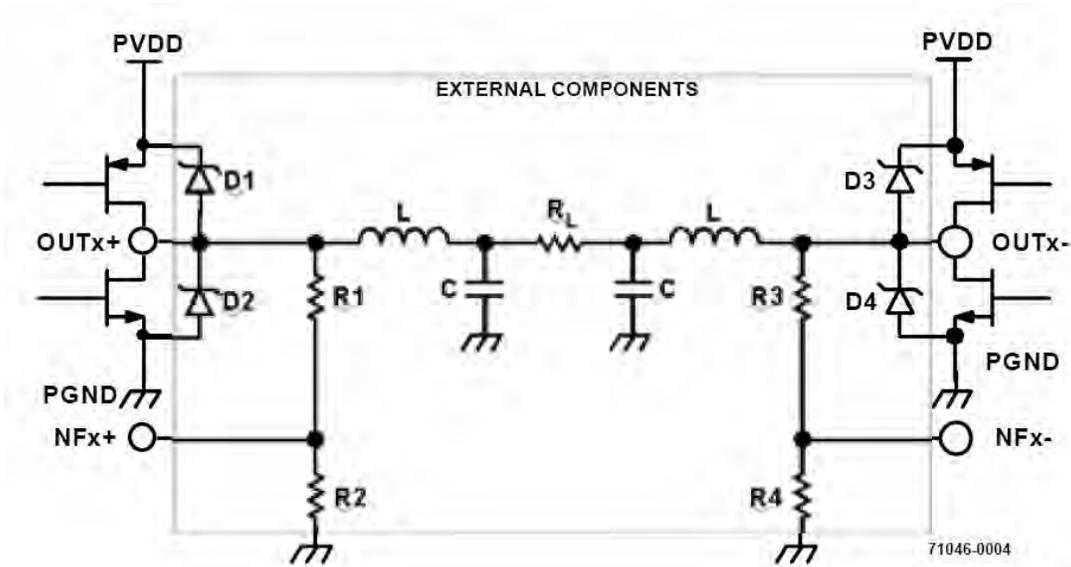


図 2.106: H ブリッジの構成

アンプのゲイン

モジュレータのゲインの選択

AD199x モジュレータは、OUT_{xx} と PGND のピン間に 2 個の外付抵抗を接続して形成された抵抗分圧器で電圧ゲインが制御されるスイッチング・アナログアンプと考えることができます。抵抗分圧器の中央は対応する帰還ピン NF_x に接続されます。ゲインと PVDD 電圧とを選択すると、一定の入力信号に対して負荷に供給される電力が決まります。モジュレータのゲインは、次式にしたがい R1 と R2 の値によって制御されます（図 2.106 参照）。

$$\text{ゲイン} = (R2 + R1) / R2 \quad \text{式 2-23}$$

NF_x ピンの電圧が 5 V を超えると、ESD 保護回路がオンになり、チップ内で NF_x に接続されている低電圧回路が保護されます。保護回路がアクティブになると、モジュレータの帰還ループが非線形動作となり、音質が劣化します。これを回避するには、NF_x での最大電圧が 5 V 以下に制限されるように、R1、R2、それにゲインを選択する必要があります。モジュレータの最適な安定性およびオーディオ品質を得るには、次式を使用します。

$$\text{ゲイン} = (R1 + R2) / R2 = \text{PVDD} / 3.635 \quad \text{式 2-24}$$

絶対値ではなく抵抗比によってゲインが設定されます。ただし、分圧器は高電圧電源からグラウンドへの経路を提供するため、静止電流による損失が無視できるほど十分大きくなければなりません。

チップには、スピーカにおける電圧オフセットを最小化するための補正回路が内蔵されているため、ミュート時やミュート解除時のクリックやポップのノイズを最小にできます。帰還分圧抵抗の合計が $6\text{k}\Omega$ のときに、オフセット補正回路で最適性能が得られます（つまり、 $(R1 + R2) = 6\text{k}\Omega$ ）。

電源投入に関する考慮

正常動作を保証しラッチアップの問題を回避するために、AD100X の電源を投入する際には注意が必要です。AD199x では、すべての電源が安定するまで、RST/PDN と MUTE をローに保持したまま電源を投入する必要があります。電源の安定後、RST/PDN をハイにして AD199x をリセット状態から解除できます。その後、必要に応じて MUTE をハイにすることができます。

オン/オフ/ミュート時のポップ・ノイズ抑制

AD199x はリセットまたはミュートを解除したときに有効になるポップ抑制機能を備えています。ポップ抑制機能は、LC フィルタの出力が 0V から電源の中間電位になるように電力出力のパルスを制御することによって実現します。この機能により、出力と高電圧電源における不要な過渡電圧が除去されます。

熱保護

AD199x は熱保護を備えています。ダイの温度が約 135°C を超えると、熱警告エラー出力 (ERR1) がアサートされます。ダイの温度が約 150°C を超えると、サーマル・シャットダウン・エラー出力 (ERR2) がアサートされます。これが起きると、デバイスは損傷を防ぐためにシャットダウンします。ダイ温度が約 120°C 以下に低下すると、両方のエラー出力はネゲートされ、デバイスは通常動作に戻ります。

過電流保護

AD199x は過大電流や短絡に対する保護を備えています。パワー・トランジスタを流れる電流が 4A を超えると、デバイスはミュートされ、過電流エラー出力 (ERR0) がアサートされます。これはラッチ型エラーなので自動的にクリアされません。エラー状態をクリアして通常の動作に戻すには、デバイスをリセットするか、MUTE をアサートし、ネゲートする必要があります。

AD199x が正常に動作するには、良好な基板レイアウトとデカップリングが不可欠です。デバイスが大電流をスイッチするため、トランジスタがスイッチするたびに PVDD が大きくバウンスする可能性があります。これによって、予測不可能な動作を引き起こすことがあります。この問題を回避するために、チップ付近でのデカップリングが不可欠です。デカップリング・コンデンサは AD199x と基板の同じ側に配置し、PVDD と PGND のピンに直接接続することを推奨します。基板の反対側にデカップリング・コンデンサを配置し、ビアを介してデカップリングすると、デカップリングの効果は低減します。

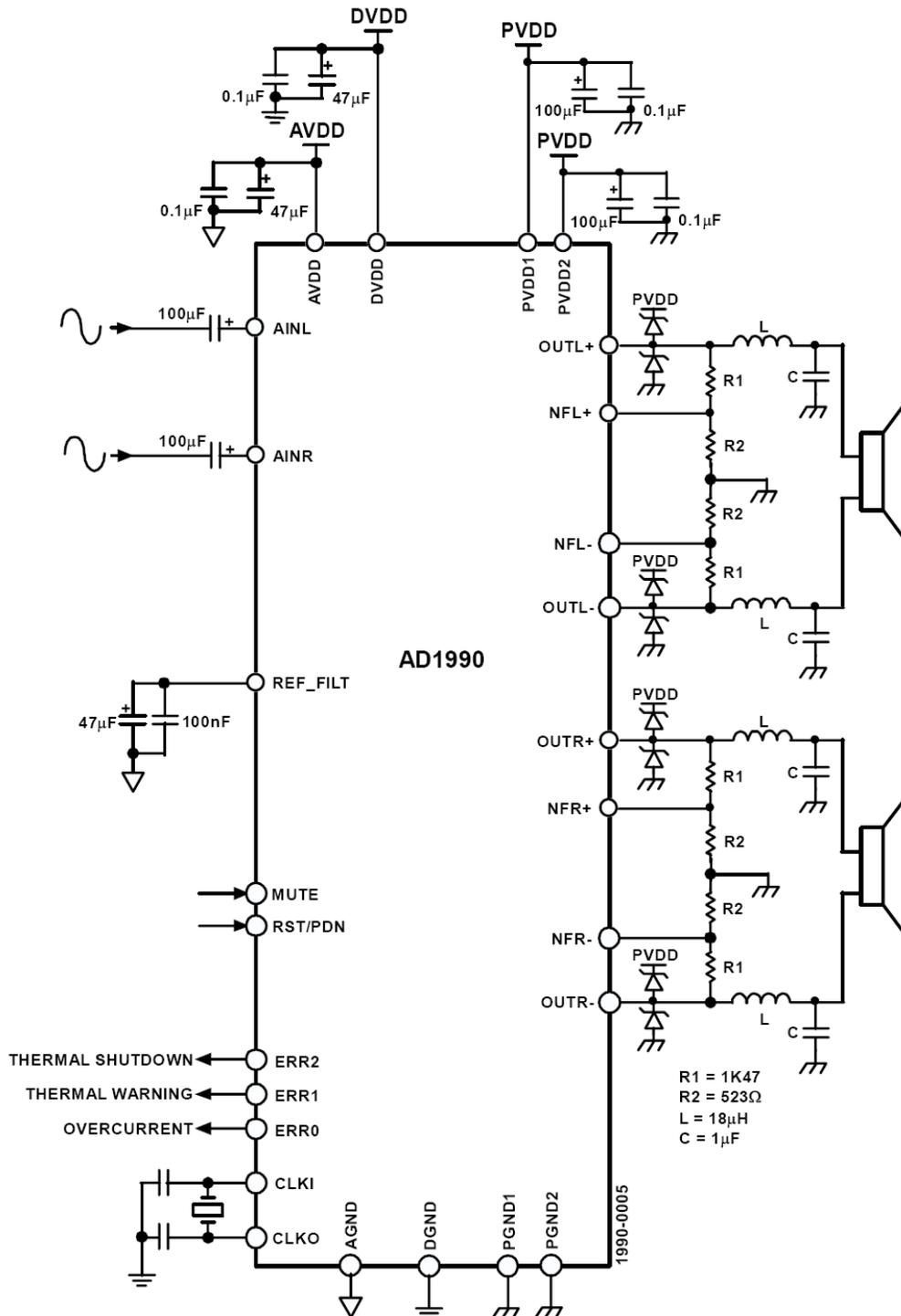


図 2.107: ステレオ・モードの代表的な応用回路

ビアは誘導性の性質を持つため、最良の動作を実現するには、AD199x のそれぞれの側にデカップリング・コンデンサを少なくとも 1 個配置するか、あるいは（オプションで）コンデンサの直列抵抗をさらに減すために側面ごとにコンデンサを 2 個配置します。

これらのデカップリングの推奨に従うことができない場合やビアを介したデカップリングが唯一の選択肢である場合は、ビアはできるだけ大きくして表面積を増大させ、インダクタンスや抵抗を減少させる必要があります。

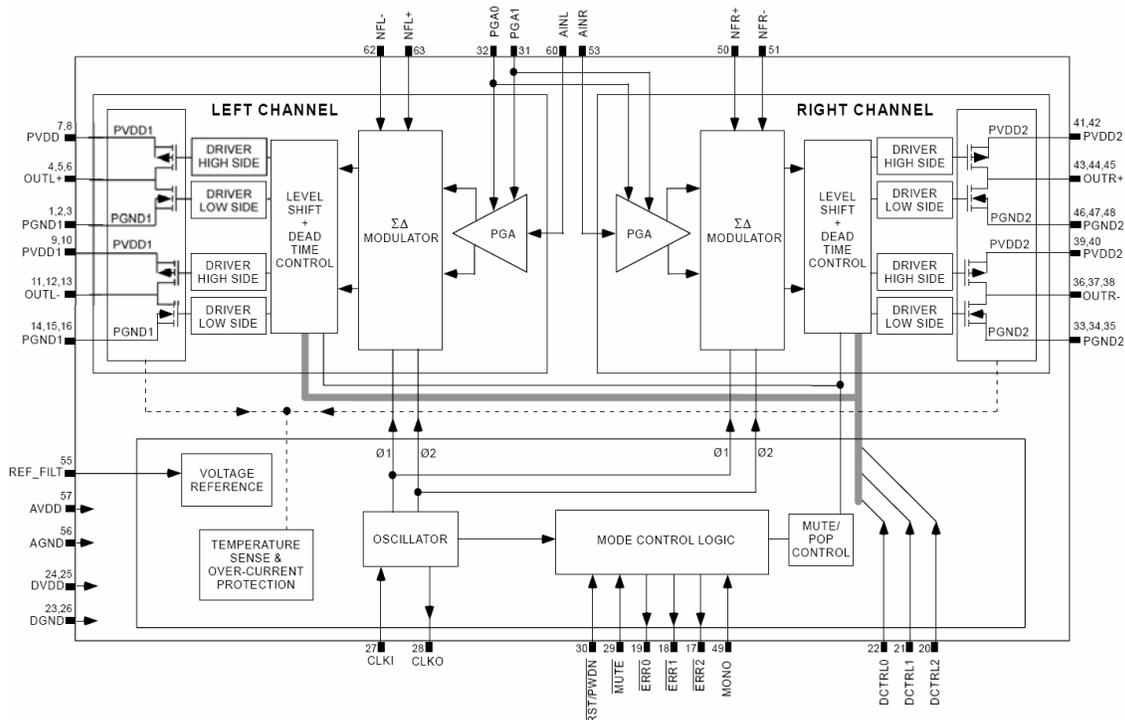


図 2.108: AD199x のブロック図

アプリケーションに関する考慮

オーディオ忠実度と EMI の低減

AD199x アンプは、オーディオファイル向け音質（THD < 0.003 %、S/N 比 > 103 dB、PSRR > 65 dB）を提供し、従来のリニア・アンプよりも 50 % 低い放熱を実現しました。THD 性能は、競合他社の標準的なオープンループ製品よりも 40 dB 優れ、ほとんどのクローズドループ製品よりも 10 dB ~ 20 dB ほど優れています。この画期的な性能は、アナログ・デバイセズによる 7 次 $\Sigma\Delta$ モジュレータ技術のクローズドループ型ミックスド・シグナル統合を、高出力駆動回路およびブリッジ回路と組み合わせることにより実現されました。帯域外に放射および伝導される RF エミッションは、アナログ・デバイセズの高度な変調技術とクローズドループ型 $\Sigma\Delta$ アーキテクチャによって最小化され、EMI の大幅な低減を可能にしています。

パワーはステレオ 5 W（モノラル 10 W）からステレオ 40 W（モノラル 80 W）までの範囲です。AD1994 はモジュレータ専用モードに設定することができます。これを外付けのハイパワー FET と組み合わせることにより、パワー段の設計のみでは制限される、きわめて大きな電力増幅が可能になります。このデバイスにはまた、ポップ/クリック抑制回路に加え、短絡、過負荷、温度の各種保護機能などの重要な周辺機能が内蔵されています。

1 kHz 正弦波での THD + N

図 2.109 と図 2.110 は、1 μ W および 1 W の出力電力レベルにおいて、1 kHz の信号で FFT を測定した図です。1 μ W での FFT (図 2.109) は、低電力入力ではノイズ・フロアにトーンがないことを示しています。

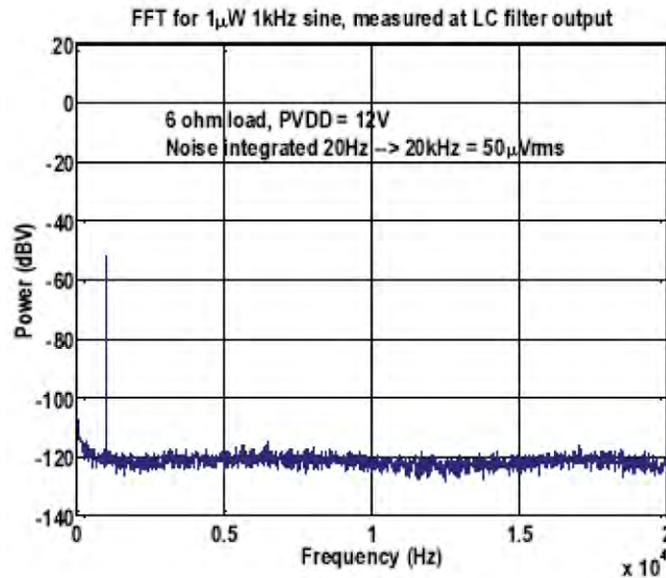


図 2.109: 1 μ W における 1 kHz 正弦波での THD + N

図 2.110 に示す 1 W の電力レベルは、現実のリスニング・レベルを反映することを意図しています。高調波歪みは明白ですが、0.00121 % の THD は、シングル・チップのクラス D アンプではこの信号条件で前例のないレベルです。

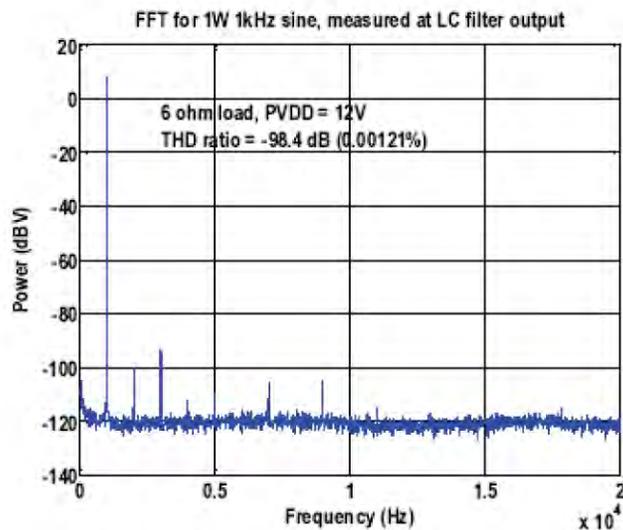


図 2.110: 1 W の 1 kHz 正弦波での THD + N

図 2.111 は、出力パワーが 1 W の正弦波である信号条件での THD の周波数特性を示しています。

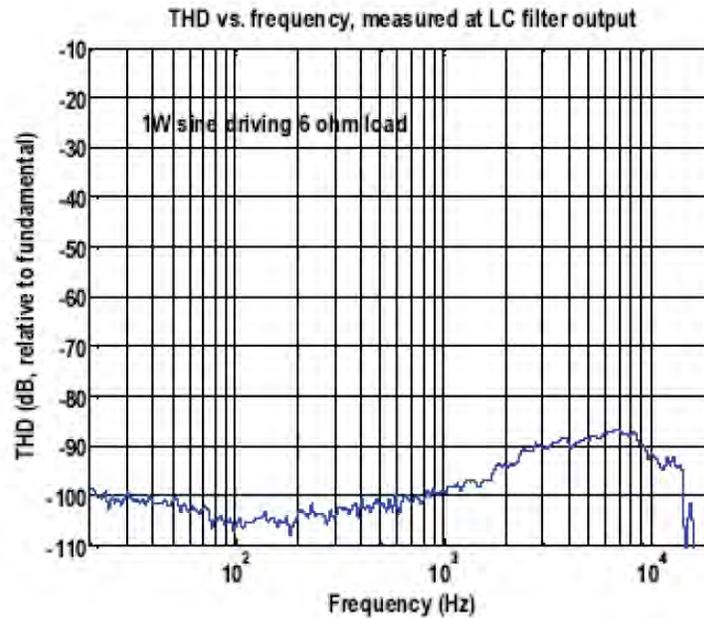


図 2.111: 1 kHz での歪みの周波数特性

低周波数でモジュレータのループ・ゲインが高いほど、モジュレータとパワー段の誤差補正が優れ、高周波数よりも THD が良好になります。実際、数百 Hz までは 0.001 % (-100 dB) 以下です。6 kHz 以上のオーディオ周波数で THD が改善されているように見えますが、これは誤解を招く表示です。この測定手段では 20 kHz の帯域幅を超える高調波は検出できていません。20kHz の基本波では、実際の THD はほぼ 0.01 % (-80 dB) です。この周波数は超音波であり、聞こえない音域です。

1kHz 正弦波での THD + N 対出力電力

図 14 は、1 kHz の正弦波での THD + N と出力電力の関係を示しています。プロット上には 2 つの曲線があります。1 つ (o) は、PVDD = 12 V で負荷が 6 Ω (デフォルトの測定セットアップ) のときの低電力アプリケーションの場合です。2 つ目 (x) は、PVDD = 20 V で負荷が 4 Ω のときの高電力アプリケーションの場合です。

これらの曲線には性能が異なる 3 種類の領域が存在しています。1 つは、出力電力レベルが最も低い領域で、モジュレータは 7 次で、THD + N は最良です。2 つ目の性能領域は大きな出力電力の領域で、不安定性を防止するためにモジュレータの次数は 7 次から 2 次まで低下しています。モジュレータ次数の低下によって量子化ノイズが上昇するので、2 次の構成では THD + N は 65 dB にしかありません。ただし、この高いノイズはエネルギーの大きな音が出力されているときには聴くことは困難です。3 つ目の性能領域は最大出力電力の領域であり、クリッピングが発生してそれに関連した歪みにより THD は急速に劣化しています。



図 2.112: 1 kHz での歪み対出力電力

IMD

図 2.113 は、1 W の 19 kHz および 20 kHz の 2 調波信号から生じる相互変調歪み (IMD) を示しています。1 kHz の 2 次積はトーンよりおよそ 98 dB 低くなります。

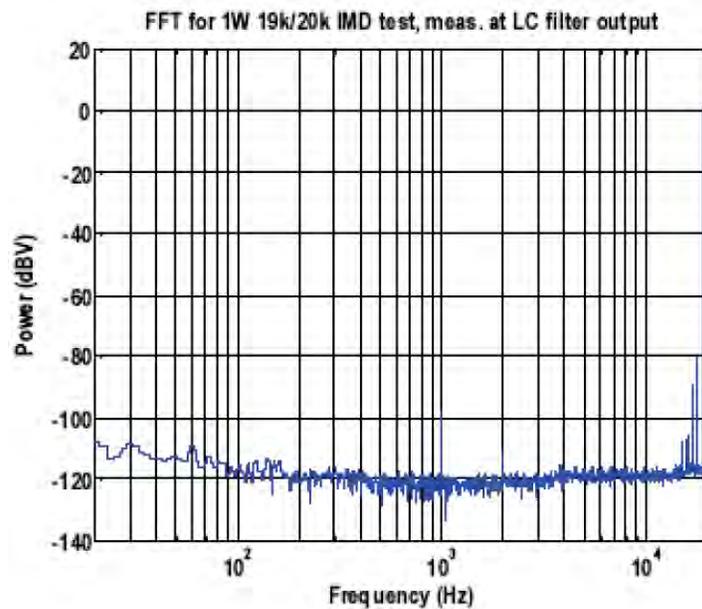


図 2.113: 相互変調歪み (IMD)

クロストーク

チャンネル間クロストークは、複数のオーディオ・チャンネルを持つチップで問題となります。クロストークを調べるために、チップのあるチャンネルを、1 kHz、1W (+7.8 dBV) の正弦波で駆動し、他のチャンネルはアイドル (0 入力) としました。その後、アイドルのチャンネルを測定しました。結果を図 2.114 に示します。アイドル・チャンネルにおける -89 dB の 1 kHz トーンは、駆動されたチャンネルの信号より 97 dB 低い値です。

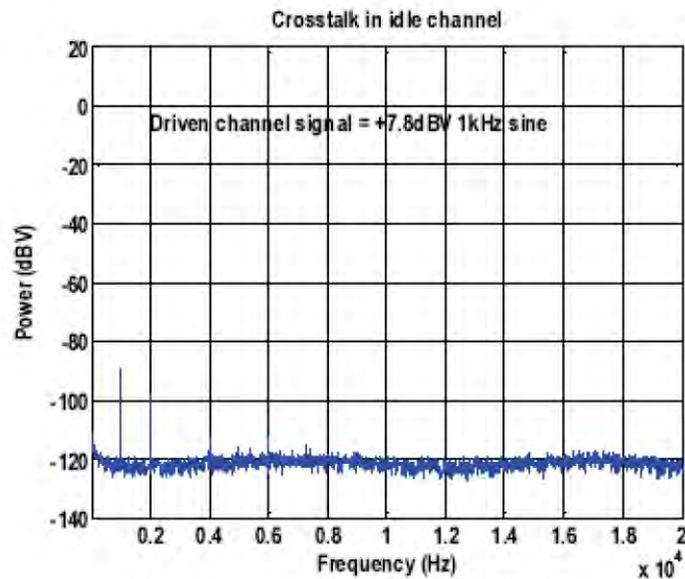


図 2.114: クロストーク

電力効率

図 2.115 に、5 W までの出力電力の電力効率を示します。50 mW/チャンネルでのモジュレータの電力消費とパワー段の電力消費の両方がこの計算に含まれています。（ときおり見かけるように、パワー段の消費のみを含め、モジュレータを除外した場合は、効率は良くなります）。

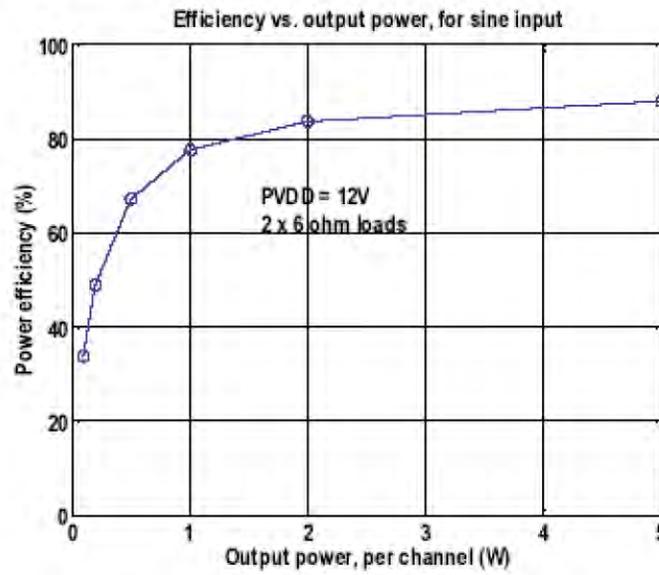


図 2.115: 効率対出力電力

注記

2.15: オートゼロ・アンプ

チョッパ・アンプ

チョッパ型アンプの回路構成は何十年も前から存在していました。初期のチョッパの設計では、AC 結合された入力信号と AC 信号を同期的に復調した信号とをスイッチングして DC 信号を再構成していました（図 2.116 を参照）。これらのアンプは超低オフセット、低オフセット・ドリフト、そして超高ゲインを実現していましたが、帯域幅は制限され（所詮はサンプリング・システムにすぎません）、チョッピング動作によって発生する大きなリップル電圧を除去するためのフィルタリングを必要としていました。最も初期の実装では、チョッピング・スイッチは実際にはリレーで、一般的には 400 Hz のオーダーでスイッチングを行っていました。

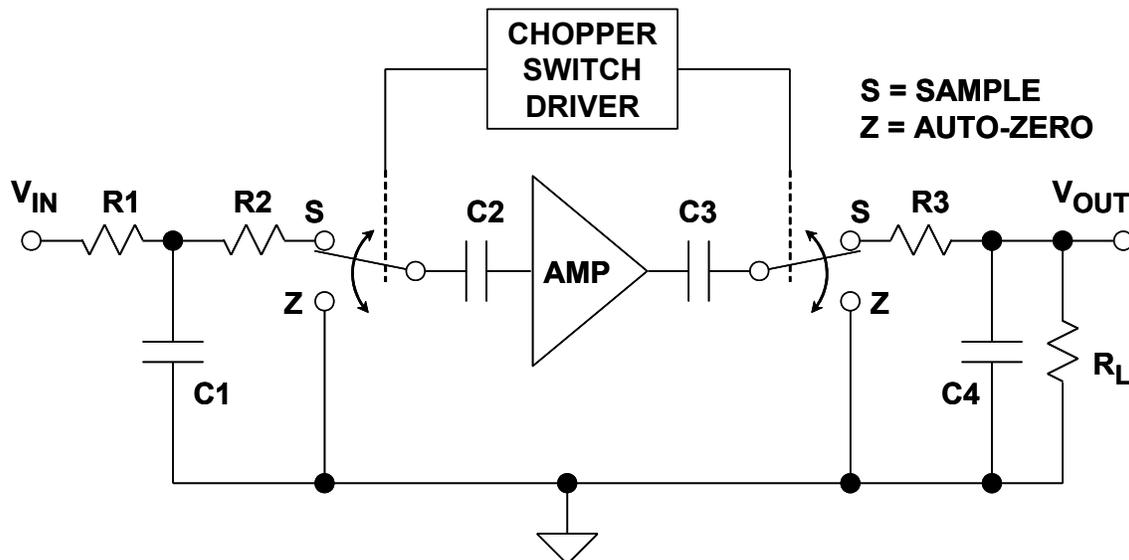


図 2.116: 古典的なチョッパ・アンプの簡略化した回路図

事実上最新のすべての IC チョッパ・アンプは、実際にはチョッパ安定化方式と同様の 2（またはそれ以上の）ステージによる複合型のアンプ構造を利用したオートゼロ方式を採用しています（図 2.117 参照）。ひとつのステージはゼロ調整動作を実行し、もうひとつのステージは広帯域応答を受け持ちます。これらの 2 つのステージが直列に接続されたときに、非常に高い電圧ゲインが得られます。

チョッパ安定化アンプ（Chopper-stabilized amplifier）は、信号経路に置いた従来型の広帯域アンプとチョッパ・アンプとを組み合わせ、従来型で帯域幅が制限されるという問題を解決しました。主信号経路はサンプリングされないため、システムの帯域幅は信号アンプの帯域幅によって決まります。これはチョッピング周波数を超えることがあります

このチョッパ安定化の設計では、安定化用のアンプが広帯域アンプの非反転入力に接続されているので、反転動作のみが可能です。

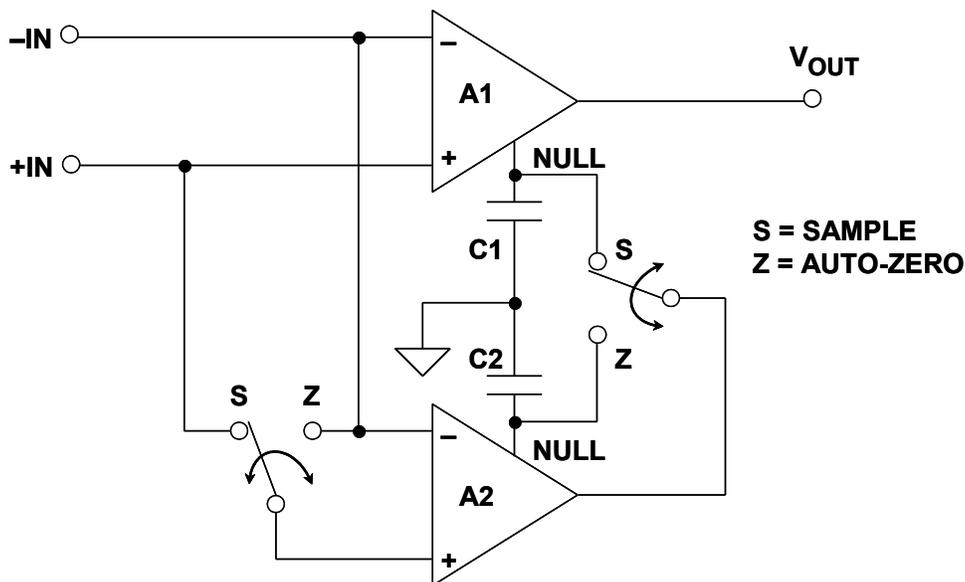


図 2.117: オートゼロ・アンプの簡略化した回路図

この方式では、動作サイクルの最初のフェーズの間は、ゼロ調整 (nulling) ステージの入力が互いに短絡されます。このゼロ調整フェーズの間は、増幅された帰還によってゼロ調整ステージのオフセットがほとんど相殺されます。2 番目のフェーズ、つまり「出力」フェーズ中にオフセットがゼロに維持されるように、帰還電圧がコンデンサに印加され、今度は入力が信号に接続されます。

出力フェーズでは、ゼロ調整入力ステージと広帯域ステージが直列に接続されて信号を増幅します。サイクルがゼロ調整フェーズ (入力を互いに短絡) に戻ったとき、出力が最後の入力電圧値を反映し続けるよう、ゼロ調整フェーズの出力がコンデンサに印加されます。フィードフォワード技術により、ゼロ調整ステージをバイパスする信号の周波数が高いほど、広帯域幅動作が可能になります。

この技術では、高い DC 精度と優れた周波数応答を実現しながら、反転、非反転のいずれの構成も可能です。ただし、高レベルのデジタル・スイッチング・ノイズを発生させる傾向があり、広帯域幅の利点を制限してしまうことがあります。

オートゼロ・アンプによるチョッパの改善

ADI のオートゼロ・アンプも同様なアーキテクチャを採用していますが、いくつか主要な改良がなされています。デュアル・ゼロ調整ループ、特殊なスイッチング・ロジック、それに先進の補償技術によって、動的性能を改善しながらもダイの総面積を最小化しています。その結果、デジタル・スイッチングによるアナログ信号への負の影響を最小化しながら、オートゼロ手法を用いた高ゲインおよび DC 精度のアンプが半分のコストで提供できるようになりました。代表的なオフセット電圧は $1\ \mu\text{V}$ 以下であり、オフセット・ドリフトは $10\ \text{nV}/^\circ\text{C}$ 以下、そして電圧ゲインは 1000 万以上であるにもかかわらず、PSRR および CMRR は 120 dB を超えています。入力電圧ノイズは、DC ~ 10 Hz でわずかに $1\ \mu\text{V p-p}$ です。

多くのオートゼロ・アンプは、出力飽和後の内部ゼロ調整ループの複雑なセトリング動作に起因する、長時間の過負荷回復時間が問題となっています。アナログ・デバイゼスのオートゼロ・アンプは、出力飽和発生後の 1 または 2 クロック・サイクル内に内部セトリングが行われるように設計されています。その結果、過負荷回復時間は以前の設計よりも 1 桁以上も短く、通常型のアンプに匹敵します。

AD855x アンプを慎重に設計してレイアウトすれば、デジタル・クロック・ノイズやエイリアシング効果を旧設計と比較して 40 dB も低減できます。

多くの場合、アプリケーションが要求する帯域幅は、少量のデジタル・フィードスルーをフィルタによって除去可能な範囲です。出力フィルタは信号アンプの広帯域ノイズを制限するのにも有用です。

AD857x は、特許取得済みのデジタル・スペクトラム拡散技術を用いて、デジタル・スイッチングによるアナログ信号への影響を抑えています。図 2.118 と図 2.119 から分かるように、AD857x はスイッチング周波数において他のオートゼロ・アンプに見られるようなエネルギー・スパイクを事実上排除しています。また、ノイズ・フロアへのチョッピング・クロックと入力信号間のエイリアシング積を低減しています。この画期的な性能における唯一の欠点は、電圧ノイズが、AD855x の設計における DC ~ 10 Hz での業界最高値である $1\ \mu\text{V p-p}$ よりもわずかに大きくなることです。

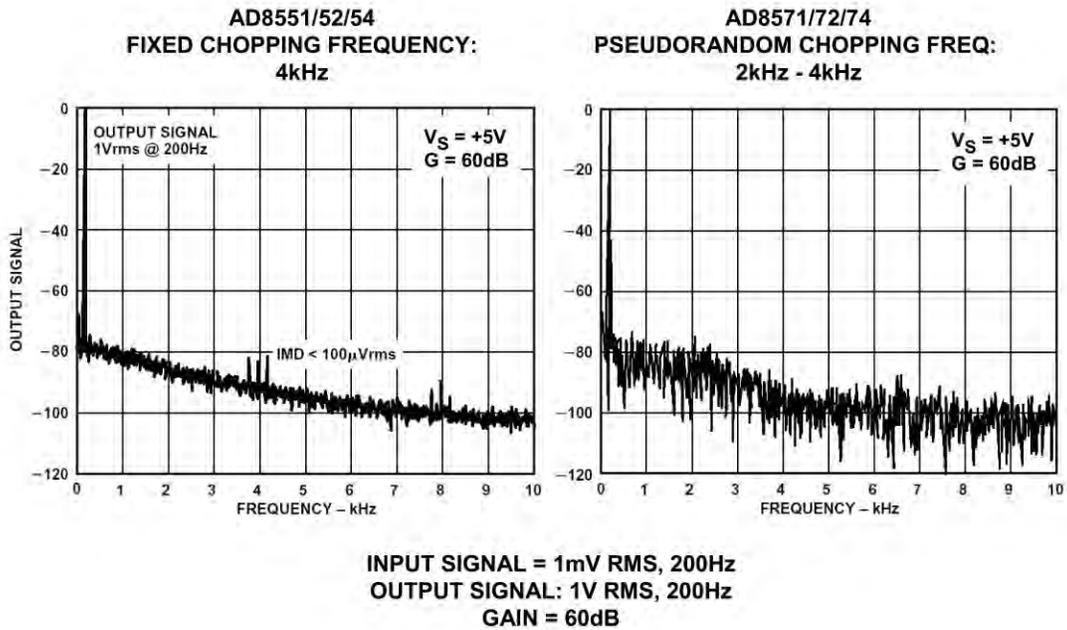


図 2.118: 固定周波数チョッピングおよびスペクトル拡散チョッピングでのオートゼロ・アンプの出カスペクトル

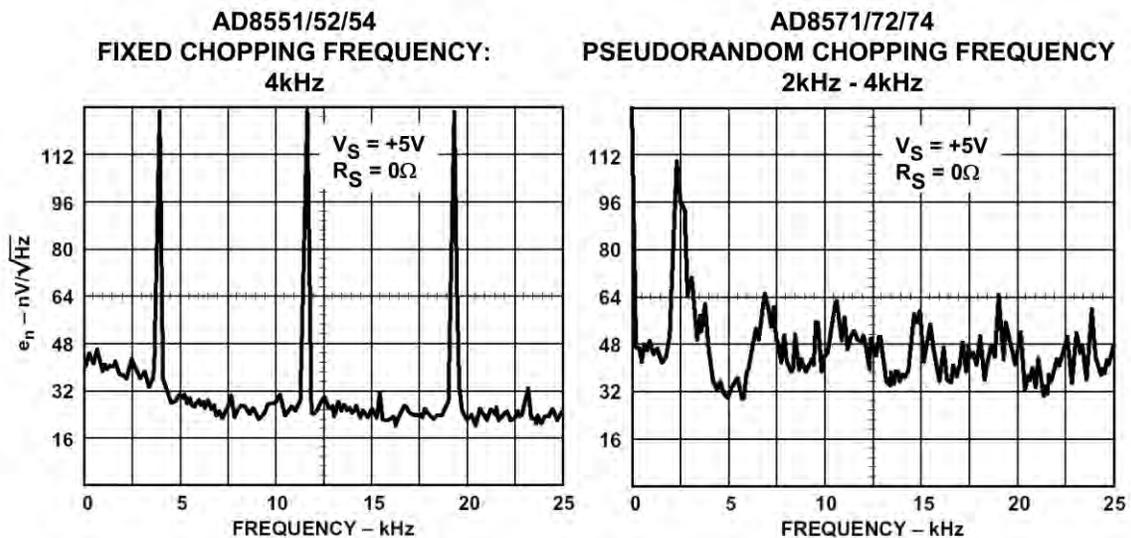


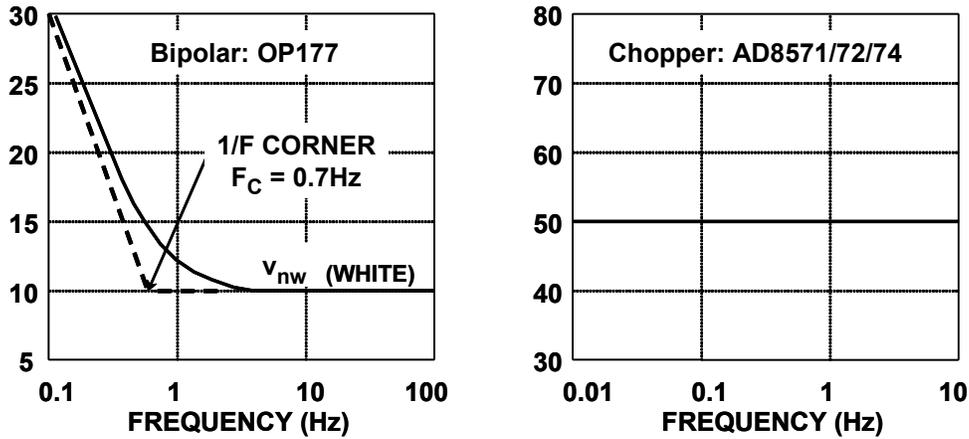
図 2.119: 固定周波数チョッピングおよびスペクトル拡散チョッピングでのオートゼロ・アンプの出力電圧

実装

IC オートゼロ・アンプの実際の回路実装は、前述の簡略化した実装よりはるかに複雑です。複数のゼロ調整ループが先進的な補償技術と組み合わせられ、信号経路が完全差動となっています。ゼロ調整回路の飽和を防ぐように、内部電圧は慎重に制御されます。さらに、特別なロジック設計を活用し、寄生効果を最小化するために注意深いレイアウトが必要とされます。これらの技術により、安定かつ信頼性の高い動作が確保され、アナログ信号との不要なデジタル相互作用を最小限に抑えることができます。

ゼロ調整アンプおよび広帯域アンプの周波数応答は慎重に調整されているため、低周波数誤差（DC 回路オフセットおよび低周波ノイズ）をゼロに補正する一方で、高周波信号は通常のアンプと同様に増幅します。この低周波数誤差のゼロ調整による電圧ノイズへの影響は重要です。通常のアンプで見られる超低周波数での $1/f$ ノイズはオートゼロ・アンプには存在しません。低速で変動する信号を長時間かけて測定するような用途では、このノイズ性能は通常の最良の低ノイズ・アンプ設計よりも優れています。

この IC 実装では、オンチップのコンデンサの大きさは、ダイ・サイズのコスト効果を高めるように制限されます。小さなコンデンサにすると、電荷注入効果によってオフセット誤差が大きくなるように、スイッチの設計やレイアウトに細心の注意が必要になります。回路の精度を維持するために、特に高温においてスイッチのリーク電流は最小にしなければなりません。AD855x と AD857x のアンプでは、スイッチは +125 °C の温度まで正常動作するよう最適化されています。



NOISE BW	BIPOLAR (OP177)	CHOPPER (AD8571/72/74)
0.1Hz to 10Hz	0.238μV p-p	1.3 μV p-p
0.01Hz to 1Hz	0.135μV p-p	0.41μV p-p
0.001Hz to 0.1Hz	0.120μV p-p	0.130μV p-p
0.0001Hz to 0.01Hz	0.118μV p-p	0.042μV p-p

図 2.120: 通常の高精度アンプとチョッパ安定化オペアンプとのノイズ比較

動作の解説

簡略化した回路（図 2.121）は、ゼロ調整アンプ（AA）、広帯域アンプ（AB）、コンデンサ（ C_{M1} および C_{M2} ）、それに入力とコンデンサを切り替えるスイッチで構成されています。クロック・サイクルごとに 2 つのフェーズ（A および B）が存在します。

フェーズ A、つまりオートゼロ・フェーズでは、ゼロ調整アンプがそれ自身を自動ゼロ調整する一方で、広帯域アンプが入力信号を直接増幅します。ゼロ調整アンプの入力は互いに短絡され、入力は反転入力端子に接続されます（コモンモード入力電圧）。ゼロ調整アンプは、ゼロ調整端子のゲイン（ B_A ）によってそれ自身のオフセット電圧をゼロに調整します。ゼロ調整電圧は C_{M1} にも印加されます。入力端子への信号は広帯域アンプによって直接増幅されます。

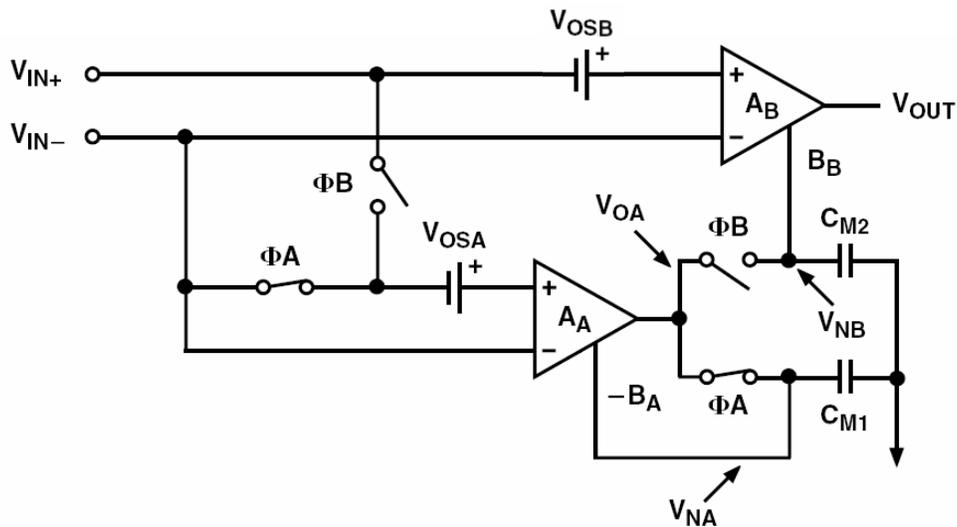


図 2.121: オートゼロ・アンプ、オートゼロ・フェーズ

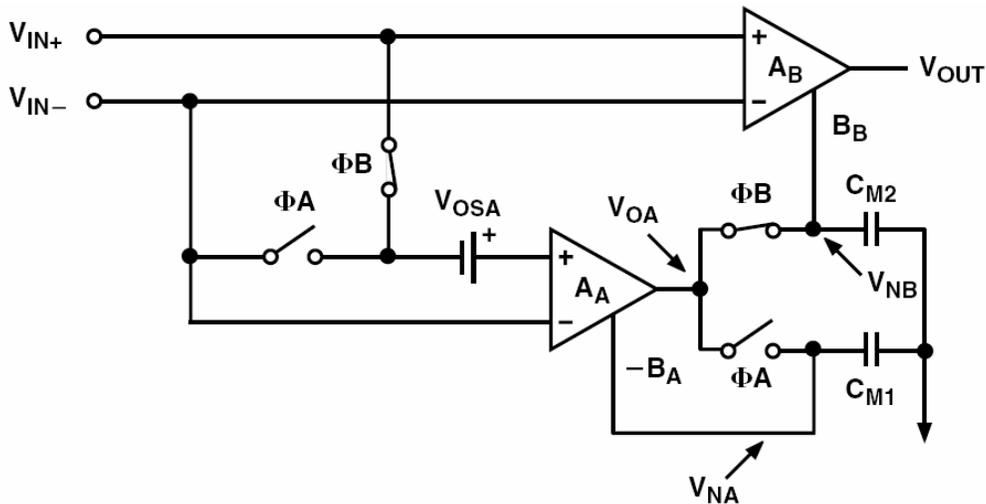


図 2.122: オートゼロ・アンプ、出力フェーズ

フェーズ B、すなわち出力フェーズでは、両方のアンプが入力信号を増幅します。ゼロ調整アンプの入力は入力端子に接続されます。ゼロ調整アンプのゼロ補正電圧は今回はコンデンサ CM1 に蓄積されて、引き続きその出力オフセット電圧を最小にします。瞬時入力信号はゼロ調整アンプで増幅され、さらに広帯域アンプのゼロ調整端子によるゲイン係数 (BB) で増幅されます。ゼロ調整アンプの出力電圧はコンデンサ CM2 にも印加されます。アンプ全体のゲインは、ゼロ調整アンプのゲインと広帯域アンプのゲインの積にほぼ等しくなります。オフセット電圧の合計は、ゼロ調整アンプと広帯域アンプのオフセット電圧の和を広帯域アンプのゼロ調整端子のゲインで割った値にほぼ等しくなります。このゲインを大きくすると、アンプの実効オフセット電圧の合計は非常に小さな値になります

V_{OSA} と V_{OSB} は両方とも、チョッピング周波数によって設定されるハイパス・フィルタの「コーナー周波数」でフィルタリングされます。

サイクルがゼロ調整フェーズに戻ると、CM2 に蓄積された電圧が組み合わされたアンプの DC オフセットを引き続き効果的に補正します。ゼロ調整フェーズから出力フェーズへのサイクルは、内部クロックおよびロジック回路によって設定されたレートで連続的に繰り返されます。この回路例は実際の設計を簡素化したものですが、オートゼロ技術の要点を的確に示しています。

より厳密な解析は AD855x のデータシートに記載されています。

参考資料

1. Daniel H. Sheingold, Editor, **Transducer Interfacing Handbook**, Analog Devices, Inc., 1981.
2. C. Kitchin and L. Counts, **Instrumentation Amplifier Applications Guide**, Analog, Devices, Inc., 1991.
3. **Amplifier Applications Guide**, Analog Devices, Inc., 2002
4. **System Applications Guide**, Analog Devices, Inc., 1993.
5. John Sylvan, **Ask The Applications Engineer -5**. High-speed comparators provide many useful circuit functions when used correctly.
6. Reza Moghimi. **Curing Comparator Instability with Hysteresis. Analog Dialogue 34-7 (2000)**
7. George Erdi, "A 300V/ μ s Monolithic Voltage Follower," **IEEE Journal of Solid State Circuits**, Vol. SC-14, No. 6, December, 1979, pp. 1059-1065
8. Royal A. Gosser, "Wideband Transconductance Generator," **US Patent 5,150,074**, Filed May 3, 1991, issued September 22, 1992.
9. Derek F. Bowers, "A 6.8mA Closed-Loop Monolithic Buffer with 120MHz Bandwidth, 4000V/ μ s Slew Rate, and \pm 12V Signal Compatibility," **1994 Bipolar/BiCMOS Circuits and Technology Meeting 1.3**, pp. 23-26.
10. Barrie Gilbert, **ISSCC Digest of Technical Papers 1968**, pp. 114-115 February 16, 1968.
11. Barrie Gilbert, **Journal of Solid State Circuits**, Vol. SC-3, December 1968, pp. 353-372.
12. C.L. Ruthroff, *Some Broadband Transformers*, **Proc. I.R.E.**, Vol.47, August, 1959, pp.1337-1342.
13. James M. Bryant, *Mixers for High Performance Radio*, **Wescon 1981: Session 24** (Published by Electronic Conventions, Inc., Sepulveda Blvd., El Segundo, CA)
14. P.E. Chadwick, *High Performance IC Mixers*, **IERE Conference on Radio Receivers and Associated Systems**, Leeds, 1981, IERE Conference Publication No. 50.
15. P.E. Chadwick, *Phase Noise, Intermodulation, and Dynamic Range*, **RF Expo**, Anaheim, CA, January, 1986.
16. Daniel H. Sheingold, Editor, **Nonlinear Circuits Handbook**, Analog Devices, Inc., 1974.
17. Richard Smith Hughes, **Logarithmic Amplifiers**, Artech House, Inc., Dedham, MA., 1986.
18. William L. Barber and Edmund R. Brown, *A True Logarithmic Amplifier for Radar IF Applications*, **IEEE Journal of Solid State Circuits**, Vol. SC-15, No. 3, June, 1980, pp. 291-295.
19. **Broadband Amplifier Applications**, Plessey Co. Publication P.S. 1938, September, 1984.
20. M. S. Gay, **SL521 Application Note**, Plessey Co., 1966.
21. **Amplifier Applications Guide**, Analog Devices, Inc., 1992. Section 9.

22. Charles Kitchen and Lew Counts, **RMS-to-DC Conversion Application Guide, Second Edition**, Analog Devices, Inc., 1986.
23. Barrie Gilbert, *A Low Noise Wideband Variable-Gain Amplifier Using an Interpolated Ladder Attenuator*, **IEEE ISSCC Technical Digest**, 1991, pp. 280, 281, 330.
24. Barrie Gilbert, *A Monolithic Microsystem for Analog Synthesis of Trigonometric Functions and their Inverses*, **IEEE Journal of Solid State Circuits**, Vol. SC-17, No. 6, December
25. Lingli Zhang, et. al, “Real-time Power Supply Compensation for Noise-shaped Class-D Amplifier”, presented at 117th AES Convention, San Francisco CA, USA, 2004 October 28 – 31.
26. Marco Berkhout, “Integrated 200-W class-D audio amplifier,” *J. Solid State Circuits*, vol. 38, pp. 1198-1206, July 2003.
27. Karsten Nielsen, “A review and comparison of pulse width modulation (PWM) methods for analog and digital input switching power amplifiers,” presented at 102nd AES Convention, Munich, Germany, 1997 March 22 – 25.
28. P. Morrow, et. al, “A 20 Watt Stereo Class-D Audio Output Power Stage in 0.6um BCDMOS Technology,” *J. Solid State Circuits*, vol. 39, Nov 2004.
29. S.R Norsworthy, R. Schreier, G.C Temes editors, *Delta-Sigma Data Converters*, IEEE press, 1997, pp. 153-155.
30. Eric Gaalaas, Bill Yang Liu, Naoaki Nishimura, Robert Adams, Karl Sweetland, and Rajeev Morajkar, “Integrated stereo Σ - Δ Class-D amplifier”, Presented at the 118th Convention Barcelona, Spain 2005 May 28–31.
31. Eric Gaalaas, Bill Yang Liu, Naoaki Nishimura, Robert Adams, and Karl Sweetland
Integrated Stereo Σ - Δ Class-D Amplifier *IEEE Journal of Solid-State Circuits*, vol. 40, no. 12, December 2005
pp. 2388-2397

