



MAX98366

超音波対応の 15V プラグ・アンド・プレイ・クラス D アンプ

製品のハイライト

MAX98366 は、業界をリードするクラス AB のオーディオ性能をクラス D の効率で実現する、容易に導入可能な低コストのデジタル入力クラス D アンプです。デジタル・オーディオ・インターフェースが様々な PCM および TDM クロック方式を自動的に認識するため、PC によるプログラミングが不要です。単に電源、LRCLK、BCLK、およびデジタル・オーディオを供給するだけでサウンドを生成できます。また、新しいピン配置により、高価なパッド内ビアを必要とせずに、コスト効率の高いウェハレベル・パッケージ (WLP) を使用できます。3V~15V の広い電源範囲により、本デバイスは 8Ω の負荷に 15W を供給できます。

デジタル・オーディオ・インターフェースは高い柔軟性を備えています。本デバイスは、I²S、左詰め、8 チャンネルの時分割多重 (TDM) データ・フォーマットをサポートしています。デジタル・オーディオ・インターフェースは 8kHz、16kHz、32kHz、44.1kHz、48kHz、88.2kHz、96kHz、176.4kHz、192kHz のサンプル・レートに対応します。本デバイスは超音波のユース・ケースをサポートし、48kHz (公称) を超えるサンプル・レートのデジタル・オーディオ入力信号に対して 38.8kHz 以上の通過帯域を自動的に提供します。データ・ワードは、I²S および左詰めモードでは 16 ビット、24 ビット、または 32 ビットに、TDM モードでは 16 ビットまたは 32 ビットにすることができます。

デジタル・オーディオ・インターフェースの入力閾値は、1.2V および 1.8V ロジックとのインターフェースに最適です。デバイスは、最大 5.5V のロジック入力電圧に耐えることができます。

MAX98366A と MAX98366B は 1ms の高速ターンオン時間を備えており、MAX98366C と MAX98366D はターンオンとターンオフ時に 13ms でボリュームを増減させることができます。

デバイスには、PCM 通信で通常使用される外部 MCLK 信号が不要です。これにより、サイズとピン数を削減できる他、EMI およびボード結合の問題が軽減されます。また、本デバイスは、BCLK および LRCLK で非常に高い広帯域ジッタ許容値 (12ns、代表値) を備えており、堅牢な動作を実現できます。

能動的な放射制限、エッジ・レート制限、オーバーシュート制御回路によって EMI が大幅に低減されています。フィルタレスのスペクトラム拡散変調方式により、従来のクラス D デバイスに見られる出力フィルタ処理が不要となり、ソリューションの部品点数を減らすことができます。

本デバイスは、-40°C~+85°C の温度範囲で仕様規定されています。

利点および特長

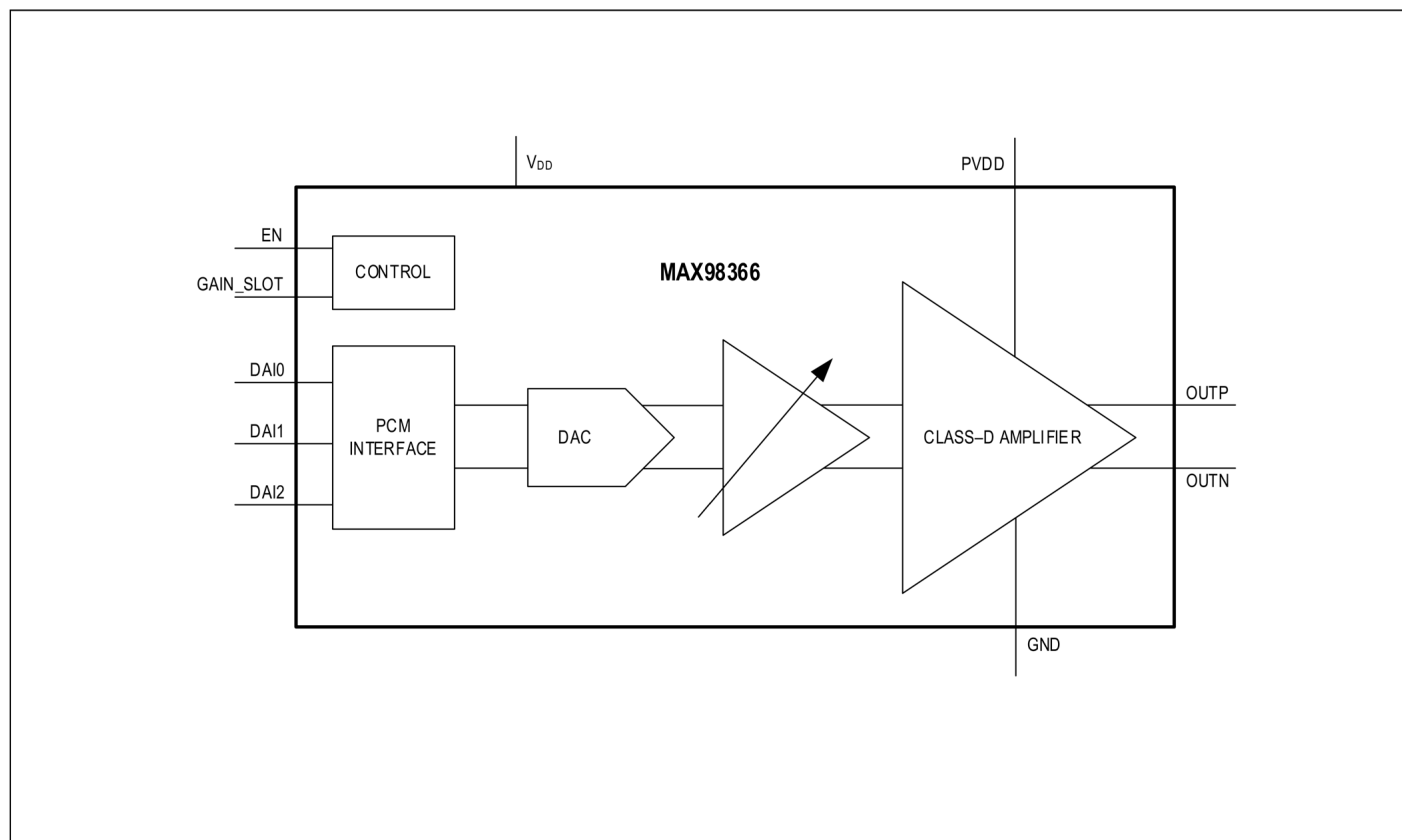
- シンプルなプラグ・アンド・プレイ設計 - I²C によるレジスタのプログラミングが不要
- 広いアンプ電源範囲 (3V~15V)
- $f_s = 88.2\text{kHz}$ 以上の広帯域フィルタ
- 8Ω に 15W の電力を出力 (PVDD = 15V)
- 6Ω に 19.3W の電力を出力 (PVDD = 15V)
- 静止電力: 30mW
- ターンオン時間: 1.1ms (MAX98366A および MAX98366B)
- 効率: 92.7% ($R_L = 8\Omega$ 、PVDD = 12V で 7.0W 出力時)
- アイドル時の出力ノイズ: $20\mu\text{V}_{\text{RMS}}$ ($f_s \leq 48\text{kHz}$)、 $37\mu\text{V}_{\text{RMS}}$ ($f_s > 50\text{kHz}$)
- ダイナミック・レンジ: 112dB ($f_s \leq 48\text{kHz}$)、107dB ($f_s > 50\text{kHz}$)
- THD+N: -85dB (1kHz 時)
- MCLK は不要
- サンプル・レート: 8kHz~192kHz
- I²S モードおよび左詰めモードで左、右、または (左/2 + 右/2) 出力をサポート
- 高度なエッジ・レート制御によりフィルタレス・クラス D 出力を実現
- 0.5μA の低シャットダウン電流
- クラス D のスイッチング周波数を 6% にトリミングすることで EMI 設計を向上
- 強力なクリック/ポップ抑制回路
- 堅牢な短絡および過熱保護
- 省スペース・パッケージでの提供: 12 バンプ、WLP (1.21mm × 1.78mm、0.4mm ピッチ)

主なアプリケーション

- スマート・スピーカ
- ワイヤレス・スピーカ
- スマート IoT およびスマート・ホーム・デバイス
- ゲーミング・デバイス (オーディオおよびハプティクス)
- ノート PC およびタブレット
- カメラ

型番はデータシート末尾に記載されています。

簡略化したブロック図



目次

製品のハイライト.....	1
利点および特長.....	1
主なアプリケーション.....	1
簡略化したブロック図.....	2
絶対最大定格.....	7
パッケージ情報.....	7
電気的特性.....	7
標準動作特性.....	13
ピン配置.....	22
端子説明.....	22
詳細.....	23
EN およびシャットダウン・モード.....	23
スタンバイ・モード.....	23
デジタル・オーディオ・インターフェース (DAI) の設定 (特許取得済み).....	23
有効なクロック周波数.....	24
MCLK の排除.....	25
BCLK のジッタ許容値.....	25
BCLK 極性.....	26
I ² S/左詰めモードでの LRCLK 極性.....	26
I ² S および左詰めモード.....	26
TDM モード.....	29
ゲインの選択.....	31
DC ブロッキング・フィルタ.....	32
DAC デジタル・フィルタ.....	32
クラス D アンプ.....	32
クラス D の出力短絡保護.....	32
ターンオンとターンオフ時のボリュームの増減.....	32
クリック/ポップ抑制.....	32
超低 EMI フィルタレス出力段.....	32
アプリケーション情報.....	33
超音波性能.....	33
フィルタレス・クラス D 動作.....	33
レイアウトとグラウンディング.....	33
WLP の GAIN_SLOT の配線.....	34
標準アプリケーション回路.....	35
I ² S/左詰めモード、左チャンネルで 21.5dBV 出力の動作.....	35
I ² S/左詰めモード、左チャンネルで 18.5dBV 出力の動作.....	36

I ² S/左詰めモード、左チャンネルで 15.5dBV 出力の動作.....	36
I ² S/左詰めモード、右チャンネルで 21.5dBV 出力の動作.....	37
I ² S/左詰めモード、左/2 + 右/2 で 18.5dBV 出力の動作	37
I ² S/左詰めモード、18.5dBV 出力のステレオ動作.....	38
TDM 動作 (21.5dB の固定ゲイン)	39
型番.....	40

図一覧

図 1. DAI 接続	39
図 2. MAX98366A と MAX98366C の I ² S プロトコル、16 ビット分解能	39
図 3. MAX98366A と MAX98366C の I ² S プロトコル、32 ビット分解能	40
図 4. MAX98366B と MAX98366D の左詰めプロトコル、16 ビット分解能	40
図 5. MAX98366B と MAX98366D の左詰めプロトコル、32 ビット分解能	42
図 6. I ² S のタイミング図 (MAX98366A および MAX98366C)	43
図 7. 左詰めのタイミング図 (MAX98366B および MAX98366D)	45
図 8. MAX98366A と MAX98366C の TDM プロトコル、16 ビット分解能	48
図 9. MAX98366A と MAX98366C の TDM プロトコル、32 ビット分解能	50
図 10. MAX98366B と MAX98366D の TDM プロトコル、16 ビット分解能	52
図 11. MAX98366B と MAX98366D の TDM プロトコル、32 ビット分解能	54
図 12. ソリューション・サイズ	55
図 13. GAIN_SLOT を V _{DD} に接続 (I ² S および左詰めモードで出力が 15.5dBV)	56
図 14. GAIN_SLOT は無接続 (I ² S および左詰めモードで出力が 18.5dBV)	57
図 15. GAIN_SLOT を GND に接続 (I ² S および左詰めモードで出力が 21.5dBV)	57

表一覧

表 1. MAX98366 の各バージョン	37
表 2. DAI の設定	37
表 3. 有効な分解能とフレーム幅	38
表 4. 有効な BCLK 周波数 (kHz)	39
表 5. BCLK 極性	40
表 6. I ² S/左詰めモードでの LRCLK 極性	44
表 7. I ² S および左詰めモードでのチャンネル選択	46
表 8. TDM モードでのチャンネル選択	49
表 9. I ² S/左詰めモードのゲイン選択	70

絶対最大定格

PVDD~GND	-0.3V~+16V
V _{DD} 、EN、DAI0、DAI1、DAI2~GND	-0.3V~+6V
OUTP、OUTN~GND	-0.3V~V _{PVDD} + 0.3V
GAIN_SLOT~GND	-0.3V~V _{VDD} + 0.3V
PVDD、GND、OUTP、OUTN の連続入出力電流、-3.5A~+3.5A	
連続入力電流（他のすべてのピン）	-20mA~+20mA

OUTP、OUTN が GND または V _{DD} に短絡している時間	連続
OUTP が OUTN に短絡している時間	連続
連続消費電力 (T _A = +70°C) WLP (+70°C を超えた場合は 13.73mW/°C でデレーティング)	1600mW
ジャンクション温度	+150°C
動作温度範囲	-40°C~+85°C
保存温度範囲	-65°C~+150°C
はんだ処理温度 (リフロー)	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

Package Code	W121Q1Z+1
Outline Number	21-100714A
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ _{JA})	48°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	N/A

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、<https://www.analog.com/jp/resources/packaging-quality-symbols-footprints/package-index.html> で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、<https://www.analog.com/jp/resources/technical-articles/thermal-characterization-of-ic-packages.html> を参照してください。

電気的特性

(V_{PVDD} = 12V、V_{VDD} = 1.8V、V_{GND} = 0V、ゲイン = +21.5dB、f_{BCLK} = 3.072MHz、f_{LRCLK} = 48kHz、Z_{SPK} = ∞ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz~20kHz、T_A = T_{MIN}~T_{MAX}、代表値は T_A = +25°C での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM						
PVDD Supply Voltage Operating Range	V _{PVDD}	Guaranteed by PSRR test	3.0		15	V
PVDD Supply Voltage	V _{PVDD}	The device is functional but parametric performance is not guaranteed	2.3			V
V _{DD} Supply Voltage Range	V _{DD}	Guaranteed by PSRR test	1.71		5.5	V
PVDD Undervoltage Lockout	V _{UVLO}	V _{PVDD} rising	2.15		2.4	V
		V _{PVDD} falling	1.85		2.1	
V _{DD} Undervoltage Lockout	V _{UVLO}	V _{DD} rising	1.3		1.6	V
		V _{DD} falling	1.2		1.5	
Quiescent Power		T _A = +25°C		30		mW
PVDD Shutdown Current	I _{PVDD_SHDN}	EN = 0V, T _A = +25°C		0.52	2.8	μA

($V_{PVDD} = 12V$ 、 $V_{VDD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン = +21.5dB、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz ~ 20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD} Shutdown Current	I _{VDD_SHDN}	EN = 0V, T _A = +25°C		0.02	0.3	μA
PVDD Standby Current	I _{PVDD_STNDBY}	EN = 1.8V, T _A = +25°C, all DAIn pins at 0V		0.52	2.8	μA
		EN = 1.8V, T _A = +25°C, no toggling on DAIn pins			2.8	
V _{DD} Standby Current	I _{VDD_STNDBY}	EN = 1.8V, T _A = +25°C, all DAIn pins at 0V		1.8	10.7	μA
		EN = 1.8V, T _A = +25°C, no toggling on DAIn pins			80	
Turn-On Time	t _{ON}	Time from shutdown or standby to full-gain audio out, MAX98366A and MAX98366B			1.1	ms
		Time from shutdown or standby to full-gain audio out, MAX98366A and MAX98366B, f _S = 8kHz, f _S = 16kHz			2.7	
		Time from shutdown or standby to full-gain audio out, MAX98366C and MAX98366D			12.2	
Thermal Shutdown Temperature				154		°C
Thermal Shutdown Recovery Hysteresis				20		°C
CLASS-D AMPLIFIER						
Output Offset Voltage	V _{OS}	T _A = +25°C	-3.0	±0.3	+3.0	mV
Click-and-Pop Level	K _{CP}	Peak voltage, A-weighted, 32 samples per second, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH, into Standby or Shutdown		-70		dBV
		Peak voltage, A-weighted, 32 samples per second, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH, out of Standby or Shutdown		-70		
PVDD Supply Rejection	PSRR	V _{RIPPLE} = 200mV _{PP}	DC, digital silence used for input signal, Z _{SPK} = ∞, V _{PVDD} = 3V to 15V	68	85	dB
			f _{RIPPLE} = 217Hz, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH		85	
			f _{RIPPLE} = 1kHz, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH		85	
			f _{RIPPLE} = 10kHz, digital silence used for input signal, Z _{SPK} = 8Ω + 33μH or 4Ω + 33μH		76	

($V_{PVDD} = 12V$ 、 $V_{VDD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン = +21.5dB、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V _{DD} Supply Rejection	PSRR	DC, $T_A = +25^\circ C$, digital silence used for input signal, $Z_{SPK} = \infty$, $V_{DD} = 1.71V$ to 5.5V	94	100		dB
		$V_{RIPPLE} = 200mV_{pp}$ $f_{RIPPLE} = 217Hz$, $T_A = +25^\circ C$, digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$		100		
		$V_{RIPPLE} = 200mV_{pp}$ $f_{RIPPLE} = 1kHz$, $T_A = +25^\circ C$, digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$		100		
		$V_{RIPPLE} = 200mV_{pp}$ $f_{RIPPLE} = 10kHz$, $T_A = +25^\circ C$, digital silence used for input signal, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$		95		
Power Supply Intermodulation		$T_A = +25^\circ C$, $f_{IN} = 1kHz$, $P_{OUT} = 400mW$, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ PVDD $f_{RIPPLE} = 217Hz$, $V_{RIPPLE} = 100mV_{pp}$		-104		dB
		$T_A = +25^\circ C$, $f_{IN} = 1kHz$, $P_{OUT} = 400mW$, $Z_{SPK} = 8\Omega + 33\mu H$ or $4\Omega + 33\mu H$ V _{DD} $f_{RIPPLE} = 217Hz$, $V_{RIPPLE} = 100mV_{pp}$		-111		
Output Power	P _{OUT}	$V_{PVDD} = 11V$, THD+N ≤ 10%, $Z_{SPK} = 4\Omega + 33\mu H$		14.7		W
		$V_{PVDD} = 12V$, THD+N ≤ 10%, $Z_{SPK} = 8\Omega + 33\mu H$		10.3		
		$V_{PVDD} = 15V$, 0dBFS input, $Z_{SPK} = 8\Omega + 33\mu H$		15		
		$V_{PVDD} = 12V$, THD+N ≤ 1%, $Z_{SPK} = 4\Omega + 33\mu H$		14		
		$V_{PVDD} = 12V$, THD+N ≤ 1%, $Z_{SPK} = 8\Omega + 33\mu H$		8.2		
		$V_{PVDD} = 15V$, THD+N ≤ 1%, $Z_{SPK} = 8\Omega + 33\mu H$		13		
Peak Output Power	P _{OUT_PK}	$V_{PVDD} = 14V$, $Z_L = 3.7\Omega + 33\mu H$; 50Hz (2 period, peak signal)/1kHz (460 periods, low amplitude signal) alternating signal; crest factor = 12dB; test duration = 1min with THD+N < 1%		40		W
Total Harmonic Distortion + Noise	THD+N	$f = 1kHz$, $T_A = +25^\circ C$	$P_{OUT} = 1W$, $Z_{SPK} = 8\Omega + 33\mu H$	-85	-76	dB
			$P_{OUT} = 6W$, $Z_{SPK} = 8\Omega + 33\mu H$	-85		
			$P_{OUT} = 8W$, $Z_{SPK} = 4\Omega + 33\mu H$	-85		

($V_{PVDD} = 12V$ 、 $V_{VDD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン = +21.5dB、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			$f_S = 96kHz$, $P_{OUT} = 1W$, $Z_{SPK} = 8\Omega + 33\mu H$		-83		
Intermodulation Distortion	IMD	ITU-R, -9dBFS, 19kHz/20kHz, 1:1, $Z_{SPK} = 8\Omega + 33\mu H$			-63		dB
Dynamic Range	DR	A-weighted, $Z_{SPK} = 8\Omega + 33\mu H$, -60dB 1kHz output signal, normalized to full-scale (THD+N = 1%), 24- or 32-bit data			112		dB
		$f_S \geq 50kHz$	A-weighted, $Z_{SPK} = 8\Omega + 33\mu H$, -60dB 1kHz output signal, normalized to full-scale (THD+N = 1%), 24- or 32-bit data		107		
Output Noise	e_{Nd}	$f_S \leq 50kHz$	A-weighted, 24- or 32-bit data		20		μV_{RMS}
		$f_S \geq 50kHz$	A-weighted, 24- or 32-bit data		37		
Output Noise in the Presence of Ultrasound Signal	e_{Nd}	$3V_{RMS}$, $f_{IN} = 40kHz$ sinewave signal	A-weighted, 24- or 32-bit data, $Z_{SPK} = 8\Omega + 33\mu H$, $f_S = 96kHz$, TDM Mode		62		μV_{RMS}
Maximum Peak Output Voltage at 40kHz		$f_S = 88.2kHz, 96kHz, 176.4kHz, 192kHz$			7		V
Full-Scale Output Voltage	F_S	I^2S or left-justified mode with GAIN_SLOT = GND, or TDM mode (Note 3)		21.1	21.5	21.9	dBV
		I^2S or left-justified mode with GAIN_SLOT = unconnected		18.1	18.5	18.9	
		I^2S or left-justified mode with GAIN_SLOT = V_{DD} through 100k Ω		12.1	12.5	12.9	
		I^2S or left-justified mode with GAIN_SLOT = GND through 100k Ω		9.1	9.5	9.9	
Output Current Limit	I_{LIM}			3.5			A
Output Current Limit Auto-restart Time					27		ms
Efficiency	η	$Z_{SPK} = 8\Omega + 33\mu H$, $P_{OUT} = 7W$, $f = 1kHz$			92.7		%
		$Z_{SPK} = 8\Omega + 33\mu H$, $P_{OUT} = 1W$, $f = 1kHz$			88.9		
		$Z_{SPK} = 4\Omega + 33\mu H$, $P_{OUT} = 1W$, $f = 1kHz$			84.8		
Frequency Response				-0.2		+0.2	dB
		$f_S = 96kHz$, AC measurement bandwidth = 20Hz to 40kHz		-0.6		+0.6	
Class-D Switching Frequency	f_{SW}			282	300	318	kHz
Spread-Spectrum Bandwidth	f_{SSM}				± 4		kHz
Output Stage On-Resistance	R_{ON}	PMOS + NMOS (full H-bridge), $T_A = +25^\circ C$			0.33		Ω
	R_L	PVDD > 12V, full-scale output			3.7		Ω

($V_{PVDD} = 12V$ 、 $V_{VDD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン = +21.5dB、 $f_{BCLK} = 3.072MHz$ 、 $f_{LRCLK} = 48kHz$ 、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Load Resistance		8.4V < PVDD < 12V, full-scale output		3.1		
Maximum Device-to-Device Phase Error		Output phase shift between multiple devices from 20Hz to 20kHz across all sample rates and DAI operating modes		1		deg
DAC DIGITAL FILTER (LRCLK < 50kHz) (Note 5)						
Passband Cutoff	f_{PLP}	Ripple < δ_P	$0.455 \times f_S$			Hz
		Droop < -3dB	$0.459 \times f_S$			
Passband Ripple	δ_P	$f < f_{PLP}$, referenced to signal level at 1kHz	-0.1		+0.1	dB
Stopband Cutoff	f_{SLP}	Attenuation > δ_S			$0.49 \times f_S$	Hz
Stopband Attenuation	δ_S	$f > f_{SLP}$	75			dB
Group Delay		$f = 1kHz$		6.5		samples
DAC DIGITAL FILTER (LRCLK > 50kHz) (Note 5)						
Passband Cutoff	f_{PLP}	Ripple < δ_P , 88.2kHz ≤ f_S ≤ 96kHz	$0.440 \times f_S$			Hz
		Droop < -3dB, 88.2kHz ≤ f_S ≤ 96kHz	$0.45 \times f_S$			
	f_{PLP}	Ripple < δ_P , 176.4kHz ≤ f_S ≤ 192kHz	$0.227 \times f_S$			
		Droop < -3dB cutoff, 176.4kHz ≤ f_S ≤ 192kHz	$0.3 \times f_S$			
Passband Ripple	δ_P	$f < f_{PLP}$, referenced to the signal level at 1kHz	-0.3		+0.3	dB
Stopband Cutoff	f_{SLP}	Attenuation > δ_S			$0.49 \times f_S$	Hz
Stopband Attenuation	δ_S	$f > f_{SLP}$	80			dB
Max Group Delay		$f = 1kHz$, 88.2kHz ≤ f_S ≤ 96kHz		7		samples
		$f = 1kHz$, 176.4kHz ≤ f_S ≤ 192kHz		8.5		
DAC DIGITAL FILTERS AND DIGITAL DC BLOCKING FILTER						
DC Attenuation			80			dB
DC Blocking Filter -3dB Cutoff Frequency	f_C	For $f_S = 8kHz, 16kHz, 32kHz, 48kHz, 96kHz, \text{ and } 192kHz$		1.872		Hz
		For $f_S = 44.1kHz, 88.2kHz, \text{ and } 176.4kHz$		1.72		
DIGITAL I/O						
LRCLK tolerance				2.5		%
Resolution		I ² S/left-justified mode		16/24/32		Bits
		TDM mode		16/32		
BCLK Frequency Range	f_{BCLK}	BCLK frequency required for DAI Configuration and unmuting (Note 2)	0.2496		25.19	MHz
BCLK Duty Cycle	DC		40		60	%
Maximum High-Frequency BCLK and LRCLK Jitter		$f_S < 50kHz$, Maximum allowable jitter before a -60dBFS, 20kHz input has a 1dB reduction in THD+N, RMS jitter > 40kHz		12		ns

($V_{PVDD} = 12V$, $V_{VDD} = 1.8V$, $V_{GND} = 0V$ 、ゲイン = +21.5dB, $f_{BCLK} = 3.072MHz$, $f_{LRCLK} = 48kHz$, $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz~20kHz、 $T_A = T_{MIN} \sim T_{MAX}$ 、代表値は $T_A = +25^\circ C$ での値 (Note 1))

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Low-Frequency BCLK and LRCLK Jitter		$f_S < 50kHz$, Maximum allowable jitter before a -20dBFS, 20kHz input has a 1dB reduction in THD+N, RMS jitter $\leq 40kHz$		0.5		ns
		$f_S > 50kHz$, Maximum allowable jitter before a 3V _{RMS} , 40kHz continuous input has a 1dB increase in audio-band noise floor, 10kHz \leq RMS jitter $\leq 60kHz$		0.1		
Maximum High-Frequency BCLK and LRCLK Jitter		$f_S > 50kHz$, Maximum allowable jitter before a -60dBFS, 20kHz input has a 1dB reduction in THD+N, RMS jitter $> 60kHz$		12		ns
Input High Voltage	V_{IH}	DAI0, DAI1, DAI2	0.84			V
		EN	0.84			
Input Low Voltage	V_{IL}	DAI0, DAI1, DAI2			0.54	V
		EN			0.2	
Input Hysteresis	V_{HYS}	DAI0, DAI1, DAI2 (Note 4)	50			mV
		EN		25		
Input Leakage Current	I_{IH}, I_{IL}	$V_{IN} = 0V$, $T_A = +25^\circ C$, DAI0, DAI1, DAI2	-1			μA
		$V_{IN} = 5.5V$, $T_A = +25^\circ C$, DAI0, DAI1, DAI2			+4	
Input Capacitance	C_{IN}			3		pF
DIN to BCLK Setup Time	t_{SETUP}		4			ns
LRCLK to BCLK Setup Time	$t_{SYNCSET}$		4			ns
DIN to BCLK Hold Time	t_{HOLD}		4			ns
LRCLK to BCLK Hold Time	$t_{SYNHOLD}$		4			ns
GAIN_SLOT COMPARATOR TRIP POINTS						
GAIN_SLOT Comparator Trip Points	V_{GAIN_SLOT}	15.5dBV output setting in I ² S and left-justified modes, channel 1, 3, or 7 in TDM mode	0.9 x V_{DD}		V_{DD}	V
		12.5dBV output setting in I ² S and left-justified modes	0.65 x V_{DD}		0.85 x V_{DD}	
		18.5dBV output setting in I ² S and left-justified modes, channel 2 or 6 in TDM mode	0.4 x V_{DD}		0.6 x V_{DD}	
		9.5dBV output setting in I ² S and left-justified modes	0.15 x V_{DD}		0.35 x V_{DD}	
		21.5dBV output setting in I ² S and left-justified modes, channel 0, 4, or 5 in TDM mode	0		0.1 x V_{DD}	

Note 1 : 限界値は、 $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。

Note 2 : 詳細については、[デジタル・オーディオ・インターフェース \(DAI\) の設定 \(特許取得済み\)](#) および有効なクロック周波数のセクションを参照してください。

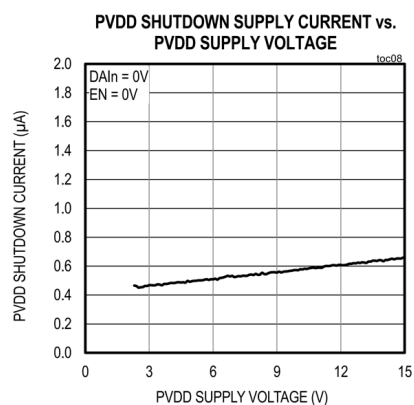
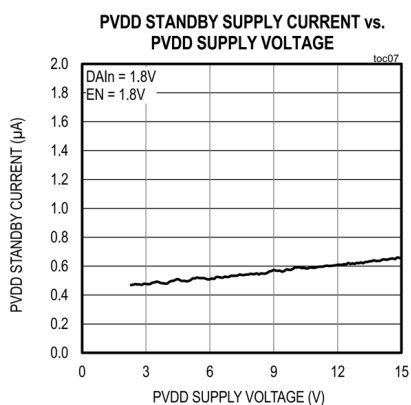
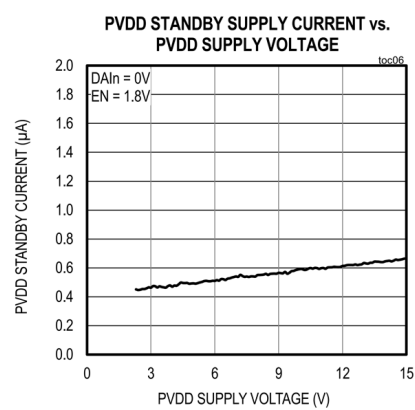
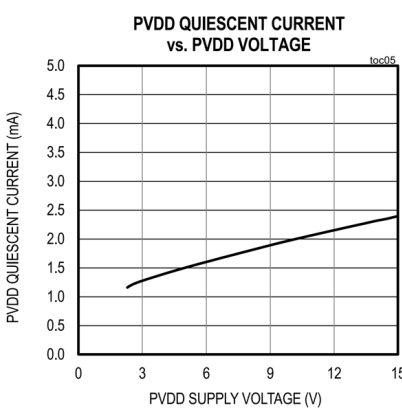
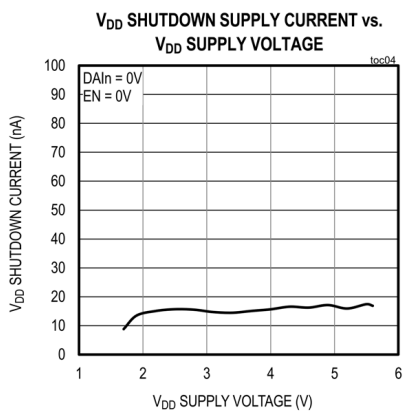
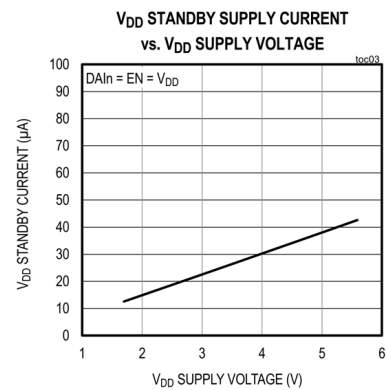
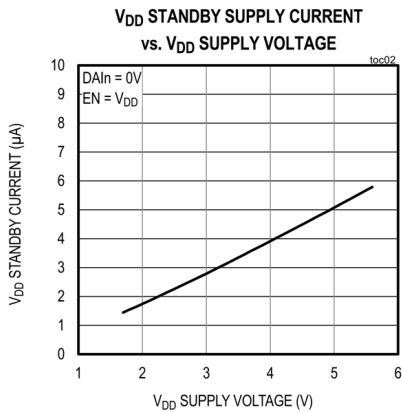
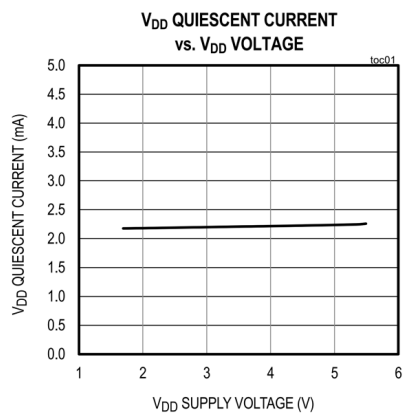
Note 3 : PVDD レベルがクリッピングにより実現可能な出力振幅を制限します。

Note 4 : 最小および最大の限界値は、設計またはデバイス特性データの統計解析により確保されています。この仕様は製造テストによる裏付けはありません。

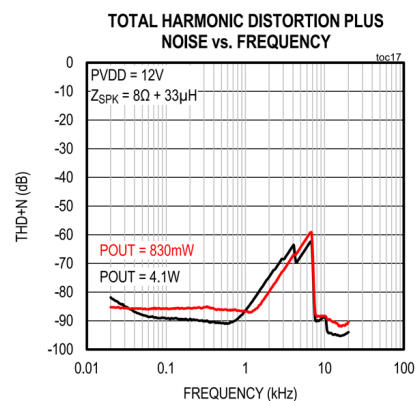
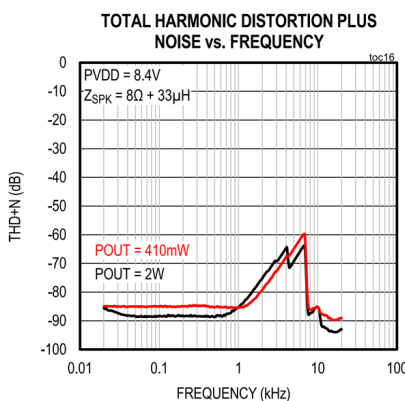
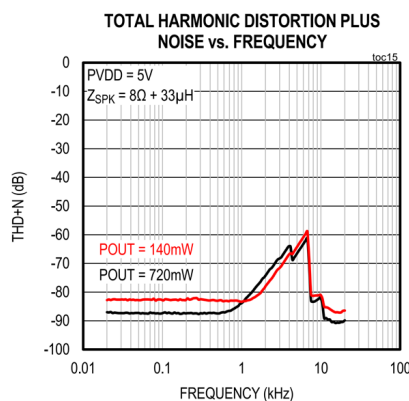
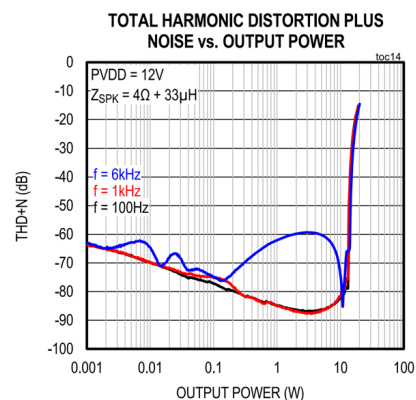
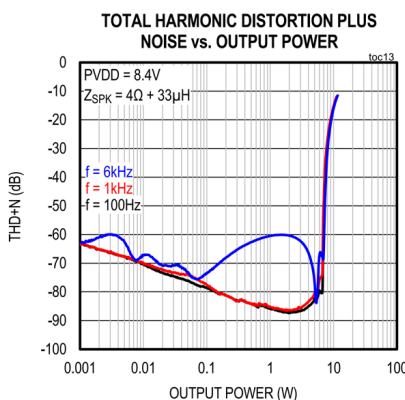
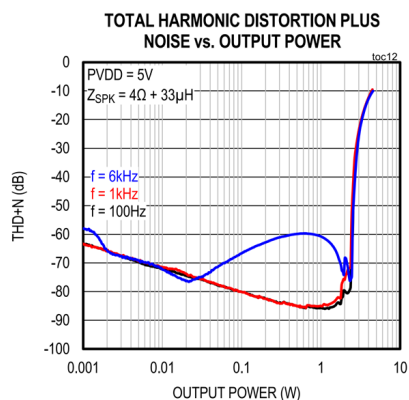
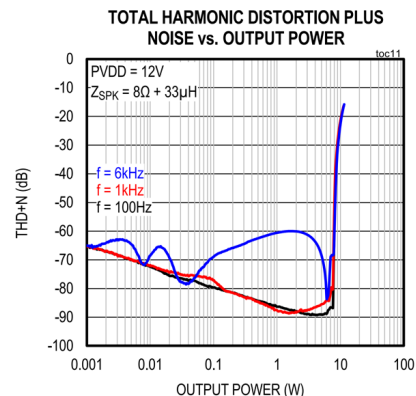
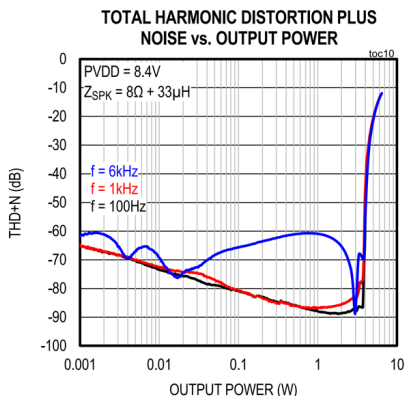
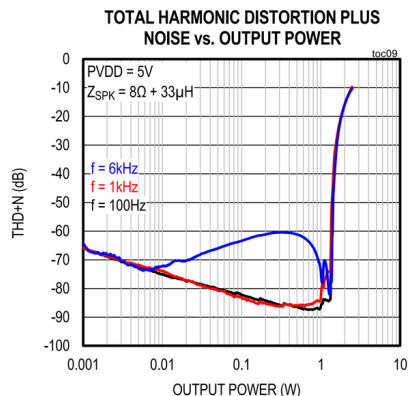
Note 5 : デジタル・フィルタの性能は温度に対して不変であり、 $T_A = +25^\circ C$ で製造テストされています。

標準動作特性

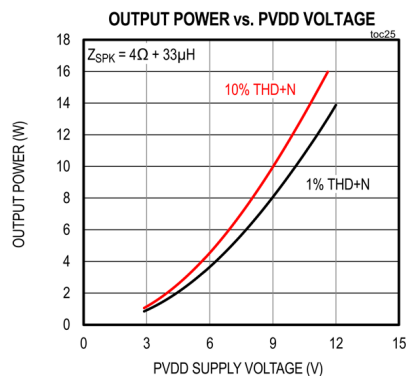
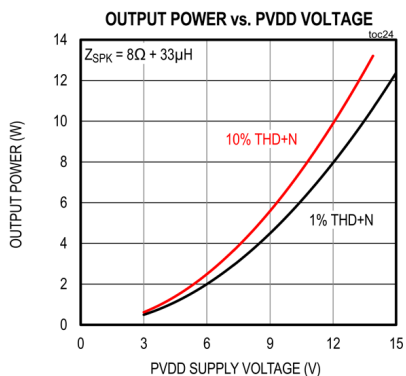
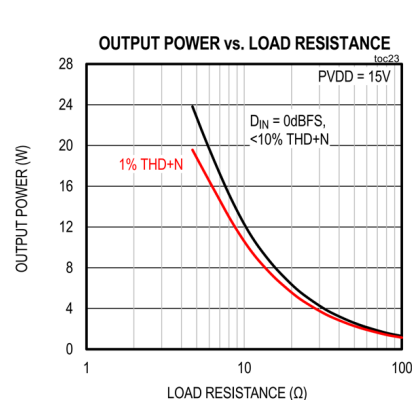
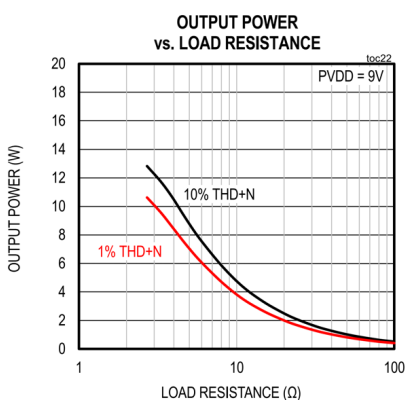
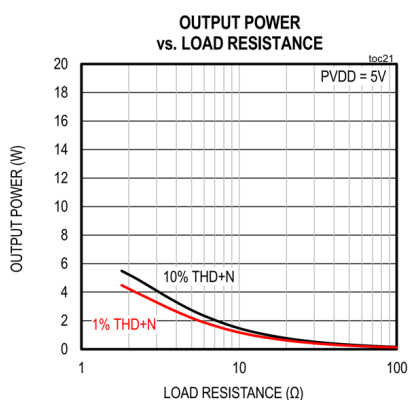
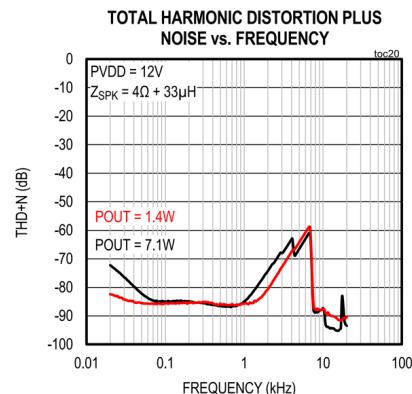
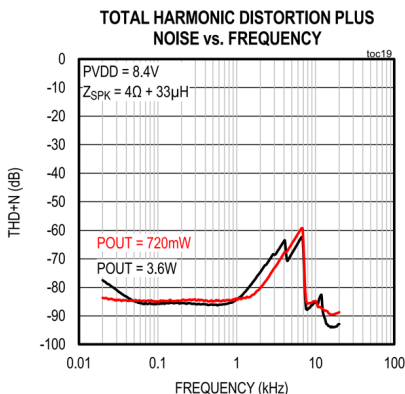
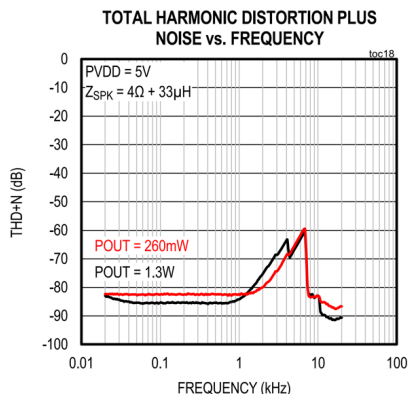
($V_{PVDD} = 12V$ 、 $V_{DD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン=21.5dB、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅=20Hz~20kHz、 $f_s = 48kHz$ 、24 ビット・データ、 $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



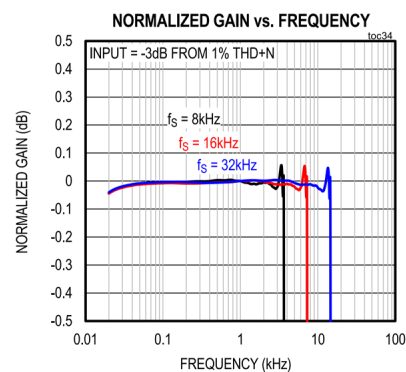
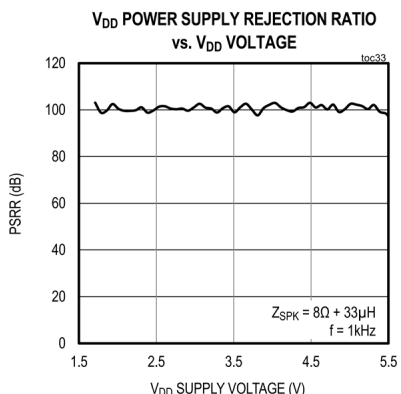
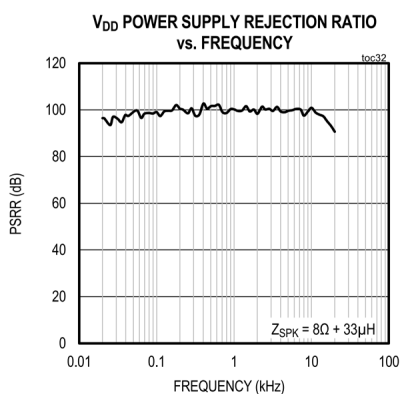
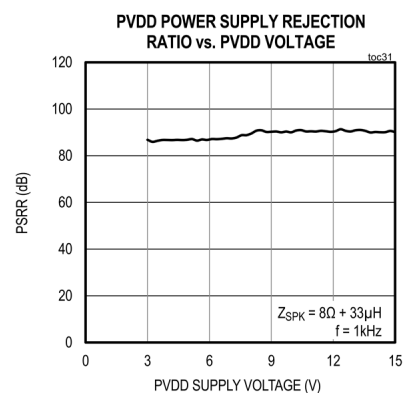
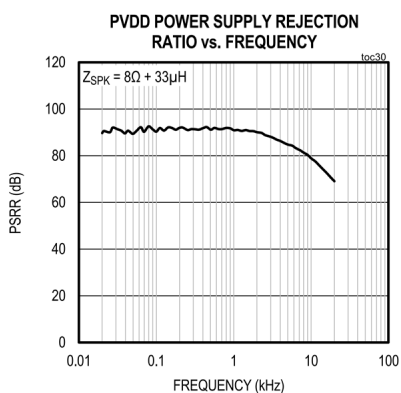
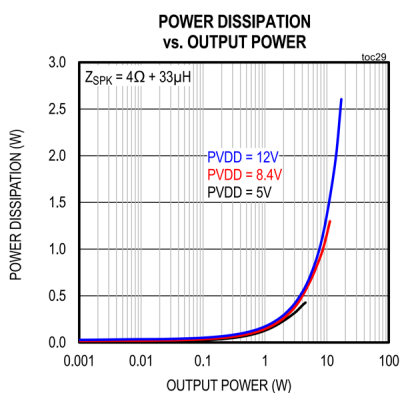
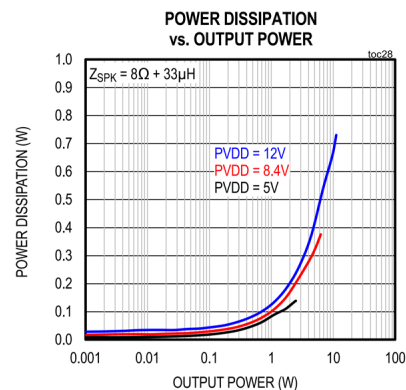
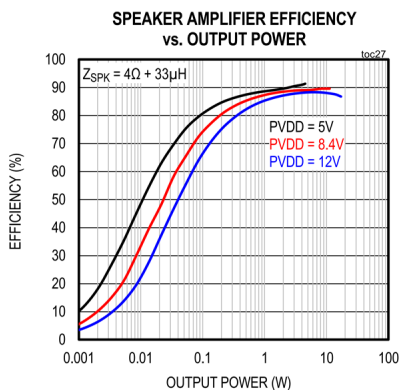
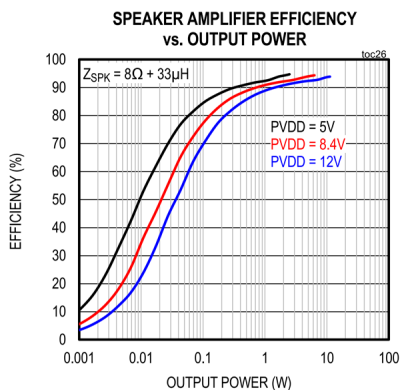
($V_{PVDD} = 12V$, $V_{DD} = 1.8V$, $V_{GND} = 0V$, ゲイン=21.5dB, $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅=20Hz~20kHz、 $f_s = 48kHz$, 24 ビット・データ、 $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



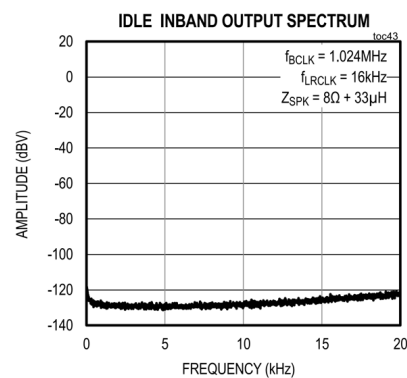
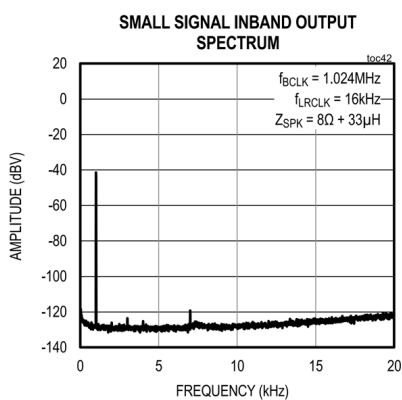
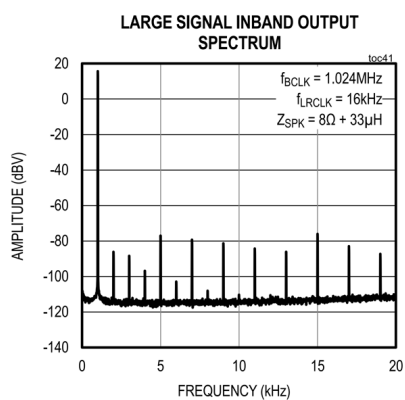
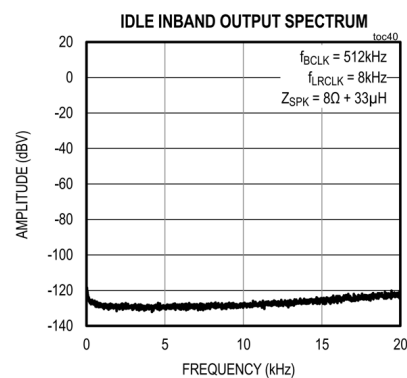
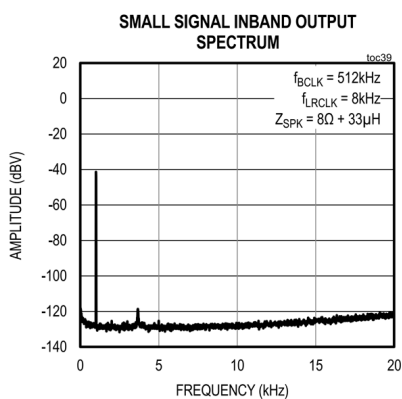
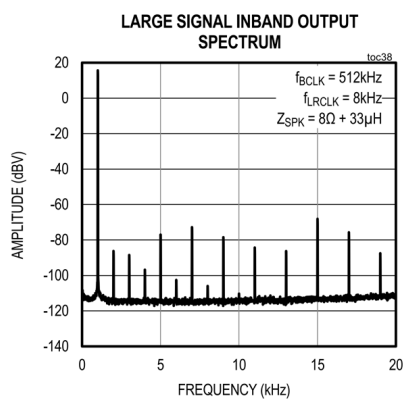
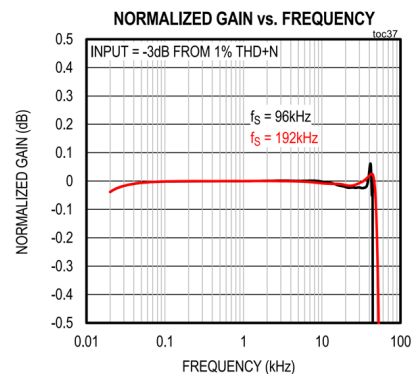
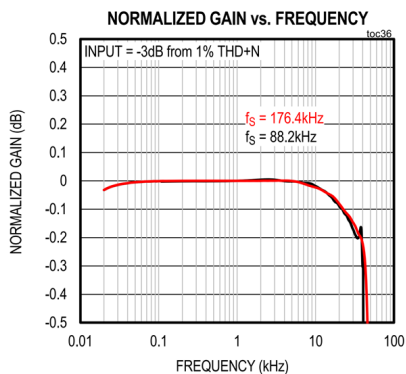
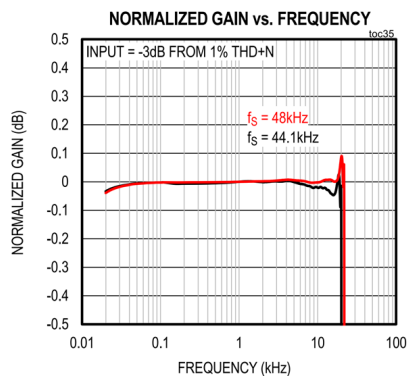
($V_{PVDD} = 12V$, $V_{DD} = 1.8V$, $V_{GND} = 0V$, ゲイン=21.5dB, $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅=20Hz~20kHz、 $f_s = 48kHz$, 24 ビット・データ、 $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



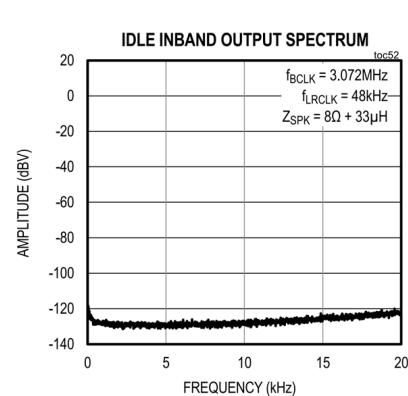
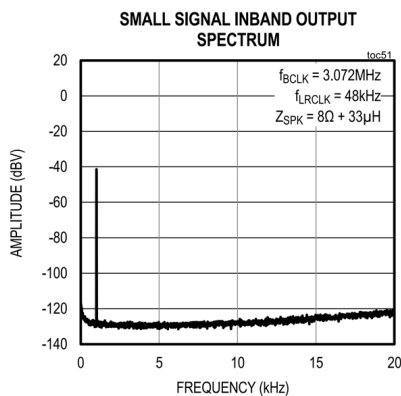
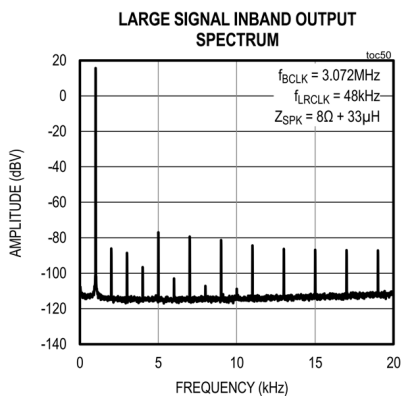
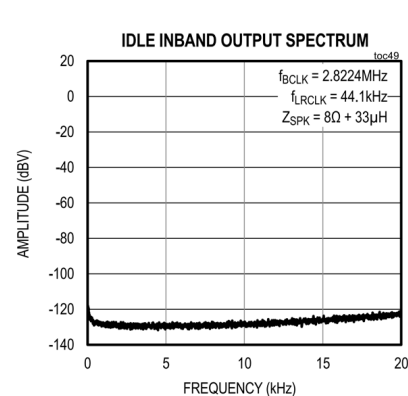
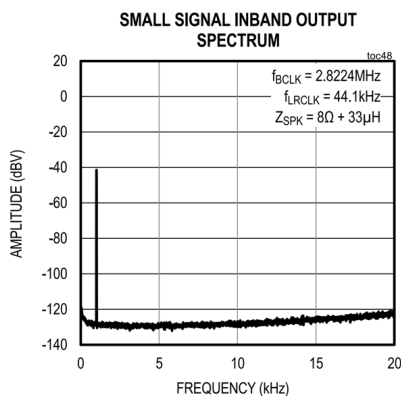
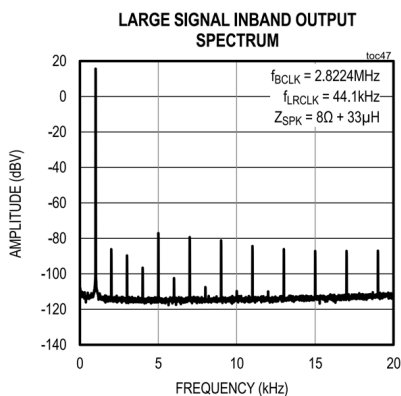
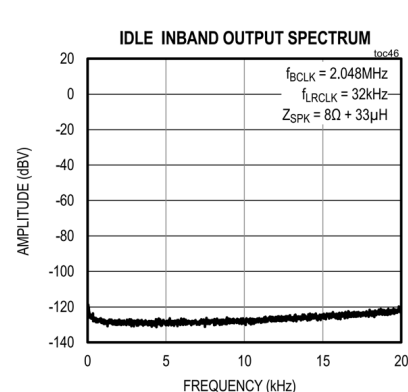
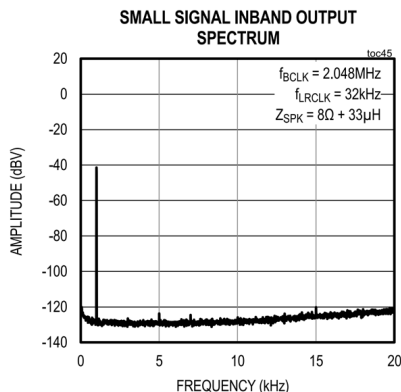
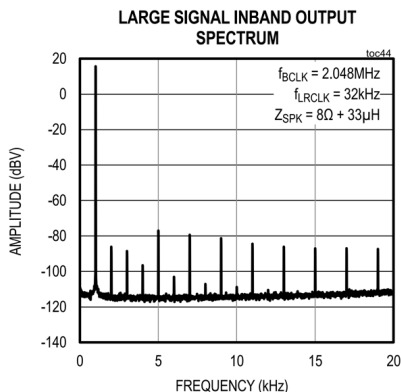
($V_{PVDD} = 12V$, $V_{DD} = 1.8V$, $V_{GND} = 0V$, ゲイン = 21.5dB, $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz ~ 20kHz, $f_s = 48kHz$, 24 ビット・データ, $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



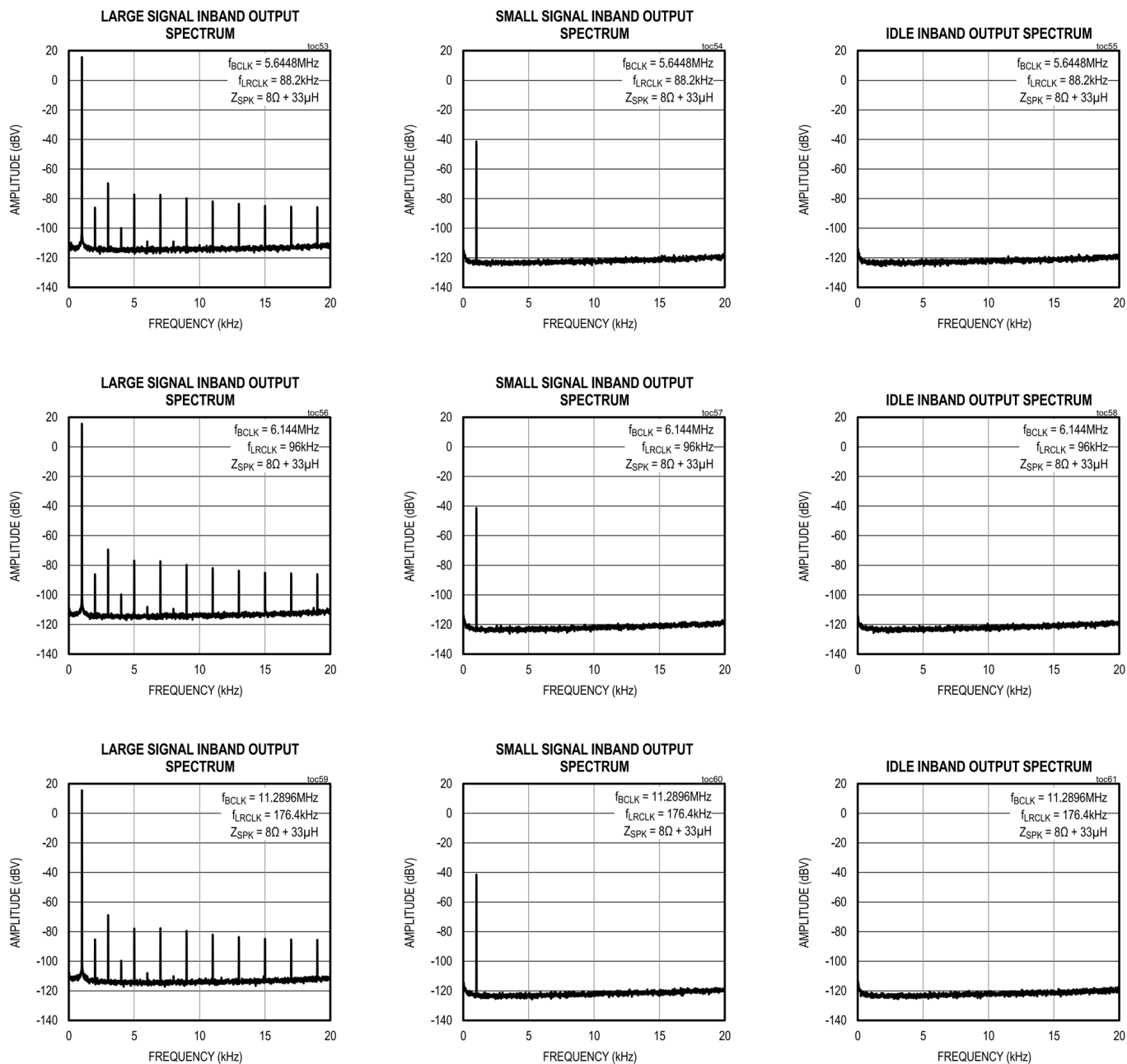
($V_{PVDD} = 12V$ 、 $V_{DD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン=21.5dB、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅= 20Hz~20kHz、 $f_s = 48kHz$ 、24 ビット・データ、 $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



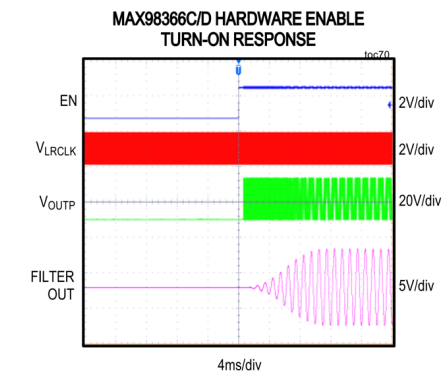
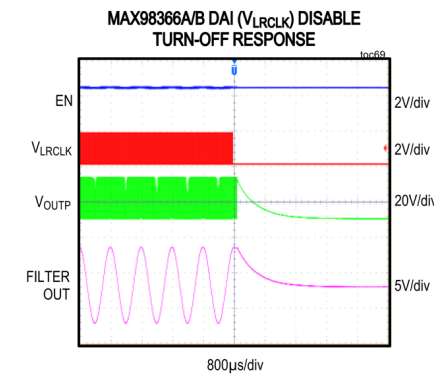
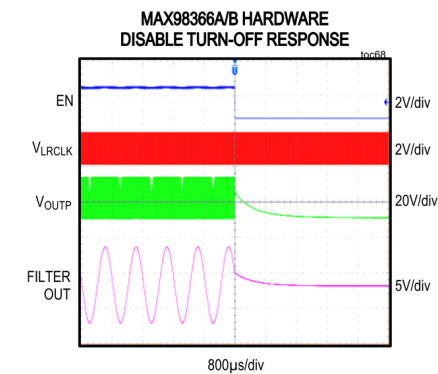
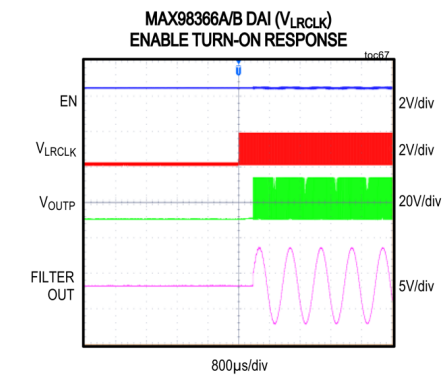
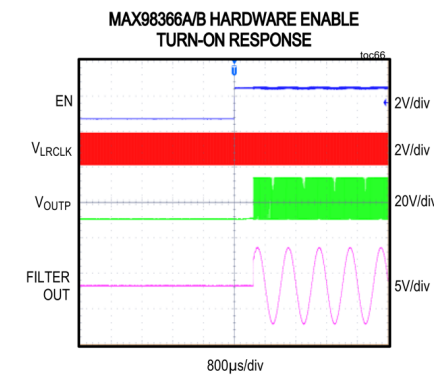
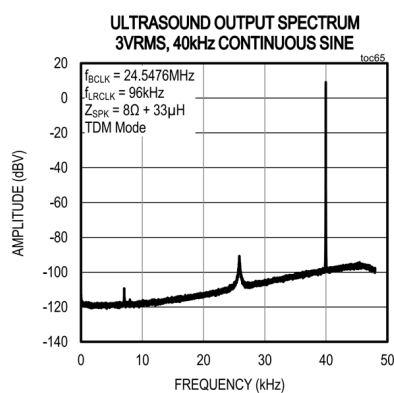
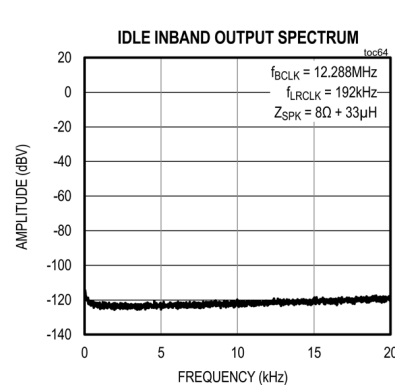
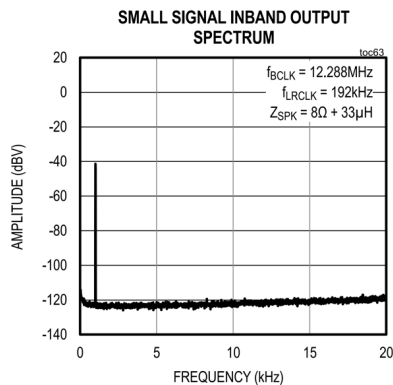
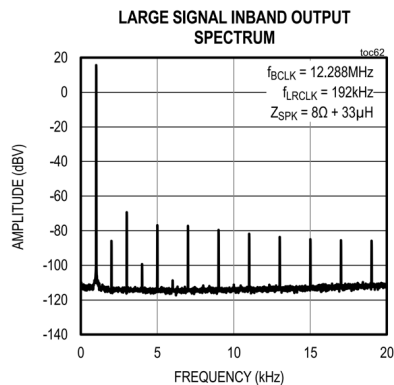
($V_{PDD} = 12V$ 、 $V_{DD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン=21.5dB、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅=20Hz~20kHz、 $f_s = 48kHz$ 、24 ビット・データ、 $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



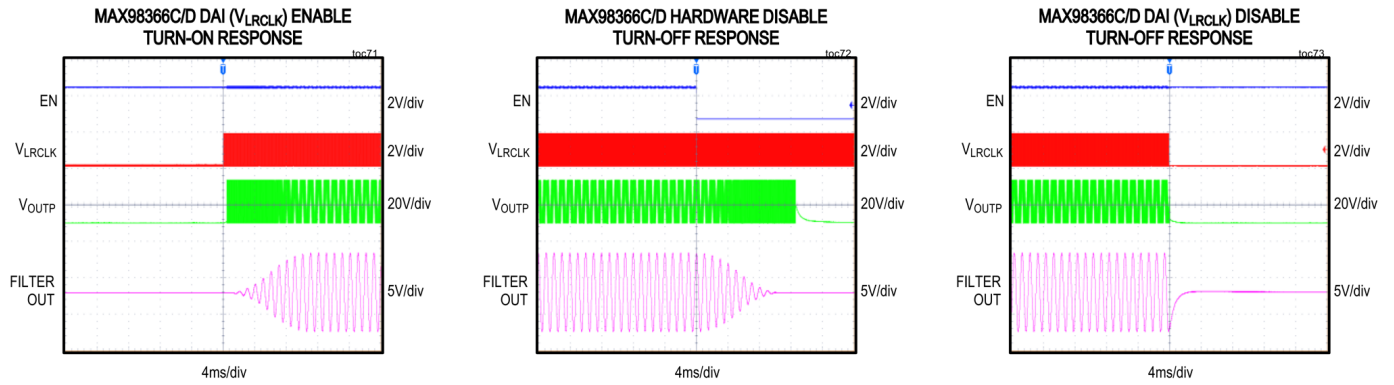
($V_{PVD D} = 12V$, $V_{D D} = 1.8V$, $V_{G N D} = 0V$, ゲイン = 21.5dB, $Z_{S P K} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz ~ 20kHz, $f_s = 48kHz$, 24 ビット・データ, $f_{B C L K} = 3.072MHz$ 。代表値は $T_A = +25^{\circ}C$ での値。)



($V_{PVDD} = 12V$, $V_{DD} = 1.8V$, $V_{GND} = 0V$, ゲイン = 21.5dB, $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅 = 20Hz ~ 20kHz, $f_s = 48kHz$, 24 ビット・データ, $f_{BCLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)

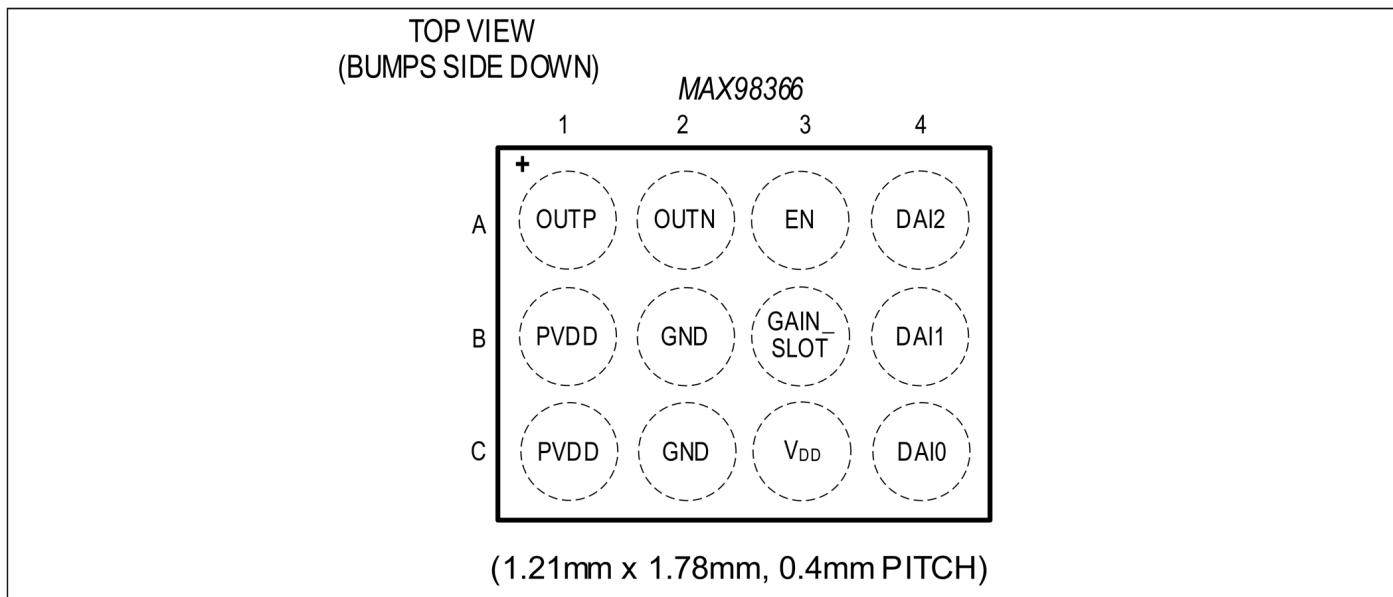


($V_{PVDD} = 12V$ 、 $V_{DD} = 1.8V$ 、 $V_{GND} = 0V$ 、ゲイン= 21.5dB、 $Z_{SPK} = \infty$ (OUTP と OUTN の間)、AC 測定帯域幅= 20Hz~20kHz、 $f_s = 48kHz$ 、24 ビット・データ、 $f_{CLK} = 3.072MHz$ 。代表値は $T_A = +25^\circ C$ での値。)



ピン配置

WLP



端子説明

ピン	名称	機能	リファレンス電源	タイプ
A1	OUTP	正のクラス D アンプ出力	PVDD	Analog Output
A2	OUTN	負のクラス D アンプ出力	PVDD	Analog Output
A3	EN	ハードウェア・イネーブル・ピン。EN をローにするとデバイスはシャットダウン・モードになります。	—	Digital Input
A4	DAI2	デジタル・オーディオ・インターフェース・ピン 2。3MΩ の抵抗を使用して内部で GND にプルダウンされています。	—	Digital Input
B1, C1	PVDD	アンプ電源入力。1μF と 10μF のコンデンサをできるだけ近くに配置して GND にバイパスします。	—	Supply
B2, C2	GND	グラウンド	—	Supply
B3	GAIN_SLOT	ゲインとチャンネルの選択。I ² S および左詰めモードでは、アンプの出力電圧を決定します (ゲインの選択)。TDM モードでは、DAI 設定と共にチャンネルの選択に使用します (表 8)。TDM モードではフルスケール出力電圧は 21.5dBV に固定されます。	VDD	Digital Input
B4	DAI1	デジタル・オーディオ・インターフェース・ピン 1。3MΩ の抵抗を使用して内部で GND にプルダウンされています。	—	Digital Input
C3	V _{DD}	電源入力。1μF のコンデンサをできるだけ近くに配置して GND にバイパスします。	—	Supply
C4	DAI0	デジタル・オーディオ・インターフェース・ピン 0。3MΩ の抵抗を使用して内部で GND にプルダウンされています。	—	Digital Input

詳細

MAX98366A/B/C/D は、デジタル PCM 入力のクラス D パワー・アンプです。LRCLK のデューティ・サイクルが 50% の場合、MAX98366A と MAX98366C は標準の I²S データの入力が可能で、MAX98366B と MAX98366D は左詰めデータの入力が可能です。LRCLK がフレーム同期パルスの場合（LRCLK が最大 3 BCLK 周期の間ハイ）、デバイスは 8 チャンネルを使用して 16 ビットまたは 32 ビットの TDM データの入力が可能です。デジタル・オーディオ・インターフェースには、I²S データ伝送で通常必要とされる外付けの MCLK 信号は不要です。

MAX98366A と MAX98366B は 1ms の高速ターンオン時間を備えています。MAX98366C と MAX98366D は、EN がハイまたはローになってから 13ms でオーディオのボリュームを増減させます。

表 1. MAX98366 の各バージョン

	TURN-ON AND TURN-OFF VOLUME RAMP	TURN-ON TIME (ms)	DATA FORMAT WHEN LRCLK DUTY CYCLE IS 50%	DATA FORMAT WHEN LRCLK IS A SYNC PULSE
MAX98366A	Disabled	1	I ² S data valid on BCLK rising edge	TDM data valid on BCLK rising edge
MAX98366B	Disabled	1	Left-justified data valid on BCLK rising edge	TDM data valid on BCLK falling edge
MAX98366C	Enabled	13	I ² S data valid on BCLK rising edge	TDM data valid on BCLK rising edge
MAX98366D	Enabled	13	Left-justified data valid on BCLK rising edge	TDM data valid on BCLK falling edge

ゲインとチャンネルの選択は、GAIN_SLOT ピンの設定と DAI_n ピンに接続されたデジタル・オーディオ・ソース信号の組み合わせによって設定されます。

MAX98366A/B/C/D は、低自己消費電流、包括的なクリック/ポップ抑制機能、および優れた RF 耐性を備えています。このアンプは、最小限の基板面積でクラス D の効率を備えたクラス AB のオーディオ性能を実現します。本クラス D アンプはスペクトラム拡散変調が可能で、エッジ・レート制御回路とオーバーシュート制御回路を備えており、スイッチモード・アンプの放射エミッションを大幅に改善します。また、クリック/ポップ抑制機能を備えており、ターンオン/ターンオフ時の可聴トランジェントを低減します。このアンプには熱過負荷保護および短絡保護が内蔵されています。

EN およびシャットダウン・モード

本デバイスは、低消費電力のシャットダウン・モードを備えており、このモードでの消費電流は I_{SHDN} です。シャットダウン時には、アンプの出力段を Hi-Z 状態にする設定を含めてすべての内部ブロックがオフになります。EN をローにするとデバイスはシャットダウン・モードになります。

EN ピンがハイにアサートされるとデバイスはシャットダウン・モードを終了し、UVLO モードに遷移します。

スタンバイ・モード

PVDD および V_{DD} 電源が、それぞれの UVLO スレッショルドを上回ると共に、EN ピンがハイで DAI_n ピンのいずれもがトグルされていない場合、デバイスは自動的にスタンバイ・モードに入ります。スタンバイ・モードでは、クラス D アンプはオフで出力は Hi-Z 状態にあります。スタンバイ・モードの消費電流 (I_{STNDBY}) は通常動作より減少しますが、EN ピンがローになりフル・シャットダウンになった場合 (I_{SHDN}) より小さくはありません。EN ピンを制御するホスト GPIO がない場合に、スタンバイ・モードを使用して消費電力を低減できません。

スタンバイに入るときにボリュームは減少しないことに注意してください。MAX98366A と MAX98366B で最適なクリック/ポップ性能を得るには、クロックを除去する前に DIN に送るデータのデジタル・オーディオ振幅を減少させてください。MAX98366C と MAX98366D で最適なクリック/ポップ性能を得るには、クロックを除去する前に DIN に送るデータのデジタル・オーディオ振幅を減少させるか、EN をローにしてから 13ms 以上クロックを有効のままにすることでボリュームの増減をオフにする時間を確保してください。

スタンバイ・モード時に DAI_n ピンのいずれかがトグルされると、デバイスはスタンバイ・モードを終了し、DAI の設定に入ります。

デジタル・オーディオ・インターフェース (DAI) の設定 (特許取得済み)

デジタル・オーディオ・ビット・クロック (BCLK)、デジタル・オーディオ・フレーム・クロック (LRCLK)、およびデジタル・オーディオ・データ (DIN) と DAI_n ピンとの様々な接続状態によって異なる動作モードが選択されます。

DAI は、DAIn ピンのスイッチング周波数をモニタすることで BCLK を検出します。EN がローからハイにトグルされたとき、EN がハイに保持された状態で V_{DD} が UVLO から動作範囲まで上昇したとき、およびクロックが印加されスタンバイ・モードが終了したときに検出を開始します。最大周波数を持つ DAI_n ピンが BCLK 入力として選択されます。BCLK 入力ピンが認識されると、LRCLK ピンと DIN ピンの位置は表 2 に示すように見なされます。

クロックが連続 4 LRCLK 周期の間有効であった場合、DAI の設定はラッチされ、アンプはターンオン・シーケンスを進められるようになります。そうでない場合、DAIn ピンがトグルされている場合には検出ルーチンが再び開始され、DAIn ピンがトグルされていない場合にはデバイスはスタンバイ・モードに入ります。

DAI の設定がラッチされると、EN がトグルされる、 V_{DD} が V_{UVLO} を下回る、無効なクロックによって DAI の設定が再開される、あるいは DAI_n ピンがトグルを停止しデバイスがスタンバイ・モードに入る、ということがない限り、設定は変化しません。過熱保護またはクラス D の電流制限によるシャットダウンでは、新しい BCLK 検出はトリガされません。

アンプがオンの間、クロックの有効性は絶えずチェックされます。クロックが無効になると、クラス D アンプはすぐにオフになり（ボリュームを減少させずに）、出力は Hi-Z 状態になります。それでも DAI_n ピンがトグルされている場合には検出ルーチンが再び開始され、DAIn ピンがトグルされていない場合にはデバイスはスタンバイ・モードに入ります。

表 2 に示されていない DAI 設定は無効です。

表 2. DAI の設定

DAI CONFIGURATION	BCLK CONNECTION	LRCLK CONNECTION	DIN CONNECTION
A	DAI0	DAI1	DAI2
B	DAI1	DAI2	DAI0
C	DAI2	DAI0	DAI1

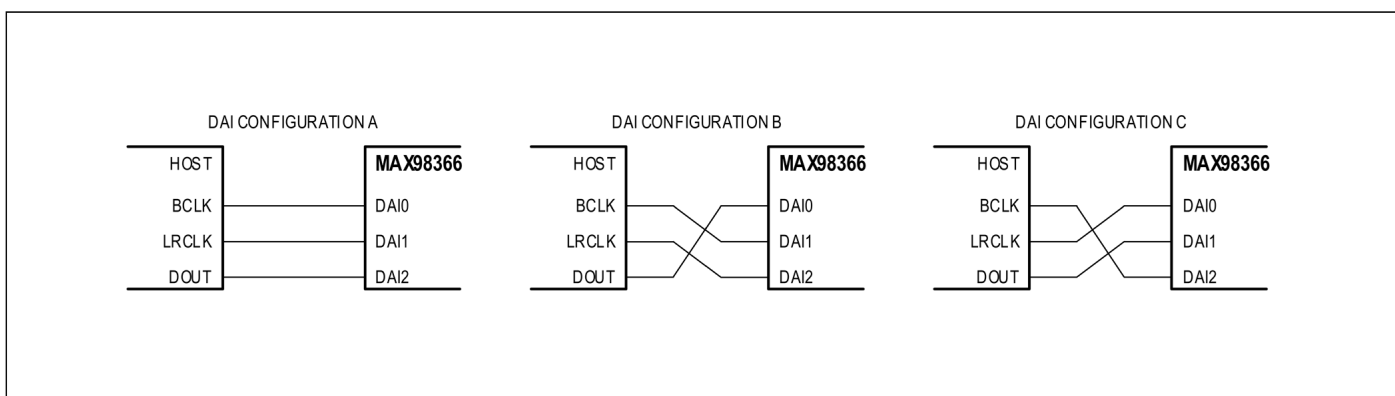


図 1. DAI 接続

有効なクロック周波数

LRCLK が 50% デューティ・サイクルの場合、MAX98366A と MAX98366C は自動的に I²S モードに設定され、MAX98366B と MAX98366D は自動的に左詰めモードに設定されます。フレーム同期パルスが LRCLK に使用されている場合（LRCLK は最大 3 BCLK 周期の間ハイ）、デバイスは自動的に TDM モードに設定されます。

有効なサンプル・レートは 8kHz、16kHz、32kHz、44.1kHz、48kHz、88.2kHz、96kHz、176.4kHz、192kHz です。11.025kHz、12kHz、22.05kHz、24kHz の LRCLK クロックには対応していません。

I²S/左詰めモードでは、有効な分解能はチャンネルあたり 16 ビット、24 ビット、32 ビットです。LRCLK 周期あたり 2 つのチャンネルを使用します。そのため、I²S/左詰めモードにおける LRCLK 周期あたりの BCLK 周期の有効な数は、LRCLK 周期あたり 32 BCLK 周期、LRCLK 周期あたり 48 BCLK 周期、LRCLK 周期あたり 64 BCLK 周期となります。

TDM モードでは、有効な分解能はチャンネルあたり 16 ビットと 32 ビットです。TDM モードにおける LRCLK 周期あたりの BCLK 周期の有効な数は 125、128、250、256 であるため、LRCLK 周期あたりの BCLK 周期が 128 または 256 の場合は LRCLK 周期あたり 8 つのチャンネルを使用します。LRCLK 周期あたりの BCLK 周期が 125 または 250 の場合は、LRCLK 周期あたり 7 つのチャンネルを使用します。

LRCLK あたりの BCLK が表 3 に示した値以外の無効な数の場合、予期せぬ出力波形が得られます。

表 3. 有効な分解能とフレーム幅

SAMPLE RESOLUTION (BITS)	BCLK PERIODS PER LRCLK IN I ² S/LEFT-JUSTIFIED MODE	BCLK PERIODS PER LRCLK IN TDM MODE
16	32	125, 128
24	48	NOT VALID
32	64	250, 256

表 4. 有効な BCLK 周波数 (kHz)

	I ² S/LEFT-JUSTIFIED MODE			TDM MODE			
	32 BCLKs PER LRCLK	48 BCLKs PER LRCLK	64 BCLKs PER LRCLK	125 BCLKs PER LRCLK	128 BCLKs PER LRCLK	250 BCLKs PER LRCLK	256 BCLKs PER LRCLK
LRCLK = 8kHz	256	384	512	N/A	1024	N/A	2048
LRCLK = 16kHz	512	768	1024	N/A	2048	N/A	4096
LRCLK = 32kHz	1024	1536	2048	N/A	4096	N/A	8192
LRCLK = 44.1kHz	1411.2	2116.8	2822.4	N/A	5644.8	N/A	11289.6
LRCLK = 48kHz	1536	2304	3072	6000	6144	12000	12288
LRCLK = 88.2kHz	2822.4	4233.6	5644.8	N/A	11289.6	N/A	22579.2
LRCLK = 96kHz	3072	4608	6144	12000	12288	24000	24576
LRCLK = 176.4kHz	5644.8	8467.2	11289.6	22579.2	N/A	N/A	N/A
LRCLK = 192kHz	6144	9216	12288	24000	24576	N/A	N/A
LRCLK = 192kHz	6144	9216	12288	24000	24576	N/A	N/A

MCLK の排除

MAX98366 は、PCM 通信で通常使用される外部 MCLK 信号が不要です。これにより、サイズとピン数を削減できる他、EMI およびボード結合の問題が軽減されます。

BCLK のジッタ許容値

MAX98366 は、高いダイナミック・レンジを維持しながら、BCLK に高いジッタ許容値が可能です（電气的特性の表を参照）。50kHz より高いサンプル・レートの場合、デバイスは広帯域インターポレーション・デジタル・フィルタを自動的に選択して超音波のユース・ケースに対応し、超音波信号に存在する帯域内の統合ノイズによって性能が低下する前に、最大 100ps のジッタ許容値（10kHz～60kHz 帯域）を可能にします。超音波信号が存在しない場合、>40kHz のスペクトル・ジッタは最大 12ns になる可能性があります。

BCLK 極性

I²S および左詰めモードでは、入力されるシリアル・データは常に BCLK の立上がりエッジでクロック・インされます。TDM モードでは、MAX98366A と MAX98366C は BCLK の立上がりエッジでシリアル・データをクロック・インする一方、MAX98366B と MAX98366D は BCLK の立下がりエッジでシリアル・データをクロック・インします (表 5)。

表 5. BCLK 極性

MODE	PART NUMBERS	BCLK POLARITY
I ² S	MAX98366A/C	Rising edge
Left-justified	MAX98366B/D	Rising edge
TDM	MAX98366A/C	Rising edge
TDM	MAX98366B/D	Falling edge

I²S/左詰めモードでの LRCLK 極性

I²S および左詰めモードでは、デジタル・オーディオ・インターフェースによって読み出されているのが左チャンネルのデータか右チャンネルのデータかを、LRCLK によって特定します。MAX98366A と MAX98366C は、LRCLK がローのときに左チャンネル・ワードを示し、MAX98366B と MAX98366D は LRCLK がハイのときに左チャンネル・ワードを示します (表 6)。

表 6. I²S/左詰めモードでの LRCLK 極性

PART NUMBER	LRCLK POLARITY (LEFT CHANNEL)
MAX98366A/C	Low
MAX98366B/D	High

I²S および左詰めモード

LRCLK のデューティ・サイクルが 50% の場合、MAX98366A と MAX98366C は標準の I²S タイミングに従い、LRCLK が遷移した後、新しいデータ・ワードが開始される前に 1BCLK サイクルの遅延が入ります (図 2、図 3、図 6)。MAX98366B と MAX98366D は左詰め タイミング仕様に従い、LRCLK の遷移と新しいデータ・ワードの開始のタイミングを合わせます (図 5、図 4、図 7)。

I²S および左詰めモードでは、アンプの出力に送るオーディオ・チャンネルは DAI の設定によって選択されます (表 2 を参照)。DAI の設定 A を使用するとステレオ入力データの左ワードが選択されます。DAI の設定 B を使用するとステレオ入力データの右ワードが選択されます。DAI の設定 C を使用するとステレオ入力データの左ワードと右ワード (左/2 + 右/2) が選択されます。

表 7. I²S および左詰めモードでのチャンネル選択

DAI CONFIGURATION	CHANNEL
A	Left
B	Right
C	Left/2 + Right/2

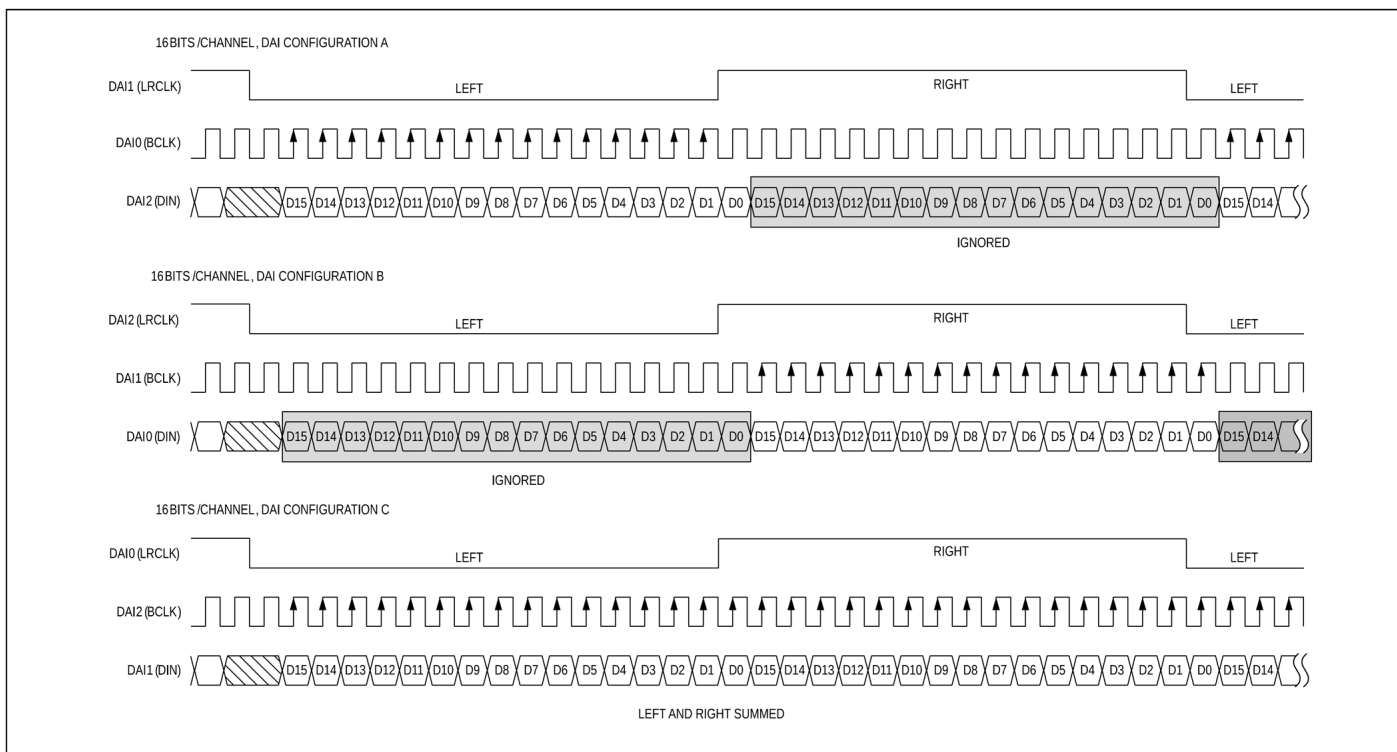


図 2. MAX98366A と MAX98366C の I²S プロトコル、16 ビット分解能

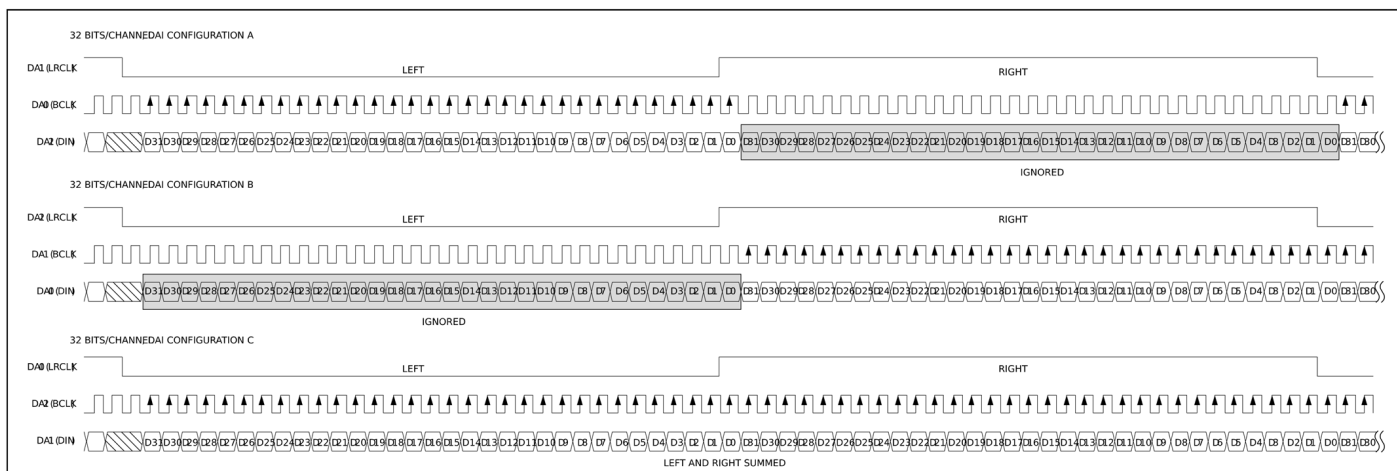


図 3. MAX98366A と MAX98366C の I²S プロトコル、32 ビット分解能

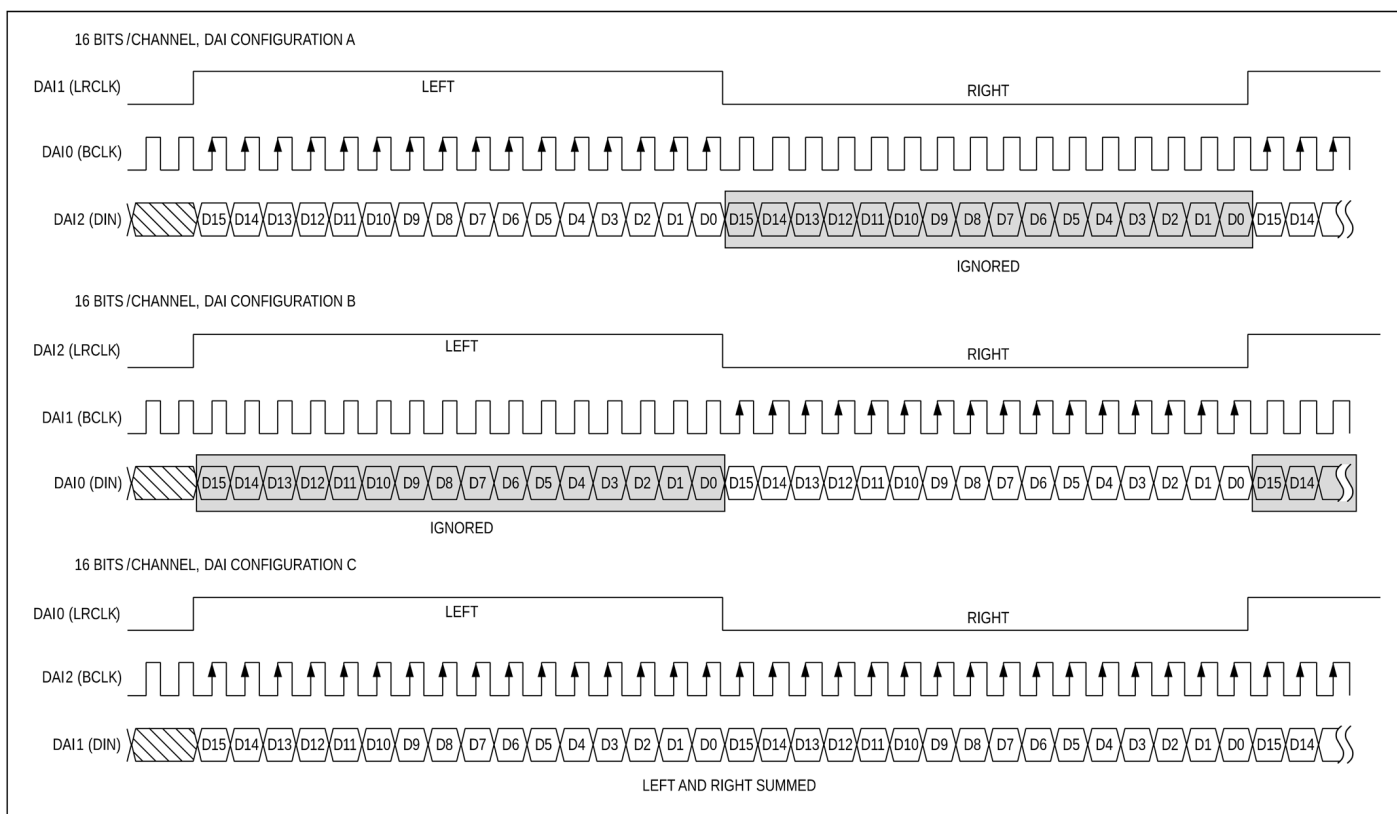


図 4. MAX98366B と MAX98366D の左詰めプロトコル、16 ビット分解能

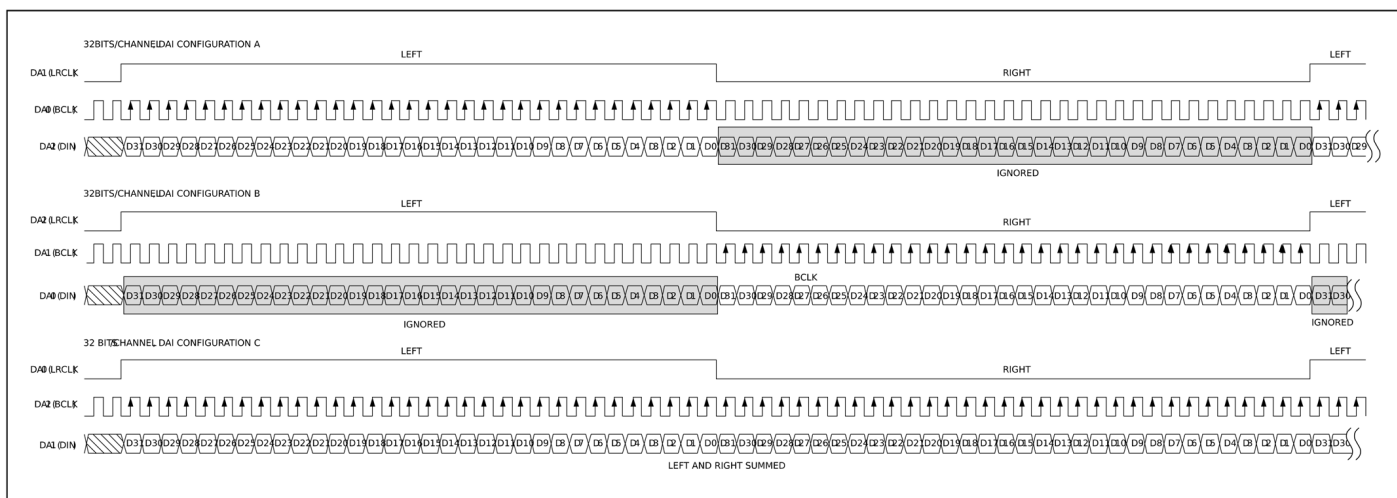


図 5. MAX98366B と MAX98366D の左詰めプロトコル、32 ビット分解能

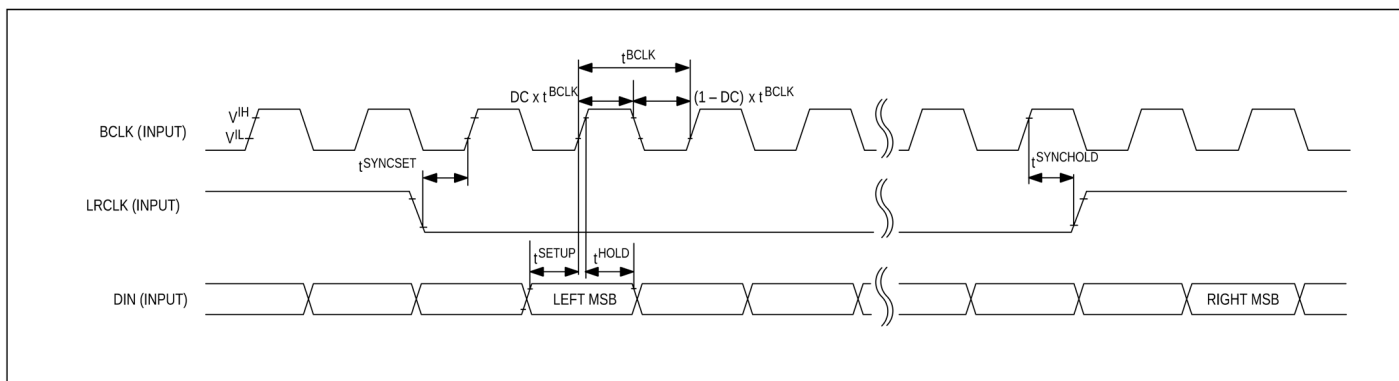


図 6. I²S のタイミング図 (MAX98366A および MAX98366C)

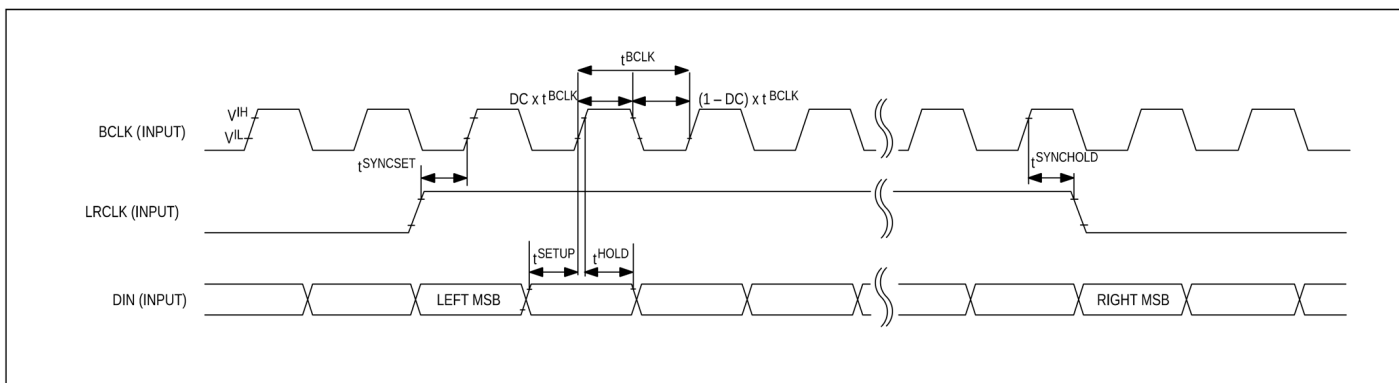


図 7. 左詰め (Left Justified) のタイミング図 (MAX98366B および MAX98366D)

TDM モード

フレーム同期パルスが LRCLK に使用されている場合 (LRCLK は最大 3BCLK 周期の間ハイ)、デバイスは自動的に TDM モードに設定されます。

TDM モードでは、デバイスは 7 または 8 チャンネルの 16 ビットまたは 32 ビット・フォーマットのデータを受け入れます。フレームあたり 125 (16 ビット・モード) または 250 (32 ビット・モード) の BCLK サイクルがある場合は、デバイスは 7 チャンネルを受け入れます。フレームあたりの BCLK サイクルが 128 (16 ビット・モード) または 256 (32 ビット・モード) の場合は、デバイスは 8 チャンネルのデータを受け入れます。

DAI の設定と GAIN_SLOT を使用して、どのチャンネルがアンプに送られるかを選択します (表 8 および表 2 を参照)。

MAX98366A と MAX98366C では、データは BCLK の立上がりエッジで有効になります (図 8 および図 9 を参照)。MAX98366B と MAX98366D では、データは BCLK の立下がりエッジで有効になります (図 10 および図 11 を参照)。

表 8. TDM モードでのチャンネル選択

CHANNEL SELECTION	DAI CONFIGURATION	GAIN_SLOT CONNECTION
0	A	GND
1	A	V_{DD}
2	A	Unconnected
3	B	V_{DD}
4	B	GND
5	C	GND
6	C	Unconnected
7	C	V_{DD}

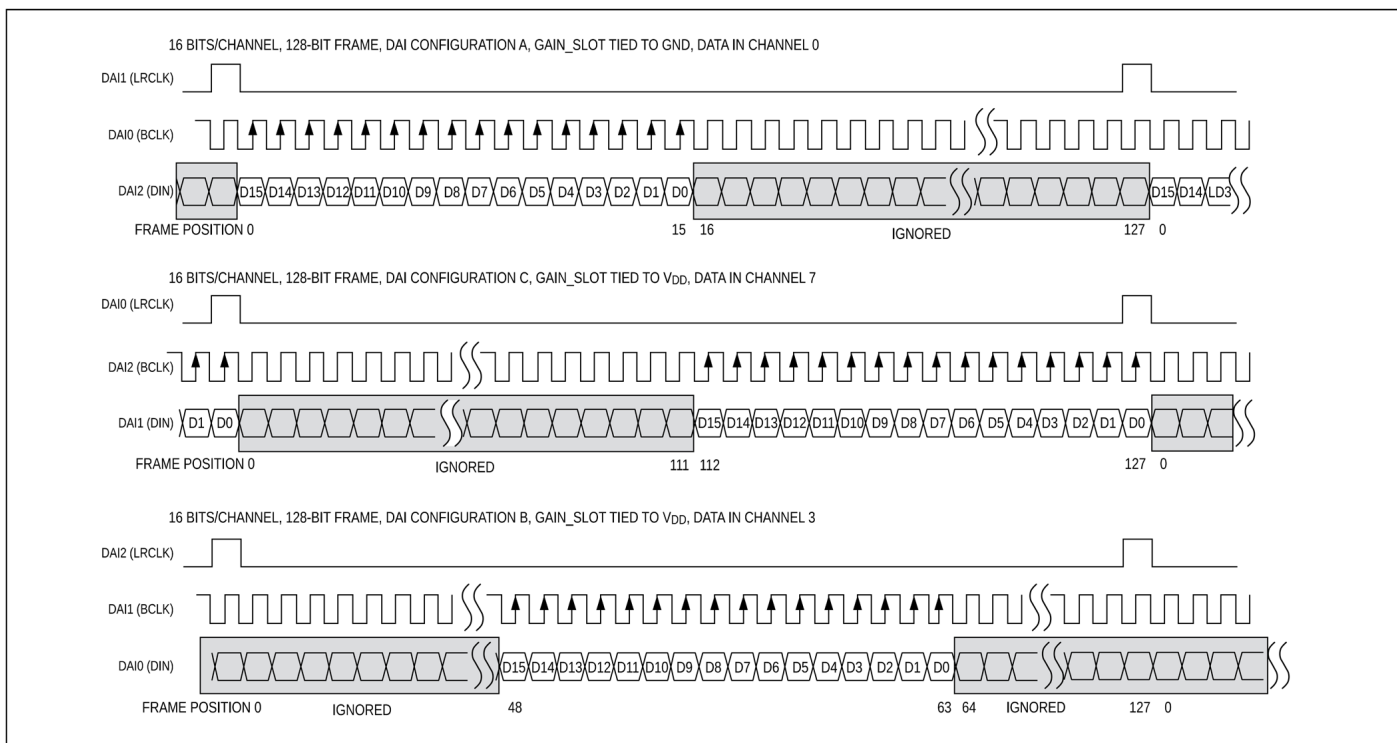


図 8. MAX98366A と MAX98366C の TDM プロトコル、16 ビット分解能

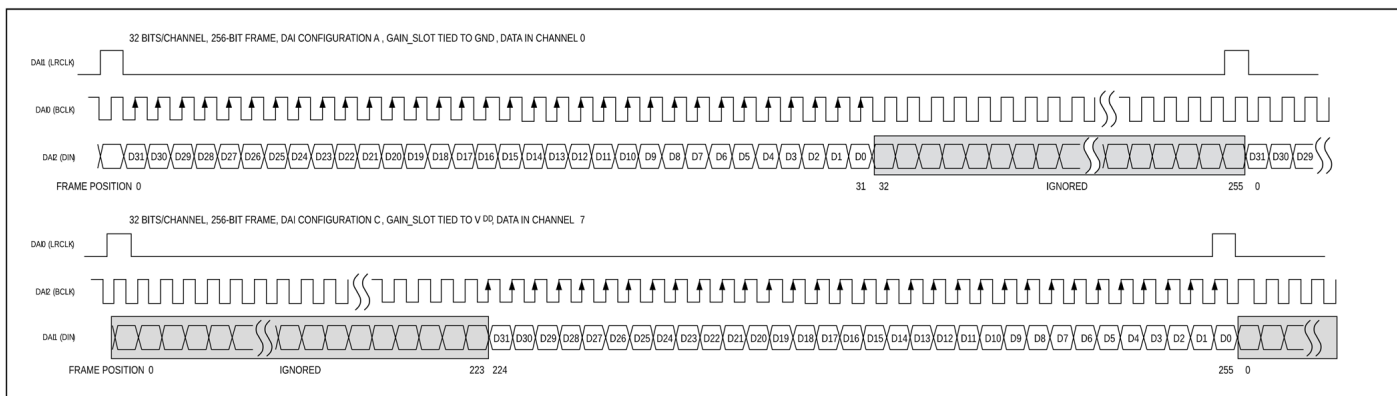


図 9. MAX98366A と MAX98366C の TDM プロトコル、32 ビット分解能

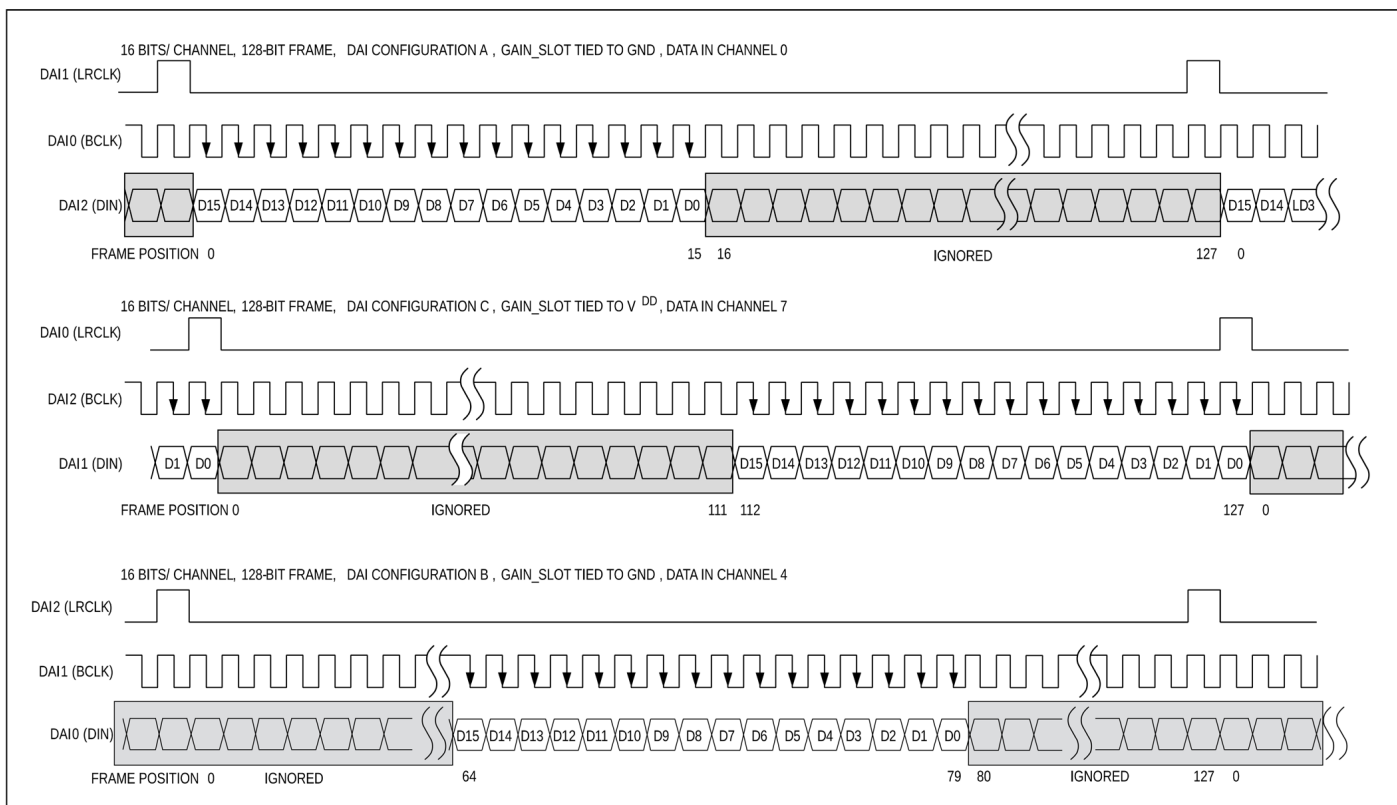


図 10. MAX98366B と MAX98366D の TDM プロトコル、16 ビット分解能

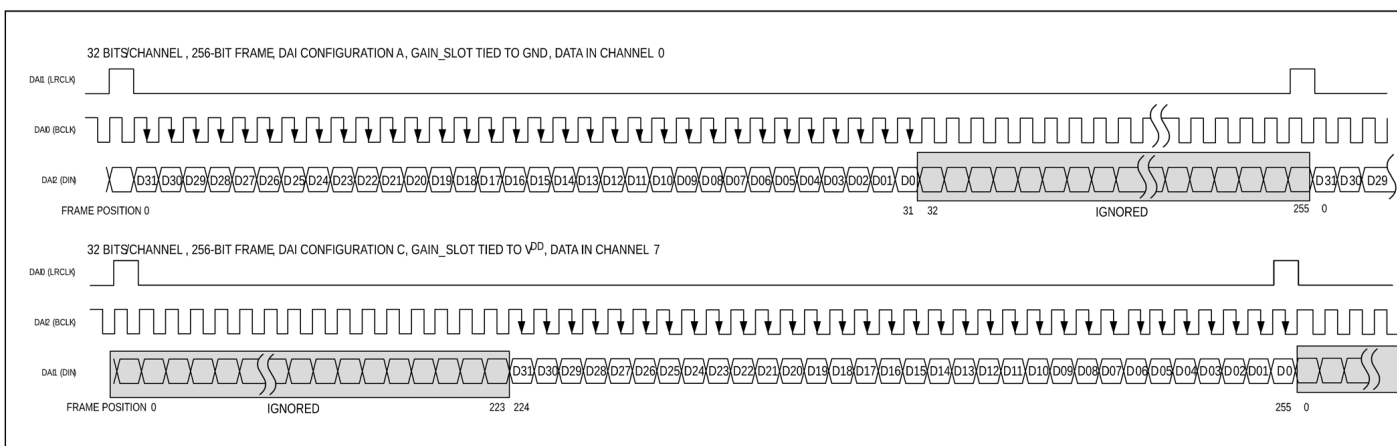


図 11. MAX98366B と MAX98366D の TDM プロトコル、32 ビット分解能

ゲインの選択

I²S および左詰めモードでは、表 9 の情報を使用して GAIN_SLOT ピンを接続し、必要な最大出力電圧レベル (dBV) に設定します。TDM モードでは、ゲインは 21.5dBV の固定の出力電圧レベルに自動的に設定されます。

f_s < 50kHz では、表 9 に示す、5 つのフルスケール出力電圧レベルに対応したすべての GAIN_SLOT 接続を使用できます。

f_s > 50kHz では、+18.5dBV と +21.5dBV のフルスケール出力電圧レベルに対応した GAIN_SLOT 接続のみが使用可能です。他の GAIN_SLOT 接続はデフォルトで +18.5dBV になります。

表 9. I²S/左詰めモードのゲイン選択

FULL-SCALE OUTPUT VOLTAGE LEVEL (dBV)	GAIN_SLOT CONNECTION
21.5	Connect to GND
18.5	Unconnected
15.5	Connect to V _{DD}
12.5	Connect to V _{DD} through 100kΩ ±5% resistor
9.5	Connect to GND through 100kΩ ±5% resistor

DC ブロッキング・フィルタ

デジタル・オーディオ・インターフェースは、-3dB カットオフが f_c の DC ブロッキング・フィルタを内蔵しています（電気的特性の表を参照）。

DAC デジタル・フィルタ

DAC には、使用するサンプル・レートに基づき自動的に設定されるデジタル・ローパス・フィルタが備わっています。このフィルタにより、エイリアシングやその他の高周波ノイズの影響を排除できます。電気的特性の表の DAC デジタル・フィルタのセクションを参照してください。

クラス D アンプ

フィルタのないクラス D アンプは、クラス AB アンプに比べてはるかに高い効率を実現します。クラス D アンプの高効率は、出力段トランジスタのスイッチング動作に起因します。クラス D の出力段で生じる電力損失の主な原因は、MOSFET のオン抵抗と自己消費電流のオーバーヘッドによる I²R 損失によるものです。

クラス D の出力短絡保護

クラス D アンプの出力電流制限値 (I_{LIM}) を超えた場合（電気的特性の表を参照）、出力は約 27ms の間ディスエーブルされます。27ms が経過すると出力は再度イネーブルされます。それでもフォルト状態が存在する場合、フォルト状態が解除されるまで、出力はディスエーブルと再イネーブルを繰り返します。

ターンオンとターンオフ時のボリュームの増減

MAX98366A と MAX98366B は 1ms の高速ターンオン時間を備えています。最適なクリック/ポップ性能を得るには、シャットダウン前、クロックの除去前、または電源の供給停止前に、DIN に送るデータのデジタル・オーディオ振幅を減少させてください。

MAX98366C と MAX98366D は、DAI の設定後 13ms でオーディオ信号をミュートからフルスケールまで増加させます。EN をローにしてターンオフすると、ゲインは 14ms かけてミュートまで減少します。EN がローになって少なくとも 14ms の間、BCLK と LRCLK が有効を保ち V_{PVDD} および V_{DD} 電源が動作範囲内を保持している場合にのみ、ターンオフ時のランピングが実行されます。クロックのどちらかが無効になった場合、または V_{PVDD} か V_{DD} がその UVLO スレッシュホールドを下回った場合には、オーディオはランピングすることなく即座に停止します。

クリック/ポップ抑制

本スピーカ・アンプは、アナログ・デバイセズの包括的なクリック/ポップ抑制機能を備えています。ターンオン中、クリック/ポップ抑制回路はデバイス内部の可聴トランジェント・ソースを低減します。シャットダウンまたはスタンバイ・モードに入ると、差動スピーカ出力は同時に Hi-Z になります。

MAX98366 の包括的なクリック/ポップ抑制機能は、パワーアップまたはパワーダウン・シーケンスに影響されることはありません。EN の遷移前後でクロックを印加または除去しても同じクリック/ポップ抑制性能が得られます。ただし、MAX98366C と MAX98366D のクロックに関しては、最良のクリック/ポップ抑制性能を得るために、EN がローになってから 13ms の間 V_{DD} を有効に保持することでボリュームのランピングを完了させる必要があります。

超低 EMI フィルタレス出力段

従来のクラス D アンプでは、EN55022B 電磁干渉 (EMI) 規制規格を満たすために、外付けの LC フィルタやシールドを使用する必要があります。アナログ・デバイセズのアクティブ・エミッション・リミット機能、エッジ・レート・コントロール回路、スペクトラム拡散変調により、高効率を維持しながら EMI 放射を低減できます。

アナログ・デバイセズのスペクトラム拡散変調モードは、広帯域のスペクトル成分を平坦化させると共に、独自技術により、スイッチング周期のサイクル間変動がオーディオ再生や効率を劣化させないようにします。このデバイスのスペクトラム拡散変調器は、中心周波数 (f_{sw}) を中心として f_{SSM} だけ、スイッチング周波数をランダムに変化させます。10MHz 以上の広帯域スペクトルは、EMI の観点からするとノイズのように振る舞います。

アプリケーション情報

超音波性能

超音波のユース・ケースでは、本デバイスは $>50\text{kHz}$ のサンプル・レートに対して広帯域デジタル・フィルタを実装しています。本デバイスで超音波信号を再生する場合、ユース・ケースによっては低インバンド（ $20\text{Hz}\sim 20\text{kHz}$ ）ノイズが要求されます。超音波に存在するインバンド・ノイズを最小限に抑えるには、TDM モードの使用を推奨します。

フィルタレス・クラス D 動作

従来のクラス D アンプでは、アンプの出力からオーディオ信号を復元するために出力フィルタを必要とします。このフィルタは、コストとサイズを増やすと共に、効率と THD+N 性能を低下させます。本アンプのフィルタレス変調方式は、出力フィルタを必要としません。デバイスは、スピーカ・コイル固有のインダクタンスと、スピーカと人の聴覚に備わった自然のフィルタ特性を使用して、矩形波出力から元のオーディオ成分を復元します。

アンプのスイッチング周波数がほとんどのスピーカの帯域幅を上回っているため、スイッチング周波数によるボイス・コイルの動作は非常に小さくなります。スピーカには、 $10\mu\text{H}$ を上回る直列インダクタンスを持つものを使用してください。一般的な 8Ω のスピーカは、 $20\mu\text{H}\sim 100\mu\text{H}$ の範囲の直列インダクタンスを示します。

レイアウトとグラウンディング

最適な性能を得るには、適切なレイアウトとグラウンディングが不可欠です。適切なグラウンディングは、オーディオ性能を向上させ、オーディオ信号に混入するスイッチング・ノイズを防止することができます。

最適な EMI 性能とオーディオ性能を得るため、 V_{PVDD} デカップリング・コンデンサをできるだけ MAX98366 の近くに配置して、電源ループのインダクタンスを最小限に抑えます。

幅広で低抵抗の出力配線パターンを使用してください。負荷インピーダンスが減少するに従い、デバイス出力から引き出される電流は増加します。大電流時は、出力配線パターンの抵抗によって負荷に供給される電力が減少します。例えば、合計 $100\text{m}\Omega$ のスピーカの配線パターンを通じてスピーカの出力から 4Ω の負荷に 2W が供給される場合、スピーカには 1.95W が供給されます。合計 $10\text{m}\Omega$ のスピーカの配線パターンを通じて電力を供給する場合、スピーカには 1.99W が供給されます。出力、電源、およびグランド用配線パターンを幅広くすると、デバイスの消費電力も改善できます。

出力配線パターンの寄生容量により、自己消費電流は $V_{\text{PVDD}} \times f_{\text{sw}} \times C_{\text{PARASITIC}}$ だけ増加します。例えば、 $V_{\text{PVDD}} = 12\text{V}$ および寄生容量の合計が 100pF （各出力配線パターンで 50pF ）のとき、自己消費電流の増加分は $12\text{V} \times 300\text{kHz} \times 100\text{pF} = 360\mu\text{A}$ になります。

本デバイスは、本質的に優れた RF 耐性が得られるよう設計されています。最高の性能を得るために、PCB の上面または下面の信号配線パターンの周りにグランド・フィルを追加してください。

多くのアプリケーションでは 3 個のコンデンサのみが必要となるので、 7.84mm^2 の小さなソリューション・サイズに抑えることができます。



図 12. ソリューション・サイズ

WLP の GAIN_SLOT の配線

GAIN_SLOT ピンの用途は、I²S および左詰めモードで目的のゲインに固定すること、および TDM モードでチャンネルを選択することです。GAIN_SLOT は、オーディオの再生中には変更しないでください。これを行うと可聴のクリック/ポップを発生させる可能性があります。

ほとんどのモードは、ビアを使用したり WLP 中央のバンパから配線を引き回したりすることなく選択できます。これによりレイアウトを簡略化し、PCB の製造コストを低減できます。

I²S および左詰めモードでは、15.5dBV、18.5dBV、および 21.5dBV のゲイン設定で GAIN_SLOT から配線を引き回す必要はありません（[ゲインの選択](#)のセクションを参照）。TDM モードでは、GAIN_SLOT から配線を引き回すことなしにすべてのチャンネルを選択可能です（[表 8](#)を参照）。これは、GAIN_SLOT ピンと V_{DD} および GND ピンの配置のおかげで可能になっています。

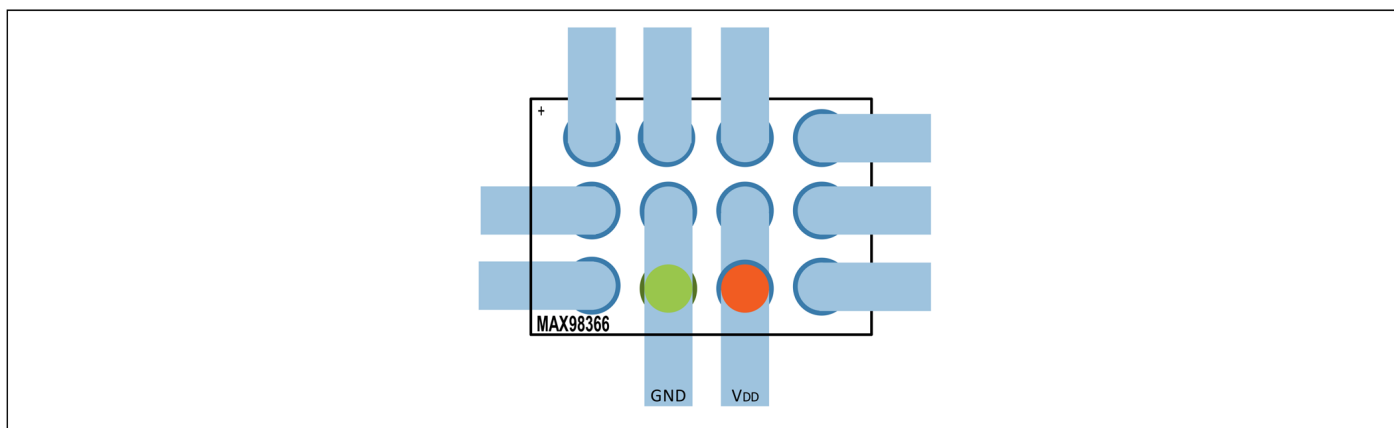


図 13. GAIN_SLOT を V_{DD} に接続 (I²S および左詰めモードで出力が 15.5dBV)

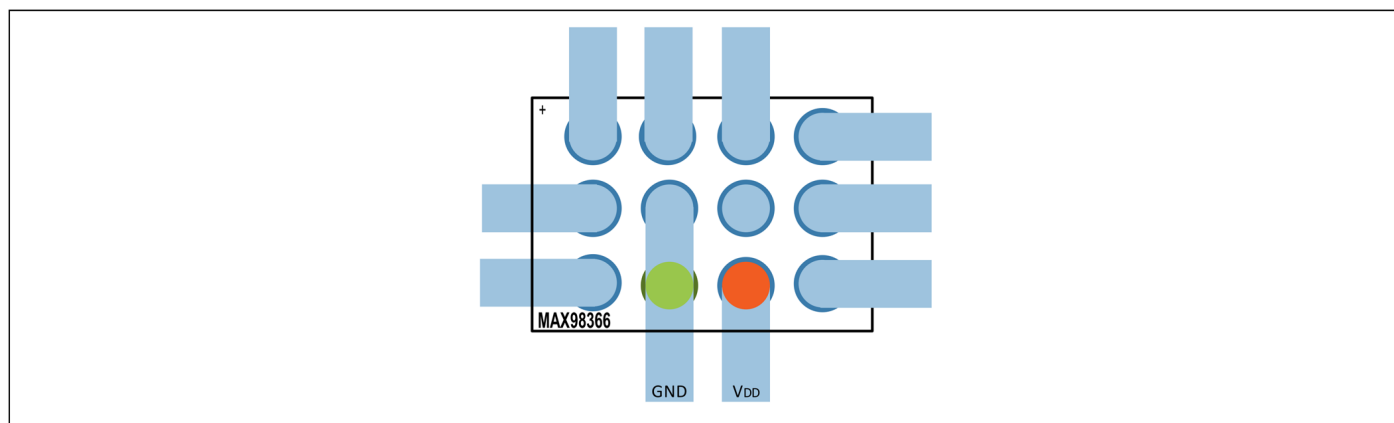


図 14. GAIN_SLOT は無接続 (I²S および左詰めモードで出力が 18.5dBV)

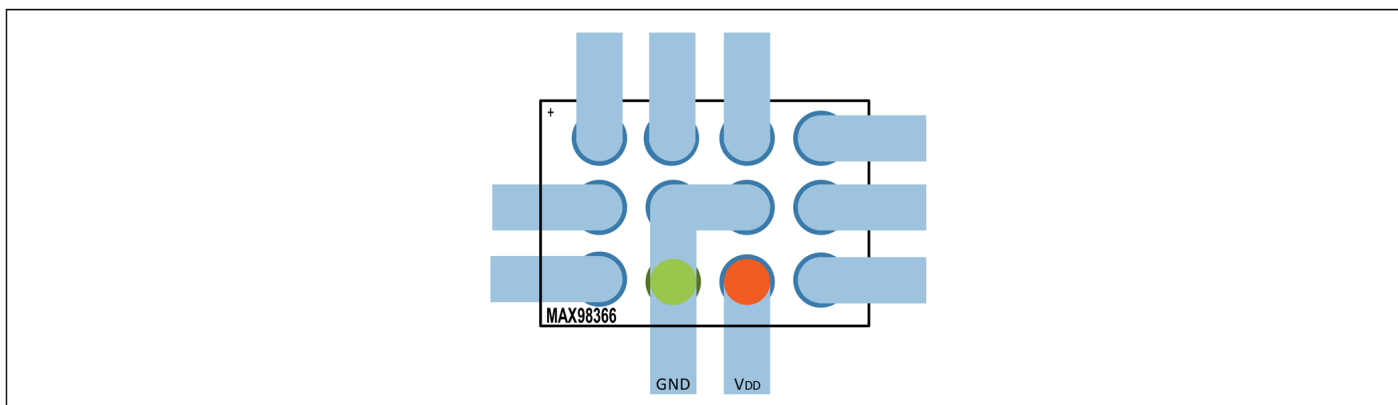


図 15. GAIN_SLOT を GND に接続 (I²S および左詰めモードで出力が 21.5dBV)

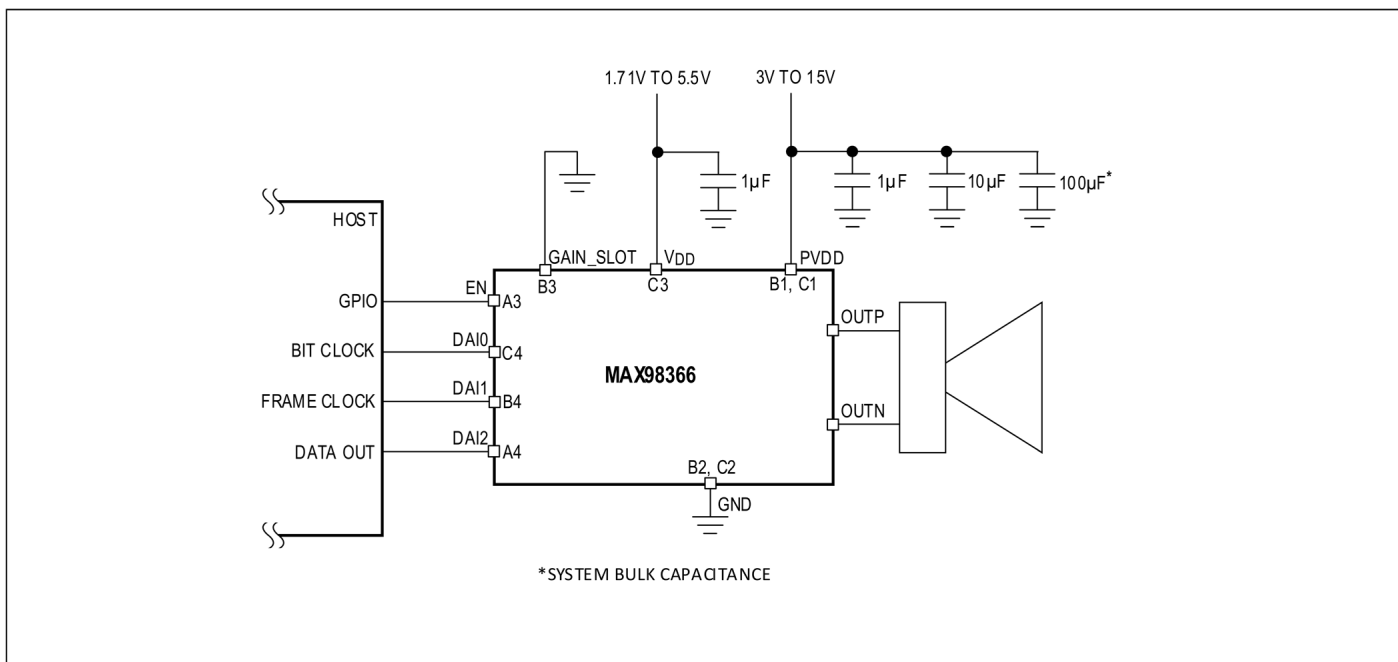
I²S および左詰めモードで 12.5dBV または 9.5dBV のゲイン設定が必要な場合、GAIN_SLOT ピンは 100kΩ 抵抗に接続してから V_{DD} または GND に接続する必要があります (ゲインの選択のセクションを参照)。その場合は以下のような配線の選択肢があります。

- 機械的に孔をあけてビアを形成：PCB の容積が小さい場合に低価格
- レーザで孔をあけてビア形成：PCB の容積が大きい場合に低価格
- ドッグボーン構成でブラインド・ビアおよび埋込みビアを使用
- 最上層で配線：この場合は最小ピッチの配線パターンにする必要があります

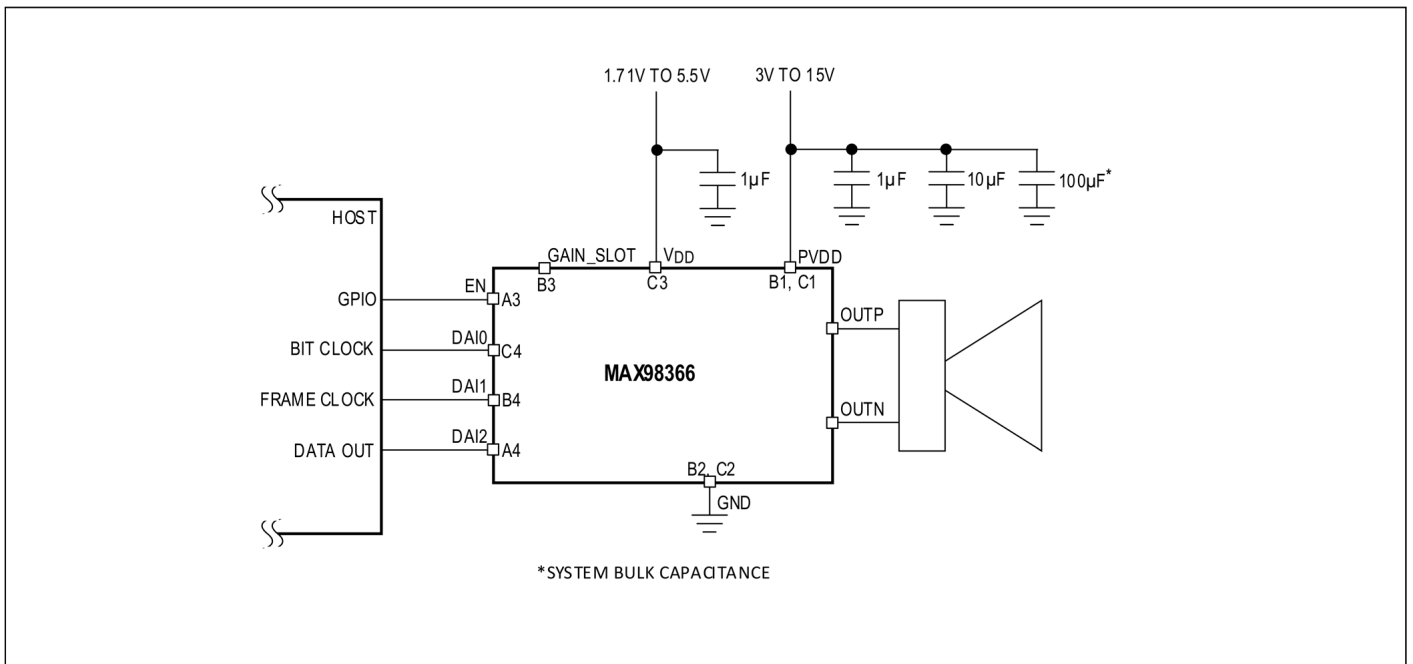
PCB の製造技術は常に進化しているので、設計に最適な選択肢がどれかを PCB メーカーに確認してください。

標準アプリケーション回路

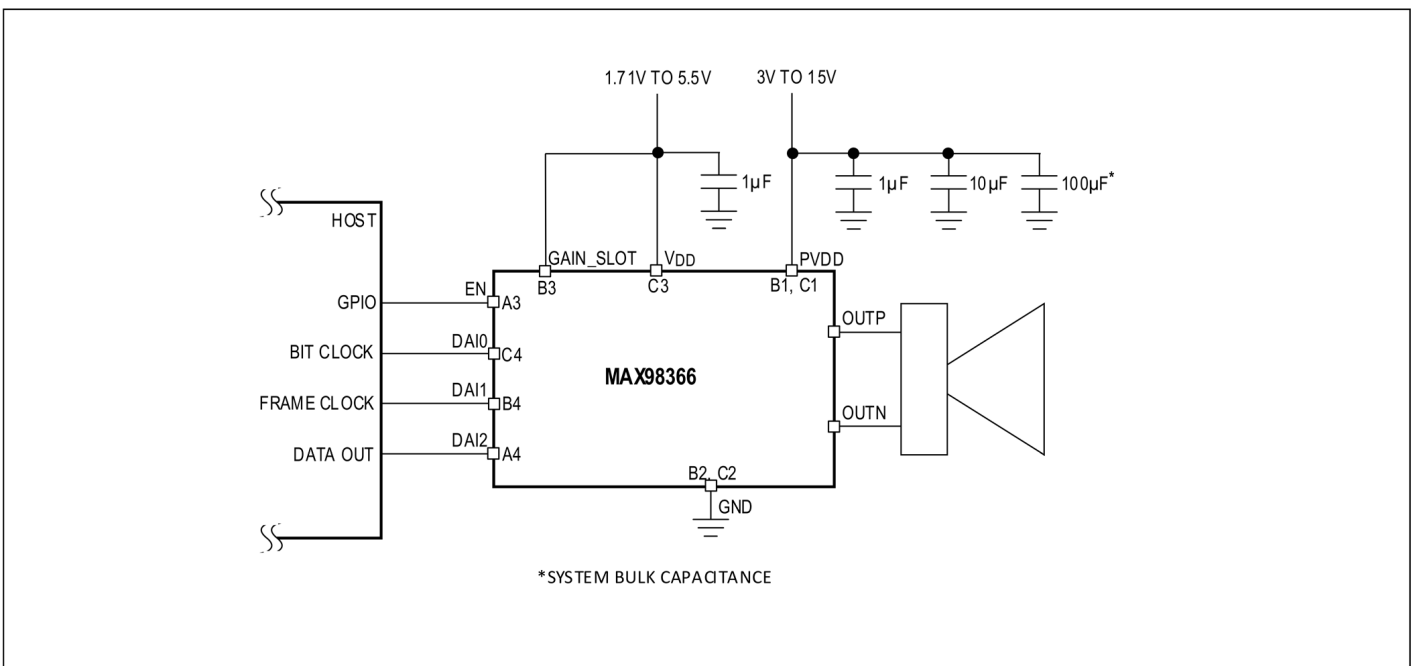
I²S / 左詰めモード、左チャンネルで 21.5dBV 出力の動作



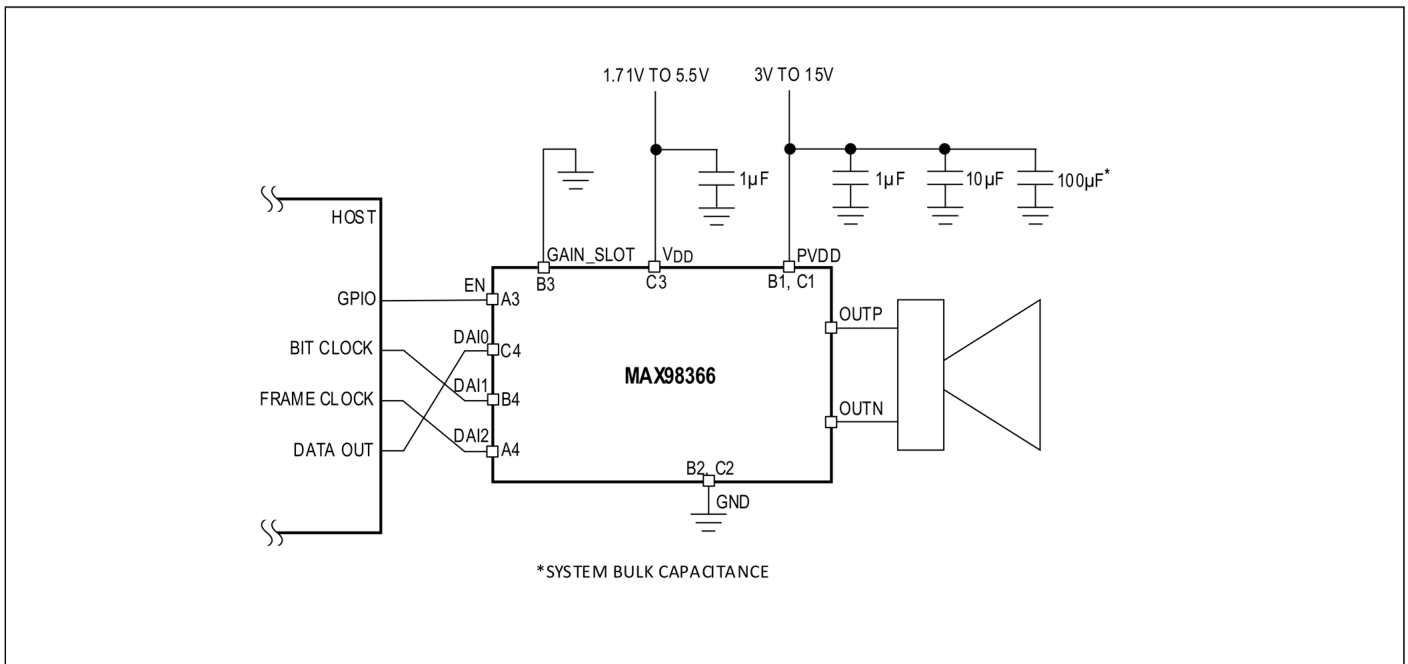
I²S / 左詰めモード、左チャンネルで 18.5dBV 出力の動作



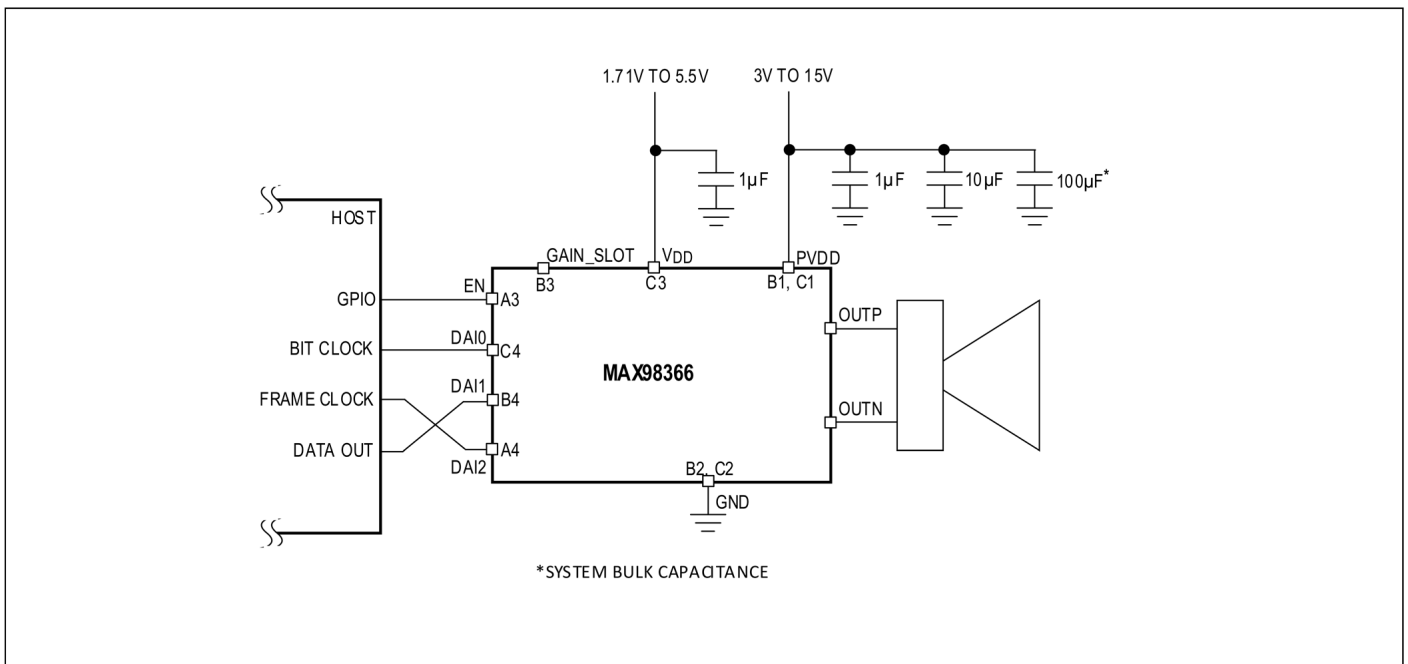
I²S / 左詰めモード、左チャンネルで 15.5dBV 出力の動作



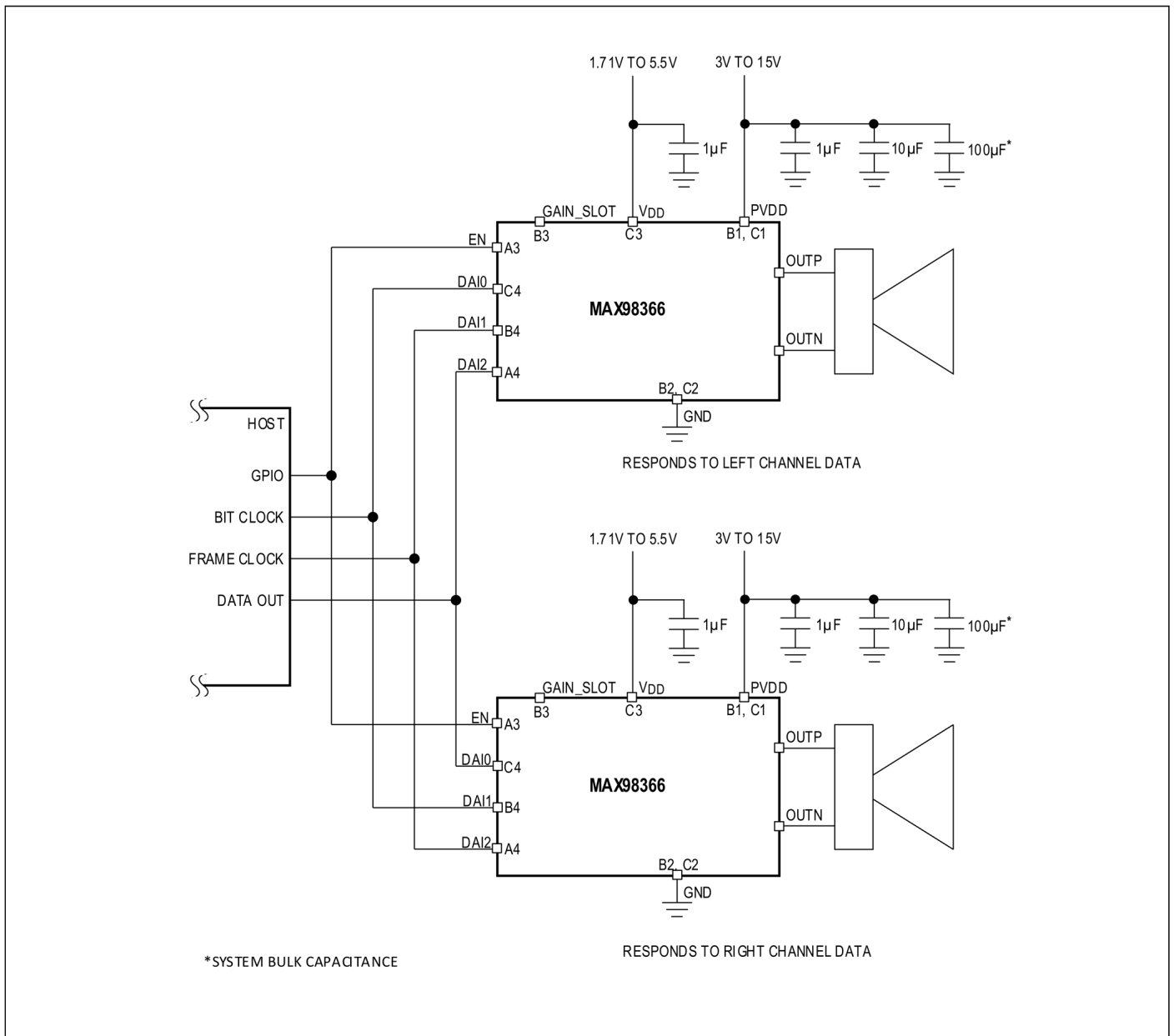
I²S / 左詰めモード、右チャンネルで 21.5dBV 出力の動作



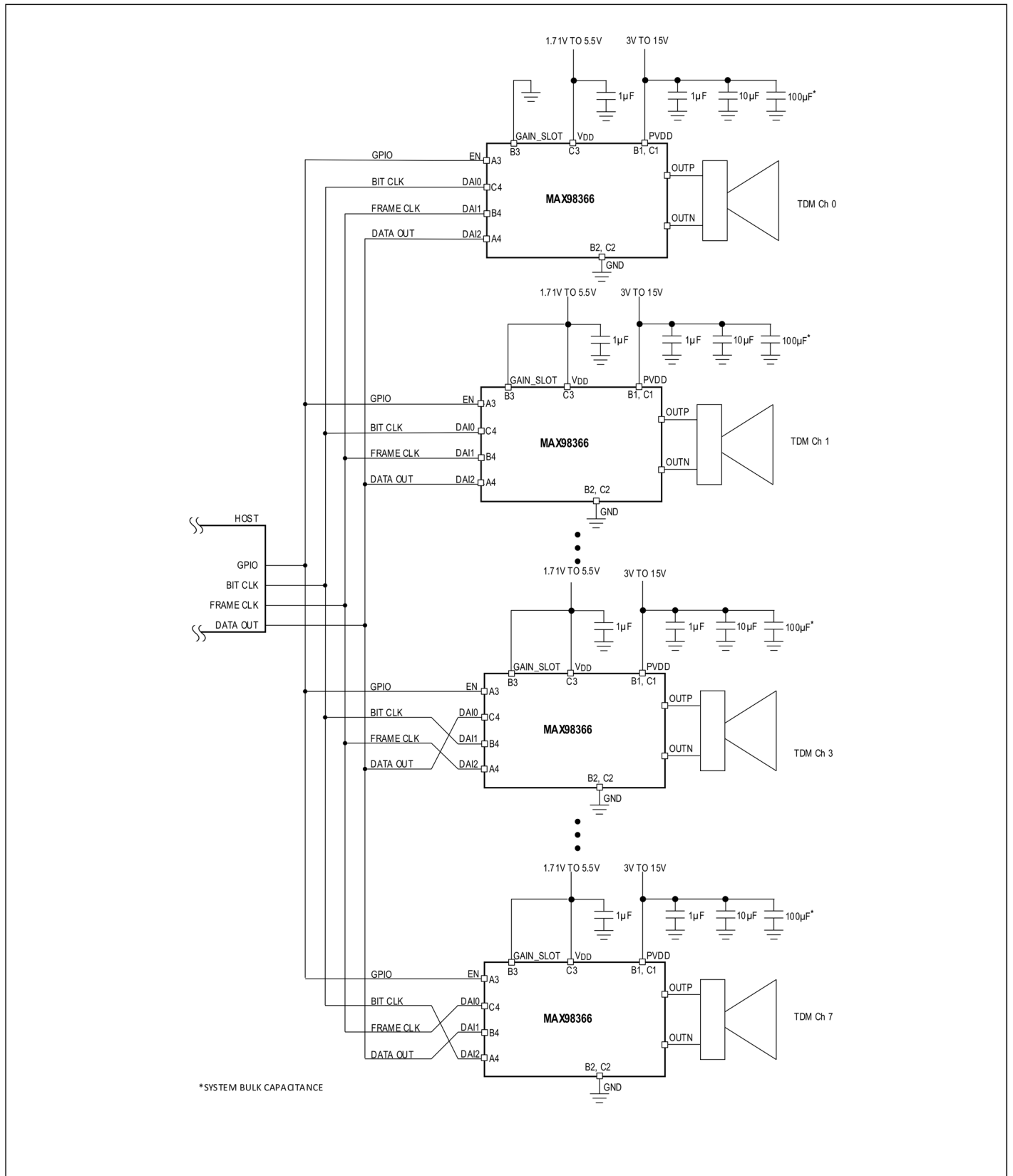
I²S / 左詰めモード、左/2 + 右/2 で 18.5dBV 出力の動作



I²S / 左詰めモード、18.5dBV 出力のステレオ動作



TDM 動作 (21.5dB の固定ゲイン)



型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE	TOP MARKING
MAX98366AEWC+	-40°C to +85°C	12 WLP	AEY
MAX98366AEWC+T	-40°C to +85°C	12 WLP	AEY
MAX98366BEWC+	-40°C to +85°C	12 WLP	AEZ
MAX98366BEWC+T	-40°C to +85°C	12 WLP	AEZ
MAX98366CEWC+	-40°C to +85°C	12 WLP	AFA
MAX98366CEWC+T	-40°C to +85°C	12 WLP	AFA
MAX98366DEWC+	-40°C to +85°C	12 WLP	AFB
MAX98366DEWC+T	-40°C to +85°C	12 WLP	AFB

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。

T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	04/24	初版発行	-
1	06/24	電気的特性の表を更新	9