

5.5V 入力、4.5A スイッチング電流の 高効率昇降圧コンバータ

概要

MAX77847 は、バッテリー駆動のアプリケーションを対象とし、業界をリードする 14 μ A の自己消費電流を特徴とした高効率、高性能の昇降圧レギュレータです。1.8V~5.5V の入力電圧範囲と、1.8V~5.2V の出力電圧範囲をサポートしています。負荷条件に基づいて外付け部品のサイズを最適化できるよう、この IC にはプログラマブルなスイッチング電流制限が 2 つ用意されています。アナログ・デバイス独自の昇降圧コントローラ技術により、高い効率、負荷とラインの優れたトランジェント性能、およびシームレスなモード遷移を入出力範囲の全域で実現しています。

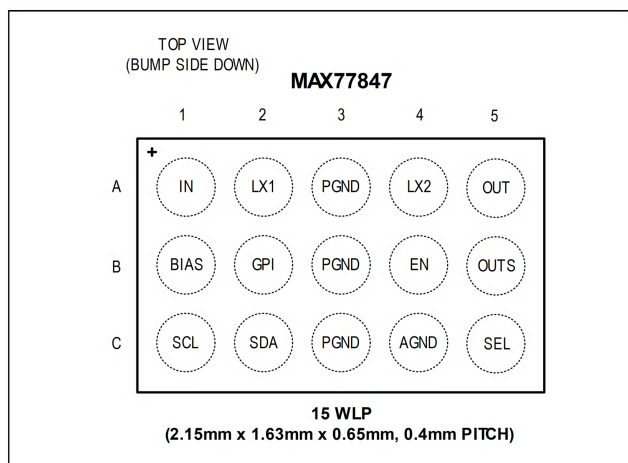
このデバイスは、ハードウェア設定 SEL ピンを備えており、これによってデフォルトの出力電圧と I²C ターゲット・アドレスを設定します。ハードウェア・ダイナミック電圧スケーリング (DVS) ピンにより、I²C と干渉することなく、2 つの出力電圧間で電圧を変更できます。I²C インターフェイスはオプションとして使用可能で、出力電圧を 50mV 刻みで調整できます。

MAX77847 は、2.18mm x 1.66mm の 15 バンプ・ウェハレベル・パッケージ (WLP) で提供されます。

主なアプリケーション

- 5G PA 電源
- バッテリー駆動装置
- モノのインターネット (IoT) 機器
- システム電源のプリレギュレーション
- スマートフォンの Time Of Flight (ToF) / 顔認識およびジェスチャ認識

ピン配置

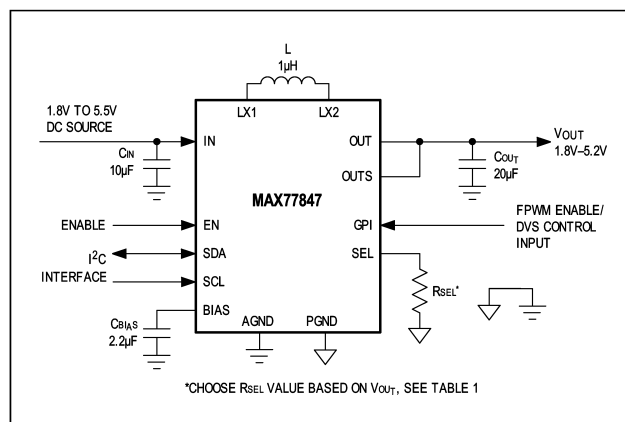


特長と利点

- 柔軟性に優れたシステム統合
 - 入力電圧範囲：1.8V~5.5V
 - 出力電圧範囲：1.8V~5.2V (50mV 刻み)
 - スイッチ電流制限値：4.5A/3.6A
 - 14 μ A の超低 I_Q
- I²C インターフェイス
 - プログラマブルな出力電圧
 - プログラマブルな出力スルー・レート (DVS)
 - 強制 PWM モード動作 (FPWM)
 - 出力アクティブ放電
- I²C で設定可能な GPI ピン
 - 外部 FPWM イネーブル入力
 - DVS 制御入力
- デバイス設定用の SEL ピン
 - デフォルトの起動電圧 (16 個のオプション)
 - I²C ターゲット・アドレス (2 つのオプション)
- ソフトスタート

詳細については、製品のハイライトを参照してください。

簡略アプリケーション回路図



型番はデータシート末尾に記載されています。

目次

概要.....	1
主なアプリケーション.....	1
ピン配置.....	1
特長と利点.....	1
簡略アプリケーション回路図.....	1
絶対最大定格.....	6
推奨動作条件.....	6
パッケージ情報.....	7
15 WLP.....	7
電気的特性.....	8
電気的特性—I ² C シリアル・インターフェイス.....	9
標準動作特性.....	10
ピン配置.....	15
端子説明.....	15
機能図.....	16
詳細.....	17
起動およびシャットダウン.....	17
起動.....	17
即時シャットダウン条件.....	18
アクティブ放電.....	18
汎用入力 (GPI).....	18
昇降圧レギュレータ.....	18
昇降圧制御方式.....	18
スキップ・モードおよび強制 PWM (FPWM) モード.....	19
出力電圧の設定.....	20
SEL ピンの設定.....	20
ダイナミック電圧スケーリング (DVS).....	21
保護機能.....	22
サーマル・シャットダウン.....	22
低電圧ロックアウト (UVLO).....	22
過電圧保護.....	22
スイッチング電流制限.....	23
詳細—I ² C インターフェイス.....	24
システム設定.....	24
ビット転送.....	24
スタート条件とストップ条件.....	25
アクノレッジ・ビット.....	25

ターゲット・アドレス	26
クロック・ストレッチング	26
ジェネラル・コール・アドレス	26
通信速度	26
通信プロトコル	26
単一レジスタへの書込み	27
連続する複数レジスタへの書込み	27
単一レジスタからの読出し	28
連続する複数レジスタからの読出し	29
レジスタ・マップ	31
アプリケーション情報	34
入力コンデンサの選択	34
出力コンデンサの選択	34
インダクタの選択	34
PCB レイアウト時のガイドライン	35
標準アプリケーション回路	36
型番	36

図一覧

図 1. 起動時の波形	17
図 2. 昇降圧 Hブリッジ方式	19
図 3. スキップ・モードの波形	20
図 4. ダイナミック電圧スケーリング	22
図 5. 短絡時の波形	23
図 6. 通信コントローラの機能論理図	24
図 7. I ² C ビット転送	24
図 8. スタート条件とストップ条件	25
図 9. アクノレッジ・ビット	25
図 10. ターゲット・アドレス・バイトの例	26
図 11. バイト書込みプロトコルによる単一レジスタへの書込み	27
図 12. 連続する複数レジスタへの書込み	28
図 13. 単一レジスタからの読出し	29
図 14. 連続する複数レジスタからの読出し	30
図 15. PCB レイアウトの例 (WLP)	35
図 16. 標準アプリケーション回路	36

表一覧

表 1. R _{SEL} の選択表	20
表 2. MAX77847 の I ² C ターゲット・アドレス	26
表 3. 推奨インダクタ	34

絶対最大定格

IN、OUT、BIAS、LX1、LX2~PGND	-0.3V~+6.0V	連続消費電力 (T _A = 70°C、+70°C を超えると 16.22mW/°C で ディレーティング) (Note 1)	+1297.65mW
EN、GPI、SEL、SCL、SDA~AGND	-0.3V~V _{BIAS} + 0.3V	最高ジャンクション温度	+150°C
PGND~AGND	-0.3V~+0.3V	保存温度範囲	-65°C~+150°C
OUTS~AGND	-0.3V~+6.0V	はんだ処理温度 (リフロー)	+260°C

Note 1: パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

推奨動作条件

PARAMETER	SYMBOL	CONDITION	TYPICAL RANGE
Input Voltage Range	V _{IN}	V _{IN} ≥ 2.3V or V _{OUT} ≥ 2.3V	1.8V to 5.5V
Output Voltage Range	V _{OUT}	V _{IN} ≥ 2.3V or V _{OUT} ≥ 2.3V	1.8V to 5.2V
Output Current Range	I _{OUT}	Maximum Output Current limited by Switching Current limit and Input Under Voltage Lockout (UVLO).	0A to 3A
Junction Temperature Range	T _J	—	-40°C to +125°C

パッケージ情報

15 WLP

Package Code	W151L2Z+1
Outline Number	21-100642
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four Layer Board:	
Junction-to-Ambient (θ_{JA})	61.65 °C/W

The drawing includes three views: TOP VIEW, FRONT VIEW, and BOTTOM VIEW. The TOP VIEW shows a square package with a Pin 1 Indicator (marked '1'), a Marking 'AAAA', and dimensions E and D. The FRONT VIEW shows the package height with dimensions A, A1, A2, A3, and a bump diameter of 0.05. The BOTTOM VIEW shows the bump layout with dimensions E1, SE, e, SD, D1, and bump diameter ϕ_b . A table of common dimensions is provided on the right.

COMMON DIMENSIONS	
A	0.64 ±0.05
A1	0.22 ±0.03
A2	0.42 REF
A3	0.04 BASIC
b	∅0.27 ±0.03
D	1.627 ±0.025
E	2.148 ±0.025
D1	0.80 BASIC
E1	1.60 BASIC
e	0.40 BASIC
SD	0.00 BASIC
SE	0.00 BASIC
DEPOPULATED BUMPS: NONE	

NOTES:
 1. Terminal pitch is defined by terminal center to center value.
 2. Outer dimension is defined by center lines between scribe lines.
 3. All dimensions in millimeter.
 4. Marking shown is for package orientation reference only.
 5. Tolerance is ± 0.02 unless specified otherwise.
 6. All dimensions apply to PbFree (+) package codes only.
 7. Front - side finish can be either Black or Clear.

- DRAWING NOT TO SCALE -

TITLE PACKAGE OUTLINE 15 BUMPS WLP PKG. 0.4 mm PITCH, W151L2Z+1	
APPROVAL	DOCUMENT CONTROL NO. 21-100642
REV. B	1/1

電気的特性

($T_A \approx T_J$ 、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $R_{SEL} = AGND$ 、代表値は $T_A \approx T_J = +25^\circ C$ での値です。制限値は $T_J = +25^\circ C$ で 100% 製品テストがなされています。MAX77847 は $T_A \approx T_J$ となるようなパルス負荷条件下でテストされています。動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および動作電圧範囲における制限値は、統計的プロセス制御の方法を使用した設計および特性評価により確保されています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GLOBAL INPUT SUPPLY						
Operating Input Voltage Range	V_{IN}		1.8		5.5	V
Input UVLO Voltage	V_{UVLO_rising}	Input rising	1.70	1.75	1.8	V
Input UVLO Hysteresis	V_{UVLO_Hys}	$V_{UVLO_rising} - V_{UVLO_falling}$		150		mV
Shutdown Supply Current	I_{SHDN}	EN = LOW, $T_J = -40^\circ C$ to $+85^\circ C$			2	μA
Input Quiescent Current	I_Q	EN = HIGH, FPWM = LOW, $T_J = -40^\circ C$ to $+85^\circ C$ and no switching		14	30	μA
		EN = HIGH, FPWM = HIGH, $T_J = -40^\circ C$ to $+85^\circ C$		3		mA
Turn-On Delay Time	T_{DLY_ON}	From EN HIGH to R_{SEL} reading (Note 2)		100		μs
R_{SEL} Reading Time	T_{RSEL}	(Note 2)	360	450	600	μs
BUCK-BOOST CONVERTER						
Output Voltage Range	V_{OUT}		1.8		5.2	V
Output Voltage Accuracy	V_{OUT_ACC}	FPWM enabled, no load, $V_{OUT} = 3.3V$, $R_{SEL} = short$ to AGND	-1.5		+1.5	%
		Auto skip mode, no load, $V_{OUT} = 3.3V$, $R_{SEL} = short$ to AGND	-1.5		+4.0	
Switching Frequency	f_{SW}		1.93	2.2	2.47	MHz
High-Side Switching Current Limit	I_{LIM}	$I_{LIM} = 0b$	4	4.5	4.95	A
		$I_{LIM} = 1b$	3.24	3.6	3.96	
Low-Side Switch On Resistance	R_{DSON_LOW}	LX1, LX2		58		m Ω
High-Side Switch On Resistance	R_{DSON_HIGH}	LX1, LX2		55		m Ω
Thermal Shutdown Threshold	T_{SHDN}	T_J rising (Note 3)		150		$^\circ C$
Thermal Shutdown Hysteresis	T_{SHDN_HYS}	$T_{SHDN_R} - T_{SHDN_F}$ (Note 3)		15		$^\circ C$
Active Discharge Resistance	R_{DSCHG}			100		Ω
Minimum Effective Output Capacitance	C_{EFF_MIN}	(Note 2)		6.8		μF
Line Regulation	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = 1.8V$ to $5.5V$, FPWM enabled, no load, $V_{OUT} = 3.3V$, $R_{SEL} = short$ to AGND	-0.3		+0.3	%/V
Soft-Start Timeout	T_{SS}	(Note 3)		4		ms
Overvoltage Protection Threshold	V_{OVP}	$V_{OUT} - V_{OUTS}$		0.5		V
EN, GPI LOGIC LEVEL						
Input LOW Level	V_{IL}				0.4	V
Input HIGH Level	V_{IH}		1.3			V
EN Pin Internal Pulldown Resistance	R_{PD}			800		k Ω

電气的特性-I²C シリアル・インターフェイス

($T_A \approx T_J$ 、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $R_{SEL} = AGND$ 、代表値は $T_A \approx T_J = +25^\circ C$ の値です。制限値は $T_J = +25^\circ C$ で 100% 製品テストがなされています。MAX77847 は $T_A \approx T_J$ となるようなパルス負荷条件下でテストされています。動作温度範囲 ($T_J = -40^\circ C \sim +125^\circ C$) および動作電圧範囲における制限値は、統計的プロセス制御の方法を使用した設計および特性評価により確保されています。)

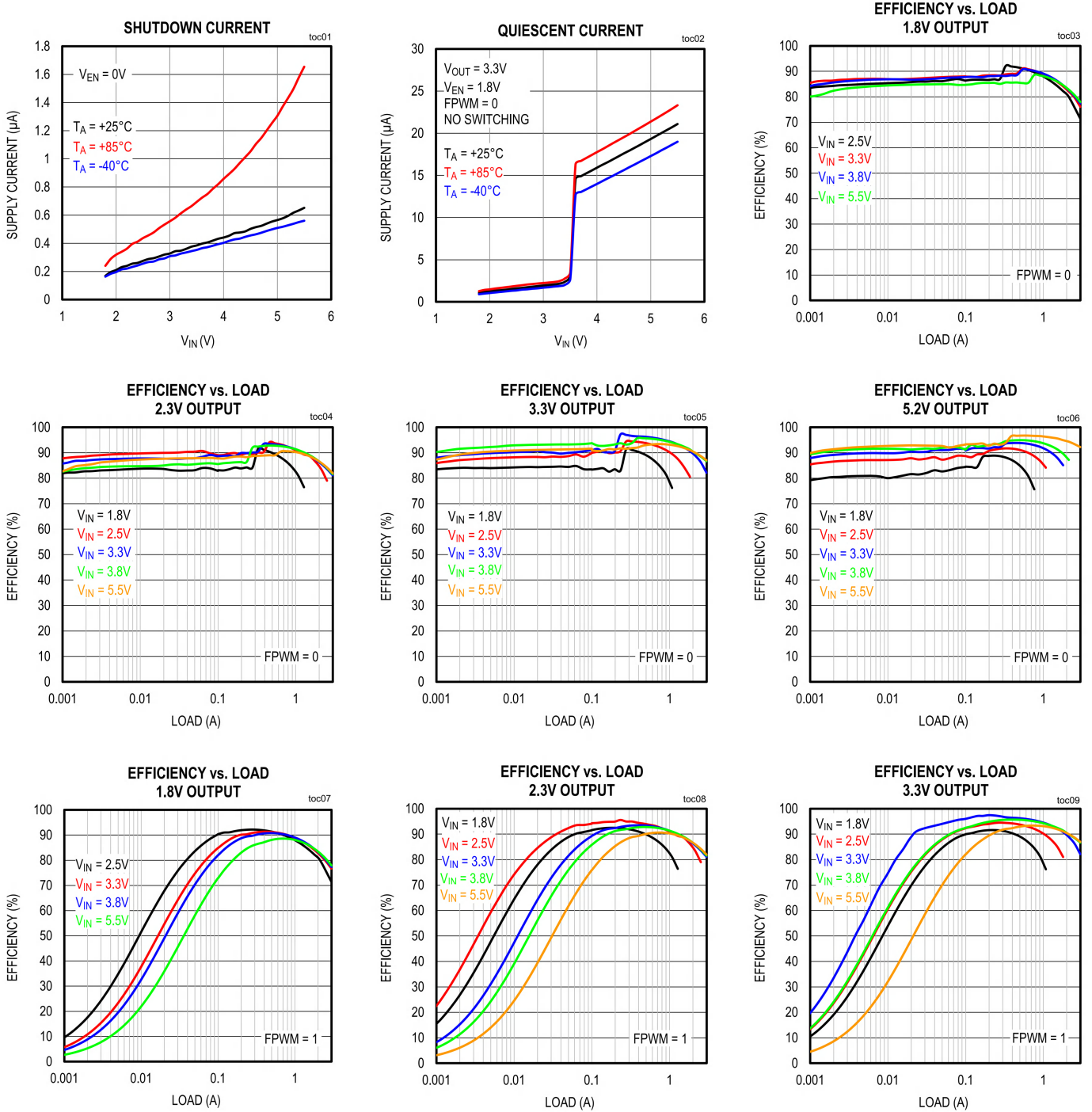
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I/O STAGE						
SCL, SDA Input HIGH Voltage	V_{IH}		1.4			V
SCL, SDA Input LOW Voltage	V_{IL}				0.4	V
SCL, SDA Input Hysteresis	V_{HYS}	(Note 3)		0.1		V
SDA Output LOW Voltage	V_{OL}	$I_{SINK} = 3mA$			0.4	V
SCL, SDA Input Capacitance	C_I				10	pF
SCL, SDA Input Leakage Current	I_{LK}		-10		+10	μA
TIMING (FAST-MODE PLUS)						
Clock Frequency	f_{SCL}		0		1000	kHz
Bus Free Time Between STOP and START Condition	t_{BUSF}		0.5			μs
Hold Time (REPEATED) START Condition	t_{HD_START}		0.26			μs
SCL LOW Period	t_{LOW}		0.5			μs
SCL HIGH Period	t_{HIGH}		0.26			μs
Setup Time REPEATED START Condition	t_{SU_START}		0.26			μs
DATA Setup Time	T_{SU_DATA}		50			ns
Setup Time for STOP Condition	t_{SU_STO}		0.26			μs
Bus Capacitance	C_B	(Note 3)			550	pF

Note 2 : 内部設計の目標値です。製品テストの対象外です。

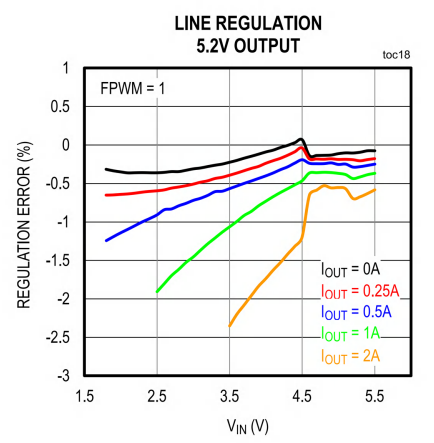
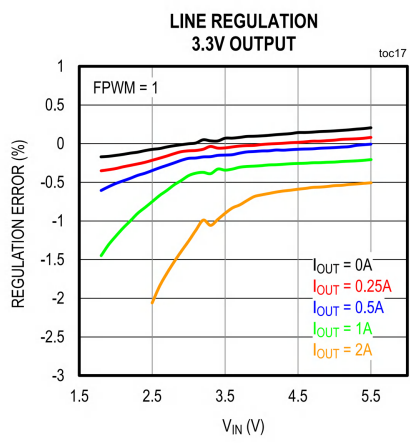
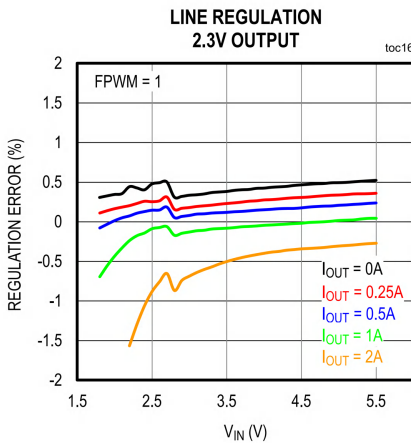
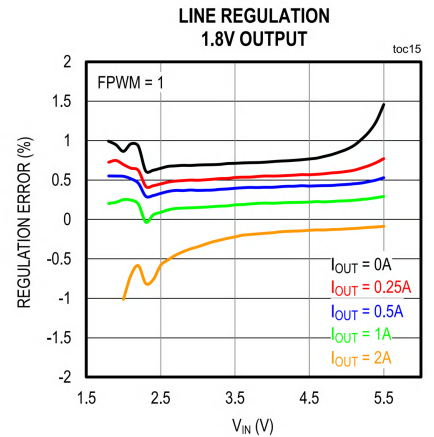
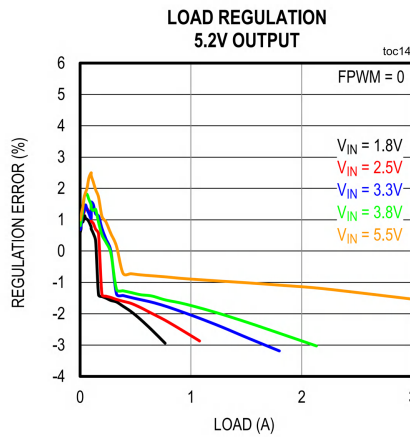
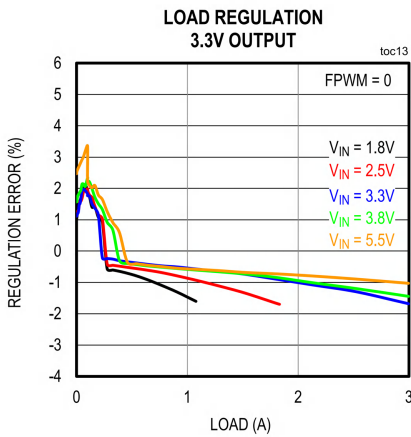
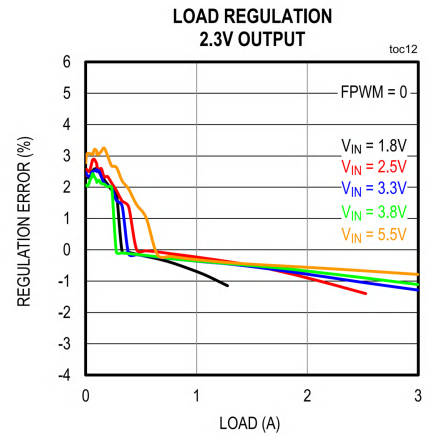
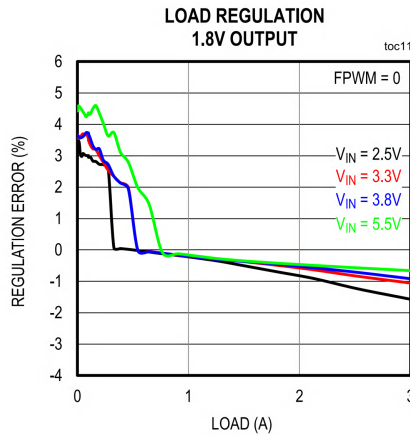
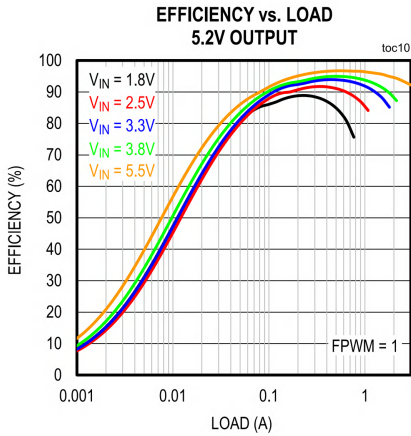
Note 3 : 自動試験装置 (テスタ) またはベンチ試験によって特性評価を行っています。製品テストの対象外です。

標準動作特性

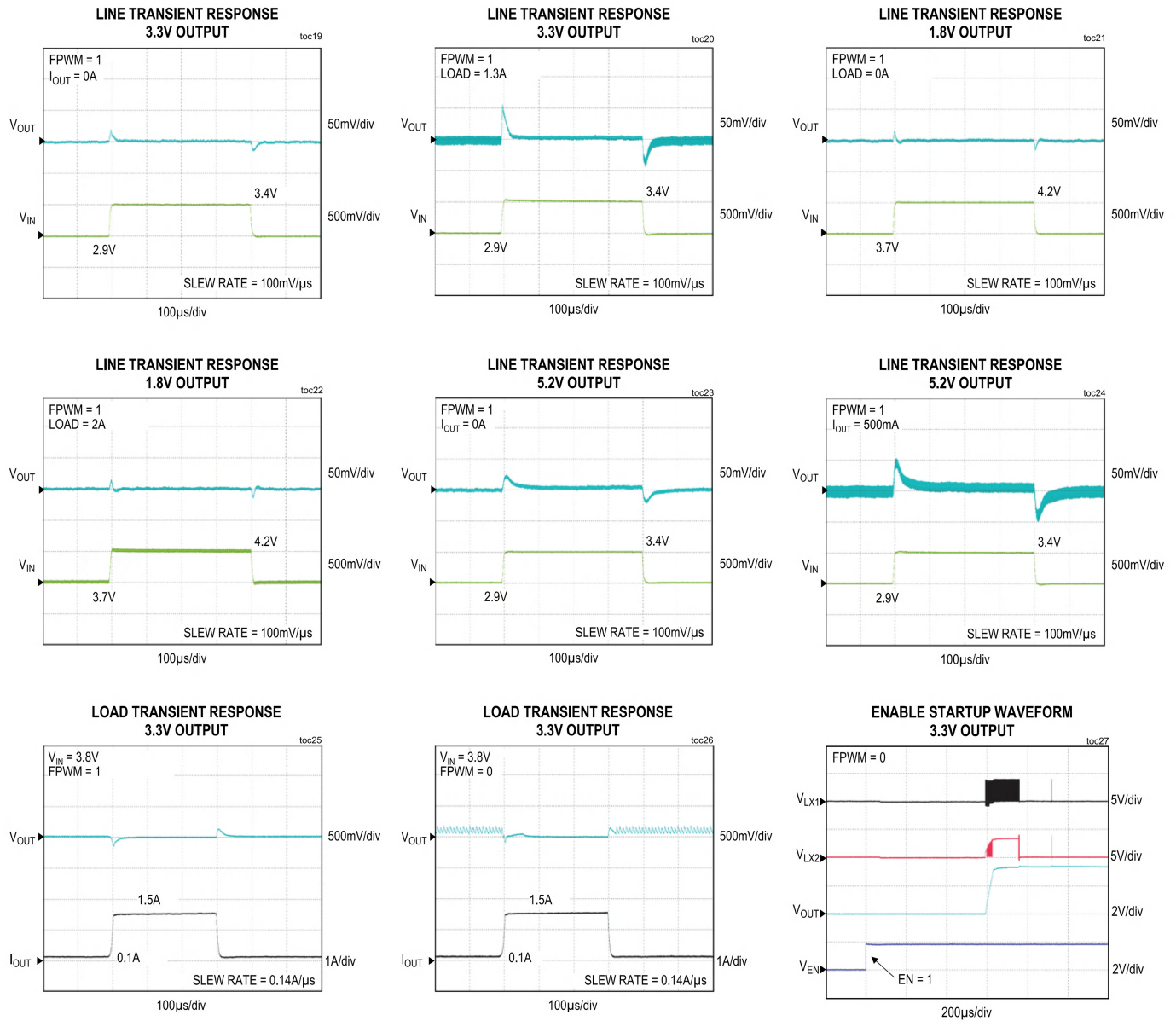
(特に指定のない限り、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $L = 1\mu H$ (Samsung CIGT252010EH1R0M)、スキップ・モード、 $T_A = +25^\circ C$ 。)



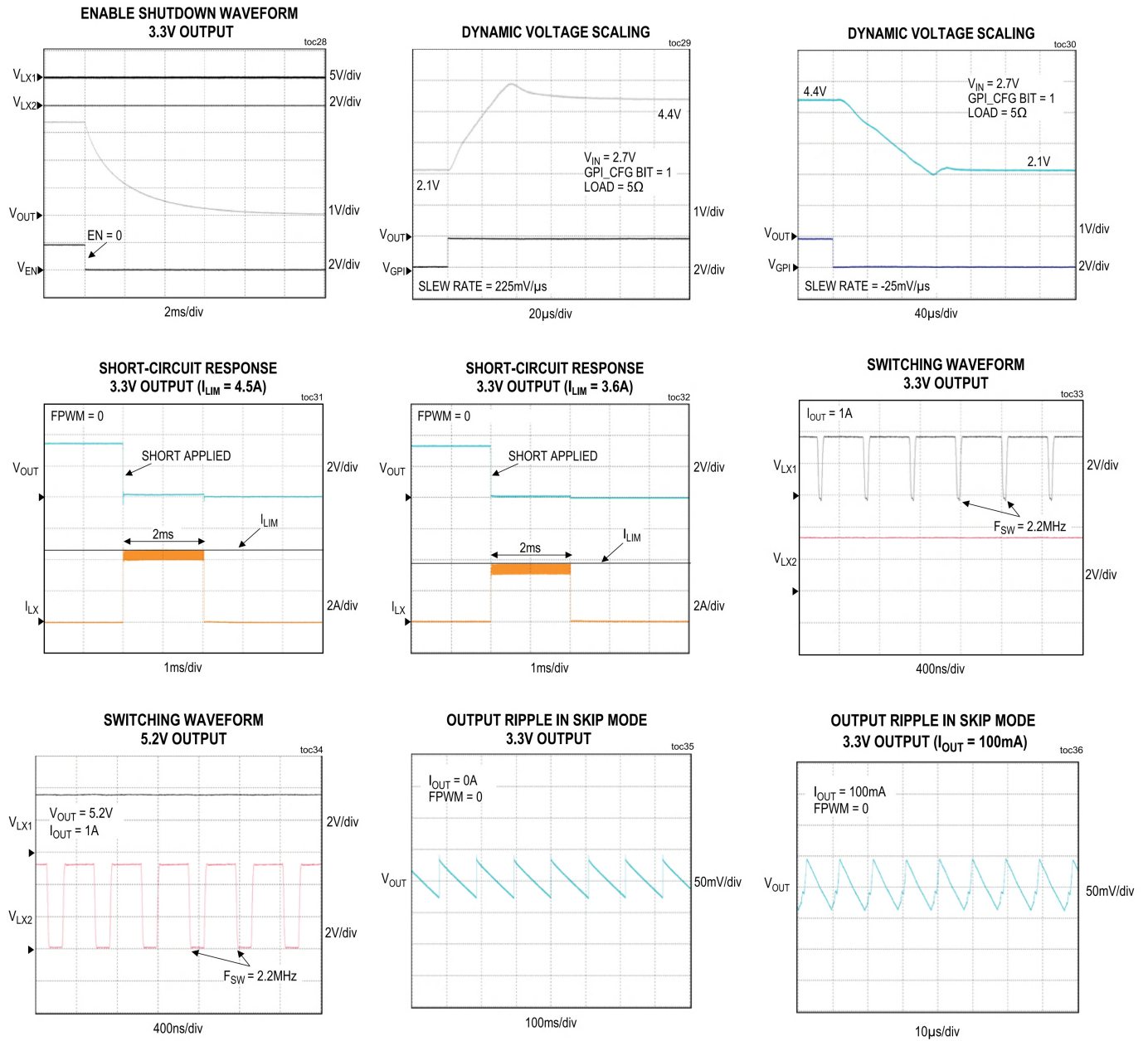
(特に指定のない限り、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $L = 1\mu H$ (Samsung CIGT252010EH1R0M)、スキップ・モード、 $T_A = +25^\circ C$ 。)



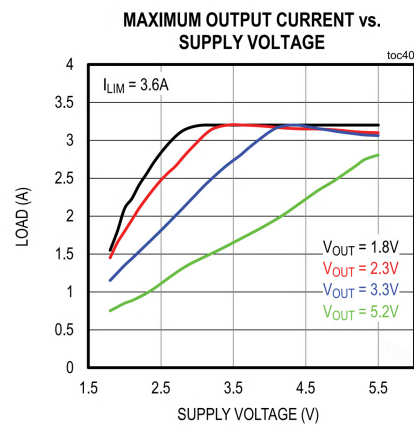
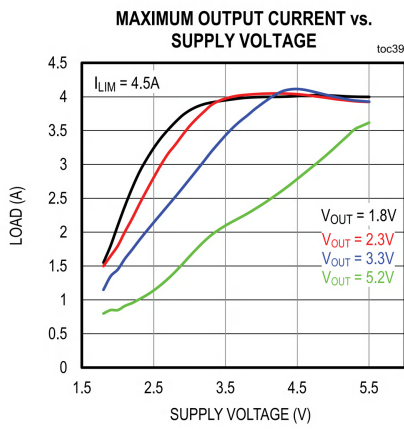
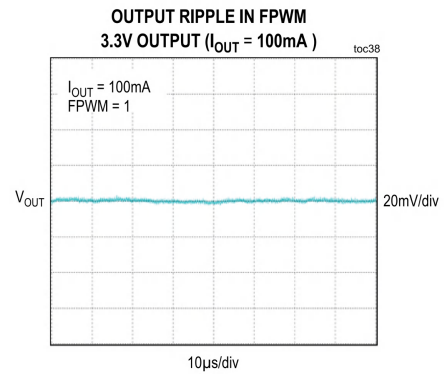
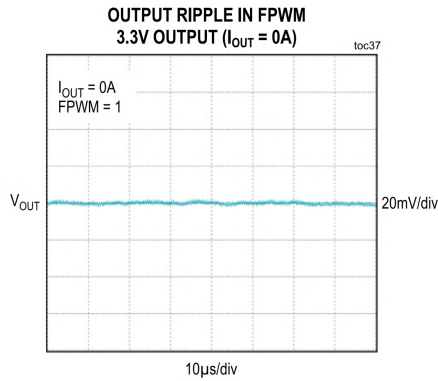
(特に指定のない限り、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $L = 1\mu H$ (Samsung CIGT252010EH1R0M)、スキップ・モード、 $T_A = +25^\circ C$ 。)



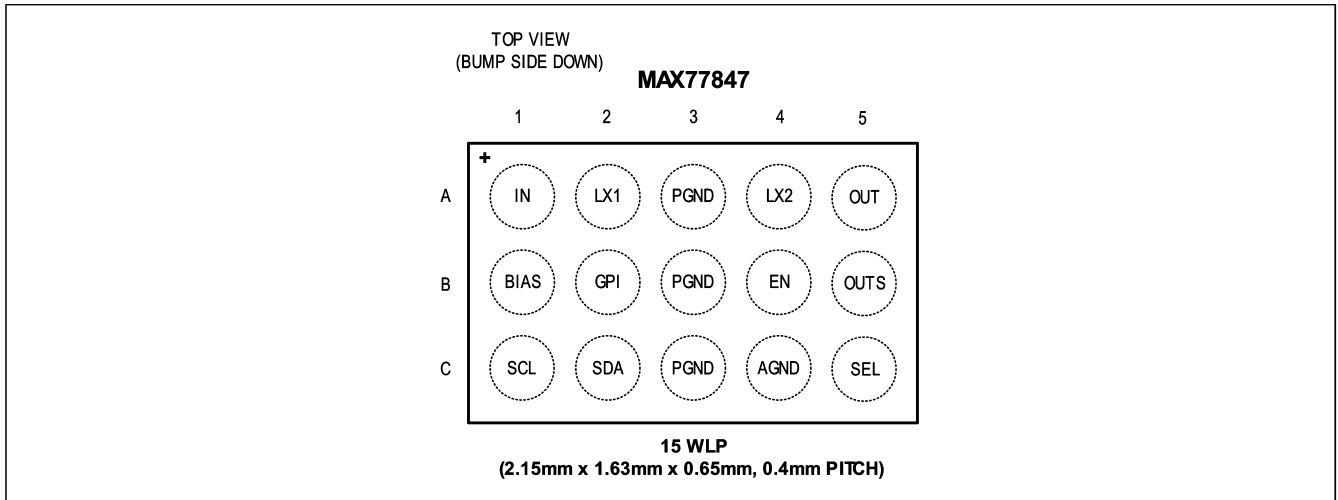
(特に指定のない限り、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $L = 1\mu H$ (Samsung CIGT252010EH1R0M)、スキップ・モード、 $T_A = +25^\circ C$ 。)



(特に指定のない限り、 $V_{IN} = 3.8V$ 、 $V_{OUT} = 3.3V$ 、 $L = 1\mu H$ (Samsung CIGT252010EH1R0M)、スキップ・モード、 $T_A = +25^\circ C$ 。)



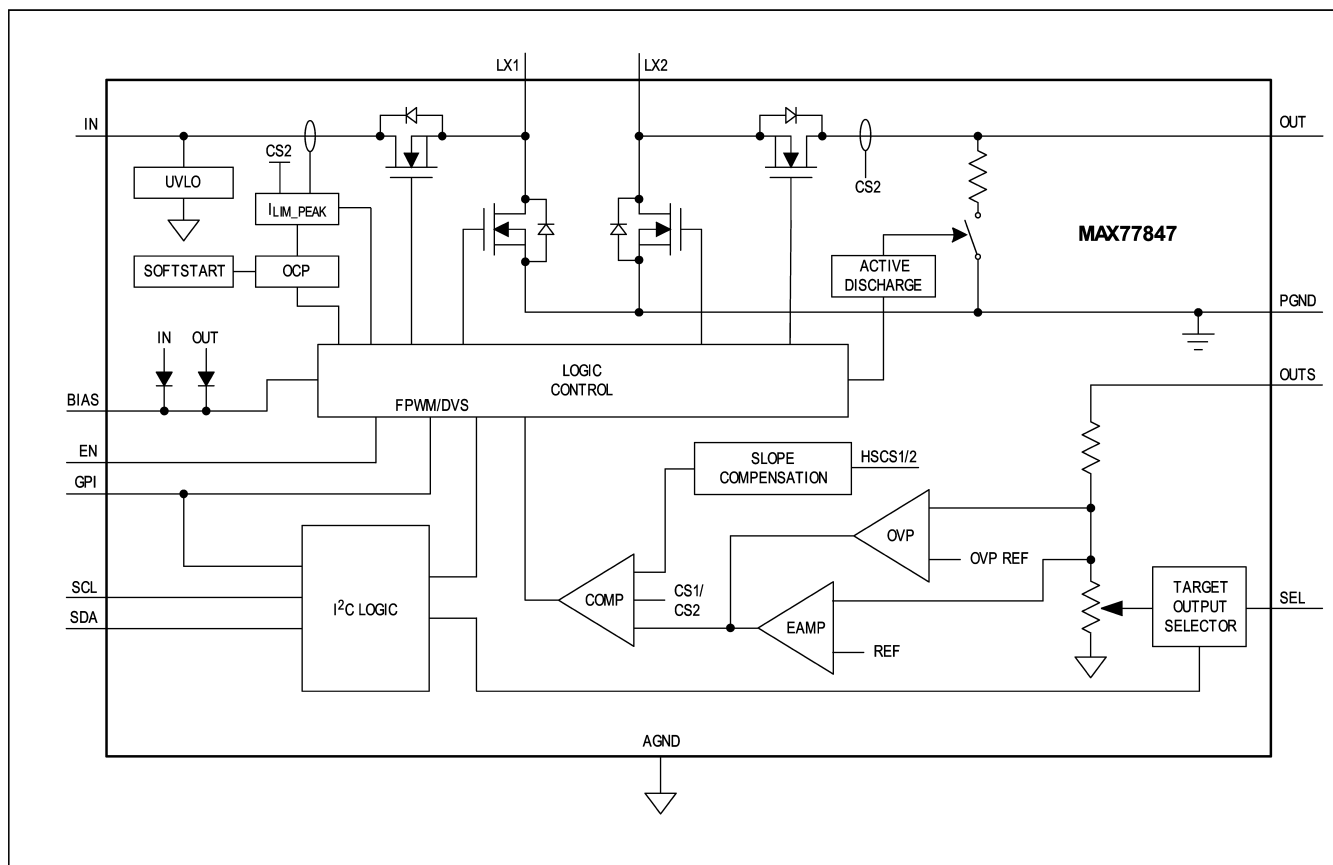
ピン配置



端子説明

ピン	名称	説明	タイプ
A1	IN	昇降圧入力。10V、10 μ F の X7R セラミック・コンデンサを 2 個使用して PGND にバイパスします。	Power Input
A2	LX1	入力側の昇降圧スイッチング・ノード。	Power
A3, B3, C3	PGND	電源グラウンド。	Ground
A4	LX2	出力側の昇降圧スイッチング・ノード。	Power
A5	OUT	昇降圧電力出力。10V、10 μ F の X7R セラミック・コンデンサを 2 個使用して PGND にバイパスします。	Power Output
B1	BIAS	内部バイアス電源。10V、2.2 μ F の X7R セラミック・コンデンサで AGND にバイパスします。このピンには外部から負荷を接続しないでください。	Analog
B2	GPI	汎用入力ピン。強制 PWM モード制御入力（デフォルト）、または DVS 制御入力。	Digital Input
B4	EN	昇降圧イネーブル入力。	Digital Input
B5	OUTS	昇降圧出力の電圧検出入力。負荷点で出力と接続します。	Analog Input
C1	SCL	I ² C クロック入力（オフ状態では高インピーダンスです。）このピンは、プルアップ抵抗でシステムの IO 電源電圧に接続します。使用しない場合は AGND に接続します。	Digital Input
C2	SDA	I ² C データ I/O（オフ状態では高インピーダンスです。）このピンは、プルアップ抵抗でシステムの IO 電源電圧に接続します。使用しない場合は AGND に接続します。	Digital I/O
C4	AGND	アナログ・グラウンド。	Ground
C5	SEL	デバイス設定ピン。このピンと AGND の間に抵抗を接続して、出力電圧とデバイスのターゲット・アドレスを設定します。 SEL ピンの設定のセクション を参照してください。	Analog Input

機能図



詳細

MAX77847 は、広い入力電圧範囲 (1.8V~5.5V) を備えた低自己消費電流、高効率の昇降圧コンバータで、1 セルのリチウムイオン電池、2 セルのアルカリ電池、および LiSOC₂ 電池に適しています。このコンバータの出力電圧範囲は 1.8V~5.2V (50mV 刻み) で、降圧と昇圧の両方の動作モードをシームレスに切り替えることができます。ピーク電流制限を I²C で調整できるため、負荷条件に基づいてインダクタのサイズを柔軟に設定することにより、様々なシステムにおいて基板面積を最大限に活用することが可能です。本デバイスは、汎用入力 (GPI) ピンも備えており、I²C インターフェイスを通じて FPWM イネーブル入力または DVS 制御入力に設定できます。アクティブ放電機能により、デバイスがディスエーブルされたとき、およびスイッチングを停止したときに出力コンデンサの電荷を放電します。

本デバイスは、サーマル・シャットダウン機能とサイクルごとのスイッチング電流制限機能を備えており、システムおよびデバイスを保護します。MAX77847 は、2.18mm × 1.66mm の 15 バンプ WLP パッケージを採用しています。

起動およびシャットダウン

起動

EN ピンをハイに設定すると、IC は内部バイアス回路をオンします。通常、安定するまでに 100μs (T_{ON_DLY}) かかります。MAX77847A (MAX77847B) では、CFG (0x01) レジスタの EN[0] ビットフィールドはデフォルトで 0b0 (0b1) に設定されています。I²C を通じて EN[0] を 0b1 にセットすると、コントローラは SEL ピンの抵抗値を検出してリファレンス電圧を設定します。R_{SEL} の読出しには約 450μs (T_{SEL}) かかります。IC は、R_{SEL} の値を読み出した後、ソフトスタート・プロセスを開始します。起動中の突入電流を制限するため、IC はスイッチング電流制限レベル (I_{LIM_SS}) を I_{LIM} の約半分まで低下させます。出力電圧がレギュレーション・ポイントの目標値 (V_{TARGET} の 90%) に達すると、ソフトスタート時間は終了します。その後 100μs の遷移時間を経て、IC は通常のスイッチング制御 (スキップ・モード/FPWM) に切り替わり、スイッチング電流制限は I_{LIM} まで上昇します。IC は、ソフトスタートの間は常時 FPWM で動作することに注意してください。起動後のスイッチング電流制限の設定については、[スイッチング電流制限](#)のセクションで説明します。IC は、起動後、デフォルトではスキップ・モードで動作しますが、[スキップ・モードおよび強制 PWM \(FPWM\) モード](#)のセクションで説明するように、FPWM モードで動作するように設定することができます。

IC はソフトスタート・タイムアウト・タイマー (T_{SS} = 4ms (代表値)) を備えています。T_{SS} が終了したときに出力電圧がレギュレーション・ポイントの目標値 (V_{TARGET} の 90%) に達していない場合、IC はラッチオフし、EN ピン、EN[0] ビットフィールド、もしくは V_{IN} が復帰するまで起動しません。注：表 1 に示すように、コンバータが開始できる最小出力電圧は 2.3V です。

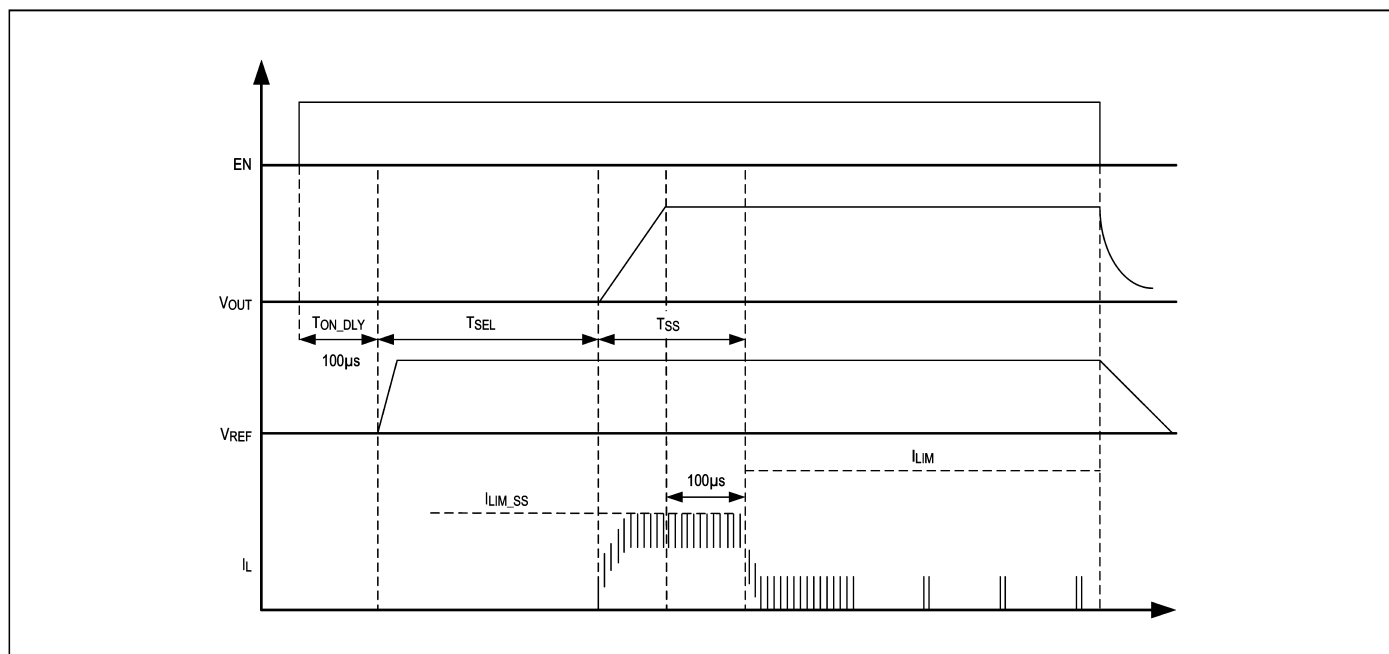


図 1. 起動時の波形

即時シャットダウン条件

MAX77847 は、EN[0]ビットフィールドでディスエーブルされた場合、EN ピンがローになった場合、または保護機能によってラッチオフされた場合には必ず、スイッチングを停止します。スイッチングを停止した後、MAX77847 は OUT と PGND の間に配置されたアクティブ放電スイッチをオンにして、出力コンデンサを急速に放電します。

EN[0]ビットフィールドや EN ピンの状態に関わらず、以下の条件によってラッチオフが発生します。

1. サーマル・シャットダウン (T_{SHDN})
2. ソフトスタート・タイムアウト (T_{SS})
3. I_{LIM} イベントが約 2ms (代表値) 続いた場合
4. 低電圧ロックアウト (UVLO)

これらのイベントは、システムのフォルト状態が解消され、 V_{IN} 、EN[0]ビットフィールド、あるいは EN ピンが復帰するまで、出力をシャットダウンします。上記の機能に関する詳細については、[保護機能](#)のセクションを参照してください。

アクティブ放電

このデバイスはアクティブ放電抵抗を内蔵しており、デバイスがオフになると出力電圧を急速に放電します。MAX77847 が EN[0]ビットフィールド、または保護機能のいずれかによってディスエーブルされると、出力アクティブ放電機能用に内蔵された 100Ω スイッチがオンになり、出力コンデンサに蓄えられたエネルギーを PGND に放電する経路を形成します。MAX77847 がイネーブルの間は、アクティブ放電用の内部スイッチは出力から切り離されています。アクティブ放電抵抗は、CFG (0x01) レジスタ内の AD[0]ビットフィールドを使用し、I²C を通じてディスエーブルできます。

汎用入力 (GPI)

GPI ハードウェア・ピンは、I²C を通じて DVS 制御ピン、または FPWM 制御ピンとして設定できます。CFG (0x01) レジスタの GPI_CFG[0]ビットフィールドを 0b0 に設定すると、GPI ピンはスキップ・モードから FPWM モードへと切り替えるための入力として機能します。詳細については、[スキップ・モードおよび強制 PWM \(FPWM\) モード](#)のセクションを参照してください。GPI_CFG[0]ビットフィールドを 0b1 に設定すると、GPI ピンは DVS 入力として機能します。詳細については、[ダイナミック電圧スケーリング \(DVS\)](#) のセクションを参照してください。

昇降圧レギュレータ

MAX77847 は 4 スイッチの H ブリッジ・アーキテクチャを使用して、降圧、昇圧、昇降圧の各モードで動作します。このトポロジは、入力電圧範囲の全域にわたり出力電圧のレギュレーションを維持すると共に、 V_{IN} と V_{OUT} に基づいて動作モードのスムーズな切替えを可能にします。この昇降圧レギュレータは、低自己消費電流 I_Q 、および 1.8V~5.2V の出力電圧を供給し、1 セルのリチウムイオン電池で駆動するアプリケーションに最適です。高速のスイッチング周波数 (2.2MHz) と独自の制御アルゴリズムにより、外付け部品の小型化、低出力ノイズ、および全動作範囲にわたる高い効率を実現します。

昇降圧制御方式

この昇降圧コンバータは、電流モード補償を使用した 2.2MHz の固定周波数によるパルス幅変調 (PWM) 制御方式を採用しています。アーキテクチャは、スイッチとして動作する 4 つの FET、すなわち、入力ハイサイド FET (HS1)、入力ローサイド FET (LS1)、出力ハイサイド FET (HS2)、および出力ローサイド FET (LS2) で構成されます。独自のアルゴリズムにより、以下の 4 つのフェーズでこれらのスイッチを制御します。

- フェーズ 1 ($\Phi 1$) : HS1 および LS2 スイッチをオンにしてインダクタ電流を上昇させ、インダクタにエネルギーを蓄えます。インダクタ電流の上昇率は入力電圧とインダクタンスによって決まり、 $dI_L/dt = V_{IN}/L$ です。
- フェーズ 2 ($\Phi 2$) : HS1 および HS2 スイッチをオンにして、入力電圧と出力電圧の差分に応じてインダクタを充電、または放電します。昇圧モードでは、 $V_{OUT} > V_{IN}$ となるのでインダクタ電流は減少します。降圧モードでは、 $V_{IN} > V_{OUT}$ となるのでインダクタ電流は上昇します。上昇率は $dI_L/dt = (V_{IN} - V_{OUT})/L$ です。
- フェーズ 3 ($\Phi 3$) : LS1 および HS2 スイッチをオンにしてインダクタ電流を減少させ、インダクタを放電します。インダクタ電流の減少率は出力電圧とインダクタンスによって決まり、 $dI_L/dt = -V_{OUT}/L$ です。
- フェーズ 4 ($\Phi 4$) : LS1 および LS2 スイッチをオンにして、インダクタを入出力電圧から切断します。ソフトスタートでは、出力電圧を上昇させるため $\Phi 1$ と $\Phi 3$ を使用します。

昇圧モード ($V_{IN} < V_{OUT}$) では、1 回のクロック周期の間に $\Phi 1$ と $\Phi 2$ を使用します。[図 2](#) を参照してください。降圧モード ($V_{IN} > V_{OUT}$) では、1 回のクロック周期の間に $\Phi 2$ と $\Phi 3$ を使用します。[図 2](#) を参照してください。この昇降圧コンバータは、独自の 2 フェーズ制御トポロジによって降圧モードと昇圧モードをシームレスに切り替えます。

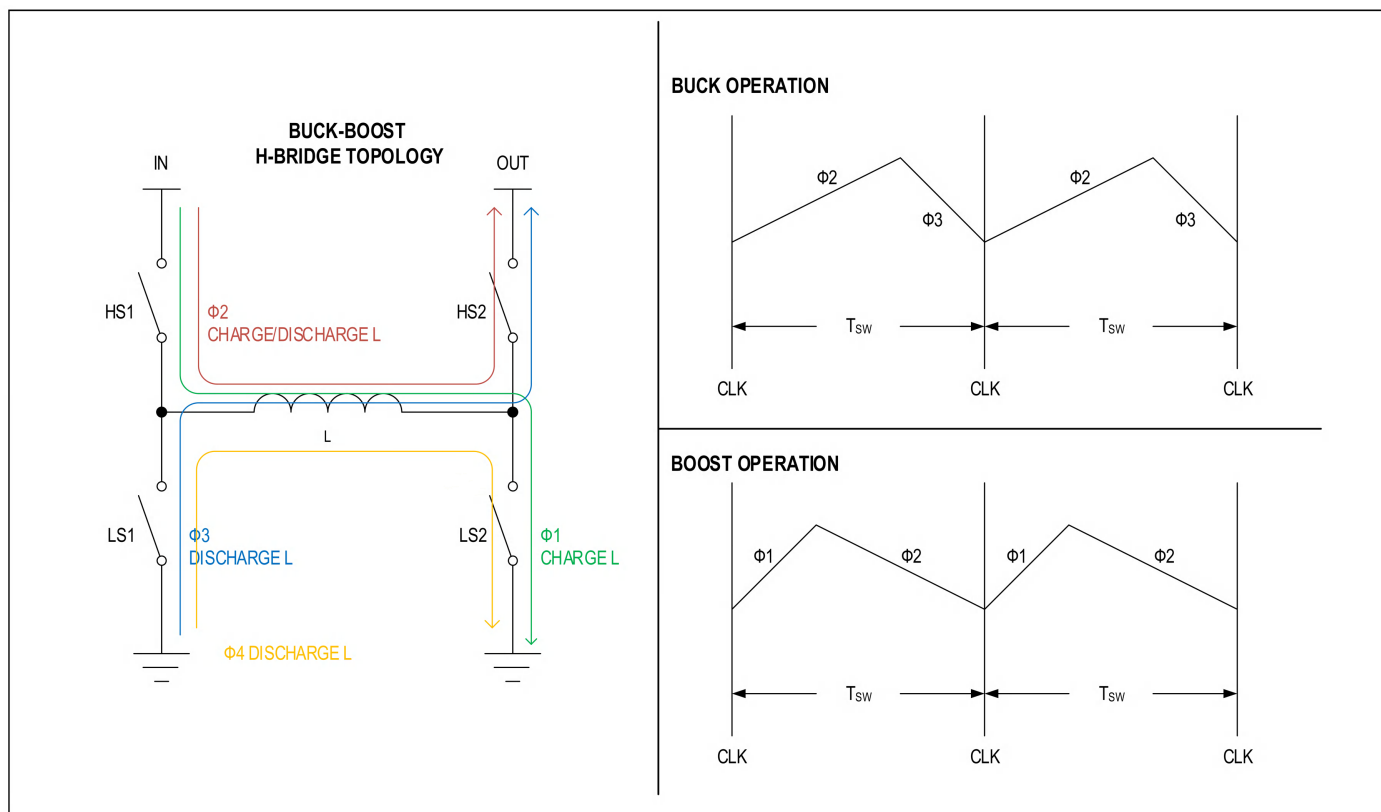


図 2. 昇降圧 H ブリッジ方式

スキップ・モードおよび強制 PWM (FPWM) モード

MAX77847 は、軽負荷時の効率を向上させるため、スキップ・モードをサポートしています。無負荷、または軽負荷条件時には、自動的にスキップ・モード動作に入ります。スキップ・モードでは、出力電圧 V_{OUT} はスキップ・モードの上限スレッシュホールド (V_{SKIP_UPPER}) と下限スレッシュホールド (V_{SKIP_LOWER}) の間で安定化されます。通常、上限スレッシュホールドは出力電圧の目標値 (V_{TARGET}) より 75mV 高い電圧、下限スレッシュホールドは 25mV 高い電圧です。スキップ・モードでは、出力電圧によってスイッチングが制御されます。IC は、出力電圧が V_{SKIP_UPPER} に達するまでスイッチングを続け、達した後は、フェーズ 4 ($\Phi 4$) を使用して V_{SKIP_LOWER} に降下するまでインダクタ電流を放電します。代表的なスキップ・モードの波形については、図 3 を参照してください。IC は、出力負荷条件と入出力電圧比に応じてスキップ・モードから PWM モードに自動的に切り替わります。

また、I²C シリアル・インターフェイスを通じて CFG (0x01) レジスタの FPWM[0] ビットフィールドに 0b1 を書き込むか、CFG (0x01) レジスタの GPI_CFG[0] ビットフィールドに 0b0 が書き込まれ GPI ピンが FPWM 機能に設定されている場合は GPI ピンをハイにすることによって、負荷条件に関わらず IC が PWM モードに入るように設定できます。詳細については、汎用入力 (GPI) のセクションを参照してください。強制 PWM (FPWM) モードは、出力リップルを最小限に抑える必要があるアプリケーションにメリットがあります。一方、スキップ・モードは軽負荷時に昇降圧レギュレータの効率を最大化することができます。

FPWM[0] ビットフィールドの設定に関わらず、 V_{OUT} が異なる V_{TARGET} に変化した場合 (DVS)、IC は FPWM モードに入り、新しい出力電圧へ迅速に遷移します。スキップ・モードで動作中に V_{OUT} が高い電圧から低い電圧へと遷移する DVS イベントにおいては、IC は、 V_{OUT} が元の V_{TARGET} まで低下すると FPWM モードに入り、 V_{OUT} が新しい V_{TARGET} に達するまで FPWM モードで動作します。DVS での FPWM モードが停止すると、コンバータはスキップ/FPWM モードに基づくレギュレーションを再開します。

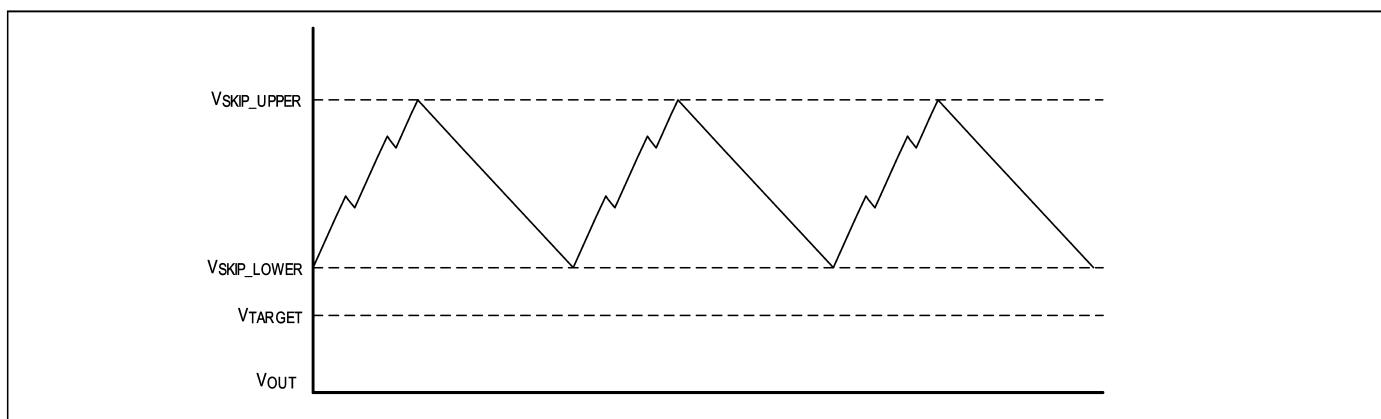


図 3. スキップ・モードの波形

出力電圧の設定

IC は、1.8V~5.2V の範囲を 50mV 刻みで調整できるプログラマブルな出力電圧を備えています。デフォルトの出力電圧は、SEL と AGND の間に抵抗を 1 個接続することで不連続な刻み幅で設定します。詳細については、[SEL ピンの設定](#)のセクションを参照してください。デフォルトの出力電圧値は、IC が起動時に R_{SEL} ピンを読み出し、VOUT_L (0x03) レジスタの VOUT[6:0] ビットフィールドに書き込まれます。出力電圧は、I²C を通じて VOUT[6:0] ビットフィールドに書き込むことにより、1.8V~5.2V の範囲を 50mV 刻みで調整できます。コンバータは、最小入力電圧、または最小出力電圧が 2.3V である必要があります。

SEL ピンの設定

SEL ピンには、AGND との間に 1 個の抵抗 (R_{SEL}) を接続することができます。R_{SEL} の値によって、MAX77847 は起動時の出力電圧 (16 個のオプション) と I²C ターゲット・アドレス (2 つのオプション) を設定します。起動中にデバイスは R_{SEL} の値を読み出し、前述の設定値をセットします。抵抗には、許容誤差 1% 以下のものを選択してください。各設定に対する R_{SEL} の推奨値は、[表 1](#) を参照してください。

表 1. R_{SEL} の選択表

R _{SEL} (kΩ)	V _{OUT} (V)	TARGET ADDRESS (7bit)
Short (0)	3.3	110 0111b
4.99	2.3	
5.90	2.5	
7.15	2.6	
8.45	2.7	
100	2.8	
11.8	2.9	
14.0	3.0	
16.9	3.4	
20.0	3.6	
23.7	3.8	
28.0	4.0	
34.0	4.2	
40.2	4.5	
47.5	5.0	
56.2	5.2	

66.5	3.3	110 1111b
80.6	2.3	
95.3	2.5	
113	2.6	
133	2.7	
162	2.8	
191	2.9	
226	3.0	
267	3.4	
324	3.6	
383	3.8	
452	4.0	
536	4.2	
634	4.5	
768	5.0	
909 or OPEN	5.2	

ダイナミック電圧スケーリング (DVS)

MAX77847 は、低 I_Q と 1.8V~5.2V の全出力電圧範囲での高い効率を実現しており、RF パワー・アンプ (RFPA) 用の電源として使用できます。セルラ通信業界で使用されている最新の RFPA では電力出力が増加しているため、出力の直線性を維持すると同時により高い効率を実現することが求められています。これは、MAX77847 が提供する DVS 機能を使用し、RFPA への電源を変調してシステム効率を向上させることによって達成できます。DVS によって上昇時に 225mV/ μ s (代表値) の高速スルー・レートを実現できるため、MAX77847 の出力電圧を数ミリ秒 (T_{RISE}) 以内で変化させることができます。図 4 に示すように、外部 GPI ピンを通じて DVS 機能にアクセスします。図 4 には、代表的な DVS 波形も示します。出力電圧が V_{OUT1} から V_{OUT2} に変化するのに T_{RISE} 時間、 V_{OUT2} から V_{OUT1} へ戻るのに T_{FALL} 時間がかかります。時間 T_{RISE} と T_{FALL} は、入出力電圧、上昇時および下降時のスルー・レート、出力負荷条件によって決まります。

GPI ピンは、CFG (0x01) レジスタの GPI_CFG[0] ビットフィールドを通じて DVS 制御入力として設定できます。このビットが 0b1 に設定されている場合に、GPI ピンは DVS 入力ピンとして機能します。このピンがロジック・ハイのとき、出力電圧は VOUT_H[6:0] ビットフィールドの設定値に切り替わります。デフォルト値は 3.6V です。このピンがロジック・ローになると、出力電圧は VOUT[6:0] ビットフィールドの設定値に切り替わります。DVS 電圧の上昇時のスルー・レートは CFG (0x01) レジスタの RU_SR[0] ビットフィールドで、下降時のスルー・レートは RD_SR[0] ビットフィールドで、それぞれ I^2C を通じて設定できます。GPI_CFG[0] ビットフィールドが 0b0 に設定されている場合、GPI ピンの状態に関わらず、出力電圧は VOUT[6:0] の設定値に安定化されます。MAX77847 がサポートするプログラマブルなスルー・レートについては、レジスタ・マップを参照してください。

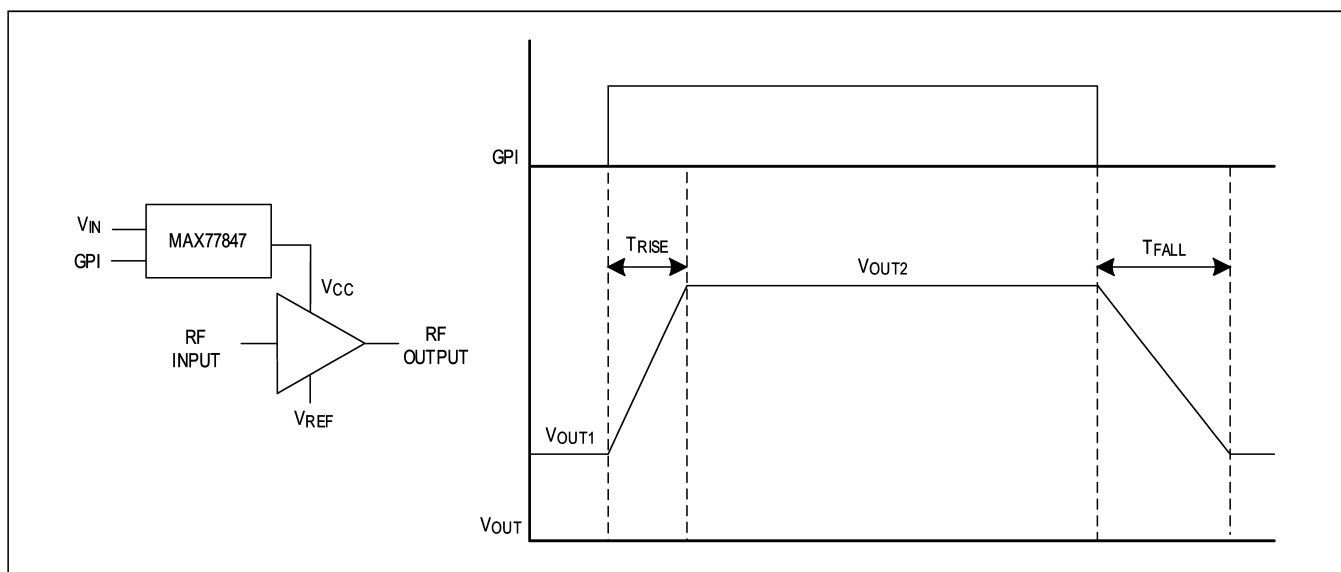


図 4. ダイナミック電圧スケーリング

保護機能

サーマル・シャットダウン

MAX77847 には、ダイ温度を監視する過熱保護回路が内蔵されています。このデバイスは -40°C ~ $+125^{\circ}\text{C}$ の周囲温度で動作するよう設計されています。サーマル・シャットダウン保護機能は、負荷がかかった状態で、サーマル・シャットダウン保護スレッシュホールド T_{SHDN} ($+150^{\circ}\text{C}$ (代表値)) までの過熱状態からダイを保護します。ダイ温度が T_{SHDN} を超えると、デバイスはラッチオフします。ダイ温度が 15°C 下がったら、 V_{IN} をトグルするか、EN[0]ビットフィールドか EN ピンを復帰させることによって、昇降圧出力を再びイネーブルする必要があります。

低電圧ロックアウト (UVLO)

MAX77847 は UVLO 機能をサポートしており、 V_{IN} が $V_{\text{UVLO_falling}}$ スレッシュホールドを下回った場合に、入力電圧が異常な状態で動作することを防ぎます。これにより、EN[0]ビットフィールドの状態に関わらず、入力電圧 V_{IN} が $V_{\text{UVLO_rising}}$ スレッシュホールドを上回るまでデバイスはディスエーブルされます。 V_{IN} がスレッシュホールドを上回ると、起動のセクションに記載された手順に従って昇降圧コンバータはイネーブルされます。

過電圧保護

MAX77847 は OUT と OSTS の電圧差を検出し、電圧差 (OUT-OSTS) が OVP のスレッシュホールド電圧レベル (代表値 0.5V) を超えると、すべてのスイッチをオフにします。これにより、OSTS=OPEN 条件が安全な動作範囲を超える出力までオーバードライブしないようにします。そして、ソフトスタート・タイムアウト・タイマー (T_{SS}) を使用してスイッチング・コンバータをオフにします。ただし、この保護機能は STAT (0x00) レジスタ内の過電圧保護ステータス・ビットフィールド OVP[0] をトリガしません。

また、OSTS が出力目標値を 20% 以上超える電圧を検出すると (OUT の目標値が 5V 以上に設定されている場合は 10%)、デバイスはオフになり、STAT (0x00) レジスタの OVP[0] ビットフィールドをセットします。

スイッチング電流制限

MAX77847 は堅牢なスイッチング電流制限方式を採用しており、過負荷時や高速のトランジェント状態において IC とインダクタを保護します。電流検出回路がハイサイド MOSFET から電流情報を取得し、ピーク・スイッチング電流 ($R_{DS(ON)} \times I_L$) を求めます。

IC は、2つのスイッチング電流制限レベル (4.5A (代表値) と 3.6A (代表値)) を備えており、I²C インターフェイスを通じ CFG (0x01) レジスタの ILIM[0] ビットフィールドを使用して設定できます。スイッチング電流が電流制限 (I_{LIM}) に達して約 2ms 間経過すると、IC は出力をラッチオフします。EN[0] ビットフィールド、EN ピン、または V_{IN} が復帰すると、再びイネーブルされます。

インダクタ電流がスイッチング電流制限レベル (I_{LIM}) に達すると、インダクタは充電フェーズを中止し、残りのスイッチング時間は放電フェーズに入ります。スイッチング時間が終わると再び充電フェーズを開始します。スイッチング時間の終了は、クロック・サイクルの立下がりエッジによって決まります。その結果、インダクタ電流リップルとスイッチング周波数は、代表的なスイッチング周波数 (f_{sw}) の 2.2MHz とは異なる値になります。

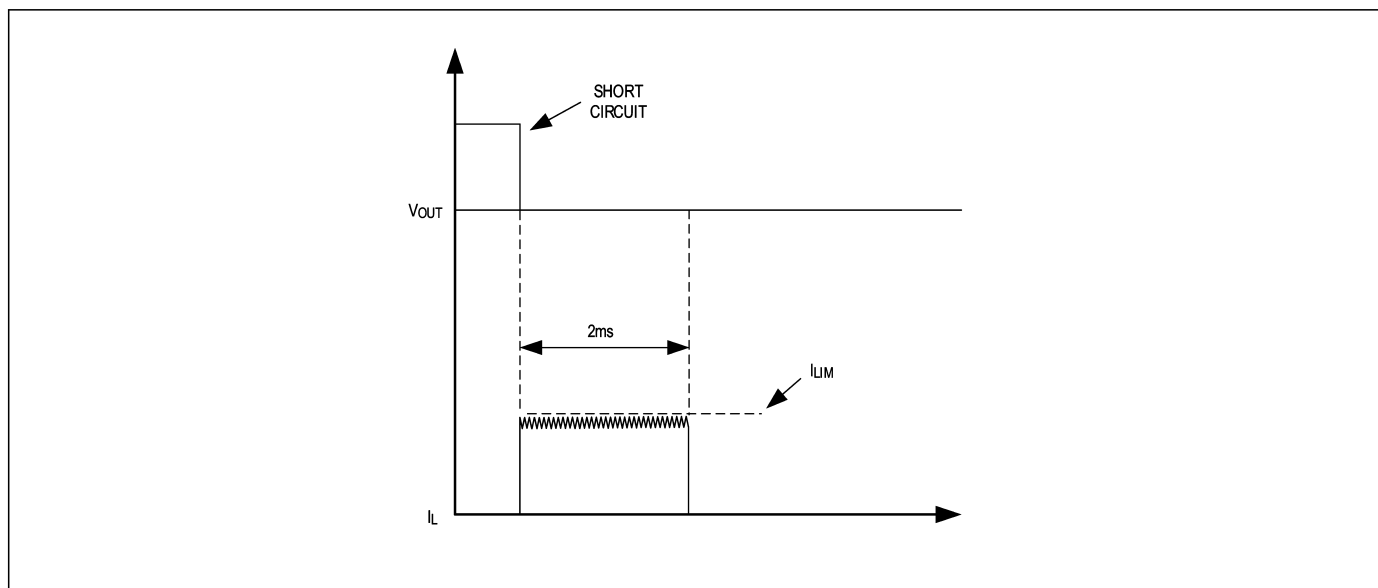


図 5. 短絡時の波形

詳細—I²C インターフェイス

I²C 対応の 2 線式シリアル・インターフェイスを使用して、レギュレータのオン/オフ制御、出力電圧の設定、DVS のスルー・レートおよびその他の機能を設定できます。MAX77847 は、1Mbps (ファーストモード・プラス) までのデータレートの I²C バスに対応しています。詳細については、[レジスタ・マップ](#)を参照してください。

I²C シリアル・バスは、双方向のシリアルデータ・ライン (SDA) とシリアル・クロック (SCL) で構成されています。I²C はオープン・ドレイン・バスで、SDA と SCL にはプルアップ抵抗 (500Ω 以上) が必要です。SDA と SCL に 24Ω の直列抵抗を追加することで、バス・ラインの高電圧スパイクからデバイスの入力を保護できます。また、直列抵抗はバス・ラインのクロストークとアンダーシュートを最小限に抑えます。

システム設定

I²C バスはマルチコントローラ・バスです。このバスに接続できるデバイスの最大数は、バスの容量によってのみ制限されます。

図 6 は、一般的な I²C システムの例です。I²C バス上でバスにデータ送信するデバイスは、トランスミッタと呼ばれます。バスからデータを受信するデバイスは、レシーバと呼ばれます。データ転送を開始し、データ転送を制御するために SCL クロック信号を生成するデバイスは、コントローラです。コントローラからアドレス指定されるデバイスは、ターゲットとみなされます。MAX77847 の I²C 対応インターフェイスが動作しているとき、そのデバイスは I²C バスのターゲットとなり、トランスミッタとレシーバの両方になることができます。

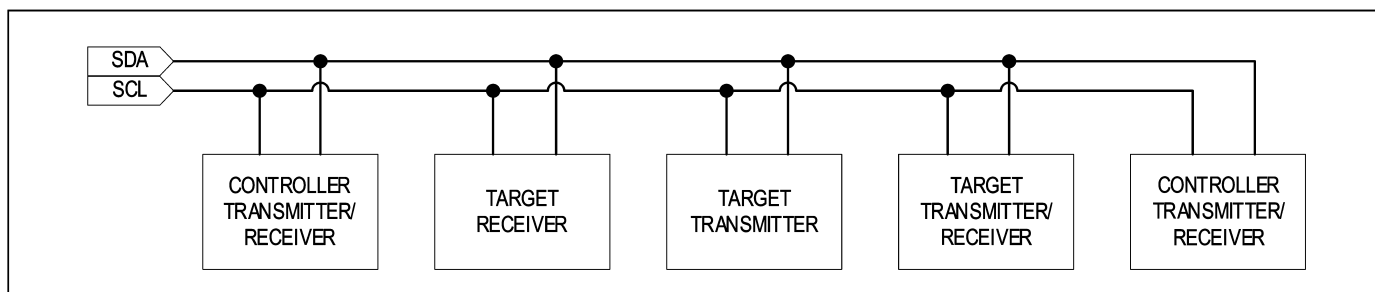


図 6. 通信コントローラの機能論理図

ビット転送

SCL クロック・サイクルごとに 1 データ・ビットが転送されます。SDA 上のデータは、SCL クロック・パルスがハイの間、安定した状態を維持する必要があります。SCL がハイの間 SDA の変化は、制御信号 (スタート条件とストップ条件) となります。

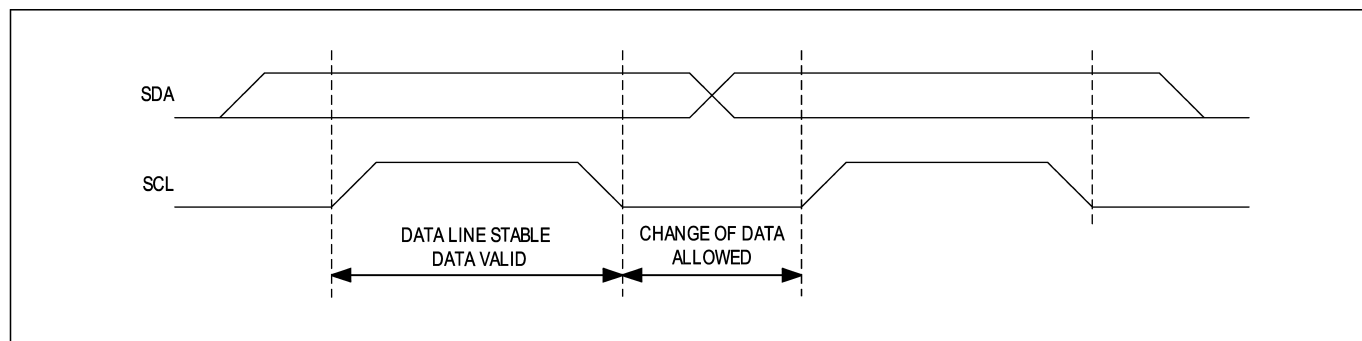


図 7. I²C ビット転送

スタート条件とストップ条件

I²C シリアル・インターフェイスが非アクティブのとき、SDA と SCL はアイドル・ハイです。コントローラ・デバイスは、スタート条件 (S) を発行することで通信を開始します。スタート条件 (S) は、SCL がハイの状態でも SDA がハイからローに遷移することです。ストップ条件 (P) は、SCL がハイの状態でも SDA がローからハイに遷移することです。

コントローラからのスタート条件 (S) は、MAX77847 への送信を開始する合図です。NOT-ACKNOWLEDGE (nA)、ストップ条件 (P) の順に発行することでコントローラは送信を終了します。

ストップ条件 (P) によってバスは解放されます。ターゲットに連続してコマンドを送信する場合は、ストップ条件 (P) の代わりに反復スタート (Sr) コマンドをコントローラから送信することでバスの制御を続けることができます。一般に、反復スタート (Sr) コマンドは通常のスタート条件 (S) と機能的に同じです。

ストップ条件 (P) または不正なアドレスが検出されると、IC は、次のスタート条件まで I²C シリアル・インターフェイスから SCL を内部で切り離し、デジタル・ノイズとフィード・スルーを最小限に抑えます。

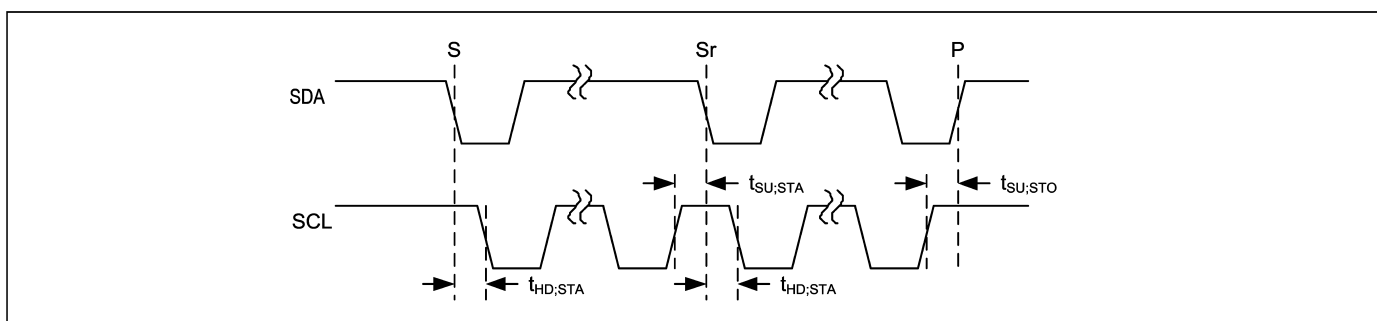


図 8. スタート条件とストップ条件

アクノレッジ・ビット

I²C バス・コントローラと MAX77847 (ターゲット) は、データを受信するとアクノレッジ・ビットを生成します。アクノレッジ・ビットは、9 ビットの各データ・パケットにある最後のビットです。ACKNOWLEDGE (A) を生成するには、受信デバイスはアクノレッジに対応したクロック・パルス (9 番目のパルス) の立上がりエッジの前に SDA をローにし、クロック・パルスがハイの間、ローを維持する必要があります。NOT-ACKNOWLEDGE (nA) を生成するには、受信デバイスはアクノレッジに対応したクロック・パルスの立上がりエッジの前に SDA をハイにし、クロック・パルスがハイの間、ハイを維持します。

アクノレッジ・ビットをモニタリングすることで、失敗したデータ転送を検出できます。データ転送の失敗は、受信デバイスがビジーであったか、システム・フォルトが生じた場合に発生します。データ転送が失敗した場合、その後にバス・コントローラは通信を再試行する必要があります。

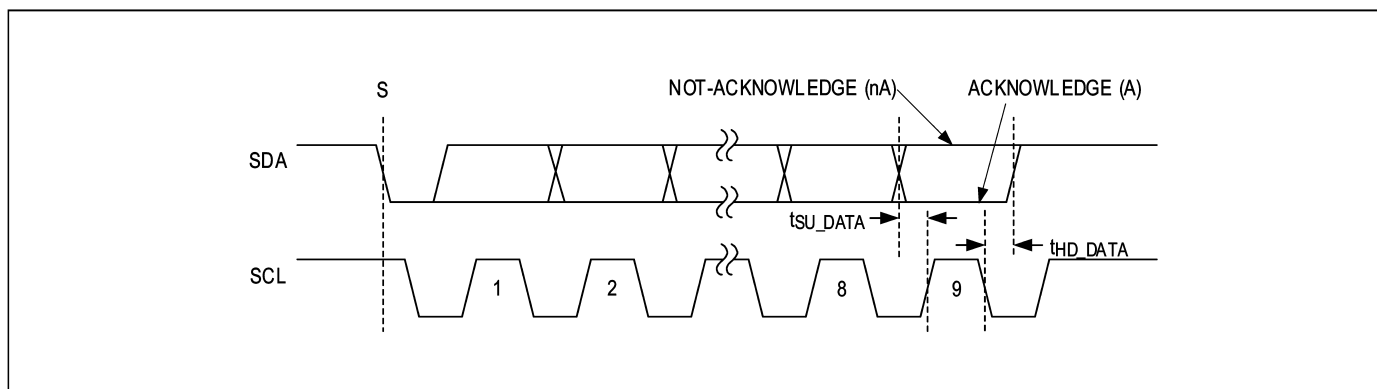


図 9. アクノレッジ・ビット

ターゲット・アドレス

MAX77847 は 2 つのターゲット・アドレスに対応でき、 R_{SEL} を使用して設定できます。IC の I²C ターゲット・アドレスを表 2 に示します。図 10 に 7 ビット・ターゲット・アドレスが 0x67 の場合の例を示します。

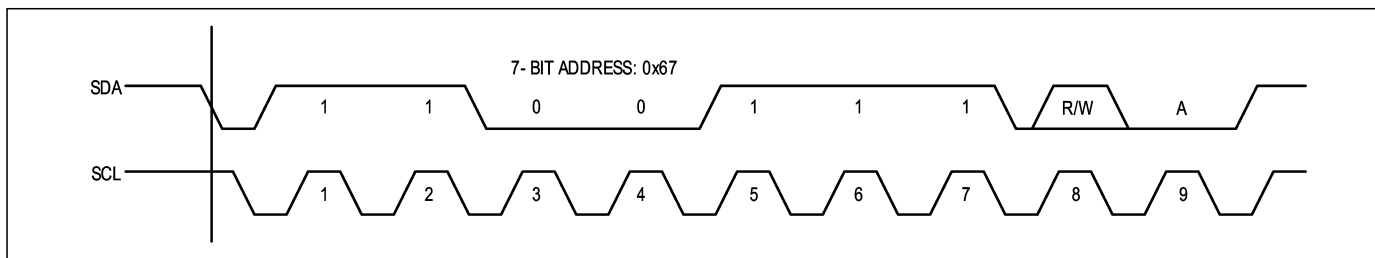


図 10. ターゲット・アドレス・バイトの例

表 2. MAX77847 の I²C ターゲット・アドレス

TARGET ADDRESS (7 Bit)	TARGET ADDRESS (Write)	TARGET ADDRESS (Read)	R_{SEL} (k Ω)
0b110 0111 (0x67)	0b1100 1110	0b1100 1111	0 – 56.2
0b110 1111 (0x6F)	0b1101 1110	0b1101 1111	66.5 - OPEN

クロック・ストレッチング

一般に、I²C バスのクロック信号生成は、コントローラ・デバイスが担います。I²C の仕様では、低速のターゲット・デバイスがクロック・ラインをローに保持することによって、クロック信号を変更することができます。ターゲット・デバイスがクロック・ラインをローに保持するプロセスは、一般にクロック・ストレッチングと呼ばれています。この IC では、クロック・ラインをローに保持するクロック・ストレッチングの方式は使用しません。

ジェネラル・コール・アドレス

MAX77847 は、ジェネラル・コール・アドレスと呼ばれている I²C の仕様には対応していません。ジェネラル・コール・アドレス (0000 0000b) を受信しても、ACKNOWLEDGE (A) を発行しません。

通信速度

この IC は、I²C 3.0 対応 (3.4MHz) のシリアル・インターフェイスを搭載しています。

- 0Hz~100kHz (標準モード)
- 0Hz~400kHz (ファースト・モード)
- 0Hz~1MHz (ファーストモード・プラス)

標準モード、ファースト・モード、ファーストモード・プラスで動作させる場合、特別なプロトコルは必要ありません。この範囲でバス速度を変更する場合、バス容量とプルアップ抵抗の組み合わせが重要です。バス容量とプルアップ抵抗 ($C \times R$) によって生じる時定数が大きいと、バスの動作が遅くなります。したがって、バス速度を上げる場合、適正な時定数を維持するために、プルアップ抵抗を小さくする必要があります。プルアップ抵抗の選択に関する詳細については、I²C リビジョン 3.0 仕様に記載されているプルアップ抵抗のサイジングのセクションを参照してください。一般に、バス容量が 200pF の場合、100kHz のバスには 5.6k Ω 、400kHz のバスには約 1.5k Ω 、1MHz のバスには 680 Ω のプルアップ抵抗が必要です。注：プルアップ抵抗はオープン・ドレイン・バスがローのときに電力を消費します。プルアップ抵抗の値が小さいほど、消費電力 (V^2/R) は大きくなります。

起動時および各ストップ条件 (P) 後、IC の入力フィルタは標準モード、ファースト・モード、ファーストモード・プラス用のいずれか (すなわち 0Hz~1MHz) に設定されます。

通信プロトコル

MAX77847 は、レジスタからの書込みと読出しに対応しています。以下のセクションでは、各機能ブロックの I²C 通信プロトコルについて示します。電源ブロックは、同様の通信プロトコルを使用します。

単一レジスタへの書込み

図 11 に、PC コントローラ・デバイスが IC に 1 バイトのデータを書き込むためのプロトコルを示します。このプロトコルは、SMBus 仕様のバイト書込みプロトコルと同じです。

バイト書込みプロトコルは以下のとおりです。

- コントローラはスタート条件 (S) を送信します。
- コントローラは、7 ビットのターゲット・アドレス、書込みビット ($R/\bar{W}=0$) の順に送信します。
- アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
- コントローラは 8 ビットのレジスタ・ポインタを送信します。
- ターゲットはレジスタ・ポインタをアクノレッジします。
- コントローラはデータ・バイトを送信します。
- ターゲットはデータ・バイトをアクノレッジします。データ・バイトは、SCL の立上がりエッジでターゲット・レジスタに読み込まれ、データがアクティブになります。
- コントローラは、ストップ条件 (P) または反復スタート条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復スタート条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

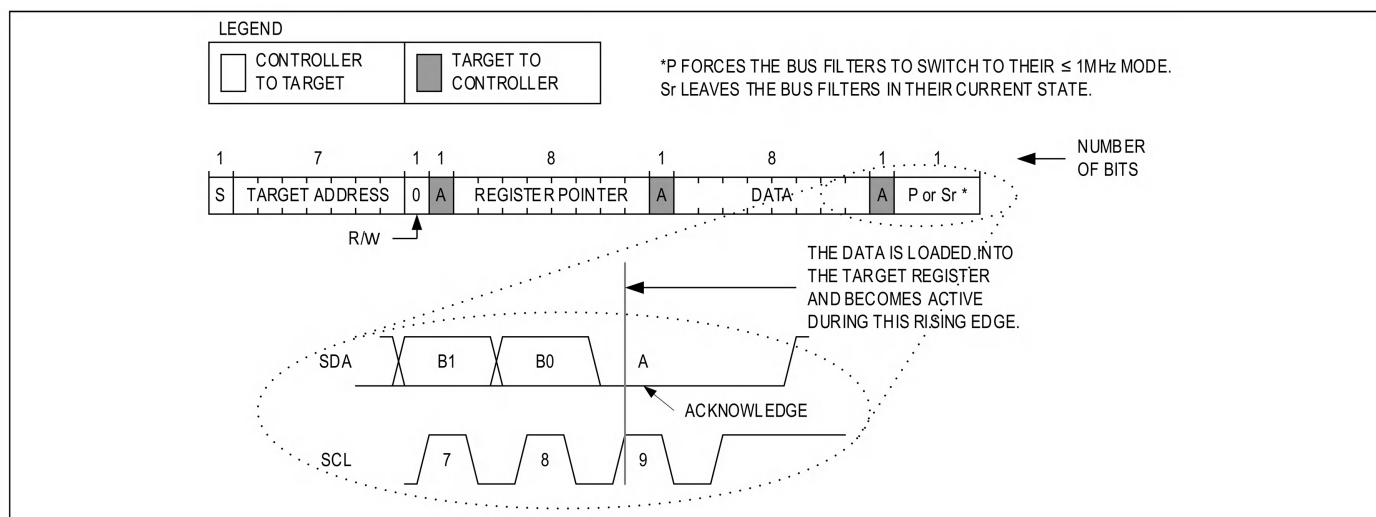


図 11. バイト書込みプロトコルによる単一レジスタへの書込み

連続する複数レジスタへの書込み

図 12 に、連続する複数レジスタへの書込みプロトコルを示します。このプロトコルはバイト書込みプロトコルに似ていますが、最初のデータ・バイトの受信後もコントローラが書込みを継続する点が異なります。書込みが終了すると、コントローラはストップ条件または反復スタート条件を発行します。

連続する複数レジスタへの書込みプロトコルは以下のとおりです。

- コントローラは、スタート条件 (S) を送信します。
- コントローラは、7 ビットのターゲット・アドレス、書込みビット ($R/\bar{W}=0$) の順に送信します。
- アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
- コントローラは 8 ビットのレジスタ・ポインタを送信します。
- ターゲットはレジスタ・ポインタをアクノレッジします。
- コントローラはデータ・バイトを送信します。
- ターゲットはデータ・バイトをアクノレッジします。データ・バイトは、SCL の立上がりエッジでターゲット・レジスタに読み込まれ、データがアクティブになります。
- ステップ 6~7 は、コントローラが必要とする回数だけ繰り返されます。
- 最後のアクノレッジに対応したクロック・パルス中に、ターゲットは ACKNOWLEDGE (A) を発行します。
- コントローラは、ストップ条件 (P) または反復スタート条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復スタート条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

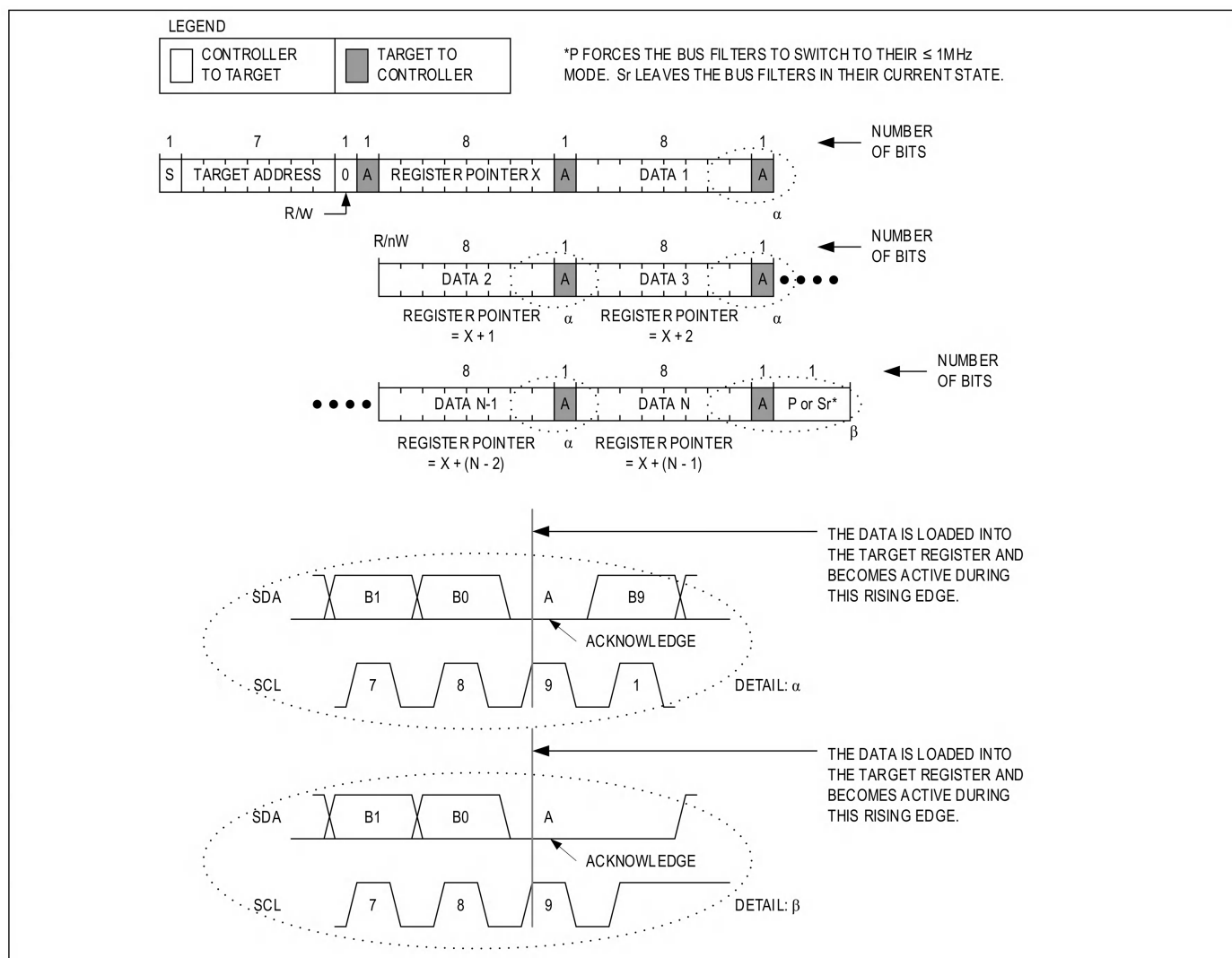


図 12. 連続する複数レジスタへの書き込み

単一レジスタからの読出し

図 13 に単一レジスタからの読出しプロトコルを示します。このプロトコルは、SMBus 仕様の「バイト読出し」プロトコルと同じです。

「バイト読出し」プロトコルは、以下のとおりです。

- コントローラはスタート条件 (S) を送信します。
- コントローラは、7ビットのターゲット・アドレス、書き込みビット ($R/\bar{W}=0$) の順に送信します。
- アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
- コントローラは8ビットのレジスタ・ポインタを送信します。
- ターゲットはレジスタ・ポインタをアックノレッジします。
- コントローラは反復スタート条件 (Sr) を送信します。
- コントローラは、7ビットのターゲット・アドレス、読出しビット ($R/\bar{W}=1$) の順に送信します。
- アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
- アドレス指定されたターゲットは、レジスタ・ポインタで指定された位置から8ビットのデータをバス上に配置します。
- コントローラは NOT-ACKNOWLEDGE (nA) を発行します。
- コントローラは、ストップ条件 (P) または反復スタート条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復スタート条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

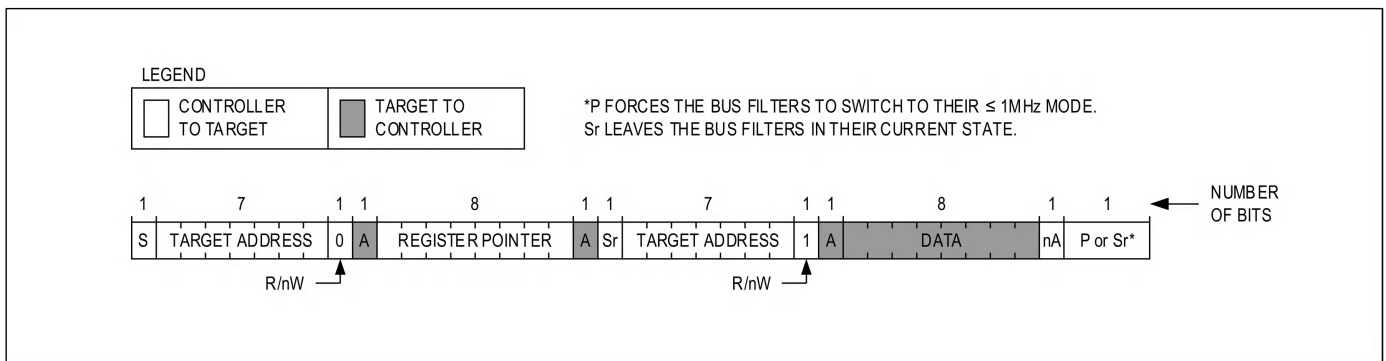


図 13. 単一レジスタからの読出し

連続する複数レジスタからの読出し

図 14 に、連続する複数レジスタからの読出しプロトコルを示します。このプロトコルは「バイト読出し」プロトコルに似ていますが、コントローラ・デバイスが ACKNOWLEDGE (A) を発行し、ターゲット・デバイスに対して更にデータが必要であることを知らせる点が異なります。コントローラ・デバイスが必要なデータをすべて取得すると、NOT-ACKNOWLEDGE (nA) とストップ条件 (P) を発行して送信を終了します。

「複数レジスタからの連続読出し」のプロトコルは以下のとおりです。

- コントローラはスタート条件 (S) を送信します。
- コントローラは、7 ビットのターゲット・アドレス、書込みビット ($R/\overline{W}=0$) の順に送信します。
- アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
- コントローラは 8 ビットのレジスタ・ポインタを送信します。
- ターゲットはレジスタ・ポインタをアクノレッジします。
- コントローラは反復スタート条件 (Sr) を送信します。
- コントローラは、7 ビットのターゲット・アドレス、読出しビット ($R/\overline{W}=1$) の順に送信します。
- アドレス指定されたターゲットは、SDA をローにして ACKNOWLEDGE (A) をアサートします。
- アドレス指定されたターゲットは、レジスタ・ポインタで指定された位置から 8 ビットのデータをバス上に配置します。
- コントローラは ACKNOWLEDGE (A) を発行し、更にデータを受信する必要があることをターゲットに知らせます。
- ステップ 9~10 は、コントローラが必要とする回数だけ繰り返されます。最後のデータ・バイトの後、コントローラは NOT-ACKNOWLEDGE (nA) を発行して、データの受信を停止することを知らせる必要があります。
- コントローラは、ストップ条件 (P) または反復スタート条件 (Sr) を送信します。ストップ条件 (P) を発行することで、バスの入力フィルタは 1MHz またはそれ以下の動作に設定されます。反復スタート条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

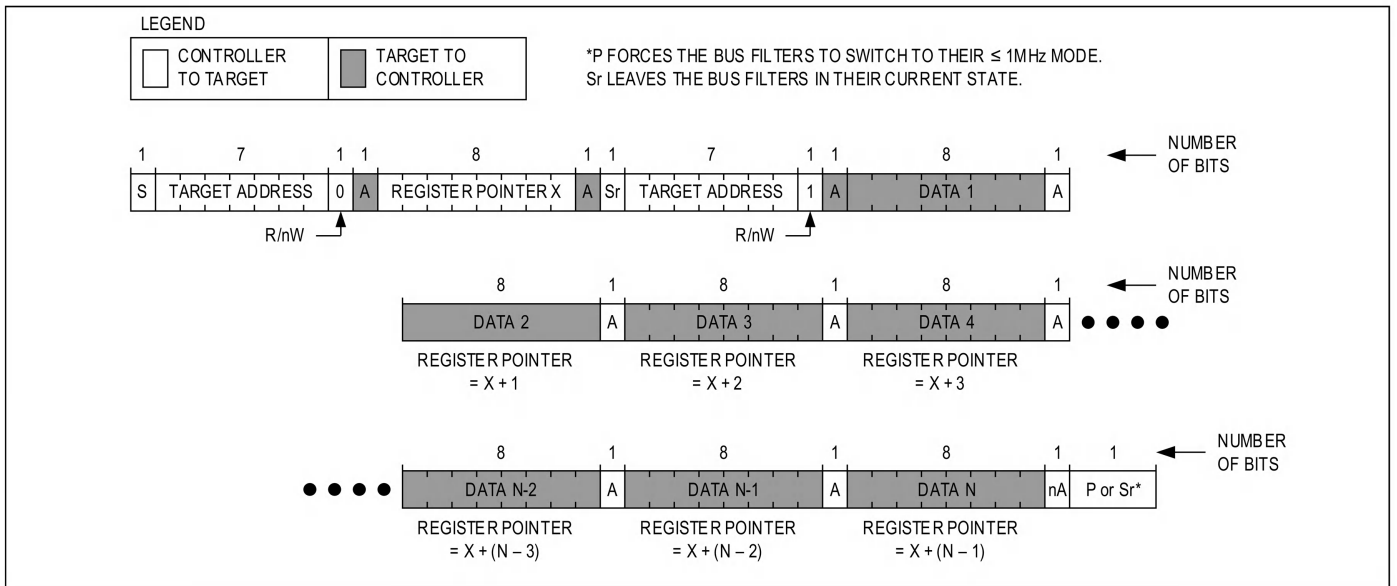


図 14. 連続する複数レジスタからの読出し

レジスタ・マップ

MAX77847

ADDRESS	NAME	MSB							LSB
Global Configuration									
0x00	STAT[7:0]	DEV_ID[3:0]			RSVD	TSHDN	OVP	OCP	
0x01	CFG[7:0]	ILIM	RU_SR	RD_SR	EN	EN_PD	AD	GPI_CFG	FPWM
0x02	VOUT_H[7:0]	RSVD_VOUTH	VOUT_H[6:0]						
0x03	VOUT_L[7:0]	RSVD_VOUT	VOUT[6:0]						

レジスタの詳細

[STAT \(0x0\)](#)

BIT	7	6	5	4	3	2	1	0
Field	DEV_ID[3:0]				RSVD	TSHDN	OVP	OCP
Reset	0b0000				0x0	0b0	0b0	0b0
Access Type	Read Only				Read Only	Read Clears All	Read Clears All	Read Clears All

ビットフィールド	ビット	説明	デコード
DEV_ID	7:4	使用中のデバイスの ID を示します。	MAX77847 = 0x0 (default)
RSVD	3	予備。	N/A
TSHDN	2	サーマル・シャットダウンのステータス・ビット。	0x0 = Thermal shutdown was NOT detected. 0x1 = Thermal shutdown was detected.
OVP	1	過電圧保護のステータス・ビット。OVP が検出されるとトリガします。	0x0 = Output overvoltage has NOT been detected. 0x1 = Output overvoltage detected. Buck-Boost actively discharged.
OCP	0	過電流保護のステータス・ビット。OCP が検出されるとトリガします。	0x0 = Switching current limit has NOT been reached. 0x1 = Switching current limit protection triggered. Buck-boost actively discharged.

[CFG \(0x1\)](#)

BIT	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

Field	ILIM	RU_SR	RD_SR	EN	EN_PD	AD	GPI_CFG	FPWM
Reset	0b0	0b1	0b1	0bcustom	0b1	0b1	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ILIM	7	スイッチング電流制限の設定レジスタ。	0x0 = 4.5A (default) 0x1 = 3.6 A
RU_SR	6	V _{OUT} のランプアップ・スルー・レート。	0b0 = 100mV/μs 0b1 = 225mV/μs (default)
RD_SR	5	V _{OUT} のランプダウン・スルー・レート。	0b0 = 12.5mV/μs 0b1 = 25mV/μs (default)
EN	4	昇降圧イネーブル・ビット。	0b0 = Buck-boost disabled (default for option A) 0b1 = Buck-boost enabled (default for option B)
EN_PD	3	イネーブル・ピンのプルダウン抵抗の設定。	0b0 = Disabled 0b1 = Enabled
AD	2	出力アクティブ放電。	0b0 = Active discharge disabled 0b1 = Active discharge enabled (default)
GPI_CFG	1	汎用入力ピンの設定。	0b0 = FPWM mode enable input (default) 0b1 = DVS control input
FPWM	0	強制 PWM モード。この信号は、GPI_CFG が FPWM モード・イネーブル入力に設定されている場合、GPI ピン入力とのロジック OR ゲートとなります。	0b0 = Auto skip mode (default) 0b1 = FPWM mode enabled

VOUT H (0x2)

BIT	7	6	5	4	3	2	1	0
Field	RSVD_VOUTH	VOUT_H[6:0]						
Reset	0x0	0b010 0100						
Access Type	Read Only	Write, Read						

ビットフィールド	ビット	説明	デコード
RSVD_VOUTH	7	予備。	N/A
VOUT_H	6:0	DVS =ハイとなる出力電圧。	000 0000b = 1.80V 000 0001b = 1.85V 000 0010b = 1.90V ... 010 0100b = 3.60V (default) ... 100 0100b = 5.2V, 50mV per steps

VOUT_L (0x3)

BIT	7	6	5	4	3	2	1	0
Field	RSVD_VOUT	VOUT[6:0]						
Reset	0x0	0xCustom						
Access Type	Read Only	Write, Read						

ビット フィールド	ビット	説明	デコード
RSVD_VOUT	7	予備。	N/A
VOUT	6:0	DVS = ローとなる出力電圧。	000 0000b = 1.80V 000 0001b = 1.85V 000 0010b = 1.90V ... 001 1110b = 3.30V (default) ... 100 0100b = 5.2V, 50mV per steps

アプリケーション情報

入力コンデンサの選択

公称 10V、10 μ F の X7R 入力コンデンサ (C_{IN}) を 2 個使用して IN にバイパスします。更に大きな値のコンデンサを使用すると、昇降圧レギュレータのデカップリングが向上し、システムのスイッチング・ノイズを除去することができます。降圧モードでの入力コンデンサの実効値電流定格は、次式より大きくする必要があります。

$$I_{RMS} = \sqrt{D \times (1 - D) \times I_0^2 + (D \times dl^2 / 12)}$$

ここで、 dl はインダクタの電流リップル、 D はデューティサイクル、 I_0 は負荷電流です。この仕様を満足するには、必要に応じて複数のコンデンサを並列に接続して使用することも検討してください。

出力コンデンサの選択

出力リップルを小さく抑え、昇降圧レギュレータの動作を安定させるためには、最小 4.7 μ F の実効出力容量が必要です。C_{OUT} の実効値は、コンデンサの初期許容誤差、温度による変動、DC バイアス電圧によるディレーティングを考慮して、慎重に決定する必要があります。詳細については、[チュートリアル 5527](#) を参照してください。昇圧モードでの出力コンデンサの実効値電流定格は、次式より大きくする必要があります。

$$I_{RMS} = \sqrt{D \times (1 - D) \times I_0^2 + (D \times dl^2 / 12)}$$

ここで、 dl はインダクタの電流リップル、 D はデューティサイクル、 I_0 は負荷電流です。

ほとんどのアプリケーションには、16V、22 μ F のセラミック・コンデンサを推奨します。実効容量と、バイアス電圧と温度の変動に対する容量の許容誤差に優れた X7R 誘電体のセラミック・コンデンサを推奨します。標準アプリケーション回路では、10 μ F、10V の X7R コンデンサを 2 個使用しています。

インダクタの選択

MAX77847 の電流検出回路と補償ループは、1 μ H のインダクタンス用に最適化されています。ピーク電流制限の設定値 (I_{LIM}) 以上の飽和電流と、与えられた最大負荷電流で予想される連続ピーク・インダクタ電流に基づいた実効値電流定格を持つインダクタを推奨します。DCR を小さくすると昇降圧の効率が向上します。MAX77847 には 2 つの I_{LIM} オプションがあることに留意してください。表 3 に各 I_{LIM} オプションでの推奨インダクタの一覧を示します。この表は 2023 年に作られたものであり、インダクタ技術は急速に進歩しているため、読者が参照する時点では最新のものではない可能性があります。

表 3. 推奨インダクタ

MANUFACTURER	PART NUMBER	I _{LIM} (A)	INDUCTANCE (μ H)	TYP.DC RESISTANCE (MAX) (m Ω)	TYP SATURATION CURRENT (Max) (A)	RMS CURRENT FOR 40°C TEMPERATURE RISE(A)	DIMENSIONS L x W x H (mm)
Cyntec	HTEK20161T-1R0MSR	3.6	1.0	35 (43)	4.6 (4.2)	4.1	2.0 x 1.6 x 1.0
Cyntec	HTEH20161T-1R0MSR	3.6	1.0	27 (36)	4.8 (4.2)	4.3	2.0 x 1.6 x 1.0
Samsung	CIGT252010TM1R0MLE	4.5	1.0	21 (23)	5.5 (5.3)	5.3	2.5 x 2.0 x 1.0
Cyntec	HTEP25201T-1R0MSR	4.5	1.0	18 (25)	5.5 (5.0)	5.2	2.5 x 2.0 x 1.0
Cyntec	HTEH25201T-1R0MTR	4.5	1.0	21 (26)	5.5 (5.0)	5.2	2.5 x 2.0 x 1.0
Samsung	CIGT252010EL1R0MLE	4.5	1.0	22 (25)	5.2 (5.0)	4.7	2.5 x 2.0 x 1.0
Samsung	CIGT252010EH1R0MNE	4.5	1.0	26 (30)	5.0 (4.7)	4.1	2.5 x 2.0 x 1.0

PCB レイアウト時のガイドライン

スイッチング電力損失を低減し、クリーンで安定した動作を得るためには、回路基板レイアウトに細心の注意を払うことが必要です。WLP および FC2QFN パッケージには、高密度相互接続 (HDI) PCB は不要です。図 15 に、MAX77847 の WLP パッケージ用の非 HDI PCB レイアウトの例を示します。

PCB の設計時には以下のガイドラインに従ってください。

- 入力コンデンサ (C_{IN}) は IN ピンの、出力コンデンサ (C_{OUT}) は OUT ピンの直近に配置します。コンデンサのグランド・ピンと IC の PGND ピンをつなぐ配線パターンは、部品を実装する層を通じて接続し、パターンの寄生成分を最小限に抑えます。また、これらを接続するパターンは、できるだけ短くかつ幅広にします。IC は高スイッチング周波数で動作するため、この配置は入力側と出力側の電流ループの寄生インダクタンスを最小限に抑えるために重要です。この寄生インダクタンスは大きな電圧スパイクを発生させ、内部スイッチング MOSFET を損傷するおそれがあります。
- インダクタは LX バンプ/ピンの隣に (できるだけ近接して) 配置し、インダクタの配線パターンはビアを介して配線し、LX バンプ/ピンとインダクタ間のパターンは、PCB のパターン・インピーダンスが最小となるよう、短くかつ幅広にします。過剰な PCB インピーダンスはコンバータの効率を低下させます。(例に示すように) LX の配線パターンを別の層に配線する場合、ビアを十分に設けてパターンのインピーダンスを最小限に抑えます。配線パターンのインピーダンスを更に低減するには、LX のパターンを複数の層に配線することを推奨します。更に、LX のパターン面積が過剰とならないようにしてください。このノードの電圧は高速で切り替わるため、面積が広がると放射エミッションが増加します。
- PCB の低インピーダンスのグランド・プレーンは、IC、 C_{OUT} 、 C_{IN} およびインダクタの直下に配置することを優先させてください。このグランド・プレーンが切断されると、スイッチング電流ループが断続するおそれがあります。
- AGND は、PCB の低インピーダンス・グランド・プレーン上で PGND と接続する必要があります。PCB の低インピーダンス・グランド・プレーンと AGND との接続 (PGND と同じ回路接続) は、重要な回路ループから離れた場所で行います。
- IC の電源入力 (BIAS) は、IN と同じ回路接続になっている必要があります。専用のコンデンサ (C_{BIAS}) を IC のできるだけ近くに接続して、BIAS を PGND にバイパスします。 C_{BIAS} と BIAS のバンプ/ピンとの間は、専用の配線パターンで接続します。専用のバイパスを使用せずに BIAS を近くの IN のバンプ/ピンと直接接続することは避けてください。
- OUTS のバンプ/ピンは、LX1 や LX2 などノイズの多い回路から離れた場所で専用の配線パターンを使用してレギュレーション・ポイントに接続します。
- 電源パターンと負荷の接続は短く広くします。これはコンバータの効率を確保するために必要です。
- セラミック・コンデンサの DC 電圧デレーティングを無視しないようにしてください。コンデンサの値とケース・サイズは慎重に選択します。詳細については、[出力コンデンサの選択](#)のセクションとチュートリアル 5527 を参照してください。

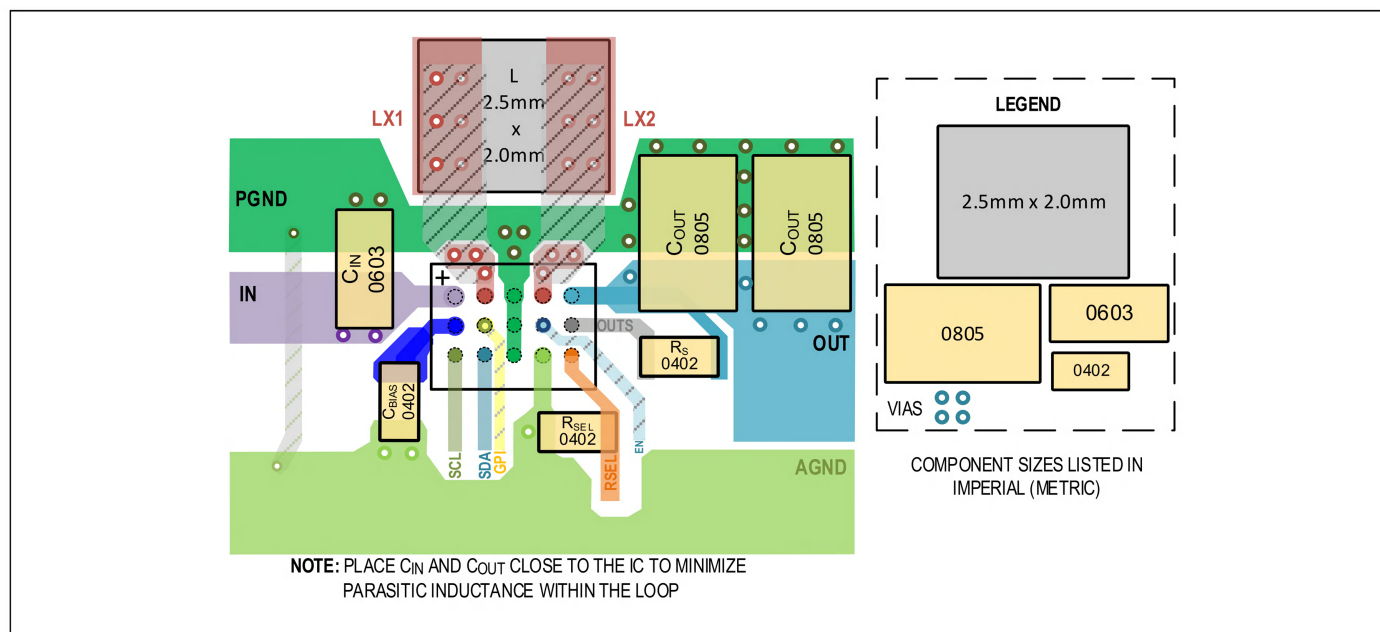


図 15. PCB レイアウトの例 (WLP)

標準アプリケーション回路

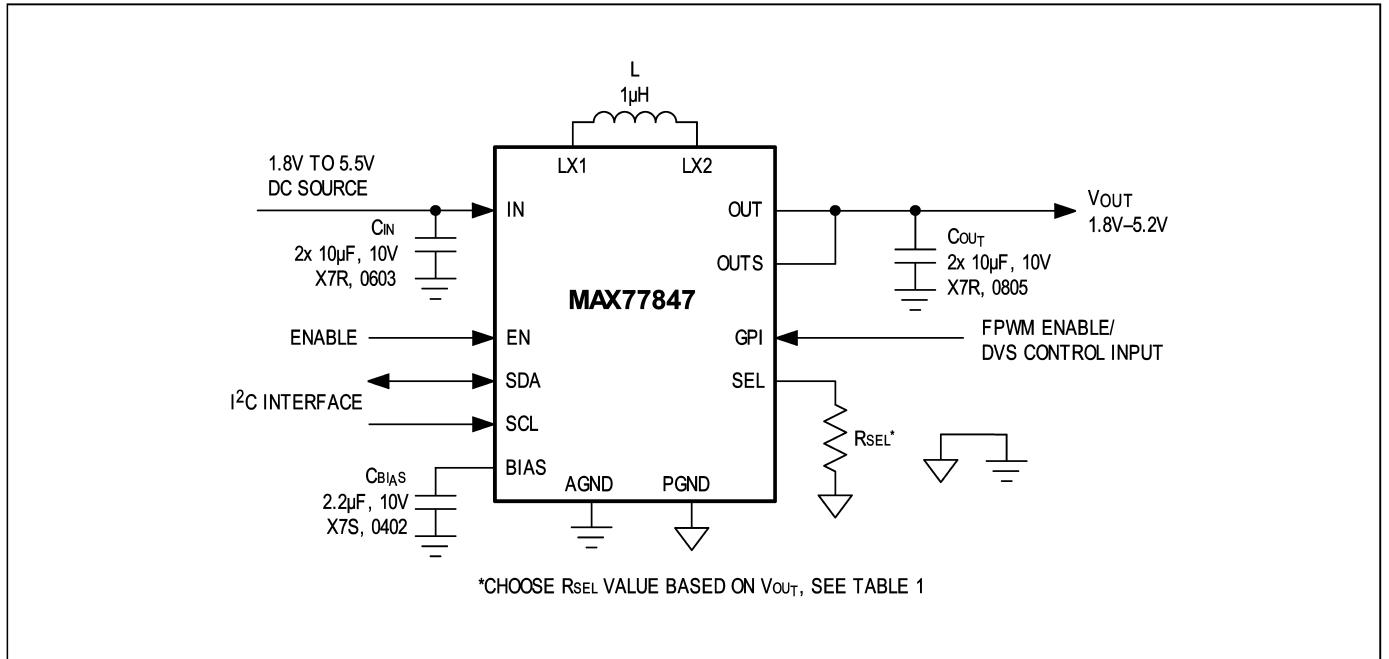


図 16. 標準アプリケーション回路

型番

PART NUMBER	DEFAULT EN BIT	PIN-PACKAGE
MAX77847AEWL+T	Disabled	15 Pin WLP
MAX77847BEWL+T	Enabled	15 Pin WLP

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	9/23	市場投入のためのリリース	-