



## MAX77720

## 出力電圧範囲の広い両極性PMIC

### 概要

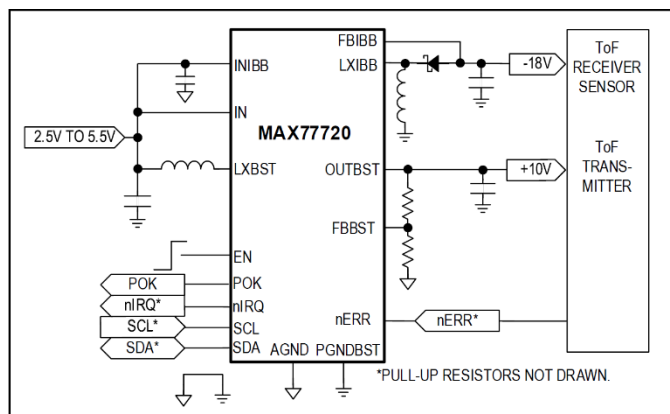
MAX77720デュアル出力DC/DCコンバータは、独立して安定化可能な正負2つの電源電圧を生成します。正の出力は最大4Wの電力を、負の出力は最大4.8Wの電力を供給します。MAX77720は、スマートIoT（モノのインターネット）デバイスのToF（Time of Flight）イメージング・センサーやOLEDディスプレイへの電源供給に最適です。

MAX77720は、最低-24Vの負電圧から最高+20Vの正電圧の範囲で調整可能な出力を生成します。負の出力は1.5MHzの固定周波数、正の出力は1MHzの固定周波数で動作するため、感度の高いアプリケーションでのノイズ・フィルタリングが容易にでき、また、外付け部品のサイズを抑えることができます。

nERRピンを外部デバイスの出力ピンに接続することで、外部デバイスにエラーが発生した場合に、レギュレータをディスエーブルして知らせることができます。このエラーは、ホスト・プロセッサからI<sup>2</sup>Cを介してクリアし、再度レギュレータをイネーブルすることができます。エラー・オン状態の間、アクティブ放電をイネーブルするかディスエーブルするか（レギュレータの出力を高インピーダンスのフローティング状態に設定するなど）を選択できます。

双方向I<sup>2</sup>Cシリアル・インターフェースにより、デバイスの設定やステータスの確認が可能です。出荷時に設定可能な数多くのオプションによって、デバイスを多くのアプリケーションに合わせて調整でき、市場投入までの時間を短縮できます。

### 簡略アプリケーション回路図



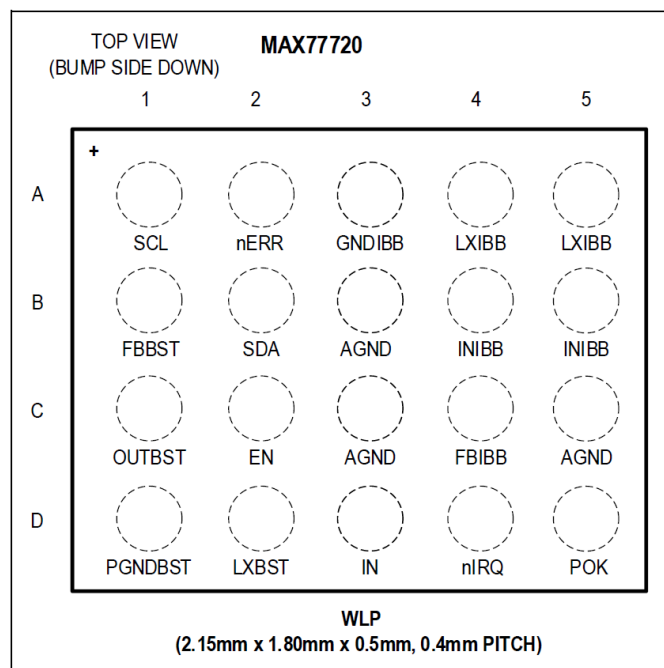
### 主なアプリケーション

- ToFセンサー
- OLEDディスプレイ
- バイポーラ・アンプ

### 機能と利点

- 入力電圧範囲：2.5V~5.5V
- プログラマブルな出力電圧範囲（最大+20V、最小-24V）
- 柔軟かつ高い設定自由度
  - I<sup>2</sup>Cインターフェース
  - 工場出荷時のOTP設定を利用可能
  - プログラマブルなレール間ターン・オン/オフ遅延時間
- 1.2V~3.6VのV<sub>IO</sub>に対応可能
- True Shutdown™（昇圧用）
- プログラマブルな昇圧用ピーク電流制限（最大1A、最小0.5A）
- サーマルシャットダウン保護
- フォルト状態フラグ
- 外付けセンサーのフォルト状態用エラー・ピン
- ソフトスタート時の突入電流を制御
- 動作温度範囲：-40°C~+125°C
- 小型
  - 3.86mm<sup>2</sup>のウェーハレベル・パッケージ（WLP）
  - 20ピン、0.4mmピッチ、5 x 4アレイ

### ピン配置



True ShutdownはAnalog Devices Inc.の商標です。

オーダー情報はデータシート末尾に記載されています。

## 目次

概要.....	1
簡略アプリケーション回路図.....	1
主なアプリケーション.....	1
機能と利点.....	1
ピン配置.....	1
絶対最大定格.....	7
推奨動作条件.....	7
パッケージ情報.....	7
電気的特性.....	8
電気的特性グローバル・リソース.....	9
電気的特性—昇圧レギュレータ.....	10
電気的特性—反転昇降圧レギュレータ.....	11
電気的特性—I <sup>2</sup> Cシリアル・インターフェース.....	12
標準動作特性.....	13
ピン配置.....	17
端子説明.....	17
機能図.....	19
詳細.....	19
型番のデコード.....	20
パワーアップ/パワーダウン・シーケンス.....	20
ソフトスタート.....	21
シャットダウン.....	21
nERRエラー・ピン.....	21
出力のアクティブ放電.....	23
パワーOKモニタ.....	23
割込み (nIRQ).....	24
システム・ステータスのフロー.....	24
保護機能.....	27
INの過電圧ロックアウト (OVLO).....	27
INの低電圧ロックアウト (UVLO).....	27
過熱ロックアウト (OTLO).....	27
過電流保護 (OCP).....	27
出力短絡保護 (SCP).....	28
詳細—反転昇降圧レギュレータ.....	30
反転昇降圧の機能モード.....	30
スキップ・モード.....	30
PWMモード.....	30
反転昇降圧出力電圧の設定.....	30
詳細—昇圧コンバータ.....	31
昇圧コンバータの機能モード.....	31
スキップ・モード.....	31
PWMモード.....	31
昇圧出力電圧の設定.....	31

詳細—2線式通信 .....	32
概要 .....	32
システム設定 .....	32
ビット転送 .....	33
START条件とSTOP条件 .....	33
アクノレッジ・ビット .....	34
データの順序 .....	34
ターゲット・アドレス .....	34
クロック・ストレッチング .....	35
ジェネラル・コール・アドレス .....	35
通信速度 .....	35
通信プロトコル .....	35
単一レジスタへの書込み .....	35
シーケンシャル・レジスタへの書込み .....	36
単一レジスタからの読出し .....	38
シーケンシャル・レジスタからの読出し .....	38
アプリケーション情報 .....	39
反転昇降圧および昇圧のイネーブル・オプション .....	39
入力コンデンサの選択 .....	39
反転昇降圧のインダクタの選択 .....	39
反転昇降圧のダイオードの選択 .....	40
反転昇降圧の出力コンデンサの選択 .....	40
昇圧インダクタの選択 .....	40
昇圧の出力コンデンサの選択 .....	41
PCBレイアウト時の一般的なガイドライン .....	41
PCBレイアウト例 .....	42
標準アプリケーション回路 .....	43
レジスタ・マップ .....	44
ユーザ・レジスタ .....	44
レジスタの詳細 .....	44
オーダー情報 .....	51
改訂履歴 .....	52



## 図一覧

図 1. MAX77720の詳細な機能ブロック図.....	19
図 2. 型番のデコード .....	20
図 3. スタートアップ時のプログラマブルなタイミング図 (CNFG_GLBL.EN_BIAS = 0時のEN_Biasのタイミングを含む) .....	21
図 4. エラー・ピンの機能図 .....	22
図 5. エラー状態のタイミング図.....	22
図 6. CNFG_GLBL.EN_IBBビットを用いたレギュレータの再イネーブル.....	23
図 7. 概略状態図.....	25
図 8. IPK_BST = 0x3の場合の昇圧コンバータのOCP条件 .....	27
図 9. IBBの短絡保護タイミング図 .....	28
図10. BSTの短絡保護タイミング図 .....	29
図11. IBBの短絡保護再イネーブルのタイミング図 .....	30
図12. 外部帰還ネットワークの接続.....	32
図13. 通信コントローラの機能論理図.....	32
図14. I <sup>2</sup> Cのビット転送.....	33
図15. START条件とSTOP条件.....	33
図16. アクノレッジ・ビット.....	34
図17. ターゲット・アドレス・バイトの例—SDAは0x42の7ビット・ターゲット・アドレスを示す .....	35
図18. 単一レジスタへの書込み.....	36
図19. シーケンシャル・レジスタへの書込み.....	37
図20. 単一レジスタへの読出し.....	38
図21. シーケンシャル・レジスタからの読出し.....	39
図22. PCB最上層と部品配置の例.....	42
図23. 標準アプリケーション回路.....	43

---

**表一覧**

---

表1. OTPオプション表.....	20
表2. エラー・ピンの概要.....	21
表3. POKピンの真理値表.....	23
表4. 状態図の詳細.....	25
表5. 反転昇降圧出力電圧のレンジ.....	31
表6. I <sup>2</sup> Cターゲット・アドレス.....	34
表7. 昇圧の推奨インダクタ値.....	41

## 絶対最大定格

EN, nIRQ, nERR, POK~AGND .....	-0.3V~IN + 0.3V	FBIBB~AGND .....	-30V~+0.3V
SDA, SCL~AGND .....	-0.3V~IN + 0.3V	FBBST~AGND .....	-0.3V~+6V
nIRQ, SDAの連続電流 .....	±20mA	LXBSTの連続電流.....	-1.6A <sub>RMS</sub> ~+1.6A <sub>RMS</sub>
IN~AGND .....	-0.3V~+6.0V	LXIBBの連続電流 .....	-1.6A <sub>RMS</sub> ~+1.6A <sub>RMS</sub>
INIBB~GNDIBB .....	-0.3V~+6V	WLPパッケージの連続消費電力 (T <sub>A</sub> = +70°C (70°Cを超えると 20.4mW/°Cでディレーティング) (Note1) ) .....	840mW
IN~PGNDBST.....	-0.3V~+6V	動作温度範囲 .....	-40°C~+125°C
V <sub>OUTBST</sub> ~AGND.....	-0.3V~+22V	最大ジャンクション温度.....	+150°C
LXBST~PGNDBST .....	-0.3V~+24V	保存温度範囲 .....	-65°C~+150°C
LXIBB~GNDIBB .....	-30V~INIBB + 0.3V	はんだ処理温度 (リフロー) .....	+260°C
PGNDBST, GNDIBB~AGND .....	-0.3V~+0.3V		

Note1: 制限値はT<sub>J</sub> = +25°Cにおいて100%出荷テストしています。動作温度範囲にわたる制限値は、統計的品質管理 (SQC) 手法を用いた相関付けにより裏付けられています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 推奨動作条件

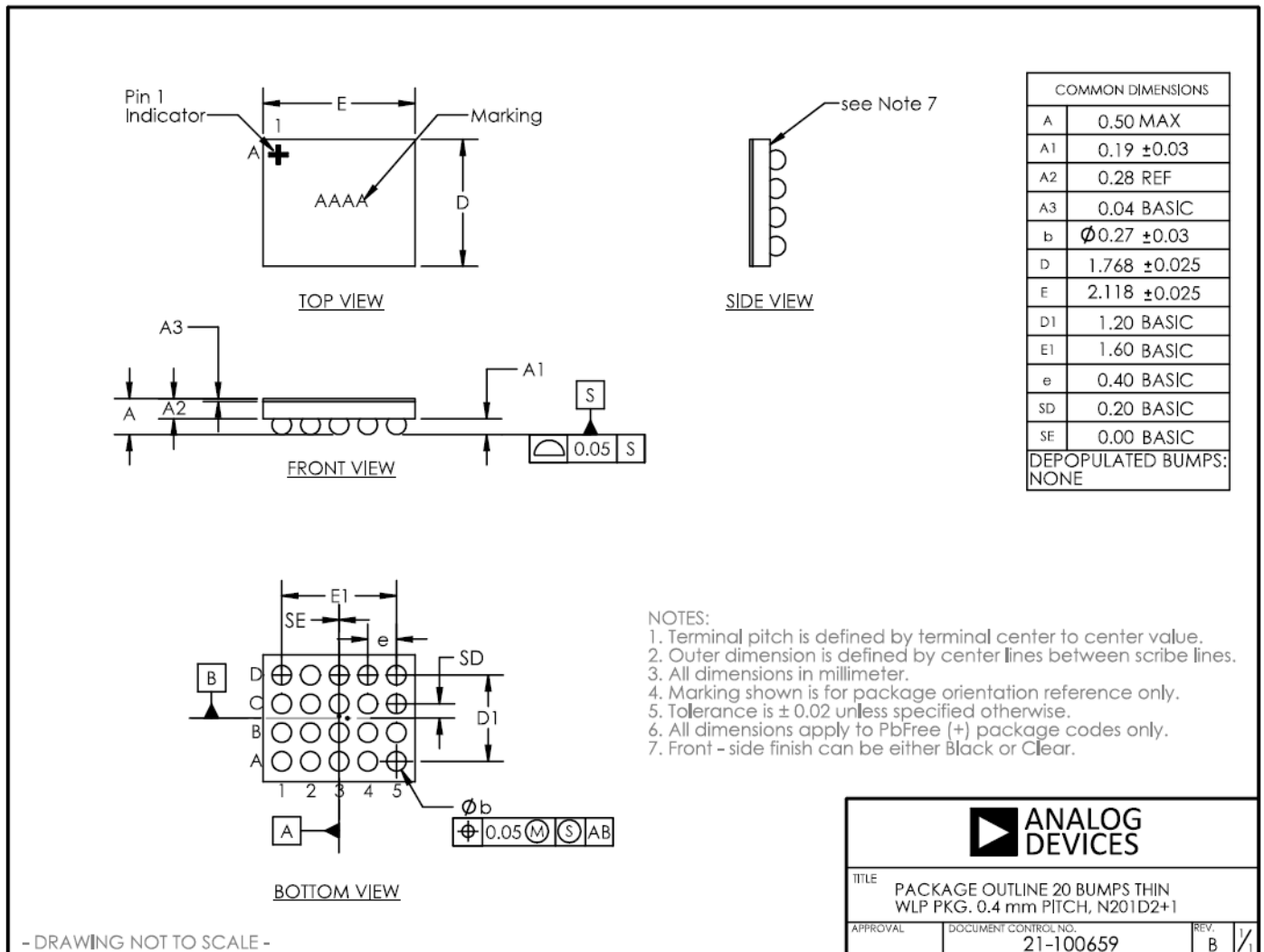
動作ジャンクション温度 .....	-40°C~+125°C
動作時の周囲温度 .....	-40°C~+125°C
入力電圧範囲 .....	2.5V~5.5V
V <sub>IO</sub> 電圧範囲 .....	1.2V~3.6V

## パッケージ情報

Package Code	N201D2+1
Outline Number	<a href="#">21-100659</a>
Land Pattern Number	Refer to <a href="#">Application Note 1891</a>
<b>Thermal Resistance, Four Layer Board:</b>	
Junction-to-Ambient (θ <sub>JA</sub> )	55.49°C/W

パッケージの最新の外形情報およびランドパターン (フットプリント) については、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages)を参照してください。パッケージ・コード内の「+」、「#」、「-」は、RoHSステータスのみを示しています。パッケージ図面には異なるサフィックスが表示される場合がありますが、図面はRoHSステータスに関係なくパッケージに固有のものです。

パッケージの熱抵抗は、JEDEC仕様JESD51-7に記載の方法により、4層基板を用いて求めたものです。パッケージの熱に関する考慮事項の詳細については、[www.maximintegrated.com](http://www.maximintegrated.com)を参照してください。



## 電気的特性

( $V_{IN} = 3.6V$ 、 $V_{OUTIBB} = -18V$ 、 $V_{OUTBST} = 10V$ 、制限値は $T_J = +25^{\circ}C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲( $T_J = -40^{\circ}C \sim +125^{\circ}C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Voltage Range	$V_{IN}$		2.5		5.5	V
Shutdown Supply Current	$I_{SHDN}$	Main bias is off (CNFG_DCDC0.ADE_IBB = 0x0)		3		$\mu A$
		Main bias is off (CNFG_DCDC0.ADE_IBB = 0x1)		20		
Quiescent Current	$I_Q$	Main bias is on		235		$\mu A$
		Main bias is on and BST regulator on (device not switching)		252		
		Main bias is on and IBB regulator on (device not switching)		742		
		Main bias is on and both regulators are on (device not switching)		757		



## 電气的特性グローバル・リソース

( $V_{IN} = 3.6V$ 、 $V_{OUT1BB} = -18V$ 、 $V_{OUTBST} = 10V$ 、制限値は、 $T_J = +25^\circ C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲 ( $T_J = -40^\circ C \sim +125^\circ C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>GENERAL CHARACTERISTICS</b>						
Main Bias Enable Time	$t_{SBIAEN}$			60		$\mu s$
<b>VOLTAGE MONITORS/POWER-ON RESET (POR)</b>						
POR Threshold	$V_{POR}$	$V_{IN}$ falling		1.5		V
POR Threshold Hysteresis	$V_{POR\_HYS}$			100		mV
<b>VOLTAGE MONITORS/UNDERVOLTAGE LOCKOUT (UVLO)</b>						
UVLO Threshold	$V_{UVLO}$	$V_{IN}$ falling	2.3	2.4	2.5	V
UVLO Threshold Hysteresis	$V_{UVLO\_HYS}$			100		mV
<b>VOLTAGE MONITORS/OVERVOLTAGE LOCKOUT (OVLO)</b>						
OVLO Threshold	$V_{OVLO}$	$V_{IN}$ rising	5.70	5.85	6.00	V
<b>VOLTAGE MONITORS/THERMAL MONITORS</b>						
Overtemperature Lockout Threshold	$T_{OTLO}$	$T_J$ rising		+165		$^\circ C$
Overtemperature Lockout Hysteresis	$T_{OTLO\_HYS}$			15		$^\circ C$
<b>OPEN-DRAIN INTERRUPT OUTPUT (nIRQ)</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 2mA$			0.4	V
Leakage Current	$I_{nIRQ\_LKG}$	$V_{IN} = 5.5V$ , nIRQ is high impedance (no interrupts), $V_{nIRQ} = 5.5V$ , $T_J = +25^\circ C$	-1	$\pm 0.001$	+1	$\mu A$
		$V_{IN} = 5.5V$ , nIRQ is high impedance (no interrupts), $V_{nIRQ} = 5.5V$ , $T_J = +125^\circ C$		$\pm 0.01$		
<b>OPEN-DRAIN POK OUTPUT (POK)</b>						
POK Output Voltage Low	$V_{POK\_L}$	$I_{POK} = 2mA$			0.4	V
POK Leakage Current	$I_{POK\_LK}$	$V_{IN} = 5.5V$ , $V_{POK} = 5.5V$ , $T_J = +25^\circ C$	-1	$\pm 0.001$	+1	$\mu A$
		$V_{IN} = 5.5V$ , $V_{POK} = 5.5V$ , $T_J = +125^\circ C$		$\pm 0.01$		
<b>ENABLE INPUT (EN)</b>						
Enable Voltage Falling Threshold	$V_{EN\_IL}$	$V_{IN} = 2.5V$ to $5.5V$ , EN falling			0.36	V
Enable Voltage Rising Threshold	$V_{EN\_IH}$	$V_{IN} = 2.5V$ to $5.5V$ , EN rising	0.84			V
Enable Input Leakage	$I_{EN\_LK}$	$V_{EN} = 0$ to $5.5V$ , $T_J = +25^\circ C$	-1	$\pm 0.001$	+1	$\mu A$
		$V_{EN} = 0$ to $5.5V$ , $T_J = +125^\circ C$		$\pm 0.01$		
<b>ERROR PIN (nERR)</b>						
Error Voltage Falling Threshold	$V_{nERR\_IL}$	$V_{IN} = 2.5V$ to $5.5V$ , nERR falling			0.36	V

( $V_{IN} = 3.6V$ 、 $V_{OUTBB} = -18V$ 、 $V_{OUTBST} = 10V$ 、制限値は $T_J = +25^\circ C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲( $T_J = -40^\circ C \sim +125^\circ C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Error Voltage Rising Threshold	$V_{nERR\_IH}$	$V_{IN} = 2.5V$ to $5.5V$ , nERR rising	0.84			V
Error Input Leakage	$I_{nERR\_LK}$	$V_{nERR} = 0$ to $5.5V$ , $T_J = +25^\circ C$	-1	$\pm 0.001$	+1	$\mu A$
		$V_{nERR} = 0$ to $5.5V$ , $T_J = +125^\circ C$		$\pm 0.01$		
<b>POWER-UP/POWER-DOWN DELAY (<math>T_{DELAY}</math>)</b>						
Power-Up Delay for Inverting Buck-Boost	$t_{D\_IBB\_UP}$	Programmable between 0.2ms and 3.2ms		0.2		ms
Power-Down Delay for Inverting Buck-Boost	$t_{D\_IBB\_DN}$	Programmable between 0.2ms and 3.2ms		0.2		ms
Power-Up Delay for Boost	$t_{D\_BST\_UP}$	Programmable between 0.2ms and 3.2ms		0.2		ms
Power-Down Delay for Boost	$t_{D\_BST\_DN}$	Programmable between 0.2ms and 3.2ms		0.2		ms

## 電気的特性-昇圧レギュレータ

( $V_{IN} = 3.6V$ 、 $V_{OUTBB} = -18V$ 、 $V_{OUTBST} = 10V$ 、制限値は $T_J = +25^\circ C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲( $T_J = -40^\circ C \sim +125^\circ C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>BOOST REGULATOR</b>						
Boost Output-Voltage Range	$V_{OUTBST}$	$V_{IN} + 0.5V < V_{OUT\_TARGET}$	$V_{IN} + 0.5V$		20	V
Boost Feedback (FB) Accuracy	$ACC_{CCM}$	$V_{FBBST}$ falling when LX switching frequency = 1MHz ( <a href="#">Note 2</a> )	-1.5		+1.5	%
	$ACC_{DCM}$	$V_{FBBST}$ falling when LX switching frequency < 1MHz ( <a href="#">Note 2</a> )	1.239	1.258	1.277	V
Boost Output Load Regulation	$ACC_{LDREG}$	$10mA < I_{OUTBST} < 160mA$		2.0		%
LXBST Leakage Current	$I_{LXP\_LK}$	$V_{LX} = 5.5V$ , $V_{EN} = V_{OUT} = 0V$ , $T_J = +25^\circ C$		10	500	nA
LXBST Inductor Peak Current Limit ( <a href="#">Note 3</a> )	$I_{BST\_ILIM}$	CNFG_IBB0.IPK_BST[2:1] = 0b00	0.8	1.0	1.2	A
		CNFG_IBB0.IPK_BST[2:1] = 0b01		0.781		
		CNFG_IBB0.IPK_BST[2:1] = 0b10		0.563		
		DCM only CNFG_IBB0.IPK_BST[2:1] = 0b11		0.5		
Boost Soft-Start Ramp Rate	$\Delta V_{OUTBST}/\Delta t$	$C_{OUT\_BST} = 20\mu F$ , 35V, nominal		7		mV/ $\mu s$
LXBST Maximum Duty Cycle	$DC_{BST}$	$V_{IN} = 2.5V$ ( <a href="#">Note 4</a> )		90		%
LXBST Maximum On-Time	$t_{ON\_MAX}$		1.9	3.4	6.1	$\mu s$
LXBST On-Time	$t_{BST\_ON}$	$V_{IN} = 5.5V$ ( <a href="#">Note 4</a> )		450		ns
LXBST Off-Time ( <a href="#">Note 4</a> )	$t_{BST\_OFF}$	$V_{IN} = 3.6V$ , $V_{OUT} = 12.0V$ , $T_J = +25^\circ C$	230	255	280	ns
		$V_{IN} = 5.5V$ , $V_{OUT} = 12.0V$		350		
		$V_{IN} = 5.0V$ , $V_{OUT} = 7.0V$		530		

( $V_{IN} = 3.6V$ 、 $V_{OUTIBB} = -18V$ 、 $V_{OUTBST} = 10V$ 、制限値は $T_J = +25^\circ C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲( $T_J = -40^\circ C \sim +125^\circ C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		$V_{IN} = 3.0V$ , $V_{OUT} = 18V$		147		
LXBST Switching Frequency	$f_{BST\_SW}$	$V_{IN} = 3.6V$ , $V_{OUT} = 12V$		1.0		MHz
		$V_{IN} = 5.0V$ , $V_{OUT} = 7.0V$		1.0		
		$V_{IN} = 3.0V$ , $V_{OUT} = 18V$		1.0		
Boost n-Channel On-Resistance	$R_{BST\_RDSON}$	$V_{IN} = 3.6V$		320	650	m $\Omega$
Boost p-Channel On-Resistance	$R_{BST\_RDSON}$	$V_{IN} = 3.6V$		320	650	m $\Omega$
Boost Diode Forward Voltage	$V_F$	$V_{IN} = 3.6V$ , $I_{LX} = 100mA$		0.4		V
Boost FB Leakage	$I_{FB\_BST\_LK}$	$V_{FBBST} = 1.25V$	-100	0.5	+100	nA
Boost Active Discharge Resistance	$R_{BST\_AD}$	$V_{IN} = 3.6V$		320		$\Omega$
<b>BOOST POK</b>						
Boost POK Rising Threshold	$V_{POK\_BST\_R}$	$V_{OUT}$ when POK switches, $V_{OUT\_BST}$ rising		92		%
Boost POK Falling Threshold	$V_{POK\_BST\_F}$	$V_{OUT}$ when POK switches, $V_{OUT\_BST}$ falling		89.5		%
BST Short-Circuit Fault Rising Threshold	$V_{SC\_BST}$	Rising, 10 $\mu s$ timer, enabled at 2800 $\mu s$ after the rail is turned on		IN		V

## 電気的特性-反転昇降圧レギュレータ

( $V_{IN} = 3.6V$ 、 $V_{OUTIBB} = -18V$ 、 $V_{OUTBST} = 10V$ 、制限値は $T_J = +25^\circ C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲( $T_J = -40^\circ C \sim +125^\circ C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INVERTING BUCK-BOOST REGULATOR</b>						
IBB Programmable Output-Voltage Range	$V_{IBB\_RNG}$	Low range	-24.00	-18.00	-17.01	V
		High range	-17.00	-11.00	-10.01	
IBB Output-Voltage Step	$V_{IBB\_STEP}$	9-bit (2 bytes) configuration		15		mV
IBB Output-Voltage Accuracy	$V_{IBB\_ACC}$	$T_A = -40^\circ C$ to $+125^\circ C$	-2.0		+2.0	%
FBN Input Current	$I_{IBB\_FBN}$	At -15V, FBN sense input current		-50		$\mu A$
LXN Switching Frequency	$f_{IBB\_SW}$		1275	1500	1725	kHz
IBB Maximum Duty Cycle	$D_{IBB\_MAX}$		91	95	98	%
LXN On-Resistance	$R_{IBB\_ON}$			0.25	0.5	$\Omega$
LXN Leakage Current	$I_{IBB\_LK}$	Block disabled, $V_{LXN} = -24V$			20	$\mu A$
LXN Current Limit	$I_{IBB\_ILIM}$	$V_{IN} = 3.6V$ , $FBIBB = -18V$		1.5		A
IBB Soft-Start Ramp Rate	$\Delta V_{IBB}/\Delta t$	$V_{IN} = 2.5V$ , $FBIBB = -24V$ , $C_{OUT\_IBB} = 20\mu F$ 50V, nominal, $I_{IBB\_SS} = 600mA$		-4		mV/ $\mu s$
		$V_{IN} = 5.5V$ , $FBIBB = -17V$ , $C_{OUT\_IBB} = 20\mu F$ , 50V, nominal, $I_{IBB\_SS} = 600mA$		-8		

( $V_{IN} = 3.6V$ 、 $V_{OUT_{IBB}} = -18V$ 、 $V_{OUT_{BST}} = 10V$ 、制限値は $T_J = +25^{\circ}C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲 ( $T_J = -40^{\circ}C \sim +125^{\circ}C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IBB Soft-Start Current Limit	$I_{IBB\_SS}$	CNFG_DCDC0.SS_IBB = 0x0, $V_{IN} = 3.6V$		400		mA
		CNFG_DCDC0.SS_IBB = 0x1, $V_{IN} = 3.6V$		600		
IBB Active Discharge Resistance	$R_{IBB\_AD}$	$V_{IN} = 3.6V$		320		$\Omega$
<b>INVERTING BUCK-BOOST POK</b>						
IBB POK Rising Threshold	$V_{POK\_IBB\_R}$	$V_{OUT\_IBB}$ when POK switches, $V_{OUT\_IBB}$ rising		90		%
IBB POK Falling Threshold	$V_{POK\_IBB\_F}$	$V_{OUT\_IBB}$ when POK switches, $V_{OUT\_IBB}$ falling ( $V_{OUT\_IBB} = -18V$ )		81.7		%
		$V_{OUT\_IBB}$ when POK switches, $V_{OUT\_IBB}$ falling ( $V_{OUT\_IBB} = -11V$ )		76.5		
IBB Short-Circuit Fault Rising Threshold	$V_{SC\_IBB}$	Rising, 10 $\mu$ s timer, enabled at 2800 $\mu$ s after the rail is turned on		40		%

## 電気的特性-I<sup>2</sup>Cシリアル・インターフェース

( $V_{IN} = 3.6V$ 、 $V_{OUT_{IBB}} = -18V$ 、 $V_{OUT_{BST}} = 10V$ 、制限値は $T_J = +25^{\circ}C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲 ( $T_J = -40^{\circ}C \sim +125^{\circ}C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>I/O STAGE</b>						
SCL, SDA Input High Voltage	$V_{IH}$		0.84			V
SCL, SDA Input Low Voltage	$V_{IL}$				0.36	V
SDA Output Low Voltage	$V_{OL}$	$I_{SINK} = 4mA$			0.4	V
SCL, SDA Input Capacitance	$C_I$			6		pF
SCL, SDA Input Leakage Current	$I_{LK}$		-10	0.001	+10	$\mu$ A
<b>I<sup>2</sup>C-COMPATIBLE INTERFACE TIMING (STANDARD) (Note 5)</b>						
Clock Frequency	$f_{SCL}$		0		1000	kHz
Bus Free Time Between STOP and START Condition	$t_{BUSF}$		0.5			$\mu$ s
Hold Time (REPEATED) START Condition	$t_{HD\_START}$	(Note 6)	0.26			$\mu$ s
SCL Low Period	$t_{LOW}$		0.5			$\mu$ s
SCL High Period	$t_{HIGH}$		0.3			$\mu$ s
Setup Time REPEATED START Condition	$t_{SU\_START}$		0.26			$\mu$ s
DATA Hold Time	$t_{HD\_DATA}$	(Note 7 and Note 8)	0			$\mu$ s
Setup Time for STOP condition	$t_{SU\_STO}$		0.26			$\mu$ s
Pulse Width of Suppressed Spikes	$t_{SP}$			50		ns

**Note2:** 出力精度には、負荷、ライン、およびリップルは含まれていません。

**Note3:** これは静的な測定結果です。実際のピーク電流制限値は、伝搬遅延のため $V_{IN}$ およびインダクタによって変化します。

**Note4:** オープン・ループで測定。伝搬遅延は含みません。

**Note5:** 設計ガイドラインのみ。出荷テストの対象外です。

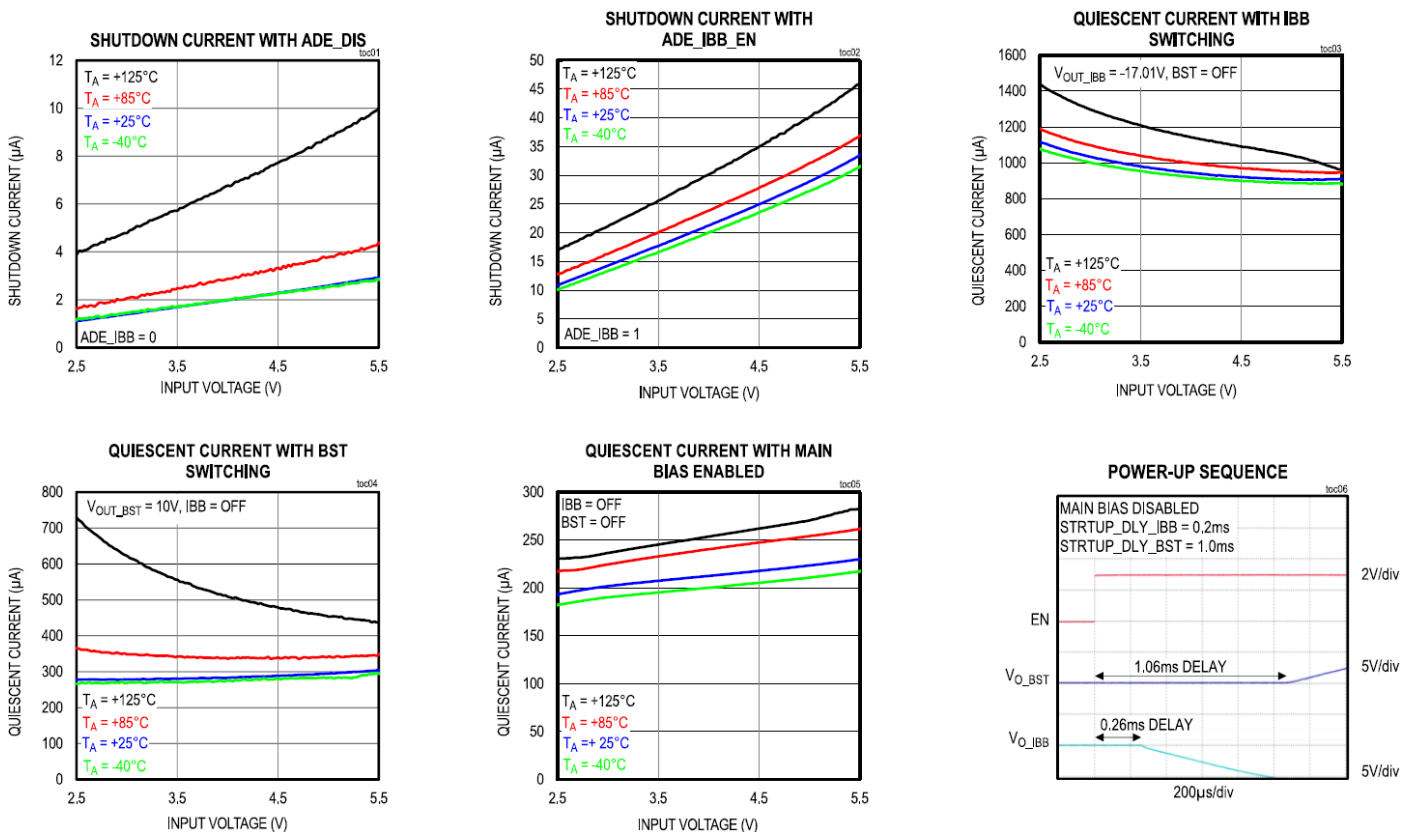
**Note6:**  $f_{SCL}$ は最小クロック・ロー時間と立上がり/立下がり時間の和が確保されたものであることが必要です。

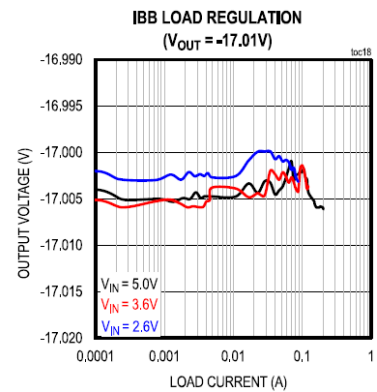
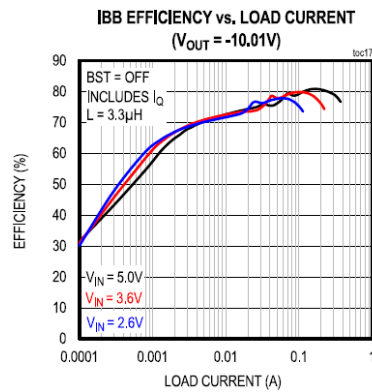
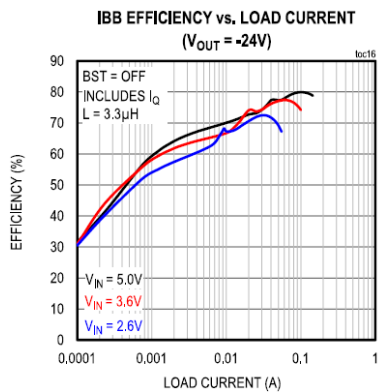
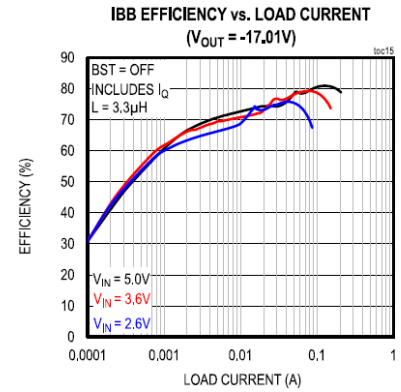
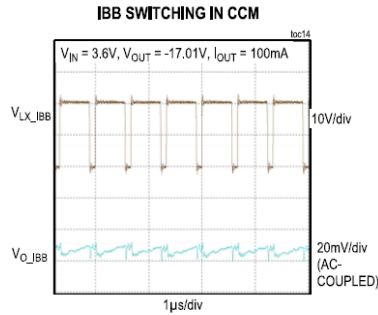
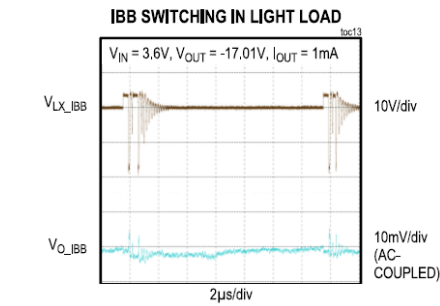
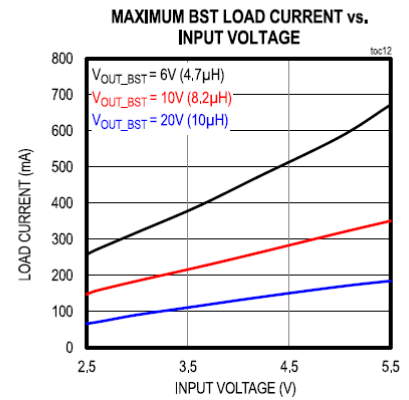
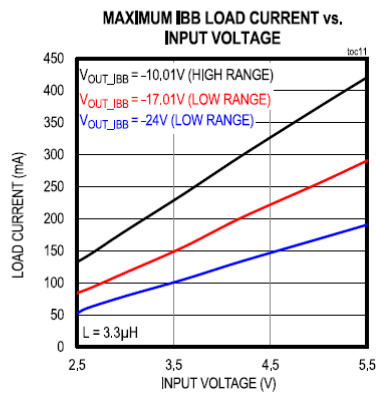
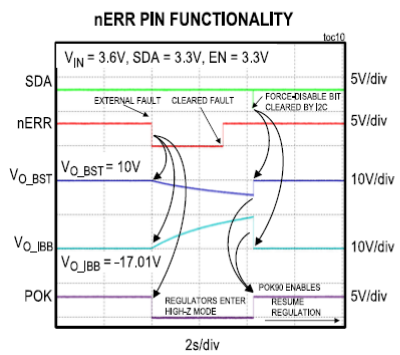
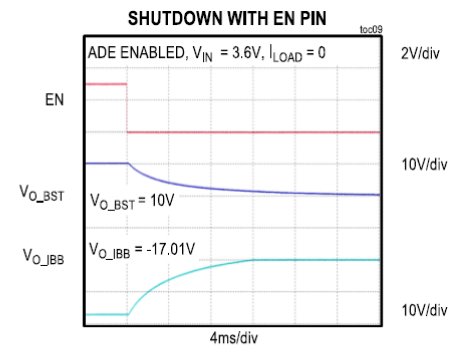
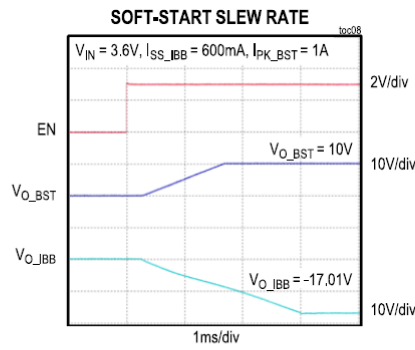
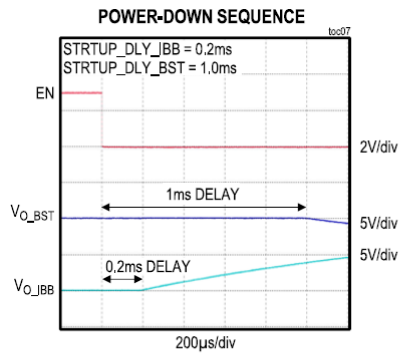
**Note7:**  $t_{HD\_DATA}$ の最大値を満たす必要があるのは、デバイスがSCL信号のロー時間 ( $t_{LOW}$ ) を延長しない場合のみです。

**Note8:** このデバイスは、SCL立下がりエッジの不定領域を埋めるために、SDA信号に対して少なくとも100ns (SCL信号の最小 $V_{IH}$ 基準) のホールド時間を内部に設定しています。(  $V_M = +4.5V \sim +36V$ 、代表値は $T_A = +25^\circ C$ および $V_M = +24V$ での値、制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により裏付けられています。)

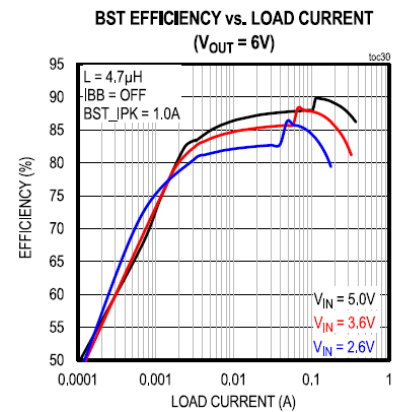
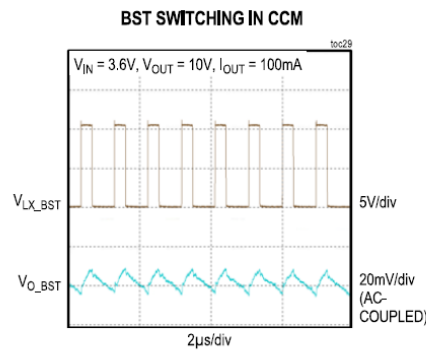
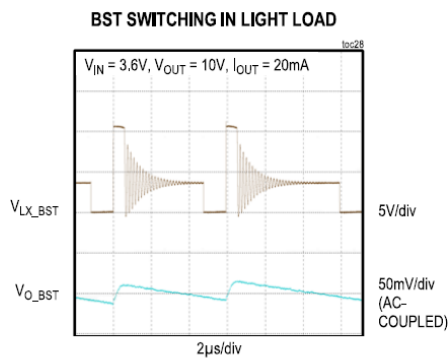
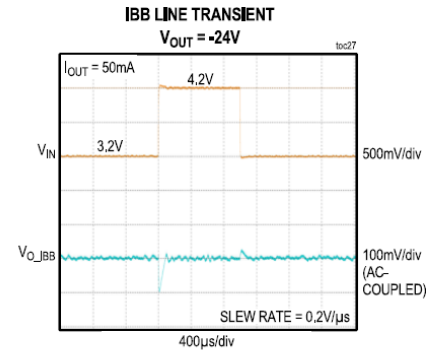
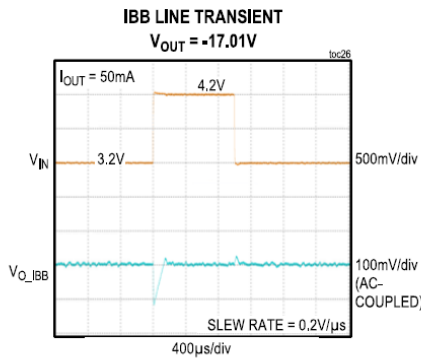
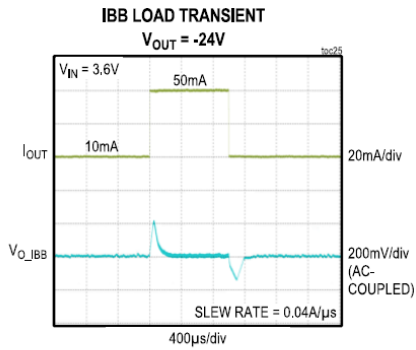
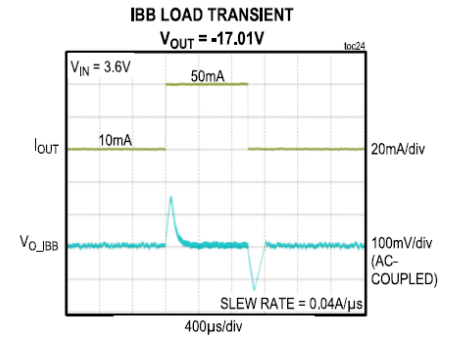
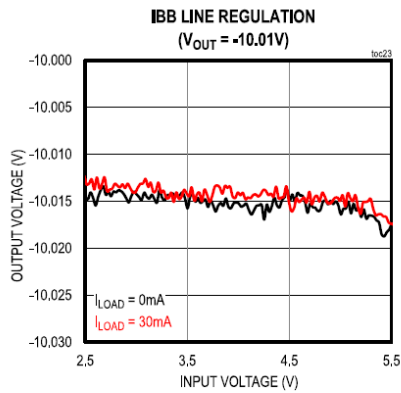
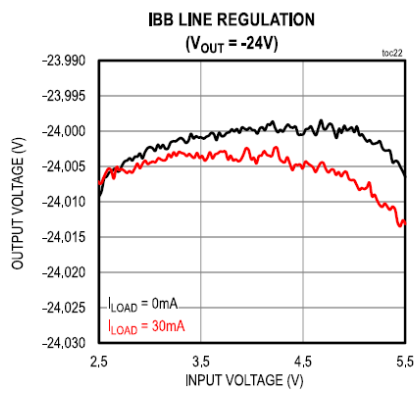
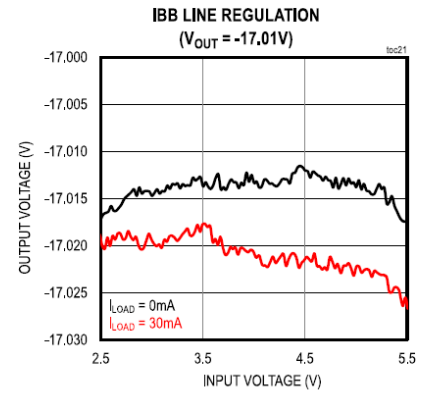
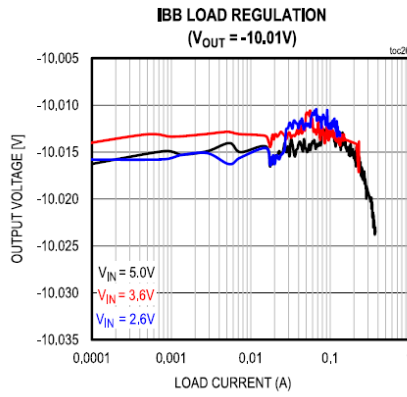
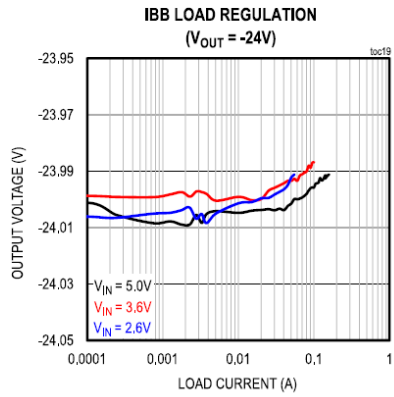
## 標準動作特性

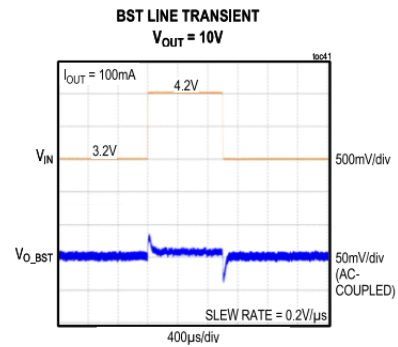
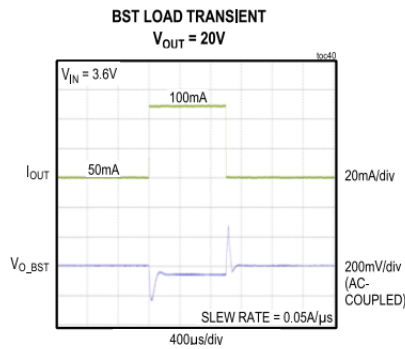
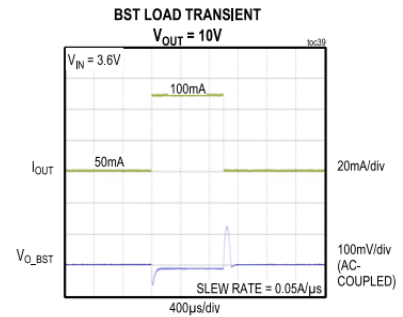
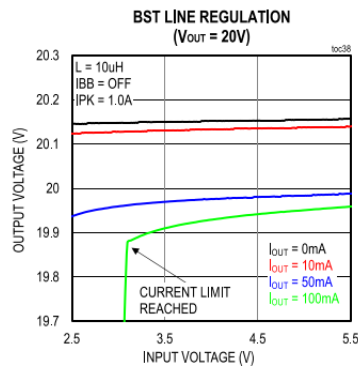
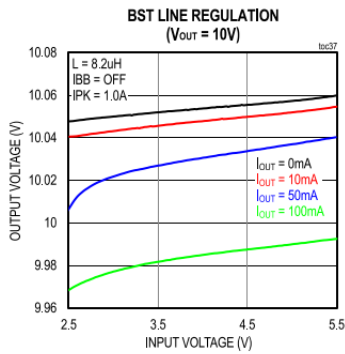
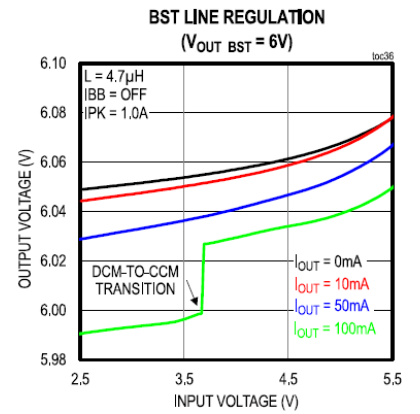
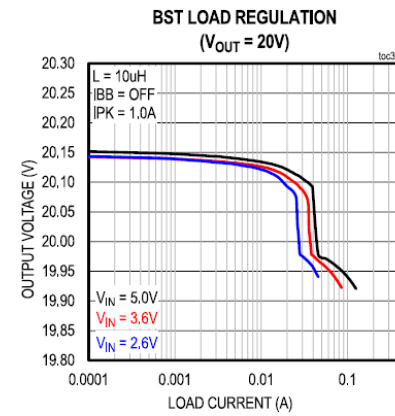
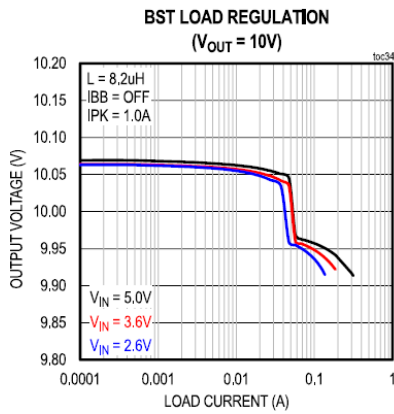
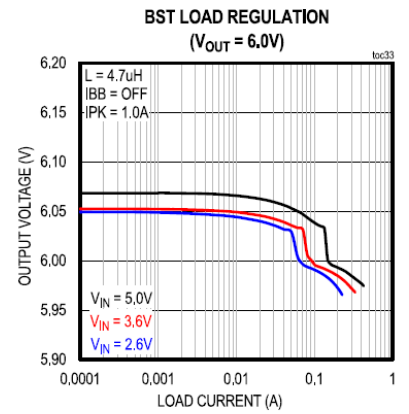
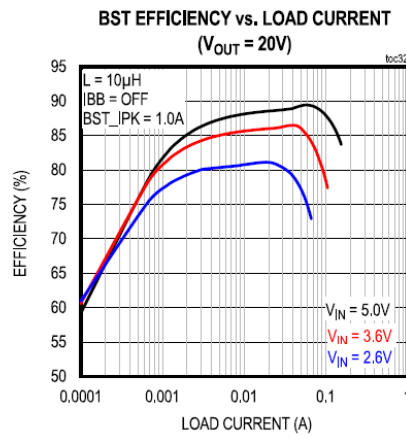
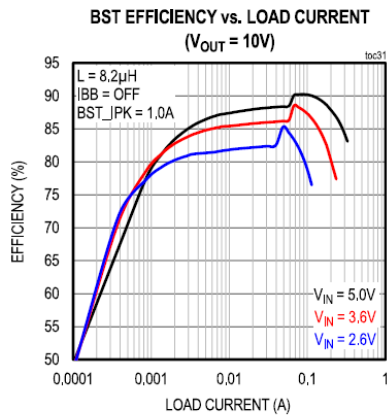
$V_{IN} = 3.6V$ 、 $V_{OUT\_IBB} = -18V$ 、 $V_{OUT\_BST} = 10V$ 、制限値は $T_J = +25^\circ C$ で100%出荷テストされています。特に指定のない限り、動作温度範囲 ( $T_J = -40^\circ C \sim +125^\circ C$ ) および対応する電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。



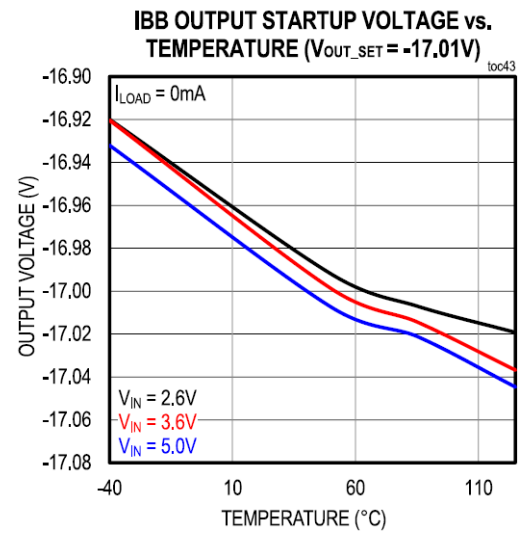
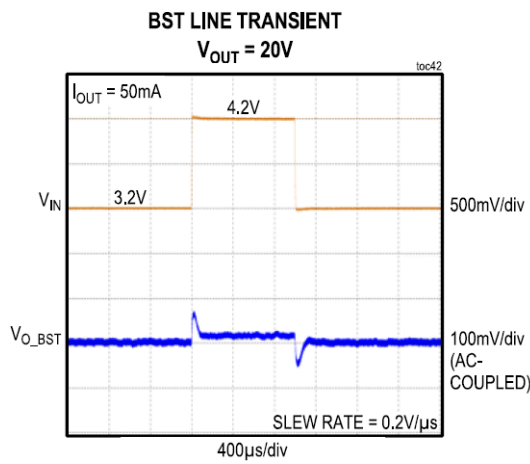




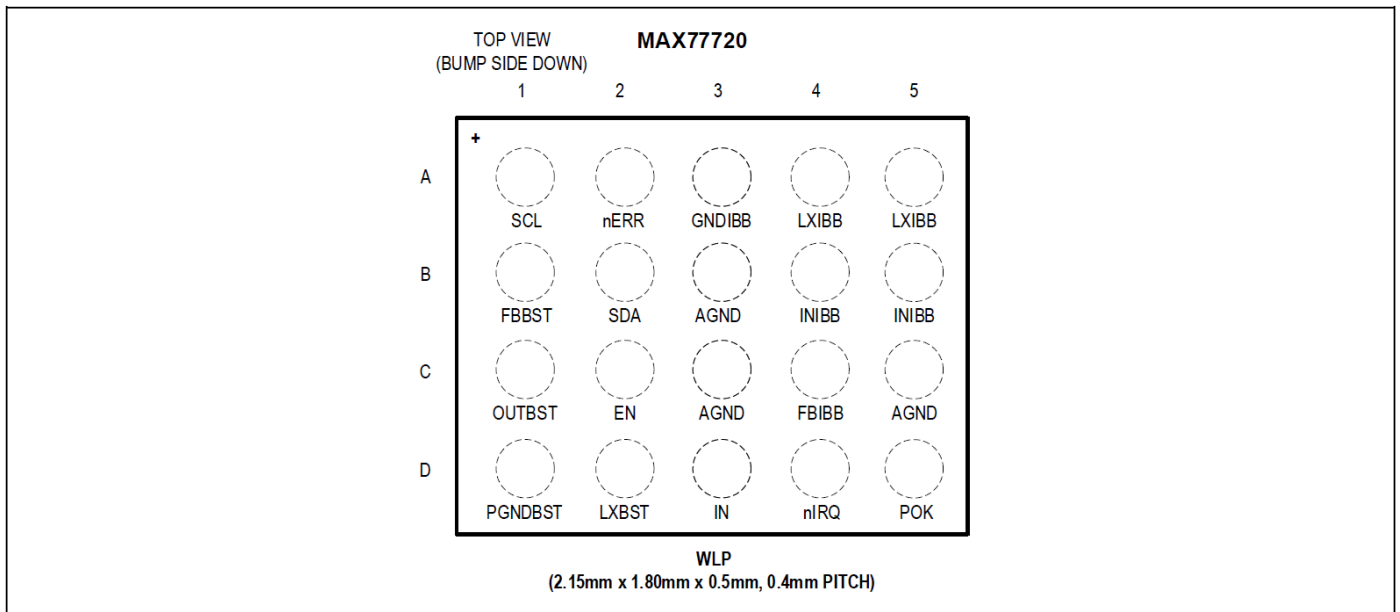








## ピン配置



## 端子説明

ピン	名称	説明	タイプ
C2	EN	アクティブ・ハイのイネーブル入力。	Digital Input
D4	nIRQ	アクティブ・ロー、オープンドレインの割込み。nIRQと外部ロジック・レールの間には100k $\Omega$ のプルアップ抵抗を接続します。	Digital Output
A1	SCL	I <sup>2</sup> Cクロック	Digital Input
B2	SDA	I <sup>2</sup> Cデータ	Digital I/O
D3	IN	入力電圧接続。1 $\mu$ Fのセラミック・コンデンサでAGNDにバイパスします。	Power Input
B3, C3, C5	AGND	低ノイズのグラウンド。	Ground
D5	POK	オープンドレインのパワーOK出力。POKと外部ロジック・レールの間には100k $\Omega$ のプルアップ抵抗を接続します。	Digital Output

ピン	名称	説明	タイプ
A2	nERR	アクティブ・ローのエラー入力。nERRと外部ロジック・レールの間に100kΩのプルアップ抵抗を接続します。	Digital Input
B4, B5	INIBB	反転昇降圧の電源入力。22μFのセラミック・コンデンサでGNDIBBにバイパスします。	Power Input
C4	FBIBB	反転昇降圧出力電圧検出入力。ポイントオブロードで（出力コンデンサの近くで）出力と接続します。	Power Input
A4, A5	LXIBB	反転昇降圧用のスイッチング・ノード。LXIBBは外付けのショットキー・ダイオードに接続します。	Power Output
A3	GNDIBB	反転昇降圧用のグラウンド。	Ground
C1	OUTBST	昇圧の出力電圧	Power Output
B1	FBBST	昇圧の出力電圧帰還入力。出力とAGNDの間に配置した外部抵抗分圧器の midpoint に接続して、出力電圧を設定します。詳細については、 <a href="#">昇圧出力電圧の設定</a> のセクションを参照してください。	Power Input
D2	LXBST	昇圧のスイッチング・ノード・ピン。INとLXBSTの間にインダクタを接続します。	Power Output
D1	PGNDBST	昇圧用電源グラウンド。	Ground

## 機能図

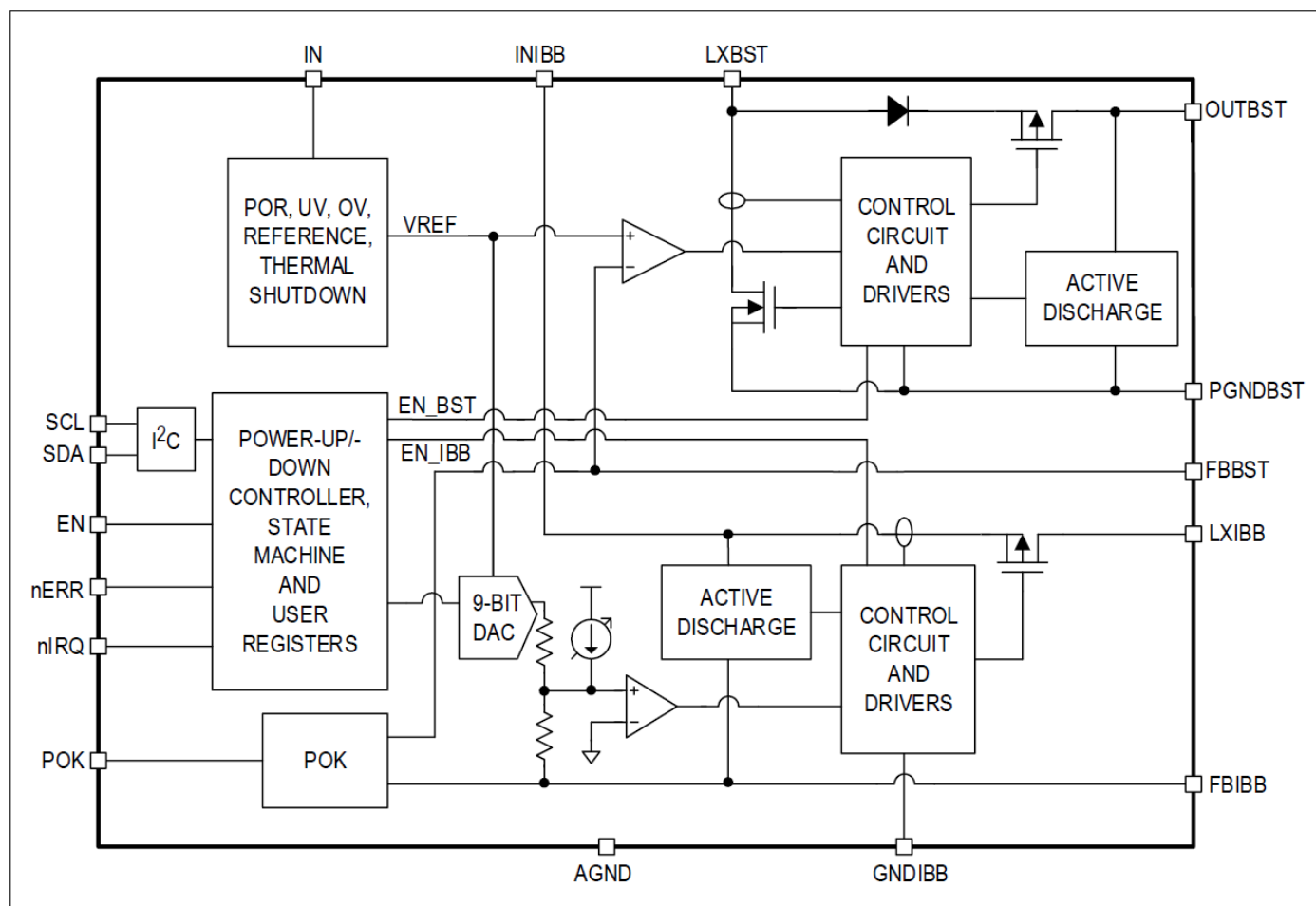


図 1. MAX77720の詳細な機能ブロック図

## 詳細

MAX77720は、電圧範囲の広い両極性集積回路で、ステップアップ昇圧コンバータと非同期整流式反転昇降圧コンバータを組み合わせ、正負どちらの出力電圧も生成します。昇圧コンバータにはTrue Shutdown機能があり、出力が入力から切り離されて順方向電流も逆方向電流も生じません。

各レギュレータは、パルス幅変調 (PWM) コントローラにより独立に安定化され、個別に制御されます。また、昇圧コンバータでは、ピーク電流制限スレッシュホールドの変更を設定できます。昇圧コンバータに様々なピーク電流制限スレッシュホールドを設定できるため、特定のアプリケーション用に最適化された、より薄型でより小型の外部コンポーネントを使用できます。昇圧コンバータに外部帰還抵抗を用いることで、電圧範囲を拡張でき、また、起動時の出力電圧をカスタマイズできます。

反転昇降圧コンバータでは、I<sup>2</sup>Cを介してホスト・プロセッサから電圧を設定することができます。

オプションのI<sup>2</sup>Cシリアル・インターフェースにより、以下の項目を動的に制御できます。

- 反転レギュレータ用の出力電圧 (内部リファレンス電圧を使用)
- プログラマブルな正電圧レギュレータ用ピーク電流制限 (I<sup>2</sup>Cを使用)
- 正負レギュレータ用のターン・オンおよびシャットダウン遅延
- POKステータスおよびフォルト割込み
- 正負レギュレータ用のアクティブ放電のイネーブル/ディスエーブル

## 型番のデコード

MAX77720には、多様なアプリケーションをサポートするために、様々なワントタイム・プログラマブル（OTP）オプションとバリエーションがあります。バリエーションは、異なる機能を持ったMAX77720のバージョンです。MAX77720の型番のデコードの説明は、[図2](#)を参照してください。MAX77720には、デフォルトの出力電圧設定やパワーオン遅延設定といった、様々な設定値があります。これらのOTPバリエーションはレジスタ名で識別され、OTP\_REVレジスタで読み出せます。[表1](#)に、使用可能なすべてのOTPオプションを示します。詳細は、[Key Package Information](#)を参照してください。

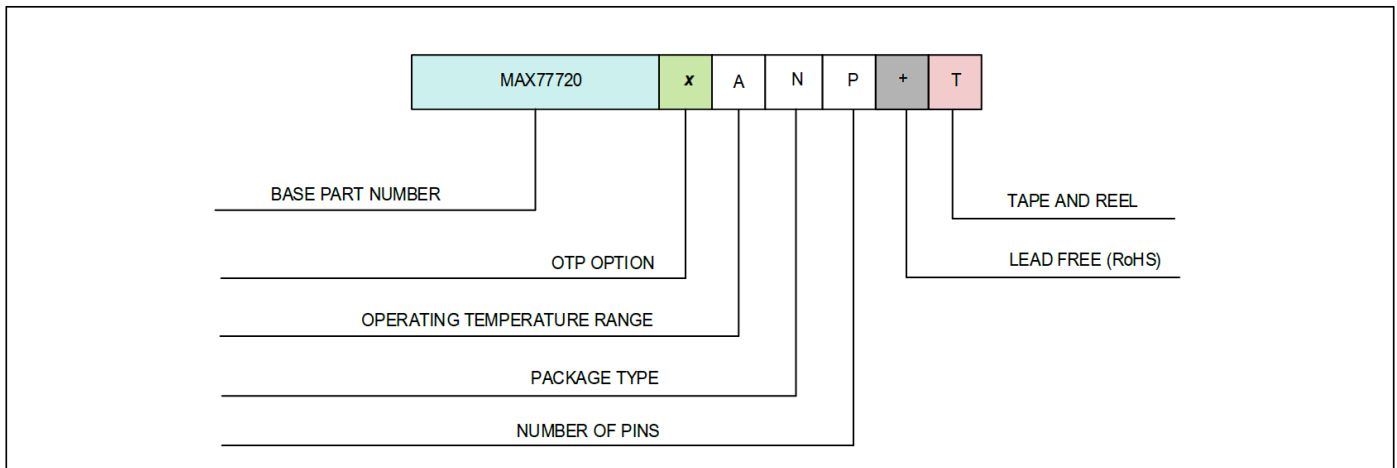


図 2. 型番のデコード

表1. OTPオプション表

BLOCK	BITFIELD NAME	SETTING NAME	OTP LETTER AND SETTINGS S
Global	ADDR	I <sup>2</sup> C Address (7-Bit)	0x41
	OTP_REV[5:0]	OTP Revision	0x21
IBB	VOUT_IBB[9:0]	Inverting Buck-Boost V <sub>OUT</sub>	-17.01V
	RNG_IBB	Inverting Buck-Boost Output-Voltage Range	Low Range
	SS_IBB	Inverting Buck-Boost Soft-Start Current Limit	600mA
	ADE_IBB	Inverting Buck-Boost Active Discharge Enable	Enabled
	STRTUP_DLY_IBB[7:4]	Inverting Buck-Boost Startup Delay	0.2ms
	PWRDN_DLY_IBB[3:0]	Inverting Buck-Boost Power-Down Delay	0.2ms
BST	IPK_BST	Boost Peak Current Limit	1.0A
	ADE_BST	Boost Active Discharge Enable	Enabled
	STRTUP_DLY_BST[7:4]	Boost Startup Delay	0.2ms
	PWRDN_DLY_BST[3:0]	Boost Power-Down Delay	0.2ms

## パワーアップ/パワーダウン・シーケンス

MAX77720には、レギュレータのパワーアップ/パワーダウンのタイミングを制御するタイマ遅延が内蔵されています。パワーアップおよびパワーダウンの機能は以下のとおりです。

- 遅延は、ENピンがローからハイに遷移する時点から開始します。
- パワーダウン遅延は、ENピンがハイからローに遷移する時点から開始します。
- 16通りのプログラマブルなパワーアップ遅延およびパワーダウン遅延は、0.2ms～3.2msの範囲を0.2ms刻みの値で設定できます。
- ソフトスタート機能は、スタートアップ時の出力電圧のスルー・レートを制限します（レギュレータごとに固有のソフトスタート機能があります）。
- パワーダウンのランプ・レートは、出力負荷電流とアクティブ放電回路によって異なります。

図3に、パワーアップ/パワーダウン・シーケンスの例をENピンを基準として示します。

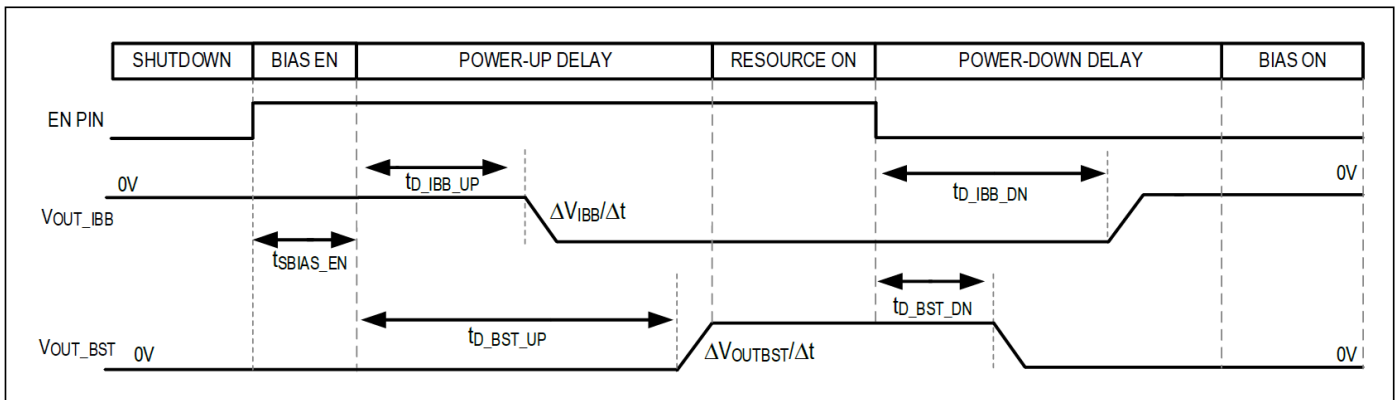


図 3. スタートアップ時のプログラマブルなタイミング図 (CNFG\_GLBL.EN\_BIAS = 0時のEN\_Biasのタイミングを含む)

### ソフトスタート

デバイスのソフトスタート機能は、スタートアップの間、出力電圧のスルー・レート ( $dv/dt_{rss}$ ) を制限することにより、スタートアップ時の突入電流を制限します。MAX77720のソフトスタートが開始するのは、ENピンが $V_{IH}$ より高い電圧に引き上げられて、各レギュレータにプログラムされた遅延時間が経過した後です。

昇圧レギュレータの出力電圧ランプ・レートは、 $7mV/\mu s$ に固定されています。反転昇降圧レギュレータの出力電圧ランプ・レートは、ソフトスタート電流制限設定値、入力電圧、出力電圧によって異なります。選択した設定値に対するソフトスタート時の代表的なランプ・レートについては、電気的特性のセクションを参照してください。選択可能なソフトスタート電流制限が2通りあるため、バッテリー変動の影響を最低限に抑えるようパワーアップ時間を調整でき、また、この制限は特定のアプリケーションに応じて切り替える必要があります。

### シャットダウン

ENピンがローになる ( $V_{EN} < V_{EN,IL}$ ) と、MAX77720はシャットダウン状態になります。シャットダウン状態にある間、両レギュレータはスイッチングを行いませんが、I<sup>2</sup>Cを通じた設定は依然として可能です。詳細については、図7および表4を参照してください。メイン・バイアスがオン状態でレギュレータが動作していない場合、このモードでの消費電流は $235\mu A$ です。

### nERRエラー・ピン

エラー・ピン (nERR) はアクティブ・ローのデジタル入力です。このピンに立上がりエッジが入力された場合、STAT\_GLBL.ERR\_PIN\_Sがハイにアサートされ、昇圧コンバータと反転昇降圧コンバータのどちらも安定化動作を停止します。アクティブ放電がディスエーブルされた場合、どちらのレギュレータも高インピーダンス状態を維持し、また、放電レートは出力負荷条件に依存します。レギュレータを再度イネーブルするには、I<sup>2</sup>Cを通じてCNFG\_GLBL.FORCE\_DISビットフィールドに0を書き込みます。I<sup>2</sup>Cでクリアした後、昇圧コンバータと反転昇降圧コンバータは、プログラムされたスタートアップ・タイミング遅延後に、任意の電圧でイネーブルされたプログラム済みのソフトスタートで安定化を再開します。

表2に特定の状態の概要を示します。また、図4には、アクティブ放電がディスエーブルされた場合の出力電圧を、nERRピンを基準として示します。

表2. エラー・ピンの概要

nERR PIN	ERROR PIN STATUS (STAT_GLBL.ERR_PIN_S)	FORCE DISABLE BIT (CNFG_GLBL.FORCE_DIS)	INVERTING BUCK-BOOST	BOOST
High to Low	1	1	High-Z	High-Z
Low to High	0	Keep 1 until I <sup>2</sup> C clears the error by writing to a 0	Keep high-Z until I <sup>2</sup> C clears the error	Keep high-Z until I <sup>2</sup> C clears the error

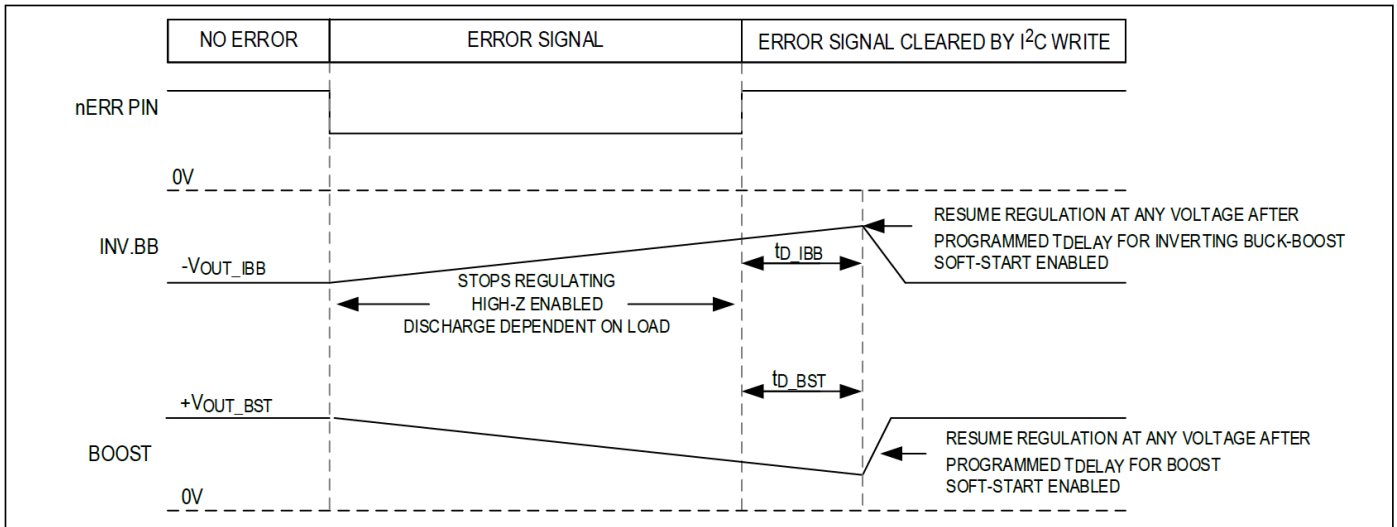


図 4. エラー・ピンの機能図

エラー・オン状態時にレギュレータを再イネーブルするには、複数の方法があります。どの方法においても、nERRピンがハイからローに変化することでエラー信号は既に受信されているものとします。

1. nERRピンがハイに戻った後、CNFG\_GLBL.FORCE\_DISビットフィールドに0を書き込むと、反転昇降圧コンバータと昇圧コンバータはどちらも、プログラムされたタイミング遅延とソフトスタートで安定化を再開します。

注：この方法は、ENピンがハイを保持している場合にのみ有効です。それ以外の場合、CNFG\_GLBL.FORCE\_DISではレギュレータは再イネーブルされません。図5に、この方法を用いて安定化を再開するための条件を示します。

2. nERRピンがハイに戻った後、I<sup>2</sup>Cを通じてレジスタCNFG\_GLBL.FORCE\_IBB\_ONまたはCNFG\_GLBL.FORCE\_BST\_ONに1を書き込み、CNFG\_GLBL.FORCE\_DISに0を書き込むことにより、反転昇降圧コンバータおよび昇圧コンバータの安定化をそれぞれ個別にイネーブルできます。CNFG\_GLBL.FORCE\_XXX\_ONが1の場合、レギュレータが安定化を再開するためのタイミング遅延は行われません。ENピンがハイを保持したままで、1つのCNFG\_GLBL.FORCE\_XXX\_ONのみが1の場合、他のレギュレータは、そのプログラムされたタイミング遅延の後に安定化を再開します。図6に、CNFG\_GLBL.FORCE\_IBB\_ON = 1の状況でのこの動作を示します。図7および表4に、安定化を再開するための大まかなシステムの流れを示します。

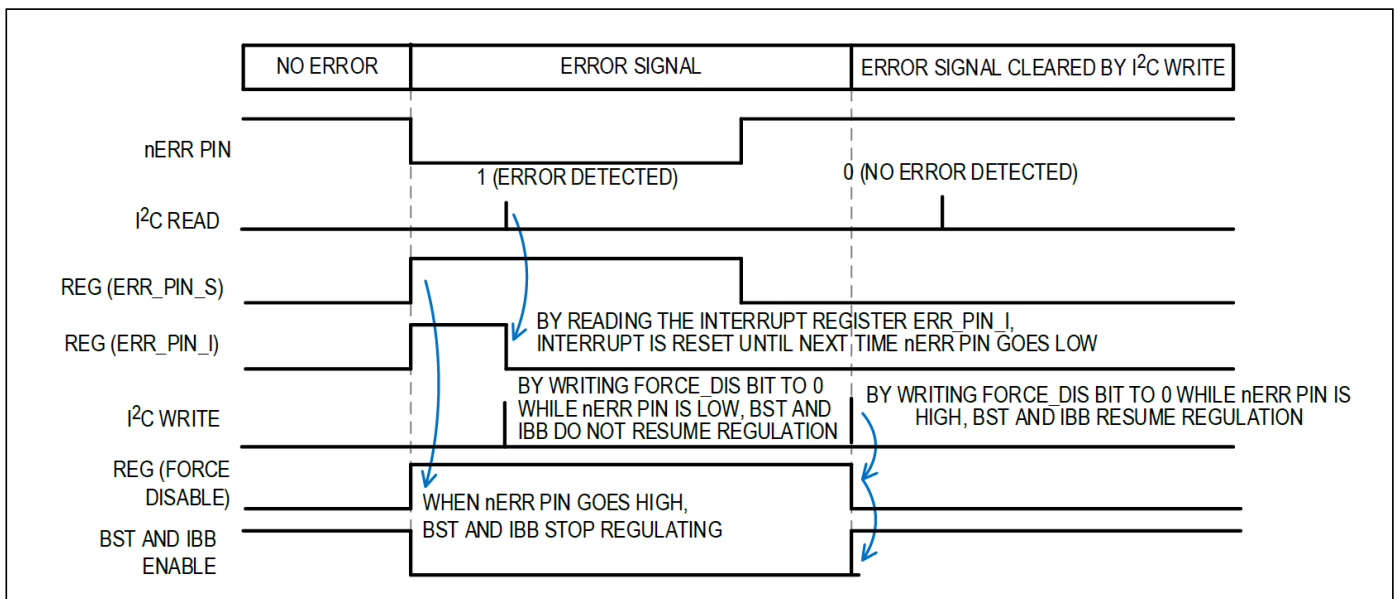


図 5. エラー状態のタイミング図

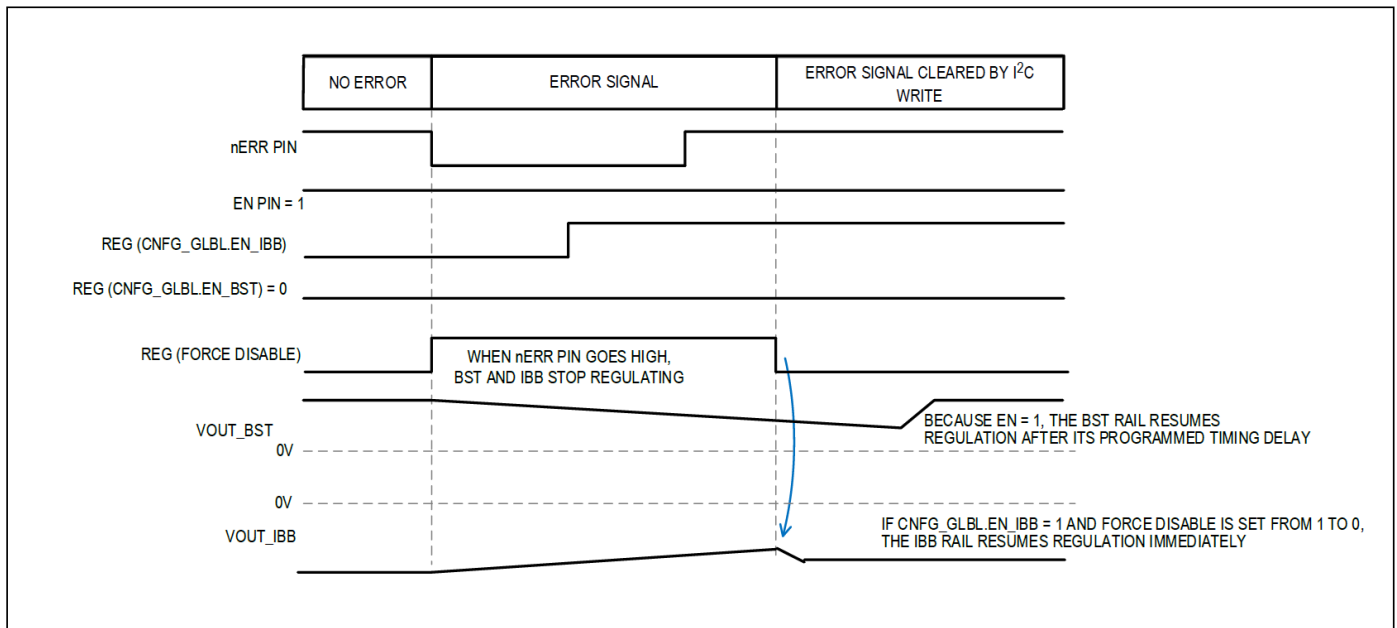


図 6. CNFG\_GLBL.EN\_IBBビットを用いたレギュレータの再イネーブル

## 出力のアクティブ放電

各レギュレータには、アクティブ放電抵抗 ( $R_{AD\_BST}$ および $R_{AD\_IBB}$ )があります。アクティブ放電機能は、レギュレータごとに個別に有効 (CNFG\_DCDC0.ADE\_BSTまたはCNFG\_DCDC0.ADE\_IBB = 1) または無効 (CNFG\_DCDC0.ADE\_BSTまたはCNFG\_DCDC0.ADE\_IBB = 0) にできます。アクティブ放電機能をイネーブルすることにより、システムのすべてのペリフェラルを完全かつ適切なタイミングでパワーダウンできます。

注:  $R_{AD\_IBB}$ は、反転昇降圧の出力電圧が0Vに達するとオフになります。

## パワーOKモニタ

デバイスには、パワーOK (POK) のステータス・ビット (STAT\_GLBL.POK\_IBB\_SおよびSTAT\_GLBL.POK\_BST\_S) と割込みフラグ (INT\_GLBL0.POK\_IBB\_IおよびINT\_GLBL0.POK\_BST\_I) が備わっています。

更に、オープンドレインPOKデジタル出力ピンは、イネーブルされたレギュレータの全POKフラグの論理ANDを反映します。どちらかのレギュレータがディスエーブルされるとPOKピンはローに引き下げられます。真理値表については表3を参照してください。POKピンはプルアップ抵抗を用いて外部ロジック・レベルに接続します。

エラー・オン状態の場合 (表2参照)、両レギュレータ共ディスエーブルされます。そのため、POKピンはローに引き下げられます。

表3. POKピンの真理値表

IBB ENABLE	POK_IBB_S	BST ENABLE	POK_BST_S	POK PIN STATE
Disabled	Don't Care	Disabled	Don't Care	0
Disabled	Don't Care	Enabled	0	0
			1	0
Enabled	0	Disabled	Don't Care	0
	1			0
Enabled	0	Enabled	0	0
	0		1	0
	1		0	0
	1		1	High-Z

反転昇降圧の目標出力電圧がより高い絶対値に変化した場合 (-17.01Vから-24Vなど)、電圧が変化する間、STAT\_GLBL.POK\_IBB\_Sは0となる場合があります。誤フラグを避けるため、電圧の変化の間、STAT\_GLBL.POK\_IBB\_Sは無視し、レギュレータ出力が安定してから割込みフラグ (INT\_GLBL0.POK\_IBB\_I) をクリアします。

## 割込み (nIRQ)

nIRQピンはアクティブ・ローのオープンドレイン出力で、通常はコントローラの割込み入力に接続され、割込みイベントをトリガするために使用します。いくつかのステータス・レジスタ、割込みレジスタ、および割込みマスク・レジスタは、重要な情報をモニタし、割込みイベントが発生すると更新されます。すべての割込みビットとステータス・レジスタの全体的なリストについては、レジスタ・マップのセクションを参照してください。OTPに応じて、いくつかの、またはすべての割込みはデフォルトでマスクされています。初期化ソフトウェアでは必要な割込みのマスクを解除します。

マスクが解除されている割込みが発生すると、このピンがローにアサートされます。この信号には100kΩのプルアップ抵抗が必要ですが、この抵抗は通常はコントローラに内蔵されています。プロセッサに内蔵されていない場合は、基板に100kΩのプルアップ抵抗を実装してロジック・レベルに接続する必要があります。

## システム・ステータスのフロー

図7および表4は、MAX77720のリソース（スイッチング・レギュレータなど）をイネーブル/ディスエーブルするための様々な条件を大まかに示したものです。図7は、デバイスの動作を1セットの状態（円（パブル）で示す）として表したものです。例えば、シャットダウン状態は、すべてのレギュレータとバイアスがディスエーブルされ、入力からデバイスに供給される電流は最小となっている状態です。表4は、2つの状態間の遷移が開始される条件を詳細に記載したものです。例えば、デバイスをウェイクアップし、パワーアップ・シーケンスを開始するには（3から4への遷移および4から5への遷移）、ENピンにハイ・レベルの信号を印加します。



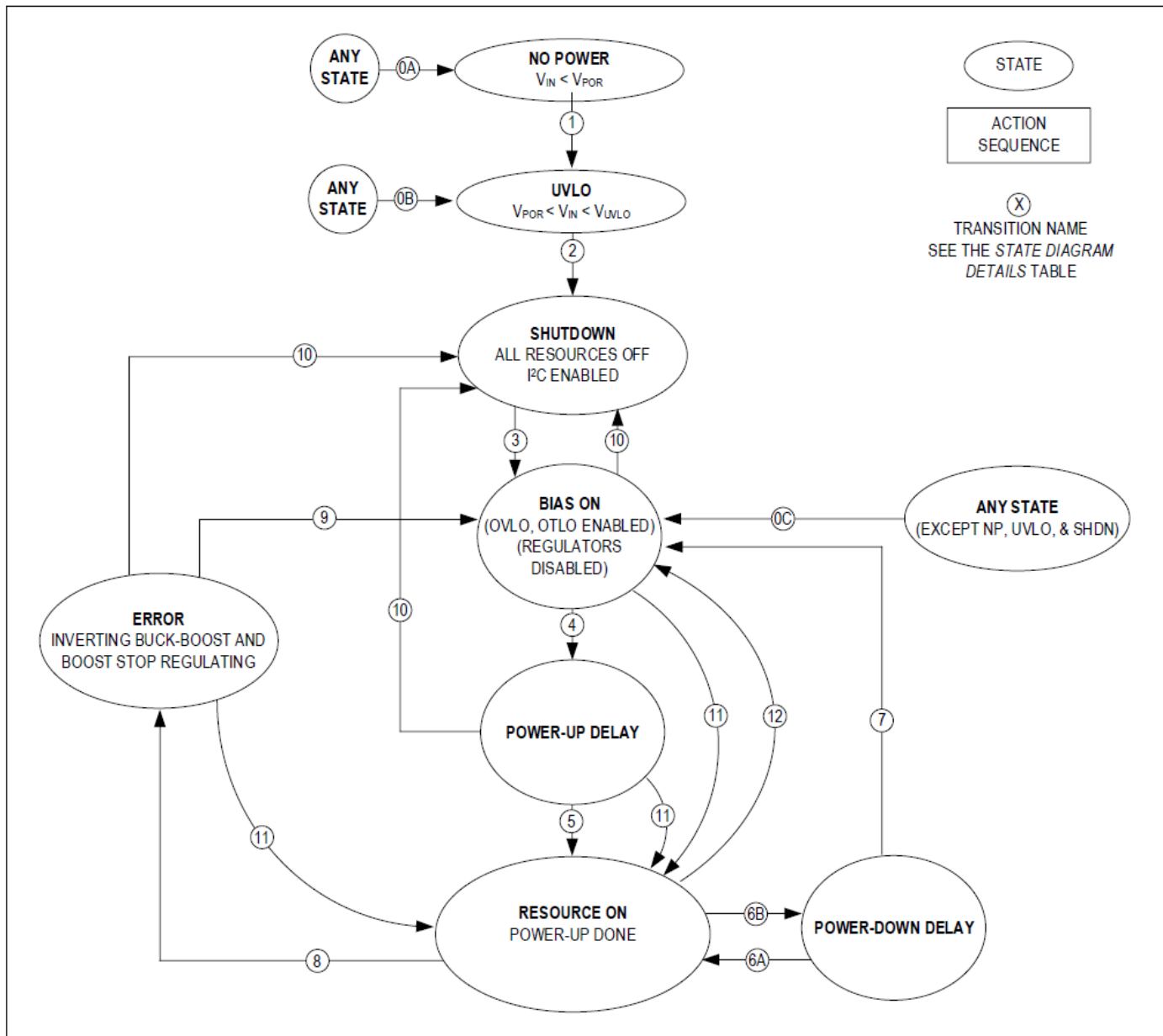


図 7. 概略状態図

表4. 状態図の詳細

TRANSITION/STATE	CONDITION
0A	IN voltage is below the POR threshold ( $V_{IN} < V_{POR}$ ).
0B	IN voltage is above the POR threshold but is below the UVLO threshold ( $V_{POR} < V_{IN} < V_{UVLO}$ ).
0C	Fault detected: <ul style="list-style-type: none"> <li>• System overtemperature lockout (<math>T_J &gt; T_{OTLO}</math>) or</li> <li>• System overvoltage lockout (<math>V_{IN} &gt; V_{OVLO}</math>) or</li> <li>• Bias circuits are not OK</li> </ul> Both regulators are immediately shut down to protect the IC.
No Power	All registers are reset. I2C disabled.
1	IN voltage is above the POR threshold ( $V_{IN} > V_{POR}$ ).

UVLO	IN voltage is above the POR threshold but is below the UVLO threshold ( $V_{POR} < V_{IN} < V_{UVLO}$ ). All registers are reset in this state except for the fault registers. *State of ERCFLAG.UVLO, ERCFLAG.OVLO, and ERCFLAG.OTLO is preserved.
2	IN voltage is above the UVLO threshold ( $V_{IN} > V_{UVLO} + V_{INUVLO\_HYS}$ ).
Shutdown	The device is waiting for a wake-up signal to power up the regulators. I <sup>2</sup> C is enabled. When EN = 0, active discharge immediately turns on and pulls all output voltages down to 0V. *This is the lowest current state of the device (I <sub>SHDN</sub> ).
3	A wake-up signal has been received. Wake-up signals include: <ul style="list-style-type: none"> <li>• EN = 1 or</li> <li>• Setting CNFG_GLBL.FRC_IBB_ON or CNFG_GLBL.FRC_BST_ON or CNFG_GLBL.EN_BIAS register bit to 1</li> </ul>
Bias On	Bias circuits (REF, I <sub>BIAS</sub> , OSC) and fault detection circuits (OVLO and OTLO) are enabled. Inverting buck-boost and boost regulators are disabled.
4	Bias circuits are OK. No faults detected: UVLO = 0, OVLO = 0, and OTLO = 0. CNFG_GLBL.FRC_IBB_ON and CNFG_GLBL.FRC_BST_ON register bits are both 0.
Power-Up Delay	Start power-up counter
5	Inverting buck-boost and boost regulator programmed power-up t <sub>DELAY</sub> reached. Set PU_BST_DONE = 1 and PU_IBB_DONE = 1.
Resource On	Buck-boost and boost regulator are enabled.
6A	Request to power down received. Software power-down enabled. (EN = 0) and {(PU_DONE_BST = 1 and CNFG_GLBL.FRC_BST_ON = 0) or (PU_IBB_DONE = 1 and CNFG_GLBL.FRC_IBB_ON = 0)} Boost powers down after t <sub>D_BST</sub> . This is from when power-down request is received to programmed t <sub>D_BST</sub> time. Inverting buck-boost powers down after t <sub>D_IBB</sub> . This is from when power down request is received to programmed t <sub>D_IBB</sub> time.
6B	Not transition 6A. (EN = 1) and {(PU_DONE_BST = 0 and CNFG_GLBL.FRC_BST_ON = 1) or (PU_IBB_DONE = 0 and CNFG_GLBL.FRC_IBB_ON = 1)} This transition happens if CNFG_GLBL.FRC_BST_ON = 1 or CNFG_GLBL.FRC_IBB_ON = 1 and EN = 1 signal is received during the power-down delay time. If the transition occurs, the power-down delay counter is terminated and regulators remain on.
Power-Down Delay	Start power-down counter. <b>Note:</b> Only resource that is on is powered down.
7	Buck-boost and boost regulator programmed power-down t <sub>DELAY</sub> reached. Set PU_BST_DONE = 0 and PU_IBB_DONE = 0.
8	nERR pin has been flagged. (From 1 to 0) while EN = 1 and both regulators are on.
ERROR	Regulators are disabled. Depending on the OTP, if the active discharge is disabled (CNFG_DCDC0.ADE_IBB and CNFG_DCDC0.ADE_BST = 0 default), output regulators are in high-Z mode. Depending on the OTP, if the active discharge is enabled, (CNFG_DCDC0.ADE_IBB and CNFG_DCDC0.ADE_BST = 1), output regulators discharge back to 0V.
9	nERR pin output has been reset to 1 AND an I <sup>2</sup> C signal has been sent to reenble the negative buck-boost and boost regulators (CNFG_GLBL.FORCE_DIS bit = 0).
10	Not transition 3. The wake-up signal is no longer enabled, which causes the regulators to power down. Neither the EN pin nor the following register bits (CNFG_GLBL.FRC_IBB_ON, CNFG_GLBL.FRC_BST_ON, and CNFG_GLBL.EN_BIAS) are set to 1.

11	The boost or inverting buck-boost is forced on and no power-up delay is implemented. CNFG_GLBL.FRC_IBB_ON = 1 or CNFG_GLBL.FRC_BST_ON = 1. Bias circuits are OK No faults detected: UVLO = 0, OVLO = 0, and OTLO = 0. <b>Note:</b> CNFG_GLBL.FRC_IBB_ON = 1 clears PU_DONE_IBB. CNFG_GLBL.FRC_BST_ON = 1 clears PU_DONE_BST.
12	The boost or inverting buck-boost is forced off and no power-down delay is implemented. (CNFG_GLBL.FRC_IBB_ON = 0 and PU_DONE_IBB = 0) and (CNFG_GLBL.FRC_IB_ON = 0 and PU_DONE_BST = 0)

## 保護機能

### INの過電圧ロックアウト (OVLO)

過電圧保護機能を用いることで、入力電圧 $V_{IN}$ が過電圧制限スレッシュホールド ( $V_{OVLO}$ ) を超えることがないようにすることができます。 $V_{IN}$ が $V_{OVLO}$ まで増加すると、デバイスは過電圧を検出し、ERCFLAG.OVLOビットをセットし、すべてのレギュレータをディスエーブルすることで過電圧ロックアウトを作動させます。

### INの低電圧ロックアウト (UVLO)

低電圧ロックアウト機能は、入力電圧 $V_{IN}$ がUVLOの立下がりスレッシュホールド ( $V_{UVLO,F}$ ) 未満に低下した場合に、異常な入力条件下での動作を防止します。ENピンの状態に関わらず、デバイスはディスエーブルされ、 $V_{IN}$ がUVLO立上がりスレッシュホールド ( $V_{UVLO,R}$ ) を超えるまで、すべてのレジスタはリセットされます。

### 過熱ロックアウト (OTLO)

MAX77720は、過熱状態をモニタするサーマル・センサーを内蔵しています。サーマル過熱ロックアウト・アラームは、ジャンクション温度が過熱ロックアウト仕様値 (**電气的特性-グローバル・リソース**のセクションの $T_{OTLO}$ を参照) を超えた場合に発生します。OTLOがアサートされると、システムがリセットされ、MAX77720のすべての機能が無効化されます。すべての機能が無効化されると、再びMAX77720をオンするには、ウェイクアップ・イベントが必要です。過熱ロックアウト状態後にMAX77720をウェイクアップするには、ジャンクション温度が $T_{OTLO} - T_{OTLO,HYS}$ 未満であることが必要です。ジャンクション温度がまだ $T_{OTLO} - T_{OTLO,HYS}$ を超えているときにウェイクアップ・イベントがMAX77720をオンにした場合、MAX77720は直ちにシステムを強制的にリセットし、機能を無効化します。ホストは、ERCFLAG.OTLOフラグを読み出すことによって過熱ロックアウト状態が発生したかどうかを確認できます。

### 過電流保護 (OCP)

MAX77720は、反転昇降圧コンバータと昇圧コンバータのどちらについても、インダクタ・ピーク電流制限値を設けています。MAX77720では、反転昇降圧コンバータに $I_{BB,ILIM}$  (代表値1.5A) のインダクタ電流制限を設定できます。

昇圧コンバータの場合は、4つのインダクタ・ピーク電流制限オプションがあります (**電气的特性-昇圧レギュレータ**のセクションの $I_{BST,ILIM}$ を参照)。昇圧レギュレータのインダクタ・ピーク電流制限値は、ビットフィールドCNFG\_IBB0.IPK\_BSTで設定できます。これにより柔軟な設計が可能となり、負荷電流の大きいアプリケーションや、低消費電力が必要な場合のコンパクトな設計に役立ちます。なお、上述の電流はピーク・インダクタ電流であり、出力負荷電流ではない点に注意してください。

昇圧レギュレータで最小のインダクタ・ピーク電流制限値を用いる場合 (CNFG\_DCDC0.IPK\_BST = 0x3)、レギュレータは不連続モード (DCM) でのみ動作し、インダクタ電流が0Aに達したときに出力電圧が目標値未満の場合は、OCPがセットされます。図8にこの状態でOCPがセットされる場合の図を示します。

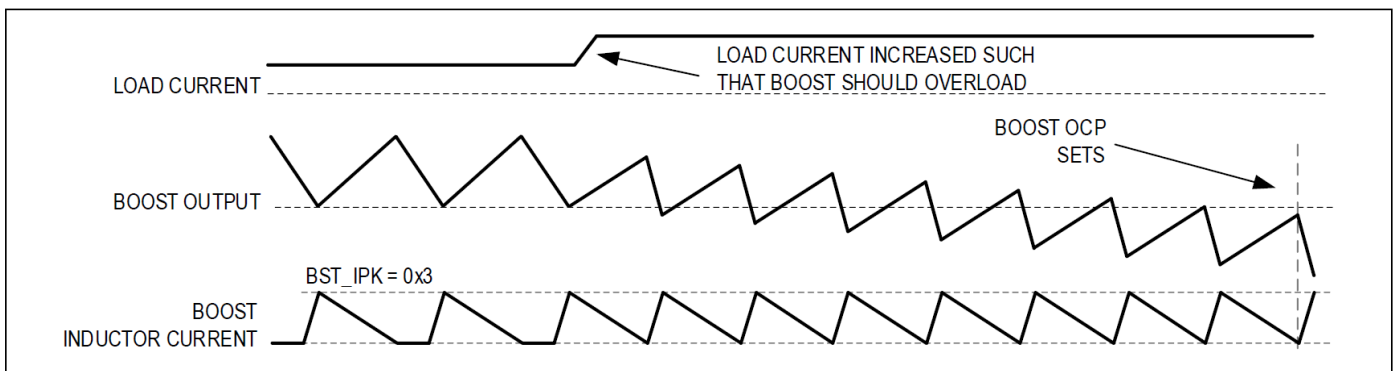


図 8. IPK\_BST = 0x3の場合の昇圧コンバータのOCP条件

更に、MAX77720には、専用のステータス、割込み、マスク・レジスタ・ビットがあります。これを用いることで、過電流状態をモニターでき、過電流状態が発生したかどうか（割込みフラグ）、発生し続けたままであるかどうか（ステータス・フラグ）をアプリケーション・プロセッサまたはマイクロコントローラ・ユニットに通知できます。これらのビットは、レジスタ・マップのセクションのINT\_GLBL0、INTM\_GLBL0、STAT\_GLBLににあります。

### 出力短絡保護（SCP）

MAX77720には、反転昇降圧コンバータと昇圧コンバータ用の短絡保護機能があります。

反転昇降圧コンバータの場合、出力電圧が目標出力電圧の40%となった場合に、短絡と見なされます。短絡が検出されると、レギュレータは10 $\mu$ s後にディスエーブルされ、ステータス・ビットと割込みビットは、反転昇降圧コンバータの短絡を反映したものとなります（INT\_GLBL0.IBB\_SCP = 1およびSTAT\_GLBL.IBB\_SCP = 1）。図9に、反転昇降圧レギュレータ（IBB）用に設けられた短絡保護のタイミングを示します。

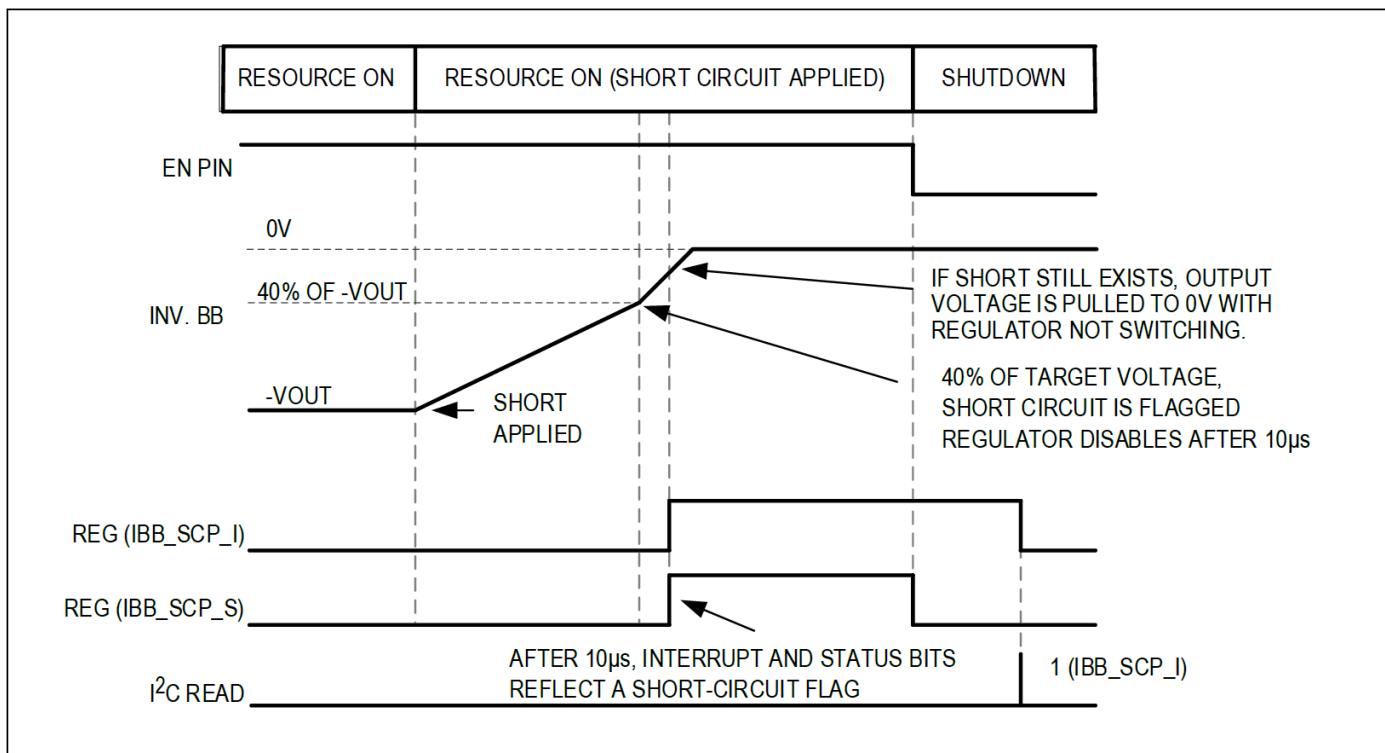


図 9. IBBの短絡保護タイミング図

昇圧コンバータの場合、 $V_{OUTBST} < V_{IN}$ となったときに出力電圧が短絡と見なされます。短絡が検出されると、レギュレータは10 $\mu$ s後にディスエーブルされ、ステータス・ビットと割込みビットは、昇圧コンバータの短絡を反映したものとなります（INT\_GLBL0.BST\_SCP = 1 and STAT\_GLBL.BST\_SCP = 1）。図10に、昇圧レギュレータ（BST）用に設けられた短絡保護のタイミングを示します。

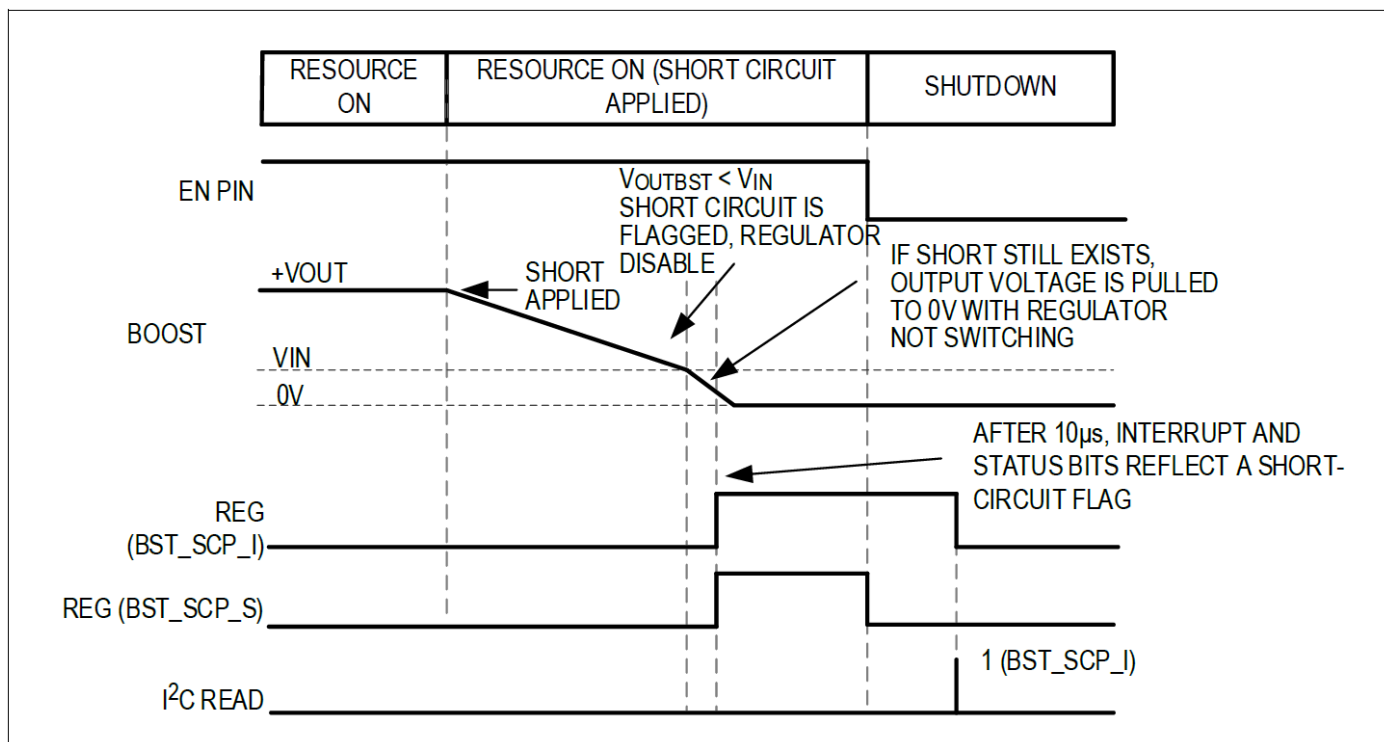


図10. BSTの短絡保護タイミング図

更に、MAX77720には、各レギュレータの短絡条件をモニタする、専用のステータス、割込み、マスク・レジスタ・ビットがあります。これを用いることで、短絡状態をモニタでき、短絡条件が発生したかどうか（割込みフラグ）、発生し続けたままであるかどうか（ステータス・フラグ）をアプリケーション・プロセッサまたはマイクロコントローラ・ユニットに通知できます。これらのビットは、レジスタ・マップのセクションのINT\_GLBL0、INTM\_GLBL0、STAT\_GLBLに 있습니다。

短絡状態後にレギュレータを再イネーブルするには、ENピンをローに設定し、パワーダウン遅延時間だけ間隔を置いて（[パワーアップ／パワーダウン](#)のセクションを参照）、再度ENピンをハイに設定します。図11に、短絡が反転昇降圧レギュレータ（IBB）で生じた場合の、上述のレギュレータ再イネーブル方法を示します。なお、CNFG\_GLBL.FRC\_IBB\_ON = 1またはCNFG\_GLBL.FRC\_BST\_ON = 1の場合は、短絡イベントの発生後、パワーダウン遅延時間の間隔を置かず、レギュレータをイネーブルできます。

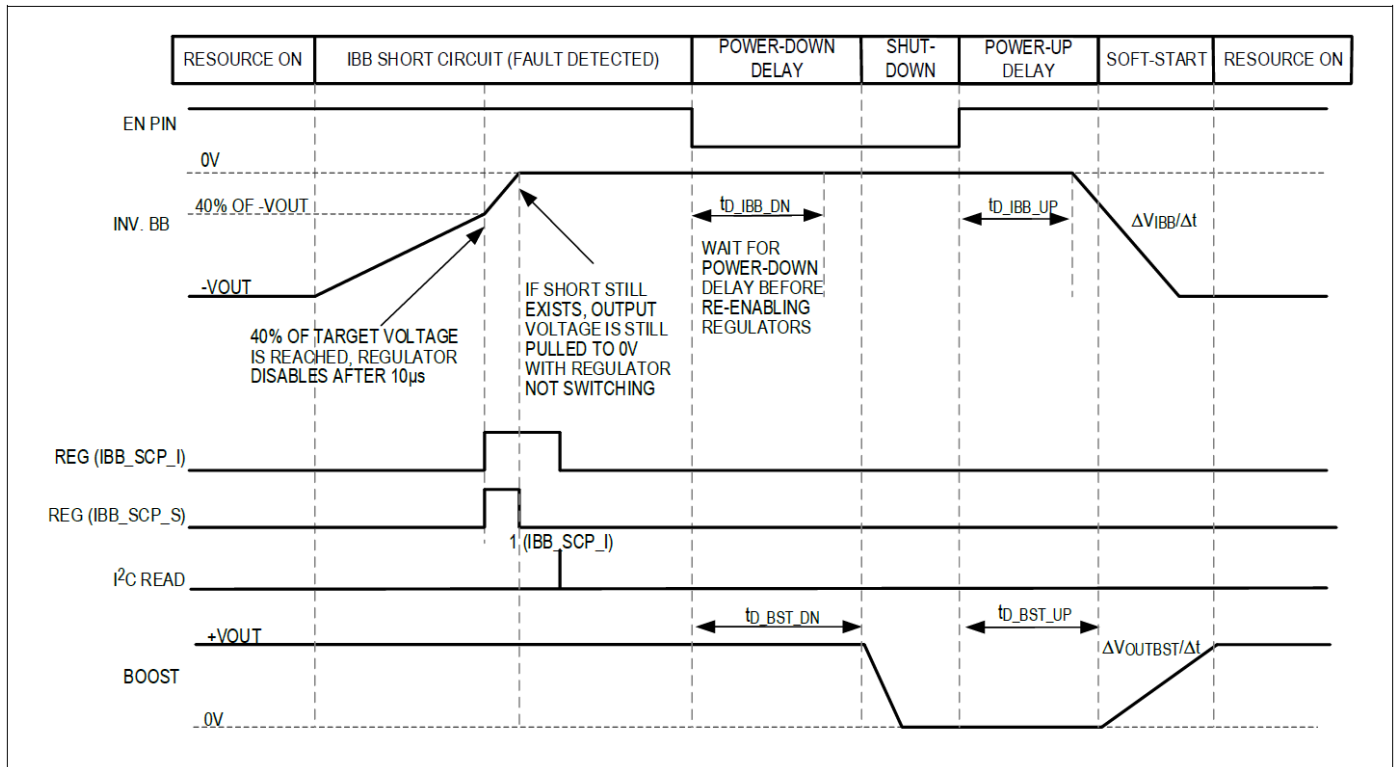


図11. IBBの短絡保護再イネーブルのタイミング図

## 詳細-反転昇降圧レギュレータ

非同期整流式反転昇降圧コンバータは、負の出力電圧を-17.01V～-24.00Vおよび-17.00V～-10.01Vの2つの出力電圧レンジで生成します。これはI<sup>2</sup>Cを通じて設定可能です。2つの出力電圧レンジを切り替える前には、反転昇降圧コンバータをディスエーブルすることを推奨します。

### 反転昇降圧の機能モード

MAX77720反転昇降圧コンバータは、スキップ・モードとPWMモードの2つの機能モードで動作します。

#### スキップ・モード

無負荷条件や軽負荷条件時には、MAX77720反転昇降圧コンバータは自動的にスキップ・モードになり、効率を向上させます。このモードの間、ハイサイドMOSFETは、エラー・アンプの出力電圧が目標スキップ・スレッシュホールド未満となった場合に、パルススキップします。目標スキップ・スレッシュホールドによってピーク・インダクタ電流（代表値400mA）が決まります。

#### PWMモード

MAX77720反転昇降圧コンバータは、スイッチング周波数が1.5MHzのパルス幅変調での内部ループ補償を行う、ピーク電流モード制御アーキテクチャを用いています。各クロックの立上がりエッジで、ハイサイドMOSFETがオンになり、インダクタ電流が増加します。内蔵エラー・アンプは、FBIBBピンでの出力電圧の一部と内部リファレンスの間の差を積分します。レギュレータのデューティ・サイクルを設定するために、エラー・アンプの出力によって、ハイサイドMOSFETがオフになるインダクタのピーク電流を設定します。MOSFETがオフになると、インダクタの電流は、外付けショットキー・ダイオードを通じて負電圧レール（V<sub>OUT\_IBB</sub>）を放電します。インダクタ電流がゼロになるか、次のクロック立上がりエッジが受信されるまで、インダクタ電流はV<sub>OUT\_IBB</sub>を放電し続けます。

### 反転昇降圧出力電圧の設定

MAX77720では、I<sup>2</sup>Cを介して反転昇降圧出力電圧を設定します。レンジ・ビットがハイ（CNFG\_DCDC0.RNGIBB = 1）の場合、目標出力電圧は、-10.01Vと-17.00Vの間の値を15mVステップで設定できます。設定可能な電圧範囲とステップ・サイズの概要については、表5を参照してください。



表5. 反転昇降圧出力電圧のレンジ

RANGE BIT	VIBB_RNG PROGRAMMABLE VOLTAGE RANGE (V)	VOLTAGE STEP PER LSB (mV)
Low Range (CNFG_DCDC0.RNGIBB = 0)	-17.01 to -24.00	15
High Range (CNFG_DCDC0.RNGIBB = 1)	-10.01 to -17.00	15

プログラマブルな広い出力範囲および電圧ステップ・サイズを考慮し、CNFG\_DCDC1.VOUTIBBとCNFG\_DCDC2.VOUTIBBのビットフィールドによる9ビット（2バイト）構成で、反転昇降圧出力電圧を設定します。上位バイト（CNFG\_DCDC1.VOUTIBB）は、下位バイト（CNFG\_DCDC2.VOUTIBB）にラッチされるため、出力電圧を変更する書き込みコマンドは、下位バイト（CNFG\_DCDC2.VOUTIBB）に書き込まれると、一緒に書き込まれます。CNFG\_DCDC1.VOUTIBBレジスタに書き込まれると、VOUTIBBの全9ビットは同時に更新されます。

反転昇降圧コンバータのレンジの変更は、スイッチングをしていない場合にのみ行ってください。反転昇降圧の目標出力電圧を、絶対値の大きな値から絶対値の小さな値（-24Vから-17.01Vなど）に変更する場合、電圧の減少する割合は、出力の負荷条件と容量に強く依存します。

## 詳細-昇圧コンバータ

ステップアップ・コンバータは、VIN + 0.5Vから20Vの範囲の正の出力電圧を発生する昇圧コンバータです。出力電圧は、外付け帰還抵抗を通じて設定可能です。詳細については、[昇圧出力電圧の設定](#)のセクションを参照してください。内部のパワー・スイッチングと内蔵キャッチ・ダイオードにより、90%もの高変換効率が可能です。

### 昇圧コンバータの機能モード

MAX77720昇圧コンバータは、スキップ・モードとPWMモードの2つの機能モードで動作します。

#### スキップ・モード

MAX77720昇圧コンバータは、パルス周波数変調（PFM）を通じて自動的にスキップ・モードになり、軽負荷時の効率を向上させます。このモードでは、オン時間は500mAのピーク・インダクタ電流制限によって決まります。インダクタ電流がこの制限値に達すると、オン時間が終了し、パワー・ダイオードは順方向バイアスになります。オフ時間の間、電荷が出力コンデンサに転送されるため、出力電圧が増加します。インダクタ電流がゼロまで低下すると、オフ時間は終了します。負荷は出力コンデンサによって供給されるため、出力電圧は低下します。

FB電圧がPFMリファレンス電圧未満に低下すると、デバイスは再びオン時間を開始し、出力電圧を戻します。スキップ・モードでは、MAX77720昇圧コンバータは、出力電圧を公称出力目標値より1%高い値に安定化させます。（注：このスレッシュホールドの変化は、CNFG\_IBB0.IPK\_BST[1:0] = 0b11の場合には適用されません。この場合はDCMでのみ動作するためです。）

#### PWMモード

MAX77720昇圧コンバータは、CCMでの負荷電流レベル時には、1.0MHzでほぼ一定のスイッチング周波数パルス幅変調（PWM）を用います。（注：このモードは、CNFG\_IBB0.IPK\_BST[1:0] = 0b11の場合には適用されません。この場合はDCMでのみ動作するためです。）入力電圧と出力電圧の比に基づき、回路に必要なオフ時間を予測します。スイッチング・サイクルの開始時には、ローサイドMOSFETがオンになります。このフェーズでは、入力電圧はインダクタ両端に印加され、出力コンデンサが負荷電流によって放電されている間、インダクタ電流が増加します。出力エラー・アンプによって設定された電流スレッシュホールドにインダクタ電流が達すると、ローサイドMOSFETがオフになり、パワー・ダイオードは順方向にバイアスされます。このフェーズでは、インダクタは蓄えたエネルギーを出力コンデンサに転送して電荷を補給し、負荷電流を供給します。オフ時間が終了すると、次のスイッチング・サイクルが再開します。

PWMモードでは、エラー・アンプはFBBSTピンの電圧と内部リファレンス電圧を比較し、このエラー・アンプの出力によってインダクタ・ピーク電流が決まります。MAX77720昇圧コンバータには、広範な入力電圧、出力電圧、インダクタンス、出力容量に対応できる内部補償回路があり、安定な動作を実現します。

### 昇圧出力電圧の設定

MAX77720では、外付けの抵抗分圧器を用いて昇圧出力電圧を設定します。外付け抵抗分圧器のR<sub>TOP</sub>およびR<sub>BOT</sub>を選択することで、必要な値に出力電圧が設定されます。出力電圧が安定化されている場合、FBBSTピンの電圧の代表値は1.25Vです。

起動時に必要な $V_{OUTBST}$ に対する $R_{TOP}$  ( $V_{FBBST}$ と $V_{OUTBST}$ の間) は次式によって計算します。

$$R_{TOP} = R_{BOT} \times \left( \frac{V_{OUTBST}}{V_{FBBST}} - 1 \right)$$

ここで、

- $V_{OUTBST}$ は必要な正出力電圧。
- $V_{FBBST}$ はFBBSTピンでのデフォルト内部リファレンス電圧で、代表値は1.25V。

最高精度を実現するため、 $R_{BOT}$ は475k $\Omega$ 未満の値に設定し、 $R_{BOT}$ を流れる電流がFBBSTピンのバイアス電流を大きく上回るようにします。 $R_{BOT}$ にこれより大きな値を用いることの利点は、自己消費電流を削減して軽負荷電流時に最高効率を実現できることです。しかし、より小さい値の $R_{BOT}$ を用いると、ノイズの注入に対する耐性が増加します。更に、高い出力電圧精度を維持するには、公差1% (またはそれ以上) の抵抗を用いることを推奨します。

図12に帰還ネットワークの簡単な回路図を示します。

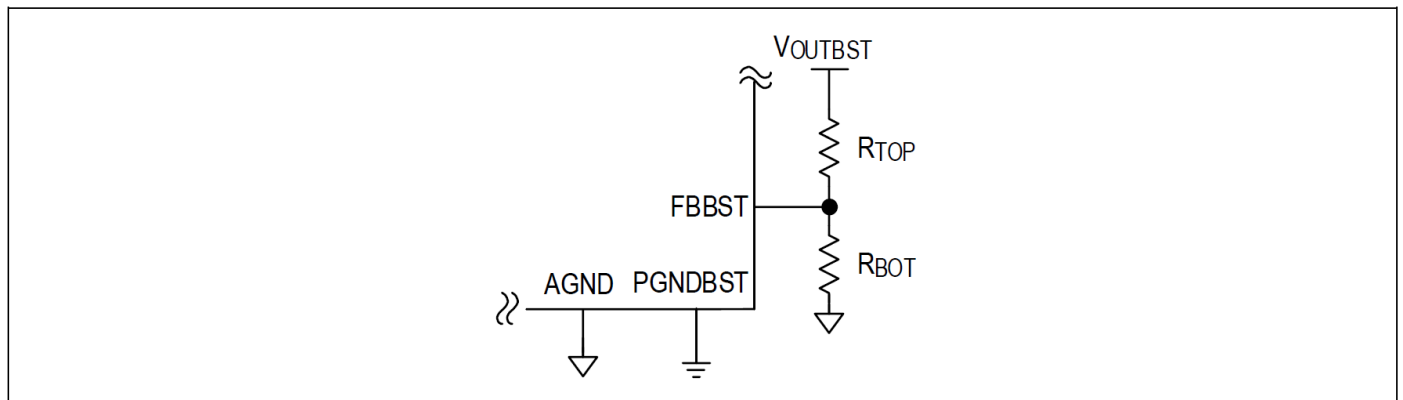


図12. 外部帰還ネットワークの接続

## 詳細-2線式通信

### 概要

MAX77720は、2線式バス・システムを用いて標準的なI<sup>2</sup>Cプロトコルの通信を行います。ホストがデバイスにアクセスするために用いるターゲット・アドレスによって、読出または書込みに使用できるメモリ位置が決まります。

### システム設定

2線式バス・システムは、単一または複数ターゲットのシステム、および単一または複数コントローラのシステムにおいて、ターゲット専用デバイスとしての動作をサポートします。システムは、7ビットのターゲット・アドレスを用いて、最大128個のターゲット・アドレスに対応できます。2線式インターフェースは、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) で構成されています。SDAとSCLを使用することで、MAX77720とコントローラ・デバイスの間の双方向通信を最大1MHzの速度で行うことができます。

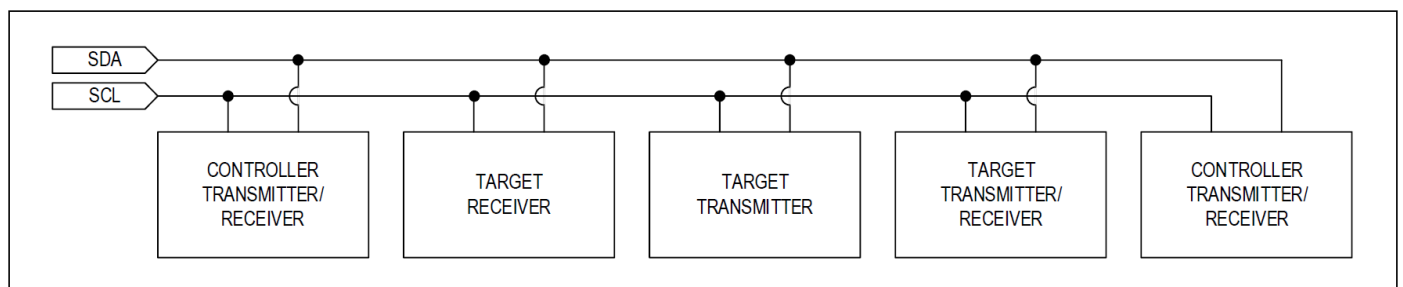


図13. 通信コントローラの機能論理図



図13に、代表的なI<sup>2</sup>Cバス・システムの例を示します。バスにデータを送信するI<sup>2</sup>Cバス上のデバイスは、トランスミッタと呼ばれます。データをバスから受信するデバイスは、レシーバーと呼ばれます。データ転送を開始し、データ転送を制御するためのSCLクロック信号を生成するデバイスは、コントローラと呼ばれます。コントローラからアドレス指定されるデバイスは、ターゲットと呼ばれます。MAX77720はI<sup>2</sup>Cバス上ではターゲットです。デバイスのSDAピンは双方向で動作します。デバイスがデータを受信する場合、SDAは入力として動作します。デバイスがデータを返す場合、SDAは、オープンドレイン出力として動作し、ホスト・システムは抵抗性プルアップを提供します。MAX77720は常にターゲット・デバイスとして動作し、コントローラ・デバイスによる制御の下で、データの送受信を行います。コントローラは、バスですべてのトランザクションを開始し、SCL信号を生成すると共に、各トランザクションの開始と終了を担うSTARTビットとSTOPビットも生成します。

## ビット転送

SCLクロック・サイクルごとに、1データ・ビットが転送されます。SDA上のデータは、SCLクロック・パルスがハイの間、安定した状態を維持する必要があります。SCLがハイの間にSDAが変化すると、制御信号（START条件とSTOP条件）になります。例については図14を参照してください。

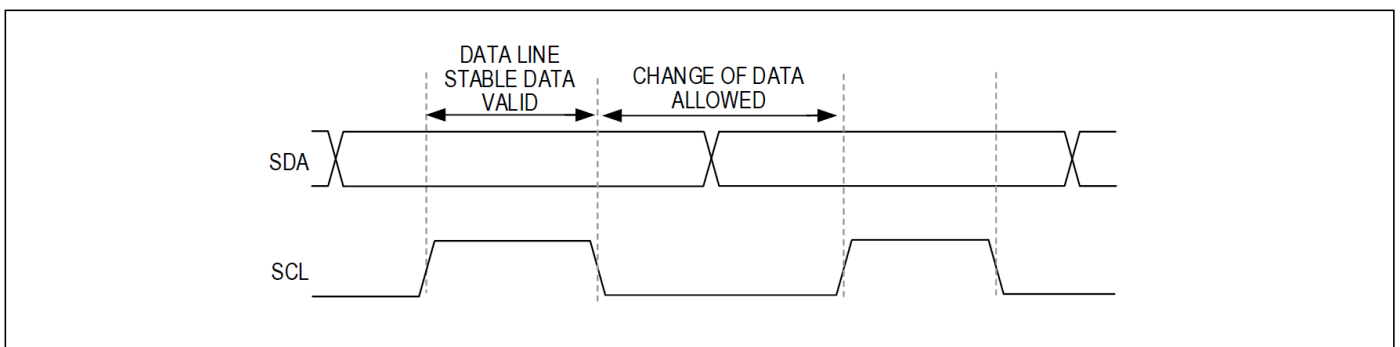


図14. I<sup>2</sup>Cのビット転送

## START条件とSTOP条件

I<sup>2</sup>Cシリアル・インターフェースがアクティブでないとき、SDAとSCLはハイのアイドル状態です。コントローラ・デバイスは、START条件（S）を発行することで通信を開始します。START条件（S）は、SCLがハイの状態におけるSDAのハイからローへの遷移です。STOP条件（P）は、SCLがハイの状態におけるSDAのローからハイへの遷移です。START条件およびSTOP条件を図15に示します。

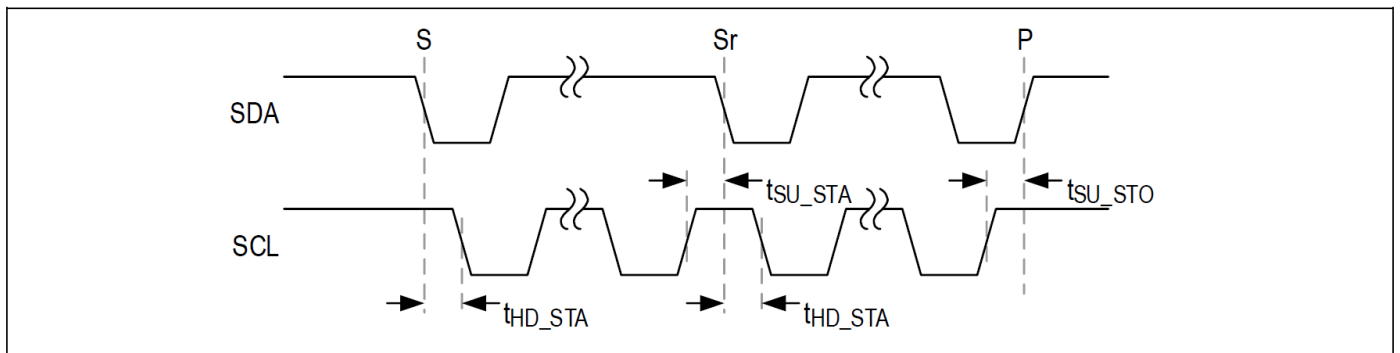


図15. START条件とSTOP条件

コントローラ・デバイスからのSTART条件（S）は、通信の開始を通知します。コントローラは、NOT-ACKNOWLEDGE（NACK）に続けてSTOP条件（P）を発行して転送を終了します。STOP条件（P）はバスを解放します。ターゲットに対して連続するコマンドを発行する場合、コントローラはSTOP条件（P）の代わりに反復START（Sr）コマンドを発行して、バスの制御を維持できます。一般的に、反復START（Sr）コマンドは、通常のSTART条件と機能的に同等です。STOP条件（P）または不正なアドレスが検出されると、MAX77720は次のSTART条件（S）までI<sup>2</sup>Cシリアル・インターフェースからSCLを内部的に切り離して、デジタル・ノイズとフィードスルーを最小限に抑えます。

## アキュレジット・ビット

I<sup>2</sup>Cバス・コントローラ・デバイスとターゲット・デバイスのどちらも、データを受信するとアキュレジット・ビットを生成します。アキュレジット・ビットは、各9ビット・データ・パケットの最後のビットです。ACKNOWLEDGE (ACK) を生成するには、受信デバイスはアキュレジットに関連したクロック・パルス (9番目のパルス) の立上がりエッジの前にSDAをローにし、クロック・パルスがハイの間ローに維持する必要があります。NOT-ACKNOWLEDGE (NACK) を生成するには、受信デバイスはアキュレジットに関連したクロック・パルスの立上がりエッジの前にSDAがハイにプルアップされるようにし、クロック・パルスがハイの間ハイに維持します。アキュレジット・ビットをモニタすることで、データ転送の失敗を検出することができます。データ転送の失敗が起きるのは、受信デバイスがビジー状態の場合、またはシステム・フォルトが発生した場合です。データ転送が失敗した場合、バス・コントローラは後で通信を再試行する必要があります。図16に、デバイスにACKNOWLEDGE条件およびNOT-ACKNOWLEDGE条件がある場合のタイミングを示します。

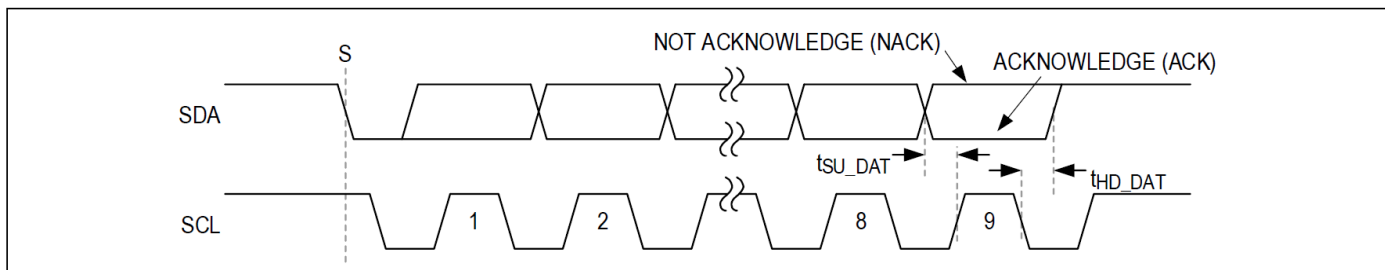


図16. アキュレジット・ビット

## データの順序

2線式通信では、1バイトのデータは、最上位ビット (Msb) ファーストの順で並ぶ8ビットで構成されます。各バイトの最下位ビット (LSB) の後にACKNOWLEDGEビットが続きます。複数バイトの値で構成されるMAX77720のレジスタは、最下位バイト (LSB) ファーストの順で並びます。

## ターゲット・アドレス

I<sup>2</sup>Cコントローラには、7ビットのターゲット・アドレス指定機能があります。I<sup>2</sup>Cバス・コントローラは、START条件に続けてターゲット・アドレスを発行することで、ターゲットとの通信を開始します。図17を参照してください。OTPアドレスは、4つのオプションのうち1つを出荷時に設定できます (表6参照)。表6に記載されていないターゲット・アドレスはすべてアキュレジットされません。

表6. I<sup>2</sup>Cターゲット・アドレス

ADDRESS	7-BIT TARGET ADDRESS	8-BIT WRITE ADDRESS	8-BIT READ ADDRESS
Main Address (ADDR[1:0]= 0x0)*	0x41, 0b 100 0001	0x82, 0b 1000 0010	0x83, 0b 1000 0011
Main Address (ADDR[1:0]= 0x1)*	0x42, 0b 100 0010	0x84, 0b 1000 0100	0x85, 0b 1000 0101
Main Address (ADDR[1:0]= 0x2)*	0x6A, 0b 110 1010	0xD4, 0b 1101 0100	0xD5, 0b 1101 0101
Main Address (ADDR[1:0]= 0x3)*	0x6B, 0b 110 1011	0xD6, 0b 1101 0110	0xD7, 0b 1101 0111
Test Mode**	0x49, 0b 100 1001	0x92, 0b 1001 0010	0x93, 0b 1001 0011

\* すべての読み出しと書き込みをメイン・アドレスに対して実行します。ADDRは工場出荷時のワンタイム・プログラマブル (OTP) オプションであり、バス競合が発生した場合にアドレスを変更できます。詳細については、アナログ・デバイスにお問い合わせください。

\*\* テストモードがロック解除されると、追加アドレスがアキュレジットされます。テストモードの詳細については非公開とさせていただきます。可能であれば、万一アナログ・デバイスの協力のもとでデバッグを行う必要がある場合に備えて、テスト・モード・アドレスは未割り当てのままにしておいてください。

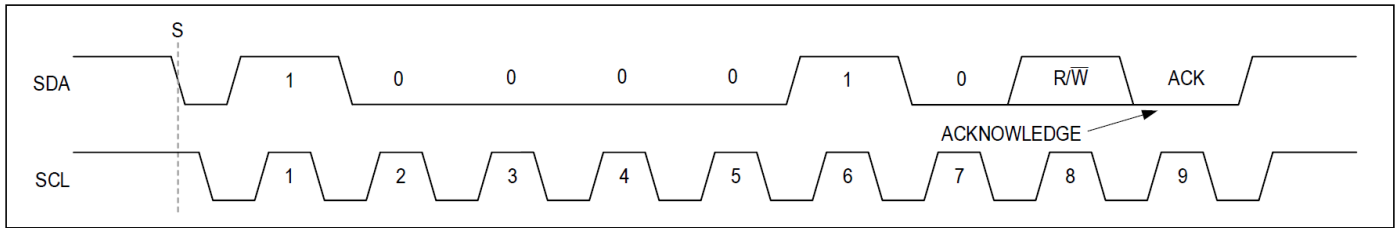


図17. ターゲット・アドレス・バイトの例-SDAは0x42の7ビット・ターゲット・アドレスを示す

## クロック・ストレッチング

一般に、I<sup>2</sup>Cバスのクロック信号生成はコントローラ・デバイスの役割です。I<sup>2</sup>Cの仕様では、低速のターゲット・デバイスが、クロック・ラインをローに保持することによってクロック信号を変更できるようになっています。ターゲット・デバイスがクロック・ラインをローに保持するプロセスは、一般にクロック・ストレッチングと呼ばれています。MAX77720は、クロック・ラインをローに保持するクロック・ストレッチング動作はいかなる形でも使用しません。

## ジェネラル・コール・アドレス

MAX77720は、I<sup>2</sup>C仕様のジェネラル・コール・アドレスには対応していません。また、ジェネラル・コール・アドレス (0b0000 0000) にアクノレッジを発行しません。

## 通信速度

MAX77720はI<sup>2</sup>C Rev. 7.0仕様に示されている以下の通信速度をサポートしています。

- 0Hz~100kHz (標準モード)
- 0Hz~400kHz (ファースト・モード)
- 0Hz~1MHz (ファースト・モード・プラス)

標準モード、ファースト・モード、ファースト・モード・プラスで動作させる場合、特別なプロトコルは必要ありません。この範囲でバス速度を変更する場合、バス容量とプルアップ抵抗の組み合わせが重要です。バス容量とプルアップ抵抗によって生成される時定数 ( $C \times R$ ) が大きくなると、バス動作が遅くなります。したがって、バスの速度を上げる場合、妥当な時定数を維持するために、プルアップ抵抗を小さくする必要があります。プルアップ抵抗の選択に関する詳細なガイダンスについては、I<sup>2</sup>C Rev. 7.0仕様のプルアップ抵抗のサイジングのセクションを参照してください。一般に、バス容量が200pFの場合、100kHzのバスには5.6k $\Omega$ 、400kHzのバスには約1.5k $\Omega$ 、1MHzのバスには680 $\Omega$ のプルアップ抵抗が必要です。プルアップ抵抗はオープンドレイン・バスがローの場合に電力を消費する点に、注意してください。プルアップ抵抗の値が小さいほど、消費電力 ( $V^2/R$ ) は大きくなります。高速モードでの動作には、いくつかの特別な考慮事項が必要です。考慮事項の完全なリストについては、I<sup>2</sup>C Rev. 7.0仕様を参照してください。MAX77720に関する主な考慮事項は、次のとおりです。

- コントローラ・デバイスは、電流源プルアップを用いて、信号の立上がり時間を短縮します。
- ターゲット・デバイスは、より高いバス速度に対応するため、SDAラインとSCLラインで異なる入力フィルタを使用する必要があります。
- 通信プロトコルは、高速のコントローラ・コードを利用する必要があります。

パワーアップ時および各STOP条件 (P) 後、MAX77720の入力フィルタを標準モード、ファースト・モード、ファースト・モード・プラス (すなわち0Hz~1MHz) 用のいずれかに設定します。

## 通信プロトコル

MAX77720は、以下のサブセクションに示すように、レジスタとの間での書込みと読出しのどちらにも対応しています。

### 単一レジスタへの書込み

図18に、単一レジスタへの書込みプロトコルを示します。このプロトコルは、SMBus規格のバイト書込みプロトコルと同様です。

バイト書込みプロトコルは以下のとおりです。

1. コントローラはSTART条件 (S) を送信します。
2. コントローラは、7ビットのターゲット・アドレスに続いて、書込みビット ( $\overline{R/W}=0$ ) を送信します。
3. アドレス指定されたターゲットは、SDAをローにしてACKNOWLEDGE (ACK) をアサートします。

4. コントローラは8ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラはデータ・バイトを送信します。
7. ターゲットはデータ・バイトをアクノレッジします。SCLの立上がりエッジで、データ・バイトがそのターゲット・レジスタに読み込まれ、データがアクティブになります。
8. コントローラは、STOP条件 (P) または反復START条件 (Sr) を送信します。STOP条件 (P) を発行することで、バスの入力フィルタは1MHz以下の動作に設定されます。反復START条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

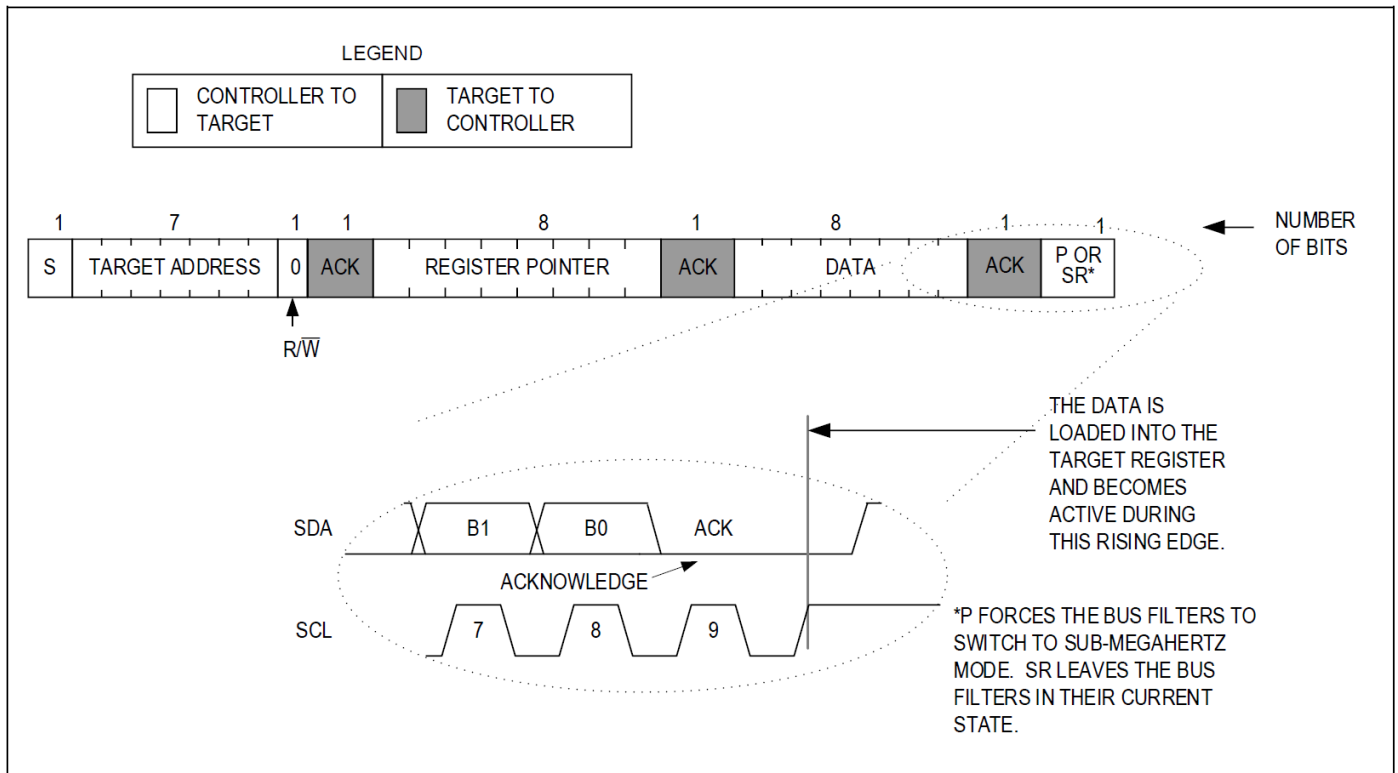


図18. 単一レジスタへの書込み

### シーケンシャル・レジスタへの書込み

図19に、シーケンシャル・レジスタへの書込みプロトコルを示します。このプロトコルはバイト書込みプロトコルに似ていますが、ターゲット・デバイスがデータの最初のバイトを受信した後もコントローラ・デバイスが書込みを継続する点が異なります。書込みが終了すると、コントローラはSTOP条件 (P) または反復START条件 (Sr) を発行します。

シーケンシャル・レジスタへの書込みプロトコルは以下のとおりです。

1. コントローラはSTART条件 (S) を送信します。
2. コントローラは、7ビットのターゲット・アドレスに続いて、書込みビット ( $R/\bar{W}=0$ ) を送信します。
3. アドレス指定されたターゲットは、SDAをローにしてACKNOWLEDGE (ACK) をアサートします。
4. コントローラは8ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラはデータ・バイトを送信します。

7. ターゲットはデータ・バイトをアクノレッジします。SCLの立上がりエッジで、データ・バイトがそのターゲット・レジスタに読み込まれ、データがアクティブになります。
8. ステップ6～ステップ7を、コントローラが必要とする回数だけ繰り返します。
9. 最後のアクノレッジに関連したクロック・パルス中に、ターゲットはACKNOWLEDGE (ACK) を発行します。
10. コントローラは、STOP条件 (P) または反復START条件 (Sr) を送信します。STOP条件 (P) を発行することで、バスの入力フィルタは1MHz以下の動作に設定されます。反復START条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

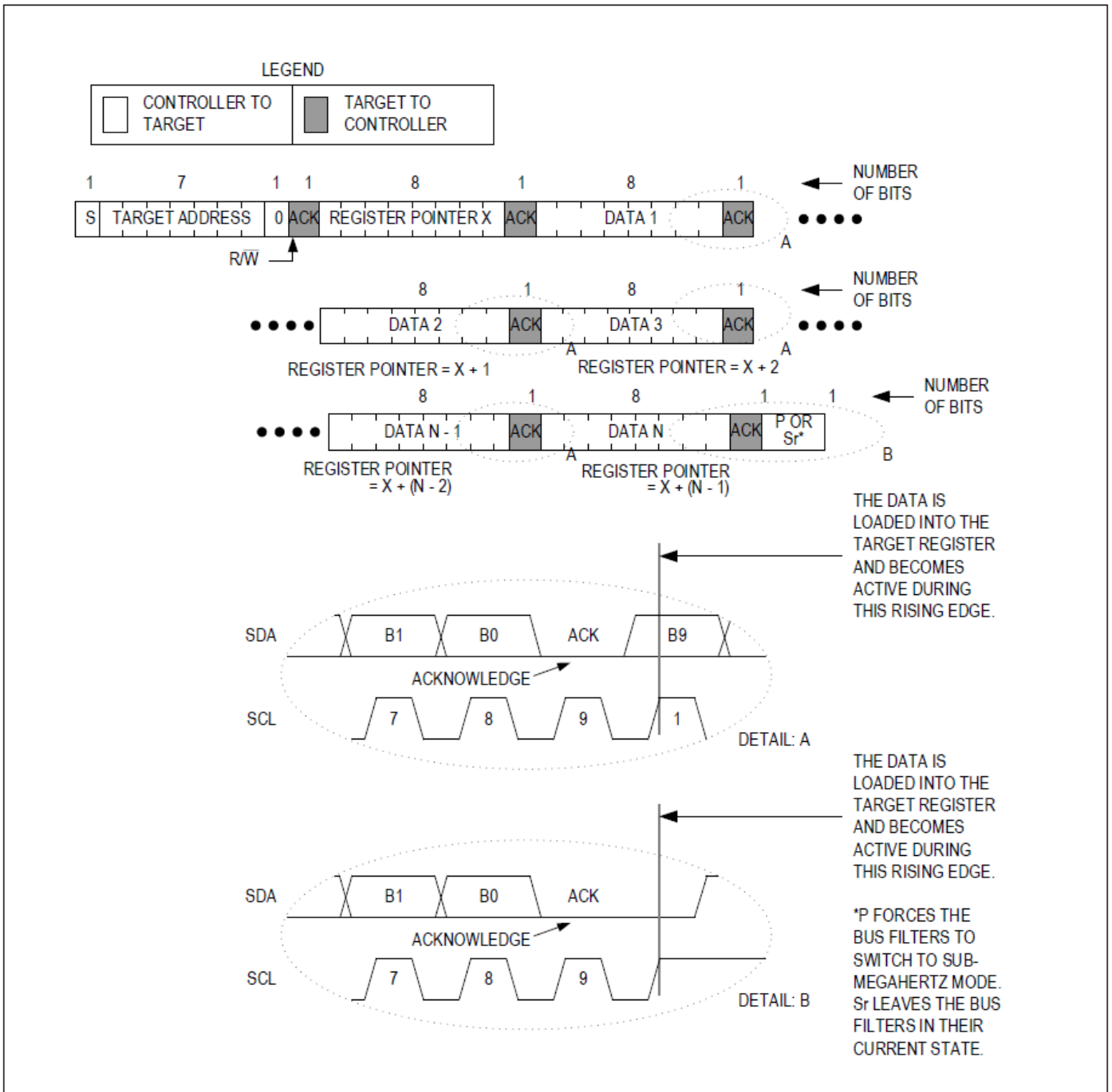


図19. シーケンシャル・レジスタへの書込み

### 単一レジスタからの読出し

図20に、単一レジスタからの読出しのプロトコルを示します。このプロトコルは、SMBus規格のバイト読出しプロトコルと同じです。

バイト読出しプロトコルは、以下のとおりです：

1. コントローラはSTART条件 (S) を送信します。
2. コントローラは、7ビットのターゲット・アドレスに続いて、書込みビット ( $\overline{R/W}=0$ ) を送信します。
3. アドレス指定されたターゲットは、SDAをローにしてACKNOWLEDGE (ACK) をアサートします。
4. コントローラは8ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラは反復スタート・コマンド (Sr) を送信します。
7. コントローラは、7ビットのターゲット・アドレスに続いて、読出しビット ( $\overline{R/W}=1$ ) を送信します。
8. アドレス指定されたターゲットは、SDAをローにしてACKNOWLEDGE (ACK) をアサートします。
9. アドレス指定されたターゲットは、レジスタ・ポインタで指定された場所の8ビット・データをバス上に配置します。
10. コントローラはNOT ACKNOWLEDGE (NACK) を発行します。
11. コントローラは、STOP条件 (P) または反復START条件 (Sr) を送信します。STOP条件 (P) を発行することで、バスの入力フィルタは1MHz以下の動作に設定されます。反復START条件 (Sr) を発行すると、バスの入力フィルタは現在の状態を維持します。

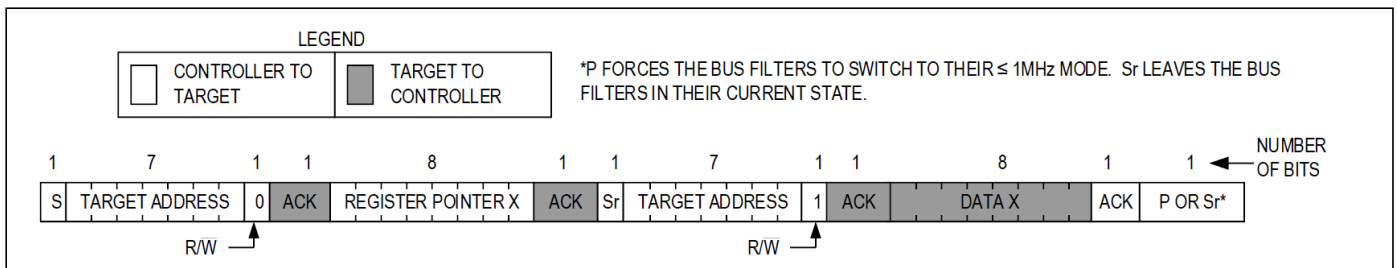


図20. 単一レジスタからの読出し

### シーケンシャル・レジスタからの読出し

図21に、連続するシーケンシャル・レジスタからの読出しプロトコルを示します。このプロトコルはバイト読出しプロトコルに似ていますが、コントローラ・デバイスがACKNOWLEDGE (ACK) を発行してターゲット・デバイスに更にデータが必要であることを知らせる点が異なります。コントローラ・デバイスが必要とするデータをすべて受信すると、NOT ACKNOWLEDGE (NACK) とSTOP条件 (P) を発行して転送を終了します。

シーケンシャル・レジスタからの連続読出しプロトコルは以下のとおりです。

1. コントローラはSTART条件 (S) を送信します。
2. コントローラは、7ビットのターゲット・アドレスに続いて、書込みビット ( $\overline{R/W}=0$ ) を送信します。
3. アドレス指定されたターゲットは、SDAをローにしてACKNOWLEDGE (ACK) をアサートします。
4. コントローラは8ビットのレジスタ・ポインタを送信します。
5. ターゲットはレジスタ・ポインタをアクノレッジします。
6. コントローラは反復スタート・コマンド (Sr) を送信します。
7. コントローラは、7ビットのターゲット・アドレスに続いて、読出しビット ( $\overline{R/W}=1$ ) を送信します。
8. アドレス指定されたターゲットは、SDAをローにしてACKNOWLEDGE (ACK) をアサートします。
9. アドレス指定されたターゲットは、レジスタ・ポインタで指定された場所の8ビット・データをバス上に配置します。





### 反転昇降圧のダイオードの選択

MAX77720反転昇降圧コンバータは、外付けダイオードを必要とする非同期整流式コンバータです。最高性能を実現するには、順方向電圧降下が小さくスイッチング動作が高速のショットキー・ダイオードを推奨します。

低レンジ（-17.01V～-24V）には、逆方向電圧（ $V_R$ ）が-40Vより低く、最小順方向電流（ $I_{FW}$ ）が1.5Aのショットキー・ダイオードを選択します。

高レンジ（-10.01V～-17V）には、逆方向電圧（ $V_R$ ）が-30Vより低く、最小順方向電流（ $I_{FW}$ ）が1.5Aのショットキー・ダイオードを選択します。

これらの推奨事項は、小型フォーム・ファクタのダイオードに高い堅牢性と最高の効率を提供します。

### 反転昇降圧の出力コンデンサの選択

反転昇降圧コンバータの安定動作のためには、十分な出力容量（ $C_{OUT\_IBB}$ ）が必要です。実効 $C_{OUT\_IBB}$ は4.7 $\mu$ F以上となるよう選択してください。

実効 $C_{OUT\_IBB}$ とは、動作時のDC/DCコンバータから見た実際の容量値です。実効 $C_{OUT\_IBB}$ は、コンデンサの初期許容誤差、温度による変動、およびDCバイアスによるディレーティングを考慮して、慎重に選択する必要があります。

$C_{OUT\_IBB}$ により大きな値（必要な最小実効容量を超える値）を選択すると負荷過渡応答の性能は改善しますが、ソフトスタート中の入力サージ電流が増加します。出力フィルタ・コンデンサは、出力リップルと負荷過渡応答の条件を満たすため、ESRが十分に低いことが必要です。出力容量は十分大きく、全負荷条件から無負荷条件に遷移する間のインダクタのエネルギーを吸収できることが必要です。

X5RまたはX7R誘電体を用いたセラミック・コンデンサは、サイズが小さく、低ESRで、温度係数が小さいため、強く推奨します。セラミック・コンデンサはすべてDCバイアス電流によるディレーティングがあります（DCバイアスの上昇に伴い実効容量が減少）。一般的に、ケース・サイズの小さなコンデンサはケース・サイズの大きなものに比べディレーティングが著しくなります（0805のケース・サイズの方が0603より高性能）。

また、出力電圧の絶対値が大きい（最低電圧が-24V）ため、セラミック・コンデンサの絶対最大電圧定格を考慮する必要があります。反転昇降圧の低レンジ（-17.01V～-24V）を用いるアプリケーションでは、信頼性を高めるために50V定格のコンデンサを使用することを推奨します。反転昇降圧の高レンジ（-10.01V～-17V）を用いるアプリケーションでは、信頼性を高めるために35V定格のコンデンサを使用することを推奨します。適切なDCバイアス、ACリップル、温度による容量のディレーティングについては、メーカーのデータシートを参照してください。

### 昇圧インダクタの選択

インダクタの選択は、定常状態動作、トランジェント動作、およびループ安定性に影響するため、インダクタは昇圧パワー・コンバータの設計において最も重要な部品です。考慮すべき重要な仕様には、インダクタンス値、飽和電流、DC抵抗の3つがあります。MAX77720昇圧コンバータは、4.7 $\mu$ H～15 $\mu$ Hのインダクタ値で動作するよう設計されています。また、インダクタには、アプリケーションに応じたピーク電流制限の設定値（ $I_{BST\_ILIM}$ ）以上の飽和電流を持つものを選択してください。

次式を用いると、アプリケーションに対するインダクタのピーク電流を計算できます。最も厳しい場合の電流を計算するには、アプリケーションの最低入力電圧値、最大出力電圧値、最大負荷電流値を用います。設計マージンを十分に確保するため、公差が-30%でアプリケーションに対する電力変換効率が低いインダクタ値を選択します。

インダクタのDC電流（ $I_{L(DC)}$ ）はアンペアを単位として次式で計算できます。

$$I_{L(DC)} = (V_{OUT\_BST} \times I_{OUT\_BST}) / (V_{IN} \times \eta)$$

ここで、

$V_{OUT\_BST}$  = 昇圧出力電圧。

$I_{OUT\_BST}$  = 昇圧出力電流。

$V_{IN}$  = 入力電圧。

$\eta$  = 電力変換効率。ほとんどのアプリケーションでは80%の値を使用。

CCMの非同期整流式昇圧コンバータのインダクタ・リップル電流（ $\Delta I_{L(PK-PK)}$ ）は、アンペアを単位として次式で計算できます。



$$\Delta I_{L(PK-PK)} = (V_{IN} \times (V_{OUT\_BST} + 0.4V - V_{IN})) / (L \times f_{SW} \times (V_{OUT} + 0.4V))$$

ここで、

$\Delta I_{L(PK-PK)}$  = アンペアを単位とするピークtoピーク・インダクタ・リップル電流。

L = インダクタンス値。

$f_{SW}$  = スイッチング周波数 (1MHz (代表値))。

$V_{OUT\_BB}$  = 出力電圧。

$V_{IN}$  = 入力電圧。

0.4V = ダイオードの降下電圧 (代表値)。

そのため、インダクタ・ピーク電流 ( $I_{L(PK)}$ ) は、アンペアを単位として次式で計算できます。

$$I_{L(PK)} = I_{L(DC)} + (\Delta I_{L(PK-PK)} / 2)$$

通常、電源がCCMで動作することが予想される場合、ピークtoピーク電流リップルを平均インダクタ電流の40%未満として動作させることを推奨します。インダクタの値を大きくしてリップルを小さくすることで、インダクタのEMIおよび磁気損失を低減できます。ただし、負荷過渡応答時間は増加します。MAX77720は出力電流が比較的小さなアプリケーションで用いられるため、インダクタ・ピークtoピーク電流リップルを高くできます。この場合、MAX77720はほとんど、不連続電流モード (DCM) の動作モードで動作します。

アプリケーション向けの一般的な推奨事項として、インダクタ値は $V_{OUT\_BST}$ の設定値に応じて選択してください (表7参照)。

**表7. 昇圧の推奨インダクタ値**

$V_{OUT\_BST}$ (V)	L ( $\mu$ H)
5.5 to 7	4.7
7 to 9	6.8
9 to 11	8.2
11 to 17	10
17 to 20	15

## 昇圧の出力コンデンサの選択

昇圧の安定動作のためには、十分な出力容量 ( $C_{OUT\_BST}$ ) が必要です。出力電圧が8V以下の場合、12 $\mu$ F以上の実効容量を選択します。出力電圧が8Vを超える場合は、6 $\mu$ F以上の実効容量を選択します。

反転昇降圧コンバータの場合と同様、実効 $C_{OUT\_BST}$ は、動作中のDC/DCコンバータから見た実際の容量値です。実効 $C_{OUT\_BST}$ は、コンデンサの初期許容誤差、温度による変動、およびDCバイアスによるディレーティングを考慮して、慎重に選択する必要があります。

また、出力電圧の絶対値が大きい (最大+20V) ため、セラミック・コンデンサの絶対最大電圧定格を考慮する必要があります。14V以上の出力電圧レンジを用いるアプリケーションでは、35Vまたは50V定格のコンデンサを用いることを推奨します。14V未満の出力電圧レンジを用いるアプリケーションでは、信頼性を高めるために、定格が20V以上のコンデンサを用いることを推奨します。適切なDCバイアス、ACリップル、温度による容量のディレーティングについては、メーカーのデータシートを参照してください。

昇圧出力コンデンサは、昇圧コンバータの小信号制御ループの安定性に影響します。出力コンデンサの仕様がレンジに満たない場合は、昇圧コンバータが不安定になる可能性があります。出力コンデンサを大きくすると、出力電圧リップルは小さくなります。 $V_{IN}$ が $V_{OUT\_BST}$ に近いアプリケーションでは、出力電圧リップルを最小限に抑えるために、より大きな出力容量が必要です。

## PCBレイアウト時の一般的なガイドライン

スイッチング電力損失を低減し、ノイズ耐性を増加してクリーンで安定した動作を得るためには、プリント基板レイアウトに細心の注意を払う必要があります。

PCBのレイアウト時には、以下の一般的なガイドラインに従います。

- DC/DCコンバータのインダクタと出力コンデンサは、MAX77720の近くに配置し、小さい電源ループを確保します。
- DC/DCコンバータの電流経路を配線する場合は、短い幅広のパターンを用いて、高速スイッチングに関連するEMI問題を低減することが必要です。LXピンとインダクタの間のパターンは、これを実現するために最も重要です。
- 入力コンデンサと出力コンデンサのグラウンド・ループはできる限り小さくします。
- 多層PCBでは、アナログ・グラウンド（AGND）を専用のプレーンとし、電源グラウンド（PGND）は別の専用プレーンとする必要があります。AGNDは他とは切り離してグラウンド・プレーンに直接接続し、AGND用にノイズのないグラウンド・プレーンを確保すると共に、共通のインピーダンス・グラウンドとなることを避ける必要があります。
- 帰還ピンは、ノイズ耐性を高めるためにLXスイッチング・ノードからは離して配線する必要があります。このピンは、ノイズに非常に敏感な高インピーダンス入力です。
- 可能な場合は、グラウンド・プレーンと配線パターンを用いて、帰還信号をシールドし、ノイズ干渉や磁気干渉を最小限に抑える必要があります。多層PCBでは、グラウンド・プレーンを大電流経路とアナログ経路やデジタル経路の間に配置する必要があります。

### PCBレイアウト例

図22に、最上層およびその下の追加デジタル信号のレイアウト例を示します。部品の詳細とEVキットの推奨事項については、MAX77720EVKIT#のデータシートを参照してください。

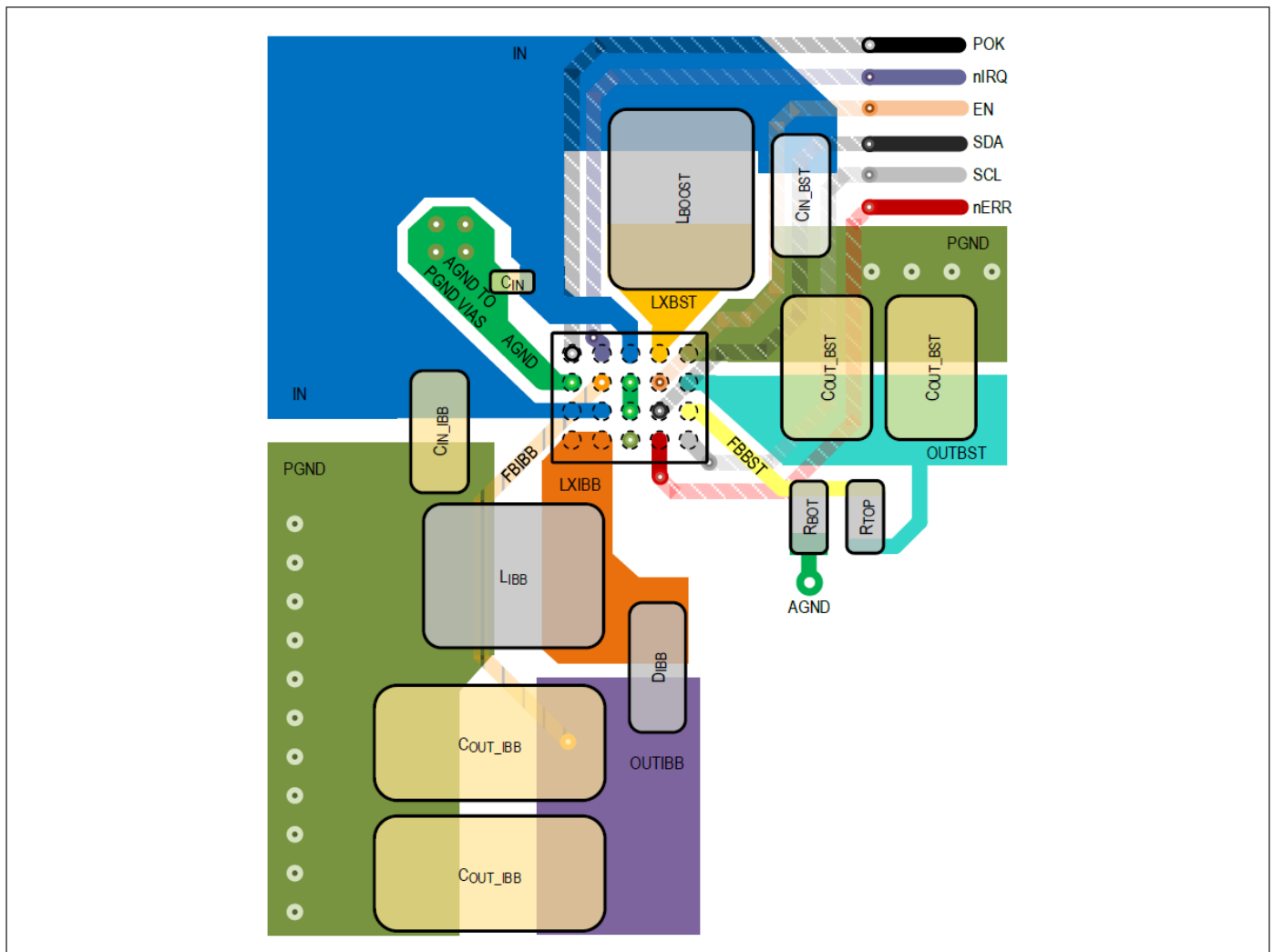


図22. PCB最上層と部品配置の例

標準アプリケーション回路

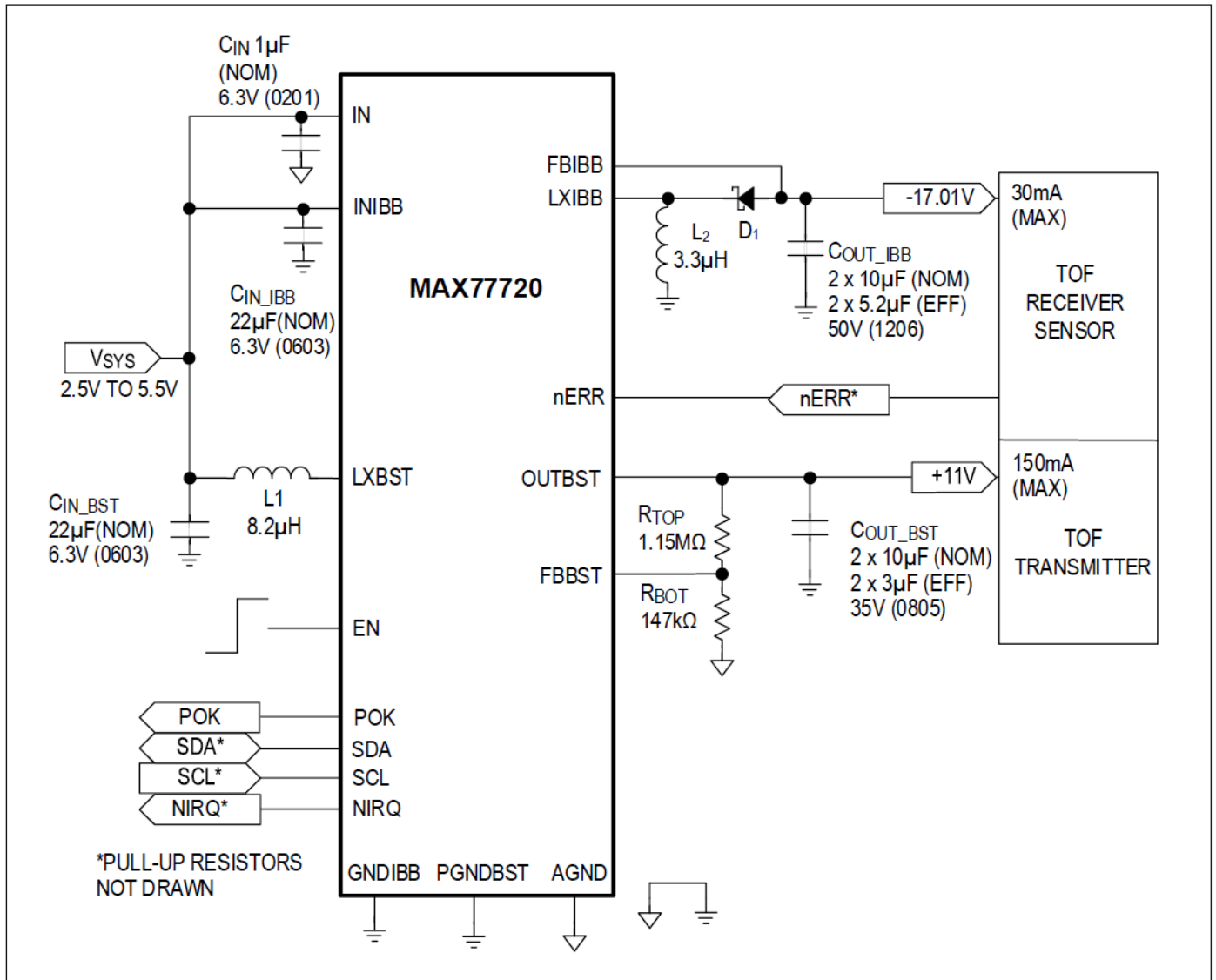


図23. 標準アプリケーション回路

## レジスタ・マップ

### ユーザ・レジスタ

シャットダウン時にレジスタはリセットされます。

ADDRESS	NAME	MSB							LSB
<b>User Registers</b>									
0x01	<a href="#">INT_GLBL0[7:0]</a>	RSVD	POK_IBB_I	POK_BST_I	IBB_SCP_I	BST_SCP_I	IBB_OCP_I	BST_OCP_I	ERR_PIN_I
0x02	<a href="#">INTM_GLBL0[7:0]</a>	RSVD	POK_IBB_M	POK_BST_M	IBB_SCP_M	BST_SCP_M	IBB_OCP_M	BST_OCP_M	ERR_PIN_M
0x03	<a href="#">STAT_GLBL[7:0]</a>	RSVD	POK_IBB_S	POK_BST_S	IBB_SCP_S	BST_SCP_S	IBB_OCP_S	BST_OCP_S	ERR_PIN_S
0x04	<a href="#">ERCFLAG[7:0]</a>	-	-	-	-	OVLO	UVLO	OTLO	RSVD
0x05	<a href="#">CNFG_GLBL[7:0]</a>	-	-	-	-	EN_BIAS	FRC_IBB_ON	FRC_BST_ON	FORCE_DIS
<b>User Registers</b>									
0x30	<a href="#">CNFG_DCDC0[7:0]</a>	-	RNG_IBB	SS_IBB	ADE_IBB	RSVD	IPK_BST[1:0]		ADE_BST
0x31	<a href="#">CNFG_DCDC1[7:0]</a>	-	-	-	-	RSVD	RSVD	RSVD	VOUT_IBB
0x32	<a href="#">CNFG_DCDC2[7:0]</a>	VOUT_IBB[7:0]							
0x40	<a href="#">CNFG_DLY0[7:0]</a>	STRTUP_DLY_IBB[3:0]				PWRDN_DLY_IBB[3:0]			
0x41	<a href="#">CNFG_DLY1[7:0]</a>	STRTUP_DLY_BST[3:0]				PWRDN_DLY_BST[3:0]			

### レジスタの詳細

#### INT\_GLBL0 (0x1)

POKおよび割込み源レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD	POK_IBB_I	POK_BST_I	IBB_SCP_I	BST_SCP_I	IBB_OCP_I	BST_OCP_I	ERR_PIN_I
Reset	0x0	0x0	0x0	0x0	0x0	0x0	0x0	0x0
Access Type	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビットフィールド	ビット	説明	デコード
RSVD	7	予備	
POK_IBB_I	6	反転昇降圧のパワーOK割込み	0x0: 昇降圧出力電圧がPOKスレッシュホールドを上回っています 0x1: 昇降圧出力電圧がPOKスレッシュホールドを下回っています
POK_BST_I	5	正昇圧のパワーOK割込み	0x0: 昇圧出力電圧がPOKスレッシュホールドを下回っています 0x1: 昇圧出力電圧がPOKスレッシュホールドを上回っています
IBB_SCP_I	4	反転昇降圧短絡保護割込み	0x0: 昇降圧出力の短絡は検出されていません 0x1: 昇降圧出力の短絡が検出されています
BST_SCP_I	3	昇圧短絡保護割込み	0x0: 昇圧出力の短絡は検出されていません 0x1: 昇圧出力の短絡が検出されています
IBB_OCP_I	2	反転昇降圧過電流保護割込み	0x0: このビットが最後に読み出されて以降、反転昇降圧出力はオーバーロードになっていません 0x1: このビットが最後に読み出されて以降に、反転昇降圧出力はオーバーロードになりました
BST_OCP_I	1	昇圧過電流保護割込み	0x0: このビットが最後に読み出されて以降、昇圧出力はオーバーロードになっていません 0x1: このビットが最後に読み出されて以降に、昇圧出力はオーバーロードになりました
ERR_PIN_I	0	エラー・ピン割込み	0x0: センサー・エラーは検出されていません 0x1: センサー・エラーが検出されました

**INTM\_GLBL0 (0x2)**

POKおよび割込みマスク・レジスタ

BIT	7	6	5	4	3	2	1	0
Field	RSVD	POK_IBB_M	POK_BST_M	IBB_SCP_M	BST_SCP_M	IBB_OCP_M	BST_OCP_M	ERR_PIN_M
Reset	0x1	0x1	0x1	0x1	0x1	0x1	0x1	0x1
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RSVD	7	予備	
POK_IBB_M	6	パワーOK割込みマスク	0x0: 昇降圧用パワーOKステータスはマスクされていません 0x1: 昇降圧用パワーOKステータスはマスクされています (デフォルト)
POK_BST_M	5	パワーOK割込みマスク	0x0: 昇圧用パワーOKステータスはマスクされていません 0x1: 昇圧用パワーOKステータスはマスクされています (デフォルト)
IBB_SCP_M	4	反転昇降圧短絡保護割込みマスク	0x0: 反転昇降圧出力短絡割込みはマスクされていません 0x1: 反転昇降圧出力短絡割込みはマスクされています (デフォルト)
BST_SCP_M	3	昇圧短絡保護割込みマスク	0x0: 昇圧出力短絡割込みはマスクされていません 0x1: 昇圧出力短絡割込みはマスクされています (デフォルト)
IBB_OCP_M	2	反転昇降圧オーバーロード保護割込みマスク	0x0: 反転昇降圧出力過電流割込みはマスクされていません 0x1: 反転昇降圧出力過電流割込みはマスクされています (デフォルト)

ビットフィールド	ビット	説明	デコード
BST_OCP_M	1	昇圧短絡保護マスク	0x0 : 昇圧出力過電流割込みはマスクされていません 0x1 : 昇圧出力過電流割込みはマスクされています (デフォルト)
ERR_PIN_M	0	エラー・ピン割込みマスク	0x0 : エラー・ピン割込みはマスクされていません 0x1 : エラー・ピン割込みはマスクされています

**STAT\_GLBL (0x3)**

BIT	7	6	5	4	3	2	1	0
Field	RSVD	POK_IBB_S	POK_BST_S	IBB_SCP_S	BST_SCP_S	IBB_OCP_S	BST_OCP_S	ERR_PIN_S
Reset	0x0	0x0	0x0	0x0	0x0	0x0	0x0	0x0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
RSVD	7	予備	
POK_IBB_S	6	負昇降圧のパワーOKステータス	0x0 : 昇降圧出力電圧がPOKスレッシュホールドを上回っています 0x1 : 昇降圧出力電圧がPOKスレッシュホールドを下回っています
POK_BST_S	5	正昇圧のパワーOKステータス	0x0 : 昇圧出力電圧がPOKスレッシュホールドを下回っています 0x1 : 昇圧出力電圧がPOKスレッシュホールドを上回っています
IBB_SCP_S	4	反転昇降圧の短絡ステータス	0x0 : 反転昇降圧出力は短絡していません 0x1 : 反転昇降圧出力は短絡しています
BST_SCP_S	3	昇圧の短絡ステータス	0x0 : 昇圧出力は短絡していません 0x1 : 昇圧出力は短絡しています
IBB_OCP_S	2	反転昇降圧の過電流保護ステータス	0x0 : 反転昇降圧出力はオーバーロードになっていません 0x1 : 反転昇降圧出力はオーバーロードになっています
BST_OCP_S	1	昇圧の過電流保護ステータス	0x0 : 昇圧出力はオーバーロードになっていません 0x1 : 昇圧出力はオーバーロードになっています
ERR_PIN_S	0	エラー・ピンのステータス	0x0 : センサー・エラーは検出されていません 0x1 : センサー・エラーが検出されました

**ERCFLAG (0x4)**

POKおよび割込み源レジスタ

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	OVLO	UVLO	OTLO	RSVD
Reset	-	-	-	-	0x0	0x0	0x0	0x0
Access Type	-	-	-	-	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
OVLO	3	過電圧ロックアウト	0x0: このレジスタの最後の読出し以降、過電圧ロックアウトは発生していません 0x1: このレジスタの最後の読出し以降に、過電圧ロックアウトが発生しましたこれは、VIN電圧がOVLO (約5.85V) を上回ったことを示します。
UVLO	2	低電圧ロックアウト	0x0: このレジスタの最後の読出し以降、低電圧ロックアウトは発生していません 0x1: このレジスタの最後の読出し以降に、低電圧ロックアウトが発生しましたこれは、VIN電圧がUVLO (約2.4V) を下回ったことを示します。
OTLO	1	過熱ロックアウト	0x0: このレジスタの最後の読出し以降、過熱ロックアウトは発生していません 0x1: このレジスタの最後の読出し以降に、過熱ロックアウトが発生しましたこのビットは、ジャンクション温度が+165°Cを超えたことを示します。
RSVD	0	予備	

## CNFG\_GLBL (0x5)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	EN_BIAS	FRC_IBB_ON	FRC_BST_ON	FORCE_DIS
Reset	-	-	-	-	0x0	0x0	0x0	0x0
Access Type	-	-	-	-	Write, Read	Write, Read	Write, Read	Write 0 to Clear, Read

ビットフィールド	ビット	説明	デコード
EN_BIAS	3	バイアス・イネーブル	0x0: ENピンによって決まります 0x1: イネーブル
FRC_IBB_ON	2	反転昇降圧 (IBB) レギュレータのイネーブル IBBレギュレータの状態によらず、これを強制的にオンにできます。	0x0: ENピン、nERRピン、FORCE_DISによって決まります 0x1: 強制イネーブル
FRC_BST_ON	1	昇圧 (BST)レギュレータのイネーブル BSTレギュレータの状態によらず、これを強制的にオンにできます。	0x0: ENピン、nERRピン、FORCE_DISによって決まります 0x1: 強制イネーブル
FORCE_DIS	0	強制ディスエーブル・ビット nERRピンがローになっている間、このビットは1に設定され、反転昇降圧と昇圧はディスエーブルされたままとなります。 レギュレータを再度イネーブルするには、nERRピンがハイの間にこのビットに0を書き込みます。	0x0: センサー・エラーは検出されていません 0x1: センサー・エラーが検出されました

## CNFG\_DCDC0 (0x30)

BIT	7	6	5	4	3	2	1	0
Field	-	RNG_IBB	SS_IBB	ADE_IBB	RSVD	IPK_BST[1:0]		ADE_BST
Reset	-	OTP	OTP	OTP	0x0	OTP		OTP
Access Type	-	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read



ビットフィールド	ビット	説明	デコード
RNG_IBB	6	反転昇降圧出力電圧のレンジ	0x0 : 低レンジ : $-24.00V < V_{OUT\_IBB} < -17.01V$ 0x1 : 高レンジ : $-17.00V < V_{OUT\_IBB} < -10.01V$
SS_IBB	5	反転昇降圧のソフトスタート電流制限値	0x0 : 400mA 0x1 : 600mA
ADE_IBB	4	反転昇降圧のアクティブ放電のイネーブル	0x0 : アクティブ放電機能は無効化されています。反転昇降圧がディスエーブルされている場合、その放電レートは、出力容量と外部負荷の関数です（デフォルト）。 0x1 : アクティブ放電機能は有効化されています。反転昇降圧がディスエーブルされている場合、内部抵抗 ( $R_{AD\_NBB}$ ) が $V_{NBB}$ から GNDIBB にアクティブ化され、出力電圧の放電を促進します。出力電圧の放電レートは、出力容量、外部負荷、内部 $R_{AD\_NBB}$ 負荷の関数です。
RSVD	3	予備	
IPK_BST	2:1	昇圧レギュレータ用のインダクタ・ピーク電流制限値	0x0 : 1.0A 0x1 : 0.781A 0x2 : 0.563A 0x3 : 0.5A (DCMのみ)
ADE_BST	0	正昇圧のアクティブ放電のイネーブル	0x0 : アクティブ放電機能は無効化されています。正昇圧がディスエーブルされている場合、その放電レートは、出力容量と外部負荷の関数です（デフォルト）。 0x1 : アクティブ放電機能は有効化されています。正昇圧がディスエーブルされている場合、内部抵抗 ( $R_{AD\_BOOST}$ ) が $V_{BOOST}$ から PGNBST にアクティブ化され、出力電圧の放電を促進します。出力電圧の放電レートは、出力容量、外部負荷、内部 $R_{AD\_BOOST}$ 負荷の関数です。

## CNFG\_DCDC1 (0x31)

BIT	7	6	5	4	3	2	1	0
Field	-	-	-	-	RSVD	RSVD	RSVD	VOUT_IBB
Reset	-	-	-	-	0x0	0x0	0x0	OTP
Access Type	-	-	-	-	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
RSVD	3	予備	
RSVD	2	予備	
RSVD	1	予備	

ビットフィールド	ビット	説明	デコード
VOUT_IBB	0	<p>このビットは、反転昇降圧の目標出力電圧を示すための9ビット構成のMSBとして働き、アドレス CNFG_DCDC2.VOUT_IBBと共に機能します。</p> <p>注：このビットは、CNFG_DCDC2.VOUT_IBBにラッチされます。</p> <p>9ビットを用いて書き込むためには、最初に CNFG_DCDC1.VOUT_IBBビットフィールドに書き込んでからCNFG_DCDC2.VOUT_IBBアドレスに書き込みます。</p> <p>VOUT_IBB[7:0]に書き込まれると、VOUT_IBBの全9ビットは同時に更新されます。</p>	0x0：目標電圧設定値については、CNFG_DCDC2.VOUT_IBBを参照してください

## CNFG\_DCDC2 (0x32)

BIT	7	6	5	4	3	2	1	0
Field	VOUT_IBB[7:0]							
Reset	OTP							
Access Type	Write, Read							

ビットフィールド	ビット	説明	デコード
VOUT_IBB	7:0	<p>反転昇降圧の目標出力電圧</p> <p>これは9ビット構成で、15mV刻みでインクリメントします。このレジスタ・アドレスは、レジスタ・アドレス 0x31 (CNFG_DCDC1.VOUT_IBB) のビット0と共に機能します。</p> <p>注：9ビットを用いて書き込むためには、最初に CNFG_DCDC1.VOUT_IBBビットフィールドに書き込んでからこのレジスタ・アドレスに書き込みます。</p> <p>VOUT_IBB[7:0]に書き込まれると、VOUT_IBBの全9ビットは同時に更新されます。</p> <p>低レンジ：-24.00V~-17.01V 高レンジ：-17.00V~-10.01V</p>	<p>0x000: -17.010V/-10.010V 0x001: -17.010V/-10.010V ... 0x02D: -17.010V/-10.010V 0x02E: -17.025V/-10.025V ... 0x06F: -18.000V/-11.000V ... 0x1FE: -23.985V/-16.985V 0x1FF: -24.000V/-17.000V</p>

## CNFG\_DLY0 (0x40)

Field	STRTUP_DLY_IBB[3:0]	PWRDN_DLY_IBB[3:0]
Reset	0xOTP	OTP
Access Type	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
STRTUP_DLY_IBB	7:4	ENを受信した時点からの反転昇降圧のスタートアップ遅延	0x0 : 0.2ms 0x1 : 0.4ms 0x2 : 0.6ms 0x3 : 0.8ms 0x4 : 1.0ms 0x5 : 1.2ms 0x6 : 1.4ms 0x7 : 1.6ms 0x8 : 1.8ms 0x9 : 2.0ms 0xA : 2.2ms 0xB : 2.4ms 0xC : 2.6ms 0xD : 2.8ms 0xE : 3.0ms 0xF : 3.2ms
PWRDN_DLY_IBB	3:0	ENを受信した時点からの反転昇降圧のパワーダウン遅延	0x0 : 0.2ms 0x1 : 0.4ms 0x2 : 0.6ms 0x3 : 0.8ms 0x4 : 1.0ms 0x5 : 1.2ms 0x6 : 1.4ms 0x7 : 1.6ms 0x8 : 1.8ms 0x9 : 2.0ms 0xA : 2.2ms 0xB : 2.4ms 0xC : 2.6ms 0xD : 2.8ms 0xE : 3.0ms 0xF : 3.2ms

## CNFG\_DLY1 (0x41)

BIT	7	6	5	4	3	2	1	0
Field	STRTUP_DLY_BST[3:0]				PWRDN_DLY_BST[3:0]			
Reset	0xOTP				OTP			
Access Type	Write, Read				Write, Read			

ビットフィールド	ビット	説明	デコード
STRTUP_DLY_BST	7:4	ENを受信した時点からの昇圧のスタートアップ遅延	0x0 : 0.2ms 0x1 : 0.4ms 0x2 : 0.6ms 0x3 : 0.8ms 0x4 : 1.0ms 0x5 : 1.2ms 0x6 : 1.4ms 0x7 : 1.6ms 0x8 : 1.8ms 0x9 : 2.0ms 0xA : 2.2ms 0xB : 2.4ms 0xC : 2.6ms 0xD : 2.8ms 0xE : 3.0ms 0xF : 3.2ms

ビットフィールド	ビット	説明	デコード
PWRDN_DLY_BST	3:0	ENを受信した時点からの昇圧のパワーダウン遅延	0x0 : 0.2ms 0x1 : 0.4ms 0x2 : 0.6ms 0x3 : 0.8ms 0x4 : 1.0ms 0x5 : 1.2ms 0x6 : 1.4ms 0x7 : 1.6ms 0x8 : 1.8ms 0x9 : 2.0ms 0xA : 2.2ms 0xB : 2.4ms 0xC : 2.6ms 0xD : 2.8ms 0xE : 3.0ms 0xF : 3.2ms

## オーダー情報

製品番号	温度範囲	ピン-パッケージ	オプション
MAX77720SANP+T	-40°C~+125°C	20 WLP	<a href="#">表1</a> を参照

+ = 鉛 (Pb) フリー／RoHS準拠のパッケージ。

T = テープ&リール

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	9/23	Initial release	-