



## MAX32690

産業用およびウェアラブル・デバイス用の  
FPU 内蔵 Arm Cortex-M4 マイクロコントローラ  
および Bluetooth LE 5

## 概要

MAX32690 マイクロコントローラ (MCU) は、Arm® Cortex®-M4F CPU、大容量フラッシュおよび SRAM メモリ、最新世代の Bluetooth® 5.2 Low Energy (LE) 無線を備えた、高度なシステムオンチップ (SoC) です。このデバイスは、IoT アプリケーションに必要とされる処理能力と接続性を兼ね備えています。

MAX32690 は、-40°C~+105°C の温度範囲での動作に適合しているため、工業環境での使用に適しています。すべてのデバイスは、68 TQFN-EP 0.40mm ピッチおよび 140 バンプ WLP (0.35mm ピッチ) パッケージを採用しています。

Bluetooth 5.2 Low Energy (LE) 無線は、Mesh、受信角度 (AoA)、放射角度 (AoD) をサポートし、方向検知、長距離 (coded) モード、高スループット・モードを実現します。ソフトウェア・コーデックを用いて実装されている LE Audio ハードウェアは、別途提供されています。RISC-V コアがタイミングの重要なコントローラ・タスクをオプションで処理するため、プログラマは Bluetooth LE の割込み遅延を懸念する必要はありません。

暗号化ツールボックス (CTB) は、高速楕円曲線デジタル署名アルゴリズム (ECDSA) のための MAA、高度暗号化標準 (AES) エンジン、TRNG、SHA-256 ハッシュ、セキュアなブートローダなどの高度なセキュリティ機能を備えています。内部のコードおよび SRAM 空間は、2 つのクワッド SPI execute-in-place (SPIXF および SPIXR) インターフェースを介し、オフチップでそれぞれ最大 512MB に拡張できます。

デバイスは、複数の QSPI、UART、CAN 2.0B、I<sup>2</sup>C の各シリアル・インターフェースの他、オーディオ・コーデックに接続するための I<sup>2</sup>S ポート 1 つを備え、多数の高速インターフェースに対応しています。すべてのインターフェースで、周辺機器とメモリ間の DMA による効率的な転送が可能です。12 入力 (8 外部チャンネル) の 12 ビット SAR ADC が、最大 1Msps のレートでアナログ・データをサンプリングします。

## アプリケーション

- フィットネス/ヘルスケア関連のウェアラブル・デバイス
- ポータブルおよびウェアラブルのワイヤレス医療機器
- 資産管理
- 工業用センサーおよびネットワーク

オーダー情報はデータシートの末尾に記載しています。

## 特長と利点

- バッテリ駆動アプリケーション向けの超高効率マイクロコントローラ
  - FPU 内蔵 120MHz Arm Cortex-M4 プロセッサ
  - データ処理の負荷軽減に有用な超低消費電力 32 ビット RISC-V (RV32) コプロセッサ
  - 7.3728MHz および 60MHz の低消費電力発振器
  - 外部水晶発振器に対応 (Bluetooth LE に必要な 32MHz)
  - 32.768kHz の RTC クロック (外部水晶発振器が必要)
  - 常時オンの 8kHz 超低消費電力発振器
  - 3MB のフラッシュと 1MB の SRAM を内蔵
  - 1.1V で 76.5μW/MHz のアクティブ・モード
  - レベル変換器不要の 1.8V および 3.3V I/O
  - 外部フラッシュおよび SRAM 拡張インターフェース
- Bluetooth 5.2 LE 無線
  - 完全にオープンソースの Bluetooth 5.2 スタックが利用可能
  - AoA、AoD、LE Audio、Mesh をサポート
  - 高スループット (2Mbps) モード
  - 長距離 (125kbps および 500kbps) モード
  - レシーバー感度: -97dBm、トランスミッタ電力: +4.5dBm
  - シングルエンドのアンテナ接続 (50Ω)
- 周辺機器の最適な組み合わせによりプラットフォームのスケラビリティを実現
  - 16 チャンネル DMA
  - 5 個のクワッド SPI コントローラ (60MHz) / 周辺機器 (30MHz)
  - フロー制御を備えた 4 個の UART
  - 2 個の I<sup>2</sup>C
  - I<sup>2</sup>S
  - 8 個の外部チャンネル、12 ビット 1Msps SAR ADC
  - USB 2.0 Hi-Speed デバイス
  - 16 個のパルス列エンジン
  - 4 個の 32 ビット/デュアル 16 ビット・タイマー (8mA のハイ駆動)
  - 2 個の 32 ビット/デュアル 16 ビット低消費電力タイマー
  - 2 個の CAN 2.0B コントローラ
  - 4 個のマイクロパワー・コンパレータ
  - 1 線式コントローラ
- IP/データ・セキュリティ用の暗号化ツールボックス (CTB)
  - モジロ演算アクセラレータ (MAA)、真性乱数ジェネレータ (TRNG)
  - セキュアな不揮発性鍵ストレージ、SHA-256、AES-128/192/256
  - セキュアなブート ROM



## 目次

概要 .....	1
アプリケーション .....	1
特長と利点 .....	1
簡略化したブロック図 .....	2
絶対最大定格 .....	8
パッケージ情報 .....	8
68 TQFN-EP .....	8
140 WLP .....	8
電気的特性 .....	9
電気的特性—I <sup>2</sup> C .....	22
電気的特性—I <sup>2</sup> S .....	24
電気的特性—SPI .....	25
電気的特性—HyperBus .....	26
電気的特性—1 線式コントローラ .....	26
ピン配置 .....	31
68 TQFN-EP .....	31
端子説明 .....	31
ピン配置 .....	37
140 WLP .....	37
端子説明 .....	38
詳細 .....	46
FPU 内蔵 Arm Cortex-M4 プロセッサ .....	46
RISC-V 32 ビット・コア .....	46
メモリ .....	46
内部フラッシュ・メモリ .....	46
内部 SRAM .....	46
Spansion HyperBus/Xccela バス .....	47
外部メモリ SPI Execute-in-Place (SPIX) .....	47
Bluetooth 5.2 .....	47
Bluetooth 5.2 Low Energy (LE) 無線 .....	47
Bluetooth 5.2 のソフトウェア・スタック .....	48
コンパレータ .....	48
クロック供給方式 .....	48
汎用 I/O ピンおよび特定機能ピン .....	49
A/D コンバータ .....	50
パワー・マネージメント .....	50
パワー・マネージメント・ユニット (PMU) .....	50
ACTIVE モード .....	50
SLEEP モード .....	50

## 目次 (続き)

LOW POWER モード (LPM) .....	51
MICRO POWER モード (UPM) .....	51
STANDBY モード .....	51
BACKUP モード .....	51
ウェイクアップ・ソース .....	52
リアルタイム・クロック .....	52
CRC モジュール .....	53
プログラマブル・タイマー .....	53
32 ビット・タイマー/カウンタ/PWM (TMR、LPTMR) .....	53
ウォッチドッグ・タイマー (WDT) .....	54
パルス列エンジン (PT) .....	54
ウェイクアップ・タイマー .....	55
シリアル・ペリフェラル .....	55
USB コントローラ .....	55
コントローラ・エリア・ネットワーク 2.0B .....	55
I <sup>2</sup> C インターフェース .....	56
I <sup>2</sup> S インターフェース .....	56
シリアル・ペリフェラル・インターフェース (SPI) .....	56
UART (UART、LPUART) .....	57
1 線式コントローラ (OWM) .....	58
標準 DMA コントローラ .....	58
暗号化ツールボックス (CTB) .....	58
真性乱数ジェネレータ (TRNG) .....	58
MAA .....	59
AES .....	59
SHA-2 .....	59
メモリ復号完全性ユニット (MDIU) .....	59
信頼の基点 .....	59
セキュアな通信プロトコル・ブートローダ (SCPBL) .....	59
セキュアなブート .....	59
アプリケーション情報 .....	61
バイパス・コンデンサ .....	61
伝送スプリアス放射 .....	61
ブートローダのアクティブ化 .....	61
温度による代表的な固定消費電流変化 .....	61
ACTIVE モード .....	61
ACTIVE モード .....	61
固定 SLEEP モード .....	62
固定 SLEEP モード .....	62

目次 (続き)

固定 LOW POWER モード .....	62
固定 LOW POWER モード .....	62
固定 STANDBY モード .....	62
固定 STANDBY モード .....	63
固定 BACKUP モード .....	63
固定 BACKUP モード .....	63
オーダー情報 .....	64
改訂履歴 .....	66

## 図一覧

図 1. PC のタイミング図 .....	27
図 2. PS ターゲット・モードのタイミング図 .....	27
図 3. PS コントローラのタイミング図 .....	28
図 4. SPI コントローラ・モードのタイミング図 .....	28
図 5. SPI ターゲット・モードのタイミング図 .....	29
図 6. HyperBus/Xccela バスのタイミング図 .....	29
図 7. 1 線式コントローラのデータ・タイミング図 .....	30
図 8. クロック供給方式の図 .....	49

## 表一覧

表 1. BACKUP モードの SRAM 保持 .....	52
表 2. ウェイクアップ・ソース .....	52
表 3. タイマー設定オプション .....	53
表 4. ウォッチドッグ・タイマー設定オプション .....	54
表 5. パルス列のインスタンス .....	55
表 6. I <sup>2</sup> C のインスタンス .....	56
表 7. SPI 設定オプション .....	57
表 8. UART 設定オプション .....	58
表 9. ブートローダのアクティブ化の概要 .....	61
表 10. ACTIVE モード時の V <sub>CORE</sub> の固定消費電流 .....	61
表 11. ACTIVE モード時の V <sub>DDA</sub> の固定消費電流 .....	61
表 12. SLEEP モード時の V <sub>DD</sub> の固定消費電流 .....	62
表 13. SLEEP モード時の V <sub>DDA</sub> の固定消費電流 .....	62
表 14. LOW POWER モード時の V <sub>CORE</sub> の固定消費電流 .....	62
表 15. LOW POWER モード時の V <sub>DDA</sub> の固定消費電流 .....	62
表 16. STANDBY モード時の V <sub>CORE</sub> の固定消費電流 .....	62
表 17. STANDBY モード時の V <sub>DDA</sub> の固定消費電流 .....	63
表 18. BACKUP モード時の V <sub>DDA</sub> の固定消費電流 .....	63
表 19. BACKUP モード時の V <sub>CORE</sub> の固定消費電流 .....	63

**絶対最大定格**

どのデバイス・ピンも 3.6V を超えてはいけません .....	任意の GPIO ピンによる出力電流 (シンク) .....	25mA
V <sub>CORE</sub> .....	任意の GPIO ピンによる出力電流 (ソース) .....	-25mA
V <sub>DDIO</sub> 、V <sub>DDA</sub> 、BLE_LDO_IN .....	V <sub>DDIO</sub> に接続するピン (シンク) .....	100mA
V <sub>DD3A</sub> 、V <sub>DDIOH</sub> .....	V <sub>DDIOH</sub> に接続するピン (シンク) .....	100mA
V <sub>DDA_BB</sub> 、V <sub>DDA_RF</sub> .....	V <sub>SSA</sub> 、V <sub>SSA_RF</sub> 、V <sub>SSA_BB</sub> .....	100mA
V <sub>REF</sub> .....	V <sub>SS</sub> .....	100mA
RSTN、GPIO (V <sub>DDIOH</sub> ) .....	TQFN パッケージの連続消費電力 (多層基板)	
GPIO (V <sub>DDIO</sub> ) .....	T <sub>A</sub> = +70°C (+70°C を超える場合は	
32KIN、32KOUT .....	49.5mW/°C にディレーティング) .....	3960.40mW
HFXIN、HFXOUT .....	WLP パッケージの連続消費電力 (多層基板)	
HFXIN、HFXOUT	T <sub>A</sub> = +70°C (+70°C を超える場合は	
(デバイス・ピンはこれを超えてはいけません) .....	28.47mW/°C にディレーティング) .....	1564.72mW
DM、DP (V <sub>SSB</sub> を基準) .....	動作温度範囲 .....	-40°C ~ +105°C
V <sub>DDB</sub> (V <sub>SSB</sub> を基準) .....	保存温度範囲 .....	-65°C ~ +150°C
	ハンダ処理温度 .....	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

**パッケージ情報****68 TQFN-EP**

Package code	T6888+2
Outline Number	21-0510
Land Pattern Number	90-0354
Thermal Resistance, Four-Layer Board:	
Junction to Ambient ( $\theta_{JA}$ )	20.20°C/W
Junction to Case ( $\theta_{JC}$ )	1°C/W

**140 WLP**

Package code	W1404B4+1
Outline Number	21-100618
Land Pattern Number	Refer to Application Note 1891
Thermal Resistance, Four-Layer Board:	
Junction to Ambient ( $\theta_{JA}$ )	35.13°C/W
Junction to Case ( $\theta_{JC}$ )	N/A

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages) で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[www.maxim-int.com/thermal-tutorial](http://www.maxim-int.com/thermal-tutorial) を参照してください。

### 電気的特性

(制限値は、 $T_A = +25^{\circ}\text{C}$  および  $T_A = +105^{\circ}\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER						
Supply Voltage, Core	$V_{\text{CORE}}$	$f_{\text{SYS\_CLK}} = 120\text{MHz}$	0.99	1.1	1.21	V
Supply Voltage, Analog	$V_{\text{DD3A}}$	$V_{\text{DD3A}}$ and $V_{\text{DDIOH}}$ must be connected together at the circuit board level.	1.71	3.0	3.6	V
	$V_{\text{DDA}}$	$V_{\text{DDA}}$ and $V_{\text{DDIO}}$ must be connected together at the circuit board level.	1.71	1.8	1.89	
Supply Voltage, GPIO	$V_{\text{DDIO}}$	$V_{\text{DDA}}$ and $V_{\text{DDIO}}$ must be connected together at the circuit board level.	1.71	1.8	1.89	V
Supply Voltage, GPIO (High)	$V_{\text{DDIOH}}$	$V_{\text{DD3A}}$ and $V_{\text{DDIOH}}$ must be connected together at the circuit board level.	1.71	3.0	3.6	V
Power-Fail Reset Voltage	$V_{\text{RST}}$	Monitors $V_{\text{CORE}}$		0.76		V
		Monitors $V_{\text{DDA}}$	1.58	1.64	1.7	
		Monitors $V_{\text{DDIO}}$	1.58	1.64	1.7	
		Monitors $V_{\text{DDB}}$		2.95		
		Monitors $V_{\text{DDIOH}}$	1.58	1.64	1.7	
		Monitors $V_{\text{RXOUT}}$		0.773		
		Monitors $V_{\text{TXOUT}}$		0.773		
Power-On Reset Voltage	$V_{\text{POR}}$	Monitors $V_{\text{CORE}}$		0.585		V
		Monitors $V_{\text{DDA}}$		1.175		
		Monitors $V_{\text{DD3A}}$		1.175		

### 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V <sub>CORE</sub> Current, ACTIVE Mode	I <sub>CORE_DACT</sub>	Dynamic, IPO enabled, f <sub>SYS_CLK(MAX)</sub> = 120MHz, total current into V <sub>CORE</sub> pin, V <sub>CORE</sub> = 1.1V, CM4 in ACTIVE mode executing Coremark®, RV32 in SLEEP mode; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA		76.5		μA/MHz
		Dynamic, IPO enabled, f <sub>SYS_CLK(MAX)</sub> = 120MHz, total current into V <sub>CORE</sub> pin, V <sub>CORE</sub> = 1.1V, CM4 and RV32 in ACTIVE mode executing While(1); inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA. This specification is a function of the IPO frequency.		92.2		
		Dynamic, IPO enabled, f <sub>SYS_CLK(MAX)</sub> = 120MHz, total current into V <sub>CORE</sub> pin, V <sub>CORE</sub> = 1.1V, CM4 in ACTIVE mode executing While(1), RV32 in SLEEP mode; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA		75.6		
		Dynamic, total current into V <sub>CORE</sub> pin, V <sub>CORE</sub> = 1.1V, CM4 in SLEEP mode, RV32 in ACTIVE mode running from ISO; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA		62		
	I <sub>CORE_FACT</sub>	Fixed, IPO enabled, ISO enabled, total current into V <sub>CORE</sub> , V <sub>CORE</sub> = 1.1V, CM4 in ACTIVE mode 0MHz, RV32 in ACTIVE mode 0MHz; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .		1.45		mA
V <sub>DDA</sub> Fixed Current, ACTIVE Mode	I <sub>DDA_FACT</sub>	Fixed, IPO enabled, total current into V <sub>DDA</sub> pins, V <sub>DDA</sub> = 1.8, CM4 in ACTIVE mode 0MHz execution, RV32 in ACTIVE mode 0MHz execution; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA, V <sub>CORE</sub> and V <sub>DDA</sub> voltage monitors enabled. See <a href="#">Temperature Variance</a> .		385		μA
V <sub>CORE</sub> Current, SLEEP Mode	I <sub>CORE_DSLP</sub>	Dynamic, IPO enabled, f <sub>SYS_CLK(MAX)</sub> = 120MHz, ISO enabled, total current into V <sub>CORE</sub> pins, V <sub>CORE</sub> = 1.1V, CM4 in SLEEP mode, RV32 in SLEEP mode, standard DMA with two channels active; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA		25.7		μA/MHz
	I <sub>CORE_FSLP</sub>	Fixed, IPO enabled, ISO enabled, total current into V <sub>CORE</sub> pins, V <sub>CORE</sub> = 1.1V, CM4 in SLEEP mode, RV32 in SLEEP mode; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .		3.37		mA

## 電气的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{DDA}$ Fixed Current, SLEEP Mode	$I_{DDA\_FSLP}$	Fixed, IPO enabled, $f_{SYS\_CLK} = 120\text{MHz}$ , total current into $V_{DDA}$ pins, CM4 in SLEEP mode, RV32 in SLEEP mode, standard DMA with two channels active. See <a href="#">Temperature Variance</a> .		385		$\mu\text{A}$
$V_{CORE}$ Current, LOW POWER Mode	$I_{CORE\_DLP}$	Dynamic, ISO enabled, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1\text{V}$ , CM4 powered off, RV32 in ACTIVE mode, $f_{SYS\_CLK(MAX)} = 60\text{MHz}$ ; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA		29.4		$\mu\text{A}/\text{MHz}$
	$I_{CORE\_FLP}$	Fixed, ISO enabled, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1\text{V}$ , CM4 powered off, RV32 in ACTIVE mode 0MHz; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .		0.86		mA
$V_{DDA}$ Fixed Current, LOW POWER Mode	$I_{DDA\_FLP}$	Standby state with full data retention, IBRO enabled, $V_{CORE}$ and $V_{DDA}$ voltage monitors enabled. See <a href="#">Temperature Variance</a> .		52		$\mu\text{A}$
$V_{CORE}$ Current, MICRO POWER Mode	$I_{CORE\_DMP}$	Dynamic, ERTCO enabled, IBRO enabled, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1\text{V}$ , LPUART active, $f_{LPUART} = 32.768\text{kHz}$ ; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA		82		$\mu\text{A}$
$V_{CORE}$ Current, STANDBY Mode	$I_{CORE\_STBY}$	Fixed, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1\text{V}$ ; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .		0.57		$\mu\text{A}$
$V_{DDA}$ Current, STANDBY Mode	$I_{DDA\_STBY}$	Fixed, total current into $V_{DDA}$ pins, $V_{DDA} = 1.8\text{V}$ ; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .		17.4		$\mu\text{A}$
$V_{DDIO}$ Current, STANDBY Mode	$I_{DDIO\_STBY}$	GPIO input; pull-up/pull-down enabled		86		nA
$V_{DDIOH}$ Current, STANDBY Mode	$I_{DDIOH\_STBY}$	GPIO input; pull-up/pull-down enabled		110		nA

### 電気的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>DDA</sub> Current, BACKUP Mode	I <sub>DDA_BKU</sub>	Total current into V <sub>DDA</sub> pins, V <sub>DDA</sub> = 1.8V, RTC disabled; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .	All SRAM retained		13.75		μA
		Total current into V <sub>DDA</sub> pins, V <sub>DDA</sub> = 1.8V, RTC disabled; inputs tied to V <sub>SS</sub> , V <sub>DDIO</sub> , or V <sub>DDIOH</sub> ; outputs source/sink 0mA. See <a href="#">Temperature Variance</a> .	No SRAM retention		2.09		
V <sub>CORE</sub> Fixed Current, BACKUP Mode	I <sub>CORE_BKU</sub>	V <sub>CORE</sub> = 1.1V. See <a href="#">Temperature Variance</a> .			0.65		μA
V <sub>DDIO</sub> Current, BACKUP Mode	I <sub>DDIO_BKU</sub>	GPIO input; pull-up/pull-down enabled			86		nA
V <sub>DDIOH</sub> Current, BACKUP Mode	I <sub>DDIOH_BKU</sub>	GPIO input; pull-up/pull-down enabled			110		nA
SLEEP Mode Resume Time	t <sub>SLP_ON</sub>	Time from power mode exit to execution of first user instruction			0.500		μs
LOW POWER Mode Resume Time	t <sub>LP_ON</sub>	Time from power mode exit to execution of first user instruction			18		μs
MICRO POWER Mode Resume Time	t <sub>MP_ON</sub>	Time from power mode exit to execution of first user instruction			20		μs
STANDBY Mode Resume Time	t <sub>STBY_ON</sub>	Time from power mode exit to execution of first user instruction			23		μs
BACKUP Mode Resume Time	t <sub>BKU_ON</sub>	Time from power mode exit to execution of first user instruction			2.2		ms
<b>CLOCKS</b>							
System Clock Frequency	f <sub>SYS_CLK</sub>					120	MHz
System Clock Period	t <sub>SYS_CLK</sub>				1/f <sub>SYS_CLK</sub>		ns
Internal Primary Oscillator (IPO)	f <sub>IPO</sub>				120		MHz
Internal Secondary Oscillator (ISO)	f <sub>ISO</sub>				60		MHz
Internal Baud Rate Oscillator (IBRO)	f <sub>IBRO</sub>				7.3728		MHz
Internal Nanoring Oscillator (INRO)	f <sub>INRO</sub>				8		kHz

### 電気的特性 (続き)

(制限値は、 $T_A = +25^{\circ}\text{C}$  および  $T_A = +105^{\circ}\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
External RTC Oscillator (ERTCO)	$f_{\text{ERTCO}}$	32kHz watch crystal, $C_L = 6\text{pF}$ , $\text{ESR} < 90\text{k}\Omega$ , $C_0 \leq 2\text{pF}$ , crystal power dissipation rating minimum $0.5\mu\text{W}$			32.768		kHz
External RF Oscillator Frequency (ERFO)	$f_{\text{ERFO}}$	32MHz crystal, $C_L = 12\text{pF}$ , $\text{ESR} \leq 50\Omega$ , $C_0 \leq 7\text{pF}$ , temperature stability $\pm 20\text{ppm}$ , initial tolerance $\pm 20\text{ppm}$ , crystal power dissipation rating minimum $100\mu\text{W}$			32		MHz
RTC Operating Current	$I_{\text{RTC}}$	All power modes, RTC enabled			0.3		$\mu\text{A}$
RTC Power-Up Time	$t_{\text{RTC\_ON}}$				250		ms
External I <sup>2</sup> S Clock Input Frequency	$f_{\text{EXT\_I2S\_CLK}}$	I2S_CLKEXT selected				25	MHz
External System Clock Input Frequency	$f_{\text{EXT\_CLK}}$	EXT_CLK selected				80	MHz
External Low-Power Timer1 Clock Input Frequency	$f_{\text{EXT\_LPTMR1\_CLK}}$	LPTMR1_CLK selected				8	MHz
External Low-Power Timer2 Clock Input Frequency	$f_{\text{EXT\_LPTMR2\_CLK}}$	LPTMR2_CLK selected				8	MHz
<b>GENERAL-PURPOSE I/O</b>							
Input Low Voltage for All GPIO Except P4.0 and P4.1	$V_{\text{IL\_VDDIO}}$	P4.0 and P4.1 can only use $V_{\text{DDIOH}}$ as I/O supply and cannot use $V_{\text{DDIO}}$ as I/O supply	$V_{\text{DDIO}}$ selected as I/O supply			$0.3 \times V_{\text{DDIO}}$	V
Input Low Voltage for All GPIO Except for P1.[11:21]	$V_{\text{IL\_VDDIOH}}$	P1.[11:21] can only use $V_{\text{DDIO}}$ as I/O supply and cannot use $V_{\text{DDIOH}}$ as I/O supply	$V_{\text{DDIOH}}$ selected as I/O supply			$0.3 \times V_{\text{DDIOH}}$	V
Input Low Voltage for RSTN	$V_{\text{IL\_RSTN}}$					$0.5 \times V_{\text{DDIOH}}$	V
Input High Voltage for All GPIO Except P4.0 and P4.1	$V_{\text{IH\_VDDIO}}$	P4.0 and P4.1 can only use $V_{\text{DDIOH}}$ as I/O supply and cannot use $V_{\text{DDIO}}$ as I/O supply	$V_{\text{DDIO}}$ selected as I/O supply	$0.7 \times V_{\text{DDIO}}$			V
Input High Voltage for All GPIO Except for P1.[11:21]	$V_{\text{IH\_VDDIOH}}$	P1.[11:21] can only use $V_{\text{DDIO}}$ as I/O supply and cannot use $V_{\text{DDIOH}}$ as I/O supply	$V_{\text{DDIOH}}$ selected as I/O supply	$0.7 \times V_{\text{DDIOH}}$			V
Input High Voltage for RSTN	$V_{\text{IH\_RSTN}}$					$0.5 \times V_{\text{DDIO}}$	V

### 電気的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Low Voltage for All GPIO Except P4.0 and P4.1	$V_{OL\_VDDIO}$	P4.0 and P4.1 can only use $V_{DDIOH}$ as I/O supply and cannot use $V_{DDIO}$ as I/O supply	$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 00$ , $I_{OL} = 1\text{mA}$		0.2	0.4	V
			$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 01$ , $I_{OL} = 2\text{mA}$		0.2	0.4	
			$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 10$ , $I_{OL} = 4\text{mA}$		0.2	0.4	
			$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 11$ , $I_{OL} = 8\text{mA}$		0.2	0.4	
Output Low Voltage for P4.0 and P4.1	$V_{OL\_VDDIOH}$	$V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0]$ fixed at 00, $I_{OL} = 8\text{mA}$			0.2	0.4	V
Output Low Voltage for All GPIO Except for P1.[11:21]	$V_{OL\_VDDIOH}$	P1.[11:21] can only use $V_{DDIO}$ as I/O supply and cannot use $V_{DDIOH}$ as I/O supply	$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 00$ , $I_{OL} = 1\text{mA}$		0.2	0.4	V
			$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 01$ , $I_{OL} = 2\text{mA}$		0.2	0.4	
			$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 10$ , $I_{OL} = 4\text{mA}$		0.2	0.4	
			$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\_DS\_SEL[1:0] = 11$ , $I_{OL} = 8\text{mA}$		0.2	0.4	
Combined $I_{OL}$ , All GPIO	$I_{OL\_TOTAL}$					48	mA

### 電気的特性 (続き)

(制限値は、 $T_A = +25^{\circ}\text{C}$  および  $T_A = +105^{\circ}\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output High Voltage for All GPIO Except P4.0 and P4.1	$V_{OH\_VDDIO}$	P4.0 and P4.1 can only use $V_{DDIOH}$ as I/O supply and cannot use $V_{DDIO}$ as I/O supply	$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 00$ , $I_{OH} = -1\text{mA}$	$V_{DDIO} - 0.4$			V
			$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 01$ , $I_{OH} = -2\text{mA}$	$V_{DDIO} - 0.4$			
			$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 10$ , $I_{OH} = -4\text{mA}$	$V_{DDIO} - 0.4$			
			$V_{DDIO}$ selected as I/O supply, $V_{DDIO} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 11$ , $I_{OH} = -8\text{mA}$	$V_{DDIO} - 0.4$			
Output High Voltage for All GPIO Except P4.0 and P4.1	$V_{OH\_VDDIOH}$		$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 00$ , $I_{OH} = -1\text{mA}$	$V_{DDIOH} - 0.4$			V
			$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 01$ , $I_{OH} = -2\text{mA}$	$V_{DDIOH} - 0.4$			
			$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 10$ , $I_{OH} = -8\text{mA}$	$V_{DDIOH} - 0.4$			
			$V_{DDIOH}$ selected as I/O supply, $V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0] = 11$ , $I_{OH} = -8\text{mA}$	$V_{DDIOH} - 0.4$			
Output High Voltage for P4.0 and P4.1	$V_{OH\_VDDIOH}$		$V_{DDIOH} = 1.71\text{V}$ , $\text{GPIO}_n\text{DS\_SEL}[1:0]$ fixed at 00, $I_{OH} = -1\text{mA}$	$V_{DDIOH} - 0.4$			V
Combined $I_{OH}$ , All GPIO	$I_{OH\_TOTAL}$					-48	mA
Input Hysteresis (Schmitt)	$V_{IHYS}$				300		mV
Low	$I_{IL}$		$V_{DDIO} = 1.89\text{V}$ , $V_{DDIOH} = 3.6\text{V}$ , $V_{DDIOH}$ selected as I/O supply, $V_{IN} = 0\text{V}$ , internal pull-up disabled	-100		+100	nA

### 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Leakage Current High	$I_{IH}$	$V_{DDIO} = 1.89\text{V}$ , $V_{DDIOH} = 3.6\text{V}$ , $V_{DDIOH}$ selected as I/O supply, $V_{IN} = 3.6\text{V}$ , internal pull-down disabled	-800		+800	nA
	$I_{OFF}$	$V_{DDIO} = 0\text{V}$ , $V_{DDIOH} = 0\text{V}$ , $V_{DDIO}$ selected as I/O supply, $V_{IN} < 1.89\text{V}$	-1		+1	$\mu\text{A}$
	$I_{IH3V}$	$V_{DDIO} = V_{DDIOH} = 1.71\text{V}$ , $V_{DDIO}$ selected as I/O supply, $V_{IN} = 3.6\text{V}$	-2		+2	
Pull-up/Pull-down Resistor for All GPIO and RSTN	$R_{PU1}$	Normal resistance		25		$\text{k}\Omega$
	$R_{PU2}$	Highest resistance		1		$\text{M}\Omega$
<b>BLUETOOTH RADIO / POWER</b>						
Bluetooth LDO Input Voltage	$V_{BLE\_LDO\_IN}$		1.1	1.2	1.89	V
<b>BLUETOOTH RADIO / FREQUENCY</b>						
Operating Frequency		1MHz channel spacing	2360		2500	MHz
PLL Programming Resolution	$PLL_{RES}$			1		MHz
Frequency Deviation at 1Mbps	$\Delta f_{1\text{MHz}}$			$\pm 170$		kHz
Frequency Deviation at Bluetooth LE 1Mbps	$\Delta f_{BLE1\text{MHz}}$			$\pm 250$		kHz
Frequency Deviation at 2Mbps	$\Delta f_{2\text{MHz}}$			$\pm 320$		kHz
Frequency Deviation at Bluetooth LE 2Mbps	$\Delta f_{BLE2\text{MHz}}$			$\pm 500$		kHz
<b>BLUETOOTH RADIO / CURRENT CONSUMPTION (IPO enabled, <math>f_{SYS\_CLK} = 120\text{MHz}</math>, Bluetooth LE stack running on CM4. Measured at the <math>V_{CORE}</math> device pin at 1.1V, measured at the BLE_LDO_IN device pin at 1.2V, RV32 is disabled)</b>						
Tx Run Current	$I_{CORE}$			9.08		mA
	$I_{BLE\_LDO\_IN\_+4.5\text{DBM}}$	$P_{RF} = +4.5\text{dBm}$		10.3		
	$I_{BLE\_LDO\_IN\_0\text{DBM}}$	$P_{RF} = 0\text{dBm}$		7.0		
	$I_{BLE\_LDO\_IN\_ -10\text{DBM}}$	$P_{RF} = -10\text{dBm}$		4.7		
Tx Idle Current	$I_{CORE\_IDLE\_TX}$	Digital baseband idle channel		8.6		mA
	$I_{BLE\_LDO\_IN\_IDLE\_TX}$	Digital baseband idle channel		2		

### 電気的特性（続き）

（制限値は、 $T_A = +25^{\circ}\text{C}$  および  $T_A = +105^{\circ}\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BLUETOOTH RADIO / CURRENT CONSUMPTION (IPO enabled, $f_{\text{SYS\_CLK}} = 120\text{MHz}$ , Bluetooth LE stack running on CM4. Measured at the $V_{\text{CORE}}$ device pin at 1.1V, measured at the BLE_LDO_IN device pin at 1.2V, RV32 is disabled)						
Rx Run Current	$I_{\text{CORE\_1M}}$	$f_{\text{RX}} = 1\text{Mbps}$		10.2		mA
	$I_{\text{BLE\_LDO\_IN\_1M}}$	$f_{\text{RX}} = 1\text{Mbps}$		5.8		
	$I_{\text{CORE\_2M}}$	$f_{\text{RX}} = 2\text{Mbps}$		10.8		
	$I_{\text{BLE\_LDO\_IN\_2M}}$	$f_{\text{RX}} = 2\text{Mbps}$		5.8		
Rx Idle Current	$I_{\text{CORE\_IDLE\_RX}}$	Digital baseband idle channel		8.6		mA
	$I_{\text{BLE\_LDO\_IN\_IDLE\_RX}}$	Digital baseband idle channel		1.8		
BLUETOOTH RADIO / TRANSMITTER						
Maximum Output Power	$P_{\text{RF}}$			+4.5		dBm
RF Power Accuracy	$P_{\text{RF\_ACC}}$			$\pm 1$		dB
First Adjacent Channel Transmit Power $\pm 2\text{MHz}$	$P_{\text{RF1\_1}}$	2Mbps Bluetooth LE		-39.2		dBc
First Adjacent Channel Transmit Power $\pm 4\text{MHz}$	$P_{\text{RF2\_1}}$	2Mbps Bluetooth LE		-52.7		dBc
BLUETOOTH RADIO / RECEIVER (Refer to the Bluetooth 5.2 test specification for adjacent interference and intermodulation test methodology.)						
Maximum Received Signal Strength at < 0.1% PER	$P_{\text{RX\_MAX}}$			0		dBm
Receiver Sensitivity, Ideal Transmitter	$P_{\text{SENS\_IT}}$	Measured with 37-byte payload	1Mbps Bluetooth LE	-97		dBm
			2Mbps Bluetooth LE	-94		
Receiver Sensitivity, Dirty Transmitter	$P_{\text{SENS\_DT}}$	Measured with 37-byte payload	1Mbps Bluetooth LE	-96		dBm
			2Mbps Bluetooth LE	-93.2		
Receiver Sensitivity, Long Range Coded	$P_{\text{SENS\_LR}}$	Measured with 37-byte payload	125kbps Bluetooth LE	-104.2		dBm
			500kbps Bluetooth LE	-101		
C/I Co-Channel	$C/I_{1\text{MHz}}$	1Mbps Bluetooth LE		8.5		dB
	$C/I_{2\text{MHz}}$	2Mbps Bluetooth LE		8.6		
	$C/I_{S2}$	Coded mode at 125kbps		2.6		
	$C/I_{S8}$	Coded mode at 500kbps		3.8		

## 電氣的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Adjacent Interference	$C/I_{+1,1}$	+1MHz offset, 1Mbps Bluetooth LE		2.1		dB
	$C/I_{-1,1}$	-1MHz offset, 1Mbps Bluetooth LE		-2.8		
	$C/I_{+2,1}$	+2MHz offset, 1Mbps Bluetooth LE		-29.6		
	$C/I_{-2,1}$	-2MHz offset, 1Mbps Bluetooth LE		-33.7		
	$C/I_{+2,2}$	+2MHz offset, 2Mbps Bluetooth LE		3		
	$C/I_{-2,2}$	-2MHz offset, 2Mbps Bluetooth LE		2		
	$C/I_{+4,2}$	+4MHz offset, 2Mbps Bluetooth LE		-21		
	$C/I_{-4,2}$	-4MHz offset, 2Mbps Bluetooth LE		-23		
Adjacent Interference, (3+n) MHz Offset [n = 0, 1, 2, ...]	$C/I_{3+\text{MHZ}}$	1Mbps Bluetooth LE		-34.3		dB
Adjacent Interference, (6+2n) MHz Offset [n = 0, 1, 2, ...]	$C/I_{6+\text{MHZ}}$	2Mbps Bluetooth LE		-32.9		dB
Intermodulation Performance, 1Mbps Bluetooth LE with 3MHz, 4MHz, 5MHz Offset	$P_{\text{IMD}_1\text{MBPS}}$	1Mbps Bluetooth LE		-45.3		dBm
Intermodulation Performance, 2Mbps Bluetooth LE with 6MHz, 8MHz, 10MHz Offset	$P_{\text{IMD}_2\text{MBPS}}$	2Mbps Bluetooth LE		-37.8		dBm
Received Signal Strength Indicator Accuracy	$\text{RSSI}_{\text{ACC}}$			$\pm 3$		dB
Received Signal Strength Indicator Range	$\text{RSSI}_{\text{RANGE}}$			-98 to -50		dB
12-BIT SAR ADC						
$V_{\text{DD3A}}$ Idle Current	$I_{\text{VDD3A}}$	ADC_CTRL0.resetsb = 0, ADC_CTRL0.bias_en = 0, ADC_CTRL0.adc_en = 0, input buffer disabled		2.1		$\mu\text{A}$

### 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
$V_{DD3A}$ ADC Active Current	$I_{ADC}$	ADC active, reference buffer enabled, ADC clock = 25MHz	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 0, $V_{DD3A} = 3.3\text{V}$		283		$\mu\text{A}$
			MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 1, $V_{DD3A} = 3.3\text{V}$		339		
		ADC active, reference buffer enabled, ADC clock = 16MHz	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 0, $V_{DD3A} = 3.3\text{V}$		216		
			MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 1, $V_{DD3A} = 3.3\text{V}$		271		
12-BIT SAR ADC / Input Buffer Enabled (FCR_SARBUFCN.thru_pad_sw_en = 1; FCR_SARBUFCN.thru_en = 1; FCR_SARBUFCN.amp_en = 1)							
Resolution					12		bits
Effective Number of Bits	ENOB	ADC_CLKCTRL.clkdiv = 0b000; AINx input pk-pk = $V_{REF} - 10\text{mV}$			10		bits
External Reference Voltage	$V_{REF}$	$V_{REF} \leq V_{DD3A}$		2.048		$V_{DD3A}$	V
Internal Reference Voltage	$V_{INT\_REF}$	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 0			1.25		V
	$V_{INT\_REF}$	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 1			2.048		
ADC Clock Rate Maximum	$f_{ACLK}$					25	MHz
Input Voltage Range	$V_{AIN}$	AIN[7:0], ADC_DATA.chan = [7:0]	FCR_SARBUFCN.divsel = 0b00	$V_{SSA} + 0.05$		MIN ( $V_{REF}$ , $V_{DDIOH}$ )	V
			FCR_SARBUFCN.divsel = 0b01	$V_{SSA} + 0.05$		MIN ( $V_{REF}$ , $V_{DDIOH}$ )	
			FCR_SARBUFCN.divsel = 0b10	$V_{SSA} + 0.05$		MIN ( $2 \times V_{REF}$ , $V_{DDIOH}$ )	
			FCR_SARBUFCN.divsel = 0b11	$V_{SSA} + 0.05$		MIN ( $3 \times V_{REF}$ , $V_{DDIOH}$ )	
ADC Buffer Current	$I_{ADCBUFFER}$	FCR_SARBUFCN = 0b11, input voltage = 1.1V			67.7		$\mu\text{A}$

### 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Impedance	$R_{AIN}$	Input impedance is leakage only when the input buffer is enabled.			100		$\text{M}\Omega$
Analog Input Capacitance	$C_{AIN}$	Fixed capacitance to $V_{SSA}$			2		pF
Integral Nonlinearity	INL				$\pm 4$		LSb
Differential Nonlinearity	DNL				$\pm 0.75$		LSb
Offset Error	$V_{OS}$	Chopping enabled			$\pm 0.25$		LSb
ADC Input Buffer Offset	$V_{OS}$				$\pm 1.5$		LSb
ADC Sample Rate	$f_{ADC}$	Bandwidth limited by the input buffer				25	kHz
ADC Setup Time	$t_{ADC\_SU}$	Any power-up of ADC clock or ADC bias to CpuAdeStart				500	$\mu\text{s}$
ADC Input Leakage	$I_{ADC\_LEAK}$				$\pm 1.2$		nA
Bandgap Temperature Coefficient	$V_{TEMPCO}$	Box method			$\pm 45$		ppm
12-BIT SAR ADC / Input Buffer Disabled (FCR_SARBUFCN.thru_pad_sw_enx = 0; FCR_SARBUFCN.thru_en = 0; FCR_SARBUFCN.amp_en = 0)							
Resolution					12		bits
Effective Number of Bits	ENOB	ADC_CLKCTRL.clkdiv = 0b000; AINx input pk-pk = $V_{REF} - 10\text{mV}$			10		bits
External Reference Voltage	$V_{REF}$	$V_{REF} \leq V_{DD3A}$		2.048		$V_{DD3A}$	V
Internal Reference Voltage	$V_{INT\_REF}$	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 0			1.25		V
	$V_{INT\_REF}$	MCR_ADCCFG0.ext_ref = 0, MCR_ADCCFG0.ref_sel = 1			2.048		
ADC Clock Rate Maximum	$f_{ADCCLK}$					25	MHz
Input Voltage Range	$V_{AIN}$	AIN[7:0], ADC_DATA.chan = [7:0]	FCR_SARBUFCN. divsel = 0b00	$V_{SSA} + 0.05$		$V_{REF}$	V
Input Impedance	$R_{AIN}$				1.2		$\text{M}\Omega$
Analog Input Capacitance	$C_{AIN}$	Fixed capacitance to $V_{SSA}$			2		pF
		Dynamically switched capacitance			1.2		pF
Integral Nonlinearity	INL				$\pm 1.5$		LSb
Differential Nonlinearity	DNL				$\pm 0.75$		LSb
Offset Error	$V_{OS}$	Chopping enabled			$\pm 0.25$		LSb
ADC Sample Rate	$f_{ADC}$					1	MSPS
ADC Setup Time	$t_{ADC\_SU}$	Any power-up of ADC clock or ADC bias to CpuAdeStart				500	$\mu\text{s}$
ADC Input Leakage	$I_{ADC\_LEAK}$	ADC inactive or channel not selected			$\pm 1.2$		nA
Bandgap Temperature Coefficient	$V_{TEMPCO}$	Box method			$\pm 45$		ppm

### 電気的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>COMPARATORS</b>						
Input Offset Voltage	$V_{\text{OFFSET}}$			$\pm 1$		mV
Input Hysteresis	$V_{\text{HYST}}$	AINCOMPHYST[1:0] = 00		$\pm 23$		mV
		AINCOMPHYST[1:0] = 01		$\pm 50$		
		AINCOMPHYST[1:0] = 10		$\pm 2$		
		AINCOMPHYST[1:0] = 11		$\pm 7$		
Input Voltage Range	$V_{\text{IN\_CMP}}$	Common-mode range	0.6		1.35	V
<b>FLASH MEMORY</b>						
Flash Erase Time	$t_{\text{M\_ERASE}}$	Mass erase		20		ms
	$t_{\text{P\_ERASE}}$	Page erase		20		
Flash Programming Time per Word	$t_{\text{PROG}}$			42		$\mu\text{s}$
Flash Endurance			10			kcycles
Data Retention	$t_{\text{RET}}$	$T_A = +105^\circ\text{C}$	10			years
<b>USB</b>						
USB Transceiver Supply Voltage	$V_{\text{DDB}}$		3.0	3.3	3.6	V
Pin Capacitance (DP, DM)	$C_{\text{IN\_USB}}$	Pin to $V_{\text{SSB}}$		8		pF
Driver Output Resistance	$R_{\text{DRV}}$	Steady state drive		$44 \pm 10\%$		$\Omega$
<b>USB / FULL SPEED</b>						
Single-Ended Input High Voltage (DP, DM)	$V_{\text{IH\_USB}}$		2.1			V
Single-Ended Input Low Voltage (DP, DM)	$V_{\text{IL\_USB}}$				0.5	V
Output High Voltage (DP, DM)	$V_{\text{OH\_USB}}$	$R_L = 1.5\text{k}\Omega$ from DP and DM to $V_{\text{SSB}}$ , $I_{\text{OH}} = -4\text{mA}$	2.8		$V_{\text{DDB}}$	V
Output Low Voltage (DP, DM)	$V_{\text{OL\_USB}}$	$R_L = 1.5\text{k}\Omega$ from DP to $V_{\text{DDB}}$ , $I_{\text{OL}} = 4\text{mA}$	$V_{\text{SS}}$		0.3	V
Differential Input Sensitivity	$V_{\text{DI}}$	DP to DM ; system requirement, not tested	0.2			V
Common-Mode Voltage Range	$V_{\text{CM}}$	Includes $V_{\text{DI}}$ range; system requirement, not tested	0.8		2.5	V
Transition Time (Rise/Fall) DP, DM	$t_{\text{RF}}$	$C_L = 50\text{pF}$	4		20	ns
Pull-up Resistor on Upstream Ports	$R_{\text{PU}}$		1.05	1.5	1.95	k $\Omega$
<b>USB / HI-SPEED</b>						
Hi-Speed Data Signaling Common-Mode Voltage Range	$V_{\text{HSCM}}$		-50		+500	mV

## 電气的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$  および  $T_A = +105^\circ\text{C}$  ですべてテスト済みです。動作温度範囲および関連する電源電圧範囲を超える制限値は、設計および特性評価により確保されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Hi-Speed Squelch Detection Threshold	$V_{\text{HSSQ}}$	Squelch detected		100		mV
		No squelch detected		200		
Hi-Speed Idle Level Output Voltage	$V_{\text{HSOI}}$		-10		+10	mV
Hi-Speed Low-Level Output Voltage	$V_{\text{HSOL}}$		-10		+10	mV
Hi-Speed High-Level Output Voltage	$V_{\text{HSOH}}$			400 ±40		mV
Chirp-J Output Voltage (Differential)	$V_{\text{CHIRPJ}}$			900 ±200		mV
Chirp-K Output Voltage (Differential)	$V_{\text{CHIRPK}}$			-700 ±200		mV

電气的特性— $I^2C$ 

（タイミング仕様は設計により確保されていますが、出荷テストは行っていません。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STANDARD MODE						
Output Fall Time	$t_{\text{OF}}$	Standard mode, from $V_{\text{IH(MIN)}}$ to $V_{\text{IL(MAX)}}$		150		ns
SCL Clock Frequency	$f_{\text{SCL}}$		0		100	kHz
Low Period SCL Clock	$t_{\text{LOW}}$		4.7			$\mu\text{s}$
High Time SCL Clock	$t_{\text{HIGH}}$		4.0			$\mu\text{s}$
Setup Time for Repeated Start Condition	$t_{\text{SU,STA}}$		4.7			$\mu\text{s}$
Hold Time for Repeated Start Condition	$t_{\text{HD,STA}}$		4.0			$\mu\text{s}$
Data Setup Time	$t_{\text{SU,DAT}}$			300		ns
Data Hold Time	$t_{\text{HD,DAT}}$			10		ns
Rise Time for SDA and SCL	$t_{\text{R}}$			800		ns
Fall Time for SDA and SCL	$t_{\text{F}}$			200		ns
Setup Time for a Stop Condition	$t_{\text{SU,STO}}$		4.0			$\mu\text{s}$
Bus Free Time Between a Stop and Start Condition	$t_{\text{BUS}}$		4.7			$\mu\text{s}$
Data Valid Time	$t_{\text{VD,DAT}}$		3.45			$\mu\text{s}$
Data Valid Acknowledge Time	$t_{\text{VD,ACK}}$		3.45			$\mu\text{s}$
FAST MODE						
Output Fall Time	$t_{\text{OF}}$	From $V_{\text{IH(MIN)}}$ to $V_{\text{IL(MAX)}}$		150		ns

### 電気的特性—I<sup>2</sup>C (続き)

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Pulse Width Suppressed by Input Filter	$t_{SP}$			75		ns
SCL Clock Frequency	$f_{SCL}$		0		400	kHz
Low Period SCL Clock	$t_{LOW}$		1.3			$\mu$ s
High Time SCL Clock	$t_{HIGH}$		0.6			$\mu$ s
Setup Time for Repeated Start Condition	$t_{SU,STA}$		0.6			$\mu$ s
Hold Time for Repeated Start Condition	$t_{HD,STA}$		0.6			$\mu$ s
Data Setup Time	$t_{SU,DAT}$			125		ns
Data Hold Time	$t_{HD,DAT}$			10		ns
Rise Time for SDA and SCL	$t_R$			30		ns
Fall Time for SDA and SCL	$t_F$			30		ns
Setup Time for a Stop Condition	$t_{SU,STO}$		0.6			$\mu$ s
Bus Free Time Between a Stop and Start Condition	$t_{BUS}$		1.3			$\mu$ s
Data Valid Time	$t_{VD,DAT}$		0.9			$\mu$ s
Data Valid Acknowledge Time	$t_{VD,ACK}$		0.9			$\mu$ s
<b>FAST-MODE PLUS</b>						
Output Fall Time	$t_{OF}$	From $V_{IH(MIN)}$ to $V_{IL(MAX)}$		80		ns
Pulse Width Suppressed by Input Filter	$t_{SP}$			75		ns
SCL Clock Frequency	$f_{SCL}$		0		1000	kHz
Low Period SCL Clock	$t_{LOW}$		0.5			$\mu$ s
High Time SCL clock	$t_{HIGH}$		0.26			$\mu$ s
Setup Time for Repeated Start Condition	$t_{SU,STA}$		0.26			$\mu$ s
Hold Time for Repeated Start Condition	$t_{HD,STA}$		0.26			$\mu$ s
Data Setup Time	$t_{SU,DAT}$			50		ns
Data Hold Time	$t_{HD,DAT}$			10		ns
Rise Time for SDA and SCL	$t_R$			50		ns
Fall Time for SDA and SCL	$t_F$			30		ns
Setup Time for a Stop Condition	$t_{SU,STO}$		0.26			$\mu$ s

電气的特性—I<sup>2</sup>C (続き)

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Bus Free Time Between a Stop and Start Condition	$t_{BUS}$		0.5			$\mu s$
Data Valid Time	$t_{VD,DAT}$		0.45			$\mu s$
Data Valid Acknowledge Time	$t_{VD,ACK}$		0.45			$\mu s$

電气的特性—I<sup>2</sup>S

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TARGET</b>						
Bit Clock Frequency	$f_{BCLKS}$				25	MHz
Bit Clock Period	$t_{BCLKS}$		$\frac{1}{f_{BCLKS}}$			$\mu s$
BCLK High Time	$t_{WBCLKHS}$			$0.5 \times \frac{1}{f_{BCLKS}}$		$\mu s$
BCLK Low Time	$t_{WBCLKLS}$			$0.5 \times \frac{1}{f_{BCLKS}}$		$\mu s$
Setup Time for LRCLK	$t_{LRCLK\_BCLKS}$			20		ns
Delay Time, BCLK to SD (Output) Valid	$t_{BCLK\_SDOS}$			20		ns
Setup Time for SD (Input)	$t_{SU\_SDIS}$			10		ns
Hold Time SD (Input)	$t_{HD\_SDIS}$			10		ns
<b>CONTROLLER</b>						
Bit Clock Frequency	$f_{BCLKM}$	Source only from I2S_EXTCLK (P0.14 Alternate Function 2)			80	MHz
Bit Clock Period	$t_{BCLKM}$		$\frac{1}{f_{BCLKM}}$			$\mu s$
BCLK High Time	$t_{WBCLKHM}$			$0.5 \times \frac{1}{f_{BCLKM}}$		$\mu s$
BCLK Low Time	$t_{WBCLKLM}$			$0.5 \times \frac{1}{f_{BCLKM}}$		$\mu s$
Delay Time BCLK to LRCLK Valid	$t_{BCLK\_LRCLKM}$			20		ns
Delay Time, BCLK to SD (Output) Valid	$t_{BCLK\_SDOM}$			20		ns
Setup Time for SD (Input)	$t_{SU\_SDIM}$			10		ns
Hold Time SD (Input)	$t_{HD\_SDIM}$			10		ns

## 電气的特性—SPI

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CONTROLLER MODE</b>						
SPI Controller Operating Frequency (SPI0, SPI1, SPI2)	$f_{MCK}$	$f_{SYS\_CLK} = 120\text{MHz}$ , $f_{MCK(MAX)} = f_{SYS\_CLK}/4$			30	MHz
SPI Controller Operating Frequency (SPI3, SPI4)	$f_{MCK}$	$f_{SYS\_CLK} = 120\text{MHz}$ , $f_{MCK(MAX)} = f_{SYS\_CLK}/2$			60	MHz
SPI Controller SCK Period	$t_{MCK}$			$1/f_{MCK}$		ns
SCK Output Pulse-Width High/Low	$t_{MCH}$ , $t_{MCL}$		$t_{MCK}/2$			ns
MOSI Output Hold Time After SCK Sample Edge	$t_{MOH}$		$t_{MCK}/2$			ns
MOSI Output Valid to Sample Edge	$t_{MOV}$		$t_{MCK}/2$			ns
MOSI Output Hold Time After SCK Low Idle	$t_{MLH}$			$t_{MCK}/2$		ns
MISO Input Valid to SCK Sample Edge Setup	$t_{MIS}$			5		ns
MISO Input to SCK Sample Edge Hold	$t_{MIH}$			$t_{MCK}/2$		ns
<b>TARGET MODE</b>						
SPI Target Operating Frequency	$f_{SCK}$				60	MHz
SPI Target SCK Period	$t_{SCK}$			$1/f_{SCK}$		ns
SCK Input Pulse-Width High/Low	$t_{SCH}$ , $t_{SCL}$			$t_{SCK}/2$		ns
SSx Active to First Shift Edge	$t_{SSE}$			10		ns
MOSI Input to SCK Sample Edge Rise/Fall Setup	$t_{SIS}$			5		ns
MOSI Input from SCK Sample Edge Transition Hold	$t_{SIH}$			1		ns
MISO Output Valid After SCLK Shift Edge Transition	$t_{SOV}$			5		ns
SCK Inactive to SSx Inactive	$t_{SSD}$			10		ns
SSx Inactive Time	$t_{SSH}$			$1/f_{SCK}$		ns
MISO Hold Time After SSx Deassertion	$t_{SLH}$			10		ns

### 電気的特性—HyperBus

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
HYP_CLK, HYP_CLKN Frequency	$f_{\text{HYP\_CLK}}$				60	MHz
HYP_CLK, HYP_CLKN Period	$t_{\text{HYP\_CLK}}$		$1/f_{\text{HYP\_CLK}}$			ns
HYP_CLK, HYP_CLKN High Time	$t_{\text{WHCKH}}$			7		ns
HYP_CLK, HYP_CLKN Low Time	$t_{\text{WHCKL}}$			7		ns
CS Setup to RWDS	$t_{\text{CSSU}}$			6		ns
RWDS Setup to CK	$t_{\text{RWDS\_CK}}$			10		ns
Dx Output Setup	$t_{\text{OSU}}$			5		ns
Dx Output Hold	$t_{\text{OH}}$			3		ns
CS Hold after CK Falling Edge	$t_{\text{CSH}}$			5		ns
CS High between Transactions	$t_{\text{CHSI}}$			15		ns
Dx Input Setup to RWDS	$t_{\text{ISU}}$			4		ns
Dx Input Hold	$t_{\text{IHD}}$			2		ns

### 電気的特性—1 線式コントローラ

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Write 0 Low Time	$t_{\text{W0L}}$	Standard		60		$\mu\text{s}$
		Overdrive		8		
Write 1 Low Time	$t_{\text{W1L}}$	Standard		6		$\mu\text{s}$
		Standard, Long Line mode		8		
		Overdrive		1		
Presence Detect Sample	$t_{\text{MSP}}$	Standard		70		$\mu\text{s}$
		Standard, Long Line mode		85		
		Overdrive		9		
Read Data Value	$t_{\text{MSR}}$	Standard		15		$\mu\text{s}$
		Standard, Long Line mode		24		
		Overdrive		3		
Recovery Time	$t_{\text{RECO}}$	Standard		10		$\mu\text{s}$
		Standard, Long Line mode		20		
		Overdrive		4		
Reset Time High	$t_{\text{RSTH}}$	Standard		480		$\mu\text{s}$
		Overdrive		58		
Reset Time Low	$t_{\text{RSTL}}$	Standard		600		$\mu\text{s}$
		Overdrive		70		

電气的特性—1 線式コントローラ (続き)

(タイミング仕様は設計により確保されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Time Slot	$t_{SLOT}$	Standard		70		$\mu s$
		Overdrive		12		

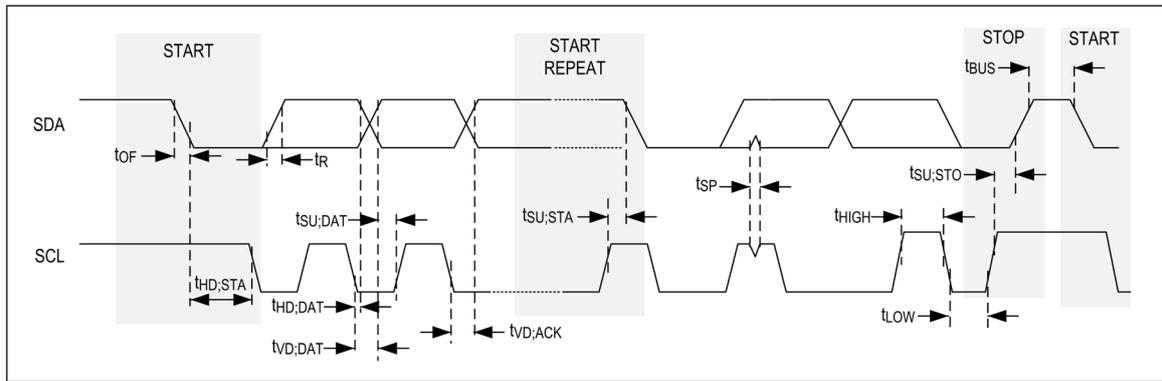


図 1. I<sup>2</sup>C のタイミング図

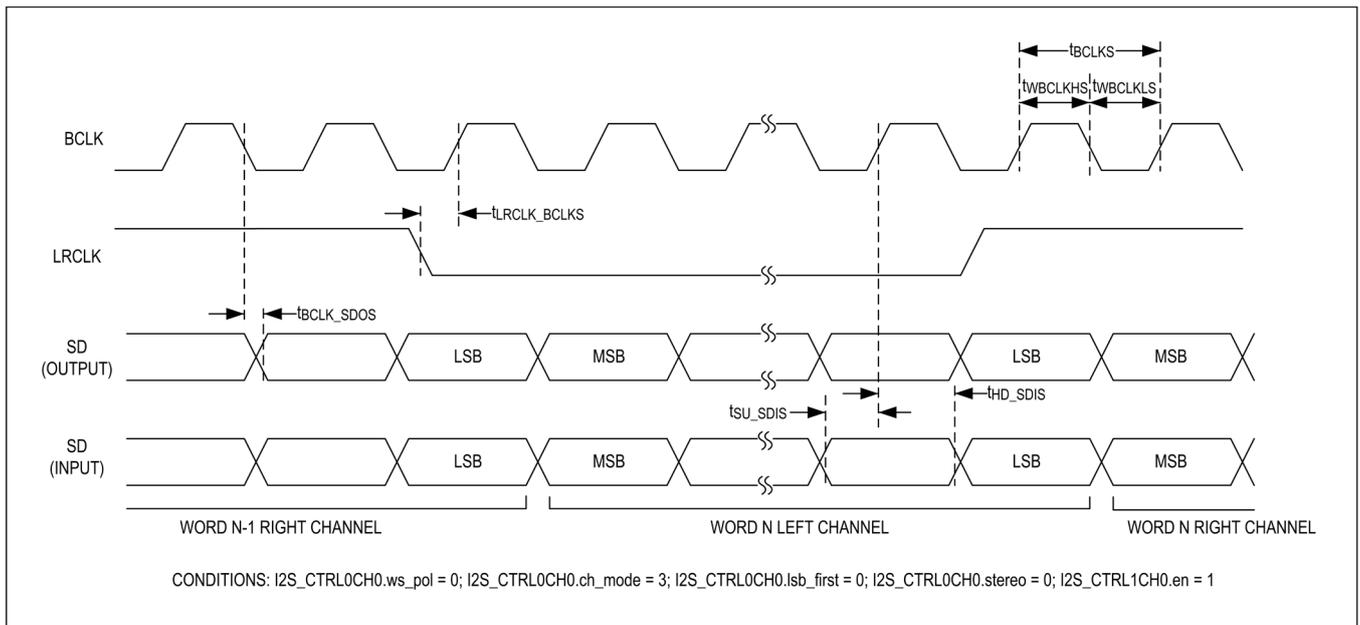


図 2. I<sup>2</sup>S ターゲット・モードのタイミング図

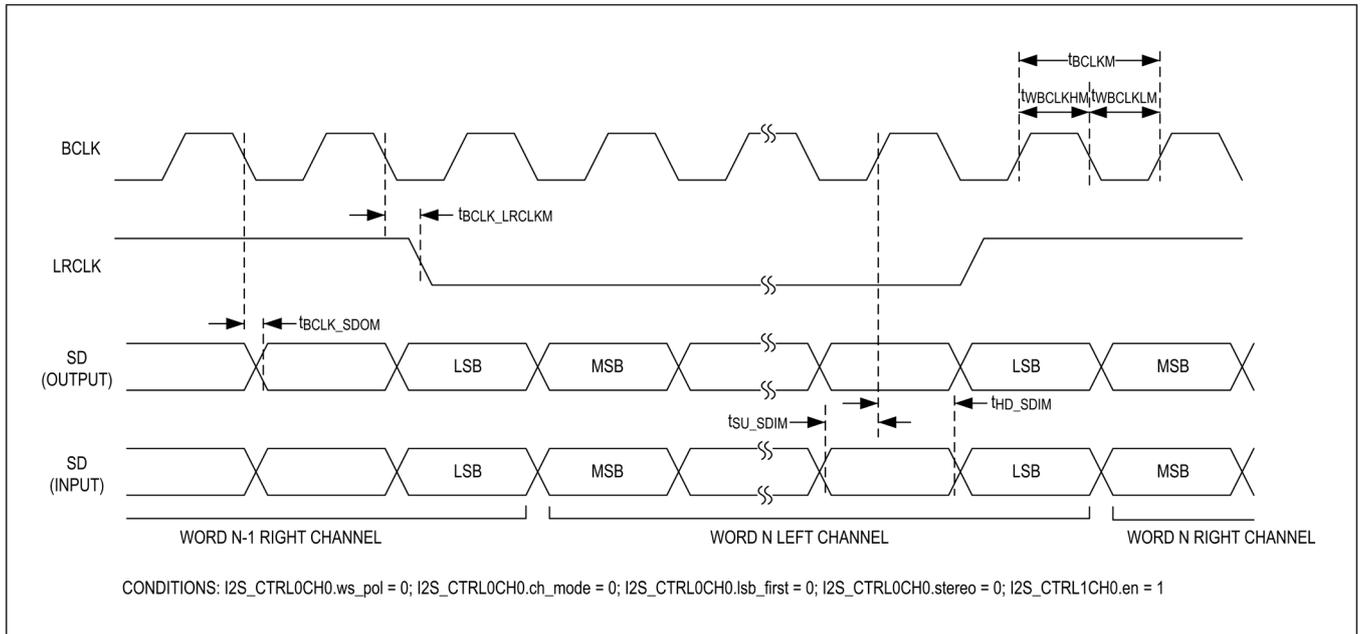


図 3. I<sup>2</sup>S コントローラのタイミング図

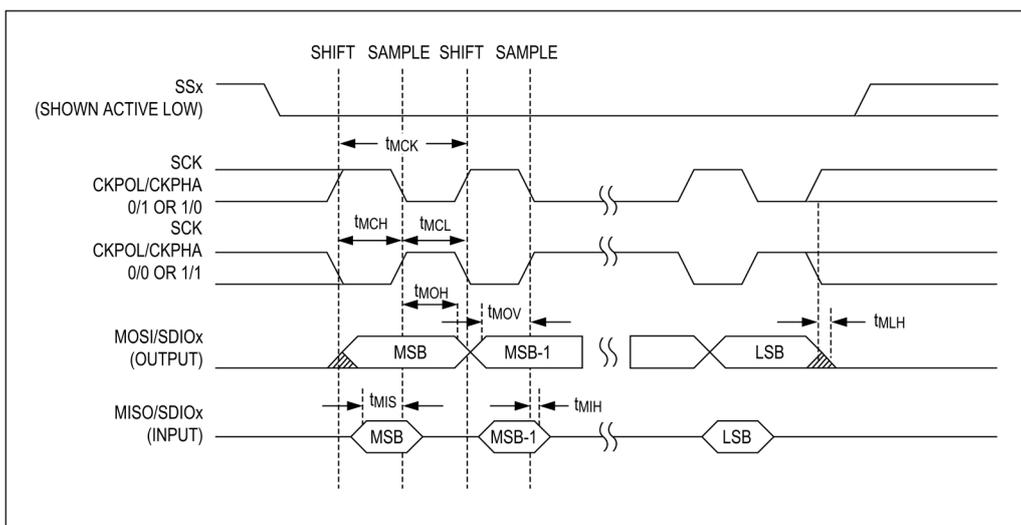


図 4. SPI コントローラ・モードのタイミング図

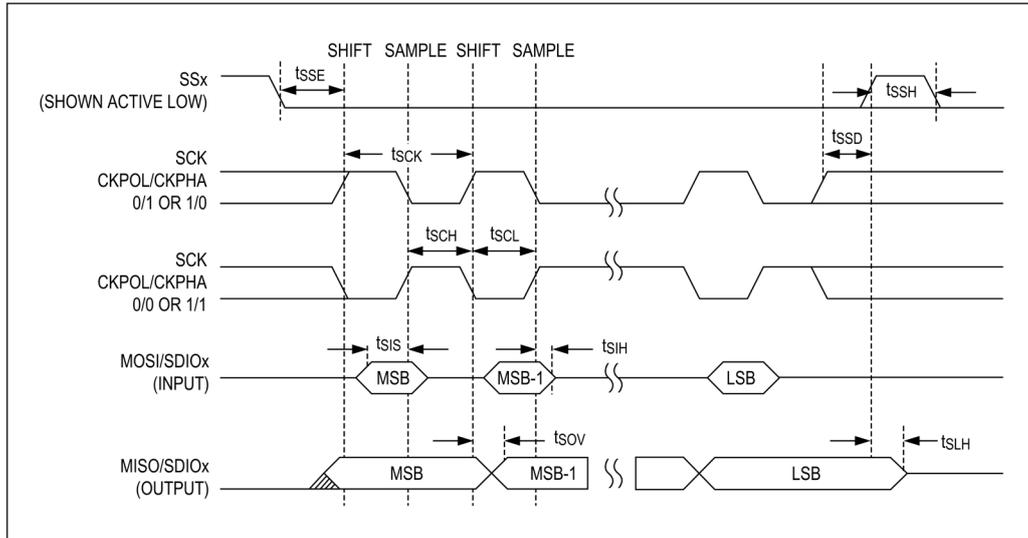


図 5. SPI ターゲット・モードのタイミング図

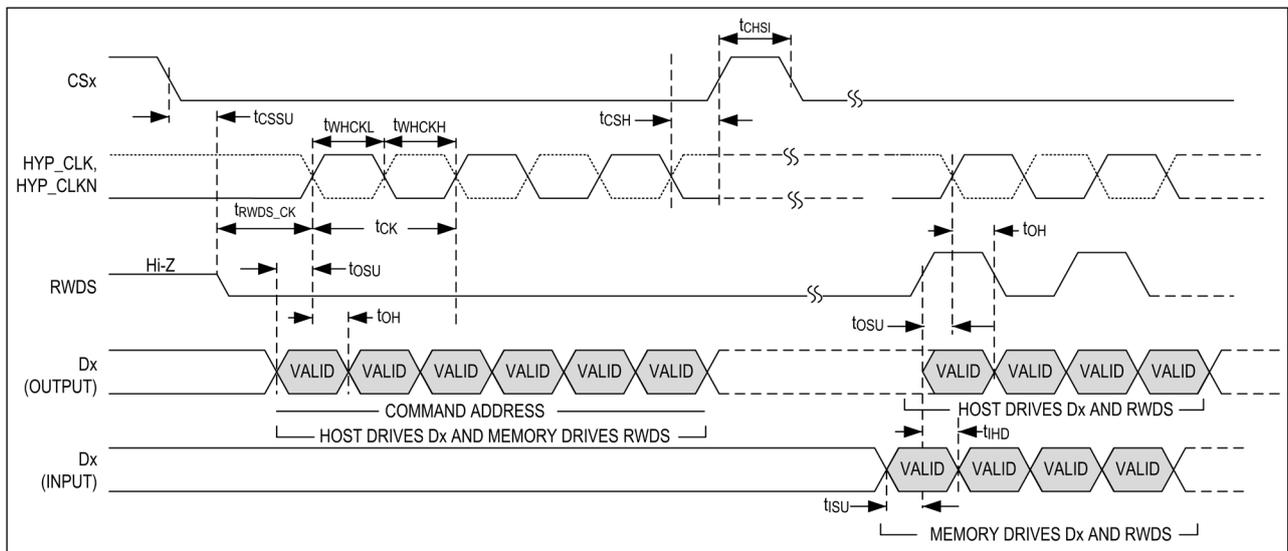


図 6. HyperBus/Xccela バスのタイミング図

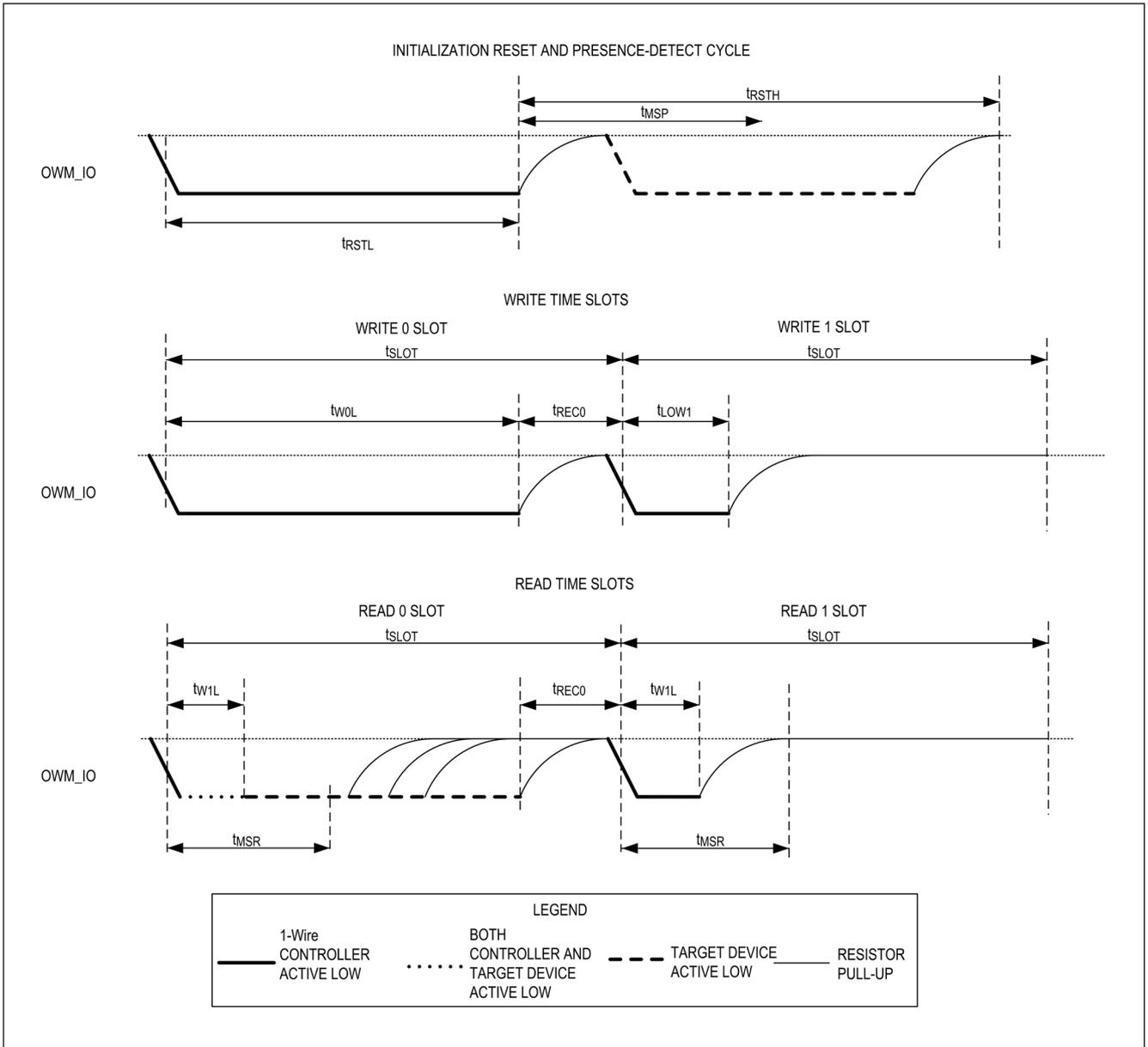
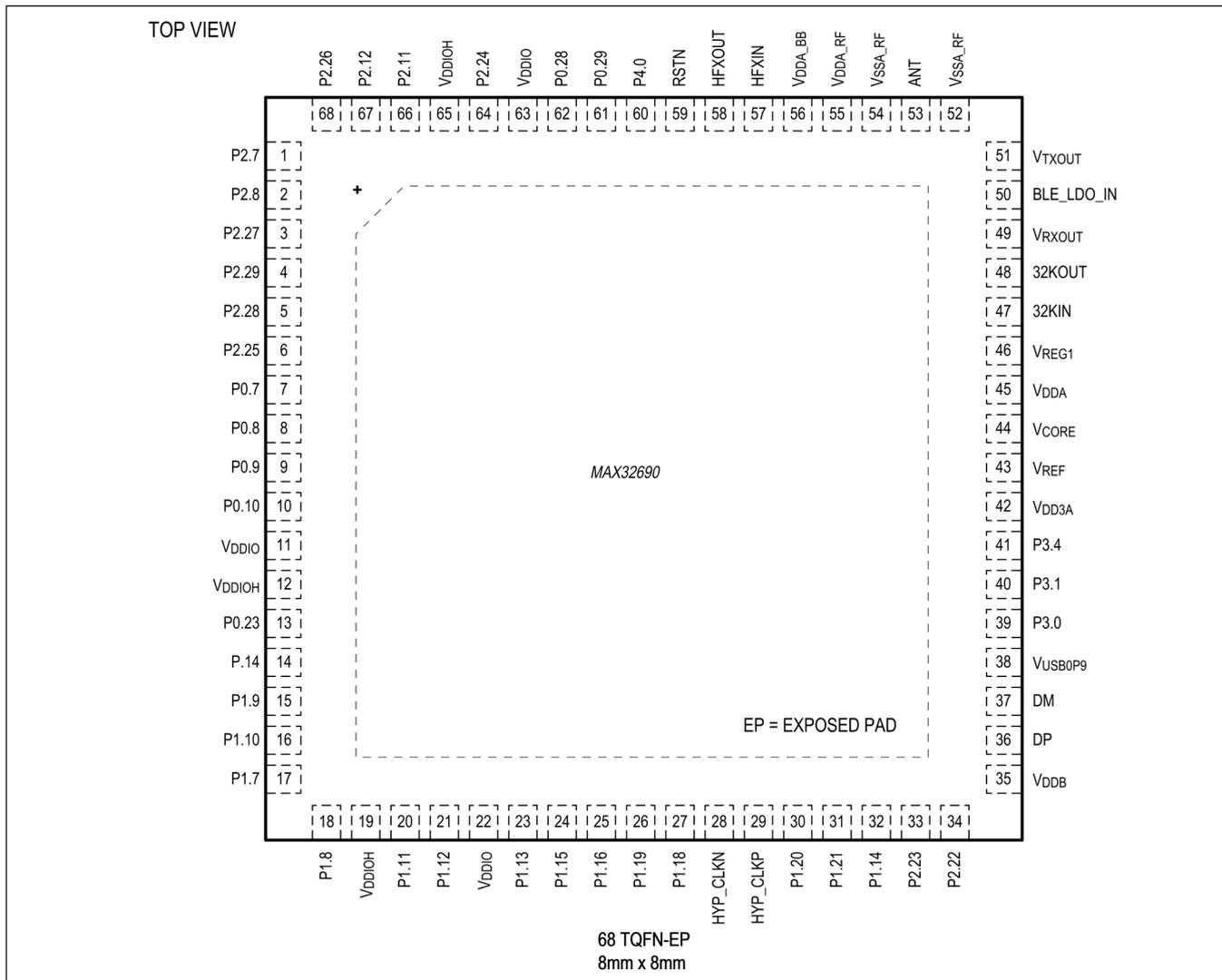


図 7.1 線式コントローラのデータ・タイミング図

ピン配置

68 TQFN-EP



端子説明

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
電源ピンおよびシステム・ピン						
44	V <sub>CORE</sub>	—	—	—	—	デジタル電源電圧。1.0μFを用いてPCBグラウンドにバイパスします。

## 68 TQFN-EP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
46	V <sub>REG1</sub>	—	—	—	—	4.7nFを用いてV <sub>SS</sub> にバイパスします。このデバイス・ピンはその他の外部回路には接続しないでください。
11, 22, 63	V <sub>DDIO</sub>	—	—	—	—	GPIO電源電圧。このピンは、常にPCBレベルでV <sub>DDA</sub> デバイス・ピンに接続する必要があります。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してPCBグラウンドにバイパスします。
12, 19, 65	V <sub>DDIOH</sub>	—	—	—	—	GPIO電源電圧、ハイ。V <sub>DDIOH</sub> ≥ V <sub>DDIO</sub> 。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してPCBグラウンドにバイパスします。このピンは、PCBレベルでV <sub>DD3A</sub> デバイス・ピンに接続する必要があります。
EP	EP	—	—	—	—	露出パッド (TQFNのみ)。このパッドはPCBグラウンドに接続する必要があります。詳細については、アプリケーション・ノート3273：Exposed Pads: A Brief Introductionを参照してください。
43	V <sub>REF</sub>	—	—	—	—	ADCの外部リファレンス入力。これは、A/Dコンバータ (ADC) のリファレンス入力です。1.0μFを用いてPCBグラウンドにバイパスします。
42	V <sub>DD3A</sub>	—	—	—	—	アナログ電源電圧。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してPCBグラウンドにバイパスします。このピンは、V <sub>DDIOH</sub> デバイス・ピンに接続する必要があります。
45	V <sub>DDA</sub>	—	—	—	—	アナログ電源電圧。このピンは、常にPCBレベルでV <sub>DDIO</sub> デバイス・ピンに接続する必要があります。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してPCBグラウンドにバイパスします。
50	BLE_LDO_IN	—	—	—	—	Bluetooth LDO 入力。BLE_LDO_INは、1μFと100nFのコンデンサをBLE_LDO_INデバイス・ピンのできるだけ近くに配置してPCBグラウンドにバイパスします。
56	V <sub>DDA_BB</sub>	—	—	—	—	Bluetoothアナログ・ベースバンド用の0.9Vアナログ電源。このピンは、1μFと100nFのコンデンサを用いてPCBグラウンドにバイパスします。
55	V <sub>DDA_RF</sub>	—	—	—	—	Bluetooth無線用の0.9Vアナログ電源。このピンは、1μFと100nFのコンデンサを用いてPCBグラウンドにバイパスします。

## 68 TQFN-EP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
49	V <sub>RXOUT</sub>	—	—	—	—	無線ベースバンド電源電圧出力。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してPCBグラウンドにバイパスします。このピンは、常にPCBレベルでV <sub>DDA_BB</sub> デバイス・ピンに接続する必要があります。
51	V <sub>TXOUT</sub>	—	—	—	—	無線RF電源電圧出力。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してPCBグラウンドにバイパスします。このピンは、常にPCBレベルでV <sub>DDA_RF</sub> デバイス・ピンに接続する必要があります。
54, 52	V <sub>SSA_RF</sub>	—	—	—	—	Bluetooth無線のグラウンド。
35	V <sub>DDB</sub>	—	—	—	—	USBトランシーバー電源電圧。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してV <sub>SSB</sub> にバイパスします。
38	V <sub>USB0P9</sub>	—	—	—	—	1.0μFを用いてPCBグラウンドにバイパスします。このデバイス・ピンはその他の外部回路には接続しないでください。
59	RSTN	—	—	—	—	アクティブ・ローのリセット入力。このピンがアクティブ状態の間は、デバイスはリセット状態になります。このピンが非アクティブに遷移すると、デバイスはPORリセット（リアルタイム・クロック回路以外のすべての電源の全ロジックをリセット）を実行し、デバイス動作を開始します。このピンは内部でV <sub>DDIO</sub> 電源にプルアップされます。
クロック・ピン						
48	32KOUT	—	—	—	—	32kHz水晶発振器の出力。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。
47	32KIN	—	—	—	—	32kHz水晶発振器の入力。RTC動作のためには、32KINと32KOUTの間に32kHzの水晶発振器を接続します。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。このピンは、オプションでCMOSレベルの外部クロック源用入力として構成することもできます。
57	HFXIN	—	—	—	—	RF水晶発振器の入力。HFXINとHFXOUTの間に水晶発振器を接続します。このピンは、オプションで外部矩形波源用入力として構成することもできます。水晶発振器の詳細な条件については電氣的特性の表を参照してください。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。

## 68 TQFN-EP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
58	HFXOUT	—	—	—	—	RF水晶発振器の出力。HFXINとHFXOUTの間に水晶発振器を接続します。水晶発振器の詳細な条件については電氣的特性の表を参照してください。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。
28	HYP_CLKN	—	—	—	—	HyperBusの負のクロック
29	HYP_CLKP	—	—	—	—	HyperBusの正のクロック
GPIOおよび代替機能						
7	P0.7	P0.7	OWM_PE	TMR1B_IOA	—	1線式コントローラ・プルアップ・イネーブル、Timer1ポートMap B入出力32ビットまたは下位16ビットのみ
8	P0.8	P0.8	OWM_IO	TMR1B_IOB	—	1線式コントローラ・データ、Timer1ポートMap B入出力上位16ビットのみ
9	P0.9	P0.9	ADC_CLK_EXT	—	TMR0C_IOAN	ADCの外部クロック入力、Timer0ポートMap C入出力32ビットまたは下位16ビットのみ反転出力
10	P0.10	P0.10	ADC_TRIG_A	—	TMR0C_IOBN	ADCのトリガ入力、Timer0ポートMAP C入出力上位16ビットのみ反転出力
14	P0.14	P0.14	—	TMR0B_IOB	I2C2C_SCL	Timer0ポートMap B入出力上位16ビットのみ、I2C2ポートMap Cシリアル・クロック
13	P0.23	P0.23/CLKEXT	PT15	I2S0B_CLKEXT	—	パルス列15、I2S0ポートMap B外部クロック入力。このデバイス・ピンは、SYS_CLKにクロック源を提供するための入力として構成することもできます。
62	P0.28	P0.28/SWDIO	—	—	—	1線式デバッグI/O。このデバイス・ピンを選択した場合、リセット後、1線式デバッグI/Oとして機能します。
61	P0.29	P0.29/SWDCLK	—	—	—	1線式デバッグ・クロック。このデバイス・ピンを選択した場合、リセット後、1線式デバッグ・クロックとして機能します。
17	P1.7	P1.7	UART2A_CTS	PT1	I2C2C_SDA	UART2ポートMap A送信許可、パルス列1；I2C2ポートMap Cシリアル・データ
18	P1.8	P1.8	UART2A_RTS	PT2	I2C2C_SCL	UART2ポートMap A送信要求、パルス列2；I2C2ポートMap Cシリアル・クロック
15	P1.9	P1.9	UART2A_RX	PT3	—	UART2ポートMap A受信、パルス列3
16	P1.10	P1.10	UART2A_TX	PT4	—	UART2ポートMap A送信、パルス列4
20	P1.11	P1.11	—	—	HYP_CS0N	HyperBusチップ・セレクト0アクティブ・ロー
21	P1.12	P1.12	PT5	HYP_D0	—	パルス列5、Hyperbusデータ0

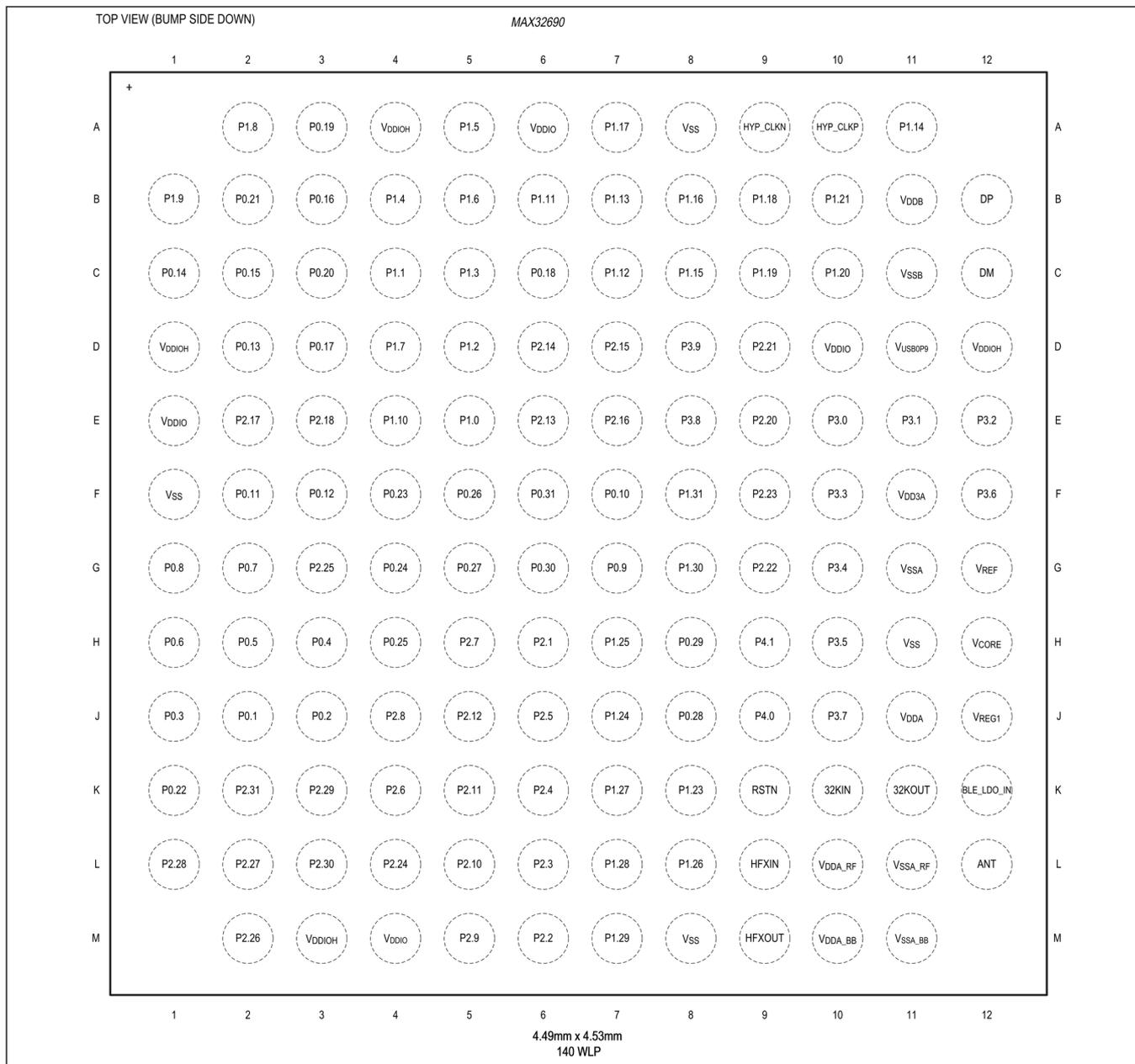
## 68 TQFN-EP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
23	P1.13	P1.13	TMR3A_IOA	—	HYP_D4	Timer3ポートMap A入出力32ビットまたは下位16ビット、HyperBusデータ4
32	P1.14	P1.14	TMR3A_IOB	—	HYP_RWDS	Timer3ポートMap A入出力上位16ビットのみ、HyperBus読出し/書き込みデータ・ストロープ
24	P1.15	P1.15	—	—	HYP_D1	HyperBusデータ1
25	P1.16	P1.16	—	—	HYP_D5	HyperBusデータ5
27	P1.18	P1.18	—	PT6	HYP_D6	パルス列6、HyperBusデータ6
26	P1.19	P1.19	—	PT7	HYP_D2	パルス列7、HyperBusデータ2
30	P1.20	P1.20	—	—	HYP_D3	HyperBusデータ3
31	P1.21	P1.21	—	PT8	HYP_D7	パルス列8、HyperBusデータ7
1	P2.7	P2.7	I2C0A_SDA	—	—	I2C0ポートMap Aシリアル・データ
2	P2.8	P2.8	I2C0A_SCL	—	—	I2C0ポートMap Aシリアル・クロック
66	P2.11	P2.11	UART0A_RX	PT13	—	UART0ポートMap A受信、パルス列13
67	P2.12	P2.12	UART0A_TX	PT15	—	UART0ポートMap A送信、パルス列15
34	P2.22	P2.22	PT8	CAN0B_RX	—	パルス列8、コントローラ・エリア・ネットワーク0ポートMap B受信入力
33	P2.23	P2.23	PT6	CAN0B_TX	—	パルス列6、コントローラ・エリア・ネットワーク0ポートMap B送信出力
64	P2.24	P2.24	PT10	CAN1B_RX	—	パルス列10、コントローラ・エリア・ネットワーク1ポートMap B受信入力
6	P2.25	P2.25	PT11	CAN1B_TX	—	パルス列11、コントローラ・エリア・ネットワーク1ポートMap B送信出力
68	P2.26	P2.26	PT12	SPI0B_SS1	I2S0C_WS	パルス列12、SPI0ポートMap Bターゲット・セレクト1、I2S0ポートMap C左/右ワード・セレクト
3	P2.27	P2.27	PT13	SPI0B_MISO	I2S0C_SDI	パルス列13、SPI0ポートMap Bコントローラ・イン・ターゲット・アウト/データ1、I2S0ポートMap Cシリアル・データ・イン
5	P2.28	P2.28	PT14	SPI0B_MOSI	I2S0C_SDO	パルス列14、SPI0ポートMap Bコントローラ・アウト・ターゲット・イン/データ0、I2S0ポートMap Cシリアル・データ・アウト
4	P2.29	P2.29	PT0	SPI0B_SCK	I2S0C_SCK	パルス列0、SPI0ポートMap Bシリアル・クロック、I2S0ポートMap Cシリアル・クロック
39	P3.0	P3.0	AIN0/AIN0N	LPUART0B_RX	—	ADC入力0/コンパレータ0負入力、低消費電力UART0ポートMap B受信
40	P3.1	P3.1	AIN1/AIN0P	LPUART0B_TX	—	ADC入力1/コンパレータ0正入力、低消費電力UART0ポートMap B送信
41	P3.4	P3.4	AIN4/AIN2N	LPTMR0B_IOA	—	ADC入力4/コンパレータ2負入力、低消費電力Timer0ポートMap B入出力32ビットまたは下位16ビット

## 68 TQFN-EP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
60	P4.0	P4.0/PDOWN	—	—	—	パワーダウン出力
USB						
36	DP	—	—	—	—	USB DP信号。この双方向ピンは、正側の差動データまたはシングルエンド・データを入出力します。USBがディスエーブルの場合、このピンは内部で弱くハイにプルアップされます。
37	DM	—	—	—	—	USB DM信号。この双方向ピンは、負側の差動データまたはシングルエンド・データを入出力します。USBがディスエーブルの場合、このピンは内部で弱くハイにプルアップされます。
アンテナ出力						
53	ANT	—	—	—	—	Bluetooth無線用アンテナ。シングルエンドの不平衡Bluetooth無線アンテナ。

ピン配置  
140 WLP



## 端子説明

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
電源ピンおよびシステム・ピン						
H12	V <sub>CORE</sub>	—	—	—	—	デジタル電源電圧。1.0μFを用いてV <sub>SS</sub> にバイパスします。
J12	V <sub>REG1</sub>	—	—	—	—	4.7nFを用いてV <sub>SS</sub> にバイパスします。このデバイス・ピンはその他の外部回路には接続しないでください。
A6, D10, E1, M4	V <sub>DDIO</sub>	—	—	—	—	GPIO電源電圧。このピンは、常にPCBレベルでV <sub>DDA</sub> デバイス・ピンに接続する必要があります。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してV <sub>SS</sub> にバイパスします。
A4, D1, D12, M3	V <sub>DDIOH</sub>	—	—	—	—	GPIO電源電圧、ハイ。V <sub>DDIOH</sub> ≥ V <sub>DDIO</sub> 。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してV <sub>SS</sub> にバイパスします。このピンは、PCBレベルでV <sub>DD3A</sub> デバイス・ピンに接続する必要があります。
A8, F1, H11, M8	V <sub>SS</sub>	—	—	—	—	デジタル・グラウンド
G12	V <sub>REF</sub>	—	—	—	—	ADCの外部リファレンス入力。これは、A/Dコンバータのリファレンス入力です。1.0μFを用いてV <sub>SS</sub> にバイパスします。
F11	V <sub>DD3A</sub>	—	—	—	—	アナログ電源電圧。このピンは、1.0μFをパッケージのできるだけ近くに配置してV <sub>SSA</sub> にバイパスします。このピンは、V <sub>DDIOH</sub> デバイス・ピンに接続する必要があります。
J11	V <sub>DDA</sub>	—	—	—	—	アナログ電源電圧。このピンは、常にPCBレベルでV <sub>DDIO</sub> デバイス・ピンに接続する必要があります。このピンは、1.0μFをパッケージのできるだけ近くに配置してV <sub>SSA</sub> にバイパスします。
G11	V <sub>SSA</sub>	—	—	—	—	アナログ・グラウンド
K12	BLE_LDO_IN	—	—	—	—	Bluetooth LDO入力。BLE_LDO_INは、1μFと100nFのコンデンサをBLE_LDO_INデバイス・ピンのできるだけ近くに配置してPCBグラウンドにバイパスします。
M10	V <sub>DDA_BB</sub>	—	—	—	—	Bluetoothアナログ・ベースバンド用の0.9Vアナログ電源。このピンは、1μFと100nFのコンデンサを用いてPCBグラウンドにバイパスします。
L10	V <sub>DDA_RF</sub>	—	—	—	—	Bluetooth無線用の0.9Vアナログ電源。このピンは、1μFと100nFのコンデンサを用いてPCBグラウンドにバイパスします。

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
—	V <sub>RXOUT</sub>	—	—	—	—	無線ベースバンド電源電圧出力。この信号は内部でV <sub>DDA_BB</sub> に接続されています。
—	V <sub>TXOUT</sub>	—	—	—	—	無線RF電源電圧出力。この信号は内部でV <sub>DDA_RF</sub> デバイス・ピンに接続されています。
M11	V <sub>SSA_BB</sub>	—	—	—	—	Bluetoothベースバンドのグラウンド。
L11	V <sub>SSA_RF</sub>	—	—	—	—	Bluetooth無線のグラウンド。
B11	V <sub>DDB</sub>	—	—	—	—	USBトランシーバー電源電圧。このピンは、1.0μFのコンデンサをパッケージのできるだけ近くに配置してV <sub>SSB</sub> にバイパスします。
D11	V <sub>USB0P9</sub>	—	—	—	—	1.0μFを用いてV <sub>SSB</sub> にバイパスします。このデバイス・ピンはその他の外部回路には接続しないでください。
C11	V <sub>SSB</sub>	—	—	—	—	USBトランシーバーのグラウンド
K9	RSTN	—	—	—	—	アクティブ・ローのリセット入力。このピンがアクティブ状態の間は、デバイスはリセット状態になります。このピンが非アクティブに遷移すると、デバイスはPORリセット（リアルタイム・クロック回路以外のすべての電源の全ロジックをリセット）を実行し、デバイス動作を開始します。このピンは内部でV <sub>DDIO</sub> 電源にプルアップされます。
クロック・ピン						
K11	32KOUT	—	—	—	—	32kHz水晶発振器の出力。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。
K10	32KIN	—	—	—	—	32kHz水晶発振器の入力。RTC動作のためには、32KINと32KOUTの間に32kHzの水晶発振器を接続します。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。このピンは、オプションでCMOSレベルの外部クロック源用入力として構成することもできます。
L9	HFXIN	—	—	—	—	RF水晶発振器の入力。HFXINとHFXOUTの間に水晶発振器を接続します。このピンは、オプションで外部矩形波源用入力として構成することもできます。水晶発振器の詳細な条件については電氣的特性の表を参照してください。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
M9	HFXOUT	—	—	—	—	RF水晶発振器の出力。HFXINとHFXOUTの間に水晶発振器を接続します。水晶発振器の詳細な条件については電氣的特性の表を参照してください。必要な外付け安定化コンデンサの決定については、MAX32690ユーザ・ガイドを参照してください。
A10	HYP_CLKP	—	—	—	—	HyperBusの正のクロック
A9	HYP_CLKN	—	—	—	—	HyperBusの負のクロック
GPIOおよび代替機能						
J2	P0.1	P0.1	SPIXR_SDIO0	SPIXF_SDIO0	UART2C_TX	SPI外部RAMデータ0、SPI外部フラッシュ・データ0、UART2ポートMap C送信
J3	P0.2	P0.2	SPIXR_SDIO2	SPIXF_SDIO2	UART2C_CTS	SPI外部RAMデータ2、SPI外部フラッシュ・データ2、UART2ポートMap C送信許可
J1	P0.3	P0.3	SPIXR_SCK	SPIXF_SCK	UART2C_RTS	SPI外部RAMシリアル・クロック、SPI外部フラッシュ・シリアル・クロック、UART2ポートMap C送信要求
H3	P0.4	P0.4	SPIXR_SDIO3	SPIXF_SDIO3	TMR0C_IOA	SPI外部RAMデータ3、SPI外部フラッシュ・データ3、Timer0ポートMap C入出力32ビットまたは下位16ビット
H2	P0.5	P0.5	SPIXR_SDIO1	SPIXF_SDIO1	TMR2C_IOB	SPI外部RAMデータ1、SPI外部フラッシュ・データ1、Timer2ポートMap C入出力上位16ビットのみ
H1	P0.6	P0.6	SPIXR_SS0	SPIXF_SS0	UART2C_RX	SPI外部RAMターゲット・セレクト0、SPI外部フラッシュ・ターゲット・セレクト0、UART2ポートMap C受信
G2	P0.7	P0.7	OWM_PE	TMR1B_IOA	—	1線式コントローラ・プルアップ・イネーブル、Timer1ポートMap B入出力32ビットまたは下位16ビットのみ
G1	P0.8	P0.8	OWM_IO	TMR1B_IOB	—	1線式コントローラ・データ、Timer1ポートMap B入出力上位16ビットのみ
G7	P0.9	P0.9	ADC_CLK_EXT	—	TMR0C_IOAN	ADCの外部クロック入力、Timer0ポートMap C入出力32ビットまたは下位16ビットのみ反転出力
F7	P0.10	P0.10	ADC_TRIG_A	—	TMR0C_IOBN	ADCのトリガ入力、Timer0ポートMAP C入出力上位16ビットのみ反転出力
F2	P0.11	P0.11	I2C1A_SDA	—	TMR1C_IOAN	I2C1ポートMap Aシリアル・データ、Timer1ポートMAP C入出力32ビットまたは下位16ビットのみ反転出力
F3	P0.12	P0.12	I2C1A_SCL	—	TMR1C_IOBN	I2C1ポートMap Aシリアル・クロック、Timer1ポートMAP C入出力上位16ビットのみ反転出力

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
D2	P0.13	P0.13	SPI3A_SS1	TMR0B_IOA	I2C2C_SDA	SPI3ポートMap Aターゲット・セレクト1、Timer0ポートMap B入出力32ビットまたは下位16ビットのみ、I2C2ポートMap Cシリアル・データ
C1	P0.14	P0.14	SPI3A_SS2	TMR0B_IOB	I2C2C_SCL	SPI3ポートMap Aターゲット・セレクト2、Timer0ポートMap B入出力上位16ビットのみ、I2C2ポートMap Cシリアル・クロック
C2	P0.15	P0.15	SPI3A_SDIO3	—	TMR1C_IOA	SPI3ポートMap Aデータ3、Timer1ポートMap C入出力32ビットまたは下位16ビットのみ
B3	P0.16	P0.16	SPI3A_SCK	—	—	SPI3ポートMap Aシリアル・クロック
D3	P0.17	P0.17	SPI3A_SDIO2	—	TMR1C_IOB	SPI3ポートMap Aデータ2、Timer1ポートMAP C入出力上位16ビットのみ
C6	P0.18	P0.18	—	—	—	
A3	P0.19	P0.19	SPI3A_SS0	RV_TCK	—	SPI3ポートMap Aターゲット・セレクト0、RV32 JTAG Tapコントローラ・クロック入力
C3	P0.20	P0.20	SPI3A_MISO	RV_TMS	—	SPI3ポートMap Aコントローラ・イン・ターゲット・アウト/データ1、RV32 JTAG Tapコントローラ・モード・セレクト
B2	P0.21	P0.21	SPI3A_MOSI	RV_TDI	—	SPI3ポートMap Aコントローラ・アウト・ターゲット・イン/データ0、RV32 JTAG Tapコントローラ・データ・イン
K1	P0.22	P0.22	SPI0A_SS0	RV_TDO	—	SPI0ポートMap Aターゲット・セレクト0、RV32 JTAG Tapコントローラ・データ・アウト
F4	P0.23	P0.23/CLKEXT	PT15	I2S0B_CLKEXT	—	パルス列15、I2S0ポートMap B外部クロック入力。このデバイス・ピンは、SYS_CLKにクロック源を提供するための入力として構成することもできます。
G4	P0.24	P0.24	RXEVO	I2S0B_SCK	—	CM4受信イベント出力、I2S0ポートMap Bシリアル・クロック
H4	P0.25	P0.25	TXEVO	I2S0B_SDI	—	CM4送信イベント出力、I2S0ポートMap Bシリアル・データ入力
F5	P0.26	P0.26	—	I2S0B_SDO	—	I2S0ポートMap Bシリアル・データ出力
G5	P0.27	P0.27/USBCLKEXT	ERFO_CLK_OUT	I2S0B_WS	—	USB外部クロック入力、ERFO出力；I2S0ポートMap B左/右クロック
J8	P0.28	P0.28/SWDIO	—	—	—	1線式デバッグI/O。リセット後、このデバイス・ピンは1線式デバッグI/Oとして機能します。
H8	P0.29	P0.29/SWDCLK	—	—	—	1線式デバッグ・クロック。リセット後、このデバイス・ピンは1線式デバッグ・クロックとして機能します。
G6	P0.30	P0.30	I2C0A_SDA	—	—	I2C0ポートMap Aシリアル・データ
F6	P0.31	P0.31	I2C0A_SCL	—	—	I2C0ポートMap Aシリアル・クロック
E5	P1.0	P1.0	SPI4A_SS0	ADC_TRIG_B	—	SPI4ポートMap Aターゲット・セレクト0、ADCトリガB

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
C4	P1.1	P1.1	SPI4A_MOSI	—	—	SPI4ポートMap Aコントローラ・アウト・ターゲット・イン/SDIO0
D5	P1.2	P1.2	SPI4A_MISO	—	—	SPI4ポートMap Aコントローラ・イン・ターゲット・アウト/SDIO1
C5	P1.3	P1.3	SPI4A_SCK	—	—	SPI4ポートMap Aシリアル・クロック
B4	P1.4	P1.4	SPI4A_SDIO2	TMR2B_IOA	—	SPI4ポートMap Aデータ2、Timer2ポートMap B入出力32ビットまたは下位16ビットのみ
A5	P1.5	P1.5	SPI4A_SDIO3	TMR2B_IOB	—	SPI4ポートMap Aデータ3、Timer2ポートMAP B入出力上位16ビットのみ
B5	P1.6	P1.6	SPI4A_SS1	PT0	—	SPI4ポートMap Aターゲット・セレクト1、パルス列0
D4	P1.7	P1.7	UART2A_CTS	PT1	I2C2C_SDA	UART2ポートMap A送信許可、パルス列1、I2C2ポートMap Cシリアル・データ
A2	P1.8	P1.8	UART2A_RTS	PT2	I2C2C_SCL	UART2ポートMap A送信要求、パルス列2、I2C2ポートMap Cシリアル・クロック
B1	P1.9	P1.9	UART2A_RX	PT3	—	UART2ポートMap A受信、パルス列3
E4	P1.10	P1.10	UART2A_TX	PT4	—	UART2ポートMap A送信、パルス列4
B6	P1.11	P1.11	SPI4A_SS2	—	HYP_CS0N	SPI4ポートMap Aターゲット・セレクト2、HyperBusチップ・セレクト0アクティブ・ロー
C7	P1.12	P1.12	PT5	HYP_D0	—	パルス列5；Hyperbusデータ0
B7	P1.13	P1.13	TMR3A_IOA	—	HYP_D4	Timer3ポートMap A入出力32ビットまたは下位16ビット、HyperBusデータ4
A11	P1.14	P1.14	TMR3A_IOB	—	HYP_RWDS	Timer3ポートMap A入出力上位16ビットのみ、HyperBus読出し/書き込みデータ・ストロープ
C8	P1.15	P1.15	—	—	HYP_D1	HyperBusデータ1
B8	P1.16	P1.16	—	—	HYP_D5	HyperBusデータ5
A7	P1.17	P1.17	PT9	—	HYP_CS1N	パルス列9、HyperBusチップ・セレクト1アクティブ・ロー
B9	P1.18	P1.18	—	PT6	HYP_D6	パルス列6、Hyperbusデータ6
C9	P1.19	P1.19	—	PT7	HYP_D2	パルス列7、Hyperbusデータ2
C10	P1.20	P1.20	—	—	HYP_D3	HyperBusデータ3
B10	P1.21	P1.21	—	PT8	HYP_D7	パルス列8、Hyperbusデータ7
K8	P1.23	P1.23	SPI1A_SS0	—	—	SPI1ポートMap Aターゲット・セレクト0
J7	P1.24	P1.24	SPI1A_SS2	CAN0B_RX	—	SPI1AポートMap Aターゲット・セレクト2、コントローラ・エリア・ネットワーク0ポートMap B受信入力
H7	P1.25	P1.25	SPI1A_SS1	CAN0B_TX	—	SPI1ポートMap Aターゲット・セレクト1、コントローラ・エリア・ネットワーク0ポートMap B送信出力

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
L8	P1.26	P1.26	SPI1A_SCK	—	—	SPI1ポートMap Aシリアル・クロック
K7	P1.27	P1.27	SPI2A_SS2	—	—	SPI2ポートMap Aターゲット・セレクト2
L7	P1.28	P1.28	SPI1A_MISO	CAN1B_RX	—	SPI1ポートMap Aコントローラ・イン・ターゲット・アウト/SDIO1、コントローラ・エリア・ネットワーク1ポートMap B受信入力
M7	P1.29	P1.29	SPI1A_MOSI	CAN1B_TX	—	SPI1ポートMap Aコントローラ・アウト・ターゲット・イン/SDIO0、コントローラ・エリア・ネットワーク1ポートMap B送信出力
G8	P1.30	P1.30	OWM_PE	SPI1B_SDIO2	—	1線式コントローラ・プルアップ・イネーブル、SPI1ポートMap Bデータ2
F8	P1.31	P1.31	OWM_IO	SPI1B_SDIO3	—	1線式コントローラ・データI/O、SPI1ポートMap Bデータ3
H6	P2.1	P2.1	SPI2A_SS1	PT10	—	SPI2ポートMap Aターゲット・セレクト1、パルス列10
M6	P2.2	P2.2	SPI2A_SCK	—	—	SPI2ポートMap Aシリアル・クロック
L6	P2.3	P2.3	SPI2A_MISO	—	—	SPI2ポートMap Aコントローラ・イン・ターゲット・アウト/データ1
K6	P2.4	P2.4	SPI2A_MOSI	—	—	SPI12ポートMap Aコントローラ・アウト・ターゲット・イン/データ0
J6	P2.5	P2.5	SPI2A_SS0	PT11	—	SPI2ポートMap Aターゲット・セレクト0、パルス列11
K4	P2.6	P2.6	—	SPI2B_SDIO2	—	SPI2ポートMap Bデータ2
H5	P2.7	P2.7	I2C0A_SDA	SPI2B_SDIO3	—	I2C0ポートMap Aシリアル・データ、SPI2ポートMap Bデータ3
J4	P2.8	P2.8	I2C0A_SCL	—	—	I2C0ポートMap Aシリアル・クロック
M5	P2.9	P2.9	UART0A_CTS	PT12	—	UART0ポートMap A送信許可、パルス列12
L5	P2.10	P2.10	UART0A_RTS	PT14	—	UART0ポートMap A送信要求、パルス列14
K5	P2.11	P2.11	UART0A_RX	PT13	—	UART0ポートMap A受信、パルス列13
J5	P2.12	P2.12	UART0A_TX	PT15	—	UART0ポートMap A送信、パルス列15
E6	P2.13	P2.13	UART1A_CTS	—	—	UART1ポートMap A送信許可
D6	P2.14	P2.14	UART1A_RX	—	—	UART1ポートMap A受信
D7	P2.15	P2.15	UART1A_RTS	ADC_HW_TRIG_C	—	UART1ポートMap A送信要求、ADCハードウェア・トリガ入力C
E7	P2.16	P2.16	UART1A_TX	—	—	UART1ポートMap A送信
E2	P2.17	P2.17	I2C1A_SDA	BLE_ANT_CTRL1	—	I2C1ポートMapシリアル・データ、Bluetoothアンテナ・コントロール・ライン1
E3	P2.18	P2.18	I2C1A_SCL	BLE_ANT_CTRL0	—	I2C1ポートMapシリアル・クロック、Bluetoothアンテナ・コントロール・ライン0

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
E9	P2.20	P2.20	PT5	BLE_ANT_CTRL 2	TMR2C_IOA	パルス列5、Bluetoothアンテナ・コントロール・ライン2、Timer2ポートMap C入出力32ビットまたは下位16ビット
D9	P2.21	P2.21	PT7	BLE_ANT_CTRL 3	TMR2C_IOB	パルス列7、Bluetoothアンテナ・コントロール・ライン3、Timer2ポートMap C入出力上位16ビット
G9	P2.22	P2.22	PT8	CAN0B_RX	—	パルス列8、コントローラ・エリア・ネットワーク0ポートMap B受信入力
F9	P2.23	P2.23	PT6	CAN0B_TX	—	パルス列6、コントローラ・エリア・ネットワーク0ポートMap B送信出力
L4	P2.24	P2.24	PT10	CAN1B_RX	—	パルス列10、コントローラ・エリア・ネットワーク1ポートMap B受信入力
G3	P2.25	P2.25	PT11	CAN1B_TX	—	パルス列11、コントローラ・エリア・ネットワーク1ポートMap B送信出力
M2	P2.26	P2.26	PT12	SPI0B_SS1	I2S0C_WS	パルス列12、SPI0ポートMap Bターゲット・セレクト1、I2S0ポートMap C左/右ワード・セレクト
L2	P2.27	P2.27	PT13	SPI0B_MISO	I2S0C_SDI	パルス列13、SPI0ポートMap Bコントローラ・イン・ターゲット・アウト/データ1、I2S0ポートMap Cシリアル・データ・イン
L1	P2.28	P2.28	PT14	SPI0B_MOSI	I2S0C_SDO	パルス列14、SPI0ポートMap Bコントローラ・アウト・ターゲット・イン/データ0、I2S0ポートMap Cシリアル・データ・アウト
K3	P2.29	P2.29	PT0	SPI0B_SCK	I2S0C_SCK	パルス列0、SPI0ポートMap Bシリアル・クロック、I2S0ポートMap Cシリアル・クロック
L3	P2.30	P2.30	PT1	SPI0B_SDIO2	TMR3C_IOA	パルス列1、SPI0ポートMap Bデータ2、タイマー3ポートMap C入出力32ビットまたは下位16ビット
K2	P2.31	P2.31	PT2	SPI0B_SDIO3	TMR3C_IOB	パルス列2、SPI0ポートMap Bデータ3、タイマー3ポートMAP C入出力上位16ビットのみ
E10	P3.0	P3.0	AIN0/AIN0N	LPUART0B_RX	—	ADC入力0/コンパレータ0負入力、低消費電力UART0ポートMap B受信
E11	P3.1	P3.1	AIN1/AIN0P	LPUART0B_TX	—	ADC入力1/コンパレータ0正入力、低消費電力UART0ポートMap B送信
E12	P3.2	P3.2	AIN2/AIN1N	LPUART0B_CTS	—	ADC入力2/コンパレータ1負入力、低消費電力UART0ポートMap B送信許可
F10	P3.3	P3.3	AIN3/AIN1P	LPUART0B_RTS	—	ADC入力3/コンパレータ1正入力、低消費電力UART0ポートMap B送信要求
G10	P3.4	P3.4	AIN4/AIN2N	LPTMR0B_IOA	—	ADC入力4/コンパレータ2負入力、低消費電力Timer0ポートMap B入出力32ビットまたは下位16ビット

## 140 WLP

ピン	名前	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
H10	P3.5	P3.5/LPTMR0_C LK	AIN5/AIN2P	—	—	ADC入力5/コンパレータ2正入力、LPTMR0外部クロック
F12	P3.6	P3.6/LPTMR1_C LK	AIN6/AIN3N	—	—	ADC入力6/コンパレータ3負入力、TLPTMR1外部クロック
J10	P3.7	P3.7	AIN7/AIN3P	LPTMR1B_IOA	—	ADC入力7/コンパレータ3正入力、低消費電力 Timer1ポートMap B入出力32ビットまたは下位16 ビットのみ反転出力
E8	P3.8	P3.8	—	—	—	
D8	P3.9	P3.9	—	—	—	
J9	P4.0	P4.0/PDOWN	—	—	—	パワーダウン出力
H9	P4.1	P4.1/SQWOUT	—	—	—	矩形波出力
USB						
B12	DP	—	—	—	—	USB DP信号。この双方向ピンは、正側の差動データまたはシングルエンド・データを入出力します。USBがディスエーブルの場合、このピンは内部で弱くハイにプルアップされます。
C12	DM	—	—	—	—	USB DM信号。この双方向ピンは、負側の差動データまたはシングルエンド・データを入出力します。USBがディスエーブルの場合、このピンは内部で弱くハイにプルアップされます。
アンテナ出力						
L12	ANT	—	—	—	—	Bluetooth無線用アンテナ。シングルエンドの不平衡Bluetooth無線アンテナ。
接続なし						
A1, A12, M1, M12	N.C.	—	—	—	—	接続なし。

## 詳細

MAX32690 マイクロコントローラ (MCU) は、Arm Cortex-M4F CPU、大容量フラッシュおよび SRAM メモリ、最新世代の Bluetooth 5.2 Low Energy (LE) 無線を備えた、高度なシステムオンチップ (SoC) です。このデバイスは、IoT アプリケーションに必要とされる処理能力と接続性を兼ね備えています。

MAX32690 は、 $-40^{\circ}\text{C}$ ~ $+105^{\circ}\text{C}$  の温度範囲での動作に適合しているため、工業環境での使用に適しています。すべてのデバイスは、68 TQFN-EP 0.40mm ピッチおよび 140 バンプ WLP (0.35mm ピッチ) パッケージを採用しています。

Bluetooth 5.2 Low Energy (LE) 無線は、Mesh、LE Audio、AoA、AoD をサポートし、方向検知、長距離 (coded) モード、高スループット・モードを実現します。RISC-V コアがタイミングの重要なコントローラ・タスクをオプションで処理するため、プログラマは Bluetooth LE の割込み遅延を懸念する必要はありません。

暗号化ツールボックス (CTB) は、高速 ECDSA のための MAA、AES エンジン、TRNG、SHA-256 ハッシュ、セキュアなブートローダなどの高度なセキュリティ機能を備えています。内部のコードおよび SRAM 空間は、2 つのクワッド SPI execute-in-place (SPIXF および SPIXR) インターフェースを介し、オフチップでそれぞれ最大 512MB に拡張できます。

デバイスは、複数の QSPI、UART、CAN 2.0B、I<sup>2</sup>C の各シリアル・インターフェースの他、オーディオ・コーデックに接続するための I<sup>2</sup>S ポート 1 つを備え、多数の高速インターフェースに対応しています。すべてのインターフェースで、周辺機器とメモリの間の DMA による効率的な転送が可能です。12 入力 (8 外部チャンネル) の 12 ビット SAR ADC が、最大 1Msps のレートでアナログ・データをサンプリングします。

## FPU 内蔵 Arm Cortex-M4 プロセッサ

FPU 内蔵 Arm Cortex-M4 CPU は、インダストリアル IoT アプリケーションに最適です。このアーキテクチャは、高効率の信号処理機能と、低消費電力、低コスト、使いやすさを兼ね備えたものです。

FPU 内蔵 Arm Cortex-M4 DSP は、単一命令複数データ (SIMD) 経路の DSP 拡張機能をサポートし、以下を可能にします。

- 飽和ありまたはなしの符号付きまたは符号なしデータ
- 4 並列の 8 ビット加算/減算
- 単精度浮動小数点
- 2 並列の 16 ビット加算/減算
- 2 並列の MAC
  - 32 ビットまたは 64 ビットの積算

## RISC-V 32 ビット・コア

RISC-V 32 ビット・オープンソース・コア (RV32) は、スタンドアロンの処理能力と Bluetooth スタックの実行能力を提供します。RV32 は、SPI0、SPI1、SPI2、Bluetooth LE、CAN0、CAN1、全 UART、全タイマー、I<sup>2</sup>C、1 線、パルス列エンジン、I<sup>2</sup>S、TRNG、コンパレータ、SRAM8、および 256KB フラッシュからなる専用バンクへのアクセスが可能です。

## メモリ

### 内部フラッシュ・メモリ

3MB の内部フラッシュ・メモリにより、不揮発性のプログラムおよびデータのメモリ・ストレージが可能です。更に 256KB のフラッシュが RV32 プロセッサ専用追加されています。

フラッシュは、16KB のキャッシュでバック・アップされた SPIXF フラッシュ・シリアル・インターフェースを通じて、拡張できます。この SPIXF フラッシュ・インターフェースにより 512MB を追加できます。

### 内部 SRAM

内蔵の 1MB SRAM により、すべての消費電力モードで、アプリケーション情報を低消費電力で保持できます。このデータ保持機能はオプションであり、また、構成設定が可能です。更に 128KB の SRAM が RV32 プロセッサ用に追加されています (SRAM8)。SRAM は、16KB のキャッシュでサポートされた SPIXR SRAM シリアル・インターフェースを通じて拡張できます。この SPIXR SRAM インターフェースにより 512MB を追加できます。

## Spansion HyperBus/Xccela バス

Spansion® HyperBus/Xccela バス・インターフェースにより、外付けの Cypress® Spansion HyperBus および Xccela バス・メモリ製品を SRAM およびフラッシュに使用できます。このインターフェースは、外部の SRAM またはフラッシュから高速で実行する手段を提供するため、内部のメモリ・リソースが不十分な場合にシステムを拡張できます。ターゲットのメモリ・デバイスは、2 つのチップ・セレクトにより選択できます。各チップ・セレクトは、最大 60MHz または 120MB/s の速度で、最大 512MB の SRAM またはフラッシュをアドレス指定します。これは、CPU のメモリ空間にメモリ・マップされている、高速、低ピン数のインターフェースであるため、オンチップメモリにアクセスするのと同じように簡単に、この外部メモリにアクセスできます。データは、高速の 8 ビット・バスで転送されます。HyperBus での転送は、差動クロックを用いてクロックされ、Xccela バスでの転送はシングルエンド・クロックを用います。このインターフェースは 1.8V 動作のみをサポートします。

HyperBus/Xccela バス・インターフェースには次のような特長があります。

- コントローラ/ターゲット・システム
- 120MB/s の最大データ転送レート
- ダブル・データ・レート (DDR) : 1クロック・サイクルあたり2回のデータ転送
- プロセッサに対しトランスペアレントなバス動作
- 16KB のライトスルー・キャッシュ
- 2個のメモリ・ポート向けの2つのチップ・セレクト
  - ・ ポートごとに最大512MBのメモリをサポート
- 2つの外部メモリを一度にアドレス指定
- HyperFlash®, HyperRAM®, Xccela PSRAM にインターフェース可能
- 待機状態のないバースト・モード動作
- 低消費電力の半スリープ・モード
  - ・ 外部メモリ・デバイスを低消費電力モードにしなが、メモリ内容は保持
- 構成設定可能なタイミング・パラメータ

## 外部メモリ SPI Execute-in-Place (SPIX)

専用の高速 SPI execute-in-place エンジンには、最高 60MHz の速度で動作する最大で 512MB の外部フラッシュ・メモリをサポートします (SPIXF)。外部メモリを使用すると、アプリケーションに対する最小コストのソリューションを選択する上で、柔軟性が向上します。SPIXF コントローラは、シングル・スピード、デュアル・スピード、クワッド・スピードの I/O をサポートするため、高速で高効率の動作が可能となります。命令はフェッチされて 16kB のキャッシュに格納されるため、遅延を低減しシステム性能を向上できます。外部プログラム・メモリは、認証されたブートローダのセッションの間にプログラムされます。オプションで、ロード時に暗号化することもできます。暗号化と認証の鍵は高速ワイプ鍵メモリに格納されます。

2つ目の専用高速 SPI execute-in-place エンジンには、最高 60MHz の速度で動作する最大で 512MB の外部 SRAM をサポートします (SPIXR)。外部メモリを使用すると、アプリケーションに対する最小コストのソリューションを選択する上で、柔軟性が向上します。SPIXR コントローラは、シングル・スピード、デュアル・スピード、クワッド・スピードの I/O をサポートするため、高速で高効率の動作が可能となります。データまたは命令はフェッチされて 16kB のキャッシュに格納されるため、遅延を低減しシステム性能を向上できます。

## Bluetooth 5.2

### Bluetooth 5.2 Low Energy (LE) 無線

Bluetooth 5.2 LE は、最新バージョンの Bluetooth ワイヤレス通信規格です。これは、ワイヤレス・ヘッドフォンなどのオーディオ・ハードウェアの他、各種スマート・ホームとモノのインターネット (IoT) デバイスの間の通信に用いられます。デバイスは、免許不要の 2.4GHz 産業科学医療用 (ISM) 帯で動作します。周波数ホッピング・トランシーバーを使用し、干渉とフェーディングに対処しています。システムは、2400MHz~2483.5MHz の 2.4GHz ISM 帯で動作します。40 個の RF チャンネルが用いられます。これらの RF チャンネルの中心周波数は、 $2402 + k \times 2\text{MHz}$  ( $k = 0, \dots, 39$ ) です。無線の特長を以下に示します。

- 最大+4.5dBmまで送信電力が増加
- 1Mbps、2Mbps、および長距離coded (125kbpsおよび500kbps)
- ブロードキャスト能力の向上
  - ・ 最大255バイトのパケットをアドバタイズ
- アンテナへのオンチップ・マッチング・ネットワーク
- 低消費電力化のため、ハードウェアによりその場で暗号化および復号が可能
- メッシュ・ネットワークに対応
- 高品質オーディオ・ストリーミング (アイソクロナス) をサポート

### Bluetooth 5.2 のソフトウェア・スタック

Bluetooth 5.2 のソフトウェア・スタックを使用することで、アプリケーション開発者は、デバイスへの補助機能を手早く追加できます。Packetcraft® Host および Controller ソフトウェア・スタックは、ライブラリ形式で提供され、アプリケーション・エンジニアは、ソフトウェア・スタックの検証や開発を行うことなくこれを利用できます。Packetcraft Host および Controller は、RV32 上で動作する Bluetooth リンク層にインターフェースします。Packetcraft Host および Controller には次のような特長があります。

- C ライブラリによりアプリケーションに直接リンクすることが可能
- PHY の変更をサポート
  - ホストは、特定の時間に使用する必要がある PHY を選択し、必要な場合にのみ長距離または広帯域幅を可能にします。
    - LE 1M
    - LE Coded S=2
    - LE Coded S=8
    - LE 2M
- 拡張機能のサポートをアドバタイズする Bluetooth 5 により次世代 Bluetooth ビーコンが可能
  - パケットの増加およびチャンネル・アドバタイズのオフローディング
  - 最大 255 オクテット長のパケット
  - パケットのチェーン化をアドバタイズ
  - 複数セットのアドバタイズ
  - 定期的アドバタイジング
  - 高デューティ・サイクルの非接続アドバタイジング
  - Packetcraft Host および Controller ソフトウェア・スタックに構築された標準的なプロファイルを用いたアプリケーション例

### コンパレータ

8 個のアナログ入力 AIN[7:0] は、4 組に構成して次の機能を持つ 4 個の独立したコンパレータとして利用できます。

- 比較イベントにより割込みをトリガ
- イベントは、SLEEP、LOW POWER、または BACKUP の動作モードから CPU をウェイクアップ可能。
- すべての消費電力モードでアクティブ化が可能

### クロック供給方式

IPO は最大 120MHz の周波数で動作します。

オプションで、必要な電力に応じてその他 6 個の発振器を選択できます。

- 60MHz ISO
- 8kHz INRO
- 32.768kHz ERTCO (外部水晶発振器が必要)
- 7.3728MHz IBRO
- 32MHz ERFO (外部水晶発振器が必要)
- CLKEXT

SYS\_CLK はデジタル・クロックおよび周辺機能のための主クロック源です。IBRO を選択するとアクティブ時の消費電力を最適化できます。IBRO を用いることで、UART 通信はポー・レートの許容誤差 2% を満たすことができます。ウェイクアップは、IBRO からでも IPO からでも可能です。デバイスは ISO を用いてパワーオン・リセットを終了します。

ERTCO を使用する場合は 32.768kHz の外部タイムベースが必要です。

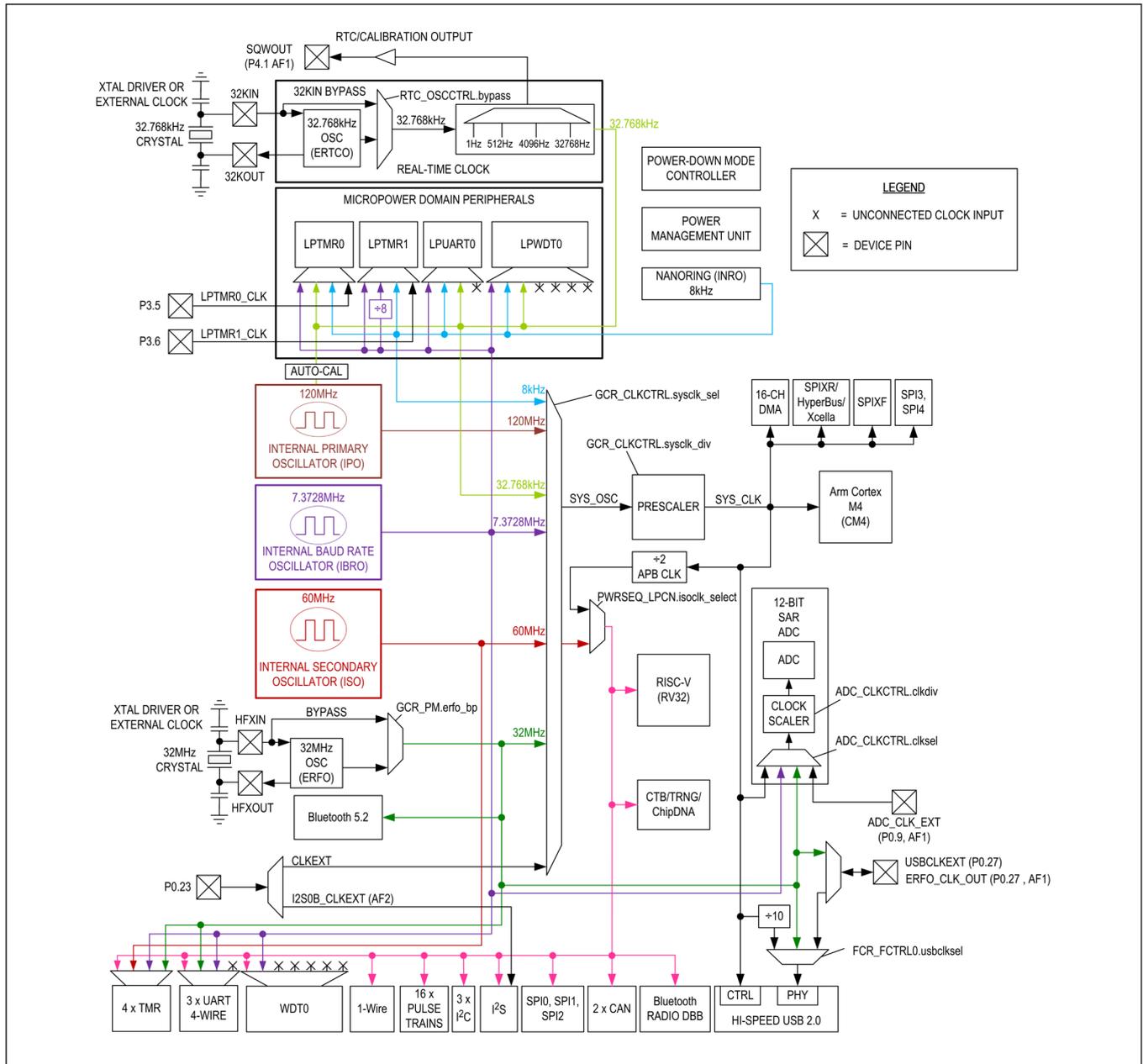


図 8. クロック供給方式の図

### 汎用 I/O ピンおよび特定機能ピン

ほとんどの汎用 I/O (GPIO) ピンは、ソフトウェア制御された 1 つの I/O 機能と周辺モジュールに関連する 1 つ以上の代替機能を共有します。各ピンは個別に、GPIO 用または周辺機能専用インネーブルできます。ピンを特定機能に設定すると、通常、ソフトウェア制御 I/O としての使用はできなくなります。周辺機能と GPIO 機能のマルチプレクスは、通常は静的ですが、動的なものにすることもできます。GPIO ピンの電気的特性は、電気的特性の表に明示されている場合を除き、ピンが I/O に設定されているか特定機能に設定されているかによらず同じです。

GPIO モードでは、ピンは 32 ピンのポートに論理的に分割されます。1 つのポートの各ピンには、独立に有効化できる割込み機能があり、レベル反応型またはエッジ反応型の割込みとして設定できます。与えられたポートのすべての GPIO は同じ割込みベクトルを共有します。

GPIOとして設定された場合、次の機能が可能です。これらの機能は、ピンごとに個別に有効化または無効化できます。

- 入力、出力、双方向、高インピーダンスとして設定可能
- 入力として設定した場合、内部プルアップ抵抗または内部プルダウン抵抗をオプション選択可能
- 立上がりまたは立下がりエッジで低消費電力モードを終了
- 標準駆動モードと高駆動モードを選択可能

MAX32690 は最大 104 本の GPIO ピンを備えています。

## A/D コンバータ

12 ビットの SAR ADC には内蔵リファレンス発生器とシングルエンド入力マルチプレクサが用意されています。マルチプレクサは、8 個の外部アナログ入力信号 AIN[7:0]または内部電源入力のいずれかから入力チャンネルを選択します。

ADC のリファレンスとしては次のものがあります。

- 外部 $V_{REF}$ 入力
- $V_{DD3A}$ アナログ電源

ADCは以下の電圧を測定します。

- $V_{DD3A}$ 以下のAIN[7:0]
- $V_{DDB}$ の4分の1
- $V_{CORE}$
- $V_{DDA}$ の2分の1
- $V_{DD3A}$ の4分の1
- $V_{SS}$

## パワー・マネージメント

### パワー・マネージメント・ユニット (PMU)

PMU は、消費電力を最小限に抑えながら、高性能動作を実現します。これは、CPU および周辺回路への電力分配を、インテリジェントに、かつ、正確に制御します。

PMU には以下の特長があります。

- ユーザ設定可能なシステム・クロック
- 電力モードに応じて水晶発振器のイネーブルおよびディスエーブルを自動制御
- 複数の電力ドメイン
- アクティビティ検出時にパワーダウンしている周辺機能を高速にウェイクアップ

### ACTIVE モード

このモードでは、CM4 と RV32 がソフトウェアを実行でき、すべてのデジタルおよびアナログ周辺機能はオンデマンドで使用できます。動的なクロック動作により、未使用の周辺機能を無効化できるため、高性能と低消費電力の最適な組み合わせが可能です。CM4 はすべてのシステム SRAM にアクセスできます。RV32 には、256KB の専用フラッシュ・バンクがあり、また、SRAM8 (128KB) にアクセスできます。CM4 と RV32 はどちらも、それぞれ固有の内部フラッシュから同時に実行できます。

### SLEEP モード

このモードは、ACTIVE モードより低消費電力ですが、オプションでクロックをイネーブルできるため LPM より高速にウェイクアップできます。

デバイスの状態は以下のとおりです。

- CM4はスリープ
- RV32はスリープ
- 周辺機能はオン
- 標準のDMAをオプションで使用可能
- すべての発振器は使用可能

### LOW POWER モード (LPM)

このモードは、RV32 プロセッサを動作させて、有効化されている周辺機能からデータの収集や移動を行う場合に最適です。デバイスの状態は以下のとおりです。

- CM4およびSRAM0～SRAM7は状態を維持。
- RV32は、SPI0、SPI1、SP2、Bluetooth LE、CAN0、CAN1、全UART、全タイマー、I<sup>2</sup>C、1線、パルス列エンジン、I<sup>2</sup>S、TRNG、コンパレータ、およびSRAM8へのアクセスが可能です。
- CRC、AES、MAA、USBはパワーダウン。
- LPMからACTIVEモードへの遷移は、システム初期化が不要なため、BACKUPモードからの遷移より高速です。
- DMAは使用不可。
- IPOはオプションでパワーダウン可能。
- INROはオン。
- 次の発振器はオプションでイネーブルできます。
  - IBRO
  - ERTCO
  - ISO
  - ERFO

### MICRO POWER モード (UPM)

このモードは極めて低い消費電力を実現すると同時に、最小限の周辺機能セットを用いてウェイクアップ機能を提供します。デバイスの状態は以下のとおりです。

- CM4およびRV32共に状態を維持。(システムの状態と全SRAMは保持されます。)
- GPIOピンは状態を維持。
- すべての非MICRO POWERドメインの周辺機能は状態を維持。
  - USBおよびBluetooth LEはパワーダウン
  - CRC、AES、MAAはパワーダウン。
- IPO、ISO、ERFOはパワーダウン。
- INROはオン。
- 次の発振器はオプションでイネーブルできます。
  - IBRO
  - ERTCO

### STANDBY モード

このモードは、RTC でタイム・キーピングを行いながら、システムの動作を維持するために用いられます。デバイスの状態は以下のとおりです。

- CM4およびRV32共に状態を維持。(システムの状態と全SRAMは保持されます。)
- GPIOピンは状態を維持。
- RTCはオプションでイネーブル。
- ウェイクアップ・タイマーはオプションでイネーブル。
- コンパレータ0 (CMP0) はオプションでイネーブル。
- 以下を除くすべての周辺機能は状態を維持。
  - USB、Bluetooth LE、CRC、AES、MAAはパワーダウン。
- INROはオン。
- 次の発振器はオプションでイネーブルできます。
  - ERTCO

### BACKUP モード

このモードはシステム RAM を維持するために用いられます。デバイスの状態は以下のとおりです。

- CM4およびRV32はパワーオフ。

- SRAMは表1に従って状態を維持するよう設定できます。
- すべての周辺機能はパワーダウン。
- GPIOピンは状態を維持。
- RTCはオプションでイネーブル。
- ウェイクアップ・タイマーはオプションでイネーブル。
- INROはオン。
- 以下の発振器はパワーダウン。
  - IPO
  - ISO
  - IBRO
  - ERFO
- 次の発振器はオプションでイネーブルできます。
  - ERTCO

表 1. BACKUP モードの SRAM 保持

RAM BLOCK	RAM BLOCK	RAM BLOCK
SRAM0	128KB	121KB
SRAM1	128KB	128KB
SRAM2	128KB	128KB
SRAM3	128KB	128KB
SRAM4	128KB	128KB
SRAM5	128KB	128KB
SRAM6	64KB	64KB
SRAM7	192KB	192KB
SRAM8	128KB	128KB

注：ブートROMは、システム・リセット、ウォッチドッグ・タイマー・リセット、外部リセット、およびBACKUP終了の際に、特定の範囲のシステムRAMを使用します。ブートROMは、このRAMを用いてシステム・チェックを行います。そのため、BACKUP終了時に、各RAMのすべてを保持できるわけではありません。

## ウェイクアップ・ソース

SLEEP、LPM、UPM、STANDBY、BACKUPの各動作モードからのウェイクアップ・ソースを表2にまとめます。

表 2. ウェイクアップ・ソース

OPERATING MODE	WAKE-UP SOURCE
SLEEP	Any enabled peripheral with interrupt capability; RSTN
LOW POWER (LPM)	SPI0, SPI1, SPI2, I <sup>2</sup> S, I <sup>2</sup> C, CAN0, CAN1, UARTs, Bluetooth LE, watchdog timers, wakeup timer, all comparators, RTC, GPIOs, RSTN, and RV32
MICRO POWER (UPM)	All comparators, LPUART0 (where available), LPTMR0, LPTMR1, LPWDT0, RTC, wakeup timer, GPIOs, and RSTN
STANDBY	RTC, wakeup timer, GPIOs, CMP0 (where available), and RSTN
BACKUP	RTC, wakeup timer, GPIOs, CMP0 (where available), and RSTN

## リアルタイム・クロック

リアルタイム・クロック (RTC) は時刻を絶対秒の単位で保持します。32ビットの秒レジスタは約136年分をカウントでき、アプリケーション・ソフトウェアによってこれをカレンダー形式に変換できます。

RTCは、1秒後～12日後の任意の値に設定できる時刻アラームを備えています。時間間隔が長く設定されている場合、時刻アラームは、節電タイマーとして用いることができ、それによって、デバイスは、極めて低消費電力のモードを維持しながら、指定されたタスクを実行するために定期的にウェイクアップすることができます。秒に無関係な32ビットの1/4096サブ秒アラームは、244 $\mu$ s刻みで設定できます。どちらも、繰返しアラームとして設定可能です。イネーブルされている場合、どちらのアラームも、割込みを引き起こしたり、ほとんどの低消費電力モードにあるデバイスをウェイクアップさせたりする可能性があります。

タイムベースは、32.768kHzの水晶発振器、または電氣的特性の表にある電氣的／時間的條件を満たす外部クロック源で生成されます。

RTCのキャリブレーション機能を用いることで、RTC発振器、水晶発振器、温度、ボード・レイアウトの小さな変動はユーザ・ソフトウェアによって補償できます。SQWOUT代替機能を有効化すると、RTCからタイミング信号を抽出し、これを出力できます。外部ハードウェアは、周波数を測定し、RTC周波数を1ppmの分解能で±127ppmを単位として調整できます。ほとんどの場合、発振器にはキャリブレーションは不要です。

## CRC モジュール

Cyclic redundancy check (巡回冗長検査) ハードウェア・モジュールは、アプリケーション・ソフトウェアによる高速の計算能力とデータの完全性チェックを可能にします。CRC多項式はプログラマブルであるため、カスタムCRCアルゴリズムや次の一般的なアルゴリズムに対応できます。

- CRC-16-CCITT
- CRC-32 ( $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ )

## プログラマブル・タイマー

### 32 ビット・タイマー／カウンタ／PWM (TMR、LPTMR)

汎用の32ビットタイマーは、ソフトウェアとの相互作用を最小限に抑えながら、タイミング、収集／比較、パルス幅変調 (PWM) 信号生成を行います。

タイマーには次の特長があります。

- 32ビットの自動再アップロード／ダウンロード
- プログラマブル・プリスケアラ
- PWM出力生成
- 収集、比較、および収集／比較機能
- タイマー入力、クロック・ゲーティング、または収集のために外部ピンをGPIOでマルチプレクス
- タイマー出力ピン
- TMR0～TMR3は2個の16ビット汎用タイマーとして個別に設定可能
- タイマー割込み

MAX32690には、6個の32ビット・タイマー (TMR0、TMR1、TMR2、TMR3、LPTMR0、LPTMR1) があります。LPTMR0およびLPTMR1はSLEEP、LPM、UPMの各モードで動作できます。

I/O機能は、すべてのタイマーでサポートされています。なお、1つのポートの機能がGPIOピンの別の機能とマルチプレクスされることがあるため、デバイス設定によっては、すべてのポートを使用できるわけではないことに注意してください。個々のタイマーの特徴については表3を参照してください。

表 3. タイマー設定オプション

INSTANCE	REGISTER ACCESS NAME	SINGLE 32 BIT	DUAL 16 BIT	SINGLE 16 BIT	POWER MODE	CLOCK SOURCE						
						PCLK	ISO	IBRO	INRO	ERTCO	LPTMR0_CLK	LPTMR1_CLK
TMR0	TMR0	Yes	Yes	No	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No	Yes	No	No
TMR1	TMR1	Yes	Yes	No	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No	Yes	No	No
TMR2	TMR2	Yes	Yes	No	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No	Yes	No	No

表 3. タイマー設定オプション (続き)

TMR3	TMR3	Yes	Yes	No	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No	Yes	No	No
LPTMR0	TMR4	No	No	Yes	ACTIVE, SLEEP, LPM, UPM	No	No	Yes	Yes	Yes	Yes	No
LPTMR1*	TMR5	No	No	Yes	ACTIVE, SLEEP, LPM, UPM	No	No	Yes	Yes	Yes	No	Yes

\* 68 TQFN-EPパッケージでのみ内部タイマーとして使用可能。68 TQFN-EPパッケージでは、このタイマーへの外部接続はありません。

### ウォッチドッグ・タイマー (WDT)

マイクロコントローラは、電気ノイズや電磁場干渉 (EMI) が満ちあふれた過酷な環境で使用されることが多々あります。適切な保護を行わないと、こうした危険はデバイス動作の妨げとなり、プログラムの実行が破綻してしまいます。非常に効果的な対策の1つが、コードの暴走やシステムの無応答を検出する、ウィンドウ化されたWDTです。

WDTは、構成設定可能なプリスケアラを備えた32ビットの自走カウンタです。イネーブルすると、WDTは定期的にアプリケーション・ソフトウェアをリセットします。ユーザが設定したタイムアウト時間内にWDTがリセットされない場合、アプリケーション・ソフトウェアが正しく動作していないことを示し、WDTタイムアウトとなります。WDTタイムアウトは、割込み、システム・リセット、またはその両方をトリガします。どちらの応答によっても、命令ポインタを既知の良好な位置に指定してから命令の実行を再開します。ウィンドウ化タイムアウト時間の機能により、WDTを指定した時間ウィンドウ内でリセットすることが必要なシステム動作をより詳細にモニタできます。個々のタイマーの特徴については表4を参照してください。

MAX32690にはWDT0およびLPWDT0の2つのウォッチドッグ・タイマーのインスタンスがあります。

表 4. ウォッチドッグ・タイマー設定オプション

INSTANCE NAME	REGISTER ACCESS NAME	POWER MODE	CLOCK SOURCE			
			PCLK	IBRO	INRO	ERTCO
WDT0	WDT0	ACTIVE, SLEEP, LPM	Yes	Yes	No	No
LPWDT0	WDT1	ACTIVE, SLEEP, LPM, UPM	No	Yes	Yes	Yes

### パルス列エンジン (PT)

複数の独立したパルス列発生器は、矩形波または2ビット長~32ビット長の繰返しパターンを生成できます。どの単一パルス列発生器あるいはどのパルス列発生器グループも、ビット・レベルで同期できるため、マルチビットのパターンが可能です。各パルス列発生器は個別に構成設定が可能です。

パルス列発生器には次の特長があります。

- 個別にイネーブル可能
- ビット・バンディングを行わずにパルス列を安全にイネーブル/ディスエーブル可能
- 複数のピン配置により柔軟なレイアウトが可能
- パルス列は単独でもグループでも開始/同期が可能
- イネーブルされた各パルス列発生器の周波数は、入力パルス列モジュール・クロックの分周 (2分周、4分周、8分周など) により個別に設定が可能
- 入力パルス列モジュール・クロックは、オプションでシステムAHBクロックに依存しないよう設定することも可能
- 複数の繰返しオプション

- シングル・ショット (2~32ビットの非繰り返しパターン)
- パターンは、ユーザ指定回数だけ、あるいは無限に繰り返し可能
- 1つのパルス列ループ数の終了により、1つ以上の他のパルス列を再開可能

パルス列エンジンの機能は、GPIOピンに関連する代替機能の1つです。ほとんどの場合、パルス列エンジン機能を有効化すると、GPIO機能は無効になります。

パルス列の周辺機能のインスタンスについての詳細は表5を参照してください。

表 5. パルス列のインスタンス

PACKAGE	PULSE TRAIN INSTANCE
140 WLP	PT0-PT15
68 TQFN-EP	PT0-PT8, PT10-PT15

## ウェイクアップ・タイマー

ウェイクアップ・タイマー (WUT) は、32ビット・タイマーの固有インスタンスです。

- クロック源には、ERTCOを使用
- 1~4096の値を持つプログラマブル・プリスケアラ
- 以下の2つのタイマー・モードをサポート
  - ワンショット：タイマーは終了値までカウントした後終了。
  - 連続：タイマーは終了値までカウントした後繰り返し。
- 独立した割込みハンドラ

## シリアル・ペリフェラル

### USB コントローラ

内蔵のUSBデバイス・コントローラは、高速 (480Mb/s) USB 2.0仕様に準拠しています。内蔵のUSB物理インターフェース (PHY) により、ボード・スペースとシステム・コストを削減できます。USBコントローラは、エンドポイント・バッファ用にDMAをサポートします。エンドポイント0の他、11のエンドポイント・バッファがINまたはOUTの選択を設定できます。

### コントローラ・エリア・ネットワーク 2.0B

内蔵のCANインターフェースは、ISO 11898-1に従う Bosch CAN 2.0B仕様 (2.0B Active) に準拠しています。

インターフェースの主な特長は以下のとおりです。

- ISO 11898-1:2015準拠
- 最大8バイトのデータ・フレーム
- 選択可能なIDタイプ
  - 11ビット標準ID
  - 11ビット標準ID+18ビット拡張ID
- 選択可能なフレーム・タイプ
  - データ・フレーム (リモート送信リクエスト (RTR) = 0)
  - リモート・フレーム (RTR = 1)
- ハードウェアによるメッセージ・フィルタリング (デュアル/シングル・フィルタ)
- DMAが送信および受信をサポート
- 128バイトの送信バッファおよび256バイトの受信バッファ
- 過負荷フレームがFIFOオーバーフロー時に生成
- プロトコル例外イベント検出
- ノーマル・モードおよびリッスン専用モード
- 最大3データ・ビット長の送信器遅延補償
- シングル・ショット伝送
- エラー・カウントを讀出し可能
- 最終エラー・コード
- スリープ・モードとウェイクアップのユニット

## I<sup>2</sup>C インターフェース

I<sup>2</sup>C インターフェースは、中程度の速度の通信ネットワークを提供する双方向の2線式シリアル・バスで、1対1、1対多、多対多の通信媒体として動作できます。このインターフェースは、標準モード、ファスト・モード、ファスト・モード・プラス、ハイスピード・モードの各 I<sup>2</sup>C 速度をサポートしています。これには以下の特長があります。

- コントローラ・モードまたはターゲット・モードの動作
  - ターゲット・モードでは最大4種類のターゲット・アドレス
- 標準の7ビット・アドレス指定または10ビット・アドレス指定
- RESTART条件
- インタラクティブ受信モード (IRXM)
- 送信FIFOプリローディング
- クロック・ストレッチングにより低速デバイスが高速バスで動作可能
- 複数の転送レート
  - 標準モード：100kbps
  - ファスト・モード：400kbps
  - ファスト・モード・プラス：1000kbps
  - ハイスピード・モード：3.4Mbps
- 内蔵フィルタによるノイズ・スパイク除去
- 8バイトの深度の受信FIFO
- 8バイトの深度の送信FIFO

I<sup>2</sup>C の周辺機能のインスタンスについての詳細は表 6 を参照してください。

表 6. I<sup>2</sup>C のインスタンス

INSTANCE	PACKAGE	
	140 WLP	68 TQFN-EP
I2C0	Yes	Yes
I2C1	Yes	No
I2C2	Yes	Yes

## I<sup>2</sup>S インターフェース

I<sup>2</sup>S インターフェースは双方向の4線式シリアル・バスで、1996年6月5日の I<sup>2</sup>S バス仕様に準拠したコーデックおよびオーディオ・アンプ向けのシリアル通信を可能にします。これには以下の特長があります。

- コントローラ・モードおよびターゲット・モードの動作
- 8、16、24、32ビットのフレーム
- 受信および送信のDMAをサポート
- FIFOステータス（フル/エンプティ/閾値）でウェイクアップ
- 受信チャンネル用にパルス密度変調をサポート
- ワード選択極性制御
- フルビット位置選択
- FIFOステータス割込み
- 32バイトの深度の受信FIFO
- 32バイトの深度の送信FIFO

MAX32690 は I<sup>2</sup>S 周辺機能のうち1つのインスタンスを提供します (I2S0)。

## シリアル・ペリフェラル・インターフェース (SPI)

SPI は、構成設定可能性、柔軟性、効率が優れた同期型インターフェースで、複数の SPI デバイスが1つのバスに共存できます。バスは、1つのクロック信号と複数のデータ信号、および1つまたは複数のターゲット選択ラインを用い、目的のターゲット・デバイスのみをアドレス指定します。SPI は独立に動作し、最小限のプロセッサ・オーバーヘッドのみを必要とします。

提供されている SPI 周辺機能は、ターゲット・モードでもコントローラ・モードでも動作可能で、以下の特長があります。

- SPIモード0、1、2、3でシングルビット通信が可能
- 3線式または4線式モードでシングルビットのターゲット・デバイス通信

- シングルビット4線式モードで全二重動作
- デュアルおよびクワッドのモードをサポート
- いくつかのインスタンスで複数のターゲット選択
- マルチコントローラ・モードのフォルト検出
- プログラマブルなインターフェース・タイミング
- プログラマブルなSCK周波数およびデューティ・サイクル
- 32ビットの送信FIFOおよび受信FIFO
- 立上がり/立下がりSCKエッジを基準とする、ターゲット選択のアサート/デアサートのタイミング

SPI 設定のオプションについては、表 7 を参照してください。

表 7. SPI 設定オプション

PACKAGE		INSTANCE	DATA		TARGET SELECT LINES		MAXIMUM FREQUENCY CONTROLLER MODE (MHz)	MAXIMUM FREQUENCY TARGET MODE (MHz)
140 WLP	68 TQFN-EP		140 WLP	68 TQFN-EP	140 WLP	68 TQFN-EP		
Yes	Yes	SPI0	140 WLP	68 TQFN-EP	2	1	30	60
			3-wire, 4-wire, dual, or quad data support	3-wire or 4-wire only				
Yes	No	SPI1	3-wire, 4-wire, dual, or quad data support		3		30	60
Yes	No	SPI2	3-wire, 4-wire, dual, or quad data support		3		30	60
Yes	No	SPI3	3-wire, 4-wire, dual, or quad data support		3		60	60
Yes	No	SPI4	3-wire, 4-wire, dual, or quad data support		3		60	60

## UART (UART、LPUART)

汎用非同期レシーバー／トランスミッタ（UART、LPUART）インターフェースは、オプションでハードウェア・フロー制御（HFC）モードを備えた全二重同期通信をサポートし、データのオーバーランを防止します。HFC モードが所定のポートで有効な場合、システムは 2 個の補助ピンを用いて業界標準のフロー制御信号送信要求（RTS）および送信許可（CTS）を行います。各インスタンスは、個別にプログラム可能です。

- フロー制御を備える2線式インターフェースまたは4線式インターフェース
- 8バイトの送受信FIFO
- 全二重動作による非同期データ転送
- フレーム・エラー、パリティ・エラー、CTS、Rx FIFOオーバーラン、FIFOフル／パーシャルの全条件で割込みが使用可能
- パリティ・エラーおよびフレーム・エラーの自動検出
- 独立したポー・レート発生器
- 9番目のビットのパリティ・サポートがプログラマブル
- マルチドロップをサポート
- スタート/ストップ・ビットをサポート
- RTS/CTSを用いるハードウェア・フロー制御
- 2個のDMAチャンネルを接続可能（FIFOの読出しおよび書込み）
- プログラマブルなワード・サイズ（5ビット～8ビット）

MAX32690 の UART 周辺機能には、UART0、UART1、UART2、LPUART0 の 4 つのインスタンスがあります。LPUART0 は、SLEEP、LOW POWER、MICRO POWER の各モードで動作可能です。設定オプションについては、表 8 を参照してください。

表 8. UART 設定オプション

PACKAGE		INSTANCE NAME	REGISTER ACCESS NAME	HARDWARE FLOW CONTROL	POWER MODE	CLOCK SOURCE			
140 WLP	68 TQFN-EP					PCLK	IBRO	ERFO	ERTCO
Yes	Yes	UART0	UART0	140 WLP only	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No
Yes	No	UART1	UART1	Yes	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No
Yes	Yes	UART2	UART2	Yes	ACTIVE, SLEEP, LPM	Yes	Yes	Yes	No
Yes	No	LPUART0	UART3	140 WLP only	ACTIVE, SLEEP, LPM, UPM	No	Yes	No	Yes

### 1 線式コントローラ (OWM)

アナログ・デバイセズの 1 線式バスは、データを搬送する 1 つの信号からなり、また、ターゲット・デバイスおよびグラウンド・リターンに電力を供給します。バス・コントローラは、双方向のマルチドロップ 1 線式バスを介して、1 つまたは複数のターゲット・デバイスとシリアル通信を行います。シングル・コンタクトのシリアル・インターフェースは、相互接続を最小限に抑えることが必要な通信ネットワークに最適です。

用意されている 1 線式コントローラは、次の機能をサポートします。

- 制御および動作のシングル・コンタクト
- 任意 1 線式デバイスに対応する一意の工場識別マーク
- シングル・ラインで複数のデバイス機能
- 内部プルアップ、外部固定プルアップ、オプションの強プルアップを含む 1 線式プルアップモード

OWM は、標準 (15.6kbps) およびオーバードライブ (110kbps) の両方の速度に対応します。

### 標準 DMA コントローラ

標準 DMA コントローラを用いることで、2 つのエンティティ間で自動的に一方向データ転送を行うことができます。これらのエンティティは RAM と周辺機能のいずれでも構いません。転送は CPU のリソースを消費することなく行われます。次の転送モードがサポートされています。

- 16チャンネル
- 周辺機能からデータ・メモリ
- データ・メモリから周辺機能
- データ・メモリからデータ・メモリ
- イベント・サポート

すべての DMA トランザクションは、DMA FIFO への AHB バースト読出しとその直後の FIFO からのバースト書込みで構成されています。

### 暗号化ツールボックス (CTB)

#### 真性乱数ジェネレータ (TRNG)

乱数は、暗号化のシードや強力な暗号鍵に用いることができる乱数を発生してデータのプライバシーを確保する、セキュアなアプリケーションの重要な要素の 1 つです。

ソフトウェアは乱数を使用して、非確定的な動作を引き起こす非同期イベントをトリガできます。これは、リプレイ攻撃や鍵探索手法を阻止するのに役立ちます。用意されている TRNG は、物理的に予測不可能なエントロピー・ソースで継続的に駆動されています。これは、128 システム・クロック・サイクルで 128 ビットの真の乱数を発生します。

TRNG を用いることで、FIPS 140-2、PCI-PED、Common Criteria など、多くのセキュリティ規格をシステム・レベルで有効化できます。特定の規格への準拠の詳細については、アナログ・デバイセズにお問い合わせください。

## MAA

用意されているハードウェアベースの高速モジュロ演算アクセラレータ (MAA) は、強力な暗号アルゴリズムをサポートする数学的演算を実行します。以下が含まれています。

- 2048ビットDSA
- 4096ビットRSA
- 楕円曲線公開鍵インフラストラクチャ

## AES

専用のハードウェアベース AES エンジンがサポートするアルゴリズムは次のとおりです。

- AES-128
- AES-192
- AES-256

## SHA-2

SHA-2 は暗号的ハッシュ関数の 1 つです。これは、ユーザ・データを認証し、その完全性を証明します。デジタル署名のために用いられます。

デバイスには、ダイジェストを高速に計算するハードウェア SHA-2 エンジンが備わっており、以下をサポートします。

- SHA-224
- SHA-256
- SHA-384
- SHA-512

## メモリ復号完全性ユニット (MDIU)

外部 SPI フラッシュは、セキュリティ追加のためにオプションで暗号化できます。データは、ロード時にトランスペアレントに暗号化し、また、その場で復号できます。暗号鍵は、常時オンのドメインに保管され、V<sub>CORE</sub>が存在する限り保持されます。

## 信頼の基点

信頼の基点は、ソフトウェアが信頼できるものであること、およびマイクロコントローラがセキュリティ機能を補完するものであることが出発点となります。ホストとデバイス間の通信は、セキュアで認証されたものであることが必要で、プログラムの完全性はその都度検証してから実行して、デバイスの信頼性を確保する必要があります。デバイスの信頼の基点は、アナログ・デバイセズの秘密のルート検証鍵と署名付きのカスタマ検証鍵 (CVK) に基づきます。カスタマは公開 CVK を発行します。その後これに署名が行われ、証明書がカスタマに返送されます。このプロセスは手早く行われ、必要なのは一回のみです (ソフトウェアが最初にリリースされる前)。また、ソフトウェア開発時には不要です。その後、カスタマは固有の鍵をロードし、署名付きバイナリ実行可能コードをダウンロードできます。ライフサイクル・スキームを用いると、デバイスを恒久的にディスエーブルして、展開されたアプリケーションを非アクティブ化できます。

## セキュアな通信プロトコル・ブートローダ (SCPBL)

ホスト・システムとデバイス間の通信は、ECDSA-256 のデジタル署名付きパケットからなるシステムを用いています。これにより、設定コマンドの実行やプログラム・メモリのロードまたは検証を行う前の、全通信の完全性と認証が確保されます。通信には少なくとも 1 つのシリアル・インターフェースを用います。これはまた、カスタマが、組み立て工場にセキュアな製造設備を備え付け、これを維持管理するためのコストや複雑さを負担せずに、サード・パーティの組み立て工場のカスタマの最終製品のアセンブリやプログラミングを行うことも可能にします。更に、フィールドでソフトウェアのアップグレードを行って製品を展開することもできます。それにより、ソフトウェアの変更のたびに製品をメーカーに送り返すコストを削減できます。SCPBL 通信で使用できるシリアル・インターフェースを表 9 に示します。リセットを行うか特定の低消費電力モードを終了した後、デバイスは、指定されたスティミュラス・ピンをテストし、アクティブであればSCPBLセッションを開始します。SCPBLセッションが開始したら、スティミュラス・ピンは再指定できます。ホストは、展開前にブートローダのインターフェースをディスエーブルし、プログラム・メモリが変更されるのを防止できます。

## セキュアなブート

各リセット後に、デバイスはセキュアなブートを実行して、信頼の基点が損なわれていないことを確認できます。セキュアなブートによって、プログラム・メモリのデジタル署名を検証し、変更は破損のないことを確認できるため、アプリケーション・ソフトウェアの信

産業用およびウェアラブル・デバイス用の  
FPU 内蔵 Arm Cortex-M4 マイクロコントローラ  
および Bluetooth LE 5

信頼性を確保できます。デジタル署名の検証に失敗した場合、デバイスはセーフ・モードになり、カスタマ・コードの実行はできなくなります。これより前に非アクティブ化されていない場合は、ブートローダを再度アクティブ化でき、新たな信頼できるプログラム・メモリをロードできます。

## アプリケーション情報

### バイパス・コンデンサ

バイパス・コンデンサを適切に用いることで、IC が発生するノイズをグラウンド・プレーンに除去することができます。端子説明の表には、バイパス・コンデンサと適切なグラウンド・プレーンに接続する必要があるピンが示されています。

IC パッケージのピン/ボールごとに 1 個のバイパス・コンデンサを接続することを推奨します。例えば、端子説明で電圧源 A に関連して 4 個のデバイス・ピンが示されている場合、各ピンに 1 つずつ、合計 4 個のコンデンサを接続する必要があります。

コンデンサは対応するデバイス・ピンのできるだけ近くに配置してください。ピンごとに複数の値のコンデンサが推奨される場合、コンデンサは、値が小さいコンデンサ順にピンの近くから並列に配置する必要があります。

### 伝送プリアス放射

様々な地域の規制当局がスプリアス放射の伝送に関し制限を設ける可能性があります。最大出力が+4.5dbm の場合、各地の規制により、7.2GHz の 3 次高調波で最低 6dB の除去性能のあるアンテナ、またはデバイスの RF ポートとアンテナの間にローパス・フィルタ・ネットワークを用いることが要求される可能性があります。MAX32690 の設計では、ANT デバイス・ピンの抵抗を 50Ω にするマッチング・ネットワークが内蔵されています。最大の効率を達成するには、フィルタ設計をこのインピーダンスに整合させる必要があります。

### ブートローダのアクティブ化

SCPBL は表 9 に示すインターフェースを用いることができます。

表 9. ブートローダのアクティブ化の概要

PART NUMBER	BOOTLOADER INTERFACE		DEFAULT STIMULUS PIN
	UART	USB	
MAX32690GTKBL	UART0_RX	DP	P4.0 (ACTIVE LOW)
MAX32690GWEBL	UART0_TX	DM	

SCPBL は、指定されたスティミュラス・ピンがアサートされている場合、リセットを行うか特定の低消費電力モードを終了した後に、アクティブ化されます。必要なブートローダ・インターフェースとスティミュラス・ピンがホストからアクセスでき、さもなければ SCPBL がアクティブ化できないよう、確実に設計する必要があります。SCPBL セッションが開始すると、別のスティミュラス・ピンを指定することができます。

SCPBL と最初に同期する場合、RSTN 信号もホストからアクセスできる必要があります。

## 温度による代表的な固定消費電流変化

### ACTIVE モード

表 10. ACTIVE モード時の  $V_{CORE}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{CORE}$ Current, ACTIVE Mode	$I_{CORE\_FACT}$	Fixed, IPO enabled, ISO enabled, total current into $V_{CORE}$ pin, $V_{CORE} = 1.1V$ , CM4 in ACTIVE mode 0MHz, RV32 in ACTIVE mode 0MHz; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA, $V_{CORE}$ and $V_{DDA}$ voltage monitors enabled	0.93	1.48	2.93	6.05	9.24	mA

### ACTIVE モード

表 11. ACTIVE モード時の  $V_{DDA}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{DDA}$ Fixed Current, ACTIVE Mode	$I_{DDA\_FACT}$	Fixed, IPO enabled, total current into $V_{DDA}$ pins, $V_{DDA} = 1.8V$ , CM4 in ACTIVE mode 0MHz execution, RV32 in ACTIVE mode 0MHz execution; inputs tied to $V_{SS}$ or $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA, $V_{CORE}$ and $V_{DDA}$ voltage monitors enabled	355	385	405	424	438	μA

## 固定 SLEEP モード

表 12. SLEEP モード時の  $V_{DD}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{CORE}$ Fixed Current, SLEEP Mode	$I_{CORE\_FSLP}$	Fixed, IPO enabled, ISO enabled, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1V$ , CM4 in SLEEP mode, RV32 in SLEEP mode; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA	2.83	3.37	4.76	7.76	11.13	mA

## 固定 SLEEP モード

表 13. SLEEP モード時の  $V_{DDA}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{DDA}$ Fixed Current, SLEEP Mode	$I_{DDA\_FSLP}$	Fixed, IPO enabled, $f_{SYS\_CLK} = 120MHz$ , total current into $V_{DDA}$ pins, CM4 in SLEEP mode, RV32 in SLEEP mode, standard DMA with two channels active	355	385	405	424	438	$\mu A$

## 固定 LOW POWER モード

表 14. LOW POWER モード時の  $V_{CORE}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{CORE}$ Fixed Current, LOW POWER Mode	$I_{CORE\_FLP}$	Fixed, ISO enabled, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1V$ , CM4 powered off, RV32 in ACTIVE mode 0MHz; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA	0.59	0.86	1.52	2.92	4.46	mA

## 固定 LOW POWER モード

表 15. LOW POWER モード時の  $V_{DDA}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{DDA}$ Fixed Current LOW POWER Mode	$I_{DDA\_FLP}$	Standby state with full data retention, $V_{CORE}$ and $V_{DDA}$ voltage monitors enabled	47	52	55	58	60	$\mu A$

## 固定 STANDBY モード

表 16. STANDBY モード時の  $V_{CORE}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{CORE}$ Fixed Current, STANDBY Mode	$I_{CORE\_STBY}$	Fixed, total current into $V_{CORE}$ pins, $V_{CORE} = 1.1V$ ; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA	0.28	0.57	2.2	7.7	16.7	$\mu A$

## 固定 STANDBY モード

表 17. STANDBY モード時の  $V_{DDA}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{DDA}$ Fixed Current, STANDBY Mode	$I_{DDA\_STBY}$	Fixed, total current into $V_{DDA}$ pins, $V_{DDA} = 1.8V$ ; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0m	5.92	17.4	62.8	203	400	$\mu A$

## 固定 BACKUP モード

表 18. BACKUP モード時の  $V_{DDA}$  の固定消費電流

PARAMETER	SYMBOL	COMMON CONDITIONS	CONDITIONS	TYPICAL					UNITS
				-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{DDA}$ Fixed Current, BACKUP Mode	$I_{DDA\_BKU}$	Total current into $V_{DDA}$ pins, $V_{DDA} = 1.8V$ , RTC disabled; inputs tied to $V_{SS}$ , $V_{DDIO}$ , or $V_{DDIOH}$ ; outputs source/sink 0mA	All SRAM retained	5.47	13.75	45.5	142	286	$\mu A$
			No SRAM retention	1.57	2.09	3.69	7.65	12.5	$\mu A$

## 固定 BACKUP モード

表 19. BACKUP モード時の  $V_{CORE}$  の固定消費電流

PARAMETER	SYMBOL	CONDITIONS	TYPICAL					UNITS
			-40°C	+25°C	+55°C	+85°C	+105°C	
$V_{CORE}$ Fixed Current, BACKUP Mode	$I_{CORE\_BKU}$	$V_{CORE} = 1.1V$	0.29	0.65	2.77	9.86	21.4	$\mu A$

## オーダー情報

PART NUMBER	SECURE BOOTLOADER	SPIXR/ SPIXF	TMR	LPTMR	I <sup>2</sup> C	SPI	PT	CMP	12-BIT SAR ADC INPUTS	UART	GPIO	PIN-PACKAGE
MAX32690GTK+	No	No	3	1	1	3	15	1	3	2	38	68 TQFN-EP, 8mm × 8mm, 0.4mm pitch
MAX32690GTK+T	No	No	3	1	1	3	15	1	3	2	38	68 TQFN-EP, 8mm × 8mm, 0.4mm pitch
MAX32690GTKBL+*	Yes	No	3	2	1	3	15	1	3	2	38	68 TQFN-EP, 8mm × 8mm, 0.4mm pitch
MAX32690GTKBL+T*	Yes	No	3	2	1	3	15	1	3	2	38	68 TQFN-EP, 8mm × 8mm, 0.4mm pitch
MAX32690GWE+*	No	Yes	4	2	3	5	16	4	8	3	104	140 WLP, 4.5mm × 4.5mm, 0.35mm pitch
MAX32690GWE+T*	No	Yes	4	2	3	5	16	4	8	3	104	140 WLP, 4.5mm × 4.5mm, 0.35mm pitch
MAX32690GWEBL+*	Yes	Yes	4	2	3	5	16	4	8	3	104	140 WLP, 4.5mm × 4.5mm, 0.35mm pitch
MAX32690GWEBL+T*	Yes	Yes	4	2	3	5	16	4	8	3	104	140 WLP, 4.5mm × 4.5mm, 0.35mm pitch

USB 2.0 デバイス、CAN 2.0B、Bluetooth 5.2、HyperBus、LPUART、OWM、I<sup>2</sup>S は、すべてのパッケージに含まれています。

CMP = コンパレータ、PT = パルス列、TMR = タイマー、SPIXR = SPI Execute-in-Place RAM、SPIXF = SPI Execute-in-Place フラッシュ、LPTMR = 低消費電力タイマー

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。

T = テープ&リール。

\* 発売予定の製品 - 発売時期についてはお問い合わせください。

Arm および Cortex は Arm Limited.の登録商標です。

Bluetooth は Bluetooth SIG, Inc.の登録商標です。

CoreMark は Embedded Microprocessor Benchmark Consortium Corporation の登録商標です。

---

MAX32690

産業用およびウェアラブル・デバイス用の  
FPU 内蔵 Arm Cortex-M4 マイクロコントローラ  
および Bluetooth LE 5

Cypress は Cypress Semiconductor Corp.の登録商標です。

HyperBus、HyperFlash、HyperRAM、Spansion は Spansion Inc.の登録商標です。

Packetcraft は Packetcraft, Inc.の登録商標です。

Xccela は Micron Technology, Inc.の登録商標です。

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/22	初版	—