

## MAX32675

# 高精度アナログ・フロントエンドを備えた 産業用および医療用センサー向け 超低消費電力Arm Cortex-M4F

### 概要

MAX32675は産業用アプリケーション向けの高集積ミックスド・シグナル超低消費電力マイクロコントローラで、特に4mA～20mAのループ駆動センサーやトランスミッタに最適です。このデバイスは、浮動小数点ユニット（FPU）を搭載した超低消費電力Arm® Cortex®-M4をベースとし、384KBのフラッシュと160KBのSRAMを内蔵しています。1ビット誤り訂正2ビット誤り検出（SEC-DED）が可能な誤り訂正符号（ECC）がフラッシュ、SRAM、キャッシュ全体にわたり採用されており、要求の厳しいアプリケーション向けに信頼性の極めて高いコード実行を実現します。アナログ・フロントエンド（AFE）は、高精度センサー計測用に最適化された機能およびスペックを有する2つの12チャンネル・デルタシグマ（ $\Delta$ - $\Sigma$ ）ADCを備えています。 $\Delta$ - $\Sigma$  ADCはそれぞれ、外部アナログ信号およびシステム温度のデジタル化が可能です。各ADCの前段には1倍～128倍のゲインが可能なPGAがあります。ADCの出力は、オプションで整数から単精度浮動小数点形式にオン・ザ・フライで変換できます。12ビットのDACも内蔵しています。また、このデバイスは、AESエンジン、TRNG、セキュア・ブートなどの堅牢なセキュリティ機能も備えています。

### アプリケーション

- 4mA～20mAの産業用センサーおよびトランスミッタ
- 産業用圧力、温度、流量、レベル・センサー／トランスミッタ
- 医療用圧力、温度、流量センサー

### 機能と利点

- 産業用アプリケーションに適した低消費電力および高性能
  - FPU搭載の100MHz Arm Cortex-M4
  - 384KBの内蔵フラッシュ
  - 160KBのSRAM
    - 128kBのECCが可能
  - 44.1 $\mu$ A/MHz（ACTIVEモード、0.9V、最大12MHzのCoremark®）
  - 64.5 $\mu$ A/MHz（ACTIVEモード、1.1V、最大100MHzのCoreMark）
  - フル・メモリ保持電流：2.84 $\mu$ A（BACKUPモード、 $V_{DDIO}$  = 3.3V）
  - 超低消費電力アナログ・ペリフェラル
- スマート・インテグレーションにより部品表、コスト、PCBサイズを低減
  - 2つの $\Delta$ - $\Sigma$  ADC
    - 12チャンネルをどちらのADCにも割当て可能
    - 柔軟な分解能およびサンプル・レート
      - 24ビット（0.4ksps時）
      - 16ビット（4ksps時）
  - 12ビットDAC
  - 温度センサー内蔵
  - デジタル・ペリフェラル
    - SPI（M/S）
    - 最大2つのI<sup>2</sup>C
    - 最大2つのUART
    - 最大23個のGPIO
  - タイマー
    - 最大5個の32ビット・タイマー
    - 2個のウィンドウ・ウォッチドッグ・タイマー
  - 8チャンネルの標準DMAコントローラ
  - デジタル・オーディオ・インターフェース用の1つのI<sup>2</sup>Sスレーブ
- 堅牢なセキュリティおよび信頼性
  - SP800-90Bに適合するTRNG
  - セキュアな不揮発性キー・ストレージおよびAES-128/192/256
  - IP／ファームウェアを保護するセキュア・ブートローダ
  - 広い動作温度範囲：-40°C～+105°C

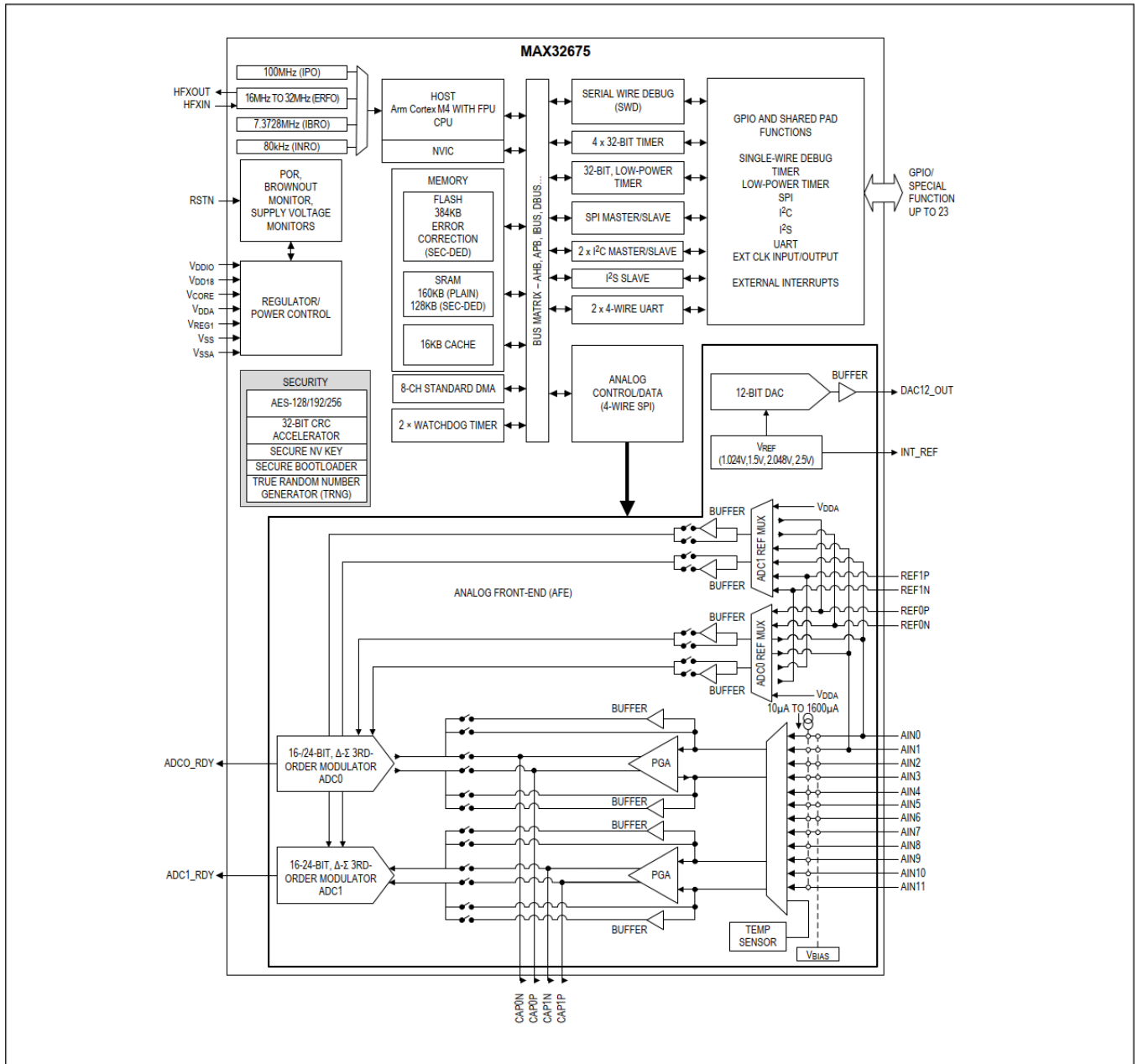
ArmおよびCortexは米国やその他の国や地域におけるArm Limited（またはその子会社）の登録商標です。

CoreMarkはEEMBCの登録商標です。

MotorolaはMotorola Trademark Holdings, LLCの商標です。

オーダー情報はデータシート末尾に記載されています。

簡略アプリケーション回路図



## 目次

概要.....	1
アプリケーション.....	1
機能と利点.....	1
簡略アプリケーション回路図.....	2
絶対最大定格.....	7
パッケージ情報.....	7
68 TQFN.....	7
電気的特性.....	7
電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$ ADC.....	17
電気的特性 — 12ビットDAC.....	26
電気的特性 — 内部電圧リファレンス.....	27
電気的特性 — SPI.....	28
電気的特性 — I <sup>2</sup> C.....	29
電気的特性 — I <sup>2</sup> S.....	31
ピン配置.....	34
68 TQFN.....	34
端子説明.....	34
機能図.....	41
電源の動作モード.....	41
詳細.....	42
FPUエンジンを搭載したArm Cortex-M4プロセッサ.....	42
メモリ.....	42
内蔵フラッシュ・メモリ.....	42
内部SRAM.....	42
クロック方式.....	42
汎用I/Oと特定機能ピン.....	43
パワー・マネージメント.....	44
パワー・マネージメント・ユニット (PMU).....	44
ACTIVEモード.....	44
SLEEPモード.....	44
DEEPSLEEPモード.....	44
BACKUPモード.....	44
STORAGEモード.....	45
標準DMAコントローラ.....	45
ウィンドウ・ウォッチドッグ・タイマー (WDT).....	45
32ビット・タイマー/カウンタ/PWM (TMR、LPTMR).....	46
シリアル・ペリフェラル.....	46
I <sup>2</sup> Cインターフェース (I2C).....	46
シリアル・ペリフェラル・インターフェース (SPI).....	47
I <sup>2</sup> Sインターフェース (I2S).....	47
UART.....	47
プログラマブル・ゲイン・アンプを備えた16/24ビット $\Delta$ - $\Sigma$ A/Dコンバータ.....	48
12ビットD/Aコンバータ.....	49

セキュリティ .....	49
AES .....	49
真の乱数発生器 (TRNG) .....	49
CRCモジュール .....	49
ブートローダ .....	49
セキュア・ブート .....	50
デバッグおよび開発インターフェース (SWD) .....	50
アプリケーション情報 .....	51
バイパス・キャパシタ .....	51
ブートローダのアクティブ化 .....	51
オーダー情報 .....	51
改訂履歴 .....	52

## 図一覧

図1. SPIマスタ・モードのタイミング図.....	31
図2. SPIスレーブ・モードのタイミング図.....	32
図3. I <sup>2</sup> Cのタイミング図.....	32
図4. I <sup>2</sup> Sのタイミング図.....	33
図5. 電源の動作モード.....	41
図6. クロック方式の図.....	43

## 表一覧

表1. BACKUPモードのRAM保持 .....	45
表2. タイマー設定のオプション .....	46
表3. I <sup>2</sup> Cの設定オプション .....	47
表4. SPI設定のオプション .....	47
表5. UART設定のオプション .....	48
表6. ブートローダのアクティブ化の概要 .....	51

## 絶対最大定格

(特に指定のない限り、すべての電圧はV<sub>SS</sub>を基準としています)

V<sub>CORE</sub>.....-0.3V~+1.21V  
V<sub>DD18</sub>.....-0.3V~+1.98V  
AIN[0-11].....-0.3V~V<sub>DDA</sub> + 0.3V  
V<sub>DDIO</sub>, V<sub>DDA</sub>.....-0.3V~+3.63V  
HFXIN, HFXOUT.....-0.3V~V<sub>DDIO</sub> + 0.3V  
RSTN, GPIO, ADC0\_RDY, ADC1\_RDY.....-0.3V~V<sub>DDIO</sub> + 0.3V  
REF1P, REF1N, REF0P, REF0N, VREG1, CAP1N, CAP1P,  
CAP0N, CAP0P, DAC12\_OUT.....-0.3V~V<sub>DDA</sub> + 0.3V  
組み合わせたすべてのGPIOに流れる電流の合計 (シンク) 100mA

V<sub>SS</sub>, V<sub>SSA</sub>..... 100mA  
任意のGPIOピンによる出力電流 (シンク) ..... 25mA  
任意のGPIOピンによる出力電流 (ソース) .....-25mA  
68 TQFNパッケージの連続消費電力 (多層基板) (T<sub>A</sub> = +70°C)  
(+70°Cを超える場合は45.21mW/°Cにディレーティング)  
.....3616.64mW  
動作温度範囲.....-40°C~+105°C  
保存温度範囲.....-65°C~150°C  
はんだ処理温度 (リフロー) ..... +260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## パッケージ情報

## 68 TQFN

Package Code	T6888MK+2
Outline Number	<a href="#">21-0510</a>
Land Pattern Number	<a href="#">90-0354</a>
<b>Thermal Resistance, Four-Layer Board:</b>	
Junction to Ambient ( $\theta_{JA}$ )	22.12°C/W
Junction to Case ( $\theta_{JC}$ )	0.7°C/W

パッケージの最新の外形情報およびランドパターン (フットプリント) については、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages)を参照してください。パッケージ・コードの「+」、「#」、「-」は、RoHSステータスのみを示しています。パッケージ図面には異なるサフィックスが表示される場合がありますが、図面はRoHSステータスに関係なくパッケージに固有のものであります。

パッケージの熱抵抗は、JEDEC仕様書JESD51-7に記載されている方法で、4層基板を用いて求めたものです。パッケージの熱に関する考慮事項の詳細については、[www.maximintegrated.com/thermal-tutorial](http://www.maximintegrated.com/thermal-tutorial)を参照してください。

## 電気的特性

(制限値は、T<sub>A</sub> = +25°CとT<sub>A</sub> = +105°Cで100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER / BOTH SINGLE-SUPPLY AND MULTISUPPLY OPERATION</b>						
Supply Voltage, Digital	V <sub>DDIO</sub>	The V <sub>DDIO</sub> device pin must be connected to the V <sub>DDA</sub> device pin.	2.7	3.3	3.63	V
	V <sub>DD18</sub>		1.71	1.8	1.98	
Supply Voltage, Core	V <sub>CORE</sub>	OVR = [00]	0.855	0.9	0.945	V
		OVR = [01]	0.95	1.0	1.05	
		Default OVR = [10]	1.045	1.1	1.155	
Supply Voltage, Analog	V <sub>DDA</sub>	The V <sub>DDIO</sub> device pin must be connected to the V <sub>DDA</sub> device pin.	2.7	3.3	3.63	V
Power-Fail Reset Voltage	V <sub>RST</sub>	Monitors V <sub>DDIO</sub>	1.55		2.4	V
		Monitors V <sub>CORE</sub> during multisupply operation	0.76		0.86	
Power-On-Reset (POR) Voltage	V <sub>POR</sub>	Monitors V <sub>DDIO</sub>		1.4		V
		Monitors V <sub>CORE</sub> during multisupply operation		0.6		

## 電気的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER / SINGLE-SUPPLY OPERATION (V<sub>DDIO</sub> ONLY)</b>							
V <sub>DDIO</sub> Current ACTIVE Mode	I <sub>DD_DACTS</sub>	Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in ACTIVE mode, executing Coremark, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], internal regulator set to 1.1V, f <sub>SYS_CLK(MAX)</sub> = 100MHz		64.5		μA/MHz
			OVR = [01], internal regulator set to 1.0V, f <sub>SYS_CLK(MAX)</sub> = 50MHz		62.5		
			OVR = [00], internal regulator set to 0.9V, f <sub>SYS_CLK(MAX)</sub> = 12MHz		59.5		
		Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in ACTIVE mode, executing While(1), ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], internal regulator set to 1.1V, f <sub>SYS_CLK(MAX)</sub> = 100MHz		49.4		
			OVR = [01], internal regulator set to 1.0V, f <sub>SYS_CLK(MAX)</sub> = 50MHz		47		
			OVR = [00], internal regulator set to 0.9V, f <sub>SYS_CLK(MAX)</sub> = 12MHz		44.1		
	I <sub>DD_FACTS</sub>	Fixed, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in ACTIVE mode, 0MHz execution, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], internal regulator set to 1.1V		796		μA
			OVR = [01], internal regulator set to 1.0V		647		
			OVR = [00], internal regulator set to 0.9V		475		



## 電気的特性 (続き)

(制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>DDIO</sub> Current SLEEP Mode	I <sub>DD_DSLPS</sub>	Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in SLEEP mode, ECC disabled, standard DMA with two channels active, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], internal regulator set to 1.1V		39.2		μA/MHz
			OVR = [01], internal regulator set to 1.0V, f <sub>SYS_CLK(MAX)</sub> = 50MHz		37.5		
			OVR = [00], internal regulator set to 0.9V, f <sub>SYS_CLK(MAX)</sub> = 12MHz		36.1		
		OVR = [10], internal regulator set to 1.1V, f <sub>SYS_CLK(MAX)</sub> = 100MHz		21.1			
		OVR = [01], internal regulator set to 1.0V, f <sub>SYS_CLK(MAX)</sub> = 50MHz		19			
	OVR = [00], internal regulator set to 0.9V, f <sub>SYS_CLK(MAX)</sub> = 12MHz		17.2				
I <sub>DD_FSLPS</sub>	Fixed, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in SLEEP mode, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], internal regulator set to 1.1V		796		μA	
		OVR = [01], internal regulator set to 1.0V		647			
		OVR = [00], internal regulator set to 0.9V		475			
V <sub>DDIO</sub> Fixed Current, DEEPSLEEP Mode	I <sub>DD_FDLSL</sub>	Standby state with full data retention and 160KB SRAM retained	V <sub>DDIO</sub> = 3.3V		4.0		μA
V <sub>DDIO</sub> Fixed Current, BACKUP Mode	I <sub>DD_FBKUS</sub>	V <sub>DDIO</sub> = 3.3V	0KB SRAM retained, retention regulator disabled		0.32		μA

## 電気的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>DDIO</sub> Fixed Current, BACKUP Mode	I <sub>DD_FBKUS</sub>	V <sub>DDIO</sub> = 3.3V	20KB SRAM retained		1.04		μA
			40KB SRAM retained		1.37		
			80KB SRAM retained		1.90		
			160KB SRAM retained		2.84		
V <sub>DDIO</sub> Fixed Current, STORAGE Mode	I <sub>DD_FSTOS</sub>	V <sub>DDIO</sub> = 3.3V		0.362		μA	
SLEEP Mode Resume Time	t <sub>SPL_ONS</sub>			2.1		μs	
DEEPSLEEP Mode Resume Time	t <sub>DSL_ONS</sub>	fast_wk_en = 1		89		us	
		fast_wk_en = 0		129			
BACKUP Mode Resume Time	t <sub>BKU_ONS</sub>	Includes system initialization and ROM execution time			1.25		ms
STORAGE Mode Resume Time	t <sub>STO_ONS</sub>	Includes system initialization and ROM execution time			1.5		ms

## 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER / MULTISUPPLY OPERATION</b>						
$V_{\text{CORE}}$ Current, ACTIVE Mode	$I_{\text{CORE\_DACTD}}$	Dynamic, IPO enabled, total current into $V_{\text{CORE}}$ pin, CPU in ACTIVE mode, executing Coremark, ECC disabled, inputs tied to $V_{\text{SS}}$ or $V_{\text{DDIO}}$ , outputs source/sink 0mA	OVR = [10], $V_{\text{CORE}} = 1.1\text{V}$ , $f_{\text{SYS\_CLK(MAX)}} = 100\text{MHz}$		63.7	$\mu\text{A/MHz}$
			OVR = [01], $V_{\text{CORE}} = 1.0\text{V}$ , $f_{\text{SYS\_CLK(MAX)}} = 50\text{MHz}$		61.9	
			OVR = [00], $V_{\text{CORE}} = 0.9\text{V}$ , $f_{\text{SYS\_CLK(MAX)}} = 12\text{MHz}$		59.4	
		Dynamic, IPO enabled, total current into $V_{\text{CORE}}$ pin, CPU in ACTIVE mode, executing While(1), ECC disabled, inputs tied to $V_{\text{SS}}$ or $V_{\text{DDIO}}$ , outputs source/sink 0mA	OVR = [10], $V_{\text{CORE}} = 1.1\text{V}$ , $f_{\text{SYS\_CLK(MAX)}} = 100\text{MHz}$		48.9	
			OVR = [01], $V_{\text{CORE}} = 1.0\text{V}$ , $f_{\text{SYS\_CLK(MAX)}} = 50\text{MHz}$		46.6	
			OVR = [00], $V_{\text{CORE}} = 0.9\text{V}$ , $f_{\text{SYS\_CLK(MAX)}} = 12\text{MHz}$		44.5	
	$I_{\text{CORE\_FACTD}}$	Fixed, IPO enabled, total current into $V_{\text{CORE}}$ pin, CPU in ACTIVE mode, 0MHz execution, ECC disabled, inputs tied to $V_{\text{SS}}$ or $V_{\text{DDIO}}$ , outputs source/sink 0mA	OVR = [10], $V_{\text{CORE}} = 1.1\text{V}$		362	$\mu\text{A}$
			OVR = [01], $V_{\text{CORE}} = 1.0\text{V}$		217	
			OVR = [00], $V_{\text{CORE}} = 0.9\text{V}$		109	

## 電气的特性 (続き)

(制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>DDIO</sub> Current, ACTIVE Mode	I <sub>DD_DACTD</sub>	Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in ACTIVE mode, executing Coremark, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], f <sub>SYS_CLK(MAX)</sub> = 100MHz		0.51		μA/MHz
			OVR = [01], f <sub>SYS_CLK(MAX)</sub> = 50MHz		0.51		
			OVR = [00], f <sub>SYS_CLK(MAX)</sub> = 12MHz		0.51		
		Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in ACTIVE mode, executing While(1), ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], f <sub>SYS_CLK(MAX)</sub> = 100MHz		0.51		
			OVR = [01], f <sub>SYS_CLK(MAX)</sub> = 50MHz		0.51		
			OVR = [00], f <sub>SYS_CLK(MAX)</sub> = 12MHz		0.51		
	I <sub>DD_FACTD</sub>	Fixed, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in ACTIVE mode, 0MHz execution, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], V <sub>CORE</sub> = 1.1V		367	μA	
			OVR = [01], V <sub>CORE</sub> = 1.0V		367		
			OVR = [00], V <sub>CORE</sub> = 0.9V		307		
	I <sub>CORE_DSLPD</sub>	Dynamic, IPO enabled, total current into V <sub>CORE</sub> pin, CPU in SLEEP mode, ECC disabled, standard DMA with two channels active, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], V <sub>CORE</sub> = 1.1V, f <sub>SYS_CLK(MAX)</sub> = 100MHz			39.2	μA/MHz

## 電気的特性（続き）

（制限値は、 $T_A = +25^{\circ}\text{C}$ と $T_A = +105^{\circ}\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>CORE</sub> Current, SLEEP Mode	I <sub>CORE_DSLPD</sub>	Dynamic, IPO enabled, total current into V <sub>CORE</sub> pin, CPU in SLEEP mode, ECC disabled, standard DMA with two channels active, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [01], V <sub>CORE</sub> = 1.0V, f <sub>SYS_CLK</sub> (MAX) = 50MHz		37.5		μA/MHz
			OVR = [00], V <sub>CORE</sub> = 0.9V, f <sub>SYS_CLK</sub> (MAX) = 12MHz		37		
		Dynamic, IPO enabled, total current into V <sub>CORE</sub> pin, CPU in SLEEP mode, ECC disabled, DMA disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], V <sub>CORE</sub> = 1.1V, f <sub>SYS_CLK</sub> (MAX) = 100MHz		21.1		
			OVR = [01], V <sub>CORE</sub> = 1.0V, f <sub>SYS_CLK</sub> (MAX) = 50MHz		19.2		
			OVR = [00], V <sub>CORE</sub> = 0.9V, SYS_CLK(MAX) = 12MHz		17.9		
	I <sub>CORE_FSLPD</sub>	Fixed, IPO enabled, total current into V <sub>CORE</sub> pin, CPU in SLEEP mode, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR [10], V <sub>CORE</sub> = 1.1V		362		μA
			OVR [01], V <sub>CORE</sub> = 1.0V		217		
			OVR [00], V <sub>CORE</sub> = 0.9V		109		

## 電気的特性（続き）

（制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記されたは、設計により確保されていますが、製品テストの対象外です。最低動作温度の様子は、設計により確保されていますが、製品テストの対象外です。）

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
V <sub>DDIO</sub> Current, SLEEP Mode	I <sub>DD_DSLPD</sub>	Dynamic, IPO enabled, total current into V <sub>DD</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in SLEEP mode, ECC disabled, standard DMA with two channels active, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], V <sub>CORE</sub> = 1.1V, f <sub>SYS_CLK(MAX)</sub> = 100MHz		0.001		μA/MHz
		Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in SLEEP mode, ECC disabled, standard DMA with two channels active, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [01], V <sub>CORE</sub> = 1.0V, f <sub>SYS_CLK(MAX)</sub> = 50MHz		0.001		
		Dynamic, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in SLEEP mode, ECC disabled, standard DMA with two channels active, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [00], V <sub>CORE</sub> = 0.9V, f <sub>SYS_CLK(MAX)</sub> = 12MHz		0.001		
	I <sub>DD_FSLPD</sub>	Fixed, IPO enabled, total current into V <sub>DDIO</sub> pin, V <sub>DDIO</sub> = 3.3V, CPU in SLEEP mode, ECC disabled, inputs tied to V <sub>SS</sub> or V <sub>DDIO</sub> , outputs source/sink 0mA	OVR = [10], V <sub>CORE</sub> = 1.1V		367		μA
			OVR = [01], V <sub>CORE</sub> = 1.0V		367		
			OVR = [00], V <sub>CORE</sub> = 0.9V		307		
V <sub>CORE</sub> Fixed Current, DEEPSLEEP Mode	I <sub>CORE_FD</sub> SLPD	V <sub>DDIO</sub> = 3.3V, V <sub>CORE</sub> = 1.1V			10		μA
		V <sub>DDIO</sub> = 3.3V, V <sub>CORE</sub> = 0.855V			3.8		
V <sub>DD</sub> Fixed Current, DEEPSLEEP Mode	I <sub>DD_FD</sub> SLPD	V <sub>DDIO</sub> = 3.3V, V <sub>CORE</sub> = 1.1V			0.34		μA
		V <sub>DDIO</sub> = 3.3V, V <sub>CORE</sub> = 0.855V			0.34		

## 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS			
$V_{\text{CORE}}$ Fixed Current, BACKUP Mode	$I_{\text{CORE\_FBKUD}}$	0KB SRAM retained, retention regulator disabled	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$		0.225		$\mu\text{A}$			
			$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$		0.13					
		20KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$		1.256					
			$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$		0.507					
		40KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$		2.243					
			$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$		0.877					
		80KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$		3.97					
			$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$		1.49					
		160KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$		7.22					
			$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$		2.61					
		$V_{\text{DDIO}}$ Fixed Current, BACKUP Mode	$I_{\text{DD\_FBKUD}}$	0KB SRAM retained, retention regulator disabled	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$			0.34		$\mu\text{A}$
					$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$			0.34		
20KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$				0.32					
	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$				0.32					
40KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$				0.32					
	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$				0.108					
80KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$				0.32					
	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$				0.32					
160KB SRAM retained	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$				0.32					
	$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$				0.32					
$V_{\text{CORE}}$ Fixed Current, STORAGE Mode	$I_{\text{CORE\_FSTOD}}$			$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 1.1\text{V}$			0.226		$\mu\text{A}$	
				$V_{\text{DDIO}} = 3.3\text{V}$ , $V_{\text{CORE}} = 0.855\text{V}$			0.112			
$V_{\text{DDIO}}$ Fixed Current, STORAGE Mode	$I_{\text{DD\_FSTOD}}$	$V_{\text{DDIO}} = 3.3\text{V}$ ; $V_{\text{CORE}} = 1.1\text{V}$			0.335		$\mu\text{A}$			
		$V_{\text{DDIO}} = 3.3\text{V}$ ; $V_{\text{CORE}} = 0.855\text{V}$			0.335					



## 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SLEEP Mode Resume Time	$t_{\text{SLP\_OND}}$			2.1		$\mu\text{s}$
DEEPSLEEP Mode Resume Time	$t_{\text{DSL\_OND}}$	fast_wk_en = 1		81		$\mu\text{s}$
		fast_wk_en = 0		129		
BACKUP Mode Resume Time	$t_{\text{BKU\_OND}}$	Includes system initialization and ROM execution time		1.25		ms
STORAGE Mode Resume Time	$t_{\text{STO\_OND}}$	Includes system initialization and ROM execution time		1.5		ms
<b>GENERAL-PURPOSE I/O</b>						
Input Low Voltage for All GPIO, RSTN	$V_{\text{IL\_GPIO}}$	Pin configured as GPIO			$0.3 \times V_{\text{DDIO}}$	V
Input High Voltage for All GPIO, RSTN	$V_{\text{IH\_GPIO}}$	Pin configured as GPIO	$0.7 \times V_{\text{DDIO}}$			V
Output Low Voltage for All GPIO Except P0.6, P0.7, P0.13, P0.18, P0.19	$V_{\text{OL\_GPIO}}$	$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OL}} = 1\text{mA}$ , DS[1:0] = 00		0.2	0.4	V
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OL}} = 2\text{mA}$ , DS[1:0] = 10		0.2	0.4	
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OL}} = 4\text{mA}$ , DS[1:0] = 01		0.2	0.4	
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OL}} = 6\text{mA}$ , DS[1:0] = 11		0.2	0.4	
Output Low Voltage for GPIO P0.6, P0.7, P0.13, P0.18, P0.19	$V_{\text{OL\_I2C}}$	$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OL}} = 2\text{mA}$ , DS = 0		0.2	0.4	V
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OL}} = 10\text{mA}$ , DS = 1		0.2	0.4	
Output High Voltage for All GPIO Except P0.6, P0.7, P0.13, P0.18, P0.19	$V_{\text{OH\_GPIO}}$	$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OH}} = -1\text{mA}$ , DS[1:0] = 00	$V_{\text{DDIO}} - 0.4$			V
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OH}} = -2\text{mA}$ , DS[1:0] = 10	$V_{\text{DDIO}} - 0.4$			
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OH}} = -4\text{mA}$ , DS[1:0] = 01	$V_{\text{DDIO}} - 0.4$			
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OH}} = -6\text{mA}$ , DS[1:0] = 11	$V_{\text{DDIO}} - 0.4$			
Output High Voltage for GPIO P0.6, P0.7, P0.13, P0.18, and P0.19	$V_{\text{OH\_I2C}}$	$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OH}} = -2\text{mA}$ , DS = 0	$V_{\text{DDIO}} - 0.4$			V
		$V_{\text{DDIO}} = 2.7\text{V}$ , $I_{\text{OH}} = -10\text{mA}$ , DS = 1	$V_{\text{DDIO}} - 0.4$			
Combined $I_{\text{OL}}$ , All GPIO	$I_{\text{OL\_TOTAL}}$				100	mA
Combined $I_{\text{OH}}$ , All GPIO	$I_{\text{OH\_TOTAL}}$		-100			mA
Input Hysteresis (Schmitt)	$V_{\text{IHYS}}$			300		mV
Input/Output Pin Capacitance for All Pins	$C_{\text{IO}}$			4		pF
Input Leakage Current Low	$I_{\text{IL}}$	$V_{\text{IN}} = 0\text{V}$ , internal pullup disabled	-500		+500	nA
Input Leakage Current High	$I_{\text{IH}}$	$V_{\text{IN}} = 3.6\text{V}$ , internal pulldown disabled	-500		+500	nA



## 電気的特性 (続き)

(制限値は、 $T_A = +25^\circ\text{C}$ と $T_A = +105^\circ\text{C}$ で100%テストされています。動作温度範囲および関連する電源電圧範囲にわたる制限値は、設計と特性評価により裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。最低動作温度の仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Pullup Resistor to RSTN	RPU_VDD	Pullup to $V_{DDIO} = V_{RST}$ , RSTN at $V_{IH}$		18.7		k $\Omega$
		Pullup to $V_{DDIO} = 3.63\text{V}$ , RSTN at $V_{IH}$		10.0		
Input Pullup Resistor for All GPIO	RPU	Device pin configured as GPIO, pullup to $V_{DDIO} = V_{RST}$ , device pin at $V_{IH}$		18.7		k $\Omega$
		Device pin configured as GPIO, pullup to $V_{DDIO} = 3.63\text{V}$ , device pin at $V_{IH}$		10.0		
Input Pulldown Resistor for All GPIO	RPD	Device pin configured as GPIO, pulldown to $V_{SS}$ , $V_{DDIO} = V_{RST}$ , device pin at $V_{IL}$		17.6		k $\Omega$
		Device pin configured as GPIO, pulldown to $V_{SS}$ , $V_{DDIO} = 3.63\text{V}$ , device pin at $V_{IL}$		8.8		
<b>CLOCKS</b>						
System Clock Frequency	$f_{\text{SYS\_CLK}}$				100	MHz
System Clock Period	$t_{\text{SYS\_CLK}}$			$1/f_{\text{SYS\_CLK}}$		$\mu\text{s}$
Internal Primary Oscillator (IPO)	$f_{\text{IPO}}$	Default OVR = [10]		100		MHz
External RF Oscillator (ERFO)	$f_{\text{ERFO}}$	Required crystal characteristics: $C_L = 12\text{pF}$ , $\text{ESR} \leq 50\Omega$ , $C_0 \leq 7\text{pF}$ , temperature stability $\pm 20\text{ppm}$ , initial tolerance $\pm 20\text{ppm}$	16		32	MHz
Internal Baud Rate Oscillator (IBRO)	$f_{\text{IBRO}}$			7.3728		MHz
Internal NanoRing Oscillator (INRO)	$f_{\text{INRO}}$	Measured at $V_{DDIO} = 2.7\text{V}$		70		kHz
External Clock	$f_{\text{EXT\_CLK}}$	External clock selected (P0.10)			25	MHz
<b>FLASH MEMORY</b>						
Flash Erase Time	$t_{\text{M\_ERASE}}$	Mass erase		30		ms
	$t_{\text{P\_ERASE}}$	Page erase		30		
Flash Programming Time Per Word	$t_{\text{PROG}}$	32-bit programming mode, $f_{\text{FLC\_CLK}} = 1\text{MHz}$		42		$\mu\text{s}$
Flash Endurance			10			kcycles
Data Retention	$t_{\text{RET}}$	$T_A = +125^\circ\text{C}$	10			years

電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$  ADC

(特に指定のない限り、 $V_{\text{DDA}} = +3.3\text{V}$ 、 $\text{REFP} - \text{REFN} = V_{\text{DDA}}$ 、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ\text{C}$ での値です。制限値は $T_A = +25^\circ\text{C}$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUTS</b>						
Full-Scale Input Voltage	FS			$\pm V_{\text{REF}}/\text{Gain}$		

電气的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$  ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Absolute Input Voltage		Buffers disabled	$V_{SSA} - 30mV$		$V_{DDA} + 30mV$	V
Input Voltage Range		Unipolar	0		$V_{REF}$	V
		Bipolar	$-V_{REF}$		$V_{REF}$	
Common-Mode Voltage Range	$V_{CM}$	AIN buffers/PGA disabled	$V_{SSA}$		$V_{DDA}$	V
		Buffers enabled	$V_{SSA} + 0.1$		$V_{DDA} - 0.1$	
		PGA gain = 1 to 16	$V_{SSA} + 0.1 + (V_{IN})(G_{ain})/2$		$V_{DDA} - 0.1 - (V_{IN})(G_{ain})/2$	
		PGA gain = 32 to 128	$V_{SSA} + 0.2 + (V_{IN})(G_{ain})/2$		$V_{DDA} - 0.2 - (V_{IN})(G_{ain})/2$	
Differential Input Current		Buffer disabled		$\pm 1$		$\mu A/V$
		Buffer enabled		0 to 50		nA
		PGA enabled		$\pm 1$		
Absolute Input Current		Buffer disabled		$\pm 1$		$\mu A/V$
		Buffer enabled		20 to 80		nA
		PGA enabled, $-40^\circ C$ to $+105^\circ C$	-2		2	
Input Capacitance		Bypass mode		10		pF
<b>SYSTEM PERFORMANCE</b>						
Resolution				24		bits

電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$  ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられていません。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Rate		50Hz/60Hz FIR filter, single-cycle conversions		1, 2, 4, 8, 16		sps
		50Hz FIR filter, single-cycle conversions		1.3, 2.5, 5, 10, 20, 35.6		
		60Hz FIR filter, single-cycle conversions		1.3, 2.5, 5, 10, 20, 36.5		
		SINC4 filter, single-cycle conversions		1, 2.5, 5, 10, 15, 30, 60, 120, 240, 480, 960, 1920		
		SINC4 filter, continuous conversions		4, 10, 20, 40, 60, 120, 240, 480, 960, 1920, 3840, 7680		
		SINC4 filter, duty cycle conversions		0.25, 0.0625, 1.25, 2.5, 3.75, 7.7, 15, 30, 60, 120, 240, 480		
Data Rate Tolerance		Determined by internal clock accuracy	-6		6	%
Integral Nonlinearity ( <a href="#">Note 2</a> )	INL	Differential input, reference buffer enabled, PGA = 1, tested at 16sps, measured at $+25^\circ C$ , $V_{DDA} = 3.3V$	-12	+2	+12	ppmFS
		Differential input, PGA = 2 - 16		6		
		Differential input, PGA = 32 - 64		11		
		Differential input, PGA = 128		15		
Offset Error		Referred to modulator input. After self and system calibration; $V_{REFP} - V_{REFN} = 2.5V$ , tested at 16sps, $V_{DDA} = 3.3V$	-25	$\pm 0.5$	+25	$\mu V$
Offset Error Drift				$\pm 50$		nV/ $^\circ C$

電气的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$  ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PGA Gain Settings				1, 2, 4, 8, 16, 32, 64, 128		
Digital Gain Settings				2, 4		
PGA Gain Error ( <i>Note 1</i> )		No calibration		$\pm 0.3$		%
		Gain = 1, after calibration	-0.012		+0.012	
PGA Gain Drift				32		ppmFS/ $^\circ C$
Input Noise	$V_n$	FIR50Hz/60Hz, 16.8sps, PGA = 128		208		nV <sub>RMS</sub>
Noise-Free Resolution	NFR	FIR50Hz/60Hz, 16.8sps, PGA = 1		17.3		bits
Normal-Mode Rejection (Internal Clock)	NMR	50Hz/60Hz FIR filter, 50Hz $\pm 1\%$ , 16sps conversion, GBD		88		dB
		50Hz/60Hz FIR filter, 60Hz $\pm 1\%$ , 16sps single-cycle conversion, GBD		88		
		50Hz FIR filter, 50Hz $\pm 1\%$ , 35.6sps single-cycle conversion, GBD		49		
		60Hz FIR filter, 60Hz $\pm 1\%$ , 35.6sps single-cycle conversion, GBD		55.6		
		SINC4 filter, 50Hz $\pm 1\%$ , 10sps single-cycle conversion, GBD		88		
		SINC4 filter 60Hz $\pm 1\%$ , 10sps single-cycle conversion, GBD		91		
Normal-Mode Rejection (External Clock)	NMR	50Hz/60Hz FIR filter, 50Hz or 60Hz $\pm 1\%$ , 16sps single-cycle conversion		91		dB
		50Hz FIR filter, 50Hz $\pm 1\%$ , 35.6sps single-cycle conversion		49.4		
		60Hz FIR filter, 60Hz $\pm 1\%$ , 35.6sps single-cycle conversion		55.6		
		SINC4 filter, 50Hz $\pm 1\%$ , 10sps single-cycle conversion		92.4		
		SINC4 filter, 60Hz $\pm 1\%$ , 10sps single-cycle conversion		92.6		
Common-Mode Rejection	CMR	DC rejection, any PGA gain		100		dB
Common-Mode Rejection	CMR60	50Hz/60Hz rejection, PGA enabled	104			
Power Supply Rejection	PSRRA			94		dB
<b>REFERENCE INPUTS</b>						
Reference Voltage Range		Reference buffer(s) disabled	$V_{SSA} - 30m$		$V_{DDA} + 30m$	V
		Reference buffer(s) enabled	$V_{SSA} + 0.1$		$V_{DDA} - 0.1$	

電气的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$  ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Reference Voltage Input		$V_{REF} = V_{REFP} - V_{REFN}$	0.75	2.5	$V_{DDA}$	V
Reference Input Current		Reference buffer disabled		2.1		$\mu A/V$
		Reference buffer enabled	-200	61	+200	nA
Reference Input Capacitance		Reference buffers disabled		15		pF
<b>MATCHED CURRENT SOURCES</b>						
Matched Current Source Outputs				10, 50, 75, 100, 125, 150, 175, 200, 225, 250, 300, 400, 600, 800, 1200, 1600		$\mu A$
Current Source Output Voltage Compliance		$IDAC \leq 250\mu A$	0		$V_{DDA} - 0.7$	V
		$IDAC = 1.6mA$	0		$V_{DDA} - 1.2$	
Initial Tolerance		$T_A = +25^\circ C$ , GBD	-5	$\pm 1$	+5	%
Current Matching		Between IDACs		$\pm 0.1$		%
Temperature Drift Matching		Between IDACs		10		ppm/C
Current Source Output Noise	$I_N$	Output current = 250 $\mu A$ ; SINC4 filter, 60sps continuous; noise is referred to input		0.47		pA rms
<b>VBIAS OUTPUTS</b>						
$V_{BIAS}$ Voltage				$V_{DDA}/2$		V
$V_{BIAS}$ Voltage Output Impedance				125k (active), 20k (passive), 125k (passive)		$\Omega$
<b>SYSTEM TIMING</b>						
Power-On Wake-Up Time		From $V_{DDA} > V_{POR}$		240		$\mu s$
PGA Power-Up Time		$C_{FILTER} = 0$		0.25		ms
		$C_{FILTER} = 20nF$		2		
		$C_{FILTER} = 100nF$		10		

電气的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$  ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PGA Settling Time		After changing gain settings to Gain = 1, $C_{FILTER} = 0$		0.25		ms
		After changing gain settings to Gain = 1, $C_{FILTER} = 100nF$		10		
		After changing gain settings to Gain = 128, $C_{FILTER} = 0$		2		
Input Multiplexer Power-Up Time		Settled to 21 bits with 10pF load		2		$\mu s$
Input Multiplexer Channel-to-Channel Settling Time		Settled to 21 bits with 2k $\Omega$ external source resistor		2		$\mu s$
$V_{BIAS}$ Power-Up Time		Active generator; settled within 1% of final value; $C_{LOAD} = 1\mu F$		10		ms
		125K passive generator; settled within 1% of final value; $C_{LOAD} = 1\mu F$		575		
		20K passive generator; settled within 1% of final value; $C_{LOAD} = 1\mu F$		90		
$V_{BIAS}$ Settling Time		Active generator; settled within 1% of final value; $C_{LOAD} = 1\mu F$		10		ms
		125K passive generator; settled within 1% of final value; $C_{LOAD} = 1\mu F$		605		
		20K passive generator; settled within 1% of final value; $C_{LOAD} = 1\mu F$		100		
Matched Current Source Startup Time				110		$\mu s$
Matched Current Source Settling Time				12.5		$\mu s$

## 電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$ ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SPECIFICATIONS</b>						
$V_{DDA}$ Current		ADC0 only	Standby mode, $V_{DDA} = V_{REF} =$ $V_{IN} = 3.3V$		92	$\mu A$
			Bypass mode, IDAC, $V_{BIAS}$ sources off, $V_{DDA}$ $= V_{REF} = V_{IN} =$ 3.3V, SINC4 filter, continuous conversions at 60sps		166	
			Buffered mode, IDAC, $V_{BIAS}$ sources off, $V_{DDA}$ $= V_{REF} = V_{IN} =$ 3.3V, SINC4 filter, continuous conversions at 60sps		193	
			PGA enabled, IDAC, $V_{BIAS}$ sources off, $V_{DDA}$ $= V_{REF} = V_{IN} =$ 3.3V, SINC4 filter, continuous conversions at 60sps		292	
		ADC1. ADC0 must be in Standby mode	Bypass mode, IDAC, $V_{BIAS}$ sources off, $V_{DDA}$ $= V_{REF} = V_{IN} =$ 3.3V, SINC4 filter, continuous conversions at 60sps		167	
			Buffered mode, IDAC, $V_{BIAS}$ sources off, $V_{DDA}$ $= V_{REF} = V_{IN} =$ 3.3V, SINC4 filter, continuous conversions at 60sps		193	

### 電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$ ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
		PGA enabled, IDAC, $V_{BIAS}$ sources off, $V_{DDA}$ $= V_{REF} = V_{IN} =$ 3.3V, SINC4 filter, continuous conversions at 60sps		292		



### 電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$ ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS		
V <sub>DDA</sub> Duty Cycle Power Mode		ADC0 only	Bypass mode, IDAC, V <sub>BIAS</sub> sources off, V <sub>DDA</sub> = V <sub>REF</sub> = V <sub>IN</sub> = 3.3V, SINC4 filter, continuous conversions at 15sps		74		$\mu A$	
			Buffered mode, IDAC, V <sub>BIAS</sub> sources off, V <sub>DDA</sub> = V <sub>REF</sub> = V <sub>IN</sub> = 3.3V, SINC4 filter, continuous conversions at 15sps		89			
			PGA enabled, IDAC, V <sub>BIAS</sub> sources off, V <sub>DDA</sub> = V <sub>REF</sub> = V <sub>IN</sub> = 3.3V, SINC4 filter, continuous conversions at 15sps		196			
		ADC1. ADC0 must be enabled in Standby mode	Bypass mode, IDAC, V <sub>BIAS</sub> sources off, V <sub>DDA</sub> = V <sub>REF</sub> = V <sub>IN</sub> = 3.3V, SINC4 filter, continuous conversions at 15sps		74			
			Buffered mode, IDAC, V <sub>BIAS</sub> sources off, V <sub>DDA</sub> = V <sub>REF</sub> = V <sub>IN</sub> = 3.3V, SINC4 filter, continuous conversions at 15sps		89			
			PGA enabled, IDAC, V <sub>BIAS</sub> sources off, V <sub>DDA</sub> = V <sub>REF</sub> = V <sub>IN</sub> = 3.3V, SINC4 filter, continuous conversions at 15sps		196			

## 電気的特性 — PGA併用16/24ビット $\Delta$ - $\Sigma$ ADC (続き)

(特に指定のない限り、 $V_{DDA} = +3.3V$ 、 $REFP - REFN = V_{DDA}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>LDO</b>						
$V_{DD18}$ Output Capacitance			100			nF
$V_{DD18}$ Output Voltage		$V_{DD18}$ configured as an output	1.71	1.8	1.98	V

## 電気的特性 — 12ビットDAC

(特に指定のない限り、 $V_{DDA} = 3.3V$ 、 $R_L = 10k\Omega$ および $C_L = 100pF$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。 $V_{REF} = 1.5V$ 。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution	$DAC_R$		12			bits
Differential Nonlinearity	DNL	Power mode = 2 or 3, noise filter enabled GBD		$\pm 1$		LSB
Integral Nonlinearity	INL	Power mode = 2 or 3, noise filter enabled GBD		$\pm 1$		LSB
Offset Error	$E_O$	Measure at $V_{DDA} = 3.3V$		4		mV
Output Voltage Range	$V_O$	DAC12_OUT device pin; min code to max code, GBD	$V_{SSA} + E_O$		$V_{DDA} - 0.5$	V
Output Impedance		Power mode = 3		6.1		k $\Omega$
		Power mode = 2		8.9		
		Power mode = 1		16.3		
		Power mode = 0		97.7		
Voltage Output Settling Time	$t_{SFS}$	Noise filter enabled, code 400h to C00h, rising or falling, to $\pm 0.5$ LSB		4		ms
		Noise filter disabled, code 400h to C00h, rising or falling, to $\pm 0.5$ LSB		0.03		
Glitch Energy		Power mode = 0, 1, or 2		12		V x ns
		Power mode = 3, code 000h to A50h		12		

## 電気的特性 — 12ビットDAC (続き)

(特に指定のない限り、 $V_{DDA} = 3.3V$ 、 $R_L = 10k\Omega$ および $C_L = 100pF$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。 $V_{REF} = 1.5V$ 。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Current	$I_{DAC12}$	Static, $V_{REF} = 2.5V$	Power mode = 3		680	$\mu A$
			Power mode = 2		570	
			Power mode = 1		458	
			Power mode = 0		347	
		Static, $V_{REF} = 2.0V$	Power mode = 3		601	
			Power mode = 2		509	
			Power mode = 1		418	
			Power mode = 0		327	
		Static, $V_{REF} = 1.5V$	Power mode = 3		497	
			Power mode = 2		431	
			Power mode = 1		364	
			Power mode = 0		297	
		Static, $V_{REF} = 1.0V$	Power mode = 3		407	
			Power mode = 2		361	
			Power mode = 1		304	
			Power mode = 0		284	
Power-On Time		Excluding reference		10		$\mu s$

## 電気的特性 — 内部電圧リファレンス

(特に指定のない限り、 $V_{DDA} = 3.3V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。内部リファレンス・モード、INT\_REFに4.7 $\mu F$ を接続、 $V_{REF} = 1.5V$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage at INT_REF	$V_{INT\_REF}$	$T_A = +25^\circ C$	INT_REF 1.024V		1.024	V
			INT_REF 1.50V		1.500	
			INT_REF 2.048V		2.048	
			INT_REF 2.50V		2.500	
Internal Reference Temperature Coefficient	$T_{CREF}$	$T_A = -40^\circ C$ to $+105^\circ C$			$\pm 50$	ppm/ $^\circ C$
Turn-On Time	$t_{ON}$	GBD		0.1 + (INT_VR EF x 1.8)	10	ms
Leakage Current with INT_REF Output Disabled	$I_{INT\_REF}$	GBD		15	50	nA
INT_REF Line Regulation				$\pm 50$		$\mu V/V$
INT_REF Load Regulation	INT_Load	$I_{SOURCE} = 0$ to $500\mu A$ , $T_A = +25^\circ C$		10		$\mu V/\mu A$

## 電気的特性 — 内部電圧リファレンス (続き)

(特に指定のない限り、 $V_{DDA} = 3.3V$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。内部リファレンス・モード、INT\_REFに4.7 $\mu F$ を接続、 $V_{REF} = 1.5V$ 。特に指定のない限り、代表的な仕様値は $T_A = +25^\circ C$ での値です。制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲における制限値は設計および特性評価によって裏付けられています。GBDと記された仕様は、設計により確保されていますが、製品テストの対象外です。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Reference Supply Current		Buffer enabled		270		$\mu A$

## 電気的特性 — SPI

(タイミング仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>MASTER MODE</b>						
SPI Master Operating Frequency	$f_{MCK}$	$f_{SYS\_CLK} = 100MHz$ , $f_{MCK(MAX)} = f_{SYS\_CLK}/2$			50	MHz
SPI Master SCK Period	$t_{MCK}$			$1/f_{MCK}$		ns
SCK Output Pulse-Width High/Low	$t_{MCH}$ , $t_{MCL}$		$t_{MCK}/2$			ns
MOSI Output Hold Time After SCK Sample Edge	$t_{MOH}$		$t_{MCK}/2$			ns
MOSI Output Valid to Sample Edge	$t_{MOV}$		$t_{MCK}/2$			ns
MOSI Output Hold Time After SCK Low Idle	$t_{MLH}$			$t_{MCK}/2$		ns
MISO Input Valid to SCK Sample Edge Setup	$t_{MIS}$			5		ns
MISO Input to SCK Sample Edge Hold	$t_{MIH}$			$t_{MCK}/2$		ns
<b>SLAVE MODE</b>						
SPI Slave Operating Frequency	$f_{SCK}$				50	MHz
SPI Slave SCK Period	$t_{SCK}$			$1/f_{SCK}$		ns
SCK Input Pulse-Width High/Low	$t_{SCH}$ , $t_{SCL}$			$t_{SCK}/2$		
SSx Active to First Shift Edge	$t_{SSE}$			10		ns
MOSI Input to SCK Sample Edge Rise/Fall Setup	$t_{SIS}$			5		ns
MOSI Input from SCK Sample Edge Transition Hold	$t_{SIH}$			1		ns
MISO Output Valid After SCLK Shift Edge Transition	$t_{SOV}$			5		ns
SCK Inactive to SSx Inactive	$t_{SSD}$			10		ns
SSx Inactive Time	$t_{SSH}$			$1/f_{SCK}$		$\mu s$

## 電気的特性 — SPI (続き)

(タイミング仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MISO Hold Time After SSx Deassertion	tSLH			10		ns

電気的特性 — I<sup>2</sup>C

(タイミング仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STANDARD MODE</b>						
Output Fall Time	t <sub>OF</sub>	Standard mode, from V <sub>IH(MIN)</sub> to V <sub>IL(MAX)</sub>		150		ns
SCL Clock Frequency	f <sub>SCL</sub>		0		100	kHz
Low Period SCL Clock	t <sub>LOW</sub>		4.7			μs
High Time SCL Clock	t <sub>HIGH</sub>		4.0			μs
Setup Time for Repeated Start Condition	t <sub>SU;STA</sub>		4.7			μs
Hold Time for Repeated Start Condition	t <sub>HD;STA</sub>		4.0			μs
Data Setup Time	t <sub>SU;DAT</sub>			300		ns
Data Hold Time	t <sub>HD;DAT</sub>			10		ns
Rise Time for SDA and SCL	t <sub>R</sub>			800		ns
Fall Time for SDA and SCL	t <sub>F</sub>			200		ns
Setup Time for a Stop Condition	t <sub>SU;STO</sub>		4.0			μs
Bus Free Time Between a Stop and Start Condition	t <sub>BUS</sub>		4.7			μs
Data Valid Time	t <sub>VD;DAT</sub>		3.45			μs
Data Valid Acknowledge Time	t <sub>VD;ACK</sub>		3.45			μs
<b>FAST MODE</b>						
Output Fall Time	t <sub>OF</sub>	From V <sub>IH(MIN)</sub> to V <sub>IL(MAX)</sub>		150		ns
Pulse Width Suppressed by Input Filter	t <sub>SP</sub>			75		ns
SCL Clock Frequency	f <sub>SCL</sub>		0		400	kHz
Low Period SCL Clock	t <sub>LOW</sub>		1.3			μs
High Time SCL Clock	t <sub>HIGH</sub>		0.6			μs
Setup Time for Repeated Start Condition	t <sub>SU;STA</sub>		0.6			μs
Hold Time for Repeated Start Condition	t <sub>HD;STA</sub>		0.6			μs

電気的特性 — I<sup>2</sup>C (続き)

(タイミング仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Setup Time	t <sub>SU;DAT</sub>			125		ns
Data Hold Time	t <sub>HD;DAT</sub>			10		ns
Rise Time for SDA and SCL	t <sub>R</sub>			30		ns
Fall Time for SDA and SCL	t <sub>F</sub>			30		ns
Setup Time for a Stop Condition	t <sub>SU;STO</sub>		0.6			μs
Bus Free Time Between a Stop and Start Condition	t <sub>BUS</sub>		1.3			μs
Data Valid Time	t <sub>VD;DAT</sub>		0.9			μs
Data Valid Acknowledge Time	t <sub>VD;ACK</sub>		0.9			μs
<b>FAST MODE PLUS</b>						
Output Fall Time	t <sub>OF</sub>	From V <sub>IH(MIN)</sub> to V <sub>IL(MAX)</sub>		80		ns
Pulse Width Suppressed by Input Filter	t <sub>SP</sub>			75		ns
SCL Clock Frequency	f <sub>SCL</sub>		0		1000	kHz
Low Period SCL Clock	t <sub>LOW</sub>		0.5			μs
High Time SCL Clock	t <sub>HIGH</sub>		0.26			μs
Setup Time for Repeated Start Condition	t <sub>SU;STA</sub>		0.26			μs
Hold Time for Repeated Start Condition	t <sub>HD;STA</sub>		0.26			μs
Data Setup Time	t <sub>SU;DAT</sub>			50		ns
Data Hold Time	t <sub>HD;DAT</sub>			10		ns
Rise Time for SDA and SCL	t <sub>R</sub>			50		ns
Fall Time for SDA and SCL	t <sub>F</sub>			30		ns
Setup Time for a Stop Condition	t <sub>SU;STO</sub>		0.26			μs
Bus Free Time Between a Stop and Start Condition	t <sub>BUS</sub>		0.5			μs
Data Valid Time	t <sub>VD;DAT</sub>		0.45			μs
Data Valid Acknowledge Time	t <sub>VD;ACK</sub>		0.45			μs

電気的特性 — I<sup>2</sup>S

(タイミング仕様は設計により確保されていますが、製品テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Bit Clock Frequency	$f_{\text{BCLKS}}$				25	MHz
Bit Clock Period	$t_{\text{BCLKS}}$		$1/f_{\text{BCLKS}}$			ns
BCLK High Time	$t_{\text{WBCLKHS}}$			0.5		$1/f_{\text{BCLKS}}$
BCLK Low Time	$t_{\text{WBCLKLS}}$			0.5		$1/f_{\text{BCLKS}}$
LRCLK Setup Time	$t_{\text{LRCLK\_BCLKS}}$			25		ns
Delay Time, BCLK to SD (Output) Valid	$t_{\text{BCLK\_SDOS}}$			12		ns
Setup Time for SD (Input)	$t_{\text{SU\_SDIS}}$			6		ns
Hold Time SD (Input)	$t_{\text{HD\_SDIS}}$			3		ns

Note 1 : ゲイン誤差にゼロスケール誤差は含まれません。(フルスケール誤差 - オフセット誤差)で計算されます。

Note 2 : ppmFSIはフルスケールの百万分率です。

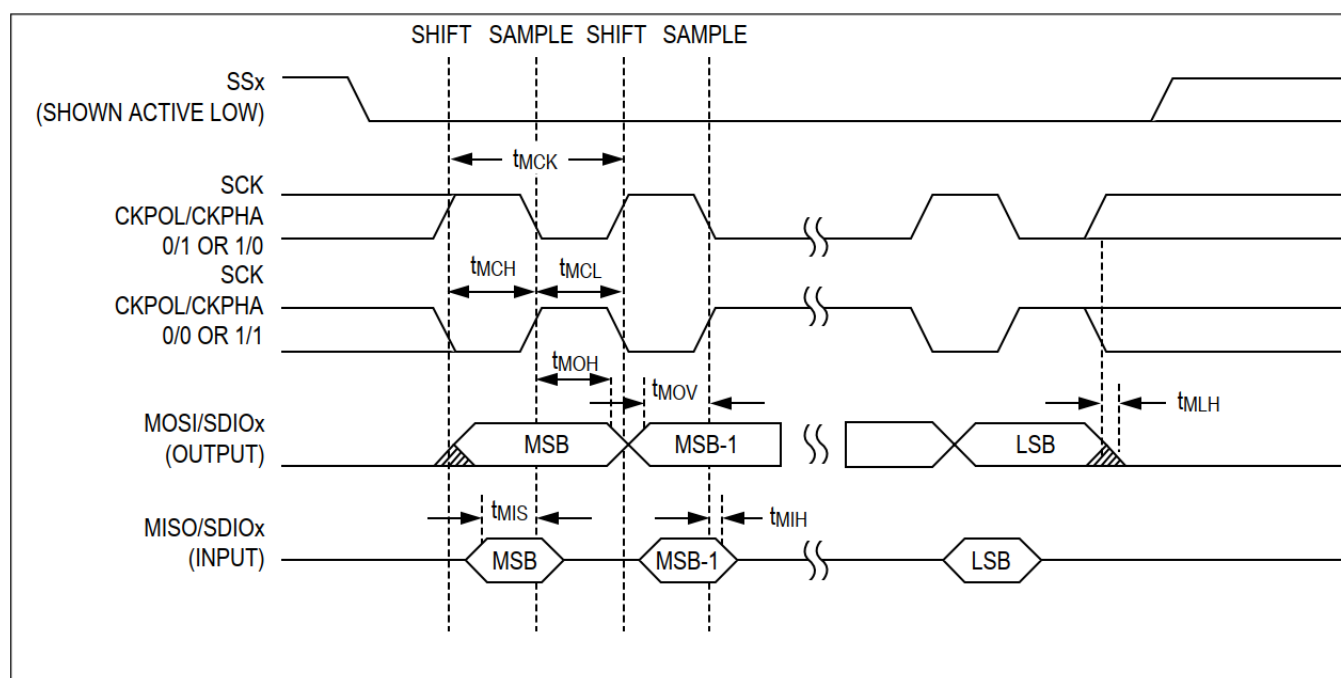


図1. SPIマスタ・モードのタイミング図

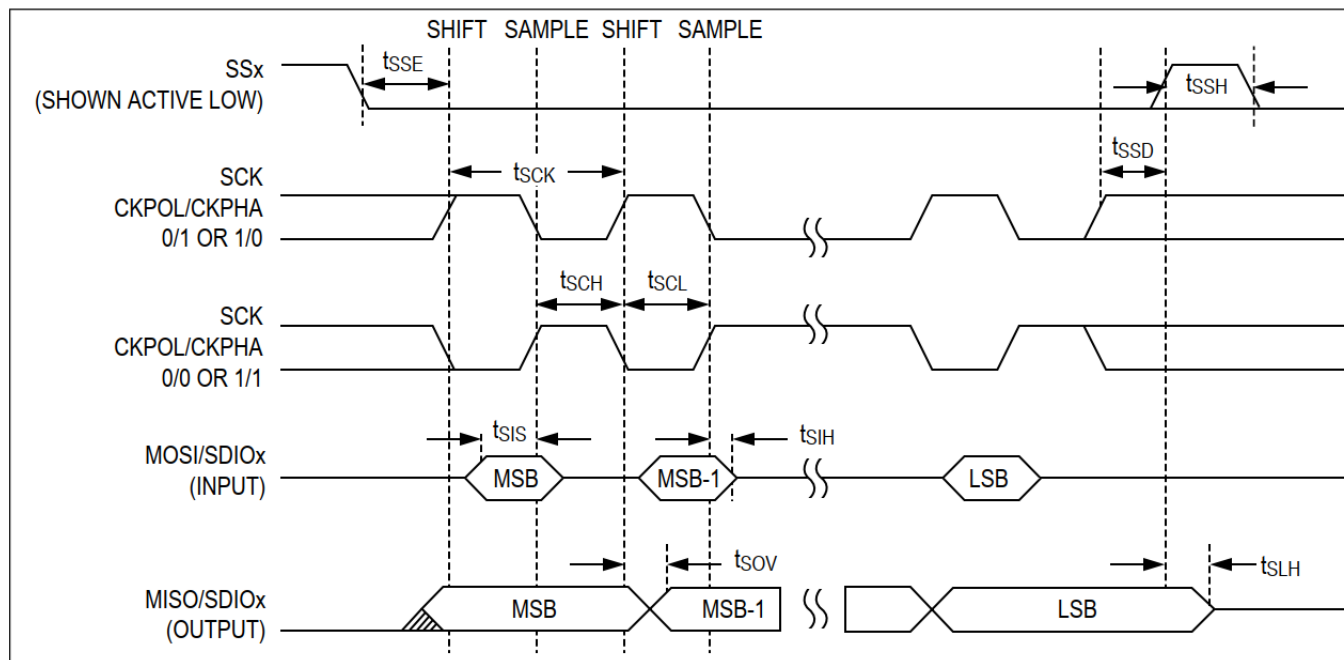


図2. SPIスレーブ・モードのタイミング図

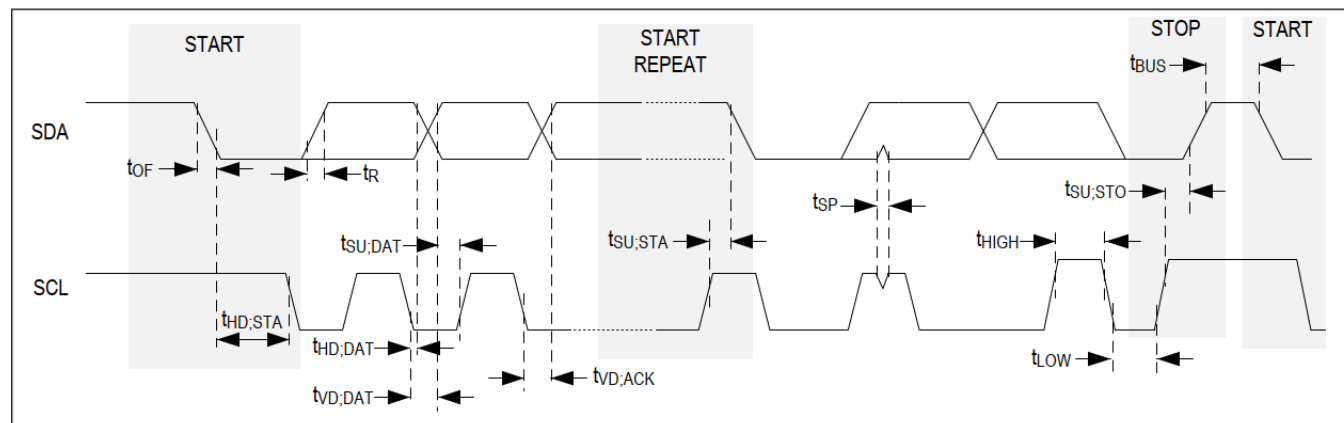


図3. I<sup>2</sup>Cのタイミング図



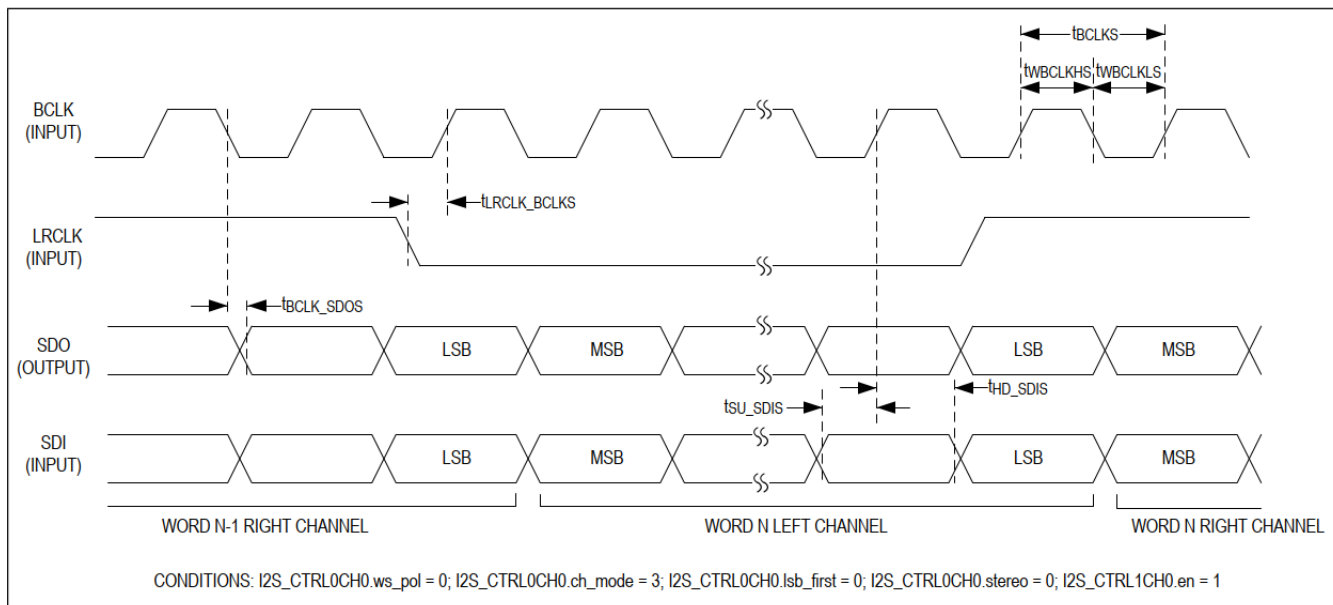
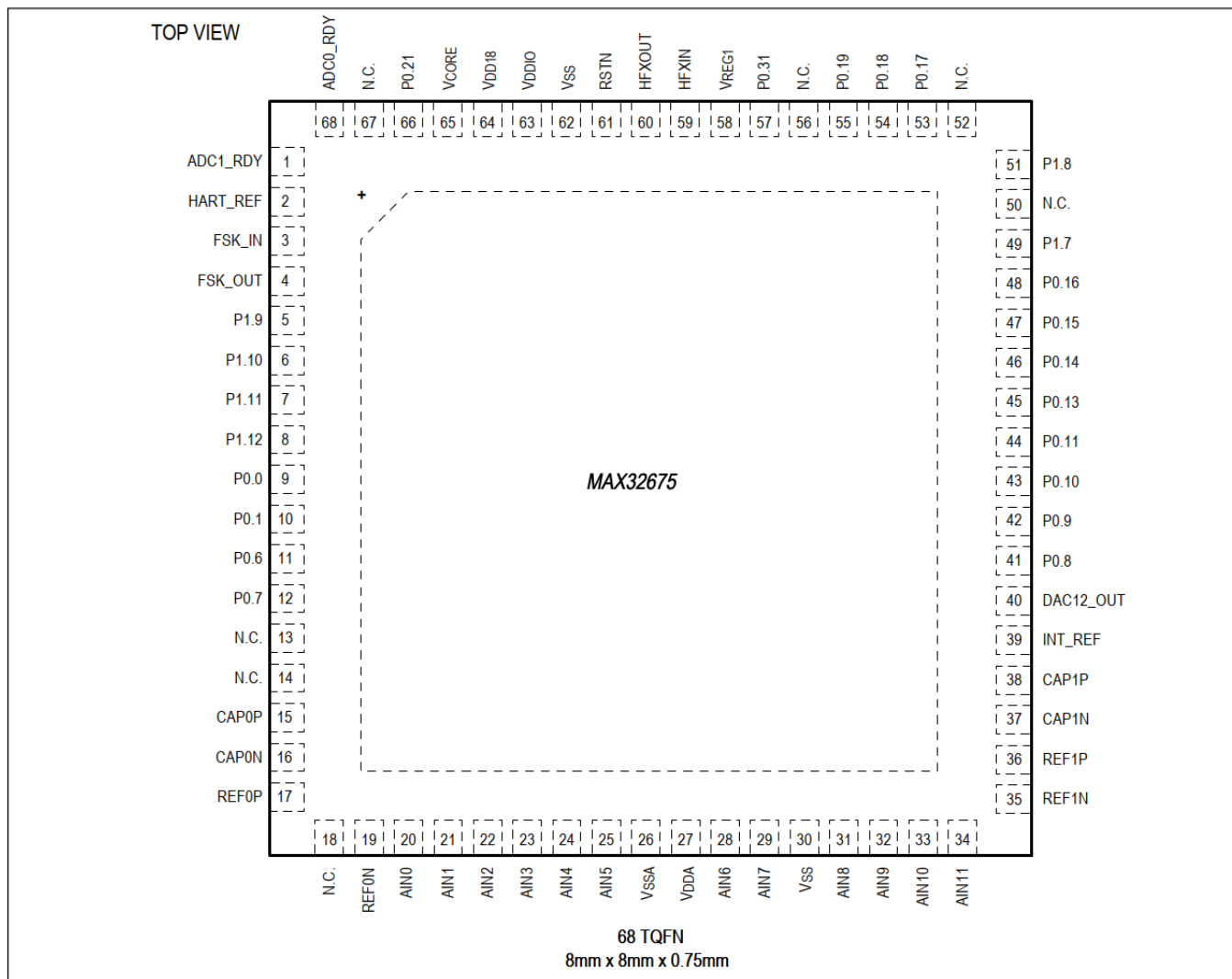


図4. I2Sのタイミング図

## ピン配置

## 68 TQFN



## 端子説明

端子	名称	機能モード				機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	
POWER (バイパス・キャパシタの推奨事項については、 <a href="#">アプリケーション情報</a> のセクション参照)						
65	V <sub>CORE</sub>	—	—	—	—	デジタル電源入力。100nFおよびESRが10mΩ~150mΩの1μFを用いてV <sub>SS</sub> にバイパスします。

## 68 TQFN

端子	名称	機能モード				機能	
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3		代替機能4
64	VDD18	—	—	—	—	—	このデバイス・ピンは、LDO出力または電源電圧入力として設定できます。100nFでV <sub>SS</sub> にバイパスします。このデバイス・ピンはその他の外部回路には接続しないでください。
63	VDDIO	—	—	—	—	—	電源入力。このピンは、常にPCBレベルでV <sub>DDA</sub> デバイス・ピンに接続する必要があります。このピンは、100nFおよびESRが10mΩ~150mΩの1μFを用いてV <sub>SS</sub> にバイパスします。
27	VDDA	—	—	—	—	—	アナログ電源電圧。このピンは、常にPCBレベルでV <sub>DDIO</sub> デバイス・ピンに接続する必要があります。このピンは、1.0μFおよび0.01μFのキャパシタをパッケージのできるだけ近くに配置してV <sub>SSA</sub> にバイパスします。
58	VREG1	—	—	—	—	—	4.7nFでV <sub>SS</sub> にバイパスします。このデバイス・ピンはその他の外部回路には接続しないでください。
30, 62	VSS	—	—	—	—	—	デジタル・グラウンド
26	VSSA	—	—	—	—	—	アナログ・グラウンド。
EP	Exposed Pad	—	—	—	—	—	露出パッド。このパッドはV <sub>SS</sub> に接続する必要があります。詳細については、アプリケーション・ノート3273: Exposed Pads: A Brief Introductionを参照してください。
RESET AND CONTROL							
61	RSTN	—	—	—	—	—	アクティブ・ローの外部システム・リセット入力。このピンがアクティブ状態の間、このデバイスはリセット状態のままになります。非アクティブ状態に変化すると、デバイスはPORリセット (すべての電源の全ロジックをリセット) を実行し、デバイス動作を開始します。このピンは、内部でV <sub>DDIO</sub> 電源にプルアップされます。
CLOCK							
59	HFXIN	—	—	—	—	—	RF水晶発振器の入力。HFXINとHFXOUTの間に水晶発振器を接続します。オプションで、このピンを外部方形波源の入力として設定することもできます。水晶発振器の要件の詳細については、電氣的特性の表を参照してください。

## 68 TQFN

端子	名称	機能モード					機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	代替機能4	
60	HFXOUT	—	—	—	—	—	RF水晶発振器の出力。HFXINとHFXOUTの間に水晶発振器を接続します。水晶発振器の要件の詳細については、 <a href="#">電気的特性</a> の表を参照してください。
N.A.	EXT_CLK	—	—	—	—	—	詳細については、端子説明のP0.10を参照してください。
16-/24-BIT DELTA-SIGMA ADC WITH PGA							
68	ADC0_RDY	—	—	—	—	—	ADC0レディ
1	ADC1_RDY	—	—	—	—	—	ADC1レディ
17	REF0P	—	—	—	—	—	正の差動リファレンス0入力。REF0PはREF0Nよりも正側に大きな値でなければなりません。
19	REF0N	—	—	—	—	—	負の差動リファレンス0入力。REF0PはREF0Nよりも正側に大きな値でなければなりません。
36	REF1P	—	—	—	—	—	正の差動リファレンス1入力。REF1PはREF1Nよりも正側に大きな値でなければなりません。
35	REF1N	—	—	—	—	—	負の差動リファレンス1入力。REF1PはREF1Nよりも正側に大きな値でなければなりません。
15	CAP0P	—	—	—	—	—	ADC0 PGAの正側出力。CAP0PとCAP0Nの間には1nFのセラミック・キャパシタを接続します。
16	CAP0N	—	—	—	—	—	ADC0 PGAの負側出力。CAP0PとCAP0Nの間には1nFのセラミック・キャパシタを接続します。
38	CAP1P	—	—	—	—	—	ADC1 PGAの正側出力。CAP1PとCAP1Nの間には1nFのセラミック・キャパシタを接続します。
37	CAP1N	—	—	—	—	—	ADC1 PGAの負側出力。CAP1PとCAP1Nの間には1nFのセラミック・キャパシタを接続します。
20	AIN0	—	—	—	—	—	チャンネル0のアナログ入力/正側差動リファレンス入力アナログ入力として用いる場合、正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。AIN1と組み合わせたリファレンス入力として用いる場合は、AIN0がAIN1よりも正側に大きな値でなくてはなりません。

## 68 TQFN

端子	名称	機能モード					機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	代替機能4	
21	AIN1	—	—	—	—	—	チャンネル1のアナログ入力/負側差動リファレンス入力アナログ入力として用いる場合、正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。AIN0と組み合わせたりファレンス入力として用いる場合は、AIN0がAIN1よりも正側に大きな値でなくてはなりません。
22	AIN2	—	—	—	—	—	チャンネル2のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
23	AIN3	—	—	—	—	—	チャンネル3のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
24	AIN4	—	—	—	—	—	チャンネル4のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
25	AIN5	—	—	—	—	—	チャンネル5のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
28	AIN6	—	—	—	—	—	チャンネル6のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
29	AIN7	—	—	—	—	—	チャンネル7のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
31	AIN8	—	—	—	—	—	チャンネル8のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
32	AIN9	—	—	—	—	—	チャンネル9のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。

## 68 TQFN

端子	名称	機能モード					機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	代替機能4	
33	AIN10	—	—	—	—	—	チャンネル10のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
34	AIN11	—	—	—	—	—	チャンネル11のアナログ入力。他のAINxアナログ入力と組み合わせた正側および負側のどちらの差動入力としても機能できます。電流源出力としても機能できます。
12-BIT DAC							
40	DAC12_OUT	—	—	—	—	—	12ビットDACのアナログ電圧出力。
INTERNAL REFERENCE							
39	INT_REF	—	—	—	—	—	内部基準出力。この出力はを 4.7 $\mu$ F のコンデンサで V <sub>SSA</sub> にバイパスする必要があります。
GPIO AND ALTERNATE FUNCTION							
9	P0.0	P0.0	SWDIO	—	TMR0C_IA	—	単線式デバッグI/O ; Timer0ポート・マップC入力
10	P0.1	P0.1	SWDCLK	—	TMR0C_OA	—	単線式デバッグ・クロック ; Timer0ポート・マップC出力
11	P0.6	P0.6		P0.6		P0.6	I2C0ポート・マップAシリアル・クロック ; 低消費電力Timer0ポート・マップB入力32ビットまたは下位16ビット ; Timer3ポート・マップC入力32ビットまたは下位16ビット
12	P0.7	P0.7		P0.7		P0.7	I2C0ポート・マップAシリアル・データ ; 低消費電力Timer0ポート・マップB出力32ビットまたは下位16ビット ; Timer3ポート・マップC出力32ビットまたは下位16ビット
41	P0.8	P0.8	UART0A_RX	I2S0B_SDO	TMR0C_IA	—	UART0ポート・マップA Rx ; I2S0ポート・マップBシリアル・データ出力 ; Timer0ポート・マップC入力32ビットまたは下位16ビット
42	P0.9	P0.9	UART0A_TX	I2S0B_LRC LK	TMR0C_OA	—	UART0ポート・マップA Tx ; I2S0ポート・マップB左/右クロック ; Timer0ポート・マップC出力32ビットまたは下位16ビット

## 68 TQFN

端子	名称	機能モード					機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	代替機能4	
43	P0.10	P0.10	UART0A_CTS	I2S0B_BCLK	TMR1C_IA	EXT_CLK	UART0ポート・マップA CTS ; I2S0ポート・マップBビット・クロック ; Timer1ポート・マップC入力32ビットまたは下位16ビットこのピンはクロック信号源として用いることができます。また、クロック信号を受信するために用いることもできます。このクロック信号は、16/24ビットのデルタシグマ・コンバータに使用できません。External_Clockパラメータについては、 <a href="#">電気的特性の表</a> を参照してください。
44	P0.11	P0.11	UART0A_RTS	I2S0B_SDI	TMR1C_OA	—	UART0ポート・マップA RTS ; I2S0ポート・マップBシリアル・データ入力 ; Timer1ポート・マップC出力32ビットまたは下位16ビット
45	P0.13	P0.13	—	—	TMR2C_OA	SPI1D_SS0	Timer2ポート・マップ出力32ビットまたは下位16ビット ; SPI1ポート・マップDスレーブ・セレクト0
46	P0.14	P0.14	SPI1A_MISO	UART2B_RX	TMR3C_IA	—	SPI1ポート・マップAマスタ・イン・スレーブ・アウト ; UART2ポート・マップRx ; Timer3ポート・マップC入力32ビットまたは下位16ビット
47	P0.15	P0.15	SPI1A_MOSI	UART2B_TX	TMR3C_OA	—	SPI1ポート・マップAマスタ・アウト・スレーブ・イン ; UART2ポート・マップB Tx ; Timer3ポート・マップB出力32ビットまたは下位16ビット
48	P0.16	P0.16	SPI1A_SCK	UART2B_CTS	TMR0C_IA	—	SPI1ポート・マップAシリアル・クロック ; UART2ポート・マップB CTS ; Timer0ポート・マップC入力32ビットまたは下位16ビット
53	P0.17	P0.17	SPI1A_SS0	UART2B_RTS	TMR0C_OA	—	SPI1ポート・マップAスレーブ・セレクト0 ; UART2ポート・マップB RTS ; Timer0ポート・マップC出力32ビットまたは下位16ビット
54	P0.18	P0.18	I2C2A_SCL	—	TMR1C_IA	—	I2C2ポート・マップAシリアル・クロック、Timer1ポート・マップC入力32ビットまたは下位16ビット
55	P0.19	P0.19	I2C2A_SDA	—	TMR1C_OA	—	I2C2ポート・マップAシリアル・データ ; Timer1ポート・マップC出力32ビットまたは下位16ビット
66	P0.21	P0.21	CM4_TX	—	TMR2C_OA	—	CM4 Txイベント出力 ; Timer2ポート・マップC出力32ビットまたは下位16ビット
57	P0.31	P0.31	-	—	TMR3C_OA	—	Timer3ポート・マップC出力32ビットまたは下位16ビット
49	P1.7	P1.7	—	—	—	—	GPIOのみ
51	P1.8	P1.8	UART2A_RX	UART2B_RTS	—	—	UART2ポート・マップA Rx ; UART2ポート・マップB RTS

## 68 TQFN

端子	名称	機能モード					機能
		主信号 (デフォルト)	代替機能1	代替機能2	代替機能3	代替機能4	
5	P19	P1.9	UART2A_TX	—	—	—	UART2ポート・マップA Tx
6	P1.10	P1.10	UART2A_CTS	—	—	—	UART2ポート・マップA CTS
7	P1.11	P1.11	UART2A_RTS	—	TMR2C_OA	—	UART2ポート・マップA RTS ; Timer2ポート・マップC出力32ビットまたは下位16ビット
8	P1.12	P1.12	—	—	—	—	GPIOのみ
NO CONNECT							
3	FSK_IN	—	—	—	—	—	接続なし。内部で接続。このピンには、電源グラウンドを含め電氣的な接続はしないでください。
4	FSK_OUT	—	—	—	—	—	接続なし。内部で接続。このピンには、電源グラウンドを含め電氣的な接続はしないでください。
2	HART_REF	—	—	—	—	—	このピンは、0.1μFのキャパシタに接続する必要があります。
13, 14, 18, 50, 52, 56, 67	N.C.	—	—	—	—	—	接続なし。内部接続されていません。



## 機能図

## 電源の動作モード

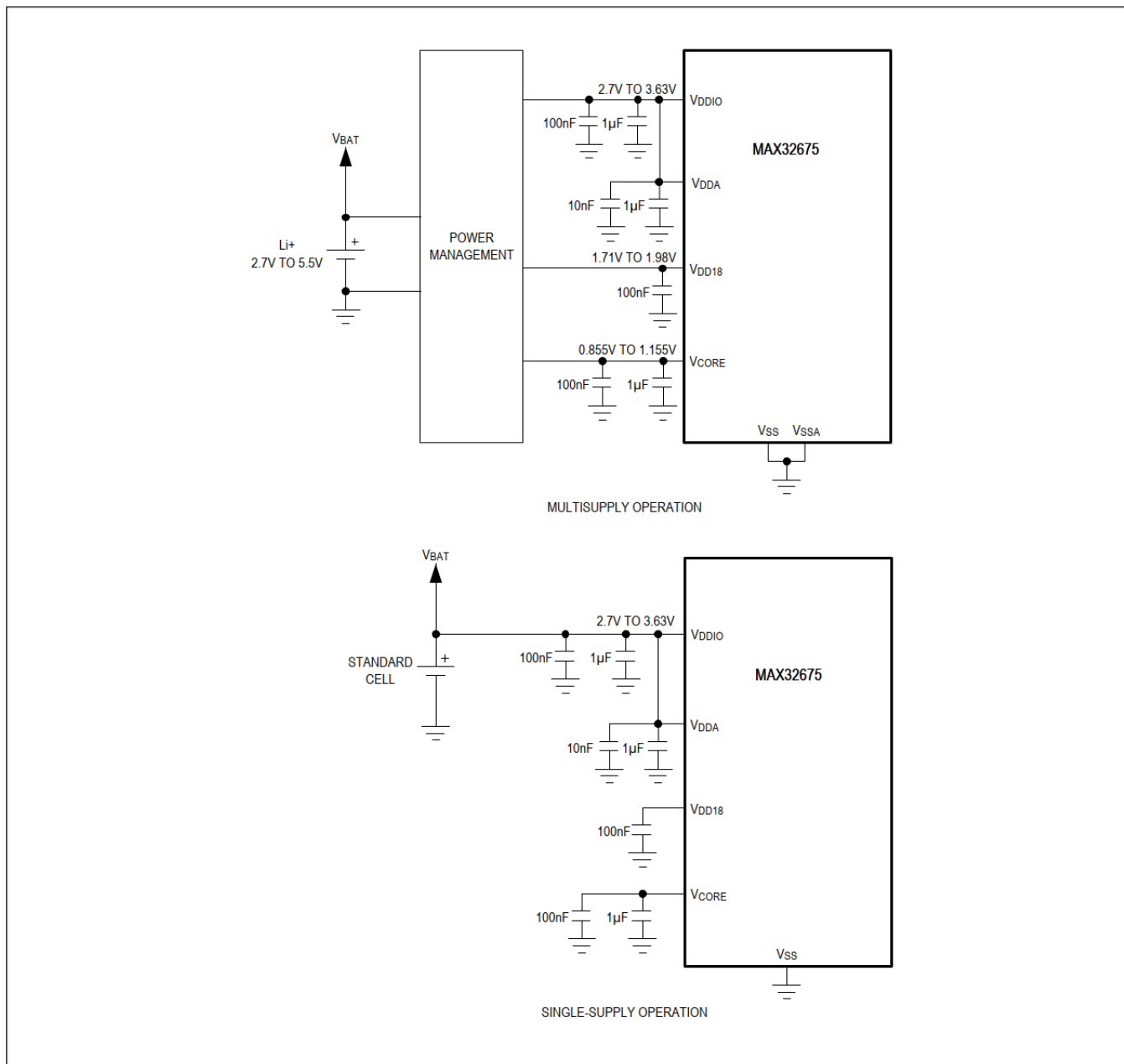


図5. 電源の動作モード

## 詳細

MAX32675は産業用アプリケーション向けの高集積ミックスド・シグナル超低消費電力マイクロコントローラで、特に4mA~20mAのループ駆動センサーやトランスミッタに最適です。このデバイスは、FPUを搭載した超低消費電力Arm Cortex-M4をベースとし、384KBのフラッシュと160KBのSRAMを内蔵しています。SEC-DEDが可能なECCがフラッシュ、SRAM、キャッシュ全体にわたり採用されており、要求の厳しいアプリケーション向けに信頼性の極めて高いコード実行を実現します。

AFEは、高精度センサー計測用に最適化された機能およびスペックを有する2つの12チャンネル $\Delta$ - $\Sigma$  ADCを備えています。 $\Delta$ - $\Sigma$  ADCはそれぞれ、外部アナログ信号に加えシステム温度や電源もデジタル化できます。各ADCの前段には1倍~128倍のゲインが可能なPGAがあります。ADCの出力は、オプションで整数から単精度浮動小数点形式にオン・ザ・フライで変換できます。12ビットのDACも内蔵しています。内部温度センサーを内部検出素子または外部ダイオードと併用して、センサー出力の温度補償を行うことができます。

また、このデバイスには信頼保護ユニット (TPU) も内蔵されており、AECエンジン、TRNG、セキュア・ブートなどの堅牢なセキュリティ機能を実現します。

## FPUエンジンを搭載したArm Cortex-M4プロセッサ

FPUを搭載したArm Cortex-M4プロセッサは、高効率の信号処理機能と、低消費電力、低コスト、使いやすさを兼ね備えています。

FPUを搭載したArm Cortex-M4は、SIMD (単一命令複数データ) パスのDSP拡張機能をサポートしており、以下が可能です。

- 4つの並列8ビット加算/減算
- 単精度浮動小数点
- 2つの並列16ビット加算/減算
- 2つの並列MAC
- 32ビットまたは64ビットの積算
- 飽和ありまたはなしの符号付きまたは符号なしデータ

## メモリ

### 内蔵フラッシュ・メモリ

誤り訂正機能付きの384KB内部フラッシュ・メモリにより、プログラム・メモリおよびデータ・メモリの不揮発性ストレージが可能です。

### 内部SRAM

160KBの内蔵SRAMは、STORAGEモードを除くすべての電力モードでアプリケーション情報を低消費電力で保持します。システムの信頼性を強化するため、SRAMを、128KBでECCの1ビット誤り訂正2ビット誤り検出 (SEC-DED) 機能を備えたものとして構成できます。SRAMは、細かいバンクに分割して、柔軟性のあるSRAM保持アーキテクチャを作成することができます。このデータ保持機能はオプションであり、自由に設定可能です。このように細分化が可能なので、アプリケーションは重要なデータのみを保持することで、消費電力を最小限に抑えることができます。

## クロック方式

複数のクロック源をシステム・クロックとして選択できます。

- 公称周波数100MHzで動作する内部プライマリ発振器 (IPO)
- 80kHzの内部ナノリング発振器
- 7.3728MHzの内部ポー・レート発振器 (IBRO)
- 16MHz~32MHzの外部RF発振器 (ERFO) (外部水晶発振器が必要)

AFEはSPIOで設定され、内部の $\Delta$ - $\Sigma$ クロック発生またはEXT\_CLK信号によってクロックが供給されます。AOD内のLPTMR0には、APBクロックまたはINROによってクロックを供給できます。

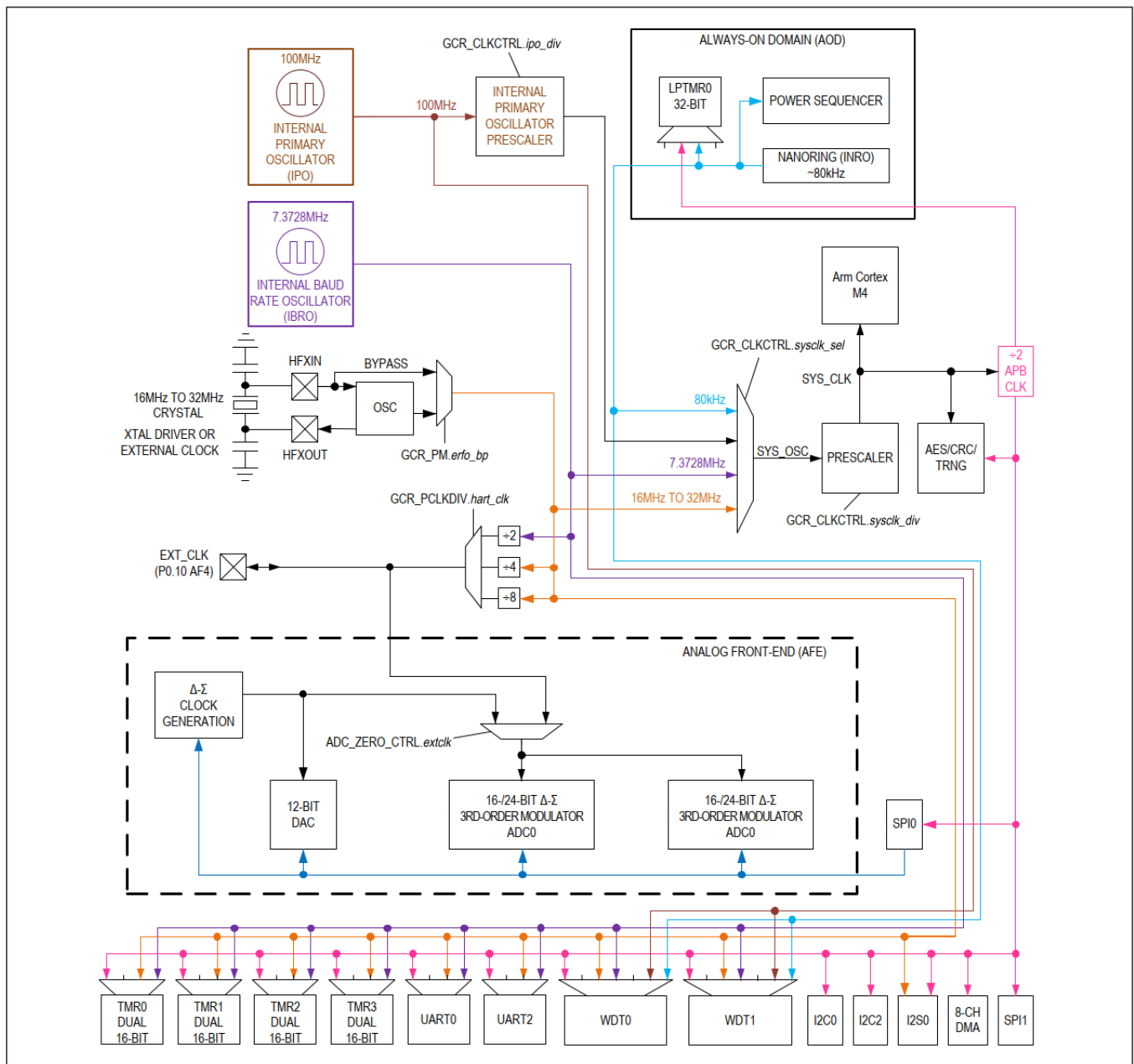


図6. クロック方式の図

## 汎用I/Oと特定機能ピン

大半の汎用I/O (GPIO) ピンは、ファームウェアで制御されるI/O機能と、ペリフェラル・モジュールに関連する1つ以上の特定機能信号の両方を共有しています。各ピンは個別に、GPIO用またはペリフェラルの特定機能用に有効化できます。ピンを特定機能に設定すると、通常、ファームウェア制御I/Oとしての使用はできなくなります。ペリフェラル機能とGPIO機能のマルチプレックスは、通常は静的ですが、動的なものにすることもできます。GPIOピンの電気的特性は、ピンがI/Oに設定されているか特定機能として設定されているかにかかわらず同一です。ただし、電気的特性の表に明示的に記載されている場合を除きます。

GPIOモードでは、ポートの各ピンに割込み機能があり、この機能を個別に有効化して、レベルまたはエッジに依存する割込みとして設定できます。すべてのGPIOは同じ割込みベクトルを共有しています。パッケージによっては、必ずしもすべてのGPIOが利用できるわけではありません。

GPIOとして設定すると、次の機能が可能となります。これらの機能は、ピンごとに個別に有効化または無効化できます。

- 入力、出力、双方向、高インピーダンスのいずれかに設定可能
- 入力として設定した場合、内部プルアップ抵抗または内部プルダウン抵抗をオプションで選択可能
- 立上がりエッジまたは立下がりエッジで低消費電力モードを終了
- 標準ドライブ・モードまたは高ドライブ・モードを選択可能

MAX32675では、最大で23個のGPIOが使用可能です。

## パワー・マネージメント

### パワー・マネージメント・ユニット (PMU)

PMUでは、高性能と低消費電力の最適な組み合わせが可能です。PMUは、CPUおよびペリフェラル回路への配電のインテリジェントで正確な制御を行います。

PMUは以下の特長を備えています。

- ユーザ設定可能なシステム・クロック
- 電力モードに基づき水晶発振器を自動的に有効化および無効化
- 複数のクロック・ドメイン
- アクティビティが検出されるとパワーダウンしているペリフェラルを迅速にウェイクアップ

### ACTIVEモード

このモードでは、CPUがアプリケーション・コードを実行します。また、すべてのデジタルおよびアナログのペリフェラルを必要に応じて利用できます。ダイナミック・クロッキングでは、使用していないペリフェラルのローカル・クロックは無効化されます。このモードは、FPUを搭載したArm Cortex-M4プロセッサのActiveモードに対応しています。AFEの電力モードはソフトウェアで制御されます。

### SLEEPモード

このモードでは、ACTIVEモードより低い消費電力での動作が可能になります。CPUがスリープ状態になり、ペリフェラルがオンになり、標準DMAブロックが利用可能になります。GPIOまたは任意のアクティブなペリフェラルは、割込みを発生させてACTIVEモードに遷移させるように設定可能です。このモードは、FPUを搭載したArm Cortex-M4プロセッサのSleepモードに対応しています。AFEの電力モードはソフトウェアで制御されます。

### DEEPSLEEPモード

このモードでは、CPUおよび重要なペリフェラルの設定値とすべての揮発性メモリが保存されます。

デバイスのステータスは以下のとおりです。

- CPUの電源は切断。システムの状態とすべてのSRAMは保持されます。
- GPIOピンはその状態を保持。
- DEEPSLEEPモードからACTIVEモードへの遷移は、システムの初期化が不要なため、BACKUPモードからの遷移よりも高速。
- システムの発振器はすべて無効化されて、SLEEPモードよりも更に節電が可能。
- LPTMR0はアクティブにすることができ、オプションでウェイクアップ・ソースとなる。

このモードは、FPUを搭載したArm Cortex-M4プロセッサのDeepSleepモードに対応しています。AFEの電力モードはソフトウェアで制御されます。

### BACKUPモード

このモードでは、CPUは静的な低消費電力状態になります。BACKUPモードは、DEEPSLEEPモードと同じウェイクアップ・ソースに対応します。

デバイスのステータスは以下のとおりです。

- CPUの電源は切断。
- SRAMの保持は表1に従う。RAMブロックごとに保持できます。
- LPTMR0はアクティブにすることができ、オプションでウェイクアップ・ソースとなる。

AFEの電力モードはソフトウェアで制御されます。

**表1. BACKUPモードのRAM保持**

RAM BLOCK	RAM SIZE WITHOUT ECC (KB)	RAM SIZE WITH ECC (KB)
SYSRAM0	20	16
SYSRAM1	20	16
SYSRAM2	40	32
SYSRAM3	80	64

## STORAGEモード

デバイスのステータスは以下のとおりです。

- CPUの電源が切断。
- すべてのペリフェラルの電源が切断。
- GPIO割込みからのウェイクアップ。
- SRAMの保持なし。

AFEの電力モードはソフトウェアで制御されます。

## 標準DMAコントローラ

標準ダイレクト・メモリ・アクセス (DMA) コントローラは、メモリ/ペリフェラルのデータ転送に要するCPUの負荷を軽減する手段を提供し、より電力効率に優れたシステムを実現します。これにより、2つのエンティティ間の一方向データ転送を自動的に行うことができます。これらのエンティティは、メモリとペリフェラルのいずれでも構いません。この転送はCPUリソースを用いずに行われます。次の転送モードがサポートされています。

- 8チャンネル
- ペリフェラルからデータ・メモリ
- データ・メモリからペリフェラル
- データ・メモリからデータ・メモリ
- イベントのサポート

すべてのDMAトランザクションは、DMA FIFOへのAHBバースト読出しと、その直後のFIFOからのAHBバースト書込みで構成されています。

## ウィンドウ・ウォッチドッグ・タイマー (WDT)

マイクロコントローラは多くの場合、電気ノイズと電磁干渉 (EMI) が多い過酷な環境で使用されます。これらの危害要因に対する適切な保護対策がない場合、デバイスの動作が妨げられ、プログラムの実行でエラーが発生する可能性があります。最も効果的な対策の1つが、コードの暴走やシステムの無応答を検出する、ウィンドウ・ウォッチドッグ・タイマー (WDT) です。

WDTは、設定可能なプリスケアラを備えた32ビットのフリーランニング・カウンタです。WDTは、有効になっている場合、アプリケーション・ソフトウェアによって定期的リセットする必要があります。ユーザが設定可能なタイムアウト時間内にWDTをリセットできない場合、アプリケーション・ソフトウェアが正しく動作していないことを示し、WDTタイムアウトが発生します。WDTタイムアウトは、割込み、システム・リセット、またはその両方を引き起こすことがあります。いずれの応答も、命令ポインタを既知の適正な場所に強制移動させてから、命令の実行を再開します。ウィンドウ・タイムアウト時間の機能により、指定した時間ウィンドウ内でWDTをリセットすることが必要となり、システム動作をより詳細にモニタできます。

WDTは、以下の複数のクロック・オプションに対応しています。

- 100MHzのIPO
- 16Mhz~32MHzのERFO (外部水晶発振器が必要)
- 7.3728MHzのIBRO
- 80kHzのINRO
- PCLK

MAX32675にはウィンドウ・ウォッチドッグ・タイマーの2つのインスタンスがあります (WDT0およびWDT1)。

## 32ビット・タイマー／カウンタ／PWM (TMR、LPTMR)

汎用の32ビット・タイマーにより、タイミングの調整、キャプチャ／比較、またはパルス幅変調 (PWM) 信号の生成が、最小限のソフトウェア操作で可能となります。

このタイマーは以下をサポートしています。

- 32ビット・アップ／ダウン自動リロード
- プログラマブル・プリスケアラ
- PWM出力生成
- キャプチャ、比較、キャプチャ／比較機能
- タイマー入力、クロック・ゲーティング、またはキャプチャ用のGPIOとマルチプレックスされた外部ピン
- タイマー出力ピン
- 2×16ビットの汎用タイマーとして設定可能なTMR0～TMR3
- タイマー割込み

MAX32675は、表2に示すタイマー・インスタンスを備えています。LPTMRxは、より低消費電力のSLEEP、DEEPSLEEP、BACKUPの各モードで動作可能です。

I/O機能はすべてのタイマーでサポートされていますただし、ポートの機能はGPIOピンの他の機能とマルチプレックスできるため、デバイスの設定によっては、すべてのポートを使用できるわけではない可能性があります。

表2. タイマー設定のオプション

INSTANCE	SINGLE 32 BIT	DUAL 16 BIT	POWER MODE	CLOCK SOURCE				
				AOD_PCLK	PCLK	IBRO	ERFO	INRO
TMR0	Yes	Yes	ACTIVE SLEEP	No	Yes	Yes	Yes	No
TMR1	Yes	Yes	ACTIVE SLEEP	No	Yes	Yes	Yes	No
TMR2	Yes	Yes	ACTIVE SLEEP	No	Yes	Yes	Yes	No
TMR3	Yes	Yes	ACTIVE SLEEP	No	Yes	Yes	Yes	No
LPTMR0	Yes	No	ACTIVE SLEEP	Yes	No	No	No	Yes
			DEEPSLEEP BACKUP	No				

## シリアル・ペリフェラル

### I<sup>2</sup>Cインターフェース (I2C)

I<sup>2</sup>Cインターフェースは、中程度の速度の通信ネットワークを提供する双方向の2線式シリアル・バスで、1対1、1対多、または多対多の通信媒体として動作できます。これらのエンジンは、標準モード、ファスト・モード、ファスト・モード・プラス、ハイスピード・モードの各I<sup>2</sup>C速度をサポートしています。これには以下の特長があります。

- マスタまたはスレーブ・モードの動作
  - ・ スレーブ・モードで最大4つの異なるスレーブ・アドレスをサポート
- 標準の7ビット・アドレス指定または10ビット・アドレス指定をサポート
- RESTART条件
- インタラクティブな受信モード
- 送信FIFOプリロード
- クロック・ストレッチングにより、低速のスレーブ・デバイスが高速のバスで動作可能
- 複数の転送レート
  - ・ 標準モード：100kbps
  - ・ ファスト・モード：400kbps
  - ・ ファスト・モード・プラス：1000kbps
  - ・ ハイスピード・モード：3400kbps

- 内部フィルタによるノイズ・スパイク除去
- 8バイトの深度の受信FIFO
- 8バイトの深度の送信FIFO

MAX32675は、表3に示すI<sup>2</sup>Cインスタンスを備えています。

表3. I<sup>2</sup>Cの設定オプション

INSTANCE
I2C0, I2C2

### シリアル・ペリフェラル・インターフェース (SPI)

シリアル・ペリフェラル・インターフェース (SPI) は、単一のバス上で複数のSPIデバイスを接続する、高度に設定可能な柔軟で効率的な同期インターフェースです。このバスは、単一のクロック信号、複数のデータ信号、および1つ以上のスレーブ選択ラインを用いて、目的となるターゲット・デバイスのみをアドレス指定します。SPIは独立して動作するため、プロセッサのオーバーヘッドは最小限で済みます。

提供されているSPIペリフェラルは、スレーブ・モードまたはマスタ・モードのいずれかで動作し、次の特長を備えています。

- SPIモード0、1、2、3でシングルビット通信が可能
- シングルビットのスレーブ・デバイス通信用の3線式または4線式モード
- シングルビット、4線式モードでの全2重動作
- マルチマスタ・モードのフォルト検出
- プログラマブルなインターフェース・タイミング
- プログラマブルなSCK周波数およびデューティ・サイクル
- 32ビットの送信FIFOおよび受信FIFO
- 立上がり/立下がりSCKエッジを基準とする、スレーブ選択のアサート/デアサートのタイミング

MAX32675は、表4に示すSPIインスタンスを備えています。

表4. SPI設定のオプション

INSTANCE	DATA	SLAVE SELECT LINES	MAXIMUM FREQUENCY MASTER MODE (MHz)	MAXIMUM FREQUENCY SLAVE MODE (MHz)
SPI1	3 wire, 4 wire	1	50	50

### I<sup>2</sup>Sインターフェース (I2S)

I<sup>2</sup>Sインターフェースは双方向の4線式シリアル・バスで、1996年6月5日のI<sup>2</sup>Sバス仕様に適合したコーデックおよびオーディオ・アンプ向けのシリアル通信を可能にします。これには以下の特長があります。

- マスタ・モードおよびスレーブ・モードの動作
- 4つのチャンネルをサポート
- 8、16、24、32ビットのフレーム
- 受信および送信DMAのサポート
- FIFOステータス (フル/エンプティ/スレッシュホールド) でのウェイクアップ
- 受信チャンネルのパルス密度変調のサポート
- ワード選択極性制御
- 先頭ビット位置選択
- FIFOステータスに対応した割込みの生成
- 32バイトの深度の受信FIFO
- 32バイトの深度の送信FIFO

MAX32675は、I<sup>2</sup>Sペリフェラルのうち1つのインスタンスを提供します (I2S0)。

### UART

ユニバーサル非同期レシーバー/トランスミッタ (UART) インターフェースは、オプションでハードウェア・フロー制御 (HFC) モードを備えた全2重非同期通信をサポートし、データのオーバーランを防止します。HFCモードが所定のポートで有効な場合、システムは2



個の補助ピンを用いて業界標準のフロー制御信号送信要求 (RTS) および送信許可 (CTS) を行います。各インスタンスは、個別にプログラム可能です。

- 2線式インターフェース、またはフロー制御のある4線式インターフェース
- 8バイトの送受信FIFO
- 非同期データ転送に対応した全2重動作
- フレーム・エラー、パリティ・エラー、CTS、Rx FIFOオーバーラン、FIFOフル/パーシャルの全条件で割込みが使用可能
- パリティ・エラーとフレーム・エラーの自動検出
- 独立したポー・レート発生器
- プログラマブルな第9ビット・パリティのサポート
- マルチドロップのサポート
- スタート/ストップ・ビットのサポート
- RTS/CTSを用いたハードウェア・フロー制御
- 2つのDMAチャンネルが接続可能 (読出しおよび書込みFIFO)
- プログラマブルなワード・サイズ (5ビット~8ビット)

MAX32675は、表5に示すUARTインスタンスを備えています。

**表5. UART設定のオプション**

INSTANCE	POWER MODE	CLOCK SOURCE				
		AOD_PCLK	PCLK	IBRO	ERFO	INRO
UART0, UART2	ACTIVE	No	Yes	Yes	Yes	No

### プログラマブル・ゲイン・アンプを備えた16/24ビット $\Delta$ - $\Sigma$ A/Dコンバータ

低消費電力、マルチチャンネルの24ビット $\Delta$ - $\Sigma$  ADCは、センサーの高精度計測やその他のアナログ信号源に最適な機能と仕様を備えています。このアーキテクチャは、低ノイズ・プログラマブル・ゲイン・アンプ (PGA)、低消費電力入力バッファ、マッチングの取れたプログラマブル電流源、差動/シングルエンド入力マルチプレクサ、内蔵発振器などで構成されています。

- 1倍~128倍のゲインが設定可能なPGA
  - ・ 極めて高い入力インピーダンス
  - ・ 全体的なダイナミック・レンジを最適化
- 低消費電力入力バッファ
  - ・ 入力のアイソレーションを実現
- 選択可能なリファレンス
  - ・ 内部差動 (VREF)
  - ・ 外部差動
- プログラマブルな電流源
  - ・ 抵抗性センサー用バイアス
  - ・ 16通りの電流レベルを使用可能
  - ・ センサー・ワイヤの断線を検出
- 12のアナログ入力
  - ・ 6つの差動または12のシングルエンド
- 最大で毎秒61440サンプルのサンプル・レート
- FIRデジタル・フィルタ
  - ・ 16msのシングル・サイクル・セトリングが可能
  - ・ 50Hzおよび60Hzでの90dBのノイズ除去
- クロック源内蔵
  - ・ 外付け部品不要
- 外部クロックに対応可能
- サンプル・レディ割込み
  - ・ ADC0\_RDYおよびADC1\_RDY



MAX32675は、マルチプレックスされた12のアナログ入力 (AIN0~AIN11) を共有する、このADCの2つのインスタンス (ADC\_ZERO、ADC\_ONE) を備えています。

## 12ビットD/Aコンバータ

12ビットのD/Aコンバータ (DAC) はシングルエンドの電圧を出力します。これは、静的な出力電圧を生成するよう設定することも、一連のプリロードされたサンプル出力を特定のサンプル・レートで生成するよう設定することもできます。

この12ビットDACのペリフェラルは次の機能をサポートしています。

- 設定可能なクロック・レートおよび出力サンプル・レート。
- 選択可能な出力電圧リファレンス。
- 静的な出力電圧で、プリセットされた数のサンプルを設定可能なサンプル・レートで出力するか、あるいはサンプルを設定可能なサンプル・レートで連続出力するかを設定可能。
- インターポレーション・フィルタにより、線形補間された出力サンプルを出力サンプルの各ペア間に生成することが可能 (2:1、4:1、8:1)。
- DAC出力サンプルはFIFOから引き出されるため、連続的なサンプル出力生成が可能。

## セキュリティ

### AES

ハードウェア・ベースの専用AESエンジンは、次のアルゴリズムをサポートします。

- AES-128
- AES-192
- AES-256

AESキーはエンジンによって自動生成され、改ざんを防ぐために専用のフラッシュに保存されます。キーの生成と保管はユーザに対しトランスペアレントです。

### 真の乱数発生器 (TRNG)

乱数は安全なアプリケーションに不可欠な要素です。TRNGは、暗号化のシードや強力な暗号鍵に用いることができる乱数を生成して、データのプライバシーを確保します。

ソフトウェアは乱数を使用して、非確定的な動作を引き起こす非同期イベントをトリガできます。これは、リプレイ攻撃や鍵探索手法を阻止するのに役立ちます。高エントロピー・ソースが、効力のある真の乱数発生器 (TRNG) を継続的に更新する必要があります。

物理的に予測不可能なエントロピー・ソースが、与えられたTRNGを継続的に駆動します。TRNGは、128システム・クロック・サイクルで128ビットの真の乱数を生成します。

TRNGを用いることで、FIPS 140-2、PCI-PED、Common Criteriaなど、多くのセキュリティ規格をシステム・レベルで有効化できます。特定の規格に対する適合性の詳細については、アナログ・デバイセズにお問い合わせください。

### CRCモジュール

巡回冗長検査 (CRC) のハードウェア・モジュールは、アプリケーション・ソフトウェアによる高速な計算能力とデータ整合性チェック機能を備えています。CRCモジュールは次の多項式をサポートしています。

- CRC-16-CCITT
- CRC-32 ( $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ )

### ブートローダ

ブートローダを用いることで、シリアル・インターフェースを通じてプログラム・メモリのロードと検証ができます。以下の特長があります。

- UARTを介したブートローダ・インターフェース
- Motorola™ SREC形式のファイルのロードをプログラム
- 恒久的なロック状態によりプログラム・メモリの改変や消去を防止
- デバイスIDまたはユーザ・アプリケーションIDのためのUSNへのアクセス
- SWDインターフェースを無効化してデバッグ・アクセス・ポートの機能をブロック

**セキュア・ブート**

各リセット後に、デバイスはセキュア・ブートを実行して、信頼の基点が損なわれていないことを確認できます。セキュア・ブートは、プログラム・メモリの完全性を検証して、それが変更または破損されていないことを確認し、アプリケーション・ソフトウェアの信頼性を確保します。HMAC SHA-256ハッシュがプログラム・メモリ全体にわたって実行され、ブートローダ設定プロセス中にロードされた値と比較されます。2つの値が一致すれば、アプリケーション・ソフトウェアは有効とみなされ、デバイスはコード実行を開始します。完全性チェックに失敗したプログラムは、意図的あるいは非意図的にプログラム・メモリが破損したり変更されたりしていることを示しています。この場合デバイスはセーフ・モードに遷移するため、ユーザのコードは実行されなくなります。開発フェーズの間は、ブートローダを再起動して、新しい信頼できるプログラム・メモリをロードできます。セキュア・ブート機能を備えたデバイスは、ブートローダのコマンドを実行する前にオプションで質問や応答を行って認証を行うこともできます。

**デバッグおよび開発インターフェース (SWD)**

シリアル・ワイヤ・デバッグ・インターフェースは、コードのロードおよびICEデバッグ・アクティビティに使用されます。大量生産のデバイスはすべて、デバッグ/開発インターフェースが有効化されています。

## アプリケーション情報

### バイパス・キャパシタ

バイパス・キャパシタを適切に使用すると、ICが発生するノイズをグランド・プレーンに逃がすことができます。端子説明の表には、バイパス・キャパシタと適切なグランド・プレーンに接続する必要があるピンが示されています。

バイパス・キャパシタは、ICパッケージの各ピン／ボールに1つずつ接続することを推奨します。例えば、端子説明の表で電圧源Aに関連して4個のデバイス・ピンが示されている場合は、各ピンに1つずつ、合計4個のキャパシタを接続する必要があります。

キャパシタはデバイス・ピンのできるだけ近くに配置します。ピンごとに複数の値のキャパシタが推奨されている場合は、キャパシタを並列に配置する必要があります。このとき、まず、値の最も小さいキャパシタをピンに最も近い位置に配置します。

### ブートローダのアクティブ化

デバイスは、リセットされるとブートローダ・スティミュラス・ピンを自動的にテストします。スティミュラス・ピンが表6に示す状態の場合は、デバイスはブートローダをアクティブ化し、ホストが通信を開始するのを待ちます。ブートローダがアクティブ化されると、スティミュラス・ピンを任意の状態に変えることができます。スティミュラス・ピンを非アクティブ状態にして再度リセットを行うと、ブートローダは非アクティブ化されます。

表6. ブートローダのアクティブ化の概要

PART NUMBER	BOOTLOADER COMMUNICATION PORT		ACTIVATION PINS
	RECEIVE	TRANSMIT	
All Versions	UART0A_RX (P0.8)	UART0A_TX (P0.9)	P0.8 (Low), P0.1 (Low)

## オーダー情報

PART	FLASH (KB)	SRAM (KB)	BOOTLOADER	SECURE BOOT	DEFAULT OSCILLATOR AFTER POR	PIN-PACKAGE
MAX32675ATK+	384	160	YES	YES	IPO	68 TQFN
MAX32675ATK+T	384	160	YES	YES	IPO	68 TQFN

T = テープ&リール

MAX32675

高精度アナログ・フロントエンドを備えた  
産業用および医療用センサー向け  
超低消費電力Arm Cortex-M4F

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	8/21	初版発行	-
1	1/22	概要、端子説明、詳細を更新	39, 40, 42