



MAX22211

デュアル・ブラシ付きモータまたは
シングル・ステッピング・モータ駆動用の
36V、3.8AのデュアルHブリッジ

概要

MAX22211 は、36V、3.8A_{MAX}のデュアルHブリッジです。ブラシ付き DC モータ 2 台、またはステッピング・モータ 1 台の駆動に使用できます。H ブリッジ FET は、インピーダンスが非常に低いので、駆動効率が非常に高く、発熱を抑えられます。代表的な合計 R_{ON} (ハイサイド + ローサイド) は 0.25Ω です。各 H ブリッジは、3 つのロジック入力 (DIN1、DIN2、EN) を用いて、個別にパルス幅変調 (PWM) 制御できます。

MAX22211 は、正確な電流駆動レギュレーション (CDR) 機能を備えており、ブラシ付き DC モータの始動電流の制限や、ステッピング動作の相電流の制御に使用できます。ブリッジ出力電流は、非散逸性の統合電流検出 (ICS) によって検出され、ユーザ設定可能なスレッシュホールド (I_{TRIP}) と比較されます。ブリッジ電流が I_{TRIP} スレッシュホールドを超えると、本デバイスは固定オフ時間 (t_{OFF}) の間、強制的に減衰を行います。対応する減衰方法は 4 種類 (低速減衰モード、高速減衰モード、2 種類の混合減衰モード) です。非散逸性 ICS により、この機能に通常必要となる大きな外付けの電力抵抗は不要になり、その結果、外付け検出抵抗を用いる主流のアプリケーションと比較して、大幅な省スペースと省電力を実現します。

2 つのフル・ブリッジの内部で測定された電流は、ISENA ピンと ISENB ピンに反映されます。外付け抵抗を、これらのピンと GND の間に接続すると、モータ電流に比例した電圧が発生します。これらの外付け抵抗間にかかる電圧は、モーション制御アルゴリズムが負荷電流またはトルク情報を必要とする場合、外部モータ・コントローラの A/D コンバータ (ADC) への入力として使用できます。

更に、内部電流レギュレーションがドライバを制御するたびに、2 つのオープンドレイン出力ピン (CDRA、CDRB) がアサートされます。これにより、外部コントローラは内部電流ループの活動を監視できます。

ユーザ設定可能な最大電流レギュレーション閾値 (I_{TRIP_MAX}) は、3.8A で、過電流保護 (OCP) による制限を受けます。 I_{TRIP} 電流閾値は、REFA および REFB ピンと GND の間に外付け抵抗を接続することによって、2 つのフル・ブリッジに対して個別に設定できます。熱について考慮すべき事項がいくつかあるため、標準的な 4 層 PCB の推奨最大電流実効値は、H ブリッジあたり 2ARMS です。

MAX22211 は、OCP、サーマル・シャットダウン (TSD)、不足電圧ロックアウト (UVLO) 保護機能を備えています。オープンドレインのアクティブ・ロー FAULT ピンは、フォルト状態が検出されるたびにアクティブになります。TSD および UVLO イベントの間、ドライバは通常動作が復元されるまで 3 ステートになります。

オーダー情報はデータシート末尾に記載されています。

MAX22211 は、小型の TQFN32 (5mm × 5mm) パッケージまたは TSSOP28 (4.4mm × 9.7mm) パッケージで提供されます。

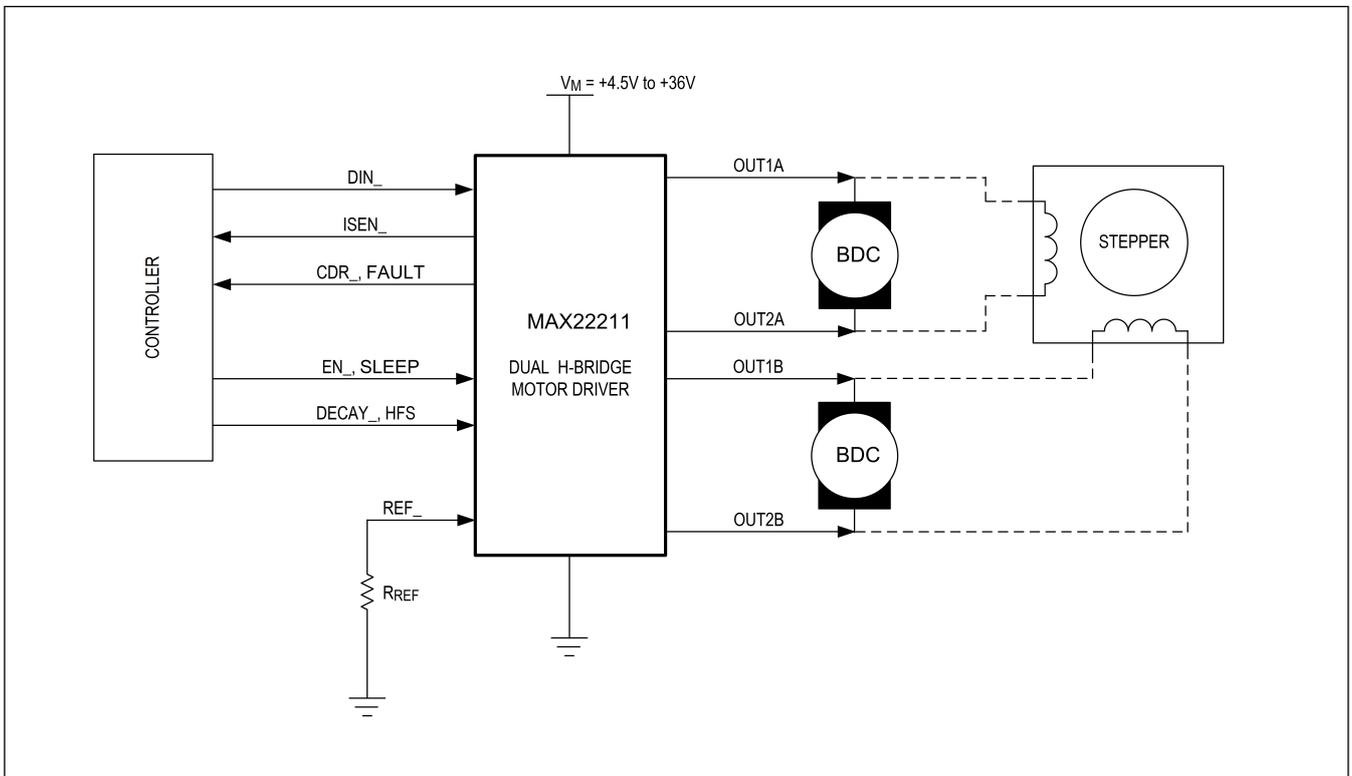
アプリケーション

- ステッピング・モータ・ドライバ
- ブラシ付き DC モータ・ドライバ
- ソレノイド・ドライバ
- ラッチ式バルブ

特長と利点

- 最大動作電圧が +36V の 2 つの H ブリッジ
 - 合計 R_{ON} (ハイサイド + ローサイド) : 250m Ω (代表値、 $T_A = 25^\circ\text{C}$)
- H ブリッジあたりの電流定格 (代表値、 $T_A = 25^\circ\text{C}$)
 - $I_{TRIP_MAX} = 3.8\text{A}$ (内部電流駆動レギュレーションの最大電流設定値)
 - $I_{RMS} = 2A_{RMS}$ (フル・ブリッジあたりの推奨最大電流実効値)
- 統合電流駆動レギュレーション
 - ICS により、大きな外付け抵抗が不要になり、効率が向上
 - 電流駆動レギュレーション・モニタ出力ピン (CDRA、CDRB)
 - 4 種類の減衰モードに対応 (低速減衰、高速減衰、2 種類の混合減衰)
 - 低電流領域での電流制御精度を向上させるハーフ・フルスケール (HFS) ピン
- 電流検出出力 (電流モニタ)
- フォルト・インジケータ・ピン (FAULT)
- 低消費電力モード (スリープ・モード)
- 保護機能
 - 個別チャンネルごとの OCP
 - UVLO
 - TSD $T_J = 165^\circ\text{C}$
- TQFN32 (5mm × 5mm) パッケージ、TSSOP28 (4.4mm × 9.7mm) パッケージ

簡略化したブロック図



目次

概要.....	1
アプリケーション.....	1
特長と利点.....	1
簡略化したブロック図.....	2
絶対最大定格.....	6
パッケージ情報.....	6
TQFN 32 (5mm × 5mm).....	6
TSSOP 28 (4.4mm × 9.7mm).....	6
電気的特性.....	6
標準動作特性.....	10
ピン配置.....	11
TQFNのピン配置.....	11
TSSOPのピン配置.....	12
端子説明.....	12
機能ブロック図.....	14
概略図.....	14
詳細.....	15
スリープ・モード (SLEEPピン).....	15
PWM制御.....	15
電流検出出力 (ISEN) – 電流モニタ.....	15
電流駆動レギュレーション.....	18
電流レギュレーション・スレッシュホルドの設定 – I _{TRIP}	18
CDR オープンドレイン出力.....	19
減衰モードの設定.....	20
保護機能.....	21
過電流保護.....	21
サーマル・シャットダウン保護.....	21
低電圧ロックアウト保護.....	21
代表的なアプリケーション回路.....	22
アプリケーション構成図.....	22
オーダー情報.....	23
改訂履歴.....	24

図一覧

図 1. ISEN 電流	17
図 2. CDR モニタ・タイミング図	20

表一覧

表 1. MAX22211 の真理値表	15
表 2. HFS の真理値表	18
表 3. ゲイン・モードの真理値表	20

絶対最大定格

$V_M \sim GND$	-0.3V ~ +42V	$ISEN_ \sim GND$	-0.3V ~ min (+2.2V, $V_{DD} + 0.3V$)
$V_{DD} \sim GND$	-0.3V ~ min (+2.2V, $V_M + 0.3V$)	$DIN_ \sim GND$	-0.3V ~ +6V
$PGND \sim GND$	-0.3V ~ +0.3V	$EN_ \sim GND$	-0.3V ~ +6V
$OUT_$	-0.3V ~ $V_M + 0.3V$	$HFS \sim GND$	-0.3V ~ +6V
$V_{CP} \sim GND$	$V_M - 0.3V$ to min (+42V, $V_M + 6V$)	$DECAY_ \sim GND$	-0.3V ~ +6V
$CP2 \sim GND$	-0.3V ~ min (+42V, $V_M + 0.3V$)	$SLEEP \sim GND$	-0.3V ~ min (+42V, $V_M + 0.3V$)
$CP1 \sim GND$	$V_M - 0.3V$ to min (+42V, $V_M + 6V$)	動作温度範囲	-40°C ~ +125°C
$\overline{FAULT} \sim GND$	-0.3V ~ 6V	ジャンクション温度	+160°C
$CDR_ \sim GND$	-0.3V ~ 6V	保存温度範囲	-65°C ~ +150°C
$REF_ \sim GND$	-0.3V ~ min (+2.2V, $V_{DD} + 0.3V$)	ハンダ処理温度 (リフロー)	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

TQFN 32 (5mm × 5mm)

Package Code	T3255-8C
Outline Number	21-0140
Land Pattern Number	90-0013
Thermal Resistance, Single-Layer Board:	
Junction to Ambient (θ_{JA})	47°C/W
Junction to Case (θ_{JC})	1.7°C/W
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	29°C/W
Junction to Case (θ_{JC})	1.7°C/W

TSSOP 28 (4.4mm × 9.7mm)

Package Code	U28E+5C
Outline Number	21-0108
Land Pattern Number	90-0147
Thermal Resistance, Four-Layer Board:	
Junction to Ambient (θ_{JA})	24.65
Junction to Case (θ_{JC})	1.52

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」はRoHS対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面はRoHS状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC規格 JESD51-7に記載の方法で4層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、www.maxim-ic.com/thermal-tutorial を参照してください。

電気的特性

($V_M = +4.5V \sim +36V$ 、 $R_{REF} = 12k\Omega \sim 72k\Omega$ 、代表値は $T_A = 25^\circ C$ および $V_M = +24V$ での値、制限値は $T_A = +25^\circ C$ で100%テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により確認されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Supply Voltage Range	V_M		4.5		36	V

電气的特性 (続き)

($V_M = +4.5V \sim +36V$ 、 $R_{REF} = 12k\Omega \sim 72k\Omega$ 、代表値は $T_A = 25^\circ C$ および $V_M = +24V$ での値、制限値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により確認されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Sleep Mode Current Consumption	I_{VM}	$\overline{SLEEP} = \text{logic low}$		4	11	μA
Quiescent Current Consumption	I_{VM}	$\overline{SLEEP} = \text{logic high}$		2	4	mA
1.8V Regulator Output Voltage	V_{VDD}	$V_M = +4.5V$, $I_{LOAD} = \text{internal consumption}$	1.74	1.8	1.86	V
V_{DD} Current Limit	$I_{V18(LIM)}$		20			mA
V_{DD} UVLO Rising	UVLOV18R	V_{DD} rising	1.59	1.65	1.69	V
V_{DD} UVLO Falling	UVLOV18F	V_{DD} falling	1.535	1.58	1.635	V
Charge Pump Voltage	V_{CP}			$V_M + 2.7$		V
LOGIC LEVEL INPUTS-OUTPUTS						
Input Voltage Level - High	V_{IH}		1.2			V
Input Voltage Level - Low	V_{IL}				0.65	V
Input Hysteresis	V_{HYS}			110		mV
Pulldown Current	I_{PD}	To GND	16	34	50	μA
Open-Drain Output Logic-Low Voltage	V_{OL}	$I_{LOAD} = 5mA$			0.2	V
Open-Drain Output Logic-High Leakage Current	I_{OH}	$V_{PIN} = 3.3V$	-1		1	μA
\overline{SLEEP} Voltage Level High	$V_{IH}(\overline{SLEEP})$		0.9			V
\overline{SLEEP} Voltage Level Low	$V_{IL}(\overline{SLEEP})$				0.6	V
\overline{SLEEP} Pulldown Input Resistance	$R_{PD}(\overline{SLEEP})$		0.8	1.5		M Ω
OUTPUT SPECIFICATIONS						
Output ON-Resistance Low-Side	$R_{ON(LS)}$	HFS = logic low		0.125	0.22	Ω
		HFS = logic high		0.22	0.42	
Output ON-Resistance High-Side	$R_{ON(HS)}$			0.125	0.22	Ω
Output Leakage	I_{LEAK}	Driver OFF	-5		5	μA
Dead Time	t_{DEAD}			100		ns
Output Slew Rate	SR			200		V/ μs
PROTECTION CIRCUITS						
Overcurrent Protection Threshold	OCP		3.8			A
Overcurrent Protection Blanking Time	t_{OCP}		1	2.2	3.2	μs
Autoretry OCP Time	t_{RETRY}			3		ms

電气的特性（続き）

($V_M = +4.5V \sim +36V$ 、 $R_{REF_} = 12k\Omega \sim 72k\Omega$ 、代表値は $T_A = 25^\circ C$ および $V_M = +24V$ での値、制限値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により確認されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
UVLO Threshold on V_M	UVLO	V_M rising	3.85	4	4.15	V
UVLO Threshold on V_M Hysteresis	UVLO _{HYS}			0.12		V
Thermal Protection Threshold Temperature	TSD			165		$^\circ C$
Thermal Protection Temperature Hysteresis	TSD _{HYS}			20		$^\circ C$
CURRENT REGULATION						
REF Output Voltage	V_{REF}		0.882	0.9	0.918	V
I_{TRIP} Current Regulation Constant	K_{IFS}	HFS = logic low		36		KV
		HFS = logic high		18.4		
Current Trip Regulation Accuracy	DITRIP1	HFS = logic low, $I_{OUT} = 1.1A$ to 3A, GBD	-5	0.4	5	%
		HFS = logic high, $I_{OUT} = 0.55A$ to 1.5A, GBD	-5	0.4	5	
	DITRIP2	HFS = logic low, $I_{OUT} = 0.5A$ to 1.1A, GBD	-10	0.5	10	
		HFS = logic high, $I_{OUT} = 0.25A$ to 0.55A, GBD	-10	0.5	10	
Fixed OFF – Time Internal	t_{OFF}		16	20	24	μs
PWM Blanking Time	t_{BLK}		1.4	2.8	4	μs
CURRENT SENSE MONITOR						
ISEN_ Voltage Range	ISEN	Voltage Range at pin ISEN	0		1.1	V
Current Monitor Scaling Factor	K_{ISEN}	HFS = logic low. See the I_{SEN} Output Current Equation in the Current-Sense Output (CSO) - Current Monitor section.		7500		A/A
		HFS = logic high. See the I_{SEN} Output Current Equation in the Current-Sense Output (CSO) - Current Monitor section.		3840		
Current Monitor Accuracy	DKISEN ₁	HFS = logic low, $I_{OUT} = 0.7A$ to 3A, GBD	-5	0.4	+5	%
		HFS = logic high, $I_{OUT} = 0.35A$ to 1.5A, GBD	-5	0.4	+5	
	DKISEN ₂	HFS = logic low, $I_{OUT} = 0.4A$ to 0.7A, GBD	-10	0.6	+10	
		HFS = logic high, $I_{OUT} = 0.2A$ to 0.35A, GBD	-10	0.6	+10	
Current Sense Output -3dB Small Signal Bandwidth	BW			400		KHz
FUNCTIONAL TIMINGS						
Sleep Time	t_{SLEEP}	$\overline{SLEEP} = \text{logic high to } OUT_ \text{ tristate}$			150	μs
Wakeup Time from Sleep	t_{WAKE}	$\overline{SLEEP} = 0$ to normal operation			3	ms

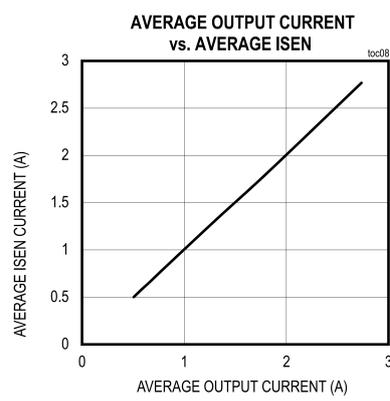
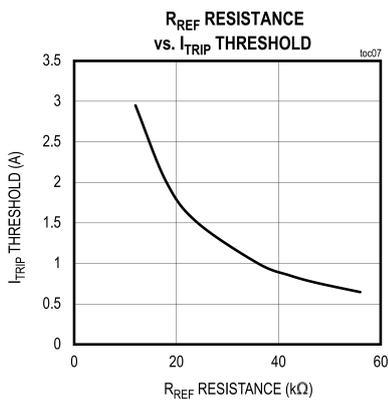
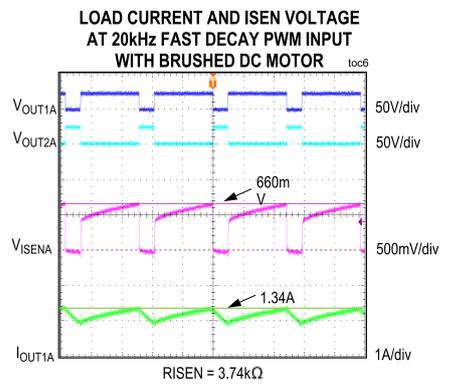
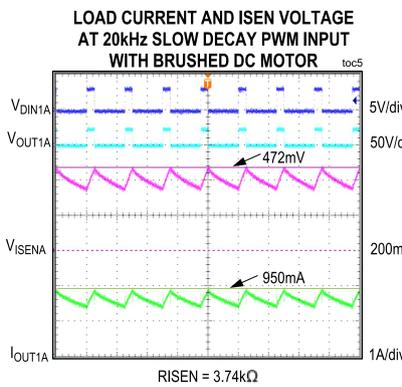
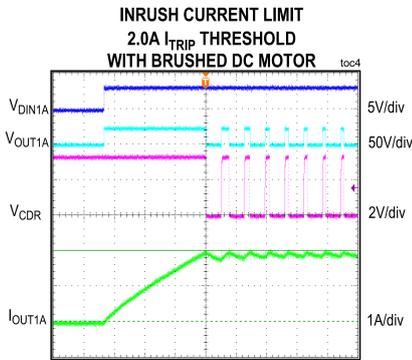
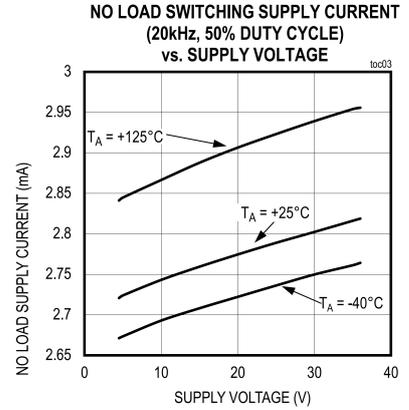
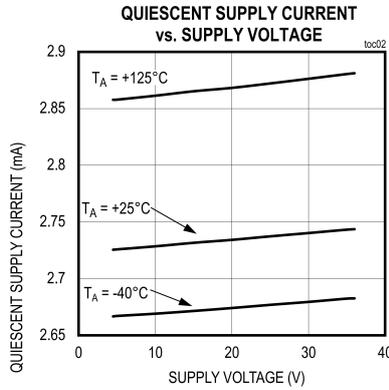
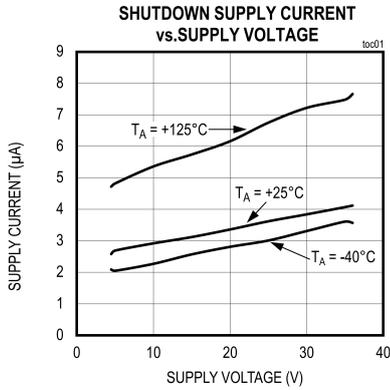
電気的特性（続き）

($V_M = +4.5V \sim +36V$ 、 $R_{REF} = 12k\Omega \sim 72k\Omega$ 、代表値は $T_A = 25^\circ C$ および $V_M = +24V$ の値、制限値は $T_A = +25^\circ C$ で 100%テストされています。動作温度範囲および関連する電源電圧範囲における制限値は、設計および特性評価により確認されています。「GBD」と記された仕様は設計により確認されていますが、出荷テストは行っていません。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Enable Time	t_{EN}	Time from EN pin rising edge to driver on			0.4	μs
Disable Time	t_{DIS}	Time from EN pin falling edge to driver off			0.6	μs

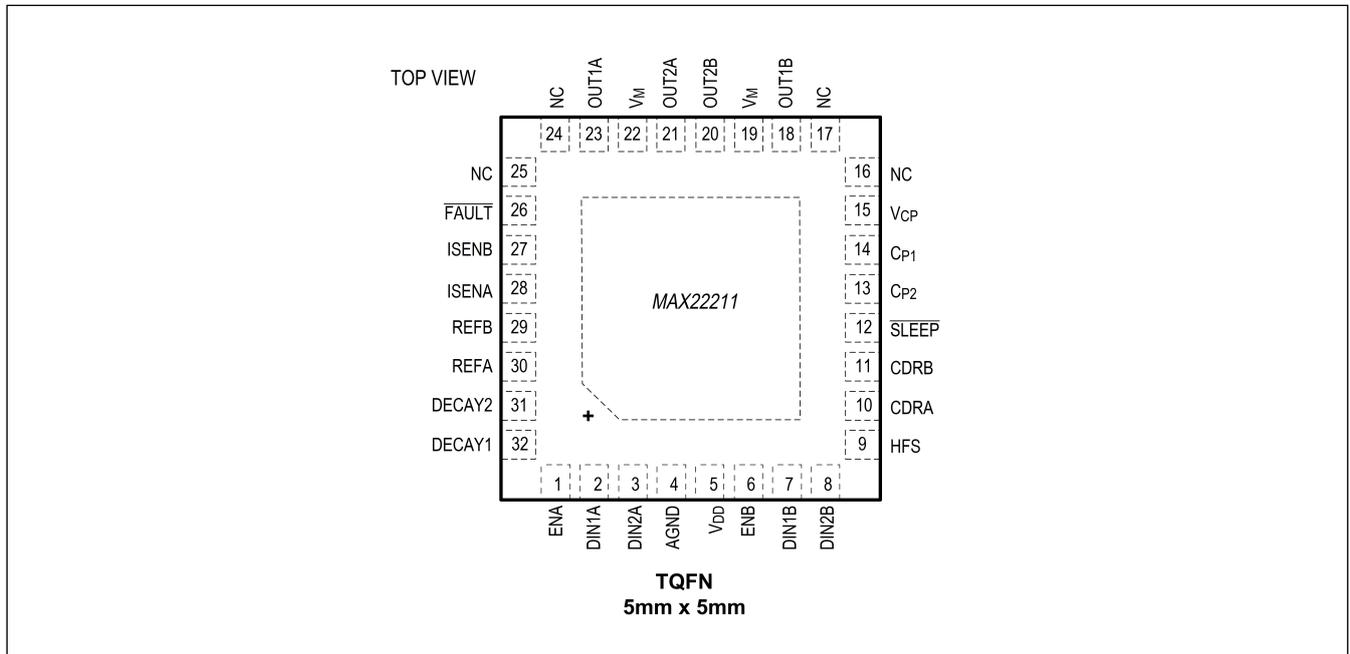
標準動作特性

(特に指定のない限り、 $V_M = +4.5V \sim +36V$ 、 $T_A = 25^\circ C$)

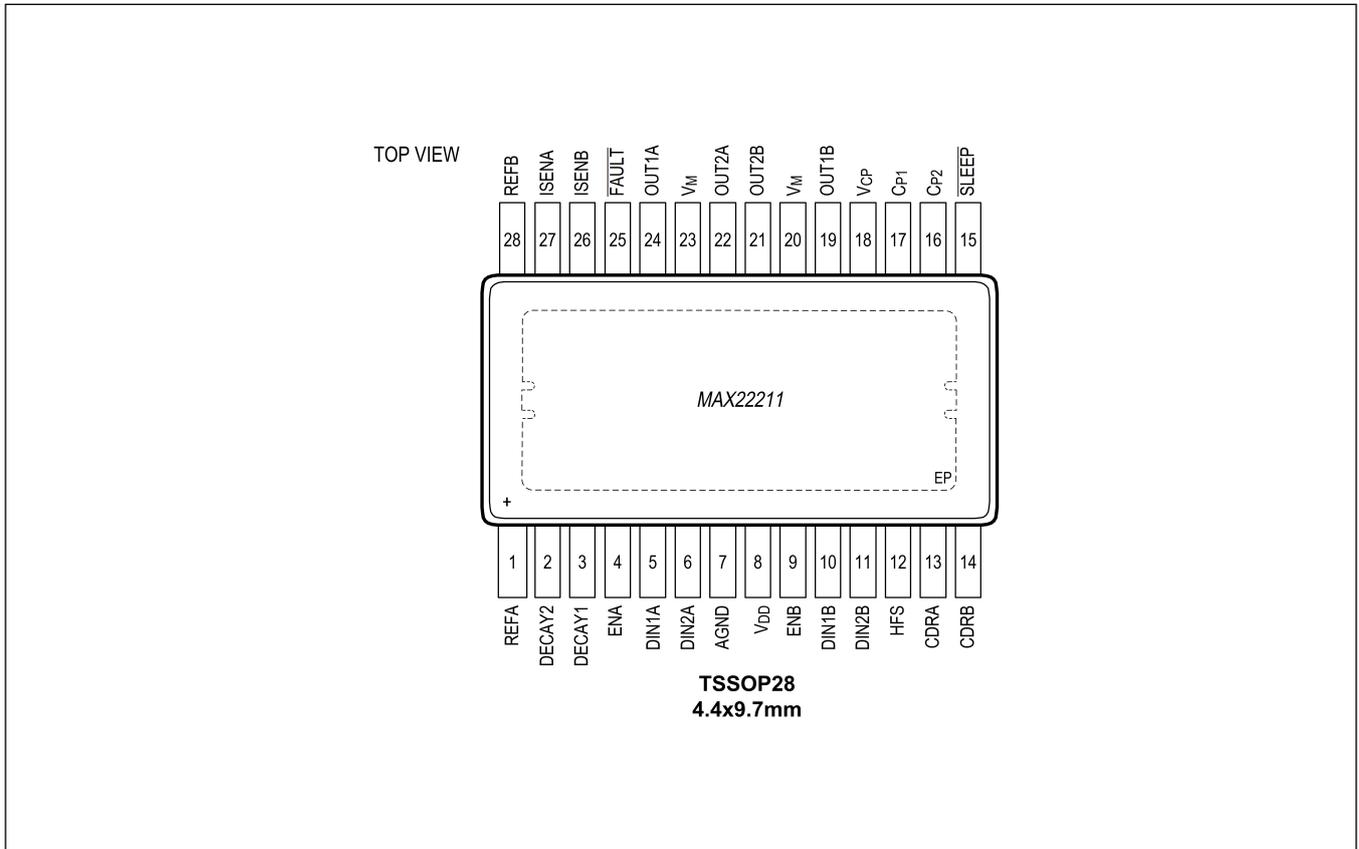


ピン配置

TQFNのピン配置



TSSOPのピン配置



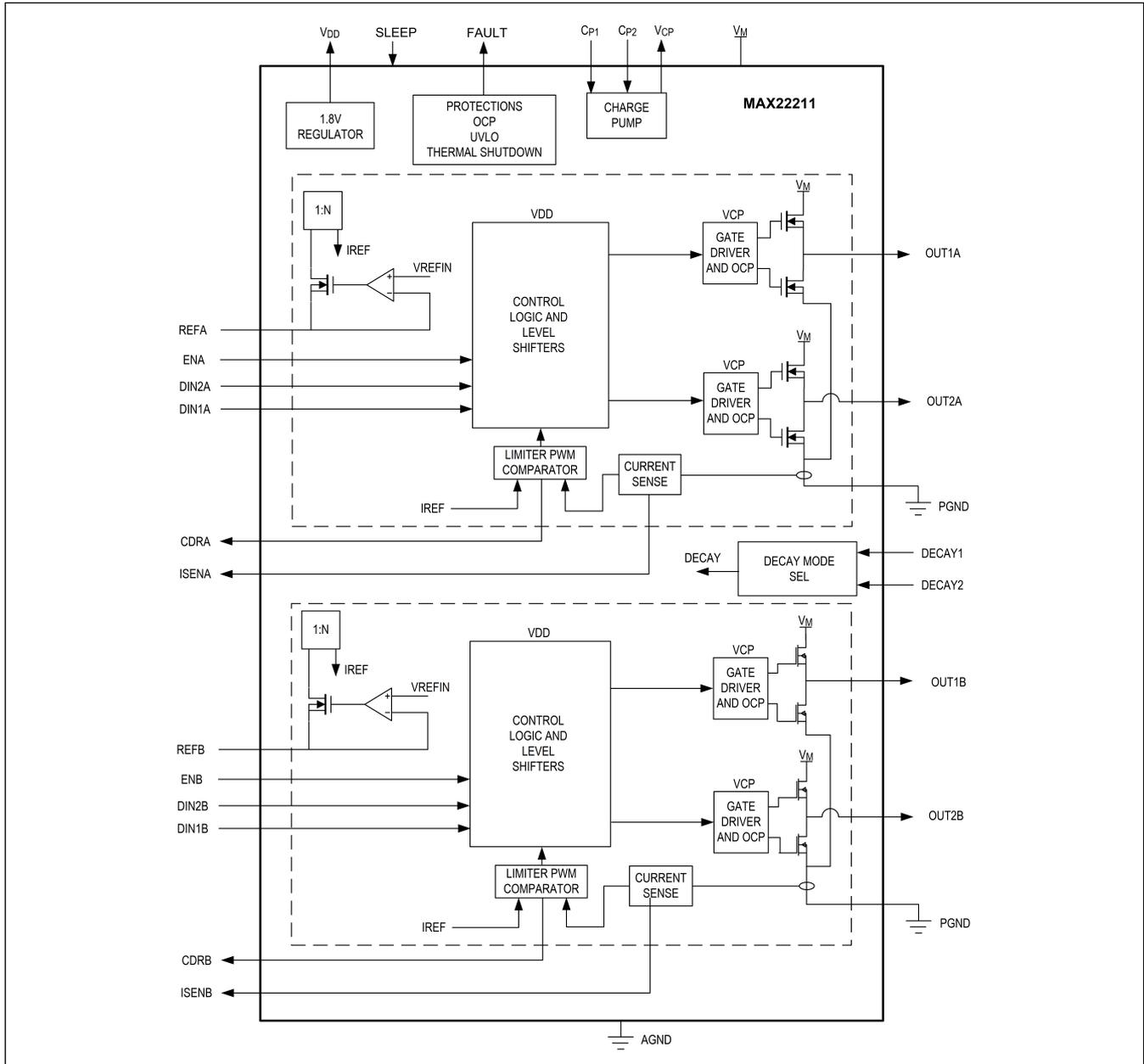
端子説明

ピン		名称	説明	タイプ
TQFN	TSSOP			
30	1	REFA	プログラマブル電流アナログ入力。REFAとGNDの間に抵抗を接続して、フル・ブリッジAの電流レギュレーション・スレッシュホールドを設定します。	Analog Input
29	28	REFB	プログラマブル電流アナログ入力。REFBとGNDの間に抵抗を接続して、フル・ブリッジBの電流レギュレーション・スレッシュホールドを設定します。	Analog Input
26	25	FAULT	オープンドレイン出力。アクティブ・ロー・フォルト・インジケータ。	Open Drain Output
10, 11	13, 14	CDR_	オープンドレイン出力。電流駆動レギュレータ・モニタ出力。	Open Drain Output
4	7	AGND	アナログ・グラウンド。グラウンド・プレーンに接続します。	GND
19, 22	20, 23	V _M	電源電圧入力。V _M 定格の1μF（最小）のSMDコンデンサをV _M とGNDの間に、デバイスの近くで接続し、10μF（最小）の電解バイパス・コンデンサをV _M とGNDの間に接続します。アプリケーションの条件に応じて、数値のより高いものを使用できます。	Supply
5	8	V _{DD}	1.8V LDO出力。2.2μFのコンデンサをV _{DD} ピンとGNDの間に、デバイスの近くで接続します。	Output
18, 20, 21, 23	19, 21, 22, 24	OUT_	ドライバ出力ピン。	Output

端子説明 (続き)

ピン		名称	説明	タイプ
TQFN	TSSOP			
27, 28	26, 27	ISEN_	電流検出出力モニタ。	Output
2, 3, 7, 8	5, 6, 10, 11	DIN_	CMOS PWM 入力	Logic Input
1, 6	4, 9	EN_	ロジック入力ピン。イネーブル・ピン	Logic Input
15	18	V _{CP}	チャージ・ポンプ出力。1 μ F のコンデンサを V _{CP} と V _M の間に、本デバイスのできるだけ近くで接続します。	Output
14	17	C _{P1}	チャージ・ポンプ・フライング・コンデンサの 1 番ピン。22nF のコンデンサを CP1 と CP2 間に、本デバイスのできるだけ近くで接続します。	Output
13	16	C _{P2}	チャージ・ポンプ・フライング・コンデンサの 2 番ピン。22nF のコンデンサを CP1 と CP2 間に、本デバイスのできるだけ近くで接続します。	Output
12	15	$\overline{\text{SLEEP}}$	アクティブ・ロー・スリープ・ピン。	Logic Input
31, 32	2, 3	DECAY_	ロジック入力。減衰モードを設定します。	Logic Input
9	12	HFS	ロジック入力。出力電流をフルスケールに設定します。	Logic Input
16, 17, 24, 25	—	NC	未接続。内部接続なし。	
EP	EP	PGND	電源 GND。グラウンド・プレーンに接続します。サーマル PAD (EP) は電源 GND ピンでもあり、GND に正しく接続する必要があります。	

機能ブロック図
概略図



詳細

MAX22211は、36V、3.8A_{MAX}のデュアルHブリッジです。ブラシ付きDCモータ2台、またはステッピング・モータ1台の駆動に使用できます。HブリッジFETはインピーダンスが非常に低いため、駆動効率が高く、発熱を低く抑えられます。代表的な合計R_{ON}（ハイサイド+ローサイド）は0.25Ωです。各Hブリッジは、3つのロジック入力（DIN1、DIN2、EN）を用いて、個別にPWM制御できます。

MAX22211は、正確なCDR機能を備えており、ブラシ付きDCモータの始動電流の制限や、ステッピング動作の相電流の制御に使用できます。ブリッジ出力電流は、非散逸性ICSによって検出され、ユーザ設定可能なスレッショルド（I_{TRIP}）と比較されます。ブリッジ電流がI_{TRIP}スレッショルドを超えると、本デバイスは固定オフ時間（t_{OFF}）の間、強制的に減衰を行います。対応する減衰方法は4種類（低速減衰モード、高速減衰モード、2種類の混合減衰モード）です。非散逸性ICSにより、この機能に通常必要とされる大きな外付けの電力抵抗は不要になり、その結果、外部検出抵抗を用いる主流のアプリケーションと比較して、大幅な省スペースと省電力を実現します。

2つのフル・ブリッジの内部で測定された電流は、ISENAピンとISENBピンに反映されます。外付け抵抗をこれらのピンとGNDの間に接続すると、モータ電流に比例した電圧が発生します。これらの外付け抵抗の両端の電圧は、モーション制御アルゴリズムが負荷電流またはトルク情報を必要とする場合、外部モータ・コントローラのADCへの入力として使用できます。

更に、内部電流レギュレーションがドライバを制御するたびに、2つのオープンドレイン出力ピン（CDRA、CDRB）がアサートされます。これにより、外部コントローラは内部電流ループの活動を監視できます。

ユーザ設定可能な最大電流レギュレーション・スレッショルド（I_{TRIP_MAX}）は3.8Aで、OCPによって制限されます。I_{TRIP}電流スレッショルドは、外付け抵抗をREFAピンおよびREFBピンとGNDの間に接続することにより、2つのフル・ブリッジに対して個別に設定できます。熱について考慮すべき事項がいくつかあるため、標準的な4層PCBの推奨最大電流実効値は、Hブリッジあたり2A_{RMS}です。

MAX22211は、OCP、TSD、UVLO保護機能を備えています。オープンドレインのアクティブ・ローFAULTピンは、フォルト状態が検出されるたびにアクティブになります。TSDおよびUVLOイベントの間、ドライバは通常動作が復元されるまで3ステートになります。

MAX22211は、小型のTQFN32（5mm×5mm）パッケージまたはTSSOP28（4.4mm×9.7mm）パッケージで提供されます。

スリープ・モード（SLEEPピン）

SLEEPピンをローにすると、V_Mからの消費電流が11μA以下の最低電力モードに入ります。出力はすべて3ステートになり、内部回路はバイアス・オフされます。チャージ・ポンプもディスエーブルになります。プルダウン抵抗がSLEEPとGNDの間に接続されているため、このピンがアクティブに駆動されていないときは常に、デバイスは確実にディスエーブルになります。スリープ・モードから通常モードへの復帰には、最長で3msかかります。

PWM制御

ブリッジ電流が、プログラムされたスレッショルドを下回る場合（I_{BRIDGE} < I_{TRIP}の場合）、各Hブリッジは、3つのロジック入力（DIN1_{_}、DIN2_{_}、EN_{_}）により制御されます。PWM手法を用いると、出力デューティ・サイクルを変化させ、モータ制御を実装できます。表1に制御の真理値表を示します。

表 1. MAX22211の真理値表

EN __	DIN1 __	DIN2 __	OUT1 __	OUT2 __	DESCRIPTION
0	X	X	High-Z	High-Z	H-bridge disabled. High impedance (HiZ)
1	0	0	L	L	Brake Low; Slow Decay
1	1	0	H	L	Reverse (Current from OUT1 __ to OUT2 __)
1	0	1	L	H	Forward (Current from OUT2 __ to OUT1 __)
1	1	1	H	H	Brake High; Slow Decay

電流検出出力（ISEN） - 電流モニタ

相電流に比例する電流は、AのHブリッジとBのHブリッジについて、それぞれISENAピンとISENBピンにミラーリングされます。電流は、2つのローサイドFETのうちの1つが出力電流をシンクするときに検知されるため、通電（t_{ON}）フェーズとブレーキ（低速減衰）フェーズの両方で意味があります。高速減衰では、電流はモニタされず、ISEN_{_}はゼロ電流を出力します。

次の式は、ISEN に供給される電流と出力電流の関係を示しています。

$$I_{\text{ISEN}}(\text{A}) = \frac{I_{\text{OUT}}(\text{A})}{K_{\text{ISEN}}}$$

式-ISEN 出力電流

ここで、 K_{ISEN} は、出力電流と ISEN ピンにおけるそのレプリカとの間の電流スケーリング係数を表します。 K_{ISEN} の代表値は（HFS ロジック・ローで）7500A/A です。例えば、瞬時出力電流が 2A の場合、ISEN に供給される電流は 266 μ A です。

図 1 に、低速減衰または高速減衰を用いた場合の ISEN 電流の理想的な挙動を示します。ブランキング時間、遅延、立上がり／立下がりエッジは無視されています。

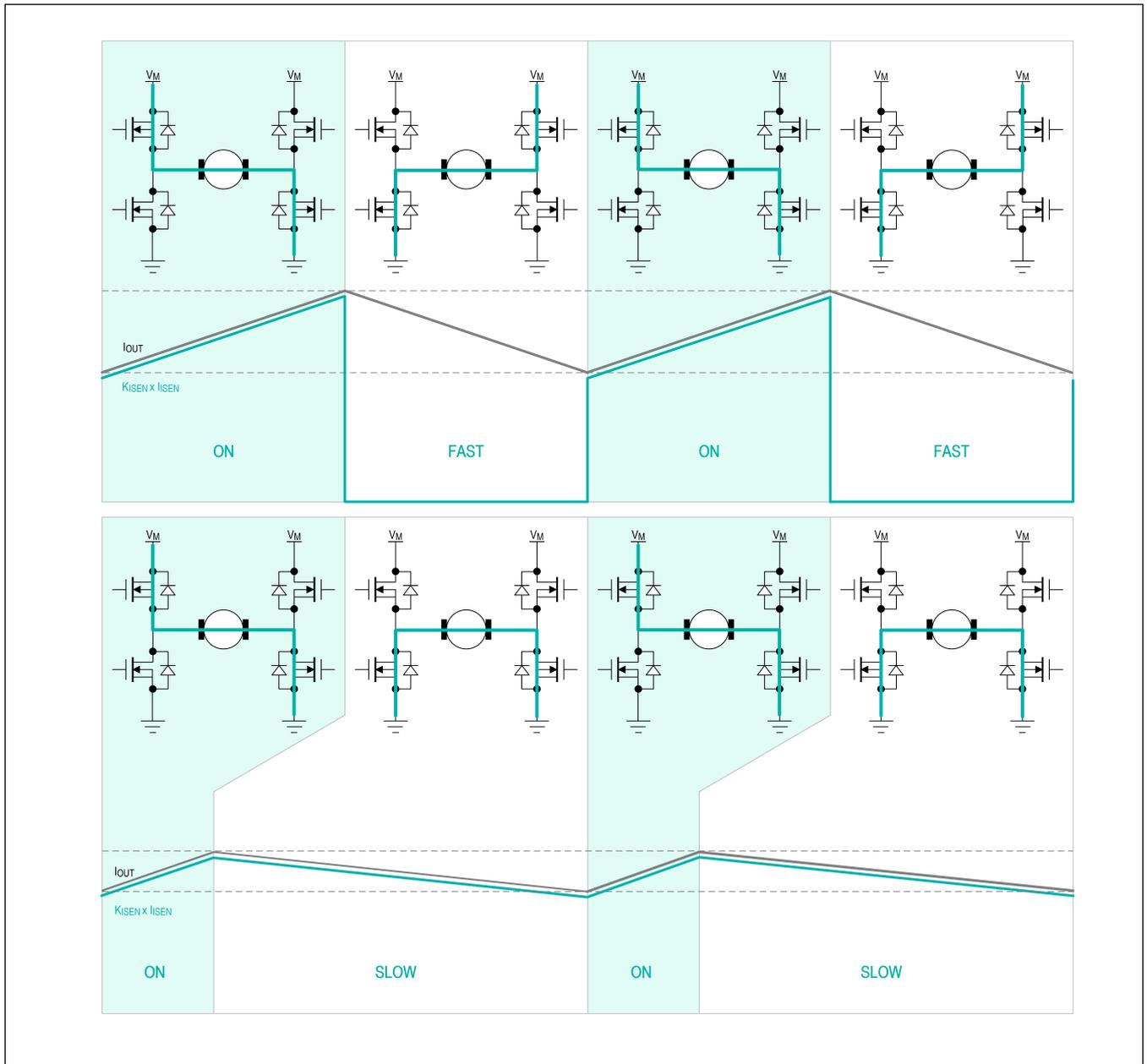


図 1. ISEN 電流

外付けの信号抵抗 R_{ISEN} を I_{SEN} ピンと GND の間に接続すると、モータ電流に比例した電圧が発生します。モータ制御アルゴリズムが電流／トルク情報を必要とするアプリケーションでは、抵抗 R_{ISEN} の両端の電圧を外部コントローラの ADC に入力できます。システム設計者は、ピーク電圧が ADC のフルスケール条件を満たすように、 R_{ISEN} 値を選択できます。次の式は、ADC のフルスケール電圧 (V_{FS}) と最大動作電流 (I_{MAX}) がわかっている場合に、 R_{ISEN} を計算する設計式を示しています。

$$R_{ISEN}(\Omega) = K_{ISEN} \times \frac{V_{FS}(V)}{I_{MAX}(A)}$$

式-RISEN の設定

例えば、ADC が最大 1V のフルスケール電圧で動作し、最大動作出力電流が 2A である場合、 R_{ISEN} は $7500 \times 1V/2A = 3.75K\Omega$ となります。

R_{ISEN} 値は、電流検出出力回路の出カインピーダンス (ISEN 出カインピーダンス) も設定します。通常、入力インピーダンスは R_{ISEN} よりもはるかに高く、減衰することなく、ISEN ピンに直接接続できます。入力インピーダンスが低い ADC が使用される場合には、プリアンプ (バッファ) が必要になることがあります。

電流検出出力回路の帯域幅とステップ応答性能 (仕様を参照) により、電流モニタは、PWM モータ駆動アプリケーションでドライバ電流を確実に追跡できます。

電流駆動レギュレーション

MAX22211 はエンベデッド CDR を備えています。エンベデッド CDR は、モータ巻線に流れる電流を正確に制御します。ブリッジ電流は、非散逸性 ICS によって検出され、スレッショルド電流 (I_{TRIP}) と比較されます。ブリッジ電流がスレッショルドを超えるとすぐに、本デバイスは固定オフ時間 (t_{OFF}) の間、強制的に低速減衰を行います。 t_{OFF} が経過すると、ドライバは次の PWM サイクルのために再度イネーブルになります。電流レギュレーションの間、PWM デューティ・サイクルおよび周波数は、電源電圧、モータ・インダクタンス、モータ速度および負荷条件に依存します。

電流レギュレーション・スレッショルドの設定 - I_{TRIP}

抵抗を REFA および REFB と GND の間に接続し、フル・ブリッジ A の電流レギュレーション・スレッショルド (I_{TRIPA}) とフル・ブリッジ B の電流レギュレーション・スレッショルド (I_{TRIPB}) をそれぞれを設定します。

次の式は、代表的な I_{TRIP} 電流を、REF_ピンに接続された RREF_シャント抵抗の関数として表しています。

$$I_{TRIP} = \frac{K_{IFS}(kV)}{R_{REF}(K\Omega)} \times HFS(\%)$$

比例定数 K_{IFS} は通常、HFS がロジック・ローの場合 36kV、HFS がロジック・ハイの場合 18.4kV です。外付け抵抗 R_{REF} の範囲は 9.5k Ω ~ 72k Ω です。

HFS は、ロジック入力ピン HFS のステータスに依存します。HFS がロジック・ローに設定される場合、スカラー係数は 100% であり、電力 FET の $R_{DS(ON)}$ は 0.25 Ω (ハイサイド + ローサイド) 以上に設定されます。HFS がロジック・ハイに設定される場合、スカラー係数は 50% であり、電力 FET の $R_{DS(ON)}$ は 0.375 Ω (ハイサイド + ローサイド) と高くなります。この設定値は、最大電流が 1.9A を超えず、低電流での高精度が望ましいアプリケーションでの使用に推奨します。

表 2 は HFS の設定値をまとめたものです。

表 2. HFS の真値表

HFS	I_{TRIP} (%)	MAXIMUM OUTPUT CURRENT	TYPICAL $R_{DS(ON)}$ (HIGH-SIDE + LOW-SIDE)	NOTES
0	100%	3.8A	0.25 Ω	Optimized efficiency and extended operating range up to 3.8A _{MAX}
1	50%	1.9A	0.375 Ω	Reduced operating range up to 1.9A _{MAX} . Improved current accuracy control in the bottom end of the current range

I_{TRIP} 電流スレッショルドを設定する場合には、熱的な制約および制限について慎重に考慮する必要があります。これらの制約は、PCB レイアウト、グラウンド・プレーンの厚さ、層数、通気、ヒートシンク、サーマル・ビアの数、最高周囲温度などに依存します。強制空冷やヒートシンクのない標準的な 4 層ボードを用いる場合、2A_{RMS} が H ブリッジあたりの推奨最大電流実効値です。熱設計が適切なボードを用いると、バースト持続時間が PCB の熱時定数よりも著しく短い場合に、より高いピーク電流を供給できます。例えば、強制空冷を使用せず、2 つの H ブリッジを同時に動作させた評価用ボードを用いた場合、本デバイスは、室温で 100ms 間のバーストに対して H ブリッジあたり最大で 3.8A を供給できました。

CDR オープンドレイン出力

このピンは、アクティブ・ローのオープンドレイン出力であり、電流駆動レギュレーション・ループによって強制される固定減衰時間間隔 (t_{OFF}) 中にアサートされます。それによって、外部コントローラは、統合電流ループが PWM ロジック入力 (DIN1、DIN2) のステータスを上書きするドライバを制御したかどうかを監視できます。CDR 信号は、外部コントローラがいくつかの理由で使用でき、電流レギュレーション中の実際の負荷に関する情報を提供します。

PWM ロジック入力が正転または逆転モードで永久に保持され、モータ・コントロールが内部電流駆動レギュレーション・ループに完全に委ねられる使用例では、CDR ピンが、負荷に印加された PWM 電圧のレプリカである PWM ロジック信号を出力します。この信号を処理し、そのデューティ・サイクルを予想されるものと比較することにより、失速検出アルゴリズムを実装できます。CDR 出力は、ISEN 電流をサンプリングする場合に、外部 ADC のトリガ信号として使用することもできます。

プルアップ抵抗は、CDR ピンとコントローラ電圧源の間に接続する必要があります。

図 2 のタイミング図は、それぞれ、DIN2 が確実にハイに保持された状態でモータが正転する場合 (ケース A)、または DIN2 がトグルしている場合 (ケース B および C) の、この機能の挙動を示しています。CDR 出力は、減衰モードが内部電流レギュレーション・ループにより強制された場合にのみアサートされます。電流駆動レギュレーション・ループによる PWM 遷移があると、CDR 回路の固定オフ時間がリセットされます。ケース B では、実際の減衰時間間隔は t_{OFF} より長くなっていますが、ケース C では、実際の減衰オフ時間間隔が短くなっています。

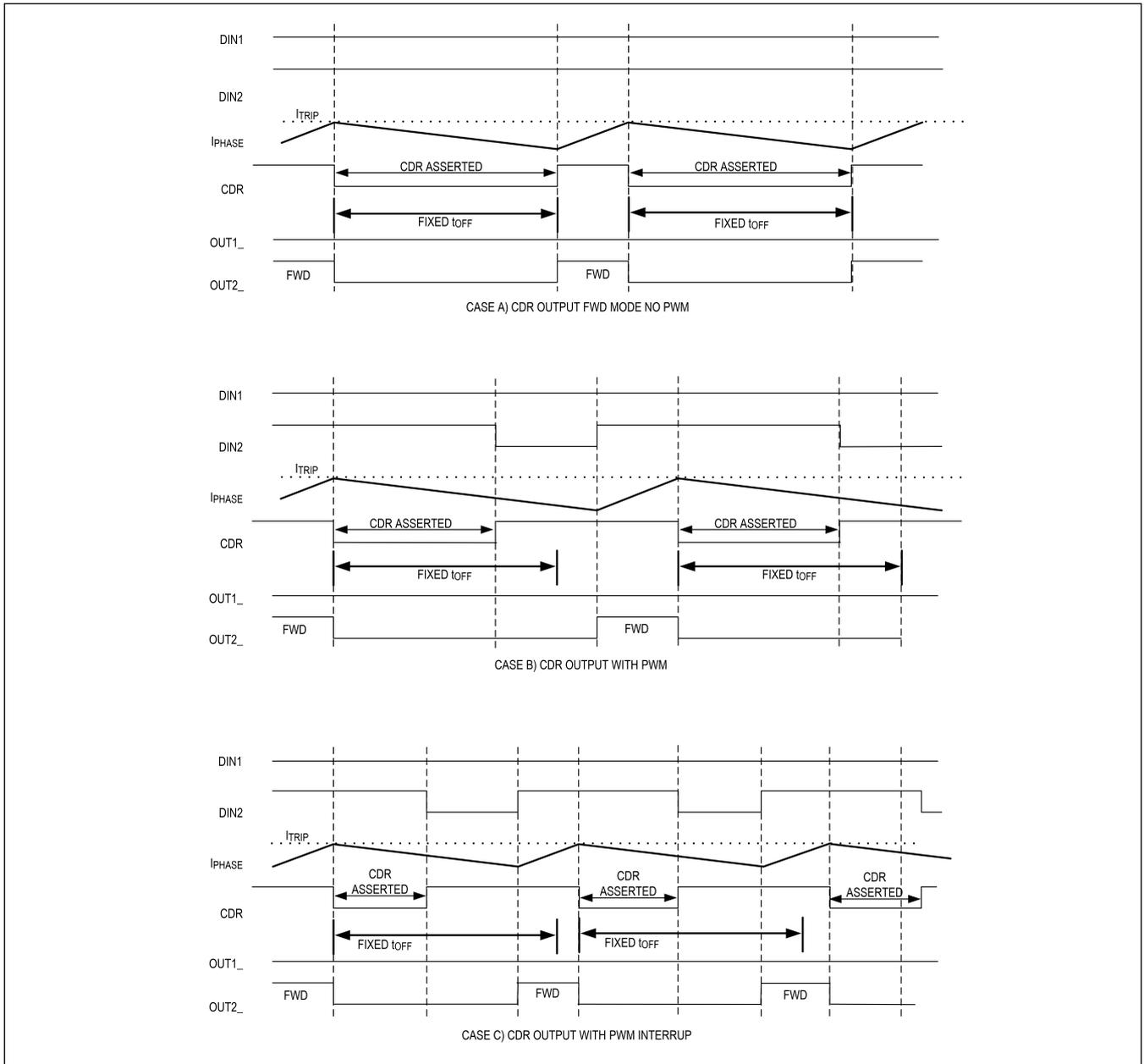


図 2. CDR モニタ・タイミング図

減衰モードの設定

2つのロジック入力ピンにより、toFF 中の減衰モードを設定できます。MAX22211 は、低速減衰、高速減衰、2種類の混合減衰モードに対応しています。

表 3 に、減衰モードを選択するための真理値表を示します。

表 3. ゲイン・モードの真理値表

DECAY2	DECAY1	DECAY MODE
0	0	Slow

表 3. ゲイン・モードの真理値表 (続き)

0	1	Mixed 30% Fast/70% Slow
1	0	Mixed 60% Fast/40% Slow
1	1	Fast

保護機能

過電流保護

過電流保護は、レール（電源電圧とグラウンド）への短絡と出力（OUT1_と OUT2_）間の短絡から本デバイスを保護します。OCP スレッシュホールドは最小が 3.8A に設定されています。過電流保護ブランキング時間（ t_{ocp} ）より長い間にわたって出力電流が OCP スレッシュホールドより大きい場合、OCP イベントが検出されます。

OCP イベントが検出されると、H ブリッジは直ちにディスエーブルになり、 $\overline{\text{FAULT}}$ ピンにフォルト表示が出力されます。H ブリッジは 3ms の間、HiZ モードに維持されます（ t_{RETRY} 仕様を参照）。その後、H ブリッジは、入力現在のステータスに従って再度イネーブルになります。短絡状態がまだ存在する場合は、このサイクルが繰り返され、存在しない場合は、通常動作が再開されます。短絡故障モードでは長時間の動作をさせないようにしてください。長時間の OCP イベントは、本デバイスの信頼性に影響を及ぼすことがあります。

サーマル・シャットダウン保護

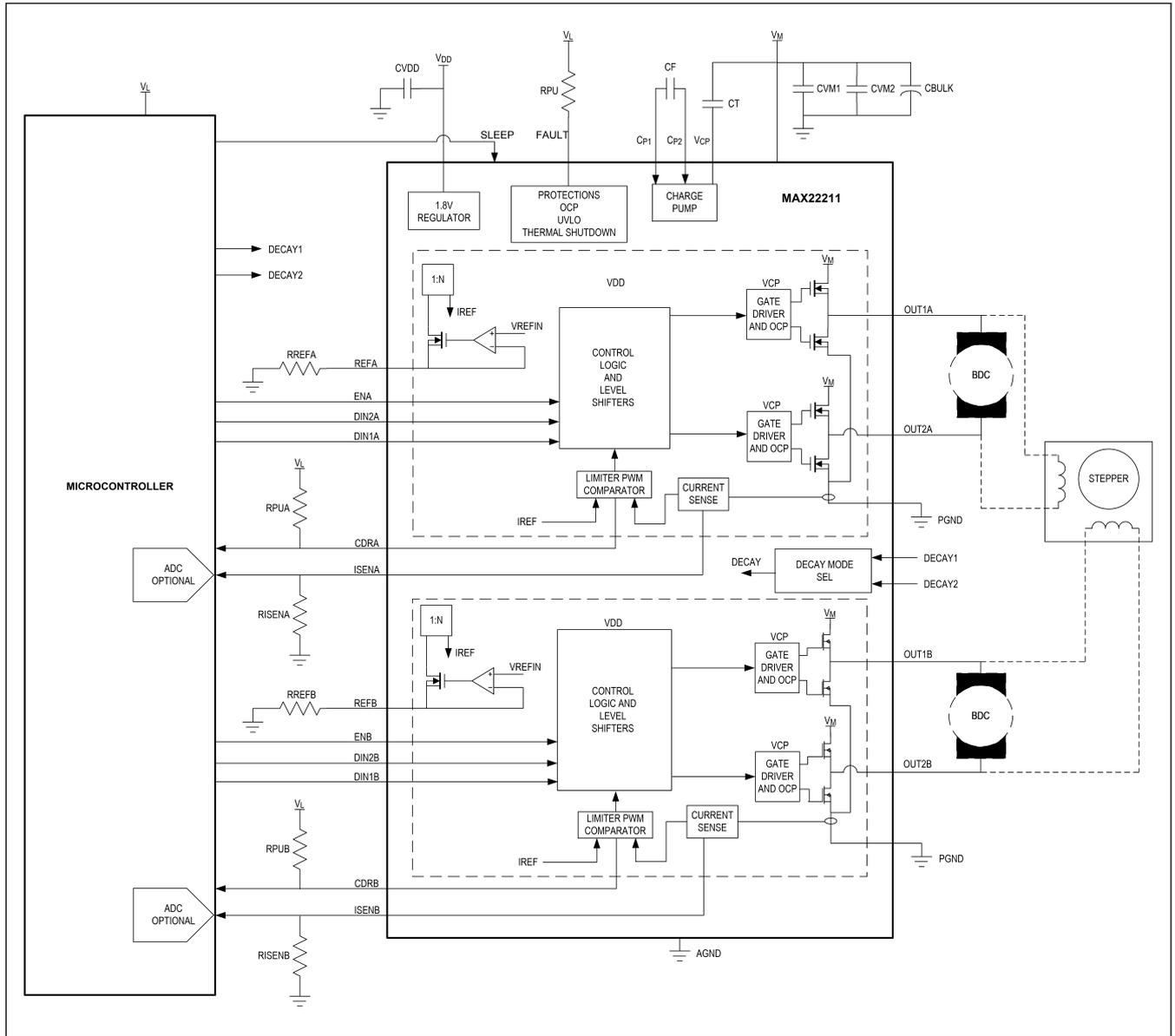
ダイ温度が 165°C（代表値）を超える場合、 $\overline{\text{FAULT}}$ ピンにフォルト表示が出力され、ジャンクション温度が 145°C を下回るまでドライバが 3 ステートになります。その後、ドライバが再度イネーブルになります。

低電圧ロックアウト保護

このデバイスは、低電圧ロックアウト保護機能を備えています。 V_M の UVLO は最大が 4.15V に設定されています。UVLO イベントが発生すると、 $\overline{\text{FAULT}}$ ピンにフォルト表示が出力され、ドライバ出力が 3 ステートになります。電源電圧が公称動作範囲内に戻るとすぐに、通常動作が再開されます（そして、 $\overline{\text{FAULT}}$ ピンのアサートが解除されます）。

代表的なアプリケーション回路

アプリケーション構成図



MAX22211

デュアル・ブラシ付きモータまたは
シングル・ステッピング・モータ駆動用の
36V、3.8AのデュアルHブリッジ

オーダー情報

PART NUMBER	TEMPERATURE RANGE	PIN-PACKAGE
MAX22211ATJ+T	-40°C to +125°C	32 TQFN - 5x5mm
MAX22211AUI+T*	-40°C to +125°C	28 TSSOP - 4.4x9.7mm

* 発売予定の製品 - 発売時期についてはお問い合わせください。
+は鉛 (Pb) フリー/RoHS 準拠のパッケージを表します。
T=テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	2/23	市場投入のためのリリース	-