

絶対最大定格

$V_{24} \sim \text{GND}$	-0.3V ~ +70V
$\text{IN}_- \sim \text{GND}$	-40V ~ +40V
$(V_{24} - \text{IN}_-) \sim \text{GND}$	-40V ~ +70V
$\overline{\text{VMOK}} \sim \text{GND}$	-0.3V ~ $(V_{24} + 0.3)$ V
$V_A, V_L \sim \text{GND}$	-0.3V ~ +6V
$V_M \sim \text{GND}$	
$V_A \geq V_{A_UVLO}$	-0.3V ~ $(V_A + 0.3)$ V
$V_A < V_{A_UVLO}$	-0.3V ~ $(\text{Min}(3.3, V_{24}) + 0.3)$ V
REGEN ~ GND	
$V_A \geq V_{A_UVLO}$	-0.3V ~ $(V_A + 0.3)$ V
$V_A < V_{A_UVLO}$	-0.3V ~ $(\text{Min}(3.3, V_{24}) + 0.3)$ V
デジタル・ピン	
$\overline{\text{CS}}, \text{SCLK}, \text{SDI}, \overline{\text{LATCH}} \sim \text{GND}$	-0.3V ~ +6V
$A1, A0 \sim \text{GND}$	-0.3V ~ $(V_A + 0.3)$ V
$\text{DAISY}, \text{CRCEN} \sim \text{GND}$	-0.3V ~ +6V

$\overline{\text{FAULT}} \sim \text{GND}$	-0.3V ~ +6V
$\overline{\text{READY}}, \text{SDO} \sim \text{GND}$	-0.3V ~ $(V_L + 0.3)$ V

アナログ・ピン

$\text{REFDI} \sim \text{GND}$	-0.3V ~ $(V_A + 0.3)$ V
$\text{LO1} - \text{LO6} \sim \text{GND}$	-0.3V ~ $(V_A + 0.3)$ V

連続消費電力 ($T_A = +70^\circ\text{C}$)

単層基板 (+70°C を超えると 21.3°C/mW で ディレーティング)	1702.1mW
4層基板 (+70°C を超えると 34.5°C/mW で ディレーティング)	2758.6mW

温度定格

動作温度範囲	-40°C ~ +125°C
最高ジャンクション温度	+150°C
保存温度範囲	-60°C ~ +150°C
リード温度 (はんだ処理、10 秒)	+300°C
はんだ処理温度 (リフロー)	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

パッケージ情報

PACKAGE TYPE	32 TQFN
Package Code	T3255+8C
Outline Number	21-0140
Land Pattern Number	90-0013
THERMAL RESISTANCE, SINGLE-LAYER BOARD	
Junction-to-Ambient (θ_{JA})	47°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1.7°C/W
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction-to-Ambient (θ_{JA})	29°C/W
Junction-to-Case Thermal Resistance (θ_{JC})	1.7°C/W

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、<https://www.analog.com/jp/resources/technical-articles/thermal-characterization-of-ic-packages.html> を参照してください。

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、<https://www.analog.com/jp/resources/packaging-quality-symbols-footprints/package-index.html> で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

電気的特性

(特に指定のない限り、 $V_{24} = +8V \sim +36V$ 、 $V_L = +2.5V \sim +5.5V$ 、 $V_A = +3.0V \sim +5.5V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は、 $V_{24} = +24V$ 、 $V_L = +3.3V$ 、 $V_A = +5V$ 、 $T_A = +25^\circ C$ における値) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
V₂₄ Power Supply (Device Powered by V₂₄ Pin)							
V ₂₄ Supply Voltage	V ₂₄	Sink and TTL configuration	8		65	V	
		Source configuration	8		36	V	
V ₂₄ Undervoltage Lockout Threshold	V _{24_UVLO}	REGEN shorted to GND, V _A = V _L = 5V	V ₂₄ rising	7	7.45	7.75	V
			V ₂₄ falling	6.5	7	7.5	V
V ₂₄ UVLO Threshold Hysteresis	V _{24_UVHYS}			0.5		V	
V ₂₄ Supply Current	I _{24SNK_V24PW} R	V ₂₄ = 36V, REGEN open, GPO bit in the GLOBLCFG register = 1, all logic outputs unloaded, all IN ₊ floating and in sink 1x DI mode		1.4	2	mA	
	I _{24SNK_VAPW} R	V ₂₄ = 36V, V _A = 5.5V, REGEN shorted to GND, GPO bit in the GLOBLCFG register = 1, all logic outputs unloaded, all IN ₊ floating and in sink 1x DI mode		0.1	0.2		
	I _{24SRC_V24PW} R	V ₂₄ = 36V, REGEN open, GPO bit in the GLOBLCFG register = 1, all logic outputs unloaded, all IN ₊ floating and in source 1x DI mode		2	4		
	I _{24SRC_VAPW} R	V ₂₄ = 36V, V _A = 5.5V, REGEN shorted to GND, GPO bit in the GLOBLCFG register = 1, all logic outputs unloaded, all IN ₊ floating and in source 1x DI mode		0.7	2		
V_A Linear Regulator (REGEN Open)							
V _A Output Voltage	V _A	I _{A_LOAD} = 1mA, 8V ≤ V ₂₄ ≤ 65V	4.7	5	5.3	V	
V _A Line Regulation	ΔV _{A_LNR}	I _{A_LOAD} = 1mA, V ₂₄ = 12V to 24V		1		mV	
V _A Load Regulation	ΔV _{A_LD}	V ₂₄ = 12V, I _{A_LOAD} = 1mA to 10mA		4		mV	
V _A Short-Circuit Current	I _{A_SC}	V ₂₄ = 12V, V _A shorted to GND	20	28	45	mA	
V_A Power Supply (REGEN Shorted to GND, Device Powered by V_A Pin, V₂₄ = V_A to 65V)							
V _A Supply Voltage	V _A		3		5.5	V	
V _A Supply Current	I _{A_SNK}	V _A = 5.5V, V ₂₄ = 36V, GPO bit in the GLOBLCFG register = 1, all logic outputs unloaded, all IN ₊ floating and in sink 1x DI mode		1.3	2	mA	
	I _{A_SRC}	V _A = 5.5V, V ₂₄ = 36V, GPO bit in the GLOBLCFG register = 1, all logic outputs unloaded, all IN ₊ floating and in source 1x DI mode		1.3	2		
V _A UVLO Threshold	V _{A_UVLO}	V _A rising	2.3		2.9	V	
		V _A falling	2.1		2.85		
V _A UVLO Threshold Hysteresis	V _{A_UVHYS}			0.074		V	
REGEN Threshold	V _{TH_REGEN}		0.3		3.3	V	
REGEN Pullup Resistor	R _{LK_REGEN}	V _A = 5.5V		200		kΩ	
V_L Power Supply							

（特に指定のない限り、 $V_{24} = +8V \sim +36V$ 、 $V_L = +2.5V \sim +5.5V$ 、 $V_A = +3.0V \sim +5.5V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は、 $V_{24} = +24V$ 、 $V_L = +3.3V$ 、 $V_A = +5V$ 、 $T_A = +25^\circ C$ における値）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_L Supply Voltage	V_L		2.5		5.5	V
V_L Supply Current	I_L	No switching, logic inputs static, $V_L = 5.5V$, $\overline{CS} = \overline{LATCH} = V_L$		15	30	μA
V_L UVLO Threshold	V_{L_UVLO}	$V_A = 5V$, REGEN shorted to GND	V_L rising	0.9	1.8	V
			V_L falling	0.9	1.75	
V_L UVLO Threshold Hysteresis	V_{L_UVHYS}			0.061		V
READY Timing						
READY Delay	t_{DRDY_VARISE}	Delay from V_A rising above UVLO to READY low, REGEN shorted to GND, $V_L = 5V$, pulldown current 5mA		1		ms
	t_{DRDY_VLRISE}	Delay from V_L rising above UVLO to READY low, REGEN shorted to GND, $V_A = 5V$, pulldown current 5mA		1		
V_M Monitoring Comparator						
External V_M Monitor Alarm, On to Off	$V_{EXTVMOFF}$	V_M pin rising, bit VMLOW in the FAULT1 register goes to 0 and VMOK goes to low	0.778	0.81	0.842	V
External V_M Monitor Alarm, Off to On	$V_{EXTVMON}$	V_M pin falling, bit VMLOW in the FAULT1 register goes to 1 and VMOK goes to high	0.751	0.78	0.814	V
V_M Glitch Filter	t_{FILTER_VM}	V_M glitch length that is filtered		3		μs
V_M Leakage Current	I_{LEAK_VM}	$V_M = 5.5V$, $V_A = 5.5V$	-1		1	μA
\overline{VMOK} Leakage Current	I_{LEAK_VMOK}	$\overline{VMOK} = 36V$, $V_{24} = 36V$, REGEN open	-1		1	μA
\overline{VMOK} Output Logic-Low Voltage	$V_{\overline{VMOK_OL}}$	$I_{LOAD} = 5mA$ (Note 2)			0.4	V
Thermal Management						
Temperature Alarm	T_{ALRM}	Temperature rising until TEMPALM bit in the FAULT1 register is 1, REGEN shorted to GND, $V_A = 5V$, $V_{24} = 8V$		115		$^\circ C$
Temperature Alarm Hysteresis	T_{ALRM_HYS}	Temperature falling until TEMPALM bit in the FAULT1 register is 0		10		$^\circ C$
Thermal Shutdown	$T_{OTSHDN1}$	Temperature rising until OTSHDN1 bit in the FAULT1 register is 1, REGEN shorted to GND, $V_A = 5V$, $V_{24} = 8V$		150		$^\circ C$
Thermal Shutdown Hysteresis	$T_{OTSHDN1_HYS}$	Temperature falling until OTSHDN1 bit in the FAULT1 register is 0		10		$^\circ C$
System Thermal Shutdown Threshold	$T_{OTSHDN2}$	Temperature rising until OTSHDN2 bit in the FAULT2 register is 1, REGEN shorted to GND, $V_A = 5V$, $V_{24} = 8V$		165		$^\circ C$
System Thermal Shutdown Hysteresis	$T_{OTSHDN2_HYS}$	Temperature falling until OTSHDN2 bit in the FAULT2 register is 0		10		$^\circ C$
PCB Fault Detection						
REFDI Pin Short Alarm	I_{RFDIS}	Increasing current at pin REFDI until bit RFDIS in the FAULT2 register is 1	106	147	180	μA
		Decreasing current at pin REFDI until bit RFDIS in the FAULT2 register is 0	100	132	170	
REFDI Pin Short Hysteresis	I_{RFDIS_HYS}			15		μA

（特に指定のない限り、 $V_{24} = +8V \sim +36V$ 、 $V_L = +2.5V \sim +5.5V$ 、 $V_A = +3.0V \sim +5.5V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は、 $V_{24} = +24V$ 、 $V_L = +3.3V$ 、 $V_A = +5V$ 、 $T_A = +25^\circ C$ における値）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
REFDI Pin Open Alarm	I_{RFDI}	Decreasing current at pin REFDI until bit RFDI0 in the FAULT2 register is 1	1.8	3	4	μA	
		Increasing current at pin REFDI until bit RFDI0 in the FAULT2 register is 0	2.5	4	5		
REFDI Pin Open Hysteresis	I_{RFDI_HYS}			1		μA	
REFDI Current Setting							
REFDI Pin Voltage	V_{RFDI}		0.585	0.61	0.635	V	
REFDI Resistor Range	R_{RFDI}		12		55	k Ω	
Input Current Set Range Min	$I_{IN_TY1/3_MIN}$	$R_{RFDI} = 55k\Omega$, Sink 1x DI mode and Source 1x DI mode	0.43	0.5	0.59	mA	
Input Current Set Range Max	$I_{IN_TY1/3_MAX}$	$R_{RFDI} = 12k\Omega$, Sink 1x DI mode and Source 1x DI mode		2.25		mA	
Input Current 3x Scale Factor	SCLF	$R_{RFDI} = 12k\Omega$, Sink 3x DI mode and Source 3x DI mode		3.0			
Inputs (IN1–IN4)							
Type 1/3 Digital Input							
On-State Input Current in Sink Mode (Type 1/3)	$I_{IN_TY1/3SK}$	Sink 1x DI mode, $R_{RFDI} = 12k\Omega$, $6V \leq V_{IN} \leq 36V$	2.1	2.25	2.65	mA	
On-State Input Current in Source Mode (Type 1/3)	$I_{IN_TY1/3SR}$	Source 1x DI mode, $R_{RFDI} = 12k\Omega$, $V_{24} = 36V$, $(V_{24} - 36V) \leq V_{IN} \leq (V_{24} - 6V)$ (Note 2)	-2.65	-2.25	-2.1	mA	
Type 2 Digital Input							
On-State Input Current in Sink Mode (Type 2)	I_{IN_TY2SK}	Sink 3x DI mode, $R_{RFDI} = 12k\Omega$, $HITHR_ = 0$, $3V \leq V_{IN} \leq 36V$	6.25	6.7	7.7	mA	
On-State Input Current in Source Mode (Type 2)	I_{IN_TY2SR}	Source 3x DI mode, $R_{RFDI} = 12k\Omega$, $V_{24} = 36V$, $HITHR_ = 0$, $(V_{24} - 36V) \leq V_{IN} \leq (V_{24} - 3V)$ (Note 2)	-7.7	-7	-6.4	mA	
High-Impedance Mode							
Input Current Hi-Z Mode	I_{IN_HIZ}	Sink off DI mode, $V_{IN} = 36V$, $V_{24} = 36V$, REGEN open	$HITHR_ = 1$	10	45	70	μA
			$HITHR_ = 0$			40	
		Source off DI mode, $V_{IN} = 0V$, $HITHR_ = 1$, $V_{24} = 36V$, REGEN open (Note 2)		-70		-10	
		TTL off mode, $V_{IN} = 5.5V$, $V_{24} = 3V$, REGEN shorted to GND, $V_A = 3V$		2.6	15		
Threshold Voltages							
On Threshold Voltage in Sink Mode	V_{TONSK_L}	Sink mode, $HITHR_ = 0$, V_{IN_rising}	3.5	4	4.3	V	
	V_{TONSK_H}	Sink mode, $HITHR_ = 1$, V_{IN_rising}	6.6	7	7.6		
Off Threshold Voltage in Sink Mode	V_{TOFFSK_L}	Sink mode, $HITHR_ = 0$, $V_{IN_falling}$	2.7	3	3.3	V	
	V_{TOFFSK_H}	Sink mode, $HITHR_ = 1$, $V_{IN_falling}$	5.6	6	6.5		
On Threshold Voltage in Source Mode	V_{TONSC_L}	Source mode, $HITHR_ = 0$, $V_{24} = 8V$ to $36V$, $V_{IN_falling}$	$V_{24} - 4.3$	$V_{24} - 4$	$V_{24} - 3.5$	V	
	V_{TONSC_H}	Source mode, $HITHR_ = 1$, $V_{24} = 8V$ to $36V$, $V_{IN_falling}$	$V_{24} - 7.4$	$V_{24} - 7$	$V_{24} - 6.4$		
Off Threshold Voltage in Source Mode	V_{TOFFSC_L}	Source mode, $HITHR_ = 0$, $V_{24} = 8V$ to $36V$, V_{IN_rising}	$V_{24} - 3.15$	$V_{24} - 2.9$	$V_{24} - 2.55$	V	

（特に指定のない限り、 $V_{24} = +8V \sim +36V$ 、 $V_L = +2.5V \sim +5.5V$ 、 $V_A = +3.0V \sim +5.5V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は、 $V_{24} = +24V$ 、 $V_L = +3.3V$ 、 $V_A = +5V$ 、 $T_A = +25^\circ C$ における値）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
	V_{TOFFSC_H}	Source mode, $HITHR_ = 1$, $V_{24} = 8V$ to $36V$, $V_{IN_}$ rising	$V_{24} - 6.3$	$V_{24} - 6$	$V_{24} - 5.4$	
$V_{IN_}$ Threshold Hysteresis	V_{IN_HYS}	$HITHR_ $ don't care		0.8		V
Input High in TTL Mode	V_{IH_TTL}	TTL mode, REGEN shorted to GND, $V_{24} = V_A$	1.5		1.8	V
Input Low in TTL Mode	V_{IL_TTL}	TTL mode, REGEN shorted to GND, $V_{24} = V_A$	1		1.3	V
Input Threshold Hysteresis in TTL Mode	V_{TTL_HYS}	TTL mode		0.5		V
Input Filters						
$V_{IN_}$ Sampling Rate	f_{OSC}	$V_{24} = V_A$, REGEN shorted to GND		1		MHz
Minimum Detectable Field Input Pulse Width	t_{PW}	Filter bypass, no external capacitors on pins IN1–IN4		3		μs
Input Filter Delay	t_{FLT_DELAY}	Bypass, $FLTEN_ $ is 0 in the $CNFG_ $ register		2		μs
		$DELAY_ [2:0] = 0$		50		
		$DELAY_ [2:0] = 1$		0.1		ms
		$DELAY_ [2:0] = 2$		0.4		
		$DELAY_ [2:0] = 3$		0.8		
		$DELAY_ [2:0] = 4$		1.6		
		$DELAY_ [2:0] = 5$		3.2		
		$DELAY_ [2:0] = 6$		12.8		
		$DELAY_ [2:0] = 7$		20		
Input Filter Delay Tolerance		Filters and sampling clock tolerance for $DELAY_ [2:0]$	-10.16		+10.16	%
LED Matrix/GPO Pins (LO_)						
Output Logic-High Voltage	V_{OH_LED}	$I_{LOAD} = -5mA$ (Note 2)	$V_A - 0.4$			V
Output Logic-Low Voltage	V_{OL_LED}	$I_{LOAD} = 5mA$ (Note 2)			0.4	V
Output Off Leakage	I_{LEAK_LED}	$V_A = 5.5V$	-1		+1	μA
LED Matrix Scan Rate	f_{LED}			0.33		kHz
Logic Pins (\overline{LATCH}, \overline{CS}, $SCLK$, SDI, SDO, $READY$, $FAULT$, $CRcen$, $DAISY$, $A0$, $A1$)						
Input Logic-High Voltage	V_{IH}		$0.7 \times V_L$			V
Input Logic-Low Voltage	V_{IL}				$0.3 \times V_L$	V
Input Hysteresis	V_{HYS}			0.5		mV
Input Logic Leakage Current	I_{IL}	$V_L = V_A = 5.5V$	-1		1	μA
Input Pullup Resistance	R_{PU}	$\overline{CS} = \overline{LATCH} = 0V$, $V_L = V_A = 5.5V$, REGEN shorted to GND		195		k Ω
Input Pulldown Resistance	R_{PD}	$A0$, $A1$, $CRcen$, $DAISY$, SDI , $SCLK$, $V_L = V_A = 5.5V$, REGEN shorted to GND		195		k Ω
Output Logic-High Voltage	V_{OH}	SDO , $READY$, $I_{LOAD} = -5mA$, $V_L = 2.5V$ to $5.5V$, $V_A = 5V$, REGEN shorted to GND (Note 2)	$V_L - 0.4$			V

（特に指定のない限り、 $V_{24} = +8V \sim +36V$ 、 $V_L = +2.5V \sim +5.5V$ 、 $V_A = +3.0V \sim +5.5V$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。代表値は、 $V_{24} = +24V$ 、 $V_L = +3.3V$ 、 $V_A = +5V$ 、 $T_A = +25^\circ C$ における値）（Note 1）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Logic-Low Voltage	V_{OL}	$I_{LOAD} = 5mA$, REGEN shorted to GND (Note 2)	$V_L = 2.5V$ to $5.5V$, $V_A = 5V$ for SDO		0.4	V
			$V_A = 3V$ to $5.5V$ for \overline{FAULT}		0.4	
Output Open-Drain Off Leakage Current	I_{OLEAK}		-1		1	μA
Dynamic Characteristics						
IN_ Sampling Rate	f_S	$V_{24} = V_A = 5V$, REGEN shorted to GND		1		MHz
IN_ Latching Delay	t_{LATCH}	From \overline{LATCH} or \overline{CS} falling until input data is frozen		40		ns
SPI Timing Characteristics						
SCLK Frequency	f_{SCLK}				12	MHz
SCLK Pulse Duration	t_{SCLK}	(Figure 1)	38			ns
\overline{CS} High Pulse Duration	t_{CSBPW}	(Figure 1)	1.11			μs
Minimum Data Setup Time	t_{DINSU}	(Figure 1)	10			ns
Minimum Data Hold Time	t_{DINH}	(Figure 1)	10			ns
Minimum \overline{CS} Hold Time	t_{CSBH}	(Figure 1)	38			ns
\overline{CS} Falling Edge to First Rising SCLK Edge	t_{SCLK_SU}	(Figure 1)	40			ns
Maximum SCLK to SDO Output Valid Time	t_{DO}	(Figure 1)			30	ns
Maximum \overline{CS} to SDO Output Valid Time	$t_{CSB_SDOVALID}$	(Figure 1)			40	ns
SDO Rise/Fall Time	$t_{R/F}$			3.5		ns

Note 1: すべてのデバイスは $T_A = +25^\circ C$ で 100%製品テストを行っています。温度範囲全体に対する仕様は、設計と特性評価により裏付けられています。

Note 2: 本デバイスに流れ込む電流はすべて正です。本デバイスから流れ出る電流はすべて負です。

タイミング図

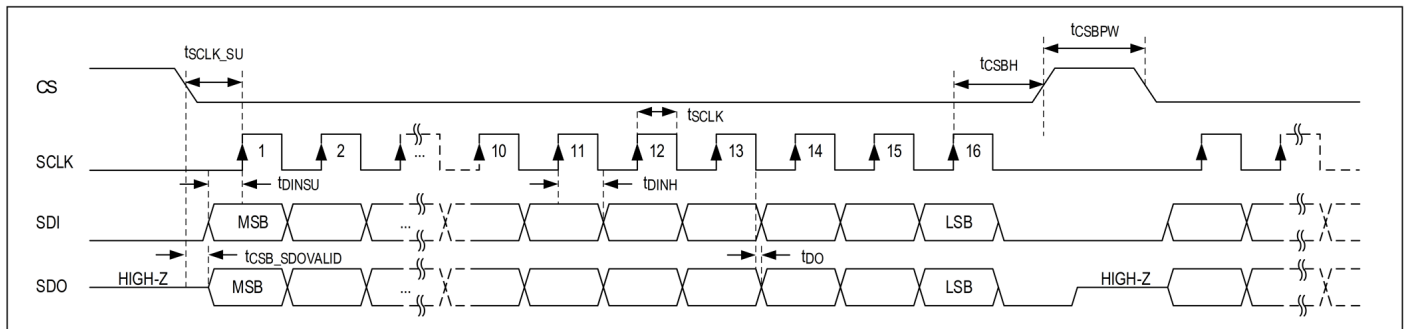


図 1. SPI タイミング図

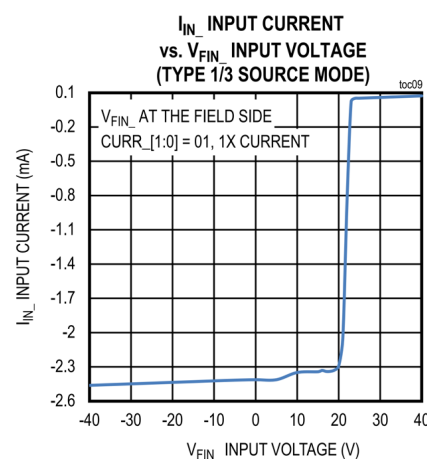
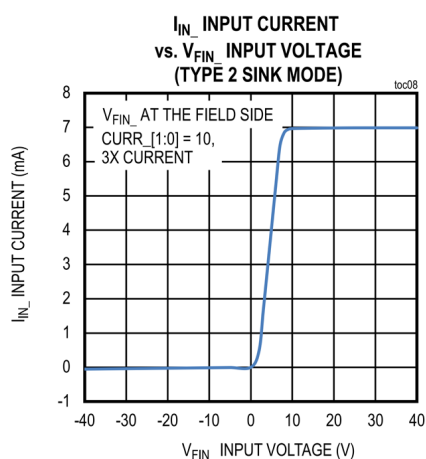
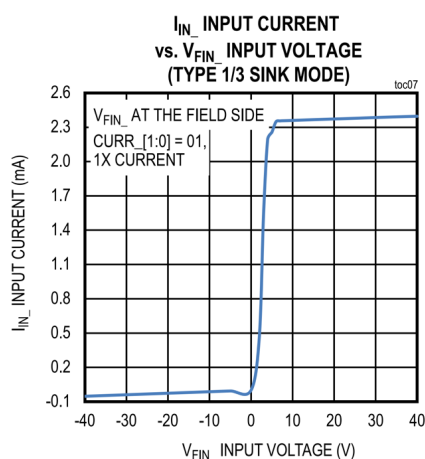
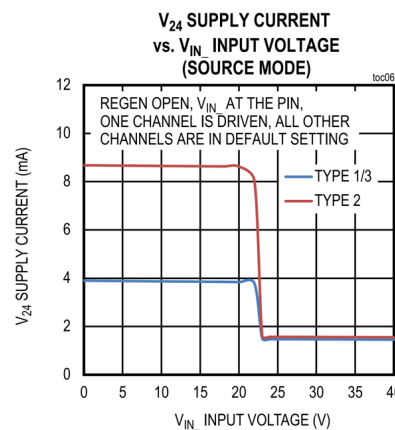
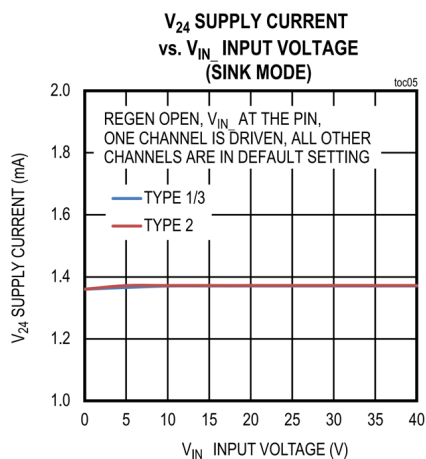
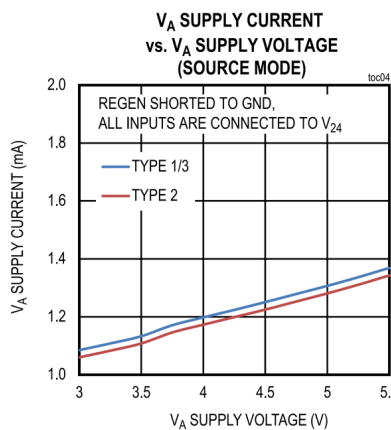
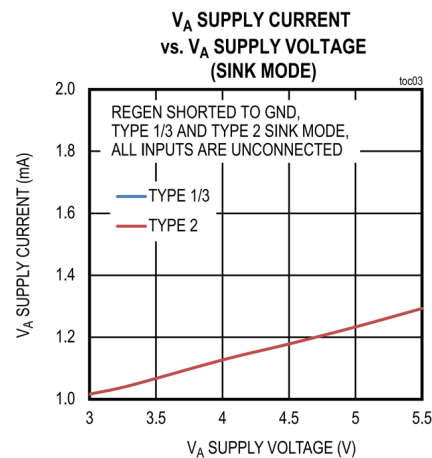
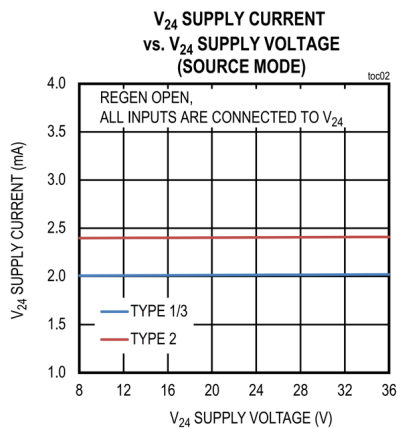
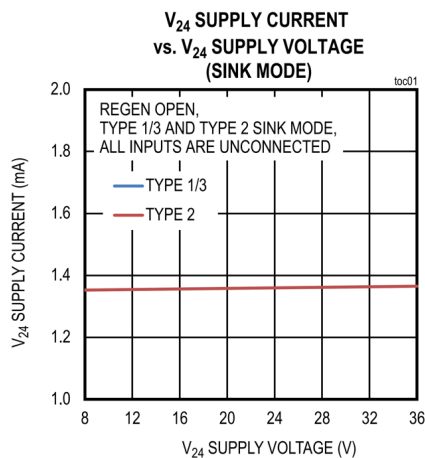
ESD 保護

($T_A = +25^\circ\text{C}$)

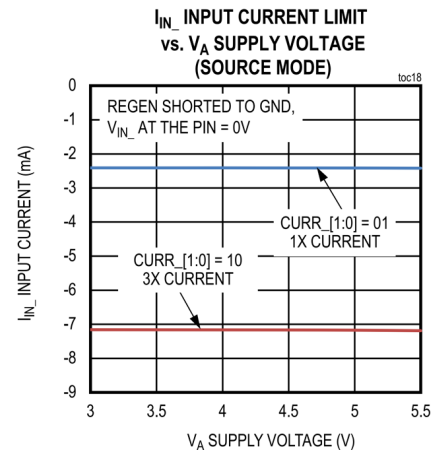
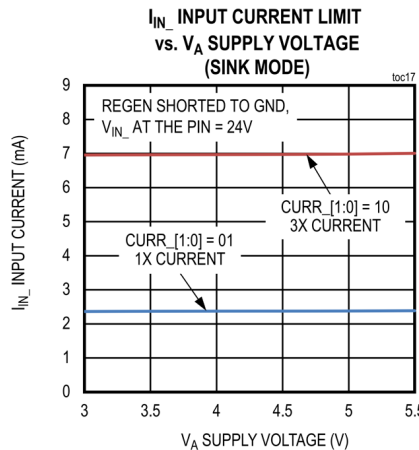
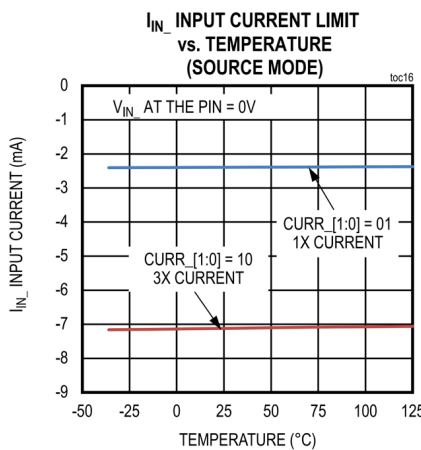
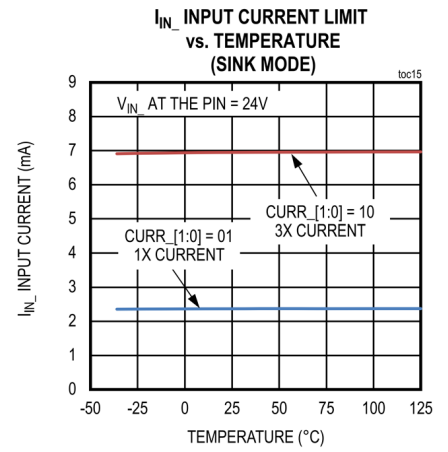
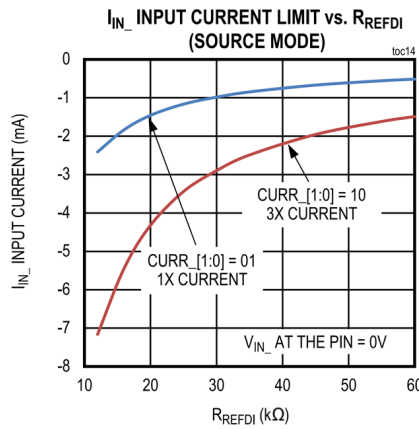
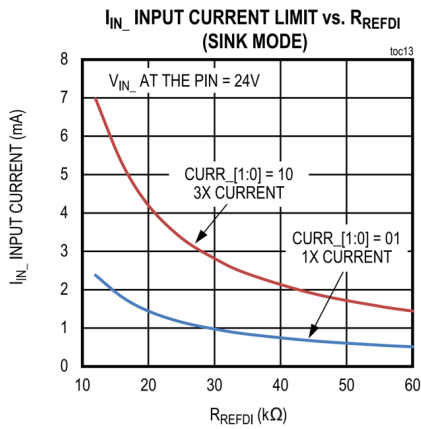
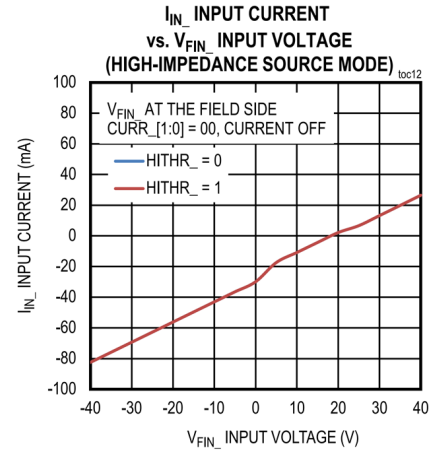
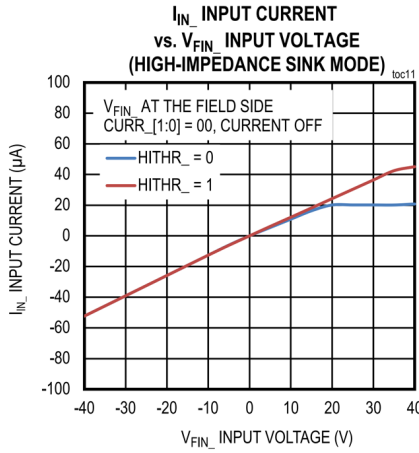
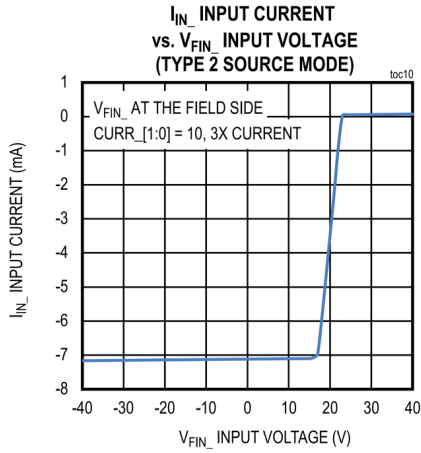
PARAMETER	SYMBOL	CONDITIONS	VALUE	UNITS
ESD		Human Body Model, All Pins	± 2	kV

標準動作特性

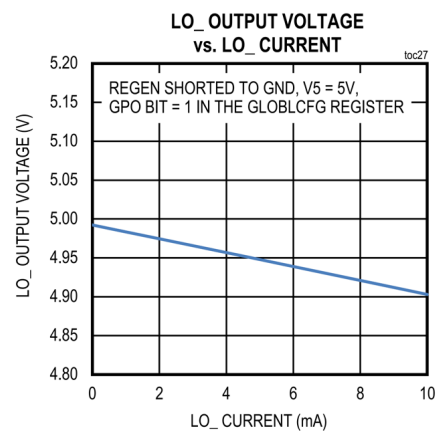
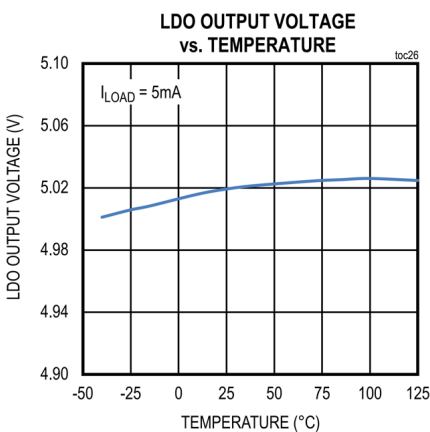
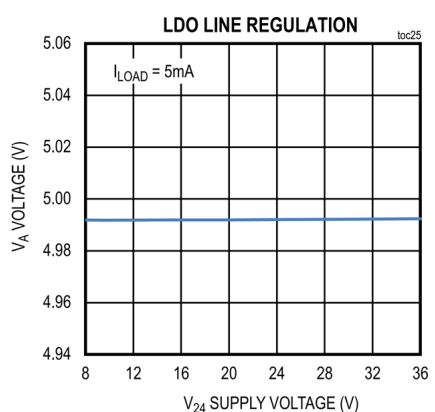
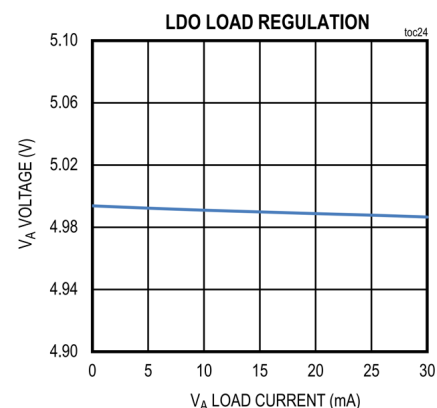
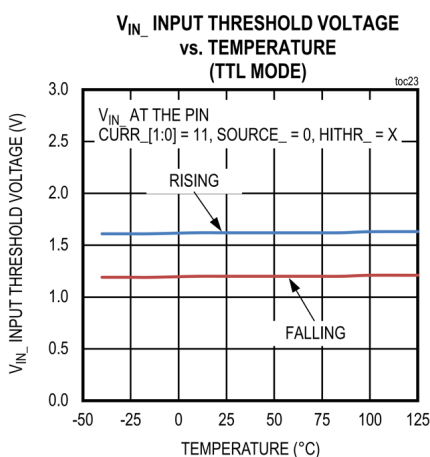
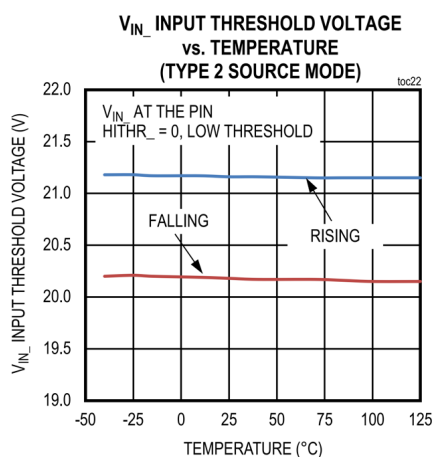
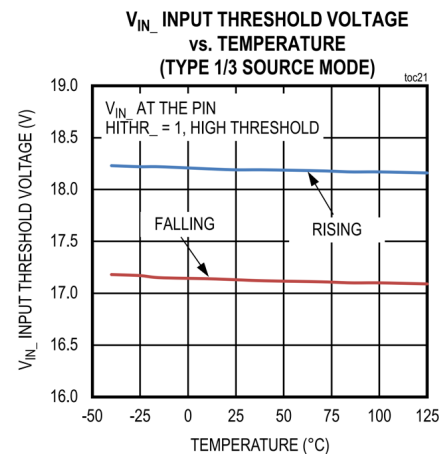
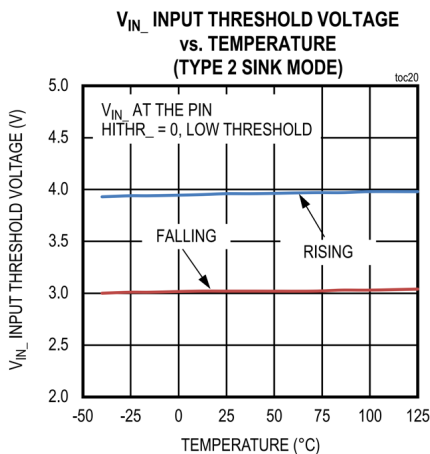
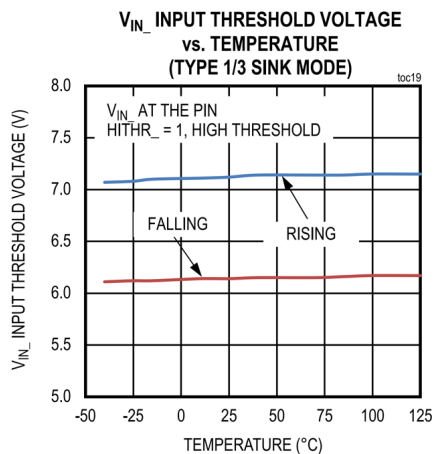
(特に指定のない限り、 $V_{24} = +24V$ 、 $REGEN = GND$ 、 $V_A = +5V$ 、 $V_L = +3.3V$ 、 $R_{REFDI} = 12k\Omega$ 、 $R_{IN_} = 680\Omega$ 、 $V_{FIN_}$ = フィールド側の電圧測定値、 $V_{IN_}$ = ピン側の電圧測定値、 $T_A = +25^\circ C$)



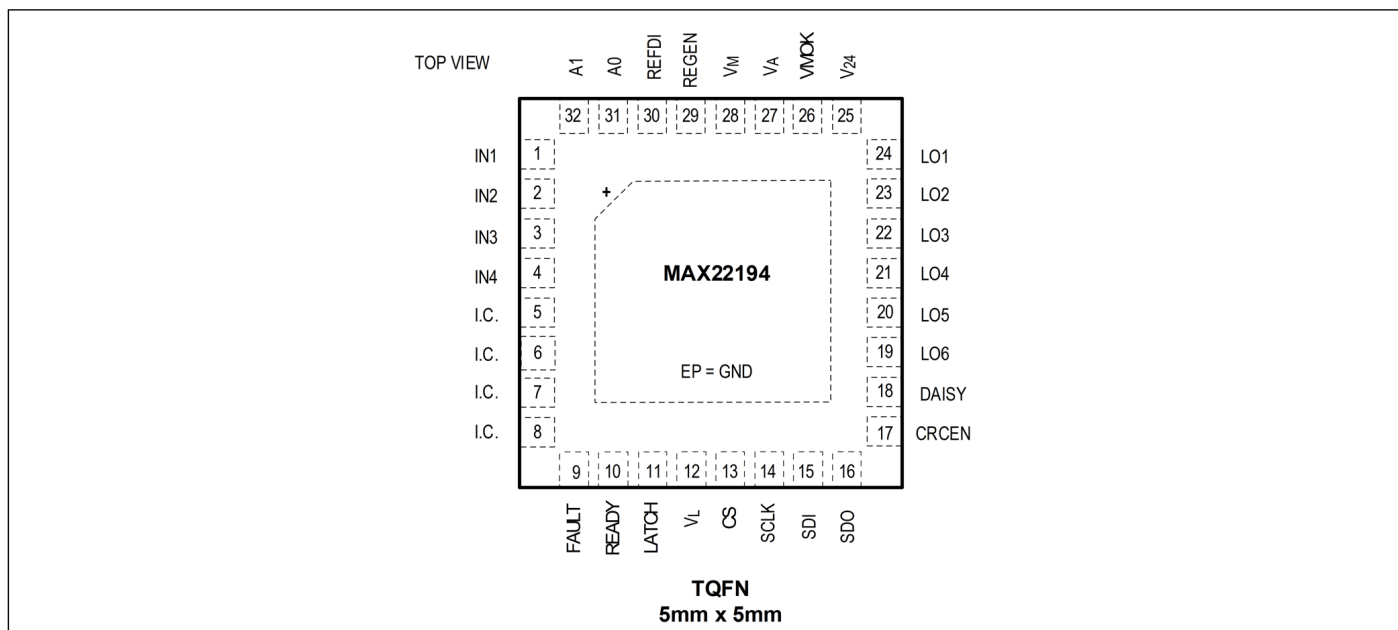
(特に指定のない限り、 $V_{24} = +24V$ 、 $REGEN = GND$ 、 $V_A = +5V$ 、 $V_L = +3.3V$ 、 $R_{REFDI} = 12k\Omega$ 、 $R_{IN_} = 680\Omega$ 、 $V_{FIN_}$ = フィールド側の電圧測定値、 $V_{IN_}$ = ピン側の電圧測定値、 $T_A = +25^\circ C$)



(特に指定のない限り、 $V_{24} = +24V$ 、 $REGEN = GND$ 、 $V_A = +5V$ 、 $V_L = +3.3V$ 、 $R_{REFDI} = 12k\Omega$ 、 $R_{IN_} = 680\Omega$ 、 $V_{FIN_}$ = フィールド側の電圧測定値、 $V_{IN_}$ = ピン側の電圧測定値、 $T_A = +25^\circ C$)



ピン配置



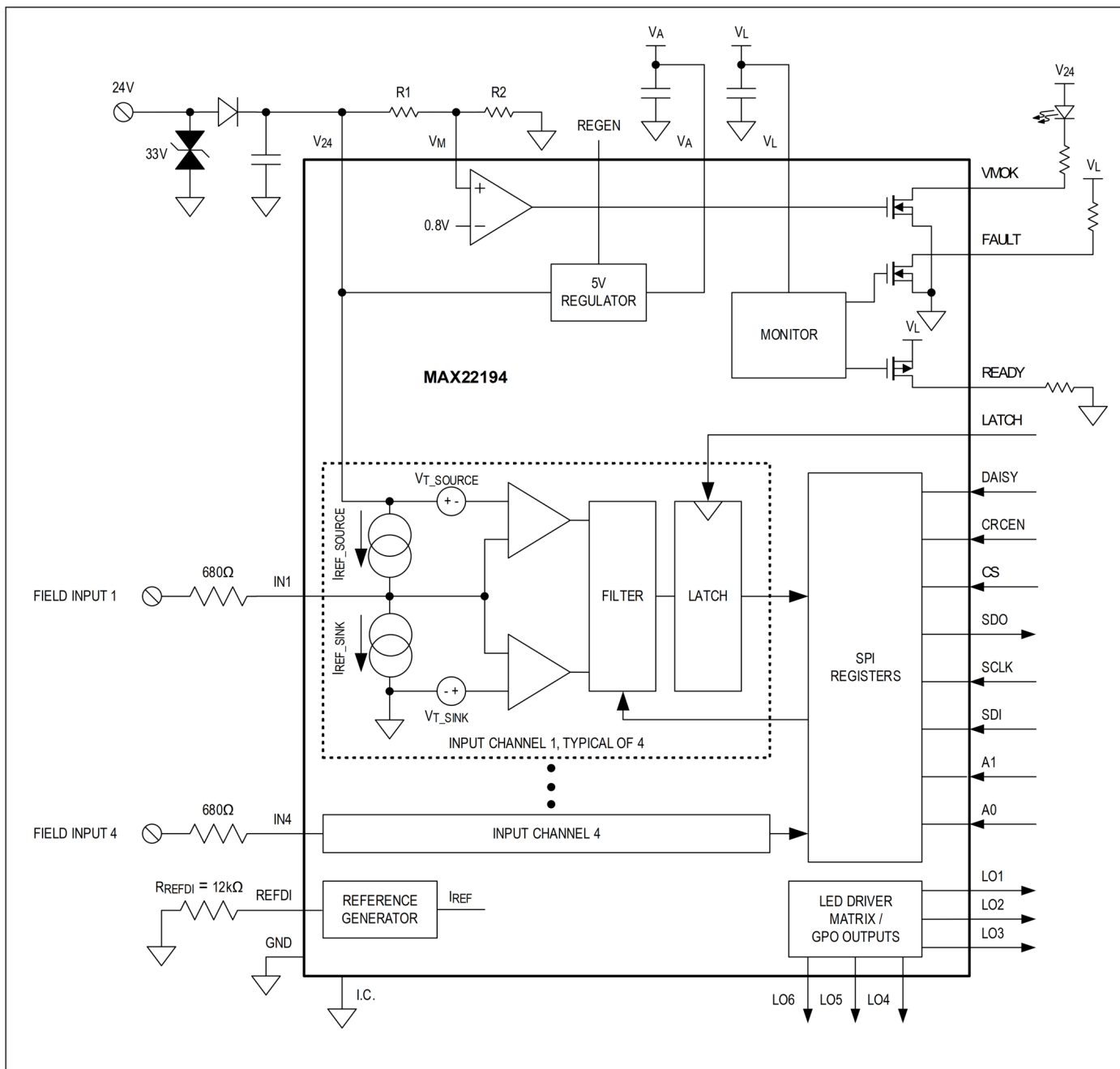
端子説明

ピン	名称	機能	リファレンス 電源	タイプ
電源				
25	V ₂₄	24V フィールド電源。1μF のコンデンサを用いて GND にバイパスします。シンクおよび TTL モードでは、24V の外部フィールド電源は不要です。詳細については電源のセクションを参照してください。		Power
27	V _A	5V リニア電圧レギュレータ出力（REGEN ピンは未接続）、または 3V~5.5V 電源入力（REGEN ピンは GND に短絡）。MAX22194 は、シンク・モードと TTL モードで、オプションとして V _A からのみ給電できます（V ₂₄ を V _A に短絡）。V _A は 1μF のコンデンサで GND にバイパスします。		Power
29	REGEN	V _A レギュレータ・イネーブル入力。REGEN を GND に接続すると、V _A レギュレータをディスエーブルできます。REGEN をオープンのまま（内部的にプルアップした状態）にすると、V _A レギュレータをイネーブルできます。	V _A	Digital Input
12	V _L	2.5V~5.5V ロジック・インターフェース電源。V _L は 0.1μF のコンデンサで GND にバイパスします。V _L は常に V _A 以下となるようにしてください。		Power
28	V _M	V _M は、V ₂₄ またはその他の電源電圧の監視に使用できるコンパレータへの入力電圧です。V _M コンパレータのトリップ電圧は、0.81V（立上がり、代表値）または 0.78V（立下がり、代表値）で、電圧スケーリングは外付けの抵抗分圧器を使って行うことができます。	V _A	Analog Input
26	\overline{VMOK}	アクティブロー、ローサイド、オープンドレイン出力。 \overline{VMOK} は、V _M 入力電圧が上昇して 0.81V（代表値）を超えるとローになり、V _M 入力電圧が 0.78V（代表値）を下回るとハイになります。 \overline{VMOK} と最大 V ₂₄ の電源電圧の間にプルアップ抵抗を接続してください。LED を直列に接続して、良好なフィールド電源の状態を示すことができます。	V ₂₄	Digital Output
5, 6, 7, 8	I.C.	内部で接続されています。I.C. は未接続のままにするか、GND に接続します。		
EP	GND	すべてのフィールド入力とすべての電源装置のグラウンド・リターン。	GND	
デジタル入力ピン				
1, 2, 3, 4	IN1 to IN4	フィールド入力。フィールド入力と IN _n ピンの間に 680Ω の抵抗を接続します。詳細については詳細のセクションを参照してください。	V ₂₄	Sink or Source Inputs

SPI				
9	$\overline{\text{FAULT}}$	アクティブロー、ローサイド、オープンドレイン・フォルト・インジケータ。FAULTがローになった場合は、FAULTレジスタに少なくとも1つのフラグが設定されていることを示します。FAULTとV _L の間にはプルアップ抵抗を接続します。	VL	Digital Output
10	$\overline{\text{READY}}$	アクティブロー、ハイサイド、オープンドレイン出力。V _A とV _L の両方がそれぞれのUVLOスレッシュホルドを超えるとREADYがローになり、それによってMAX22194の電源がオンになり動作準備ができたことを示します。READYとGNDの間にはプルダウン抵抗を接続します。	VL	Digital Output
11	$\overline{\text{LATCH}}$	LATCHとCSの両方が、（各入力の後で）シリアルライザ（並直列変換器）の入力でのデータ・ラッチを制御します。CSとLATCHの両方がハイのとき、ラッチはトランスペアレントです。シリアルライザの入力でのデータは、LATCHまたはCSのいずれかの立下がりエッジで固定されます。LATCHは通常、複数のMAX22194デバイス間で入力チャンネル・サンプリングを同期させるために使用されます。LATCHには弱い内部プルアップがあります。	VL	Digital Input
13	$\overline{\text{CS}}$	チップ・セレクト入力。ローをアサートして入力状態をラッチし、SPIをイネーブルします。CSには弱い内部プルアップがあります。	VL	Digital Input
14	SCLK	シリアル・クロック入力。SCLKには弱い内部プルダウンがあります。	VL	Digital Input
15	SDI	シリアル・データ入力。データは、SCLKの立下がりエッジでSDIにクロック入力されます。SDIには弱い内部プルダウンがあります。	VL	Digital Input
16	SDO	シリアル・データ出力。データはSCLKの立下がりエッジで更新されます。CSがハイのとき、SDOは高インピーダンスになります。	VL	Digital Output
設定ピン				
17	CRGEN	CRCイネーブル・ピン。CRGENピンをハイにすると、SPIでのCRC生成とエラー検出がイネーブルされます。CRCを使用しない場合は、CRGENピンをローにします。CRGENには弱い内部プルダウンがあります。	VL	Digital Input
18	DAISY	デジチェーン・イネーブル・ピン。DAISYピンをハイにすると、デジチェーンSPIモードがイネーブルされます。デジチェーン・モードを使用しない場合は、DAISYピンをローにします。DAISYには弱い内部プルダウンがあります。	VL	Digital Input
30	REFDI	デジタル入力電流制限値リファレンス抵抗。タイプ1およびタイプ3入力の場合、REFDIとGNDの間に12kΩの抵抗を接続します。詳細については詳細のセクションを参照してください。	VA	Analog Input
31	A0	アドレス指定可能なSPIのチップ・アドレスLSB。表4を参照してください。	VL	Digital Input
32	A1	アドレス指定可能なSPIのチップ・アドレスMSB。表4を参照してください。	VL	Digital Input
LEDマトリクス/GPO出力				
21	LO4	GLOBLCFGレジスタのGPOビットが0の場合はチャンネル4 LED共通カソード接続（オープンドレイン・ローサイド）、または、GLOBLCFGレジスタのGPOビットが1の場合は汎用ロジック出力4（プッシュプル）。LED出力として使用する場合は、抵抗を直列接続してLED電流を設定します。使用しない場合は、無接続のままにします。接続/詳細についてはLEDマトリクスのセクションを参照してください。	VA	Digital Output
20	LO5	GLOBLCFGレジスタのGPOビットが0の場合はチャンネル5 LED共通カソード接続（オープンドレイン・ローサイド）、または、GLOBLCFGレジスタのGPOビットが1の場合は汎用ロジック出力5（プッシュプル）。LED出力として使用する場合は、抵抗を直列接続してLED電流を設定します。使用しない場合は、無接続のままにします。接続/詳細についてはLEDマトリクスのセクションを参照してください。	VA	Digital Output
19	LO6	GLOBLCFGレジスタのGPOビットが1の場合はチャンネル6 汎用ロジック出力6（プッシュプル）。使用しない場合、またはGLOBLCFGレジスタのGPOビットが0の場合は無接続のままにします。	VA	Digital Output
24	LO1	GLOBLCFGレジスタのGPOビットが0の場合はチャンネル1のLED共通アノード接続（オープンドレイン・ハイサイド）、または、GLOBLCFGレジスタのGPOビットが1の場合は汎用ロジック出力1（プッシュプル）。LED出力として使用する場合は、抵抗を直列接続してLED電流を設定します。使用しない場合は、無接続のままにします。接続/詳細についてはLEDマトリクスのセクションを参照してください。	VA	Digital Output
23	LO2	GLOBLCFGレジスタのGPOビットが0の場合はチャンネル2 LED共通アノード接続（オープンドレイン・ハイサイド）、または、GLOBLCFGレジスタのGPOビットが1の場合は汎用ロジック出力2（プッシュプル）。LED出力として使用する場合は、抵抗を直列接続してLED電流を設定します。使用しない場合は、無接続のままにします。接続/詳細についてはLEDマトリクスのセクションを参照してください。	VA	Digital Output

22	LO3	GLOBLCFG レジスタの GPO ビットが 0 の場合はチャンネル 3 LED 共通アノード接続（オープンドレイン・ハイサイド）、または、GLOBLCFG レジスタの GPO ビットが 1 の場合は汎用ロジック出力 3（プッシュプル）。LED 出力として使用する場合は、抵抗を直列接続して LED 電流を設定します。使用しない場合は、無接続のままにします。接続／詳細については LED マトリクス のセクションを参照してください。	VA	Digital Output
----	-----	---	----	----------------

機能図



詳細

MAX22194 は、4つのデジタル入力のロジック状態を検出します。IN1～IN4の入力ピンの電圧を内部リファレンスと比較して、フィールドのバイナリ出力センサーがオン（論理1）かオフ（論理0）かを判定します。4つの入力はすべて、LATCHまたはCSのいずれかのアサーションによって同時にラッチされ、データはSPIを介してシリアル化された形式で利用可能になります。

各入力は、電流シンクまたは電流ソース、DI（高または低スレッショルド）またはTTLスレッショルドに対して個別に設定できます。ソース・モードのデジタル入力には電源電流を供給でき、シンク・モードでは電流を受け取ることができます。ON状態は、入力チャンネルがシンク入力として設定されている場合（CNFGレジスタのSOURCEビット=0）には高電圧であり、入力がソース入力として設定されている場合（CNFGレジスタのSOURCEビット=1）には低電圧です。OFF状態は、入力チャンネルがシンク入力として設定されている場合には低電圧であり、入力がソース入力として設定されている場合には高電圧です。

入力コンパレータが通常の動作を続けている間は、電流シンクと電流ソースをオフにすることができ、5V TTL動作または24V HTL動作が高インピーダンス入力で可能になります。

12kΩの抵抗をREFDIとGNDの間に配置し、680Ωの抵抗を各フィールド入力とその対応するIN_ピンの間に配置すると、ONおよびOFFトリップ・ポイントでの電流とトリップ・ポイントでの電圧が、IEC 61131-2タイプ1/3またはタイプ2のデジタル入力の条件を確実に満たすことができます。各入力ピンによってシンク（またはソース）される電流は、電流リミッタが設定したレベルに達するまで、入力電圧と共に直線的に上昇します。このポイントを超える電圧の増加があっても、入力電流は上昇しません。電流制限は、IEC 61131-2への準拠を確保し、同時に従来の抵抗入力と比較して消費電力を大幅に削減します。図2に、デジタル電流および電圧に関するIEC 61131-2の要件を示します。

タイプ1/タイプ3のデジタル入力をチャンネルごとに選択するには、CNFGレジスタの2つのCURR_[1:0]ビットを0b01に設定して、REFDI抵抗により設定される電流に1倍の係数を選択し、更にCNFGレジスタのHITHR_ビットを1に設定して、より高い値を入力ピンの電圧スレッショルドに選択します。タイプ2のデジタル入力をチャンネルごとに選択するには、CNFGレジスタの2つのCURR_[1:0]ビットを0b10に設定します。この設定では、REFDI抵抗によって設定される電流に3倍の係数が選択されます。そのため、CNFGレジスタのHITHR_ビットを0に設定して、より低い電圧スレッショルドを選択します。これは、3倍の係数によって入力電流が高くなり、入力直列抵抗の両端の電圧降下が大きくなるためです。入力モード設定については表1を参照してください。

電流設定抵抗REFDIは、次の簡単な式を用いて計算できます。

$$R_{REFDI} = \frac{M \times V_{REFDI}}{I_{IN_}}$$

ここで、 $V_{REFDI} = 0.61V$ （代表値）です。定数Mは、表2に示すように入力モードの設定によって異なります。最小許容REFDI抵抗値は12kΩです。REFDI抵抗が12kΩ以下の場合、FAULT2レジスタのRFDISビットがアサートされ、REFDIピンの短絡フォルトが示されません。

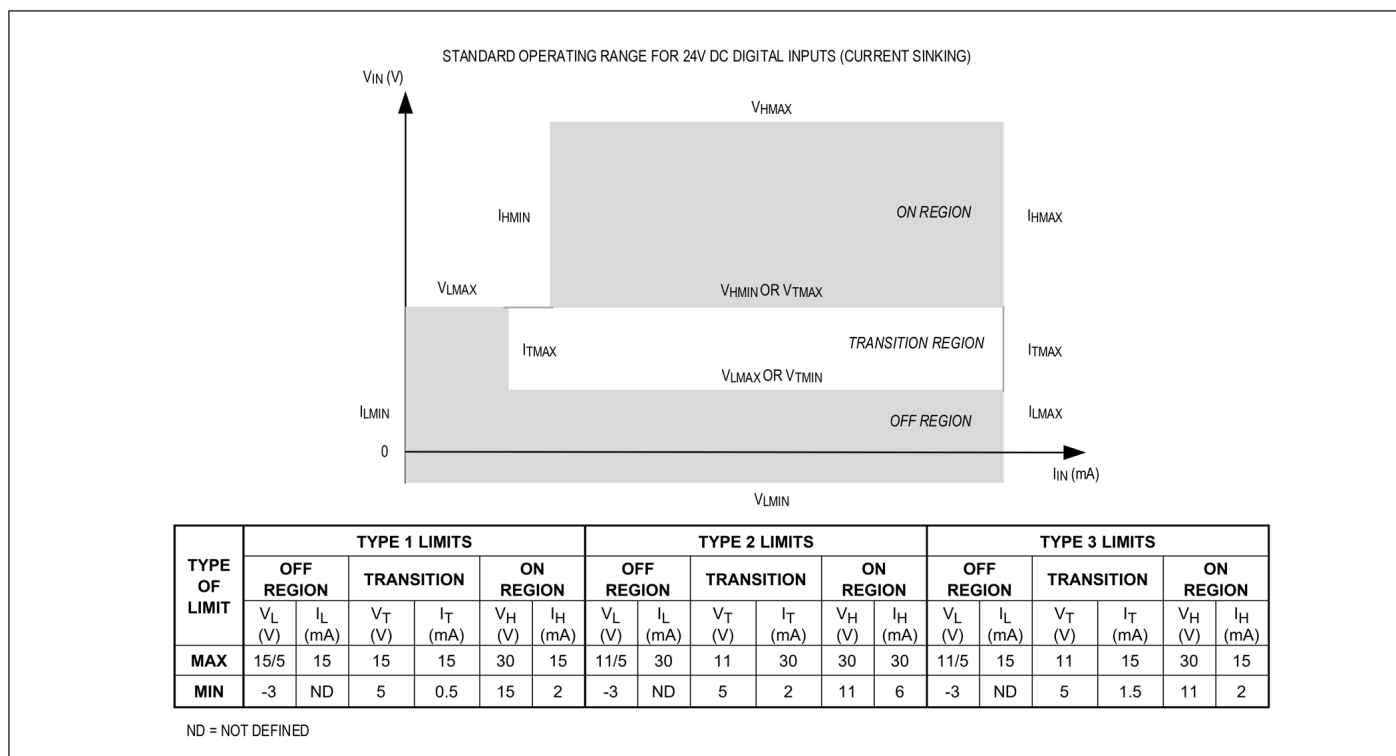


図 2. IEC 61131-2 タイプ 1、2、3 の 24VDC デジタル入力のスイッチング特性

表 1. 入力モードの設定

INPUT TYPE	CNFG_REGISTER		
	CURR_[1:0]	SOURCE_	HITHR_
HTL Mode/High-Impedance Mode	00	0	X
Digital Input Type 1/3 Sink Mode	01	0	1
Digital Input Type 2 Sink Mode	10	0	0
TTL Mode	11	0	X
High-Impedance Mode	00	1	X
Digital Input Type 1/3 Source Mode	01	1	1
Digital Input Type 2 Source Mode	10	1	0
High-Impedance Mode	11	1	X

X = ドント・ケア。

表 2. 入力電流の式における REFDI の簡易スケーリング係数

INPUT TYPE	M VALUE	INPUT CURRENT LIMIT (mA) WHEN REFDI = 12kΩ
Digital Input Type 1/3 Sink Mode (1x)	46	2.34
Digital Input Type 2 Sink Mode (3x)	136	6.91
Digital Input Type 1/3 Source Mode (1x)	43	2.19
Digital Input Type 2 Source Mode (3x)	133	6.76

入力フィルタ

MAX22194 は、入力でのグリッチとノイズを低減するためにチャンネルごとにデジタル・フィルタを備えており、アナログ RC フィルタは不要です。コンデンサを IN ピンに接続して、フィルタ処理する必要はありません。各入力 (IN1~IN4) にはプログラマブル・デジタル・フィルタがあります。入力データはフィルタ処理することも、バイパスして高速サンプリングすることも可能です。入力はサンプリングされ、データは 1MHz (代表値) でラッチされます。対応する CNFG_レジスタ内のビット FLTEN_を用いると、フィルタをバイパスするか、フィルタをイネーブルすることができます。8 つのフィルタ遅延 (50µs、100µs、400µs、800µs、1.6ms、3.2ms、12.8ms、20ms) のうちの 1 つを、チャンネルごとに独立して選択できます。

ノイズ除去は、フィールド入力の状態がカウント方向 (アップまたはダウン) を制御するノーロールオーバー・アップダウン・カウンタを介して行われます。このフィルタは、1MHz クロックが供給するアップダウン・カウンタを使用します。入力がハイの場合はカウント・アップし、入力がローの場合はカウント・ダウンします。フィルタ出力は、カウンタが上限または下限に達したときに更新されます。上限は選択されたフィルタ遅延に依存し、下限はフィルタ遅延に関係なくゼロです。フィルタのローからハイへの遷移は、カウンタが上限に達したときに起きます。ハイからローへの遷移は、カウンタが下限に達したときに起きます。ロールオーバーは起きません。上限または下限に達すると、カウンタが停止するだけです。フィルタ遅延は、カウンタが上限または下限からスタートしたときに、ステップ入力に応じて上限または下限に達するのに要する時間です。図 3 に示すように、入力がステップ関数ではなく、バウンスしている場合、出力は次式の合計遅延の後に状態を変化させます。

$$t_{DELAY} = t_{FLT_DELAY} + 2 \times t_{OLD_STATE}$$

図 3 の例におけるフィルタの公称遅延は 1.6ms であり、入力は、ハイからローへの最初の遷移後に、2 つの 0.2ms 期間でハイに戻ります。こうしたハイ状態に戻る遷移により、フィルタの出力が切り替わるまでの時間が延長されます。

$$t_{DELAY} = 1.6ms + 2 \times (0.2ms + 0.2ms) = 2.4ms$$

図 4 に示すように、入力コンパレータによる遅延 ($t_{CMPDELAY}$)、サンプリング遅延 ($t_{SAMPLDELAY}$)、CNFG_レジスタに設定されるフィルタ遅延、SPI 読出し遅延によって、チャンネル入力から (SPI での) データ出力への遅延が形成されます。

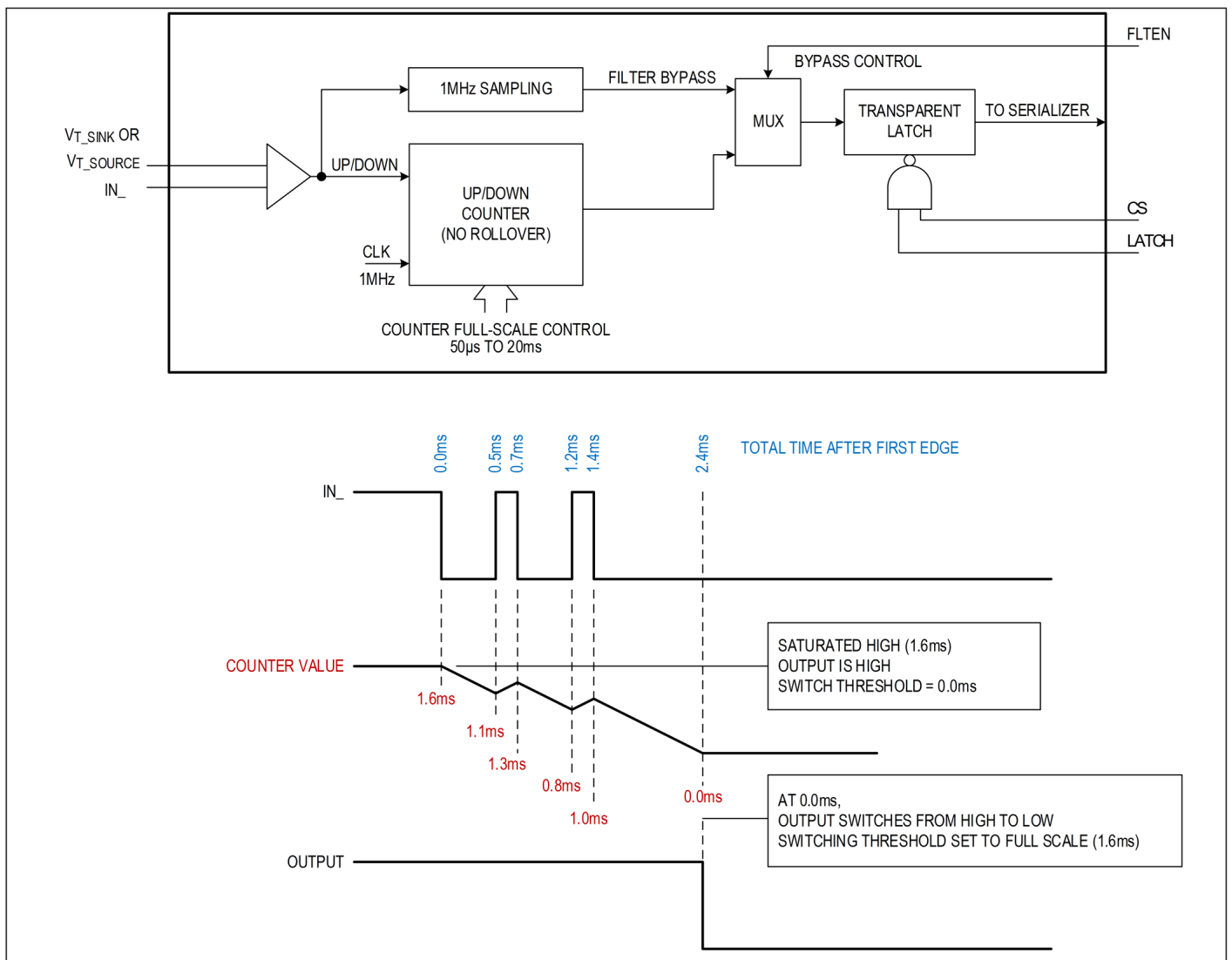


図 3. MAX22194 のデジタル・フィルタ

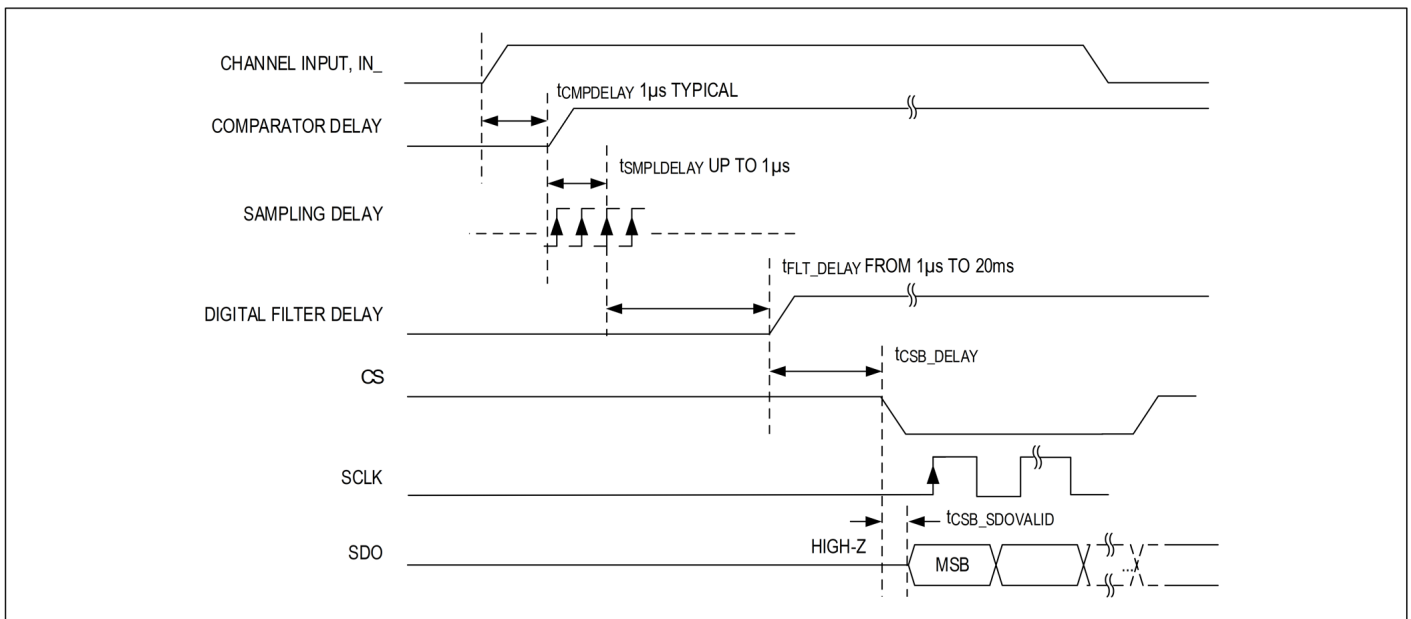


図 4. チャンネル入力から出力への遅延

IN_Data のサンプリング

MAX22194 の 4 つの入力は、すべて $\overline{\text{LATCH}}$ または $\overline{\text{CS}}$ のいずれかの立下がりエッジで同時にラッチされます。データは、DISTATE レジスタ (アドレス 0x00) からの SPI 読出しに利用できます。対応する CNFG_ レジスタの FLTEN_ ビットを 0 に設定してデジタル・フィルタをディセーブルにすると、IN_ 信号は 1MHz のサンプリング・レートでサンプリングされます。時間分解能は、 $\overline{\text{LATCH}}$ または $\overline{\text{CS}}$ の立下がりエッジに対して $\pm 1\mu\text{s}$ です。

電源

通常動作では、MAX22194 には V_{24} フィールド電源、 V_A アナログ電源、 V_L ロジック I/O 電源から給電する必要があります。 V_A は、内蔵リニア電圧レギュレータまたは外部電源から供給できます。5V 内蔵リニア電圧レギュレータは、REGEN ピンがオープンになるときに V_A 電源を生成します。3.0V~5.5V の外部電源から V_A を供給する場合は、REGEN ピンを GND に接続する必要があります。

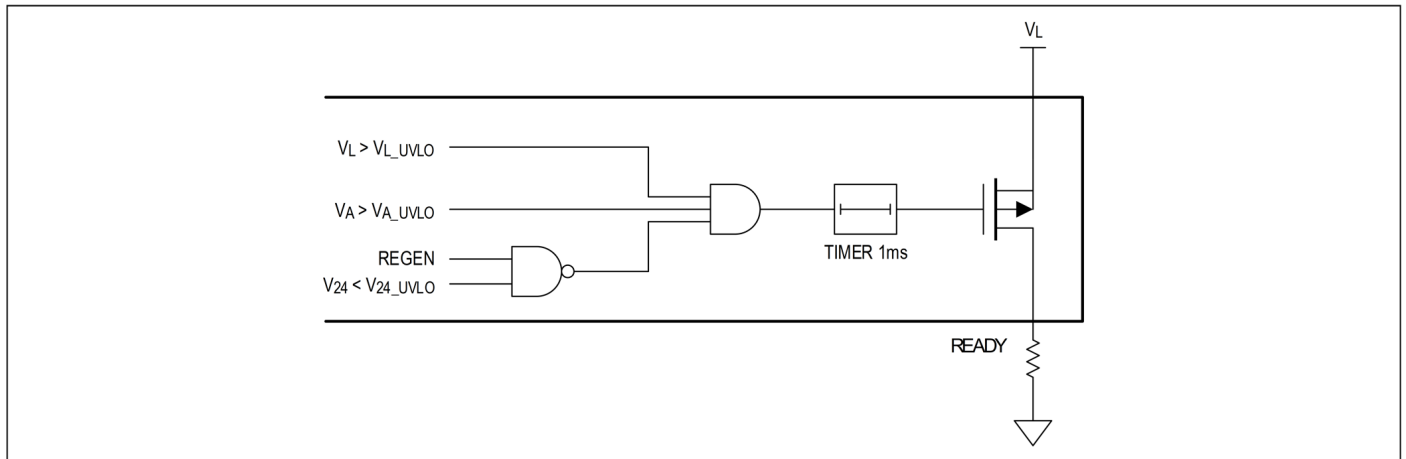
外部の 3.3V または 5V 電源から MAX22194 の V_A に給電する場合は、 V_{24} への給電を外部の 24V 電源から行う必要があります。MAX22194 がシンクまたは TTL 構成でのみ動作する場合、 V_{24} は V_A 外部電源から給電することができ、24V 電源は不要です。

V_A の 5V 外部電源から MAX22194 に給電する利点は、24V のフィールド電源から LDO の消費電力がなくなることです。 V_{24} フィールド電源から MAX22194 に給電する利点は、システム・サーマル・シャットダウン (FAULT2 レジスタの OTSHDN2 ビット) が発生しても、レジスタの内容が失われないことです。詳細については、SPI 電源ステータスのセクションを参照してください。

V_L 電源は、2.5V~5.5V の範囲のロジック・インターフェース電源です。 V_L は常に V_A 以下となるようにしてください。

$\overline{\text{READY}}$ ロジック

MAX22194 は、MAX22194 が適切に給電され、通常の動作の準備ができていることを示す $\overline{\text{READY}}$ 信号を備えています。 V_A アナログ電源と V_L ロジック I/O 電源の両方が、それぞれの UVLO スレッショルドを上回っている場合、 $\overline{\text{READY}}$ はローをアサートします。 $\overline{\text{READY}}$ は、プルダウン抵抗を必要とするオープンドレインのハイサイド出力です。 $\overline{\text{READY}}$ は V_M コンパレータに関連付けられていません。

図 5. $\overline{\text{READY}}$ ロジック

VMOK電源モニタ

MAX22194は、電源やその他の電圧の状態を監視し、視覚的表示に使用できるコンパレータを備えています。V_Mを外付け抵抗分圧器に接続すると、スレッシュホールド電圧が定義されます。 $\overline{\text{VMOK}}$ は、電流制限抵抗を介してLEDを駆動できる高電圧オープンドレイン出力です。V_Mコンパレータは2つの出力を生成します。 $\overline{\text{VMOK}}$ 信号と、FAULT1レジスタのVMLOWビットです。

$\overline{\text{VMOK}}$ 信号はREADY表示では使用しません。これにより、 $\overline{\text{VMOK}}$ スレッシュホールドをV_{24_UVLO}内部スレッシュホールドとは異なる値に設定できます。

フォルトの検出およびモニタリング

$\overline{\text{FAULT}}$ はローサイドのオープンドレイン出力で、他のオープンドレイン出力とワイヤOR接続して、ホスト・プロセッサにフォルトを通知するために使用できます。 $\overline{\text{FAULT}}$ がイネーブルされている場合、 $\overline{\text{FAULT}}$ がローになったときは、FAULT1レジスタに少なくとも1つのフラグが設定されていることを示します。これらのフォルトは次のとおりです。すなわち、V_Mコンパレータ・トリップ (VMLOW)、V₂₄低電圧アラーム (V24UV)、過熱アラーム (TEMPALM)、サーマル・シャットダウン (OTSHDN1)、直前のSPIフレームでのCRCエラー検出 (CRCERR)、PORの発生、またはFAULT2レジスタのマスクされていないビットのセット、のいずれかです。

FIMASKおよびF2MASKレジスタのマスク・ビットは、FAULT1およびFAULT2レジスタのどのフラグが $\overline{\text{FAULT}}$ ピンをアサートするかを選択します。マスク・ビットはFAULT1レジスタのフラグには影響せず、 $\overline{\text{FAULT}}$ ピンにのみ影響します。FAULT2を除くFAULT1レジスタのすべてのビットがラッチされます。これらは、フォルトが解消された場合でも、読み出まで設定されたままになります。フォルトが解消されない場合、フォルト・ビットは読み出し後も1のままです。

FAULT1レジスタのFAULT2ビットは、FAULT2レジスタのすべてのマスクされていないビットの論理和です。FAULT2レジスタ内のすべてのマスクされていないフォルト・ビットがクリアされると、すぐに0になります。FAULT2レジスタは、読み出すことによってのみクリアできます。フォルトが解消されない場合、フォルト・ビットは読み出し後も1のままです。

GLOBALCFGレジスタのFSPICLRビットが1の場合、フォルト・ビットはFAULT1レジスタの読み出し時にのみクリアできます。FSPICLRビットが0の場合、FAULT1レジスタのフォルト・ビットはOTSHDN1ビットを除き、SPI読み出しコマンドまたは書き込みコマンドが成功した場合にもクリアできます。

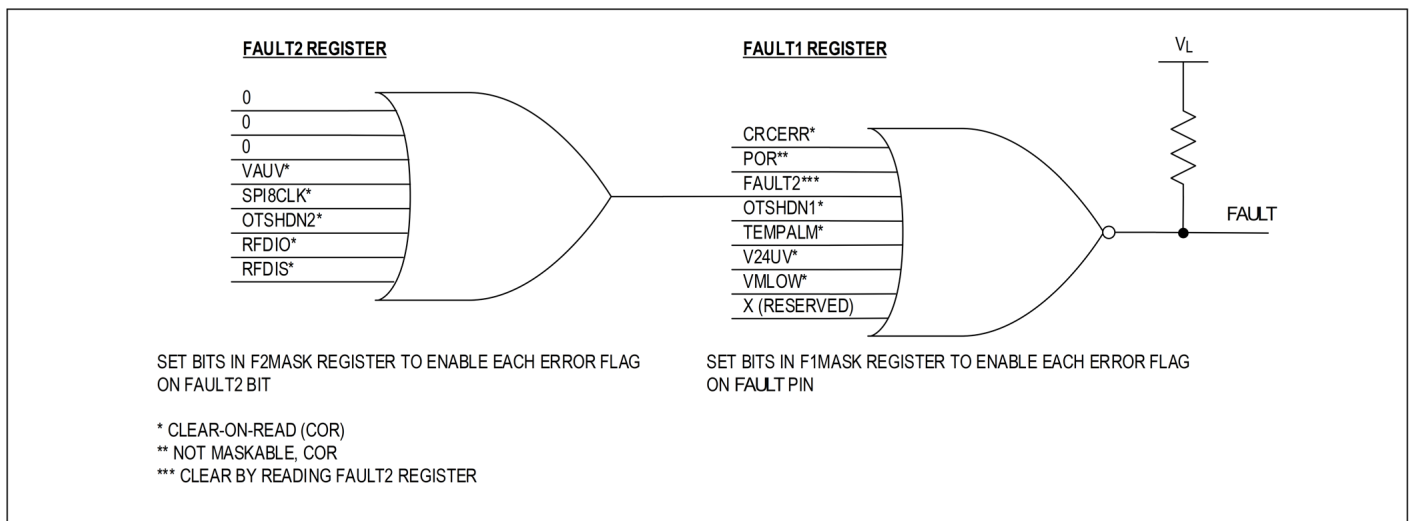


図 6. FAULT出力ソース

熱に関する考慮事項

MAX22194 は、適切に設計された PC 基板上であれば、以下に示す条件下において最大+125°C の周囲温度で動作します。より高い電圧、より高い入力電流で動作する、または内蔵リニア電圧レギュレータに外部負荷をかけて動作すると、消費電力が増加し、最大許容周囲温度が低下します。熱仕様については、[パッケージ情報](#)および[絶対最大定格](#)のセクションを参照してください。

周囲温度 125°C での動作条件は次のとおりです。

- 多層基板（4層以上）
- $V_{24} = +28.8V_{max}$
- 各 IN 入力に 680Ω の抵抗を直列接続
- 全フィールド入力電圧 = 最大+30V
- 全ロジック出力が CMOS 負荷を駆動
- REFDI と GND の間の抵抗 = 12kΩ

MAX22194 には、温度アラーム（FAULT1 レジスタの TEMPALM ビット）、サーマル・シャットダウン（FAULT1 レジスタの OTSHDN1 ビット）、システム・サーマル・シャットダウン（FAULT2 レジスタの OTSHDN2 ビット）の3つのレベルの熱保護機能があります。

- 温度アラーム：ジャンクション温度が 115°C（代表値）まで上昇すると、FAULT1 レジスタの TEMPALM ビットが 1 に設定されます。TEMPALM が 1 に設定されている場合でも、MAX22194 の動作は通常どおりです。
- サーマル・シャットダウン：温度が 150°C（代表値）まで上昇すると、FAULT1 レジスタの OTSHDN1 ビットが 1 に設定されます。入力チャンネルがすべて、強制的に高インピーダンス・モードになります。
- システム・サーマル・シャットダウン：温度が 165°C（代表値）まで上昇すると、FAULT2 レジスタの OTSHDN2 ビットが 1 に設定されます。入力チャンネルがすべて、強制的に高インピーダンス・モードになります。内部 LDO はオフになります。

V_A と V_L に外部から給電されている状態でシステム・サーマル・シャットダウン（OTSHDN2）が生じて、SPI 通信の動作とレジスタへのアクセスは可能です。 V_A に外部から給電されている場合、サーマル・シャットダウンが起きる可能性は小さくなりますが、入力チャンネルを流れる電流が過大な場合には、サーマル・シャットダウンが起きる可能性があります。

MAX22194 が V_{24} から給電され、内部 LDO がイネーブルされて、 V_L が内部 LDO 出力 V_A から給電されている状態でシステム・サーマル・シャットダウン（OTSHDN2）が生じると、 V_A と V_L の電源がオフになり、SPI バッファがオフになって SPI 回路が補助的な 3.3V 内部電圧により給電され、レジスタ値は保持されます。しかし、 V_A と V_L の両方がオフになっているため、レジスタの読出しまたは書込みは実行できません。

MAX22194 が V_{24} から給電され、内部 LDO がイネーブルにされて、 V_L が V_A から独立している状態でシステム・サーマル・シャットダウン（OTSHDN2）が生じると、 V_A の電源がオフになり、SPI バッファがオフになって SPI 回路が補助的な 3.3V 内部電圧により給電され、レジスタ値は保持されます。しかし、 V_A がオフで SPI ロジック・インターフェースが動作できないため、レジスタの読出しまたは書込みは実行できません。様々なサーマル・イベント時の内部回路の電源投入ステータスについては、[表 3](#) を参照してください。

表 3. サーマル・イベント時の内部回路の電源投入ステータス

THERMAL EVENTS	INTERNAL CIRCUITS	POWER-UP STATUS	
		Internal LDO Enabled, V _A Generated by V ₂₄	Internal LDO Disabled, V _A Supplied Externally
TEMPALM	Internal Regulator	ON	OFF
	Input Channels	ON	ON
	REFDI	ON	ON
	Registers	ON	ON
	SPI	ON	ON
OTSHDN1	Internal Regulator	ON	OFF
	Input Channels	OFF	OFF
	REFDI	OFF	OFF
	Registers	ON	ON
	SPI	ON	ON
OTSHDN2	Internal Regulator	OFF	OFF
	Input Channels	OFF	OFF
	REFDI	OFF	OFF
	Registers	ON	ON
	SPI	OFF	ON

LED マトリクス

MAX22194 は、6つの汎用プッシュプル・ロジック出力（GPO）または4LEDドライバ・マトリクスとして構成可能な6つのロジック出力ピン（LO1～LO6）を備えています。これを実現するには、GLOBLCFGレジスタのGPOビットを、LEDマトリクス・モードの場合は0に設定し、GPOモードの場合は1に設定します。LEDマトリクス・モードでは、GLOBLCFGレジスタのLEDINTビットを1に設定することによってLEDがMAX22194により自律的に制御される場合、LED1～LED4がデジタル入力（IN1～IN4）の状態を示します。

GPOビット = 0 : LED マトリクス・モード

LEDマトリクス・モードを選択するには、GLOBLCFGレジスタのGPOビットを0に設定します。LED1～LED4は、GLOBLCFGレジスタ内のLEDINTビットが0であることを条件として、LEDレジスタによりオンまたはオフにすることができます。あるいは、MAX22194により自律的に制御して、入力チャンネルごとのステータスを示すことができます。LEDINTビットを1に設定することによってLEDマトリクスが自律的に制御される場合は、シンク・モードまたはソース・モードで対応するIN_nチャンネルとの間に電流が流れたとき、またはTTLモードで入力が高いときに、ステータスLEDが自動的に点灯します。低リーク・高インピーダンス（HTL）モードでは、ステータスLEDは常に消灯しています。LEDINTビットが0にセットされた場合、LED1～LED4はLEDレジスタにより制御されます。

ON状態のLEDは、V_A電源から33%デューティ・サイクルの方形波で駆動されます。LED電流は、LO1出力とLO3出力の間に直列接続された電流制限抵抗を介して設定されます。各行（LO4とLO5）は、3msの間に1msずつ交互にローに保持されます。共通列（LO1～LO3）は、対応するLEDが点灯した場合にハイになります。各抵抗からの電流は、一度に1つのLEDにのみ流れます。常時点灯しているLEDと同じ明るさにするには、LED電流を3倍にします。サーマル・シャットダウン・イベント（OTSHDN1）時には、LEDマトリクスはオフになります。

GPOビット = 1 : GPOモード

GPOモードを選択するには、GLOBLCFGレジスタのGPOビットを1に設定します。次に、6つのGPOピン（LO1～LO6）の制御は、LEDレジスタ内の対応するLED1～LED4、GPO5、およびGPO6ビットに0を書き込んでGPOピンをローに設定するか、または1を書き込んでGPOピンをハイに設定して行います。システム・サーマル・シャットダウン・イベント（OTSHDN2）時には、GPOドライバがディセーブルになります。

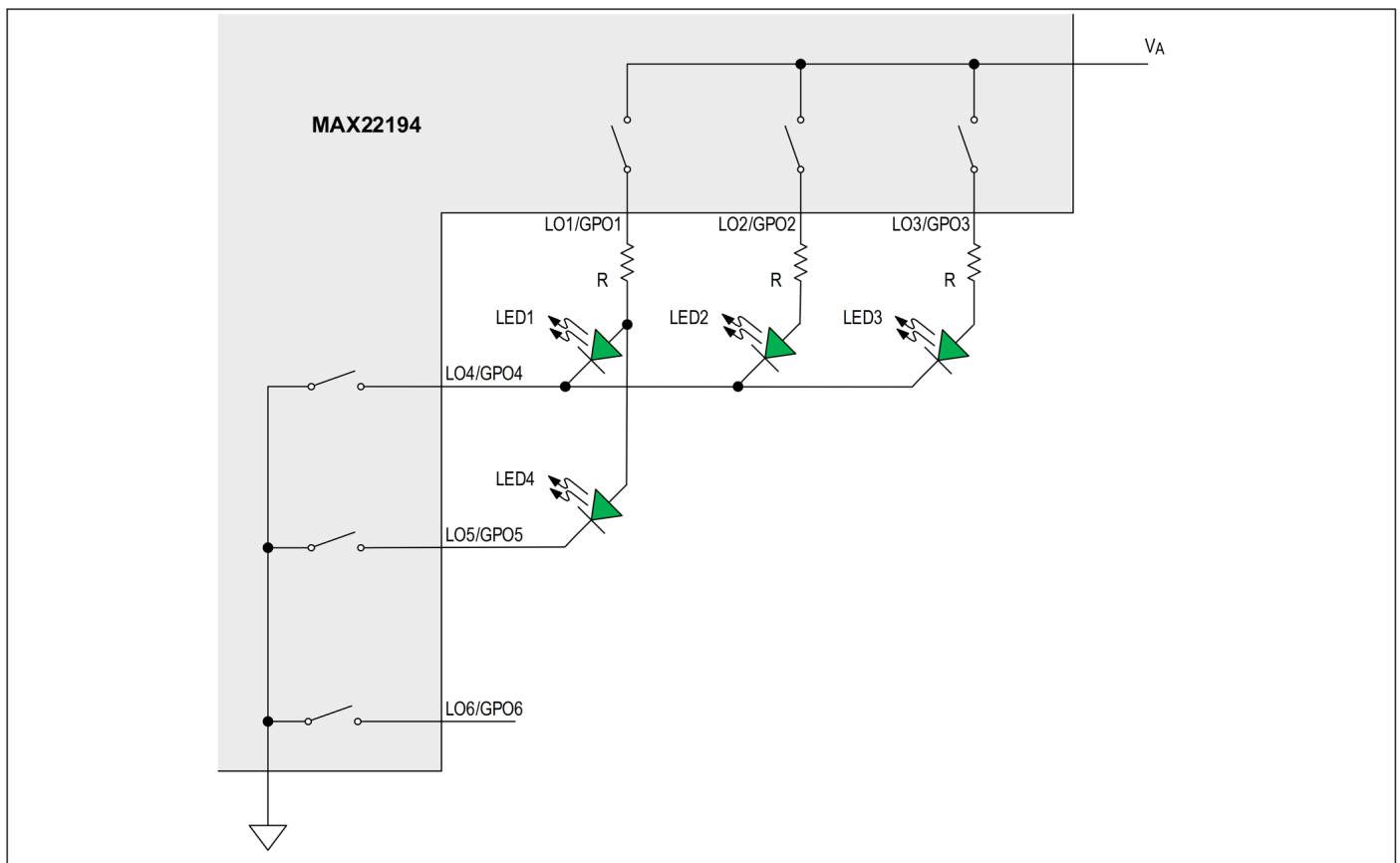


図 7. LED マトリクスまたは GPO ドライバのスキーム

シリアル・ペリフェラル・インターフェース

MAX22194 には、入力データの読出し、診断データの読出し、すべてのレジスタの設定を行う SPI 対応インターフェースがあります。設定が確実に適切なものとなるよう、各設定レジスタはリードバックできます。インターフェースは、アドレス指定可能な SPI として、または、DAISY ピンで選択されたデジチェーン・モードとして動作できます。アドレス指定可能な SPI モードでは、このインターフェースは、単一の \overline{CS} 信号を用いて、共有 SPI 上の最大 4 つの MAX22194 デバイスとの直接通信に対応します。SDI 入力のデータは SCLK の立上がりエッジでサンプリングされ、SDO のデータは SCLK の立下がりエッジで更新されます。 \overline{CS} がデアサートされている（ハイの場合）の SCLK の遷移は無視されます。 \overline{CS} がアサートされる時、SCLK はアイドル・ローである必要があります。 \overline{CS} がハイの場合、SDO は 3 ステートになり、複数の SPI デバイスは共通 SPI を共有できます。SPI SCLK の最大レートは 12MHz です。

MAX22194 には \overline{LATCH} 入力があり、同じ \overline{CS} により制御されていない複数のモジュールからの全入力チャンネルの同期サンプリングが可能です。 \overline{LATCH} がローになると、デジタル入力データは、デジタル入力状態レジスタ DISTATE（アドレス = 0x00）で固定され、 \overline{CS} がローになると SDO にクロック・アウトされます。 \overline{LATCH} がハイの場合、入力データはサンプリングされ、 \overline{CS} の立下がりエッジで固定されます。

SPI プロトコル

本デバイスのシリアル出力は SPI プロトコルに従い、CPHA=0 および CPOL=0 で実行されます。アドレス指定可能な SPI モード（DAISY ピンをローに保持）では、SDI でクロック・インされた最初の 2 つの MSB ビットが、A1 と A0 に割り当てられ、チップ・アドレスを定義するため、MAX22194 は、それが通信中かどうかを即座に識別できます。デジチェーン SPI モード（DAISY ピンをハイに保持）では、SDI でクロック・インされた最初の 2 つの MSB ビットは「ドント・ケア」値です。アドレス指定可能な SPI モードの SPI タイミング図については、図 8 と図 9 を参照してください。図 12～図 15 は、デジチェーン・モードでの SPI タイミング図です。

アドレス指定可能な SPI モード

MAX22194 は、アドレス指定可能な SPI を備えているため、共通の \overline{CS} チップ選択信号を用いて、共有 SPI 上の最大 4 つの MAX22194 デバイスのいずれにも直接 SPI アクセスが可能になります。これは、表 4 に示すように、A0 および A1 ロジック入力を用いて各 MAX22194 にデバイス・アドレスを割り当てることにより実現されます。SPI コントローラは、2 つのデバイス・アドレス・ビットを送信して、すべての SPI コマンドを開始するため、MAX22194 は、それが通信中かどうかを即座に識別できます。MAX22194 は、アドレス指定されていることを識別すると、FAULT1 レジスタからの、CRCERR、POR、FAULT2、TEMPALM、V24UV、VMLOW を含む 6 つのフォルト・ビットを、SDO にクロック・アウトし始め、MAX22194 のステータスを示します。SPI 書込みサイクルは、6 つのフォルト・ビットと 4 つの「ドント・ケア」ビットに続く、SDO 上の 4 つのデジタル入力の状態を表し、SPI 読出しサイクルはレジスタ値を表します。

GLOBALCFG レジスタの FSPICLR ビットが 0 の場合、OTSHDN1 を除く FAULT1 レジスタに設定されたフォルト・ビットは、SPI コマンドが成功すると自動的にクリアされます。これに対し、GLOBALCFG レジスタの FSPICLR ビットが 1 の場合、FAULT1 レジスタに設定されたフォルト・ビットは、いずれも FAULT1 レジスタからの読出しがあった場合のみリセットされます。

表 4. SPI デバイス・アドレスの選択

A1	A0	DEVICE ADDRESS
Low	Low	00
Low	High	01
High	Low	10
High	High	11

図 8 に、アドレス指定可能な SPI モードでの SPI 書き込みコマンドを示します。各 SPI 書き込みサイクルは、4つのデジタル入力の状態を SDO ピン上のデータ・ビット DI4~DI1 で表します。

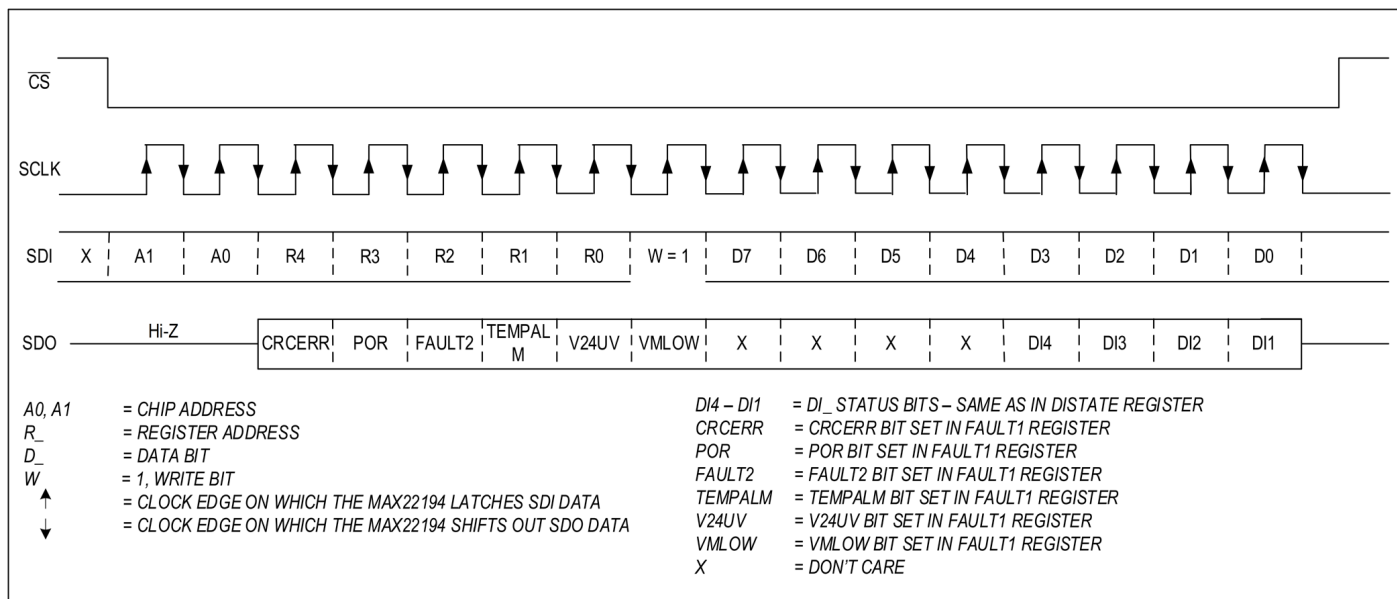


図 8. アドレス指定可能な SPI モードでの SPI 書き込みコマンド

図 9 に、アドレス指定可能な SPI モードでの SPI 読出しコマンドを示します。

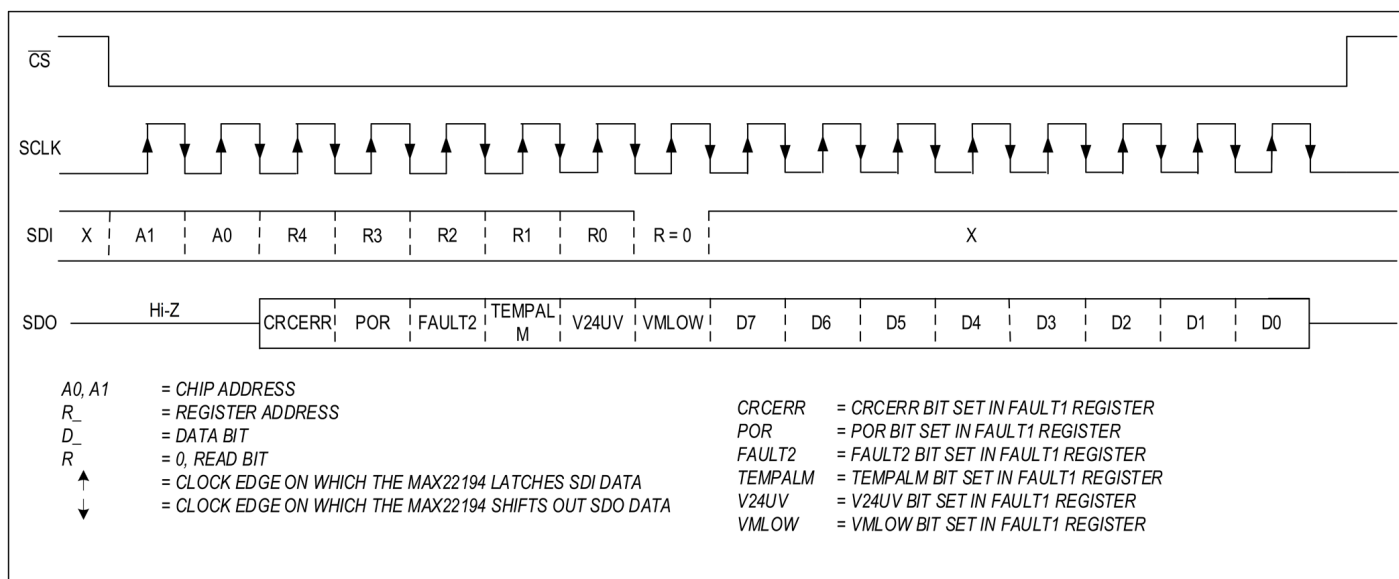


図 9. アドレス指定可能な SPI モードでの読出しコマンド

デジチェーン SPI モード

センサー入力数が 4 つを超えるシステムでは、複数のデバイスをデジチェーン接続すると、単一のシリアル・インターフェースを介してすべてのデータ入力にアクセスできます。MAX22194 は、DAISY ピンをハイに設定すると、デジチェーン SPI モードで動作させることができます。デジチェーン構成を用いる場合は、MOSI をチェーン内の最初のデバイスの SDI に接続します。MISO はチェーンの最後のデバイスの SDO に接続します。すべての中間リンクでは、SDI を前のデバイスの SDO に接続し、SDO を次のデバイスの SDI に接続します。チェーン内のすべてのデバイスの \overline{CS} と SCLK は、並列接続する必要があります。デジチェーン・モードで MAX22194 と MAX22196 を使用した 12 入力アプリケーションを示す図 10 と、チェーン内に 2 つのデバイスがある SPI コマンド・フレームを示す図 11 を参照してください。MAX22194 と MAX22196 は同じ SPI を備えています。図 12～図 15 に、デジチェーン・モードでの読出しサイクルと書き込みサイクルにおける MAX22194 の様々な SPI タイミング図を示します。デジチェーン SPI モードでは、SPI の読出しまたは書き込みコマンドによるフォルト・ビットのクリア機能は、FSPICLR ビットの設定に関係なくディスエーブルになります。

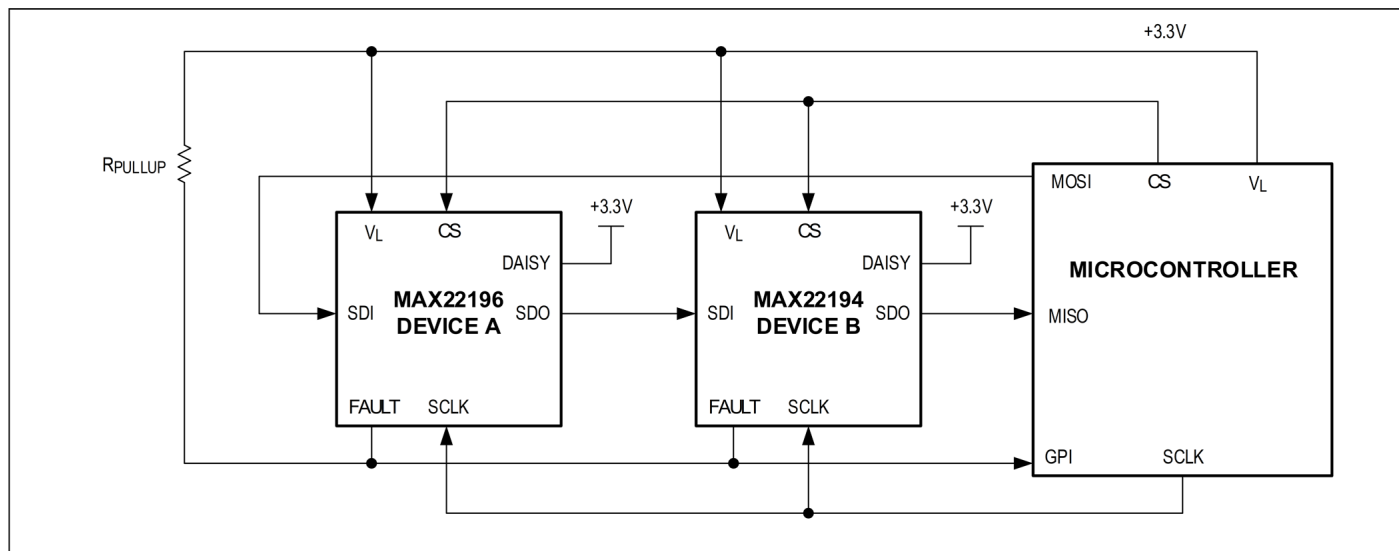


図 10. 12 チャンネル・アプリケーションにおけるデジチェーン SPI 動作

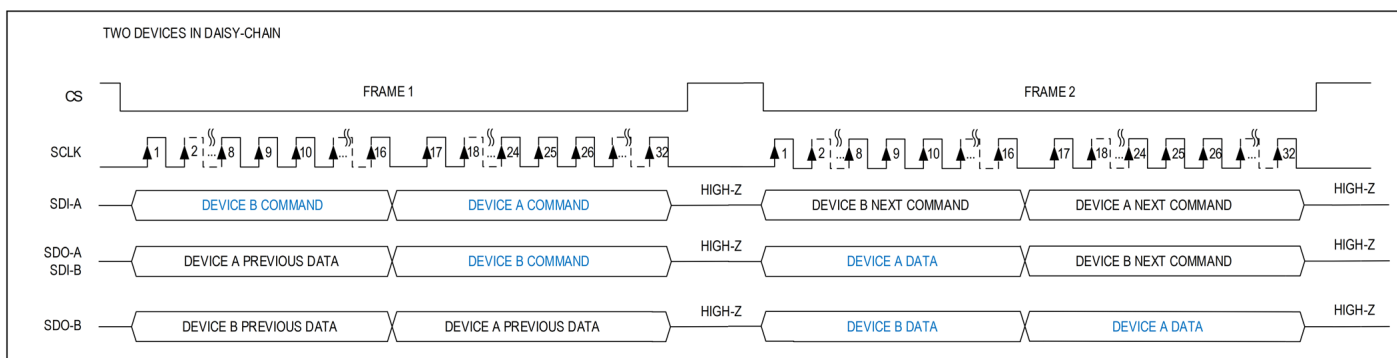


図 11. デイジーチェーン SPI コマンド図

図 12 に、先行の書き込みサイクルに続く書き込みコマンドのデイジーチェーン SPI のタイミング図を示します。本デバイスは、4つのデジタル入力チャンネル（DI4～DI11）のステータスと、FAULT1 レジスタ（F7～F0）からのフォルト・ビットを、SDO で送信される 1 番目と 2 番目のバイトで示します。

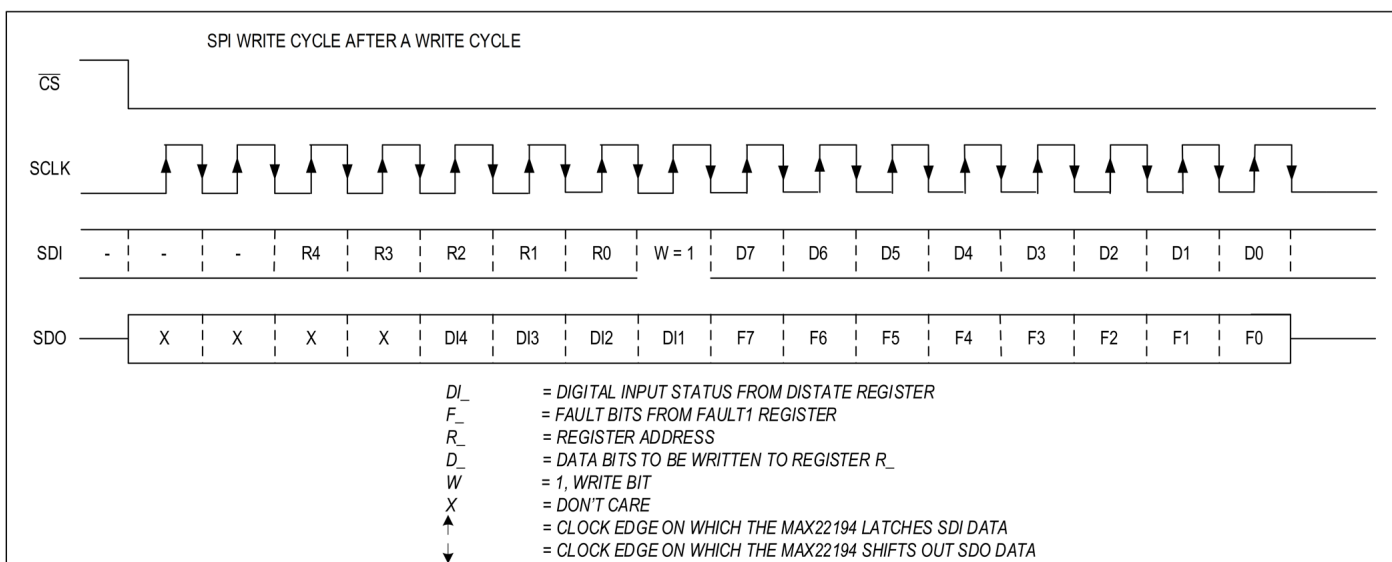


図 12. デイジーチェーン・モードでの先行書き込みサイクルに続く SPI 書き込みサイクル

図 13 に、先行の読出しサイクルに続く書き込みコマンドのデジチェーン SPI タイミング図を示します。本デバイスは、4つのデジタル入力チャンネル（DI4～DI1）のステータスを、SDO で送信される 1 番目のバイトで示します。SDO で送信される 2 番目のバイトは、先行読出しコマンドからのレジスタ値です。

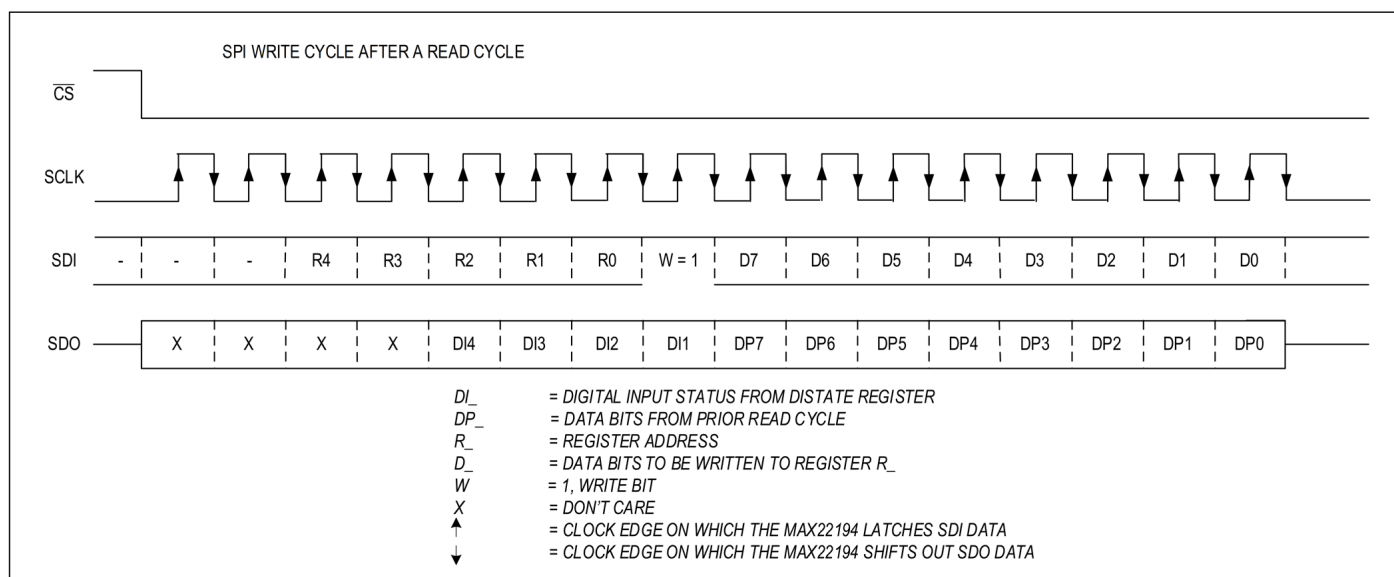


図 13. デジチェーン・モードでの先行読出しサイクルに続く SPI 書き込みサイクル

図 14 に、先行の読出しサイクルに続く読出しコマンドのデジチェーン SPI のタイミング図を示します。本デバイスは、4つのデジタル入力チャンネル（DI4～DI1）のステータスを、SDO で送信される 1 番目のバイトで示します。SDO で送信される 2 番目のバイトは、先行読出しコマンドからのレジスタ値です。

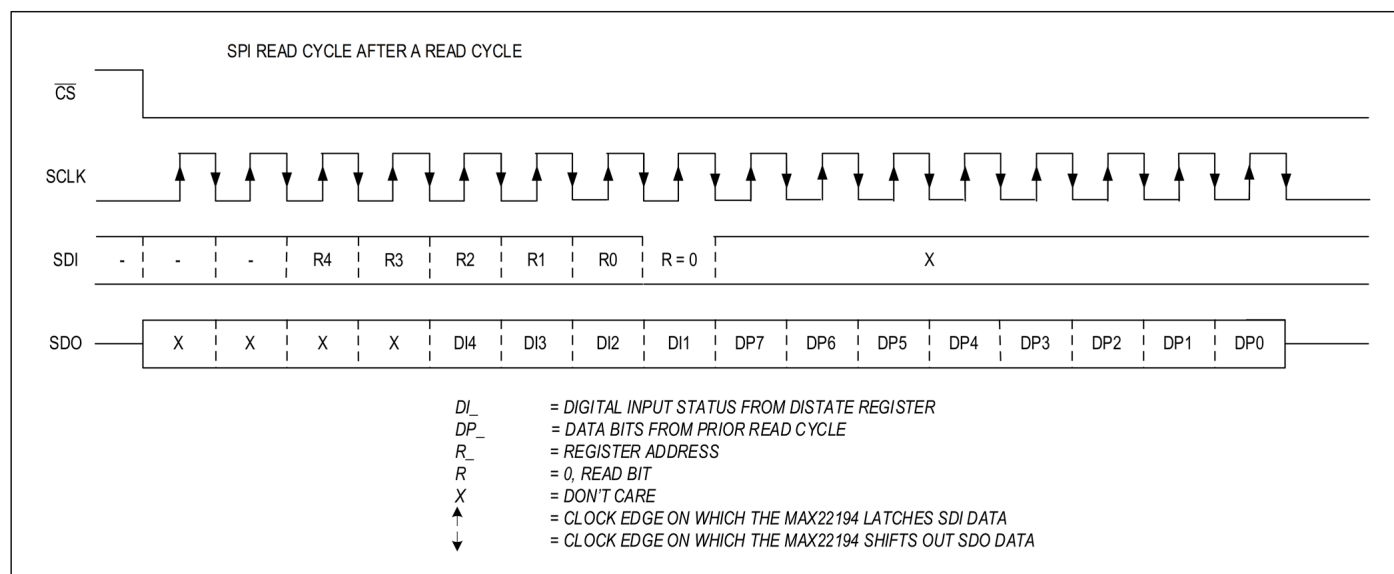


図 14. デジチェーン・モードでの先行読出しサイクルに続く SPI 読出しサイクル

図 15 に、先行の書き込みサイクルに続く読出しコマンドのデジチェーン SPI のタイミング図を示します。本デバイスは、4 つのデジタル入力チャンネル（DI4～DI1）のステータスと、FAULT1 レジスタ（F7～F0）からのフォルト・ビットを、SDO で送信される 1 番目と 2 番目のバイトで示します。

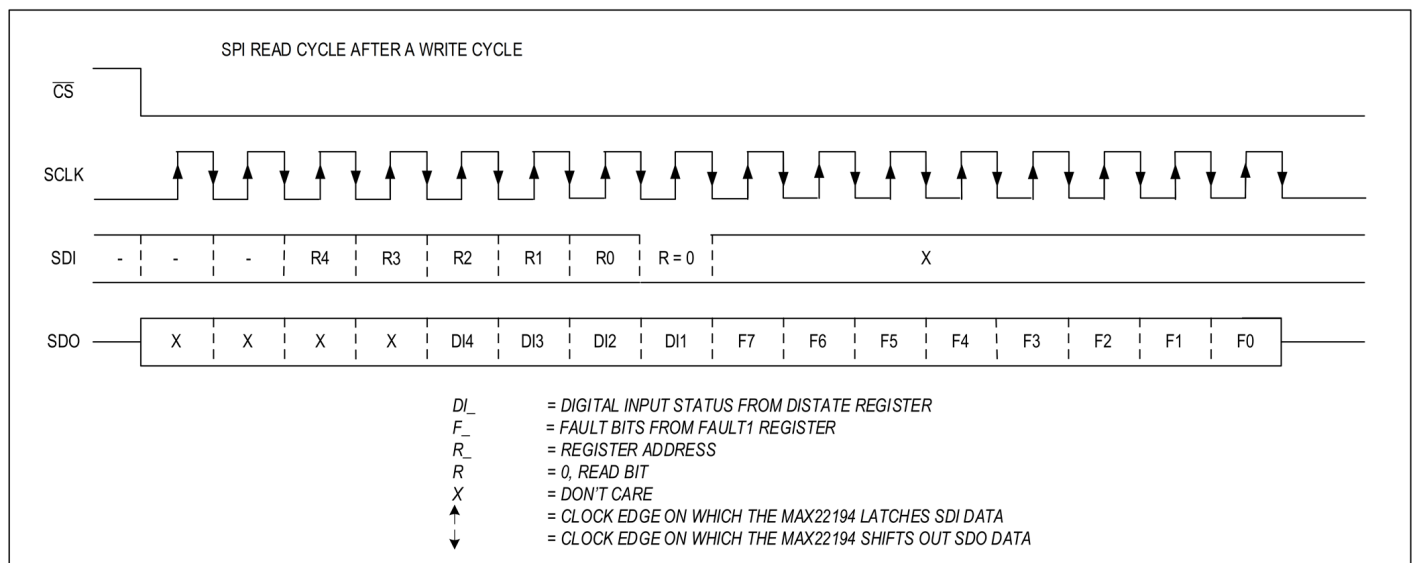


図 15. デジチェーン・モードでの先行書き込みサイクルに続く SPI 読出しサイクル

SPI 電源ステータス

V_L 電源から給電されるのは SPI I/O バッファだけです。内部 SPI 回路は V_A 電源から給電されます。SPI 通信を行うには、 V_A と V_L の両方が有効である必要があります。 V_A は、SPI 回路に給電するだけでなく、SPI メモリ（設定レジスタとステータス・レジスタ）も保持します。 V_{24} を介して給電されている場合は、メモリ用の補助電源も利用できます。補助電源はメモリを保持するだけで、SPI 通信には使用できません。 V_A が外部負荷またはサーマル・シャットダウン・イベントによって失われた場合は、補助電源が引き継ぎます。そのイベントが終了すると、本デバイスの設定が維持され、フォルト情報は FAULT レジスタで入手できます。SPI 通信およびレジスタ設定の電源条件については、表 5 を参照してください。

表 5. SPI 電源ステータス

V_{24}	V_A	V_L	REGISTER CONTENTS	SPI COMMUNICATION
Valid	Valid	Valid	Data Maintained	Normal Operation
Not Valid	Valid	Valid	Data Maintained	Normal Operation
Valid	Not Valid	X	Data Maintained	\overline{CS} ignored, SDO is High-Z
X	Valid	Not Valid	Data Maintained	\overline{CS} ignored, SDO is High-Z
Not Valid	Not Valid	X	Data Lost	\overline{CS} ignored, SDO is High-Z

X = ドント・ケア。

CRC の生成

MAX22194 は、表 6 に示すように、アドレス指定可能な動作モードとデジチェーン動作モードの両方に対し、SPI フレームを 8 ビット長くして SPI での CRC エラー検出を行うオプションを備えています。5 つの CRC ビットは、本デバイスと外部マイクロコントローラ間の転送中にデータの整合性をチェックするために使用されます。転送されるデータの整合性が問題にならないアプリケーションでは、CRCEN ピンをローに保持し、CRC ディスエーブル・モードで動作させることにより、CRC ビットをディスエーブルにできます。

CRCEN ピンをハイに設定して、CRC エラー検出をイネーブルにすると、MAX22194 は次の動作を行います。

- コントローラから受信した SDI データのエラーを検出します。
- SDO データでの CRC を計算し、コントローラに送信した SDO データ・ストリームの末尾にチェック・バイトを付加します。

これにより、コントローラから受信したデータと、コントローラに送信したデータの両方でデータの整合性が確実に維持されます。

CRC 値は、イネーブルになると、各 SPI コマンドにより送信されます。5 ビットの CRC (CR[4:0]) は、生成多項式 $P(x) = x^5 + x^4 + x^2 + 1$ と CRC 開始値 = 0b111111 に基づいています。CRC がイネーブルの場合、MAX22194 は、受信した SDI データ・ストリームにチェック・バイトが付加されると想定します。図 16 と図 17 に、チェック・バイトのフォーマット (CR[4:0]) を示します。CRC アルゴリズムとプログラミングの例については、アプリケーション・ノートを参照してください。

5 ビットの CRC 値は、最初の 16 のデータ・ビットとチェック・バイトの MSB の 3 つの「0」を用いて計算されます。この結果は、この 19 ビット・データに付加され、24 ビット SPI データ・フレームが作成されます。MAX22194 は受信した CRC ビットを検証し、エラーが検出されない場合、MAX22194 は SDI データごとに設定を更新します。CRC エラーが検出された場合、MAX22194 は設定を変更せず、FAULT1 レジスタの CRCERR ビットをアサートします。FIMASK レジスタのマスク・ビット CRCERR_M が設定されていない場合、FAULTピンはローにアサートされます。

図 16 と図 17 に、MAX22194 が SDO データに付加するチェック・バイトのフォーマットを示します。SDO の CR[4:0] ビットは、16 ビットの SDO データと 3 つの「0」に基づいて計算され、計算中は 2 つの MSB ビットが 0 と見なされます。これにより、コントローラは、MAX22194 から受信した SDO データのエラーをチェックできます。

CRC を有効にしたデジチェーン・モードでは、CR[4:0] ビットは、最初の 16 データ・ビットと 3 つの「0」を含めて、CRC ビットの前に送信されたすべてのデータについて計算されます。2 つの MSB ビットと、SDI データ・ストリームの読出しコマンドのデータ・ビット 9~16 は、MAX22194 の設定に何も影響しないため、0 にも 1 にもなりえますが、これらのビットは CRC ビット (CR[4:0]) の計算に使用されます。

表 6. SPI フレーム長

MODE	DAISY	CRCEN	SPI FRAME LENGTH
Addressable SPI Mode, CRC Disabled	0	0	16-bit
Addressable SPI Mode, CRC Enabled	0	1	24-bit
Daisy-Chain SPI Mode, CRC Disabled	1	0	16-bit per device in the chain
Daisy-Chain SPI Mode, CRC Enabled	1	1	24-bit per device in the chain

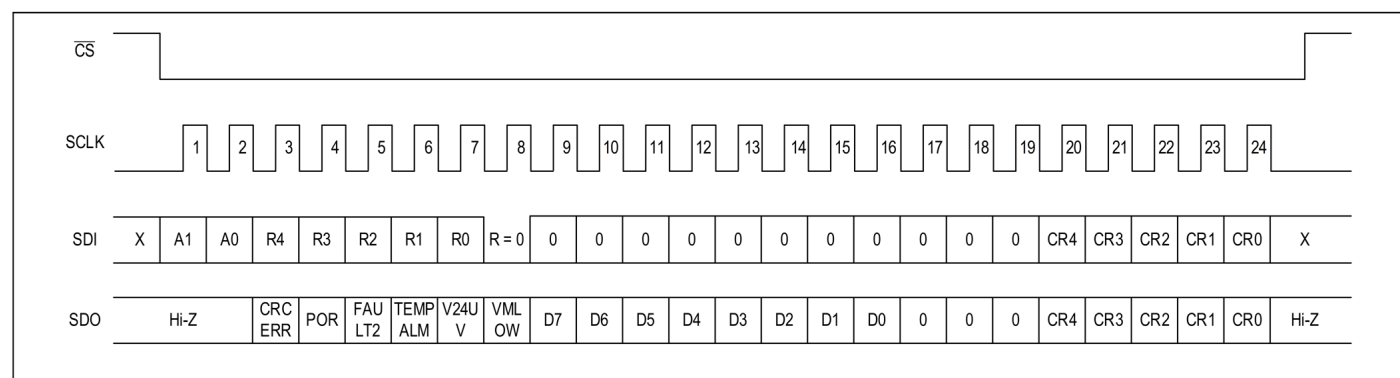


図 16. CRC がイネーブル時のアドレス指定可能な SPI 読出しコマンド

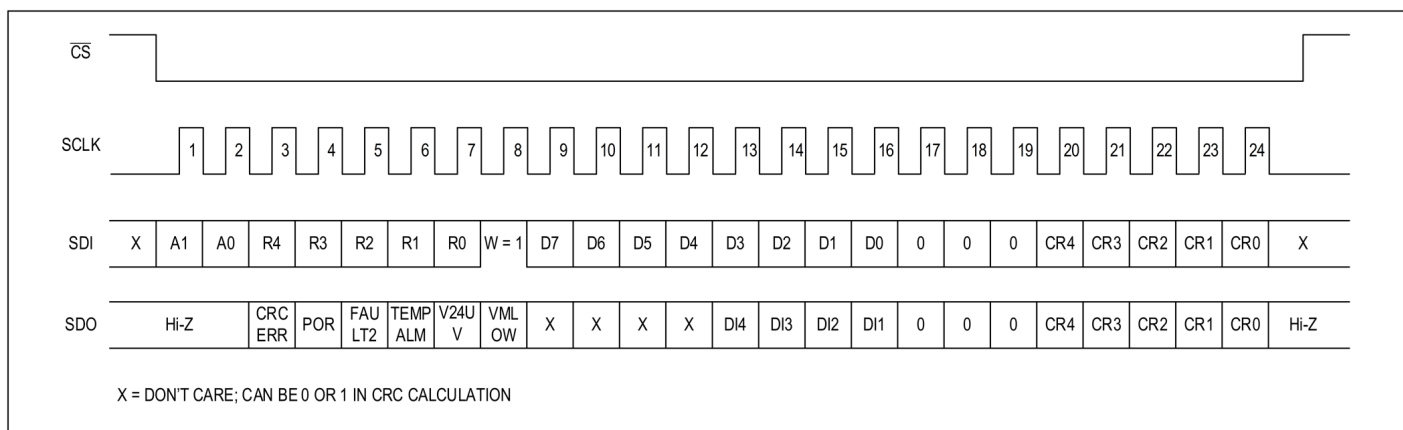


図 17. CRC がイネーブル時のアドレス指定可能な SPI 書き込みコマンド

SPI でのクロック・サイクル数

MAX22194 は、 $\overline{\text{CS}}$ がローになってからハイになるまでの各 SPI サイクルにおける SCLK パルス数をチェックします。CRC がイネーブルになる（CRCEN がハイに保持される）と、SCLK パルス数が 24 に等しくない場合に、SPI8CLK ビットが設定されます。CRC がディスエーブルになる（CRCEN がローに保持される）と、SCLK パルス数が 16 に等しくない場合に、SPI8CLK ビットが設定されず、誤った SCLK パルス数が受信された場合、SPI コマンドは無視されます。デジチェーン・モードでは、SCLK パルス数が 16（CRC がディスエーブル時）、または 24（CRC がイネーブル時）の倍数でない場合に、SPI8CLK が設定されます。

レジスタ・マップ

ADDRESS	NAME	MSB							LSB
MAX22194									
0x00	DSTATE[7:0]	Reserved	Reserved	Reserved	Reserved	DI4	DI3	DI2	DI1
0x01	FAULT1[7:0]	CRCERR	POR	FAULT2	OTSHDN1	TEMPALM	V24UV	VMLOW	Reserved
0x02	F1MASK[7:0]	CRCERR_M	Reserved	FAULT2_M	OTSHDN1_M	TEMPALM_M	V24UV_M	VMLOW_M	Reserved
0x03	CNFG1[7:0]	HITHR1	SOURCE 1	CURR1[1:0]		FLTEN1	DELAY1[2:0]		
0x04	CNFG2[7:0]	HITHR2	SOURCE 2	CURR2[1:0]		FLTEN2	DELAY2[2:0]		
0x05	CNFG3[7:0]	HITHR3	SOURCE 3	CURR3[1:0]		FLTEN3	DELAY3[2:0]		
0x06	CNFG4[7:0]	HITHR4	SOURCE 4	CURR4[1:0]		FLTEN4	DELAY4[2:0]		
0x0B	GLOBLCFG[7:0]	GPO	LEDINT	Reserved	FSPICLR	CLRFILTR	Reserved[1:0]		REFDISHTCFG
0x0C	LED[7:0]	Reserved	Reserved	GPO6	GPO5	LED4	LED3	LED2	LED1
0x0D	FAULT2[7:0]	Reserved[2:0]			VAUV	SPI8CLK	OTSHDN2	RFDIO	RFDIS
0x0E	F2MASK[7:0]	ID[2:0]			VAUV_M	SPI8CLK_M	OTSHDN2_M	RFDIO_M	RFDIS_M

レジスタの詳細

DISTATE (0x0)

デジタル入力状態。DI_nは、フィルタ処理後の対応する IN_nピンの状態です。

BIT	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	Reserved	Reserved	DI4	DI3	DI2	DI1
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only	Read Only

ビットフィールド	ビット	説明	デコード
Reserved	7	予備	Reserved
Reserved	6	予備	Reserved
Reserved	5	予備	Reserved
Reserved	4	予備	Reserved
DI4	3	ノーマル・モードでのIN4状態。カウンタ・モードでは、データは無効。	0x0: IN4 = OFF state (low in sink modes, or high in source modes) 0x1: IN4 = ON state (high in sink modes, or low in source modes)
DI3	2	ノーマル・モードでのIN3状態。カウンタ・モードでは、データは無効。	0x0: IN3 = OFF state (low in sink modes, or high in source modes) 0x1: IN3 = ON state (high in sink modes, or low in source modes)
DI2	1	ノーマル・モードでのIN2状態。カウンタ・モードでは、データは無効。	0x0: IN2 = OFF state (low in sink modes, or high in source modes) 0x1: IN2 = ON state (high in sink modes, or low in source modes)
DI1	0	ノーマル・モードでのIN1状態。カウンタ・モードでは、データは無効。	0x0: IN1 = OFF state (low in sink modes, or high in source modes) 0x1: IN1 = ON state (high in sink modes, or low in source modes)

FAULT1 (0x1)

FAULT1 レジスタ・ソース

BIT	7	6	5	4	3	2	1	0
Field	CRCERR	POR	FAULT2	OTSHDN1	TEMPALM	V24UV	VMLLOW	Reserved
Reset	0b0	0b1	0b1	0b0	0b0	0b0	0b0	0b0
Access Type	Read Clears All	Read Clears All	Read, Ext	Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビットフィールド	ビット	説明	デコード
CRCERR	7	SPIフレームで検出されたCRCエラー。CRCエラー検出は、CRCENがハイに保持されているときにイネーブルになります。	0x0: No SPI CRC error was detected. 0x1: An SPI CRC error was detected.
POR	6	パワーオン・リセット (POR)	0x0: Normal operating condition 0x1: A power-on-reset (POR) event was detected. All registers are reset to power-on-reset/default values.
FAULT2	5	FAULT2レジスタ・ビット。これは、FAULT2レジスタのマスクされていないビットの論理和です。このビットは、FAULT2レジスタのマスクされていないビットがクリアされると、自動的にクリアされます。FAULT2レジスタ・ビットをマスクするには、 F2MASKレジスタ を参照してください。	0x0: No unmasked bit in the FAULT2 register is set. 0x1: At least one of the unmasked bits in the FAULT2 register is set.
OTSHDN1	4	サーマル・シャットダウン	0x0: Normal operating condition 0x1: Thermal Shutdown threshold (150°C, typ) has been exceeded. All input channels, input sink or source currents and LED matrix are turned off to reduce power dissipation. GPO drivers, SPI and internal regulator remain active.

ビットフィールド	ビット	説明	デコード
TEMPALM	3	温度アラーム	0x0: Normal operating condition 0x1: Temperature Alarm threshold (115°C, typ) has been exceeded. The device is in normal operating condition.
V24UV	2	V ₂₄ 低電圧モニタ	0x0: The V ₂₄ supply voltage is above the V ₂₄ undervoltage threshold. 0x1: The V ₂₄ supply voltage is below the V ₂₄ undervoltage threshold.
VMLOW	1	V _M 電圧コンパレータ出力ステータス	0x0: The input voltage of the V _M comparator is higher than 0.81V (rising, typ). 0x1: The input voltage of the V _M comparator is lower than 0.78V (falling, typ).
Reserved	0	予備	Reserved

F1MASK (0x2)

FAULT1 レジスタ・イベントでの $\overline{\text{FAULT}}$ ピンのアサートを制御するマスク・ビット。

BIT	7	6	5	4	3	2	1	0
Field	CRCERR_M	Reserved	FAULT2_M	OTSHDN1_M	TEMPALM_M	V24UV_M	VMLOW_M	Reserved
Reset	0b0	0b0	0b1	0b0	0b0	0b1	0b1	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
CRCERR_M	7	CRCエラー・マスク	0x0: CRCERR unmasked. The $\overline{\text{FAULT}}$ pin is asserted when a CRC error is detected. 0x1: CRCERR masked. The $\overline{\text{FAULT}}$ pin is not asserted when a CRC error is detected.
Reserved	6	予備	Reserved
FAULT2_M	5	FAULT2マスク	0x0: FAULT2 unmasked. The $\overline{\text{FAULT}}$ pin is asserted when an unmasked bit in the FAULT2 register is set. 0x1: FAULT2 masked. The $\overline{\text{FAULT}}$ pin is not asserted when an unmasked bit in the FAULT2 register is set.
OTSHDN1_M	4	サーマル・シャットダウン・マスク	0x0: OTSHDN1 unmasked. The $\overline{\text{FAULT}}$ pin is asserted when thermal shutdown threshold temperature (150°C, typ) is exceeded. 0x1: OTSHDN1 masked. The $\overline{\text{FAULT}}$ pin is not asserted when thermal shutdown threshold temperature (150°C, typ) is exceeded.
TEMPALM_M	3	温度アラーム・マスク	0x0: TEMPALM unmasked. The $\overline{\text{FAULT}}$ pin is asserted when temperature alarm threshold (115°C, typ) is exceeded. 0x1: TEMPALM masked. The $\overline{\text{FAULT}}$ pin is not asserted when temperature alarm threshold (115°C, typ) is exceeded.
V24UV_M	2	V ₂₄ 低電圧マスク	0x0: V24UV unmasked. The $\overline{\text{FAULT}}$ pin is asserted when V ₂₄ is below its undervoltage threshold. 0x1: V24UV masked. The $\overline{\text{FAULT}}$ pin is not asserted when V ₂₄ is below its undervoltage threshold.
VMLOW_M	1	V _M 低電圧マスク	0x0: VMLow unmasked. The $\overline{\text{FAULT}}$ pin is asserted when V _M is below the V _M comparator threshold. 0x1: VMLow masked. The $\overline{\text{FAULT}}$ pin is not asserted when V _M is below the V _M comparator threshold.

ビットフィールド	ビット	説明	デコード
Reserved	0	予備	Reserved

CNFG1 (0x3)

IN1 チャンネル設定

BIT	7	6	5	4	3	2	1	0
Field	HITHR1	SOURCE1	CURR1[1:0]		FLTEN1	DELAY1[2:0]		
Reset	0b0	0x0	0b00		0b1	0b100		
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
HITHR1	7	DIモードのチャンネル1電圧スレッショルドの選択	0x0: In DI modes (CURR1[1:0] = 0x00, 0x01, 0x02), IN1 voltage threshold is low. 0x1: In DI modes (CURR1[1:0] = 0x00, 0x01, 0x02), IN1 voltage threshold is high.
SOURCE1	6	チャンネル1デジタル入力シンク／ソース・モードの選択	0x0: Sink Mode 0x1: Source Mode
CURR1	5:4	CURR1[1:0]ビットは、REFDI抵抗で設定された電流に対するチャンネル1シンク／ソース電流のスケーリング係数を選択します。様々な入力モードでのCNFG_レジスタ設定については、表1を参照してください。	0x0: Sink or source current is turned off. Input comparator threshold is set to HTL mode. 0x1: 1x Current 0x2: 3x Current 0x3: TTL operation with sink or source current off
FLTEN1	3	チャンネル1グリッチ・フィルタがイネーブル	0x0: Input glitch filter is disabled. 0x1: Input glitch filter is enabled.
DELAY1	2:0	チャンネル1入力グリッチ・フィルタ遅延	0x0: 50µs 0x1: 100µs 0x2: 400µs 0x3: 800µs 0x4: 1.6ms 0x5: 3.2ms 0x6: 12.8ms 0x7: 20ms

CNFG2 (0x4)

IN2 チャンネル設定

BIT	7	6	5	4	3	2	1	0
Field	HITHR2	SOURCE2	CURR2[1:0]		FLTEN2	DELAY2[2:0]		
Reset	0b0	0x0	0b00		0b1	0b100		
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
HITHR2	7	DIモードのチャンネル2電圧スレッシュホールドの選択	0x0: In DI modes (CURR2[1:0] = 0x00, 0x01, 0x02), IN2 voltage threshold is low. 0x1: In DI modes (CURR2[1:0] = 0x00, 0x01, 0x02), IN2 voltage threshold is high.
SOURCE2	6	チャンネル2デジタル入力シンク／ソース・モードの選択	0x0: Sink Mode 0x1: Source Mode
CURR2	5:4	CURR2[1:0]ビットは、REFDI抵抗で設定された電流に対するチャンネル2のシンク／ソース電流のスケーリング係数を選択する。様々な入力モードでのCNFG_レジスタ設定については、表1を参照してください。	0x0: Sink or source current is turned off. Input comparator threshold is set to HTL mode. 0x1: 1x Current 0x2: 3x Current 0x3: TTL operation with sink or source current off
FLTEN2	3	チャンネル2グリッチ・フィルタがイネーブル	0x0: Input glitch filter is disabled. 0x1: Input glitch filter is enabled.
DELAY2	2:0	チャンネル2入力グリッチ・フィルタ遅延	0x0: 50µs 0x1: 100µs 0x2: 400µs 0x3: 800µs 0x4: 1.6ms 0x5: 3.2ms 0x6: 12.8ms 0x7: 20ms

CNFG3 (0x5)

IN3 チャンネル設定

BIT	7	6	5	4	3	2	1	0
Field	HITHR3	SOURCE3	CURR3[1:0]		FLTEN3	DELAY3[2:0]		
Reset	0b0	0x0	0b00		0b1	0b100		
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
HITHR3	7	DIモードのチャンネル3電圧スレッシュホールドの選択	0x0: In DI modes (CURR3[1:0] = 0x00, 0x01, 0x02), IN3 voltage threshold is low. 0x1: In DI modes (CURR3[1:0] = 0x00, 0x01, 0x02), IN3 voltage threshold is high.
SOURCE3	6	チャンネル3デジタル入力シンク／ソース・モードの選択	0x0: Sink Mode 0x1: Source Mode
CURR3	5:4	CURR3[1:0]ビットは、REFDI抵抗で設定された電流に対するチャンネル3のシンク／ソース電流のスケーリング係数を選択する。様々な入力モードでのCNFG_レジスタ設定については、表1を参照してください。	0x0: Sink or source current is turned off. Input comparator threshold is set to HTL mode. 0x1: 1x Current 0x2: 3x Current 0x3: TTL operation with sink or source current off
FLTEN3	3	チャンネル3グリッチ・フィルタがイネーブル	0x0: Input glitch filter is disabled. 0x1: Input glitch filter is enabled.
DELAY3	2:0	チャンネル3入力グリッチ・フィルタ遅延	0x0: 50µs 0x1: 100µs 0x2: 400µs 0x3: 800µs 0x4: 1.6ms 0x5: 3.2ms 0x6: 12.8ms 0x7: 20ms

CNFG4 (0x6)

IN4 チャンネル設定

BIT	7	6	5	4	3	2	1	0
Field	HITHR4	SOURCE4	CURR4[1:0]		FLTEN4	DELAY4[2:0]		
Reset	0b0	0x0	0b00		0b1	0b100		
Access Type	Write, Read	Write, Read	Write, Read		Write, Read	Write, Read		

ビットフィールド	ビット	説明	デコード
HITHR4	7	DIモードのチャンネル4電圧スレッシュホールドの選択	0x0: In DI modes (CURR4[1:0] = 0x00, 0x01, 0x02), IN4 voltage threshold is low. 0x1: In DI modes (CURR4[1:0] = 0x00, 0x01, 0x02), IN4 voltage threshold is high.
SOURCE4	6	チャンネル4デジタル入力シンク／ソース・モードの選択	0x0: Sink Mode 0x1: Source Mode
CURR4	5:4	CURR4[1:0]ビットは、REFDI抵抗で設定された電流に対するチャンネル4のシンク／ソース電流のスケーリング係数を選択する。様々な入力モードでのCNFG_レジスタ設定については、表1を参照してください。	0x0: Sink or source current is turned off. Input comparator threshold is set to HTL mode. 0x1: 1x Current 0x2: 3x Current 0x3: TTL operation with sink or source current off
FLTEN4	3	チャンネル4グリッチ・フィルタがイネーブル	0x0: Input glitch filter is disabled. 0x1: Input glitch filter is enabled.
DELAY4	2:0	チャンネル4入力グリッチ・フィルタ遅延	0x0: 50µs 0x1: 100µs 0x2: 400µs 0x3: 800µs 0x4: 1.6ms 0x5: 3.2ms 0x6: 12.8ms 0x7: 20ms

GLOBLCFG (0xB)

グローバル設定

BIT	7	6	5	4	3	2	1	0
Field	GPO	LEDINT	Reserved	FSPICLR	CLRFILTR	Reserved[1:0]		REFDISHTCFG
Reset	0b0	0b0	0b0	0b1	0b0	0x0		0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read		Write, Read

ビットフィールド	ビット	説明	デコード
GPO	7	LO1～LO6出力がLEDマトリクスまたはGPOドライバになるように設定	0x0: LO1 to LO5 are open-drain outputs driving the LED matrix. The LEDs are turned on or off using the LED1 to LED4 bits in the LED register if the LEDINT bit is 0, or controlled autonomously by IN1 to IN4 input status if the LEDINT bit is 1. 0x1: LO1 to LO6 are push-pull logic outputs that are driven high or low using the GPO6, GPO5, and LED4 to LED1 bits in the LED register. The LEDINT bit is "don't care" in this mode.
LEDINT	6	LEDマトリクスのユーザ制御／自律制御の選択	0x0: When the GPO bit is 0, the LO1 to LO5 pins are controlled by the LED1 to LED4 bits in the LED register. This bit is "don't care" when the GPO bit is 1. 0x1: When the GPO bit is 0, the LO1 to LO5 pins are controlled autonomously based on the status of the IN_ pins. LED1 to LED4 reflect the IN1 to IN4 input status respectively. This bit is "don't care" when the GPO bit is 1.
Reserved	5	予備	Reserved
FSPICLR	4	FAULT1レジスタのビットをクリアする方法を設定	0x0: Fault bits in the FAULT1 register, except OTSHDN1 bit, are cleared automatically during a successful (no error) SPI read or write command. Bit FAULT2 is cleared when all unmasked fault bits in the FAULT2 register are cleared by reading it. 0x1: Fault bits in FAULT1 register are only cleared when the FAULT1 register is read.
CLRFILTR	3	すべての入力グリッチ・フィルタを中間スケール値に修正	0x0: All input filters operate normally. 0x1: All input glitch filters are fixed at mid-scale value for the chosen delay. The filters resume normal operation when CLRFILTR is set to 0.
Reserved	2:1	予備	Reserved
REFDISHTCFG	0	REFDIピン・ショート検出がイネーブル	0x0: Disables the detection of a short-circuit condition on the REFDI pin 0x1: Enable the detection of a short-circuit condition on the REFDI pin

LED (0xC)

LEDまたはGPOのオン／オフ制御レジスタ

BIT	7	6	5	4	3	2	1	0
Field	Reserved	Reserved	GPO6	GPO5	LED4	LED3	LED2	LED1
Reset	0b0	0b0	0b0	0b0	0b0	0b0	0b0	0b0
Access Type	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
Reserved	7	予備	Reserved
Reserved	6	予備	Reserved
GPO6	5	LO6制御	0x0: The LO6 pin is driven low when the GPO bit is 1. LO6 is "don't care" when the GPO pin is 0. 0x1: The LO6 pin is driven high when the GPO bit is 1. LO6 is "don't care" when the GPO pin is 0.

ビットフィールド	ビット	説明	デコード
GPO5	4	LO5制御	0x0: The LO5 pin is driven low when the GPO bit is 1. The LO5 pin is connected in the LED matrix when the GPO bit is 0. 0x1: The LO5 pin is driven high when the GPO bit is 1. The LO5 pin is connected in the LED matrix when the GPO bit is 0.
LED4	3	LED4またはLO4制御	0x0: LED4 is turned off when the GPO and LEDINT bits are both 0, or the LO4 pin is driven low when the GPO bit is 1. 0x1: LED4 is turned on when the GPO and LEDINT bits are both 0, or the LO4 pin is driven high when the GPO bit is 1.
LED3	2	LED3またはLO3制御	0x0: LED3 is turned off when the GPO and LEDINT bits are both 0, or the LO3 pin is driven low when the GPO bit is 1. 0x1: LED3 is turned on when the GPO and LEDINT bits are both 0, or the LO3 pin is driven high when the GPO bit is 1.
LED2	1	LED2またはLO2制御	0x0: LED2 is turned off when the GPO and LEDINT bits are both 0, or the LO2 pin is driven low when the GPO bit is 1. 0x1: LED2 is turned on when the GPO and LEDINT bits are both 0, or the LO2 pin is driven high when the GPO bit is 1.
LED1	0	LED1またはLO1制御	0x0: LED1 is turned off when the GPO and LEDINT bits are both 0, or the LO1 pin is driven low when the GPO bit is 1. 0x1: LED1 is turned on when the GPO and LEDINT bits are both 0, or the LO1 pin is driven high when the GPO bit is 1.

FAULT2 (0xD)

FAULT2 レジスタ・ソース

BIT	7	6	5	4	3	2	1	0
Field	Reserved[2:0]			VAUV	SPI8CLK	OTSHDN2	RFDIO	RFDIS
Reset	0x0			0x1	0b0	0b0	0b0	0b0
Access Type	Read Only			Read Clears All	Read Clears All	Read Clears All	Read Clears All	Read Clears All

ビットフィールド	ビット	説明	デコード
Reserved	7:5	予備	Reserved
VAUV	4	V _A 低電圧モニタ	0x0: The V _A supply voltage is above the V _A undervoltage threshold. 0x1: The V _A supply voltage is below the V _A undervoltage threshold.
SPI8CLK	3	SCLKサイクル数エラー	0x0: No SPI SCLK cycle error. In the addressable SPI mode, the MAX22194 has received a number of clock cycles equal to 24 if CRC is enabled, or 16 if CRC is disabled. In the daisy-chain mode, the device has received a number of clock cycles equal to a multiple of 24 if CRC is enabled, or a multiple of 16 if CRC is disabled.

ビットフィールド	ビット	説明	デコード
			0x1: SPI SCLK cycle error. In the addressable SPI mode, the MAX22194 has received a number of clock cycles not equal to 24 if CRC is enabled, or 16 if CRC is disabled. In the daisy-chain mode, the device has received a number of clock cycles not equal to a multiple of 24 if CRC is enabled, or a multiple of 16 if CRC is disabled. The SPI command is ignored when wrong number of SCLK pulses is received.
OTSHDN2	2	システム・サーマル・シャットダウン	0x0: System Thermal Shutdown threshold (165°C, typ) has not been exceeded. 0x1: System Thermal Shutdown threshold (165°C, typ) has been exceeded. All input channels, input sink or source currents, LED matrix, GPO drivers, SPI and internal regulator are turned off to reduce power dissipation.
RFDIO	1	REFDIピンでオープン・サーキット・エラーを検出	0x0: Normal operating condition 0x1: An open-circuit condition is detected on the REFDI pin. This bit is 1 when thermal shutdown happens, because REFDI function turns off in thermal shutdown. No action on the input channels when this condition occurs.
RFDIS	0	短絡フォルトはREFDIピンで検出されます。REFDIピンでの短絡検出をイネーブルするには、REFDISHTCFGビットを1に設定します。REFDISHTCFGが0の場合、RFDISフォルトは、短絡検出がオンのときにラッチされた前の値を保持します。	0x0: Normal operating condition 0x1: A short-circuit condition is detected on the REFDI pin. All the input channels are disabled as long as the short-circuit condition on REFDI is present.

F2MASK (0xE)

FAULT1レジスタのFAULT2ビットのアサートを制御するマスク・ビット。FAULT2ビットは、マスクされていないFAULT2レジスタ内のすべてのビットの論理和です。

BIT	7	6	5	4	3	2	1	0
Field	ID[2:0]			VAUV_M	SPI8CLK_M	OTSHDN2_M	RFDIO_M	RFDIS_M
Reset	0x1			0x0	0b0	0b1	0b0	0b0
Access Type	Read Only			Write, Read	Write, Read	Write, Read	Write, Read	Write, Read

ビットフィールド	ビット	説明	デコード
ID	7:5	チップID	
VAUV_M	4	V _A 低電圧マスク	0x0: VAUV unmasked. The FAULT2 bit in the FAULT1 register follows the VAUV bit setting. 0x1: VAUV masked. The FAULT2 bit in the FAULT1 register does not change if the VAUV bit changes.
SPI8CLK_M	3	SCLKサイクル数エラーのマスク	0x0: SPI8CLK unmasked. The FAULT2 bit in the FAULT1 register follows the SPI8CLK bit setting. 0x1: SPI8CLK masked. The FAULT2 bit in the FAULT1 register does not change if the SPI8CLK bit changes.
OTSHDN2_M	2	システム・サーマル・シャットダウン・マスク	0x0: OTSHDN2 unmasked. The FAULT2 bit in the FAULT1 register follows the OTSHDN2 bit setting. 0x1: OTSHDN2 masked. The FAULT2 bit in the FAULT1 register does not change if the OTSHDN2 bit changes.

ビットフィールド	ビット	説明	デコード
RFDIO_M	1	REFDIピンでのオープン・サーキット・エラーのマスク	0x0: RFDIO unmasked. The FAULT2 bit in the FAULT1 register follows the RFDIO bit setting. 0x1: RFDIO masked. The FAULT2 bit in the FAULT1 register does not change if the RFDIO bit changes.
RFDIS_M	0	REFDIピンでの短絡エラーのマスク	0x0: RFDIS unmasked. The FAULT2 bit in the FAULT1 register follows the RFDIS bit setting. 0x1: RFDIS masked. The FAULT2 bit in the FAULT1 register does not change if the RFDIS bit changes.

アプリケーション情報

電源シーケンス

MAX22194 には、特別な電源シーケンスは不要です。ロジック・インターフェース電源 (V_L) は、フィールド電源 (V_{24}) または LDO 出力 (V_A) のレベルとは独立に設定されます。

電源のデカップリング

リップルを抑え、データ・エラー発生の可能性を減らすには、 V_{24} と V_A をそれぞれ $1\mu\text{F}$ のセラミック・コンデンサで GND にバイパスし、 V_L を $0.1\mu\text{F}$ のセラミック・コンデンサで GND にバイパスします。バイパス・コンデンサは、電源入力ピンのできるだけ近くに配置します。

PCB レイアウトに関する推奨事項

PCB 設計者は、設計から最高のパフォーマンスを得るために、いくつかの重要な推奨事項に従う必要があります。

- 入出力パターンはできるだけ短くします。信号パスを低インダクタンスに保つため、ビアは使用しないようにします。
- 最高の熱性能を得るため、EP 領域全体の下に、複数のサーマル・ビアを備えたグランド・プレーンを配置します。
- すべての層、特に最上層と最下層の金属被覆率をできるだけ大きくして、最大限の放熱性が得られるようにします。
- 可能であれば、より多くの熱を PCB に吸収できるよう、最上層と最下層に 2 オンス銅を使用します。
- 放熱のために、パッケージの下にあるビアの数を最大まで増やします。可能であれば、ビアを銅で充填して、PCB を通る垂直方向の熱伝導を更に増大させます。

V_A 電源への外部からの給電

V_A ピンには、 $3\text{V}\sim 5.5\text{V}$ の外部電源から給電することもできます。この構成では、REGEN ピンを GND に接続して、オンチップ・レギュレータをディスエーブルにします。この構成により、チップ内の消費電力が $1.3\text{mA} \times (V_{24} - 5\text{V})$ (代表値) だけ減少します。MAX22194 の V_A に外部の 3.3V または 5V 電源から給電する場合、ソース構成用に V_{24} への給電を外部 24V 外部電源から行う必要があります。MAX22194 がシンクまたは TTL 構成でのみ動作する場合、 V_{24} は V_A 外部電源から給電することができ、 24V 電源は不要です。

V_{24} への給電を V_A 電源から行う場合、このデバイスは FAULT1 レジスタの V24UV ビットによって常に 24V 低電圧フォルトを示し、F1MASK レジスタでこのビットがマスクされていない場合は $\overline{\text{FAULT}}$ ピンが常にアクティブ (ロー) になります。これを解決するには、F1MASK レジスタの V24UV_M ビットを 1 に設定します。

SPI のアイソレーション

関連するデジタル・アイソレータである MAX14483 は、MAX22194 に対応するように最適化されています。MAX14483 は、マイクロコントローラや FPGA などの低電圧製品との連動に最適な、6 チャンネル、 $3.75\text{kV}_{\text{RMS}}$ 、低電力のデジタル・アイソレータです。図 18 に、デイズチェーンで動作する MAX22194 と MAX22196 を示します。図では、SPI 信号、制御信号、電力監視信号が設計のフィールド側とロジック側で絶縁されています。1 つの MAX14483 を、複数の MAX22194 デバイスと MAX22196 デバイスで共用できます。図 19 に、アドレス指定可能な SPI モードで動作する MAX22194 デバイスと MAX22196 デバイスを示します。これらのデバイスは、SPI コントローラ (MCU または FPGA) からの同じチップ・セレクト ($\overline{\text{CS}}$) 信号を共有します。

アドレス指定可能な SPI モードは、共通の $\overline{\text{CS}}$ 信号を共有する最大 4 つのデバイスに対応できます。1 つのモジュールに 4 つ以上のデバイスが必要な場合には、デイズチェーン構成が使用できます。デイズチェーン・モードでは、読出し／書込みコマンドごとの SPI クロック・サイクル数は、CRC をディスエーブルにした場合は $N \times 16$ になり、CRC をイネーブルにした場合は $N \times 24$ になります (N はデイズチェーン内のデバイスの数)。このため、SPI の読出し／書込み遅延が長くなります。

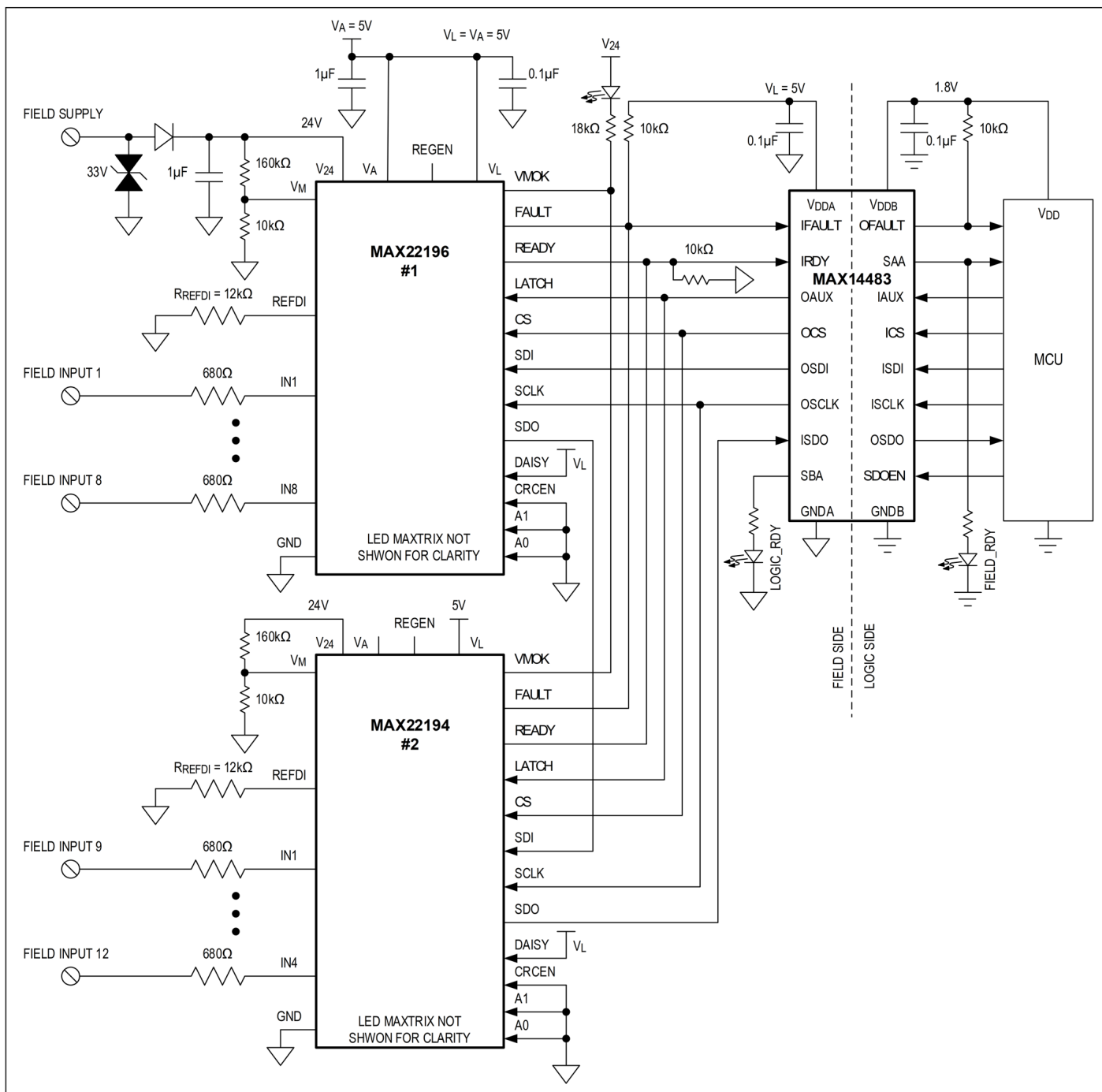


図 18. 12 チャンネル・デジタル入力（絶縁 SPI デイジーチェーン・モード）

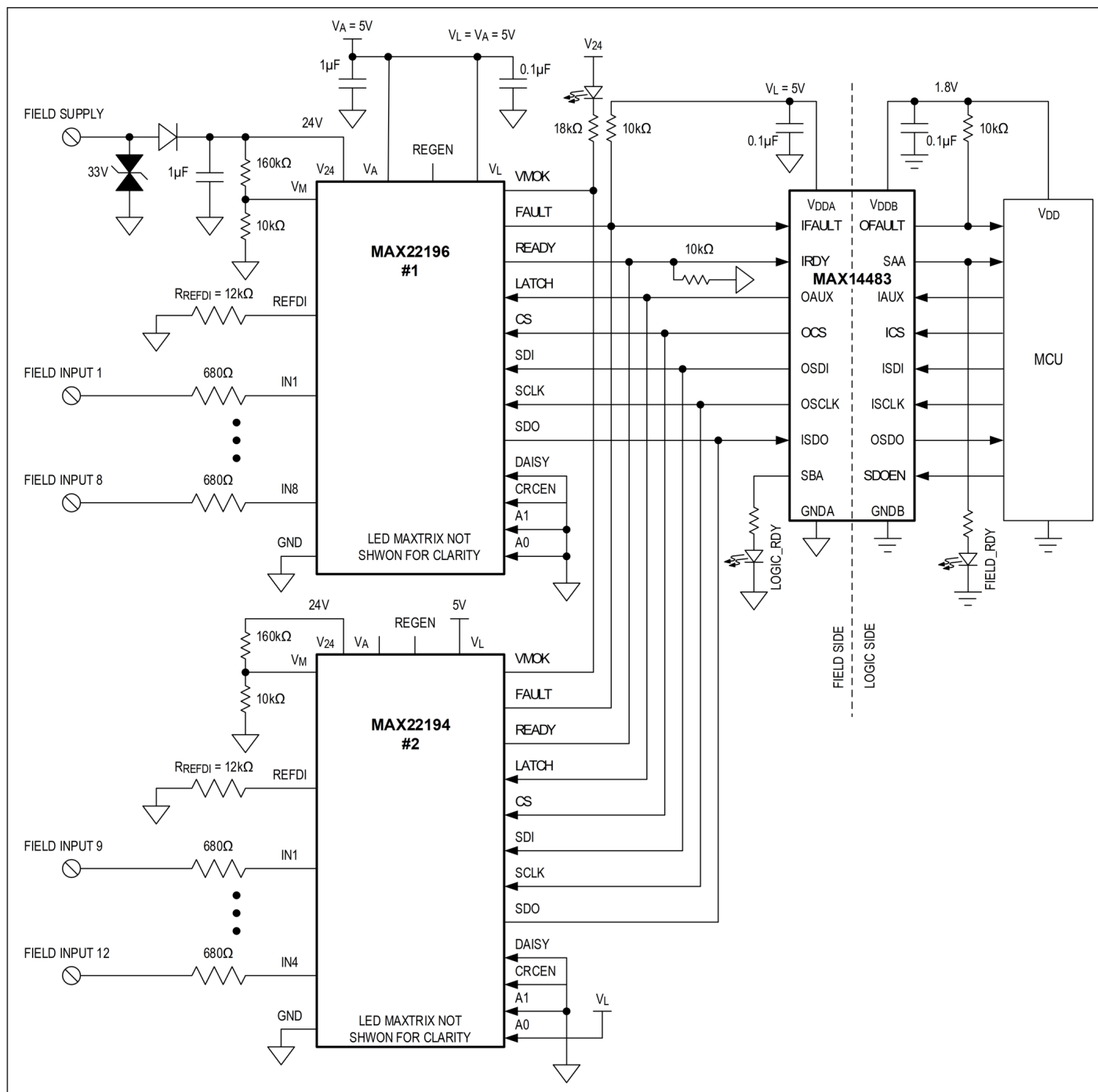


図 19. 12 チャンネル・デジタル入力（アドレス指定可能な分離 SPI モード）

LED マトリクスの消費電力

大消費電力による熱の発生は、デジタル入力モジュールにおける主要な課題の1つです。LEDを1つ点灯させるための平均電流を2mAとすると、マトリクスの1つの行にあるすべてのLEDを同時に点灯させる場合、LED、直列抵抗、内部スイッチを含むLEDマトリクスの消費電力は $5V \times 3 \times 2mA = 30mW$ と予想できます。内部LDOからVAに給電を行う場合（REGENは無接続）、最大30Vのフィールド電源使用時のLDO損失による消費電力は、 $(30V - 5V) \times 3 \times 2mA = 150mW$ です。こうしたアプリケーションでは、オンボードの降圧DC/DCコンバータを用いて、VA電源に外部から給電することを推奨します（REGENはGNDに接続）。DC/DCコンバータの出力が、効率90%のときに3.3Vであると仮定すると、LEDマトリクスの消費電力は、 $3.3V \times 3 \times 2mA = 19.8mW$ に低減できます。DC/DCコンバータの損失は2.2mWにすぎません。図20に、オンボードDC/DCコンバータから給電されるVAを備えた12チャンネル・デジタル入力モジュールを示します。

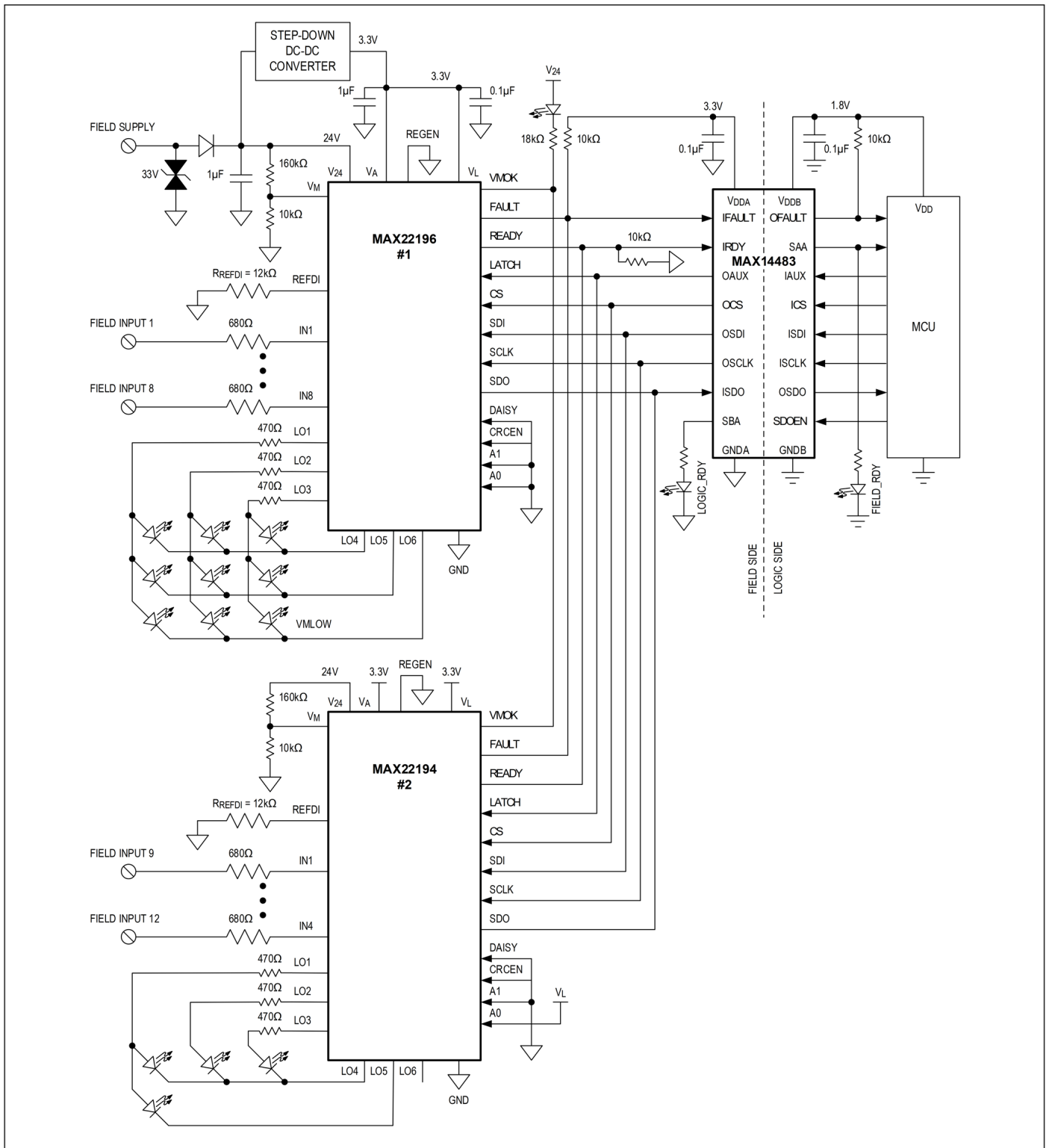


図 20. 12 チャンネル・デジタル入力モジュール（外付け DC/DC コンバータから V_A と V_L に給電）

IEC 61131-2 EMC 条件

MAX22194 は、過酷な工業環境で信頼性の高い動作を行う必要があります。本デバイスは、IEC 61131-4-2 に準拠した静電放電（ESD）、IEC 61000-4-4 に準拠した電気高速トランジェント/バースト（EFT）、IEC 61000-4-5 に準拠したサージ耐性など、IEC 61000-2 で規定されているトランジェント耐性条件を満たすことができます。アナログ・デバイス独自のプロセス技術により、内部 ESD 構造と高い絶対最大定格（絶対最大定格のセクションを参照）を備えた堅牢な入力チャンネルとフィールド電源が実現されていますが、ESD とサージ・トランジェントによる過剰なエネルギーを吸収するために外付け部品も必要です。図 21 に示す外付け部品を備えた回路により、本デバイスは、IEC 61131-2 および関連する IEC 61000-4-x 規格で規定されている過渡耐性以上の要件を満たすことができます。図 21 に示すシステムは表 7 に示す部品を用いており、表 8 に示す ESD、EFT、サージの仕様に耐えられるように設計されています。これらすべての試験において、部品または DUT は、必要な外付け部品と共に、適切に設計されたアプリケーション基板にはんだ付けされています。

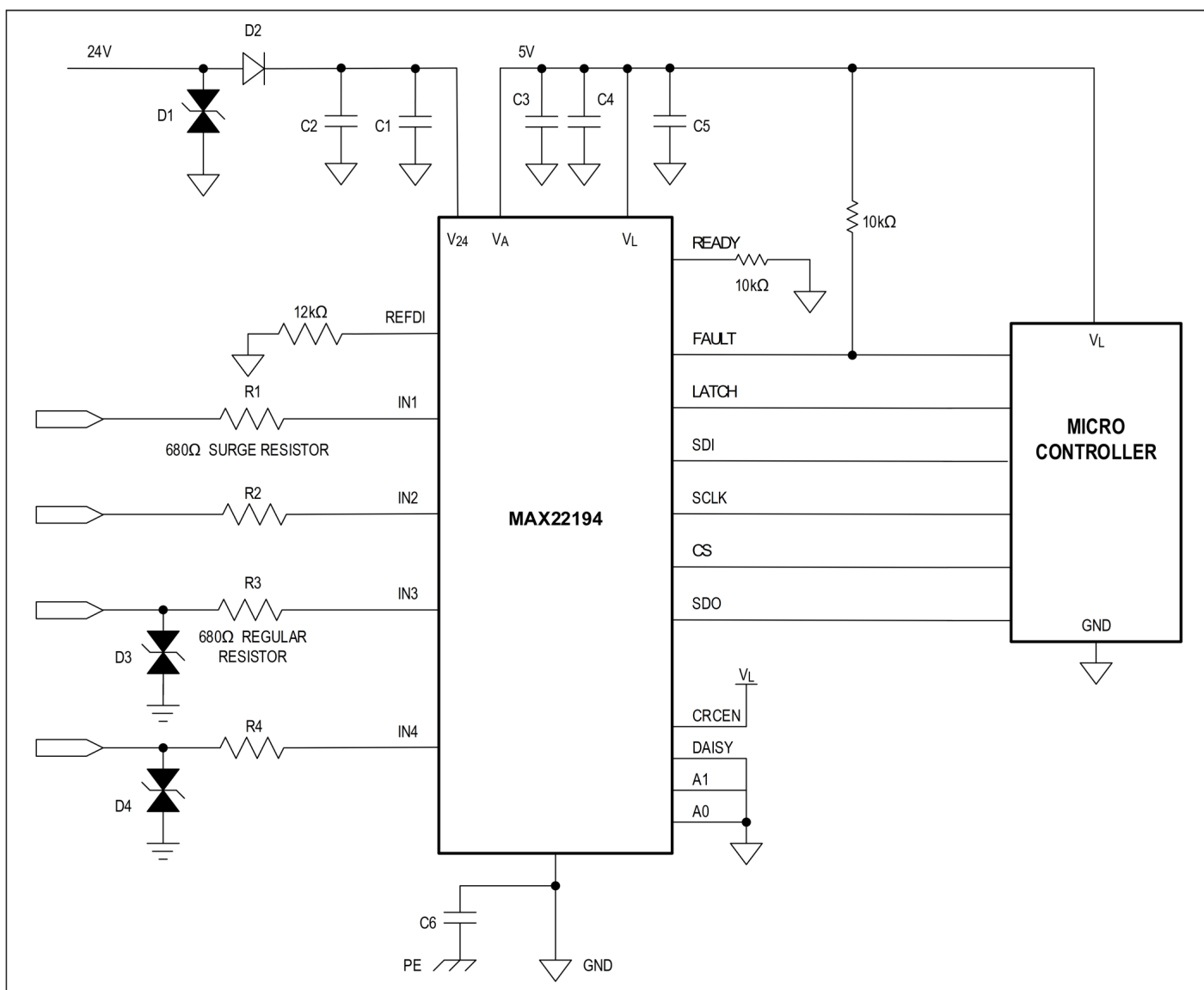


図 21. MAX22194 の代表的な EMC 保護回路

表 7. EMC 保護用の推奨部品

COMPONENT	DESCRIPTION	REQUIRED / RECOMMENDED / OPTIONAL
C1	0.1 μ F, 100V low ESR ceramic capacitor	Recommended
C2	1 μ F, 100V low ESR ceramic capacitor	Required
C3	0.1 μ F, 16V low ESR ceramic capacitor	Recommended
C4	1 μ F, 16V low ESR ceramic capacitor	Required
C5	0.1 μ F, 16V low ESR ceramic capacitor	Required
C6	3300pF, 2220 safety rated Y capacitor	Recommended
R1, R2	680 Ω , 2512, 1.5W pulse withstanding resistor (CMB0207, RPC2512, CRCW2512-IF or similar)	Required
R3, R4	680 Ω , 0603, 0.1W resistor	Required
D1	Bidirectional TVS diode, SMAJ33CA (42 Ω) or SM30T39CAY (2 Ω)	Required
D2	Diode for reverse current protection	Required
D3, D4	Bidirectional TVS diode, SMAJ33CA (42 Ω)	Required
All other resistors	0603 0.1W resistors	Required
All LEDs (not shown in Figure 21)	LED for visual input status indication	Recommended

表 8. トランジェント耐性試験の結果

TEST		RESULT
IEC 61000-4-2 Electrostatic Discharge (ESD)	Contact ESD	\pm 8kV
	Air-Gap ESD	\pm 15kV
IEC 61000-4-4 Electrical Fast Transient (EFT)	Input Line	\pm 4kV
IEC 61000-4-5 Surge Immunity (1.2/50 μ s, 42 Ω)	Line-to-Ground	\pm 1kV
	Line-to-Line	\pm 1kV
	Power Supply	\pm 500V

フィールド入力の ESD 保護

入力抵抗は、MAX22194 IN_ピンへのエネルギーを制限し、過度のトランジェント・エネルギーから内部 ESD 構造を保護します。入力直列抵抗は、そうした ESD レベルに耐える必要があり、それに見合う定格を決める必要があります。MAX22194 入力チャンネルは、680 Ω 以上の入力直列抵抗を用いて、最大 \pm 8kV の ESD 接触放電と \pm 15kV の ESD 気中放電に耐えることができます。入力抵抗値は、入力電流によってスケールリングされたフィールド電圧スイッチング・スレッシュホールドをシフトさせるため、この抵抗値によってアプリケーションの入力特性が決定されます。抵抗のパッケージは、2 つの抵抗パッド間のアーク放電を防止するのに十分な大きさにする必要があります。アーク放電は、フィールド入力に印加される ESD レベルとアプリケーションの汚染度に依存します。

フィールド入力の EFT 保護

入力チャンネルは、性能基準 A（仕様限度内の通常動作）で、最大 \pm 4kV、5kHz または 100kHz の高速トランジェント（図 22）に耐えることができます。容量結合クランプを用いて、EFT ジェネレータからの高速トランジェント（バースト）を、MAX22194 のフィールド入力に、MAX22194 入力ピンへのガルバニック接続を行わずに結合します。

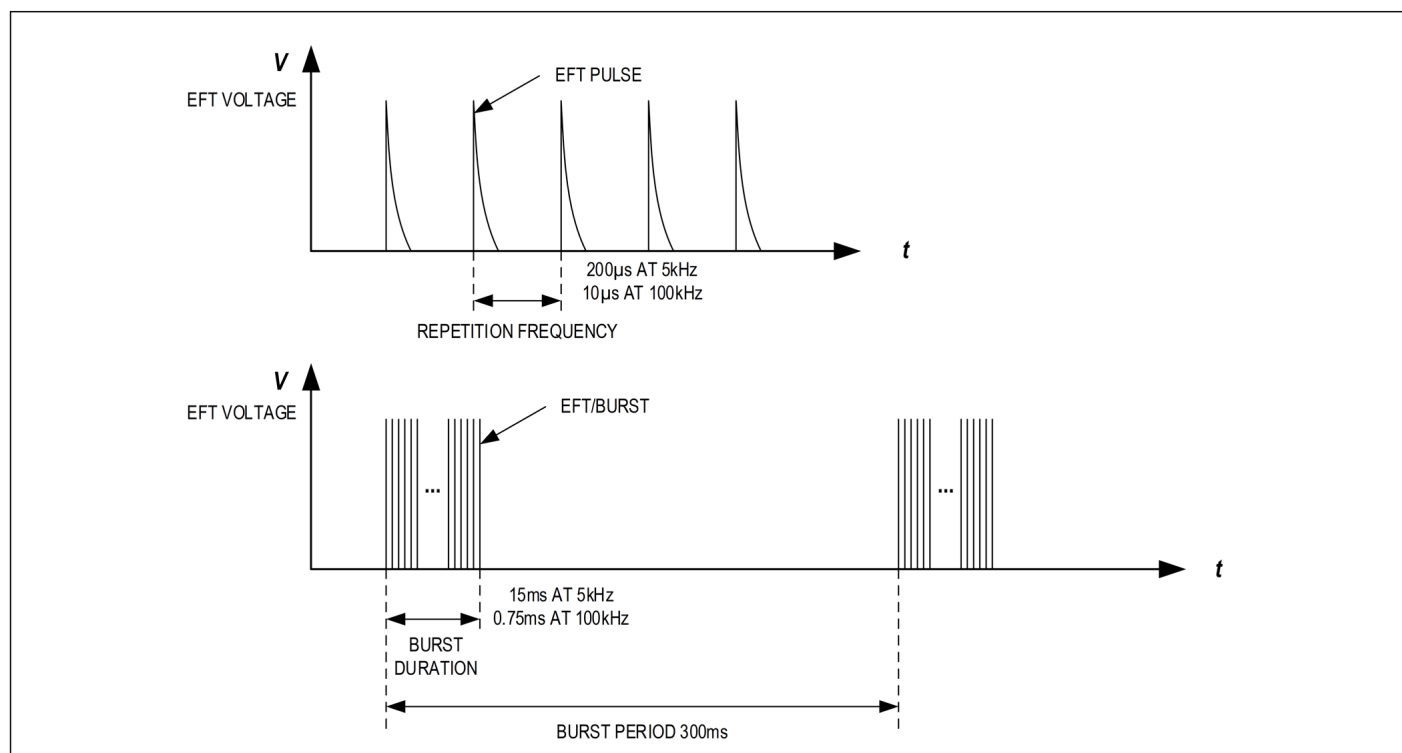


図 22. 電気高速トランジェント／バーストの波形

フィールド入力のサージ保護

IEC 61000-4-5 のサージ（図 23 と図 24）から IN ピンを保護するには、以下の 2 つの選択肢があります。第 1 の選択肢は、図 21 の IN1 と IN2 で示されるように、直列の耐パルス抵抗を使用することです。±1kV/42Ω、1.2/50µs のサージ・パルスに耐えるには、680Ω 以上のパルス抵抗を使用する必要があります。このパルス抵抗は、サージ・エネルギーの放散に対応する必要があります。適切な抵抗の例は、CMB0207 MELF、RPC2512、または CRCW2512-IF の厚膜などです。必要な抵抗値は、タイプ 1、2、3、またはその他の入力特性によって定義されます。IN_端子にはフィルタ処理用のコンデンサを接続しないでください。IN_入力で用いる直列抵抗値が高いほど、達成できるサージ許容値のレベルが高くなり、抵抗値を 2 倍にするとサージ許容値は 2 倍になります。しかし、抵抗値が高くなるとフィールド・スレッシュホールド電圧が増加し、その大きさは $I_{IN} \times R_{IN}$ によって決まります。スレッシュホールド電圧が IEC 61131-2 の制限内であることを確認してください。

第 2 の選択肢は全体のフットプリントの縮小に寄与するもので、図 21 の IN3 と IN4 に示すように、低電力の直列抵抗を使い、フィールド入力で GND への双方向 TVS を使用することです。TVS は、サージ・エネルギーを吸収できる必要があり、ピーク電圧を制限する機能があるため、抵抗にはサージ・トランジェント時に低い差動電圧しか印加されません。適切な TVS には SMAJ33CA、SPT02-236、フットプリントがより小さい PDFN3-32 などがあり、±1kV/42Ω のサージからの保護が可能です。

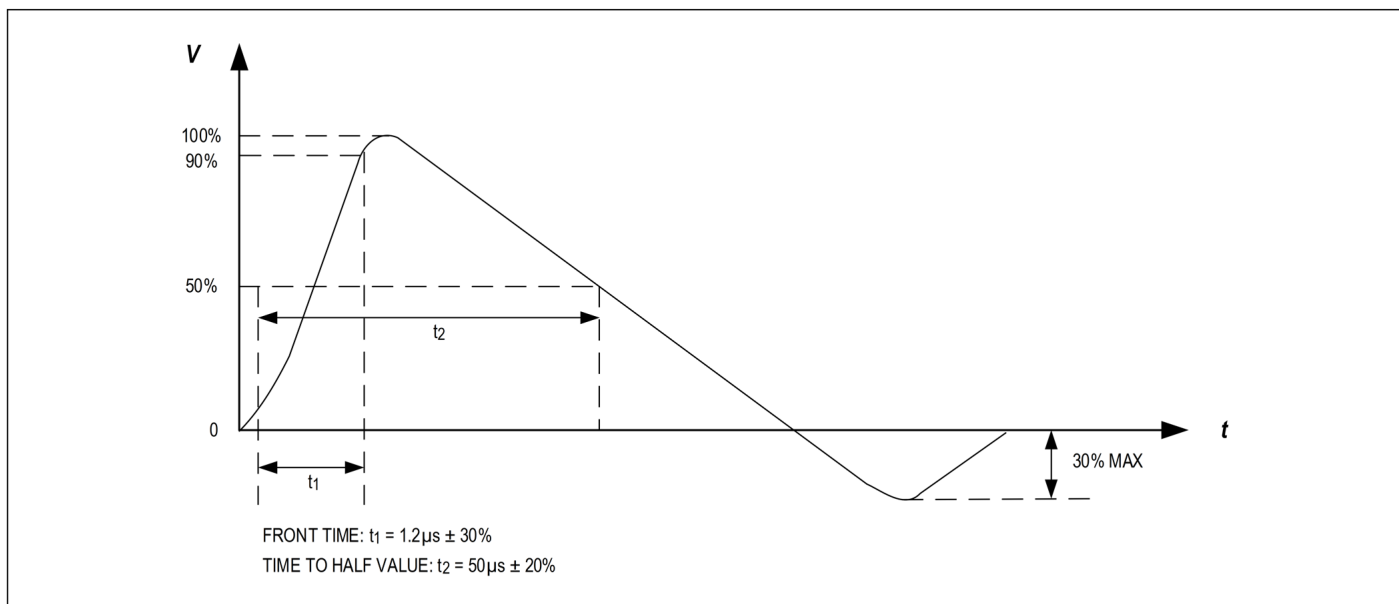


図 23. IEC 61000-4-5 1.2/50µs サージ電圧の波形

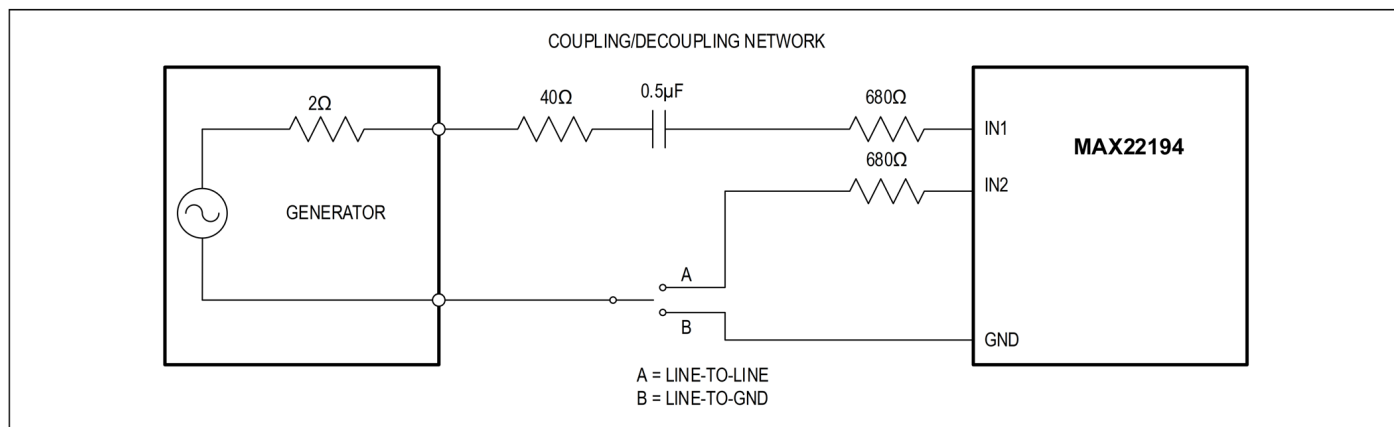


図 24. IEC 61000-4-5 サージ試験方法

24V 電源のサージ保護

V₂₄ ピンを±500V/42Ω、1.2µs/50µs のサージから保護するために（図 23）、逆電流保護用の直列ダイオードと共に SMAJ33CA TVS を V₂₄ ピンに使用することができます。また、±500V/2Ω、1.2µs/50µs のサージから保護するために、SM30T39CAY TVS を V₂₄ ピンに使用することができます。

標準アプリケーション回路

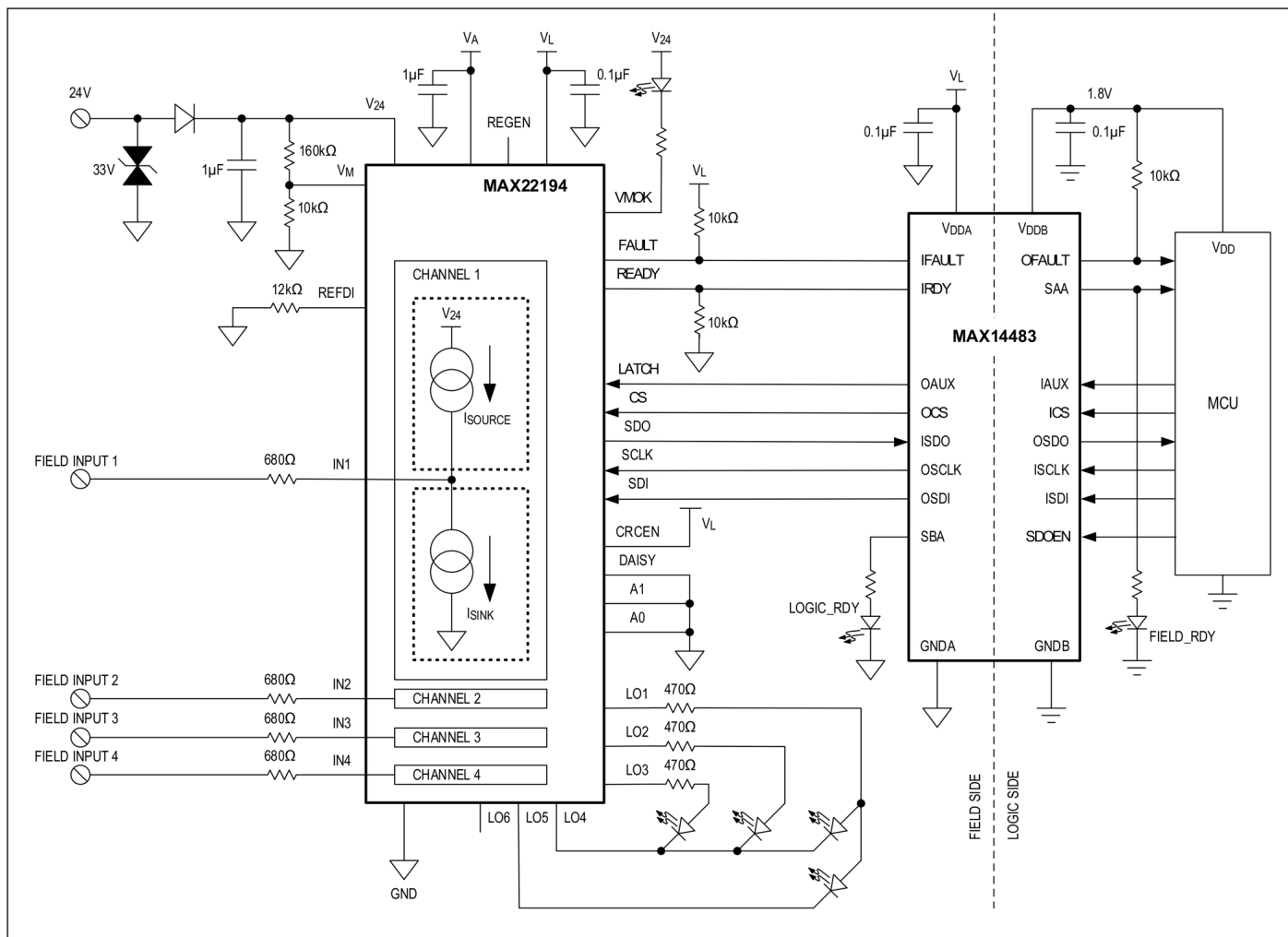


図 25.4 チャンネルの絶縁型シンク/ソース・デジタル入力モジュール

型番

PART NUMBER	TEMP RANGE	PIN-PACKAGE
MAX22194ATJ+	-40°C to 125°C	32-TQFN
MAX22194ATJ+T	-40°C to 125°C	32-TQFN

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。
T = テープ&リール。

チップ情報

プロセス : BiCMOS

改訂履歴

版数	改訂日	説明	改訂ページ
0	03/24	市場導入リリース	-