



アプリケーション構成が選択可能な 統合型降圧スイッチング・レギュレータ

MAX16425/MAX16425A

概要

MAX16425/MAX16425A は、全機能を内蔵した高効率スイッチング・レギュレータで、25A に達する最大負荷を必要とし 4.5V ~16V 入力電源で動作するアプリケーションに適しています。これらのシングルチップ・レギュレータは、高速の過渡応答が必要な高精度の出力を可能にする、小型で高効率の電力供給ソリューションを実現します。

これら 2 つのデバイスには様々なプログラマビリティ・オプションがあり (表 3a および表 3b を参照)、幅広い構成が可能です。プログラム可能な機能には、内部/外部リファレンス電圧、出力電圧セットポイント、スイッチング周波数、過電流保護レベル (OCP)、ソフトスタート・タイミングなどがあります。不連続電流モード (DCM) 動作がピンストラッピングにより可能であるため、軽負荷時の効率を向上できます。

MAX16425/MAX16425A には複数の保護機能や測定機能があります。正および負のサイクルごとの OCP および過熱保護 (OTP) により堅牢な設計が確保されます。入力低電圧および過電圧ロックアウトはレギュレータをシャットダウンし、入力電圧が仕様規定範囲外となった場合に損傷を防ぎます。出力過電圧 (OVP) が発生した場合にはレギュレーションが中止されます。ステータス・ピンは、出力電圧が範囲内にあることとレギュレーションされていることを示します。デバイスには、出力電流を±5%の精度、またはジャンクション温度を±8°Cの精度でレポートするよう設定できる、アナログ出力機能があります。

デバイスは低熱抵抗を実現する 27 バンプ (2.2mm × 3.8mm) WLCSP パッケージで提供され、PCB 面積を最小限に抑えます。

アプリケーション

- サーバー/マイクロサーバー
- I/O 電源およびチップセット電源
- GPU コア用電源
- DDR メモリ : V_{DDQ} 、 V_{PP} 、 V_{TT}
- ポイントオブロード (PoL) アプリケーション

DEVICE TYPE	CURRENT RATING	INPUT VOLTAGE	OUTPUT VOLTAGE
MAX16425	25A	4.5V to 16V	0.6V to 3.3V
MAX16425A			

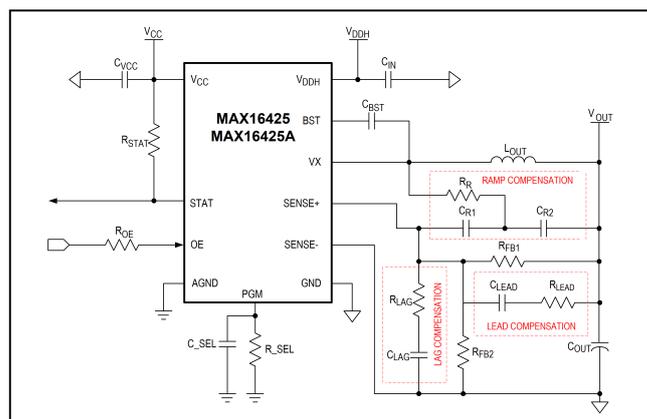
Quick-PWM は Analog Devices Inc. の商標です。

機能と利点

- 高効率ソリューション
 - ピーク : 最大 97%
 - 全負荷時 : 最大 87%
 - 軽負荷時 : 最大 96% (1A、DCM 有効化)
- 柔軟な設計により早期の PCB 定義が可能
 - VT2491 (15A) およびそれに関連するスケラブル製品とフットプリントが同じ
 - プログラマブルなスイッチング周波数 : 最大 1MHz
 - プログラマブルなソフトスタート・タイミングおよび STAT 遅延タイミング
 - 外部入力オプションを備えたプログラマブルなリファレンス電圧
 - プログラマブルな正側および負側 OCP 制限値
- 先進的なアーキテクチャ、保護、レポート機能により信頼性の高い設計を確保
 - アナログの電流レポートまたは温度レポート
 - オープン・サーキット検出機能を備えた差動リモート検出
 - Quick-PWM™ アーキテクチャによる高速過渡応答
 - パーセンテージベースの出力パワー・グッドおよび OVP
 - オープンドレイン・ステータス・インジケータ (STAT) ピン
 - 入力低電圧および過電圧ロックアウト
 - 適応型デッド・タイム制御
- 基板スペースを節約
 - 内蔵昇圧スイッチ
 - 27 バンプ WLCSP (2.2mm × 3.8mm) のフットプリント
 - 動作にはセラミック入力コンデンサおよび出力コンデンサを使用

オーダー情報はデータシート末尾に記載されています。

基本アプリケーション回路



絶対最大定格

VDDH~GND (Note 1)	-0.3V~+23V	VCC~AGND	-0.3V~+2.5V
VX~GND (DC)	-0.3V~+23V	OE~GND	-0.3V~+2.5V
VX~GND (AC) (Notes 1, 2)	-10V~+23V	PGM、SENSE+、SENSE-~GND	-0.3V~VCC +0.3V
VDDH~VX (DC)	-0.3V~+23V	STAT~AGND	-0.3V~+4V
VDDH~VX (AC) (Notes 1, 2)	-10V~+23V	ジャンクション温度 (T _J)	+150°C
BST~GND (DC)	-0.3V~+25.5V	保存温度範囲	-65°C~+150°C
BST~GND (AC) (Notes 1, 2)	-7V~+25.5V	ピーク・リフロー温度鉛フリー	+260°C
BST~VX 差動	-0.3V~+2.5V		

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

動作定格

入力電圧 (V _{DDH})	4.5V~16V	ジャンクション温度 (T _J)	0°C~125°C
バイアス電源電圧 (V _{CC})	1.71V~1.89V	ピーク出力電流 (I _{PK+MAX})	40A
出力電流 (I _{OUT})	25A		

パッケージ情報

27 WLCSP	
Package code	C272C3+1
Outline Number	21-0928
Land Pattern Number	Refer to Application Note 1891
THERMAL RESISTANCE, FOUR-LAYER BOARD	
Junction to Ambient (θ _{JA})	19°C/W (Note 3)
Junction to Case (θ _{JC})	0.75°C/W

最新のパッケージ外形図とランド・パターン（フットプリント）に関しては、www.maximintegrated.com/packages で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

Note 1: V_{DDH} ピンから 60mil 以内の距離に置かれた入力 HF コンデンサは、誘導性電圧スパイクを絶対最大定格の制限内に維持する必要があります。

Note 2: AC は 25ns に制限しています。

Note 3: データは、空気流とヒートシンクがない状態で、アナログ・デバイセズの評価キットを用いて取得しています。

電気的特性

(特に指定のない限り、 $V_{CC} = 1.8V \pm 5\%$ 、 $V_{DDH} = 12V$ 。*の記号は $T_J = 0^\circ C \sim 125^\circ C$ の温度範囲全域に適用される仕様であることを示しています。それ以外は、 $T_J = 32^\circ C$ での仕様です。#はプログラマブルなパラメータであることを示します。制限値は、 $T_A = +32^\circ C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGES, SUPPLY CURRENT, TEMPERATURE RANGE						
12V Supply Voltage Range	V_{DDH}	*	4.5		16	V
1.8V Supply Voltage Range	V_{CC}	*	1.71	1.8	1.89	V
V_{CC} Supply Current	I_{CC}	CCM *			35	mA
		DCM *			25	
		Shutdown *		32	132	μA
V_{REF}						
Programmable Reference Voltage	V_{REF}	# (See Table 3)		0.6 0.95		V
VREF Tolerance (V_{REF_TOL})		$T = 35^\circ C$ (Note 4)	-0.5		+0.5	%
VREF Tolerance Temperature Coefficient (V_{REF_COEFF})		$0^\circ C < T_J < 100^\circ C$ (Note 4)			0.0106	$\%/^\circ C$
FEEDBACK LOOP						
R_{SENSE} GAIN	Gain	# (See Table 3)		1.4		mV/A
				2.8		
				5.4		
SWITCHING FREQUENCY						
Switching Frequency Accuracy	f_{SW}	Relative to the nominal value (see Figure 4). $0A < I_{LOAD} < Full\ Load\ V_{CC}, V_{DDH} \pm 10\%$ *	-20		+20	%
Low f_{SW} Threshold		DCM enabled		30		kHz
Forced Minimum f_{SW}		DCM enabled. The low f_{SW} threshold has been crossed.		60		kHz
INPUT PROTECTION						
Rising V_{DDH} UVLO Threshold	V_{DDH} UVLO	*	3.85	4.15	4.40	V
Falling V_{DDH} UVLO Threshold			3.70	3.98	4.25	V
Rising V_{DDH} OVLO Threshold	V_{DDH} OVLO	*	16.6	17.3	17.8	V
Falling V_{DDH} OVLO Threshold			16.1	16.7	17.3	V
Rising V_{CC} UVLO Threshold	V_{CC} UVLO	*	1.49	1.62	1.70	V
Falling V_{CC} UVLO Threshold			1.46	1.57	1.65	V
Rising V_{BST} UVLO Threshold	V_{BST} UVLO	*	1.48	1.57	1.70	V
Falling V_{BST} UVLO Threshold			1.33	1.52	1.65	V

電気的特性 (続き)

(特に指定のない限り、 $V_{CC} = 1.8V \pm 5\%$ 、 $V_{DDH} = 12V$ 。*の記号は $T_J = 0^\circ C \sim 125^\circ C$ の温度範囲全域に適用される仕様であることを示しています。それ以外は、 $T_J = 32^\circ C$ での仕様です。#はプログラマブルなパラメータであることを示します。制限値は、 $T_A = +32^\circ C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUT VOLTAGE PROTECTION (OVP)						
Overvoltage-Protection Rising Threshold	OVP	(Note 5)	9.5	13	16.5	%
Overvoltage-Protection Deglitch Filter Time			25	30	36	μs
Power Good Protection Falling Threshold	PWRGD	(Note 5)	-12	-9	-4.5	%
Power Good Protection Rising Threshold		(Note 5)	-9	-6	-2	%
Power Good Deglitch Filter Time			25	30	36	μs
OVERCURRENT PROTECTION (OCP)						
Positive Overcurrent-Protection Threshold (POCP)	OCP	Valley current #	16			A
			20			
			24			
Negative Overcurrent-Protection Threshold (NOCP)		-16			A	
		-20				
		-24				
POCP Threshold Tolerance		Referenced to nominal value (Note 5)*	-20		20	%
Hysteresis (Note 6)		Referenced to inception value (Note 5)*	12	15	18	%
OVERTEMPERATURE PROTECTION (OTP)						
Overtemperature-Protection Inception Threshold	OTP	*	130	140	150	$^\circ C$
Hysteresis			-30		-10	$^\circ C$
TEMPERATURE REPORTING						
Temperature-Reporting Range	T_J		0		125	$^\circ C$
Temperature-Reporting Tolerance		*	-4		+4	$^\circ C$
CURRENT REPORTING						
Current-Reporting Range	I_{LOAD}		0		25	A
Current-Reporting Tolerance		From no load to full load *	-2		+2	A
		Full load *	-8		+8	%

電気的特性 (続き)

(特に指定のない限り、 $V_{CC} = 1.8V \pm 5\%$ 、 $V_{DDH} = 12V$ 。*の記号は $T_J = 0^\circ C \sim 125^\circ C$ の温度範囲全域に適用される仕様であることを示しています。それ以外は、 $T_J = 32^\circ C$ での仕様です。#はプログラマブルなパラメータであることを示します。制限値は、 $T_A = +32^\circ C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OE PIN						
Input Range	—	*	0		1.89	V
Rising Threshold	$V_{OE(H)}$	Full V_{CC} supply range. Measured at OE Pin *	0.89	1.09	1.3	V
Falling Threshold	$V_{OE(L)}$		0.44	0.65	0.83	V
Hysteresis	—	*	0.34	0.44	0.61	V
Deglintch Filter Time			230		520	ns
OE Pin Input Resistance		$UVLO < V_{CC} < OVLO$ *	250	435	490	k Ω
STARTUP TIMING						
Enable Time from OE Rise to Start of Regulation	t_{EN}		200	300	500	μs
Soft-Start Ramp Time	t_{SS}	# (see Table 3)		1.5		ms
				3		
				6		
Dwell Time at V_{OUT} (DCM Not Allowed)	t_{SETTLE}		14		35	μs
Timing to Charge Boost Capacitor	t_{BST}			8		μs
STAT PIN						
Pullup Voltage	VOH_{STAT}				3.6	V
Status Output Low	VOL_{STAT}	$I_{STAT} = 4mA$ *			0.4	V
		$I_{STAT} = 0.2mA$, $0V < V_{CC} < UVLO$ and $0V < V_{DDH} < UVLO$ *			0.67	
		$I_{STAT} = 1.3mA$, $0V < V_{CC} < UVLO$ and $0V < V_{DDH} < UVLO$ *			0.76	
Status Output High Leakage Current	I_{STAT}	STAT pull to 3.3V through 20k Ω *			7	μA
Time from V_{OUT} Ramp Completion to STAT Pin Released	t_{STAT}	STAT output low to high # (See Table 3)		128		μs
				2000		
Fault Clearing		Bad-to-good delay	1.8	2	2.2	ms

電気的特性（続き）

（特に指定のない限り、 $V_{CC} = 1.8V \pm 5\%$ 、 $V_{DDH} = 12V$ 。*の記号は $T_J = 0^\circ C \sim 125^\circ C$ の温度範囲全域に適用される仕様であることを示しています。それ以外は、 $T_J = 32^\circ C$ での仕様です。#はプログラマブルなパラメータであることを示します。制限値は、 $T_A = +32^\circ C$ で 100% テストされています。動作温度範囲および対応する電源電圧範囲にわたる限界値は、設計と特性評価によって裏付けられています。）

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PGM PIN						
Reporting Voltage Range	V_{PGM}	System regulating	0.5		1	V
Resistor Range	R_{SEL}	Twelve options	1.78		162	k Ω
Resistor Accuracy		EIA standard resistor values only	-1		+1	%
Capacitor Range	C_{SEL}	Three options	0		820	pF
C_SEL Capacitor Accuracy			-20		+20	%
External Capacitance		Load and stray capacitance in addition to C_{SEL}			20	pF
SYSTEM SPECIFICATIONS (Note 6)						
Peak-to-Peak Output Ripple Voltage, DCM Disabled	$V_{OUT-RIPL}$		-1		+1	%
Peak-to-Peak Input Ripple Voltage	$V_{IN-RIPL}$	$V_{DDH} = 10.8V - 13.2V$	-1		+1	%
Line Regulation	V_{OUT}	$V_{DDH} = 10.8V - 13.2V$			0.15	%
Load Regulation (Static)		$I_{OUT} = 0A - I_{MAX}$	-0.5		+0.5	%
Load Regulation (Dynamic)		$V_{DDH} = 10.8V - 13.2V$, I_{OUT} step 6A at 36A/ μs , 1kHz - 1MHz repetition rate, 10% - 90% duty cycle	-3		+3	%

Note 4: ΔT の温度変動に対する V_{REF} の合計許容誤差は次の式で計算できます。

$$V_{REF_TOL_TOT} = V_{REF_TOL} + |\Delta T| \times V_{REF_T_COEFF}$$

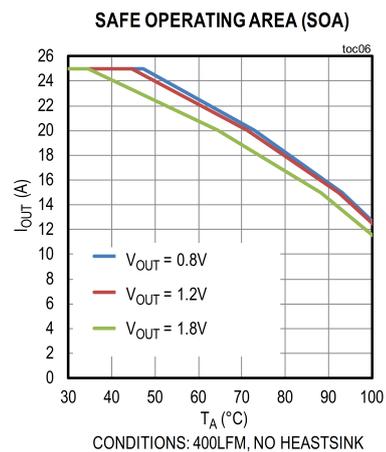
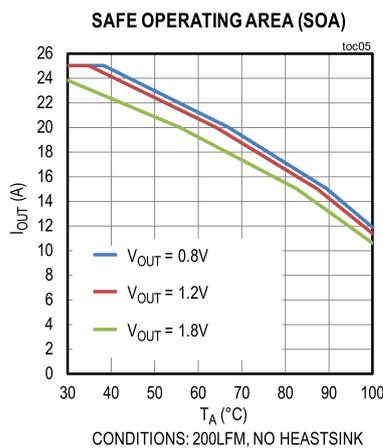
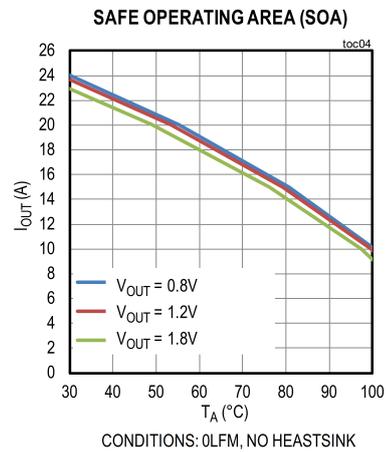
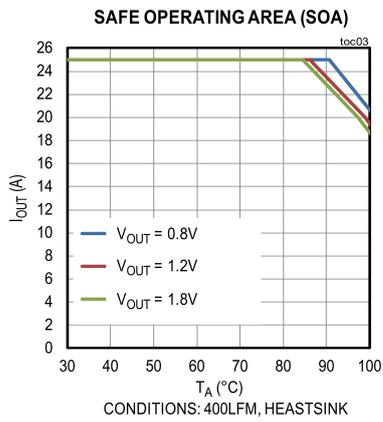
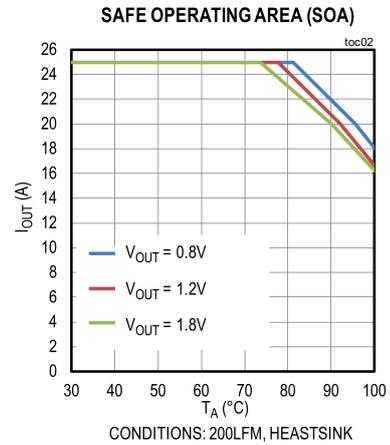
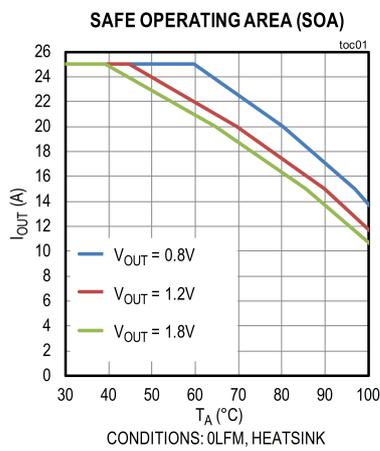
Note 5: 最小値/最大値の限界値は平均値を中心として 4σ 以上です。

Note 6: OCP のヒステリシスは、正電流の OCP にのみ適用されます。負電流の OCP に対するヒステリシスは常に 0 です。

Note 7: リファレンス回路図 (図 9) の回路を用い、 $C_{OUT} = 15 \times 22\mu F$ でテストしています。 $V_{OUT} = 1.05V$ です。保証されたものではありません。参考用としてのみご利用ください。

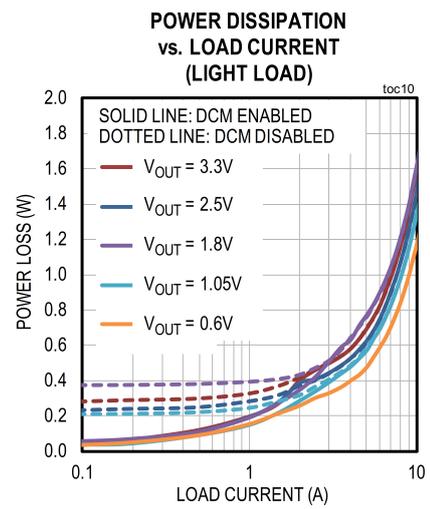
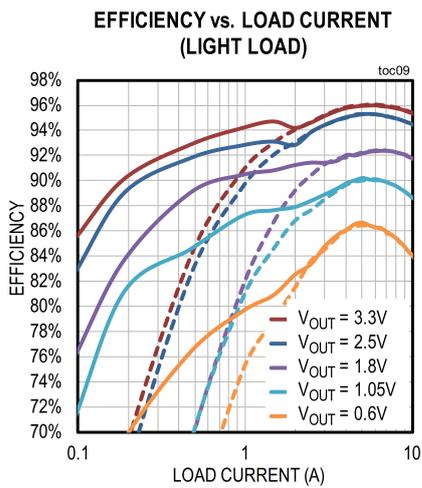
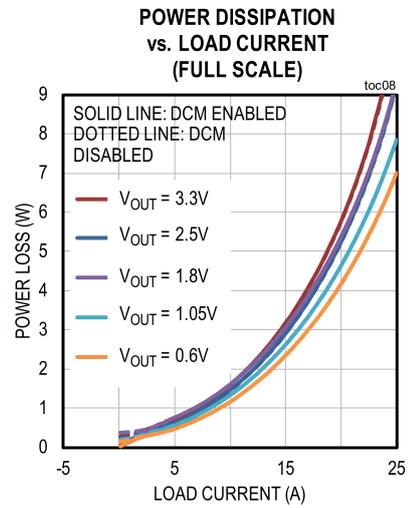
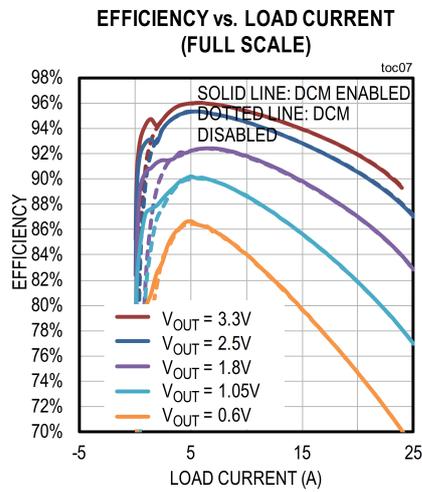
標準動作特性

($V_{DDH} = 12V$ 、 $V_{CC} = 1.8V$ 。グラフは $T_{CASE} = 125^{\circ}C$ または $I_{OUT} = I_{MAX}$ のいずれかが最初に発生した場合についてのものです。)



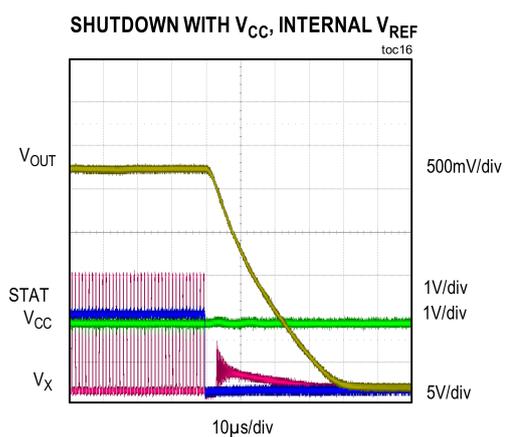
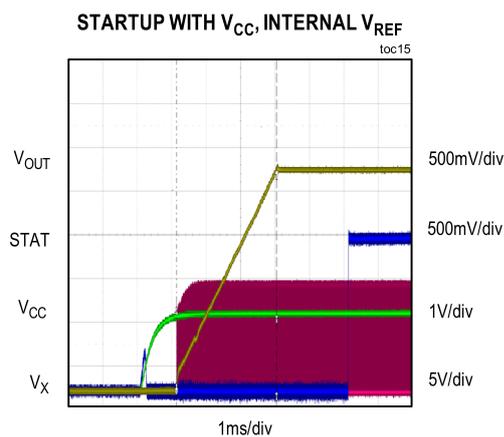
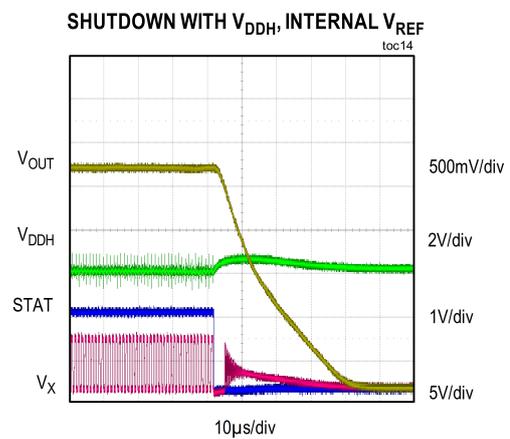
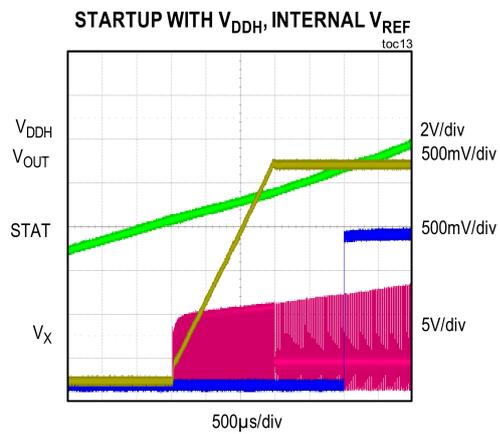
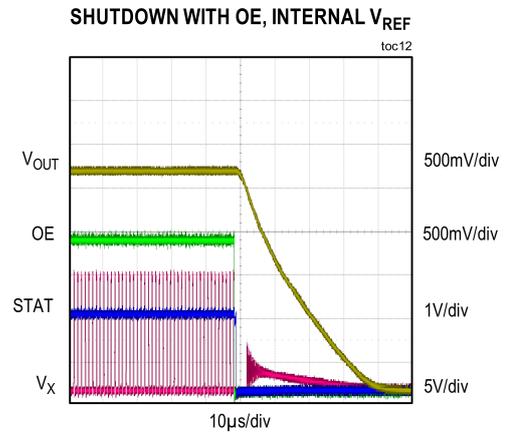
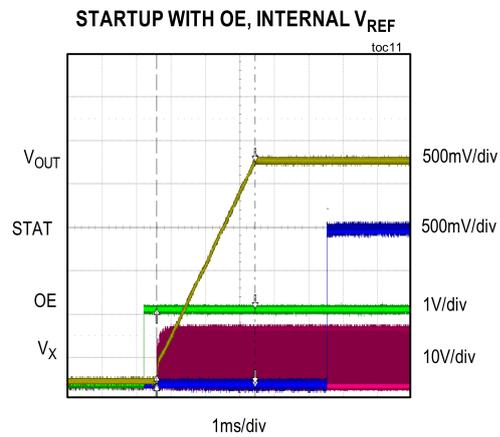
標準動作特性 (続き)

($V_{DDH} = 12V$ 、 $V_{CC} = 1.8V$ 。グラフは $T_{CASE} = 125^{\circ}C$ または $I_{OUT} = I_{MAX}$ のいずれかが最初に発生した場合についてのものです。)



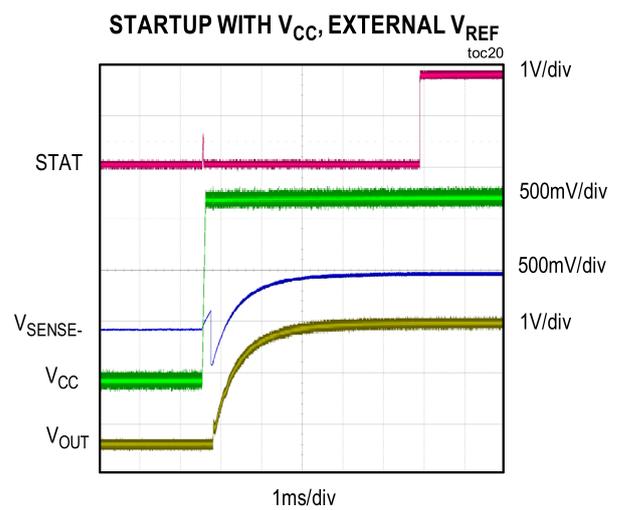
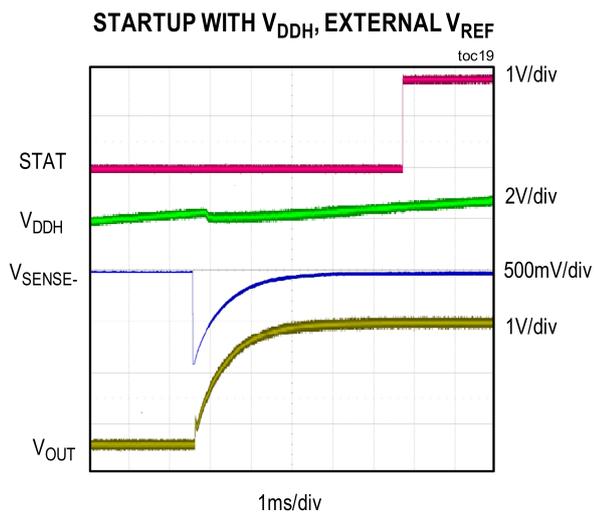
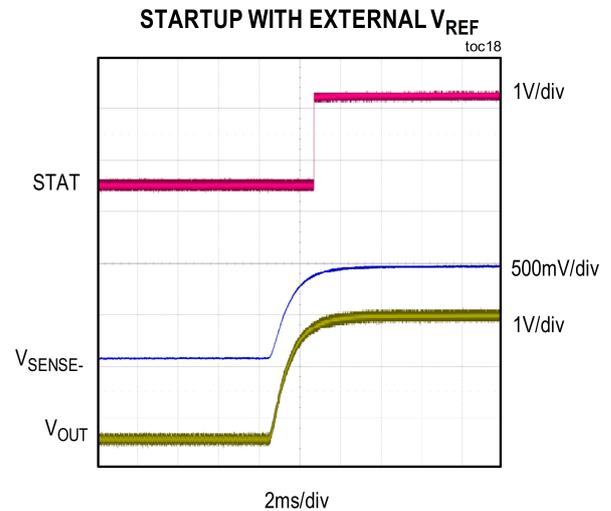
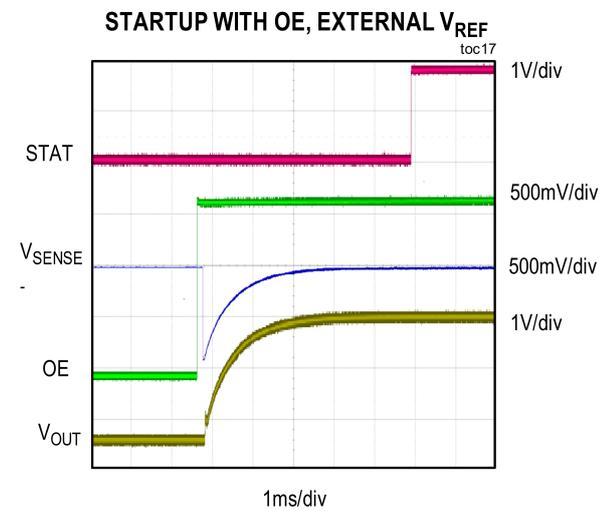
標準動作特性 (続き)

($V_{DDH} = 12V$ 、 $V_{CC} = 1.8V$ 。グラフは $T_{CASE} = 125^{\circ}C$ または $I_{OUT} = I_{MAX}$ のいずれかが最初に発生した場合についてのものです。)



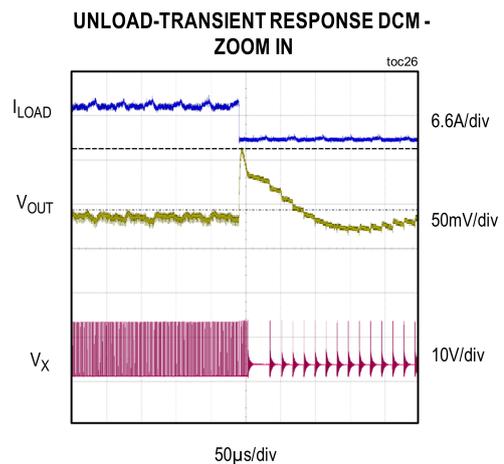
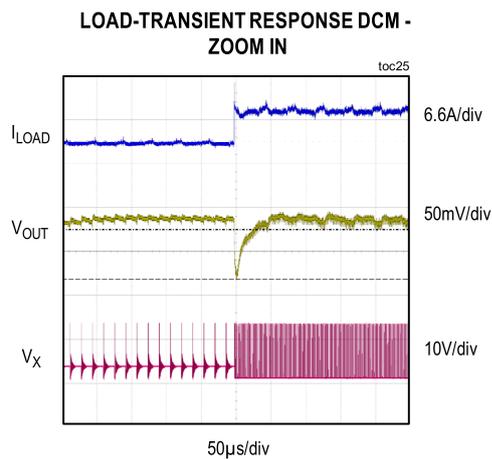
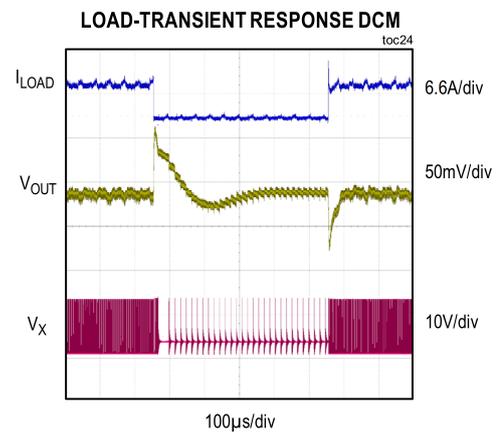
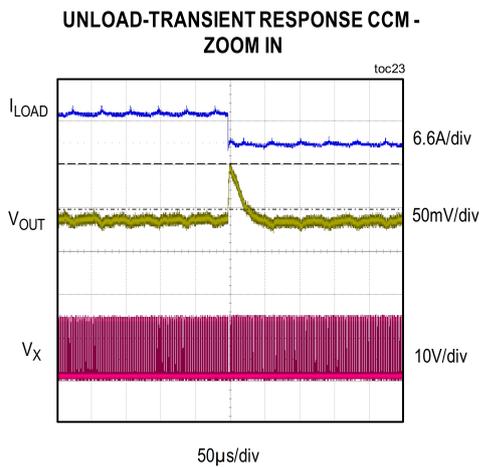
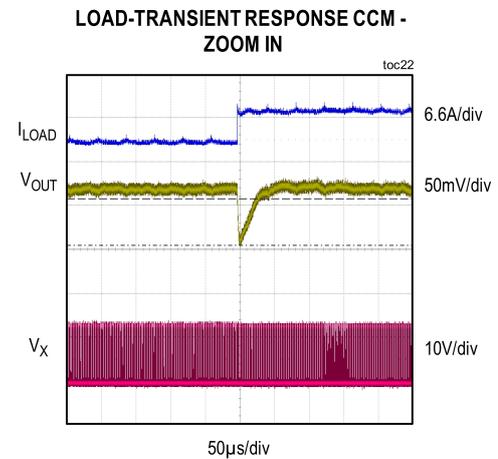
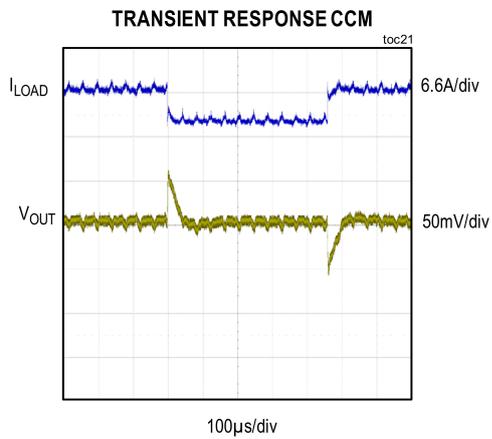
標準動作特性 (続き)

($V_{DDH} = 12V$ 、 $V_{CC} = 1.8V$ 。グラフは $T_{CASE} = 125^{\circ}C$ または $I_{OUT} = I_{MAX}$ のいずれかが最初に発生した場合についてのものです。)



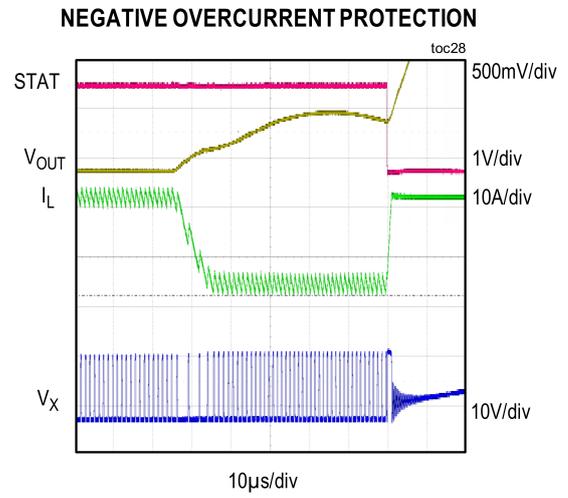
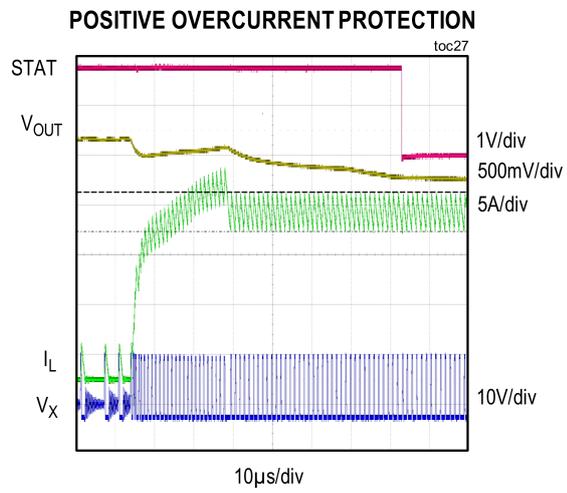
標準動作特性（続き）

($V_{DDH} = 12V$ 、 $V_{CC} = 1.8V$ 。グラフは $T_{CASE} = 125^{\circ}C$ または $I_{OUT} = I_{MAX}$ のいずれかが最初に発生した場合についてのものです。)

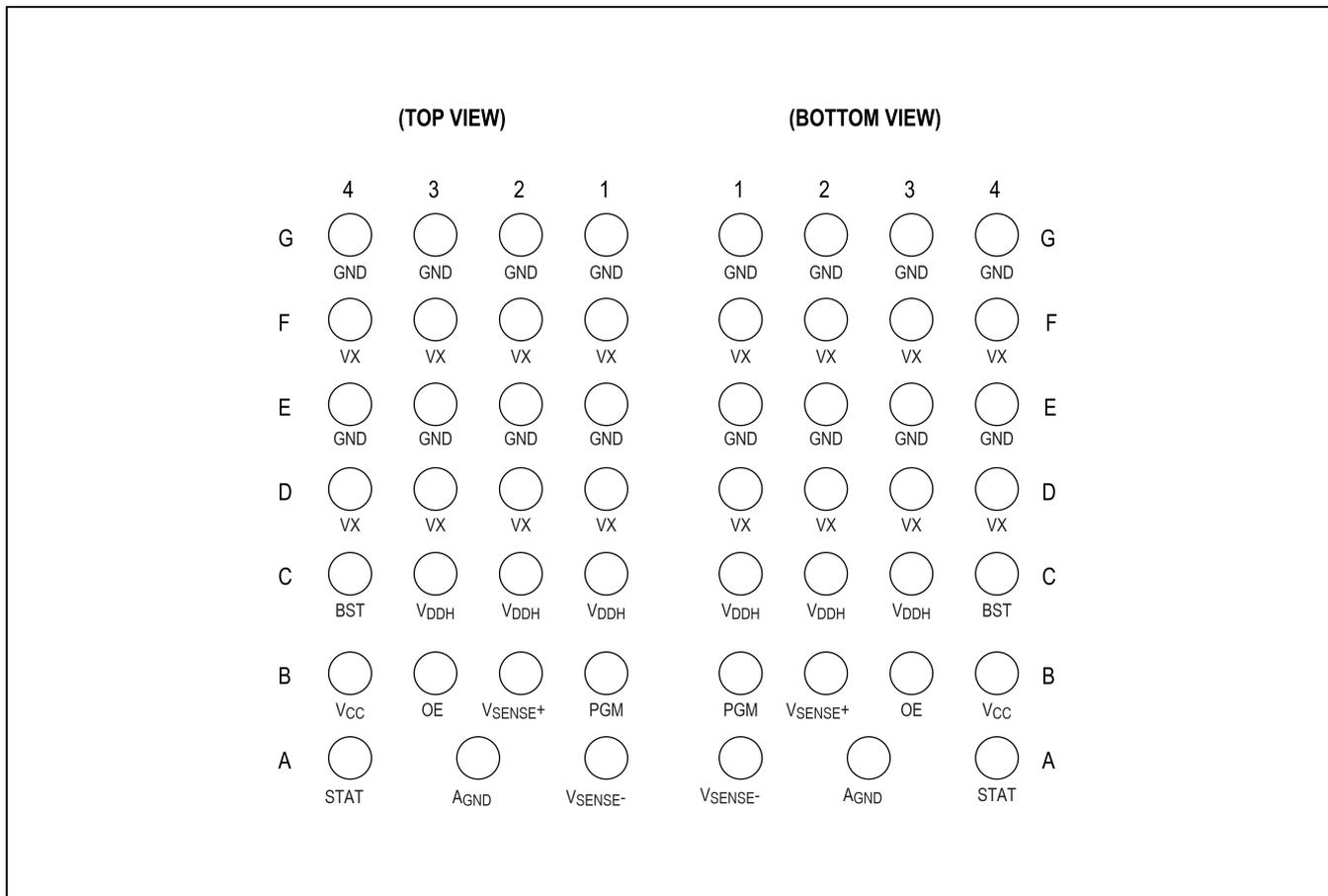


標準動作特性（続き）

($V_{DDH} = 12V$ 、 $V_{CC} = 1.8V$ 。グラフは $T_{CASE} = 125^{\circ}C$ または $I_{OUT} = I_{MAX}$ のいずれかが最初に発生した場合についてのものです。)



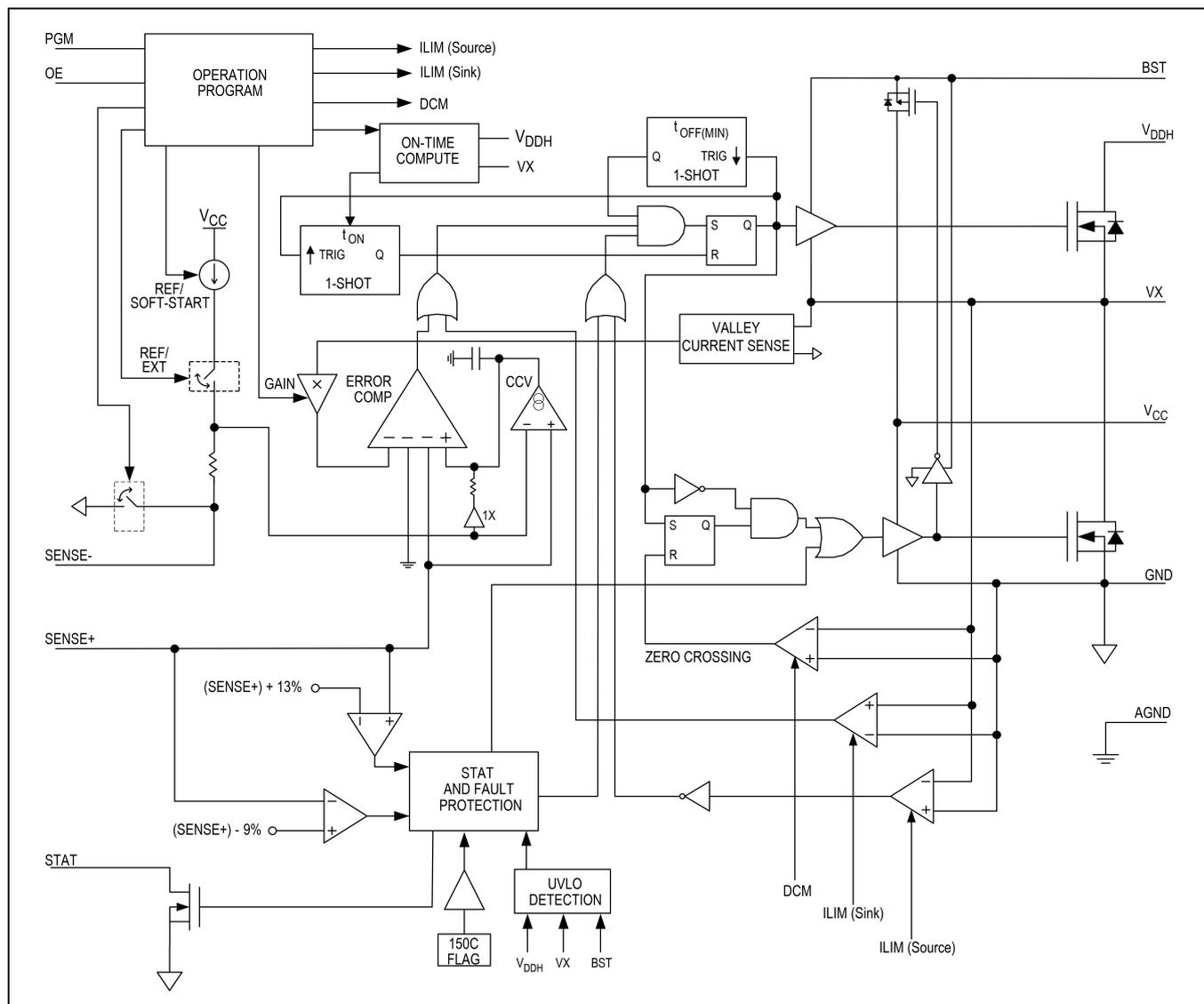
ピン配置



端子説明

ピン	名称	説明
A1	SENSE-	リモート検出/外部リファレンスの負入力。SENSE-ピンは、内部リファレンス電圧を用いる場合は負荷のグラウンドにケルビン接続により接続します。そうでない場合は、 図 6 に示すように外部リファレンス電圧に接続します。
A2	AGND	アナログ/信号グラウンド。プリント回路基板のレイアウトのセクションに記載の推奨方法に従いグラウンド・プレーンに接続します。
A4	STAT	オープンドレインのステータス出力。このピンがローにプルダウンされると、フォルトまたは出力低電圧および過電圧が生じていることを示します。
B1	PGM	プログラミング入力/テレメトリ出力。PGM は、プログラミング用の抵抗とコンデンサを用いてアナログ・グラウンドに接続します。抵抗とコンデンサの値は起動時に測定され、これにより目標のレギュレータ設定が決まります（ 表 3a および 表 3b を参照）。詳細については、 電流/温度のレポート および プログラミングのオプション のセクションを参照してください。
B2	SENSE+	リモート検出の正入力 SENSE+はケルビン接続を用いて負荷の V _{OUT} に接続します。出力と SENSE+の間に抵抗分圧器を挿入すると、リファレンス電圧を超える出力をレギュレーションできます。
B3	OE	出力イネーブル入力。20k Ω の抵抗を通じてイネーブル信号に接続します。OE がローの場合、VX ノードは高インピーダンスになります。OE をトグルすると、フォルト保護ラッチがクリアされます。
B4	V _{CC}	電源電圧入力。このピンは、レギュレータのアナログ回路、デジタル回路、ゲート駆動回路に用います。V _{CC} は 1.8V に接続します。また、このピンは 1 μ F 以上のセラミック・コンデンサで電源グラウンドに確実にバイパスします。
C1-C3	V _{DDH}	電源入力電圧。V _{DDH} は入力電源ソースに接続します。ピンに密接して高周波用セラミック・デカップリング・コンデンサを配置する必要があります。デカップリングの推奨事項については、 表 4 を参照してください。
C4	BST	ブートストラップ電源入力。 表 4 および プリント回路基板のレイアウト のセクションに記載されているように、BST と VX の間に 0.47 μ F のセラミック・コンデンサを IC に密接して配置してください。
D1-D4, F1-F4	VX	スイッチング・ノード。パワー・インダクタのスイッチング・ノードに接続します。
E1-E4, G1-G4	GND	電源グラウンド。出力負荷のリターン経路に接続します。

ブロック図



詳細

制御アーキテクチャ

MAX16425/MAX16425A 降圧レギュレータは、低デューティ・サイクル（高入力電圧～低出力電圧）アプリケーションに最適です。MAX16425/MAX16425A で用いられているアナログ・デバイス独自の Quick-PWM パルス幅変調器は電圧フィードフォワード機能を備えた疑似固定周波数、一定オン時間の電流モードレギュレータです（ブロック図参照）。このアーキテクチャは、高速の負荷ステップを処理しながらも、広い範囲の入力電圧にわたり比較的一定の動作周波数およびインダクタの動作点を

を維持できるよう、特別に設計されています。この手法は、固定周波数の電流モード PWM における負荷過渡応答のタイミング調整が難しいという問題を回避すると同時に、一定オン時間の一般的なパルス周波数変調制御手法において大きく変動するスイッチング周波数が原因となる問題を、入力電圧に関係なく回避できます。

一般的な一定オン時間アーキテクチャでは、安定動作を確保するために、最小 ESR が規定された出力コンデンサを必要とします。この制限は、MAX16425/MAX16425A にはあてはまりません。独自の電流検出方法を用いてインダクタの谷電流が帰還信号に追加され、安定性が向上するためです。

制御アルゴリズムは単純です。ハイサイド・スイッチのオン時間は、パルス幅が入力電圧に反比例し出力電圧に正比例するワンショット・パルスだけで決定されます(式 1)。別のワンショット・パルスにより最小オフ時間が 100ns (代表値) に設定されます。

通常動作条件では、オン時間のワンショットがトリガされるのは、帰還電圧と谷電流検出信号の和が制御電圧未満になり、最小オフ時間のワンショットがタイムアウトした場合です。t_{ON} のパルス幅の最大値は、2.5µs にクランプされています。

式 1

$$t_{ON} = \frac{V_{X_{AVE}}}{f_{SW} \times V_{DDH}}$$

ここで、

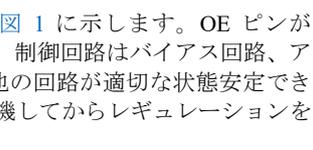
f_{SW} = スイッチング周波数 (MHz)

t_{ON} = ハイサイド・スイッチのオン時間の長さ (µs)

V_{X_{AVE}} = 平均 VX 電圧 (V)

V_{DDH} = 入力電圧 (V)

電圧レギュレータのイネーブルおよびターンオンのシーケンス

スタートアップ・シーケンスを  1 に示します。OE ピンが V_{OE(H)} スレッショルドを上回ると、制御回路はバイアス回路、アナログ・ブロック、およびその他の回路が適切な状態安定できるように、300µs の t_{EN} 時間だけ待機してからレギュレーションを開始します。

OE ピンの電圧定格は 1.8V です。制御信号が 1.8V より高い場合は、抵抗分圧器を用いて OE ピンを駆動する必要があります。

更に、V_{CC} が UVLO を下回ると、OE ピンのインピーダンスは低下します。インピーダンスの低下によるデバイスの損傷を防止するため、抵抗を用いて電流を制限します。1.8V の制御信号の場合、この抵抗の値は 20kΩ で、これを OE ピンと直列に配置します。駆動電圧が高く OE に抵抗分圧器が必要となる場合には、グラウンドに接続する下側の抵抗に 20kΩ を選択します。上側の抵抗は式 2 で与えられます。これより高く、かつ最も近い値の抵抗を使用します。

式 2

$$R_{TOP} = 20k\Omega \times \left[\left(\frac{V_{SIG}}{1.8V} \right) - 1 \right]$$

出力イネーブルの遅延タイミングは、RC ネットワークを制御信号と OE ピンの間に接続することで追加できます。RC 遅延ネットワークは、必要なターンオン/オフ・タイミングと V_{OE(H)}/V_{OE(L)} スレッショルドに基づいて設計します。

OE ピンには公称入力インピーダンスがあり、これを分圧器ネットワークの計算に含める必要があります (公称インピーダンスについては、[電氣的特性](#)の表を参照)。

システムにより OE がプルダウンされた場合、MAX16425/MAX16425A は低消費電力のシャットダウン・モードになります。STAT は直ちにローに引き下げられます。MAX16425/MAX16425A は、電流がゼロになるまでローサイド FET を動作させたままにすることでインダクタを放電します。このような状態では、どちらのパワー-FET も高インピーダンスになり、レギュレータはシャットダウンします。

ソフトスタート制御

OE がスレッショルドに達し、t_{EN} の時間が経過すると、レギュレータはブートストラップ・コンデンサの充電シーケンスを行います。ブートストラップ・コンデンサが完全に充電されると、内部リファレンスの電圧が目標電圧まで適切なソフトスタート時間 (t_{SS}) で増加します。ソフトスタート時間と目標電圧はどちらもプログラム可能です ([プログラミングのオプション](#)のセクションと表 3a および表 3b を参照)。

レギュレータが出力電圧をプリバイアスした状態でイネーブルされている場合、システムはリファレンス電圧が SENSE+ ノードの電圧を超える値に増加するまでレギュレーションを行いません。SENSE+ 電圧に達すると、レギュレータは C_{BST} の充電シーケンスを行い、通常動作を開始します。t_{SS} の時間が経過してもなお、SENSE+ が内部リファレンスより高い場合は、連続導通モード (CCM) 動作が短時間 (t_{SETTLE}) 強制され、出力を目標電圧になるまで放電します。この期間が経過した後、不連続導通モード (DCM) が可能になり (選択されている場合)、OVP/UVLP 回路がアクティブになります。

リモート出力電圧のセンシング

リモート出力電圧のセンシングは、負荷での出力電圧レギュレーションの精度を向上するために行われます。この手法により、特に負荷が MAX16425/MAX16425A から離れている場合に、負荷と MAX16425/MAX16425A の間のプレーン・インピーダンスでの電圧降下による誤差を低減できます。リモート出力電圧のセンシングは、SENSE-ノードを内部電圧リファレンス V_{REF} のリファレンスとして使用することで行われます。

スイッチ動作モード

MAX16425/MAX16425A は CCM と DCM の両方に対応します。動作モードは、[プログラミングのオプションのセクションと表 3a](#) および [表 3b](#) に示すようにプログラム可能です。

DCM が有効となっている場合、MAX16425/MAX16425A は軽負荷時に滑らかに DCM に遷移し、効率を向上します。DCM に入ると、負荷の軽減と共に、スイッチング周波数が 30kHz の最小周波数に達するまで減少します。この最小スイッチング周波数制限の目的は、可聴周波数範囲の動作を抑制し可聴ノイズを低減することです。

最後のパルスが発生してから約 33 μ s の間 (1/30kHz)、 t_{ON} パルスが生成されないような負荷の場合、ローサイド FET はエラー・コンパレータが反転するまでオンとなり、 t_{ON} パルスが発せられます。この最小周波数モードに入ると、IC は 60kHz の最小スイッチング周波数で動作し、適切なヒステリシスを提供して IC がこのモードへの出入りを繰り返すのを防止します。

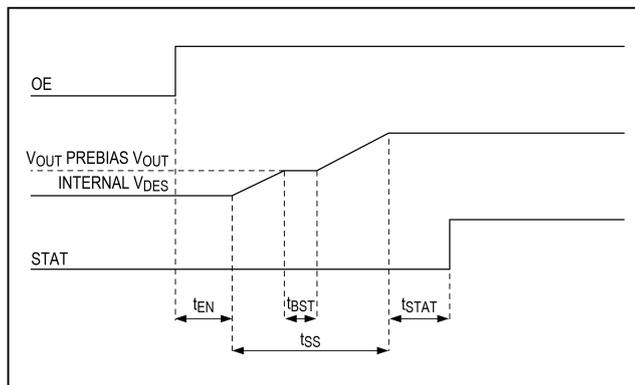


図 1. スタートアップのタイミング

保護とステータスに関する機能

出力電圧保護 (OVP)

SENSE+ピンで、低電圧状態および過電圧状態が発生していないかが、常時モニタされています。出力電圧が PWRGD スレッシュホールド (設定出力電圧の 9%) を 30 μ s (代表値) 以上下回ると、STAT ピンがローに駆動されますが、その間 MAX16425/MAX16425A は動作を続け、レギュレーションを維持しようとしています。出力電圧が過電圧保護スレッシュホールド (設定出力電圧の 13%) を 30 μ s (代表値) を超えて上回ると、STAT ピンがローに駆動され、MAX16425/MAX16425A はラッチ・オフ (ハイサイドとローサイドの FET がオフ) します。フォルト状態をクリアするには、OE をトグルするか V_{CC} を繰り返し投入する必要があります。

電流制限

MAX16425/MAX16425A には、適切な R_{SEL} 値を用いて設定できる電流制限値があります ([表 3a](#) および [表 3b](#) を参照)。過電流保護 (OCP) により、ローサイド FET の電流がサイクルごとにモニタされ制限されます。最小の瞬時ローサイド・スイッチ「谷」電流レベルが OCP (ソース) レベルを超えると、IC は電流がスレッシュホールド・レベル未満になるまで次のオン時間パルスを遅延させます ([図 2](#) 参照)。レギュレータはインダクタの谷電流にตอบสนองするので、正 (ソース) 電流制限の間に供給される DC 電流は、設定された谷電流 (I_{OCP} - ヒステリシス) にインダクタ・リップルの半分の値を加えたものになります。電流制限 (ソース) が生じている間、出力電圧は低下し、PWRGD スレッシュホールドに達すると STAT ピンがローに駆動されます。

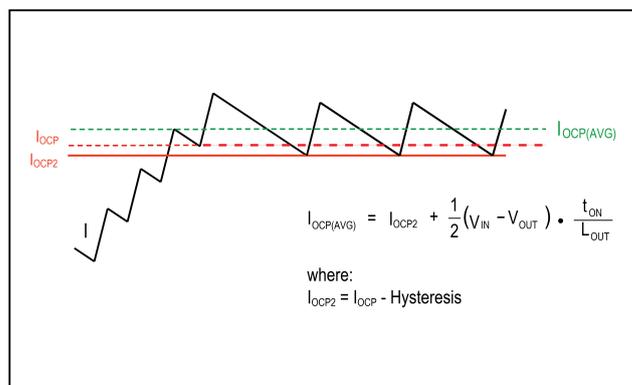


図 2. 電流制限が発生しているときのインダクタ電流

MAX16425/MAX16425A には、負の OCP 制限（シンク）もあります。このスレッショルドに達すると、IC はオン時間パルスを送って負の電流を制限します。このオン時間パルスは、エラー・コンパレータの状態に関係なく発せられます。そのため、負の負荷が負の電流制限値を超えた場合、過電圧保護（OVP）が生じる原因となる可能性があります。

UVLO および OVLO 保護

レギュレータは、低電圧ロックアウト（UVLO）回路と過電圧ロックアウト（OVLO）回路を用いて、 V_{DDH} をモニタしています。UVLO 保護は、BST 電源と V_{CC} 電源にもあります。いずれかの電源が UVLO スレッショルドを下回るか、 V_{DDH} が OVLO スレッショルドを上回った場合、レギュレータはスイッチングを停止し、STAT ピンがローに駆動されます（UVLO レベルと OVLO レベルについては電氣的特性の表を参照）。

過熱保護（OTP）

動作中にダイ温度が過熱保護スレッショルドを超えた場合、MAX16425/MAX16425A はレギュレーションを停止し、STAT ピンがローに駆動されます。ダイ温度が新しい過熱スレッショルド（過熱スレッショルド・ヒステリシス）値未満に低下すると、レギュレーションが再度開始されます。出力電圧が所定値に達すると、STAT ピンは最終的に再度ハイになります。

レギュレータのステータス

レギュレータのステータス（STAT）信号は、MAX16425/MAX16425A が正しく機能しているかどうかを示すオープンドレイン出力（最大 4V、絶対最大定格のセクションを参照）を供給します。外部にプルアップ抵抗が必要です。

起動ランプの終了後（ t_{STAT} ）、出力電圧が PWRGD/OVP のレギュレーション・ウィンドウ内にある場合は、STAT ピンは高インピーダンスになります。STAT ピンがローになるのは、次の状態が少なくとも 1 つ存在する場合です。

- OE がロー。
- V_{DDH} または V_{CC} が存在しない、あるいはそれぞれの UVLO/OVLO スレッショルドを超えているか下回っている。
- PWRGD フォルトがある（出力電圧保護（OVP）のセクションを参照）。
- 起動時に SENSE-ピンまたは SENSE+ピンが未接続のままとなっている。
- ダイ温度が最大許容温度を超えている。
- 出力電圧が許容限界を超えていることを OVP 回路が検出した。
- UVLO がブートストラップ電源（BST-VX）で検出され、ブートストラップ・コンデンサが短絡状態または開放状態となっている可能性があることを示している。

電流/温度のレポート

レギュレーション時、平均出力電流またはチップ温度を示すアナログ電圧が PGM ピンで生成されます（適切な設定については表 3a および表 3b を参照）。PGM ピンの出力電圧範囲は 0.5V ~ 1V です。PGM 出力は、20pF の外部負荷（寄生容量を含む）が追加された R_{SEL}/C_{SEL} ネットワークを駆動できるよう設計されており、これによりこのノードを電圧バッファや ADC などの外部回路に接続できます。

温度および電流レポートのための変換式と式 3 と式 4 に示します。

式 3

$$V_{REPORTED} = (V_{PGM} - Tr_{OFFSET}) \times Tr_{SLOPE}$$

$$Tr_{OFFSET} = 0.592V$$

$$Tr_{SLOPE} = 611 \frac{^{\circ}C}{V}$$

式 4

$$I_{REPORTED} = (V_{PGM} - Ir_{OFFSET}) \times Ir_{SLOPE}$$

$$Ir_{OFFSET} = 0.495V$$

$$Ir_{SLOPE} = 86.2 \frac{A}{V}$$

表 1. フォルト動作の概要

FAULT TYPE	REGULATOR RESPONSE	STAT	DESCRIPTION
Power Good (PWRGD)	Continue Operation	LOW	$V_{OUT} < (1 - 9\%) V_{OUTNOM}$
Overshoot Protection (OVP)	Shutdown and Latchoff	LOW	$V_{OUT} > (1 + 13\%) V_{OUTNOM}$
Overtemperature Protection (OTP)	Shutdown	LOW	$T_J > 140^{\circ}C$
Overcurrent Protection (OCP)	Clamping	V_{OUT} Drop, LOW	Valley current higher than selected limit
Boost Undervoltage	Shutdown	LOW	$(BST - VX) < 1.52V$
V_{DDH} Supply	Shutdown	LOW	$V_{DDH} < 4.5V$ or $V_{DDH} > 16V$
V_{CC} Supply	Shutdown	LOW	$V_{CC} < 1.57V$
SENSE-/SENSE+ Disconnected	Do Not Start	LOW	Open Sense Lines

リファレンス設計

標準アプリケーション回路を図3に示します。

プログラミングのオプション

MAX16425/MAX16425A では、特定のアプリケーション用に最適化できるいくつかの主要パラメータをプログラミングできます。これらのプログラマブルなパラメータを表2に示します。プログラミング・ピンとグランドの間に接続する抵抗とコンデンサでパラメータ・セットを選択できます。

適切な値の抵抗とコンデンサを選択することで、表3aおよび表3bに示すように、目的のパラメータ・セットをプログラムできます。

C_SELでf_{sw}の設定値を選択できます。値の低い順に6種類の公称スイッチング周波数が可能な、6通りの選択肢(#1~#6)があります。f_{sw}の実際の値はV_{OUT}にも依存するため、特定のアプリケーションに対し適切なf_{sw}の設定値を選択するには図4を参照してください。

MAX16425/MAX16425Aには2種類の設定表があり、広い範囲のオプションが利用できます。表3aにMAX16425、表3bにMAX16425Aの、各状況に応じたオプションを示します。

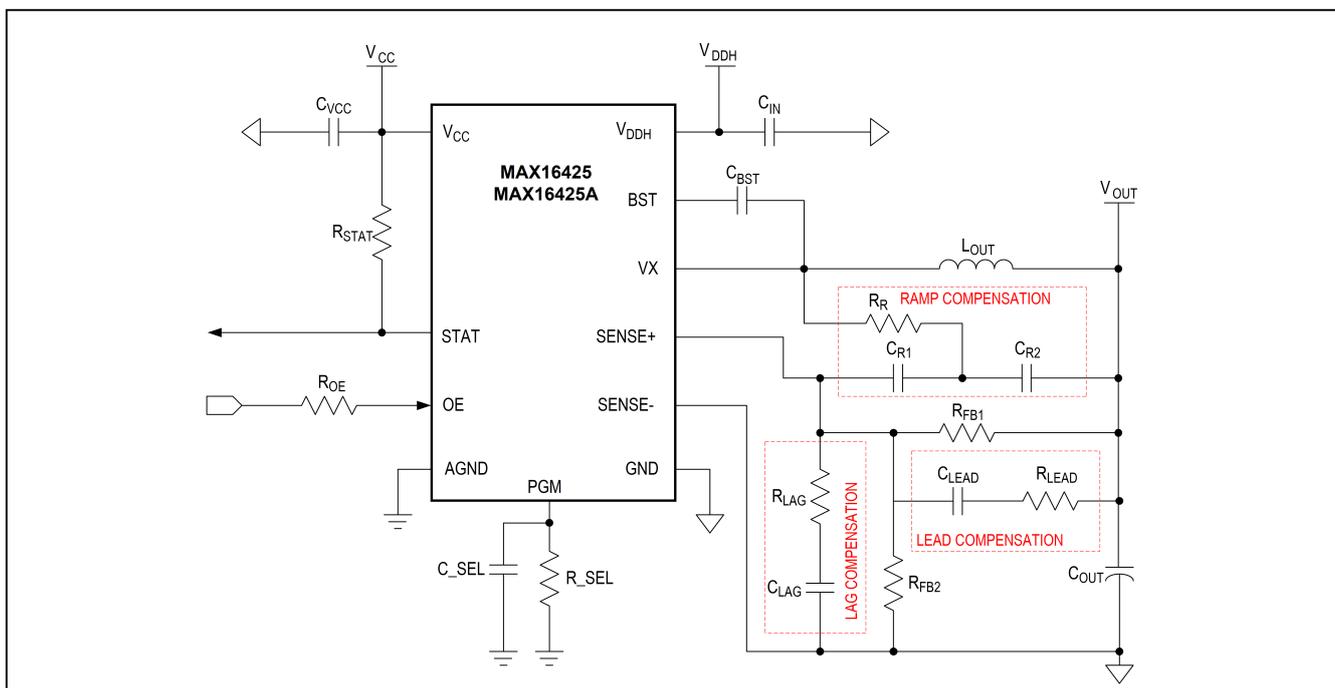


図3. 標準アプリケーション回路

表2. プログラマブルなオプション

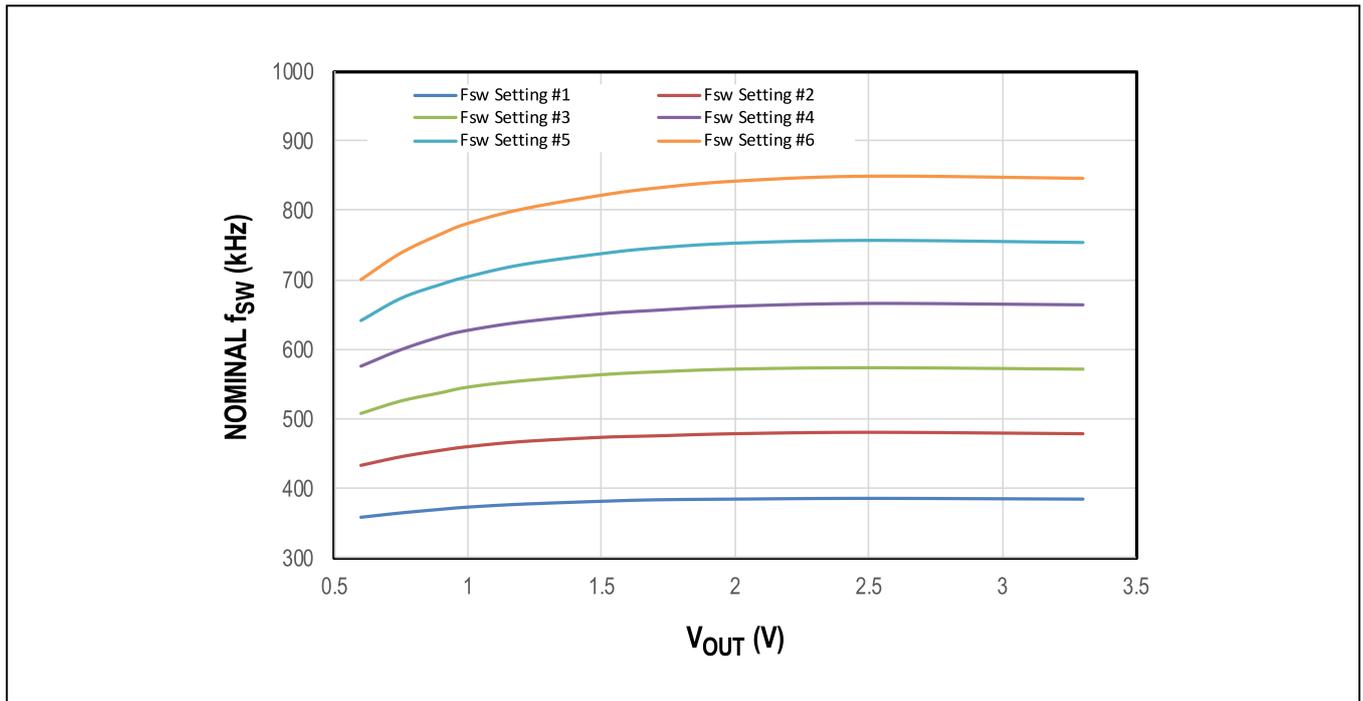
パラメータ	説明
V _{REF}	内部または外部の電圧リファレンスを選択します。内部V _{REF} には2つの値を使用できます。
Soft-Start Time	リファレンス電圧を最終値まで増加させるのに要する時間。
OCP Inception	過電流保護機能が動作する谷電流（電流制限のセクションを参照）。
Operation Modes	DCMを許可するかどうかを選択します。許可する場合、ICは軽負荷時にDCMに遷移します。
Reporting	レギュレーション時にPGMピンでのアナログ出力電圧を通じてレポートされるパラメータを選択します。
R _{SENSE} Gain	検出ループのゲインを選択します。この値を変更することで、動作と部品を選択を最適なものにできます。
f _{sw}	スイッチング周波数の設定。
t _{STAT}	ソフトスタート時の上昇が終了してからSTATピン出力が有効になるまでの時間遅延。

表 3a. MAX16425 の設定表

R_SEL (kΩ)	V _{REF} (V)	SOFT- START TIME (t _{SS}) (ms)	VALLEY OCP INCEPTION (A)	OPERATION MODES	REPORTING (CURRENT/TEMP)	R _{SENSE} (GAIN) (mΩ)	f _{sw} SETTING			t _{STAT} (μs)
							C_SEL			
							0pF	200pF	820pF	
1.78	0.95	6	16	CCM	Current	2.8	f _{sw} #4	f _{sw} #5	f _{sw} #6	2000
2.67				CCM/DCM						
4.02				CCM						
6.04				CCM/DCM						
9.09	Ext.	3	16	CCM	Current	2.8	f _{sw} #4	f _{sw} #5	f _{sw} #6	2000
13.3				1.5						
20	0.6	6	24	CCM/DCM	Temp	1.4	f _{sw} #1	f _{sw} #2	f _{sw} #3	128
30.9				CCM						
46.4			16	CCM/DCM	Current					
71.5				CCM/DCM	Temp					
107				CCM/DCM	Current					
162	Ext.	1.5	20	CCM	Temp	1.4	f _{sw} #1	f _{sw} #2	f _{sw} #3	128

表 3b. MAX16425A の設定表

R_SEL (kΩ)	V _{REF} (V)	SOFT- START TIME (t _{SS}) (ms)	VALLEY OCP INCEPTION (A)	OPERATION MODES	REPORTING (CURRENT/TEMP)	R _{SENSE} (GAIN) (mΩ)	f _{sw} SETTING			t _{STAT} (μs)
							C_SEL			
							0pF	200pF	820pF	
1.78	0.95	1.5	16	CCM	Current	2.8	f _{sw} #4	f _{sw} #5	f _{sw} #6	2000
2.67				CCM/DCM						
4.02				CCM						
6.04				CCM/DCM						
9.09	Ext.	3	16	CCM	Current	5.4	f _{sw} #4	f _{sw} #5	f _{sw} #6	2000
13.3				CCM/DCM						
20	0.6	3	24	CCM/DCM	Temp	2.8	f _{sw} #4	f _{sw} #5	f _{sw} #6	2000
30.9				CCM						
46.4			16	CCM/DCM	Temp					
71.5	CCM/DCM	Temp								
107	Ext.	3	20	CCM	Temp	1.4	f _{sw} #1	f _{sw} #2	f _{sw} #3	128
162				1.5						

図 4. 公称スイッチング周波数と V_{OUT} および f_{sw} 設定の関係

出力電圧の設定

MAX16425/MAX16425A の出力電圧は、式 5 に示すように、リファレンス電圧を選択し適切な抵抗分圧器を用いることで設定できます。

リファレンス電圧は R_SEL を用いて選択でき（表 3a および表 3b を参照）、また内部リファレンスあるいは外部リファレンスを使用できます（外部 V_{REF} を用いた動作のセクションを参照）。DC 出力電圧の精度を向上するため、アプリケーションに適した可能な限り最大の V_{REF} 値を用いてください。

例えば、0.6V ≤ V_{OUT} < 0.95V の場合は V_{REF} = 0.6V、0.95V ≤ V_{OUT} < 3.3V の場合は V_{REF} = 0.95V とします。

エラー・アンプの同相ノイズ除去を最大化するには、分圧器の抵抗の並列抵抗値ができる限り 2kΩ に近くなるよう選択します（式 6）。

式 5

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_{FB1}}{R_{FB2}} \right)$$

V_{REF} 値については表 3a および表 3b を参照してください。

式 6

$$R_{FB1} = V_{OUT} \times \left(\frac{R_{PAR}}{V_{REF}} \right)$$

$$R_{FB2} = R_{FB1} \times \left(\frac{R_{PAR}}{R_{FB1} - R_{PAR}} \right)$$

ここで、

R_{FB1} = 分圧器の上側抵抗

R_{FB2} = 分圧器の下側抵抗

R_{PAR} = R_{FB1} および R_{FB2} の目標並列抵抗値

V_{OUT} = 出力電圧

V_{REF} = リファレンス電圧

DC 出力電圧の精度に対する抵抗選択の影響

式 5 に示すように、R_{FB1} と R_{FB2} により出力電圧が設定されます。これらの抵抗の公差は、プログラムする出力電圧の精度に影響します。

式 7

$$\varepsilon_{RV_{OUT}} = \frac{2\varepsilon_R}{1 - \varepsilon_R} \left(\frac{V_{OUT} - V_{REF}}{V_{OUT}} \right)$$

1%公差の抵抗の出力電圧範囲にわたる影響を図5に示します。温度に対する精度を確保するため、誤差計算には温度係数を含める必要があります（つまり、25ppm/°Cの抵抗を用い50°Cの変動がある場合は25°Cの許容範囲に対し0.125%を追加）。

電圧帰還抵抗（ R_{FB1} および R_{FB2} ）の公差による誤差は、電気的特性の表に示すICの V_{REF} の許容誤差による出力電圧の許容誤差に加える必要があります。

式8

$$\varepsilon_{V_{OUT}} = \varepsilon_{V_{REF}} + \varepsilon_{RV_{OUT}}$$

電圧のマージン設定

電圧のマージン設定は、帰還分圧器の実効的な比を変更することで実行できます。FETスイッチを使用すると、 R_{FB2} に並列抵抗を加えたり取り除いたりでき、それに応じて出力電圧を増加したり減少したりできます。OVPフォルトやUVPフォルトがトリガされるのを防止するため、抵抗分圧器の変更を行うために使用する回路のスイッチング時定数は、MAX16425/MAX16425Aの応答時間より大きい必要があります。

外部 V_{REF} を用いた動作

外部リファレンスを用いる場合、図6に示す構成を採用します。MAX16425/MAX16425Aは専用のソフトスタート・シーケンスを実行します。OEがアサートされると、レギュレータは一時的にSENSE-ノードを放電し、レギュレーションが開始するとこれをリリースします。その結果ソフトスタート時の上昇時間は、外部ローパス・フィルタの時定数で決まります。外部フィルタの時定数は、出力電圧が上昇中にSTATピンが早まってアサートされるのを防止するため、 $t_{ss}/3$ より小さいことが必要です。

外部リファレンス電圧は0.8V~1.1Vの範囲に制限する必要があります。また、レギュレータをイネーブルする前に印加したり、イネーブルがアサートされた直後にランプ・アップしたりできます。どちらの場合も、SENSE-ピンでローパス・フィルタ処理されたリファレンス電圧は、 t_{ss} の時間内に最終値に到達する必要があります。

フィルタ部品の代表値は次のとおりです。

- $R_F = 2.2k\Omega$
- $C_F = 0.22\mu F$

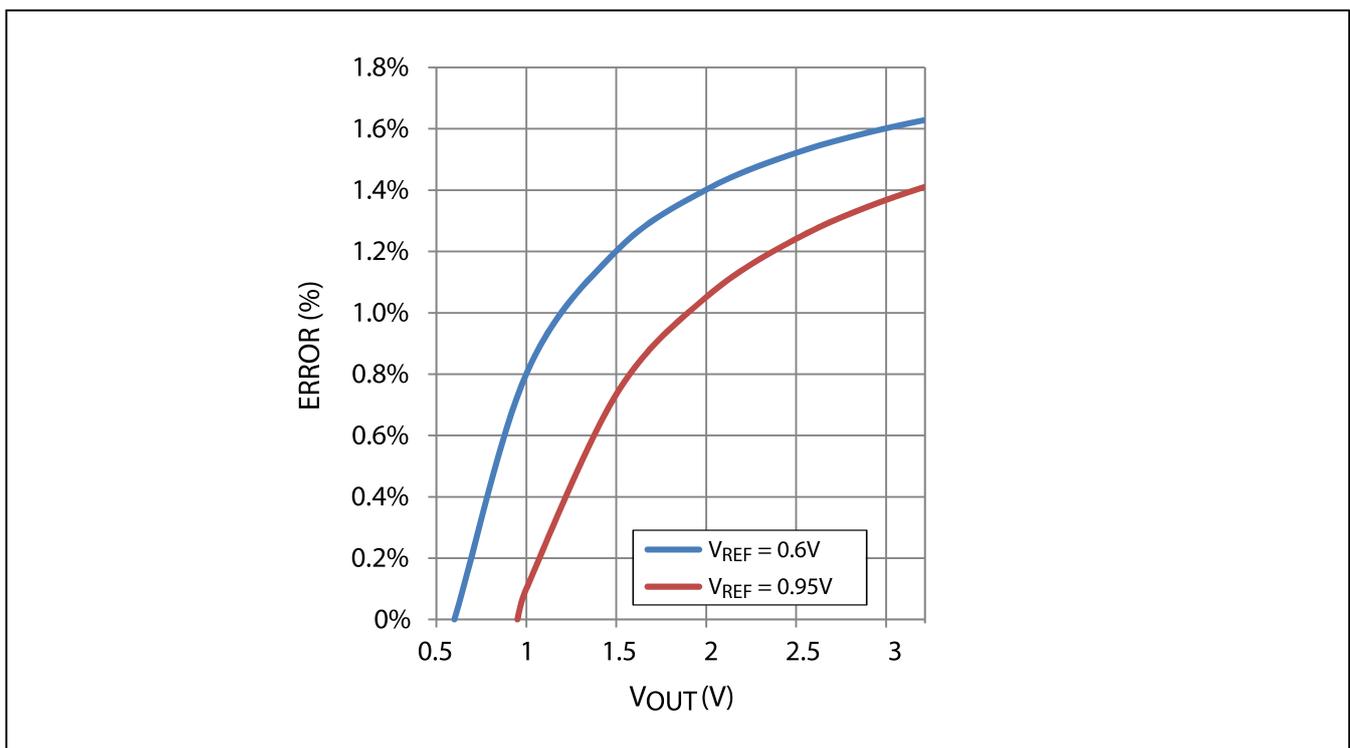


図5. 公差1%の抵抗が V_{OUT} の誤差に与える影響

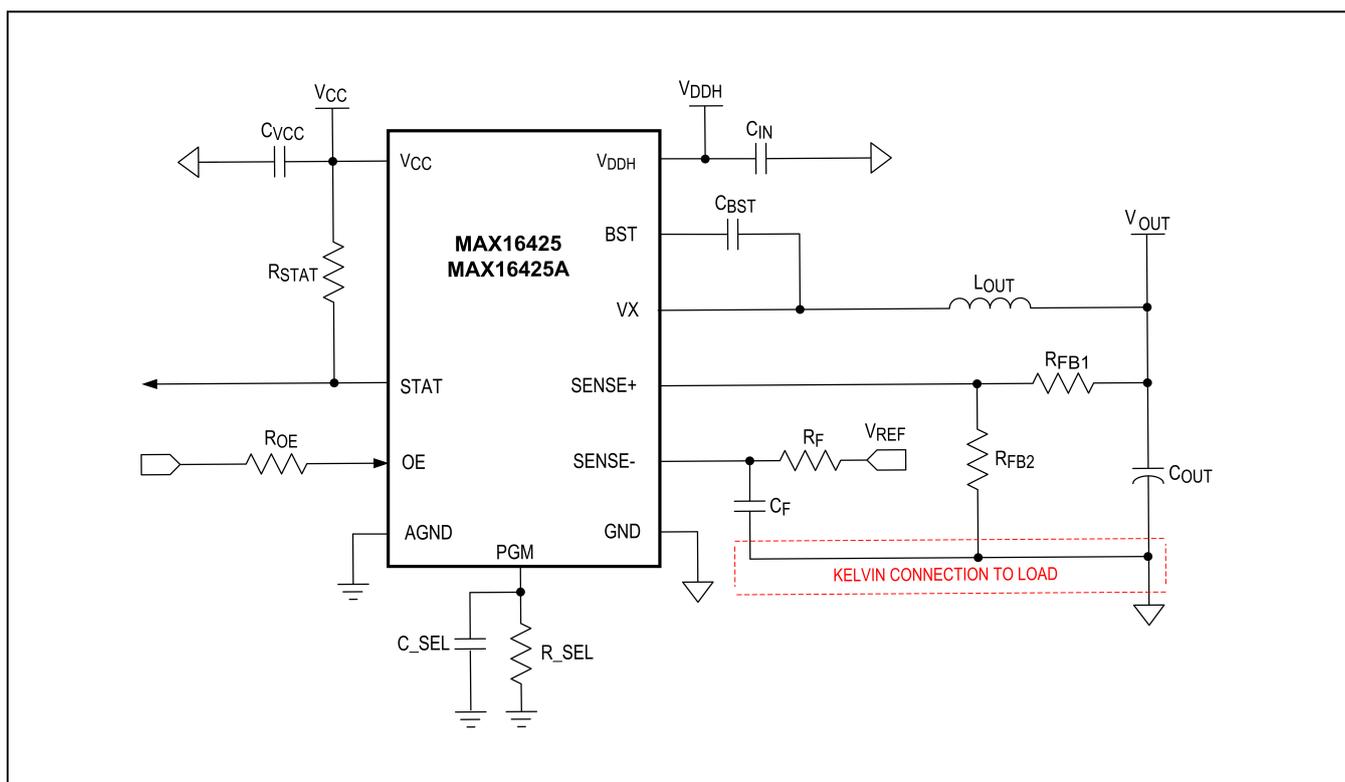


図 6. 外部電圧リファレンス機能を用いるための電氣的接続

通常動作時に外部リファレンス電圧を変更する場合（デバイスのパワーアップ後、およびレギュレーション・レベルに達した後）、レギュレータは OVP フォルトおよび PWRGD フォルトを回避できるよう、早期にリファレンス電圧の変化に対応する必要があります。リファレンス電圧が初期値から最終値に変更されるまでの時間が $1/(2 \times BW)$ を超過することのないようにしてください（ BW はレギュレータの帯域幅で単位はヘルツ（Hz））。

制御ループ

MAX16425/MAX16425A は、電流検出信号を帰還回路に付加し、Quick PWM アーキテクチャを使用しています。そのため、補償を追加することなく、電圧ループ・ゲインは次の事項で構成されます。

- IC の電流モード制御スキームの実効トランスコンダクタンス・ゲインは、 $1/R_{SENSE(GAIN)}$ となります。正確な $R_{SENSE(GAIN)}$ の値については表 3a および表 3b を参照してください。
- 出力コンデンサは、インピーダンス・ゲイン $1/(2 \times \pi \times C_{OUT} \times f)$ に影響します。
- 帰還分圧器は、減衰量 $K_{DIV} = R_{FB2}/(R_{FB1} + R_{FB2})$ に影響します。

したがって、ランプ挿入部品（ R_R 、 C_{R1} 、 C_{R2} ）、進相補償部品（ C_{LEAD} 、 R_{LEAD} ）、遅相補償部品（ R_{LAG} 、 C_{LAG} ）を用いない場合、ループ・ゲインと帯域幅（ BW ）のおよその値は次式で表されます。

式 9

$$\left| \text{Loop_Gain}(f) \right| = \frac{K_{DIV}}{2 \times \pi \times R_{SENSE(GAIN)} \times C_{OUT} \times f}$$

$$BW = \frac{K_{DIV}}{2 \times \pi \times R_{SENSE(GAIN)} \times C_{OUT}}$$

$$\text{or } BW = \frac{1}{2 \times \pi \times R_{GAIN_EFF} \times C_{OUT}}$$

ここで、 R_{GAIN_EFF} は $R_{SENSE(GAIN)}/K_{DIV}$ に等しい値です。

安定化のため、 C_{OUT} は $BW < f_{sw}/3$ となるように選択する必要があります。ループ補償のない設計を行うと、 C_{OUT} がかなり大きくなる可能性があります。ただし、進相、遅相、ランプ挿入などの補償スキームを用いると C_{OUT} を小さくできます。

これらの補償を行うと、システムの BW が変化するため、トランジェント性能に影響します。設計解析にはこの点を含める必要があります。

積分器

負荷レギュレーションを向上できるよう、IC にはエラー・アンプに積分器が含まれています。この積分器は低周波数時にゲインを追加するだけなので、ループ BW には影響しません。そのため、これまでの式においては考慮されていません。積分器を用いる場合、式 9 によるループ・ゲインに次の係数が乗じられます。

$$(1/\tau_{\text{REC}} + s)/s$$

ここで、 $\tau_{\text{REC}} = 20\mu\text{s}$ です。

ステップ応答

$R_{\text{GAIN_EFF}}$ は、レギュレータの小信号過渡応答を左右します。インダクタ電流のスルー・レート能力を超えない負荷ステップが加えられると、レギュレータは直線的に応答し、 V_{OUT} は一時的に $V_{\text{OUT_ERROR}}$ の量だけ変化します (式 10a)。印加された負荷ステップがインダクタ電流のスルー・レート能力を超える場合は、電圧の偏差 ($V_{\text{OUT_ERROR}}$) は出力フィルタ値によってのみ決まります (式 10a)。

実際の電圧偏差 ($V_{\text{OUT_ERROR}}$) は、式 10a と式 10b を用いて計算した値の大きい方で与えられます。

式 10

$$\begin{aligned} \text{a) } V_{\text{OUT_ERROR}} &= I_{\text{STEP}} \times R_{\text{GAIN_EFF}} \\ \text{b) } V_{\text{OUT_ERROR}} &\approx \frac{(I_{\text{STEP}} \times L)}{2 \times V_{\text{OUT}} \times C_{\text{OUT}}} \end{aligned}$$

トランジェントの終了後、 V_{OUT} は、積分器回路による $20\mu\text{s}$ の時定数で公称値に戻ります。レギュレータの一次平均小信号モデルを図 7 に示します。 V_{EQ} は V_{OUT} に等しい理想的な電圧源で、 R_{EQ} ($R_{\text{GAIN_EFF}}$) は制御ループの動作による生成をエミュレートした無損失の抵抗値、 L_{EQ} ($\tau_{\text{REC}} \times R_{\text{GAIN_EFF}}$) はエミュレートしたインダクタンスです。なお、 L_{EQ} は、モデルに取り込まれている実際の L_{OUT} インダクタとは異なる点に注意してください。 C_{OUT} は実際の出力容量です。

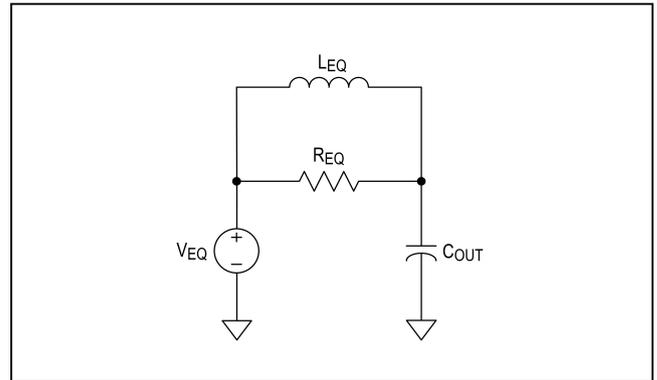


図 7. レギュレータの平均化された小信号等価回路

遅相補償

応答が必要以上に速い場合、遅相補償ネットワーク (R_{LAG} 、 C_{LAG}) を用いて BW を縮減できます。これには、 R_{LAG} を R_{FB2} と実効的に並列化することで、高周波数で帰還ネットワークによるゲインの寄与を低減するという効果があります。遅相ネットワークを効果的なものにし、最適な位相マージンを実現するには、 $1/(2 \times \pi \times R_{\text{LAG}} \times C_{\text{LAG}})$ のゼロが、公差周波数より少なくとも 1 桁低い周波数 ($\text{BW}/10$) に置かれることが必要です。遅相により、公差周波数付近での K_{DIV} は式 11 で表されます。

式 11

$$\begin{aligned} K_{\text{DIV_LAG}} &= \frac{(R_{\text{FB2}} \parallel R_{\text{LAG}})}{(R_{\text{FB1}} + R_{\text{FB2}} \parallel R_{\text{LAG}})} \\ R_{\text{GAIN_EFF}} &= \frac{R_{\text{GAIN}}}{K_{\text{DIV_LAG}}} \end{aligned}$$

遅相補償により $R_{\text{GAIN_EFF}}$ と $V_{\text{OUT_ERROR}}$ が増加しますが、BW が減少します。 $V_{\text{OUT_ERROR}}$ の増加により、起動時のオーバーシュートが大きくなるという結果も生じます。これは特に OCP が機能した後のシステムの回復時にあてはまります。これを回避するには、式 12 が確実に満たされるようにしてください。

式 12

$$C_{\text{LAG}} < \frac{V_{\text{OUT}} \times C_{\text{OUT}}}{I_{\text{OCP}} \times (R_{\text{LAG}} + R_{\text{FB1}} \parallel R_{\text{FB2}}) \times 3}$$

進相補償

応答が必要以上に遅い場合、進相補償ネットワーク (R_{LEAD} 、 C_{LEAD}) を用いて帯域幅を増加できます。これには、 R_{LEAD} を R_{FB1} と実効的に並列化することで、高周波数で帰還ネットワークによるゲインの寄与を増加するという効果があります。

進相ネットワークを効果的なものにし、最適な位相マージンを実現するには、 $1/(2 \times \pi \times R_{LEAD} \times C_{LEAD})$ でのゼロが、公差周波数より低い周波数 ($BW/10 < f_z < BW$) に置かれる必要があります。

進相補償により、公差周波数付近での K_{DIV} は式 13 で表されます。

式 13

$$K_{DIV_LEAD} = \frac{R_{FB2}}{(R_{FB1} \parallel R_{LEAD} + R_{FB2})}$$

$$R_{GAIN_EFF} = \frac{R_{GAIN}}{K_{DIV_LEAD}}$$

進相補償により R_{GAIN_EFF} と V_{OUT_ERROR} が減少しますが、それに対応して BW が増加します。

外部ランプ

ランプ補償は、出力コンデンサ・バンクの ESR が低い場合にコンバータを安定化します。ランプは、エラー・コンパレータの入力部で内部電流検出信号に加えられます。これにより、S/N比が向上しオフタイム・ジッタが低減します。

外部ランプの大きさは、 R_R と C_{R2} で決まります (図 8)。インダクタ電流の概略値を表す電圧信号は C_{R2} の両端に生じ、これが C_{R1} を通じて帰還ノードに送り込まれます。

ランプ補償ネットワークの値は次のように選択します。

- 1) C_{R1} は、帰還ノードでのランプ信号のカップリングが最大となるよう選択します：
 $C_{R1} \times R_{FB1} \parallel R_{FB2} \parallel R_{LEAD} \parallel R_{LAG} \approx 10 \times t_{SW}$
- 2) C_{R2} は、ランプ信号が C_{R1} の値の影響を受けないように選択します： $C_{R2} \approx 10 \times C_{R1}$
- 3) R_R は目的のランプ挿入信号が実現できるように選択します。適切な R_R 値を計算するには式 14 を用います。

SENSE+ピンでの外部ランプの大きさの概算値は、式 14 で与えられます。

式 14

$$V_{RAMP_EXT} = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{(V_{IN} \times R_R \times C_{R2} \times f_{SW})}$$

コンパレータの入力での検出インダクタ電流ランプは、式 15 で与えられます。

式 15

$$V_{RAMP_IND} = \frac{R_{GAIN} \times V_{OUT} \times (V_{IN} - V_{OUT})}{(V_{IN} \times L_{OUT} \times f_{SW})}$$

ここで、 R_{GAIN} は内部電流検出のゲインです (電気的特性の表を参照)。

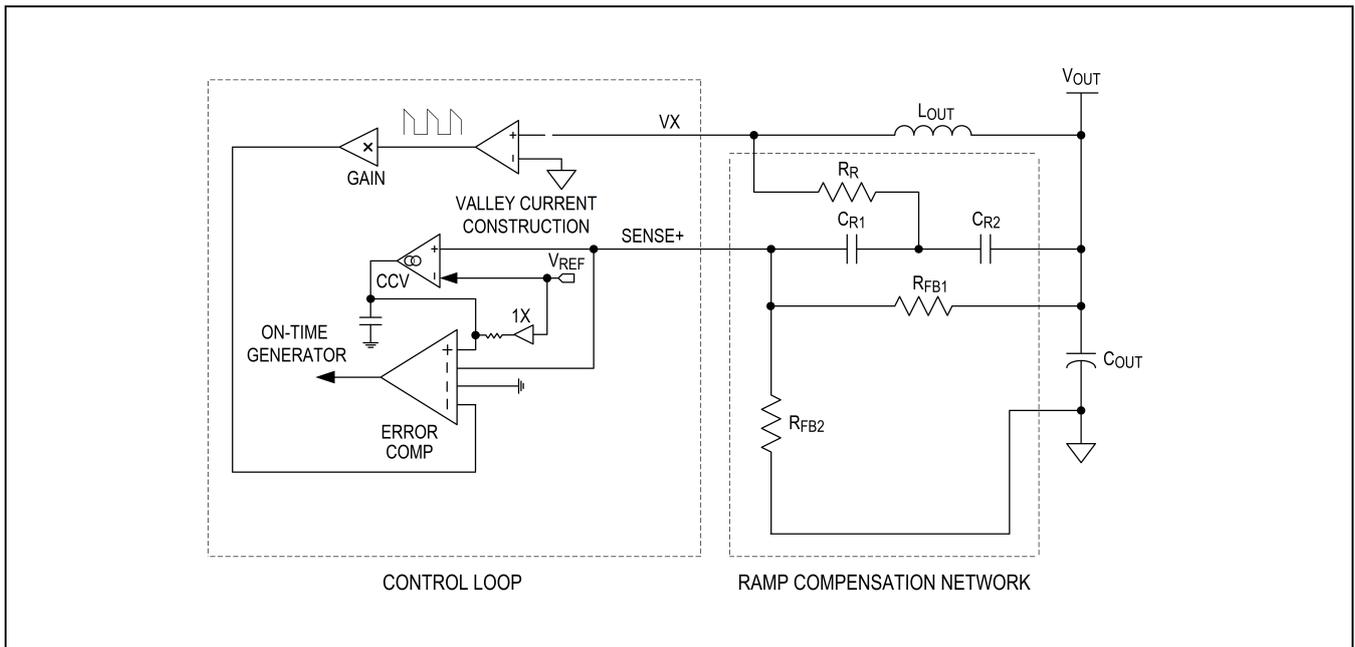


図 8. ランプ補償回路図

SENSE+からコンパレータ入力までの高周波ゲインは1です。そのため、外部ランプを用いる場合、コンパレータは式16で与えられる実効ランプを観測します。

式16

$$V_{RAMP_EFF} = V_{RAMP_IND} + V_{RAMP_EXT} \\ = V_{OUT} \times \frac{(V_{IN} - V_{OUT})}{(V_{IN} \times L_{OUT} \times f_{SW})} \times \left[R_{GAIN} + \frac{L_{OUT}}{(R_R \times C_{R2})} \right]$$

最良の結果を得るために、 V_{RAMP_EFF} を15mV以上とすることを推奨します。

外部ランプを用いる場合の実効 R_{GAIN} は式17で与えられます。

式17

$$R_{GAIN_EFF} = R_{GAIN} + \frac{L_{OUT}}{(R_R \times C_{R2})}$$

ランプ挿入コンデンサは公差周波数付近で、分圧器を実質的にバイパスします。そのため、この場合、 K_{DIV} はおおよそ1となり、ループ・ゲインの式から逸脱します。

遅相補償と同様、ランプ挿入により R_{GAIN_EFF} および V_{OUT_ERR} は増加します。

インダクタの選択

インダクタの値は、スイッチング周波数およびインダクタ・リップルとピーク負荷電流のパーセンテージ比（LIR、インダクタ電流比）に基づいて選択します。

式18

$$L = \left[\frac{(V_{IN} - V_{OUT})}{f_{SW} \times I_{LOAD(MAX)} \times LIR} \right] \times \frac{V_{OUT}}{V_{IN}}$$

ここで、

LIR = インダクタ電流比

$I_{LOAD(MAX)}$ = ピーク負荷電流

表4. 代表的なブースト・コンデンサ、フィルタリング・コンデンサ、デカップリング・コンデンサの条件

DESCRIPTION	VALUE	TYPE	PACKAGE	QTY
V_{CC} Capacitor	1 μ F/6.3V	X7R/125°C	0402/0603	1
Boost Capacitor	0.47 μ F/6.3V	X7R/125°C	0402	1
V_{DDH} HF Capacitor (Note 1)	1 μ F/16V	X7R/125°C	0603	1
V_{DDH} HF Capacitor (Note 1)	0.1 μ F/16V	X7R/125°C	0402	1
V_{DDH} Bulk Capacitor (Note 2)	10 μ F/16V	X5R	0805/1206	2

Note 1: V_{DDH} の高周波コンデンサは全て、スレーブICに密接し、スレーブICと同じ側のPCB面に配置する必要があります。部品の配置条件と推奨事項については、アナログ・デバイセスによるレイアウトのガイドラインを参照してください。

Note 2: 10.8V未満の動作の場合、10 μ Fのコンデンサ2個ではなく、22 μ Fのバルク・コンデンサを2個使用することを推奨します。

LIRが低いと受動部品および能動部品での実効的な損失が減少し、レギュレータの効率が向上します。LIRが高いとインダクタ電流のスルー・レートが高速になり、トランジェント性能が向上しインダクタの値とサイズが低減します。インダクタの最適な選択は、設計条件に応じてこれらのトレードオフを評価することで行います。

インダクタの飽和電流は、OCPが生じる場合のピーク電流より大きい必要があります。最大ピーク電流が発生するのは、動作時に V_{OUT} の短絡回路がハードウェア的に生じた場合です（式19参照）。更に、アプリケーション回路の設計では、ピーク電流が動作定格のセクションで示した最大動作電流（ I_{PK} ）を超えることのないようにすることが必要です。

式19

$$I_{SAT} > I_{PK(MAX)} = I_{OCP} + \frac{V_{OUT}}{L \times f_{SW}}$$

ここで、

I_{SAT} = インダクタの飽和電流

I_{OCP} = 過電流保護スレッシュホールド（表3aおよび表3bを参照）

出力コンデンサの選択

出力コンデンサの選択は、出力リップルと負荷過渡応答の各条件に基づいて行います。リップルを最小にするには、低ESRのコンデンサ（MLCC）を推奨します。

出力リップルに影響する成分は3つあります。出力コンデンサ・バンクの実効的なESRによる抵抗成分、コンデンサ・パッケージの寄生インダクタンスによる誘導性成分（ESL）、合計 C_{OUT} による容量性成分です。出力電圧リップルの概算値を計算するためには、式20を参照してください。

式 20

$$V_{PP} = ESR(I_{OUTRIPL}) + ESL \left(\frac{V_{IN}}{L_{OUT}} \right) + \left(\frac{I_{OUTRIPL}}{8 \times f_{SW} \times C_{OUT}} \right)$$

ここで、

ESR = 出力部の等価直列抵抗

 $I_{OUTRIPL}$ = インダクタ電流リップルのピーク to ピーク値

ESL = 出力部の高周波等価直列インダクタンス

 V_{IN} = 入力電圧 L_{OUT} = 出力インダクタンス f_{SW} = スイッチング周波数 C_{OUT} = 出力容量

低 ESR の MLCC コンデンサを用いると、高速の負荷過渡応答による電圧降下を最小限に抑えることができます。出力コンデンサ・バンクの適切なサイズを選択するには、式 9 および制御ループのセクションの説明に従います。

出力容量を決定するための出力電圧リップル条件およびトランジェント条件の他、出力コンデンサのリップル電流定格と消費電力も考慮する必要があります (式 21 および式 22)。

式 21

$$I_{RMS_COUT} = \frac{I_{OUTRIPL}}{\sqrt{12}}$$

ここで、

 $I_{OUTRIPL}$ はリップル電流のピーク to ピーク値です。

式 22

$$P_{COUT} = I_{RMS_COUT}^2 \times ESR$$

ここで、ESR は出力コンデンサ・バンク全体の等価直列抵抗です。

入力コンデンサの選択

入力コンデンサは、ハイサイド FET が導通している場合にスイッチング・レギュレータが引き出すパルス電流をフィルタリングするよう設計されています。フィルタリングは主として、バルク入力コンデンサによって行われ、高周波コンデンサは入力電源と電圧レギュレータの間の寄生インダクタンスを最小限に抑えるために用いられます。この配置により、ハイサイド MOSFET とローサイド MOSFET の切り替わりの間に生じる電圧トランジェントが最小限に抑えられます。入力のデカップリングを効果的なものにするため、高周波のデカップリングは、MAX16425/MAX16425A の V_{DDH} ピンと GND ピンに近接して配置し、かつ、PCB ボードの MAX16425/MAX16425A と同じ側に配置することが重要です。入力デカップリングの最小推奨値については、表 4 を参照してください。入力リップルを DC 電圧の 3%未満に維持することも推奨します。この目標を達成するため、表 4 に示した最小推奨値に容量の追加が必要となる場合があります。式 23 を用いると、必要なピーク to ピーク入力電圧リップルに基づき合計入力容量を計算できます。

式 23

$$C_{IN} = \frac{I_{MAX} \times V_{OUT} \times (V_{DDH} - V_{OUT})}{(f_{SW} \times V_{DDH}^2 \times V_{DDH_P-P})}$$

ここで、

 C_{IN} = 入力容量 (MLCC) I_{MAX} = 最大負荷電流 V_{DDH} = 入力電圧 V_{OUT} = 出力電圧 f_{SW} = スイッチング周波数 (CCM) V_{DDH_P-P} = 目標とするピーク to ピーク入力電圧リップル

連続電流が入力電源から引き出されるため、入力コンデンサの消費電力およびリップル電流定格は、出力コンデンサのそれらよりも重要です。入力コンデンサが許容できる実効値電流を計算するには、式 24 を用います。複数の入力コンデンサを並列配置することで、必要な合計実効値電流定格を実現できます。

式 24

$$I_{RMS_CIN} = \frac{I_{LOAD} \sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}}$$

ここで I_{LOAD} は出力 DC 負荷電流です。

バルク入力コンデンサ・バンクの等価直列抵抗 (ESR_{CIN}) を用いると、入力コンデンサの合計消費電力は式 25 で与えられます。

式 25

$$P_{CIN} = I_{RMS_CIN}^2 \times ESR_{CIN}$$

プリント回路基板のレイアウト

低スイッチング損失と低ノイズで安定した動作を実現するには、PCB レイアウトを慎重に行うことが不可欠です。大電流経路には特別な注意が必要です。可能であれば、パワー・コンポーネントは全て基板の上面に配置し、それらのグランド端子が互いに密接するようにします。次のガイドラインに従って、PCB レイアウトを適切なものにしてください。

- 1) 電源パターンと負荷の接続配線は短くします。高効率と安定動作のためにはこれは必須です。銅層の厚い (1 オンスよりは 2 オンスの) PCB を用いると、全負荷効率を 1% 以上向上させることができます。配線を正しく行うことと、たとえわずかでも PCB パターン長を短くすることに注意を払ってください。パターン抵抗が $1\text{m}\Omega$ 増加するだけでも顕著な効率低下の原因となります。最大効率を実現するために、レギュレータ、出力インダクタ、出力コンデンサは負荷のできるだけ近くに配置します。これが不可能な場合は、出力コンデンサを付加の近くに配置し、出力インダクタはレギュレータの近くに配置します。
- 2) パターン抵抗およびインダクタンスを最小限に抑えるため、大電流パターン (VX、V_{DDH}、V_{CC}、BST) は短く幅広のものにします。入力コンデンサと IC の V_{DDH} (パワー入力ノード) を接続するパターンには特別な配慮が必要です。これらのパターンには実効値が最大でスルー・レートが最も高速の電流が流れるためです。
- 3) 入力コンデンサは入力電源ピン (V_{DDH} および GND) にできるだけ近付けて配置する必要があります。高周波フィルタ・コンデンサ (表 4 を参照) は、V_{DDH}/GND ピンと 60mil 以内の距離に配置する必要があります。V_{CC} および BST のデカップリング・コンデンサ (表 4 を参照) は、PCB ボード上の IC と同じ側に配置します。これらの高周波電流経路直下で再上層から 8mil 以内の位置に、切れ目のないグランド・プレーンを設けてください。この高周波 AC 電流がレギュレータの小さなループに収まるようにすることで、電磁場干渉 (EMI) を最小限に抑えることができます。

- 4) ノイズに敏感なアナログ信号は高速スイッチング・ノードから遠ざけてください。グランド・プレーンを使用すると、これらのノイズに敏感な信号をシールドし、高周波ノイズと結合することを防ぐことができます。電圧検出ラインは、差動配線を行い負荷点にケルビン接続する必要があります。負荷とレギュレータ IC がかなりの距離あるいはインピーダンスで分離されているリモート検出アプリケーションでは、システムを安定させるために、出力コンデンサの大多数を負荷に直結して配置してください。リモート検出アプリケーションでは、検出ラインの高周波ノイズを除去するためにコモンモード・フィルタリングが必要です。

最高性能を実現するには、次のレイアウトに関する推奨事項を利用してください。

- 低インピーダンスの切れ目のないグランド・プレーンを IC の下に配置し、更にそれをインダクタおよび出力コンデンサ・バンクの下に延長することが必須です。
- 大電流を通す経路 (GND、V_{DDH}、VX) 全てに複数のビアを設けることを推奨します。電流ループが最短となるよう、ビアは IC の近くに配置する必要があります。ビア配置により電流やグランド・プレーンのミラー電流が滞ることがあってはなりません。
- チップに近接した 1 つのビアを用いて、最上層の AGND パターンと第 2 層のグランド・プレーンを接続する必要があります。これを最上層の電源グランド領域に接続してはいけません。
- 帰還分圧器と補償ネットワークは IC の近傍に配置します。

レイアウト情報のガーバー・ファイルと全機能を網羅したリファレンス設計は、アナログ・デバイセズの代理店にお問い合わせいただくとう入手できます。

リファレンス回路図

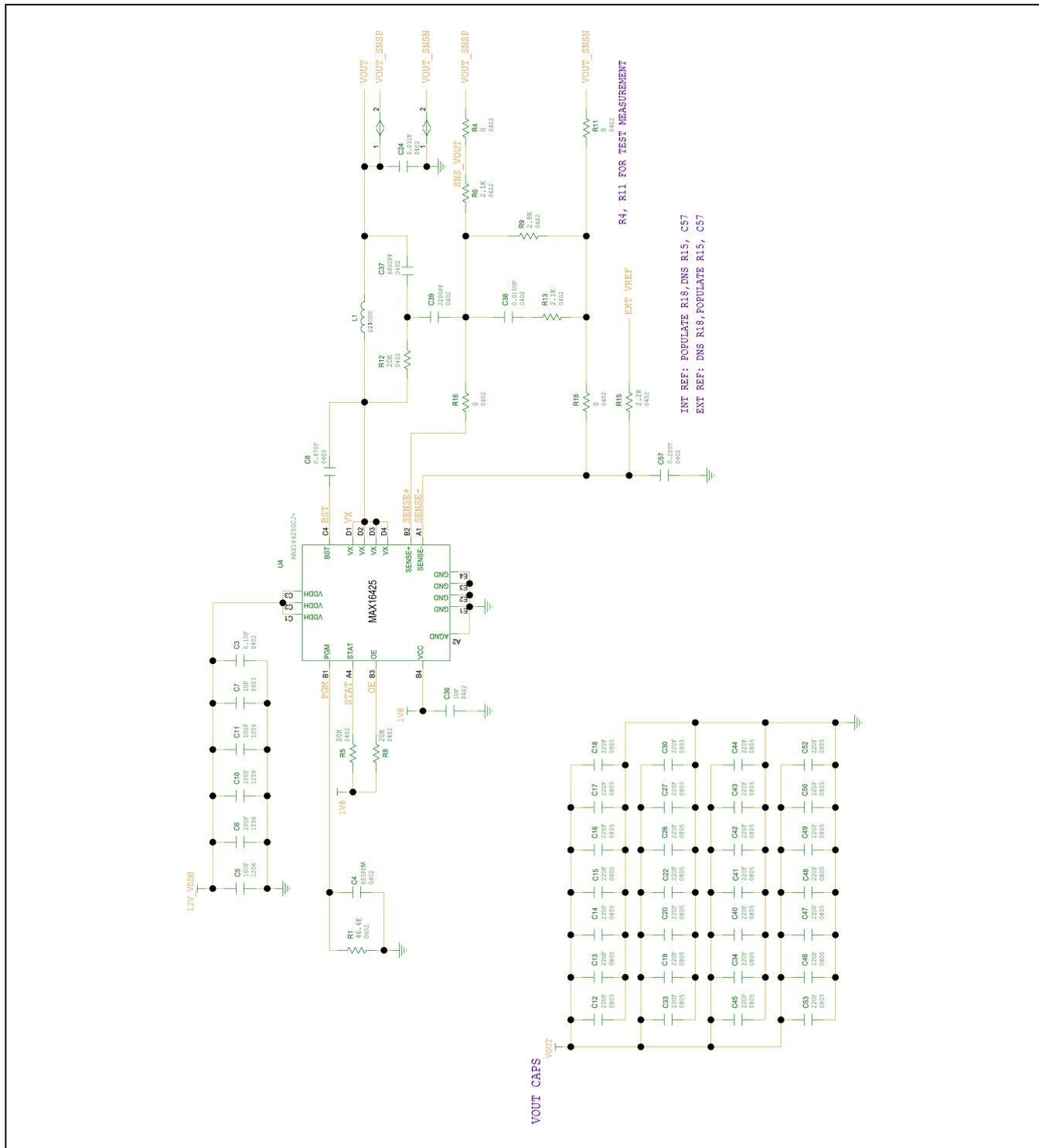


図 9. リファレンス回路図

オーダー情報

PART NUMBER	PIN-PACKAGE	CURRENT LEVEL (A)	SHIPPING METHOD
MAX16425GCJ+	27-bump WLCSP	25	2.5ku Tape & Reel
MAX16425GCJ+T	27-bump WLCSP	25	2.5ku Tape & Reel
MAX16425AGCJ+	27-bump WLCSP	25	2.5ku Tape & Reel
MAX16425AGCJ+T	27-bump WLCSP	25	2.5ku Tape & Reel

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。
T = テープ&リール。

改訂履歴

版数	改訂日	説明	改訂ページ
0	1/19	初版データシート	—