

36V_{IN}、12Aの昇圧、降圧、昇降圧用 μModuleレギュレータ

特長

- フル機能の昇降圧スイッチ・モード電源
- V_{IN}に等しい、V_{IN}より大きいまたは小さい電圧のV_{OUT}が可能
- 広い入力電圧範囲：5V～36V
- 広い出力電圧範囲：1V～36V
- 降圧および昇降圧モードでは12A、12V_{IN}および24V_{OUT}では6A
- 最大98%の効率
- ピーク電流モードの制御
- 入力または出力の平均電流制限値を調整可能
- 入力電流または出力電流のモニタリング
- パワー・グッド出力信号
- 並列化により出力電流を増やすことが可能
- フェーズロック可能な固定周波数：100kHz～600kHz
- 強制連続モード／パルススキッピング・モードを選択可能
- シャットダウン時はV_{OUT}をV_{IN}から切断
- 16mm × 16mm × 8.34mmのBGAパッケージ

アプリケーション

- テレコム、サーバー、ネットワーク機器
- 産業用制御
- 高出力バッテリー駆動デバイス

概要

LTM[®]4712は、高効率の昇降圧用μModule[®]（マイクロモジュール）レギュレータです。パッケージには、スイッチング・コントローラ、パワー・スイッチ、インダクタ、サポート部品が含まれています。設計の完成に必要なのは、周波数設定用の抵抗、出力電圧設定用の抵抗、入力コンデンサ、出力コンデンサ、入力／出力の平均電流レギュレーションを実現する検出抵抗など、数点の外部部品だけです。LTM4712は5V～36Vの範囲の入力電圧で動作し、出力電圧は1V～36Vの範囲で安定化できます。

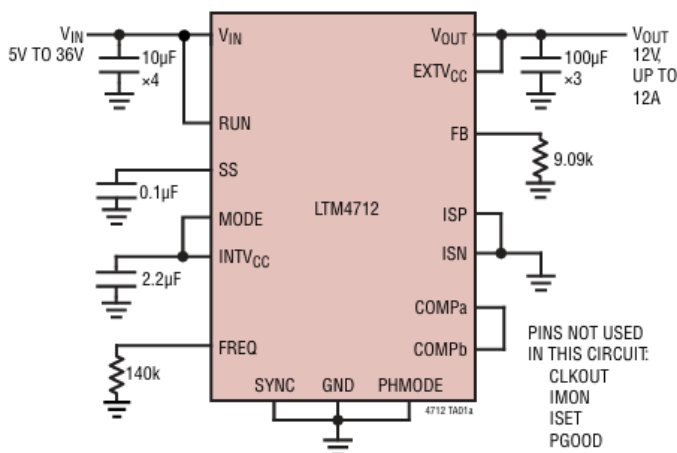
LTM4712では、強制連続モード（FCM）またはパルススキッピング・モード（PSM）での動作を選択できます。電流モード制御により、安定性を犠牲にすることなくラインと負荷の変化に対する高速過渡応答を実現します。SYNC入力およびCLKOUT出力により、同期は容易に可能です。また、高出力アプリケーション向けに多相並列動作に対応できます。

LTM4712は16mm × 16mm × 8.34mmのボール・グリッド・アレイ（BGA）パッケージで提供され、標準的な表面実装装置による自動アセンブリに適しています。LTM4712はRoHS準拠製品です。

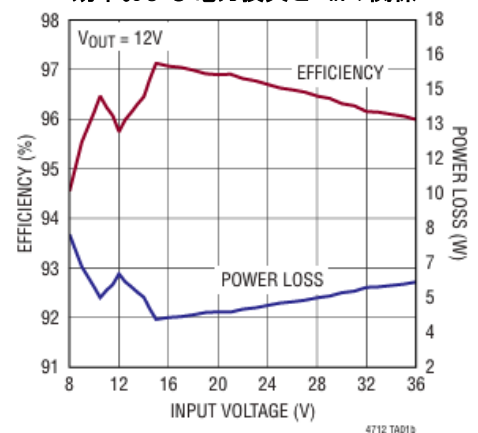
本紙記載の登録商標および商標は、全て各社の所有に属します。

標準的応用例

5V_{IN}～36V_{IN}、12V_{OUT}の昇降圧レギュレータ



効率および電力損失とV_{IN}の関係



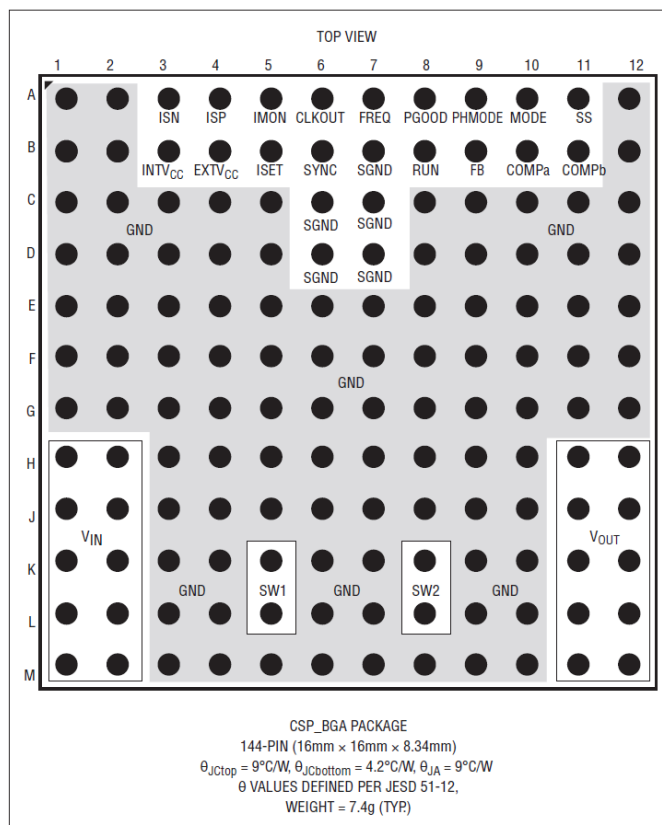
LTM4712

絶対最大定格

(Note 1)

V _{IN} 、V _{OUT} 、ISP、ISN、EXTV _{CC}	-0.3V~38V
SW1、SW2.....	-0.3V~38V
RUN.....	-0.3V~12V
INTV _{CC} 、PGOOD.....	-0.3V~6V
PHMODE、ISET、IMON、FB.....	-0.3V~INTV _{CC}
MODE、SS、COMP _a 、COMP _b	-0.3V~INTV _{CC}
FREQ、SYNC、CLKOUT.....	-0.3V~INTV _{CC}
最高ジャンクション温度 (Note 2、3) ..	-40°C~125°C
保存温度.....	-55°C~125°C
最高ハンダ・リフロー・ボディ温度.....	245°C

ピン配置



発注情報

製品番号	パッド/ボール仕上げ*	製品マーキング		パッケージ・タイプ	MSLレーティング	温度範囲 (Note 2参照)
		デバイス	仕上げコード			
LTM4712EY#PBF	SAC305 (RoHS)	LTM4712Y	e1	BGA	4	-40°C~+125°C
LTM4712IY#PBF	SAC305 (RoHS)	LTM4712Y	e1	BGA	4	-40°C~+125°C

• 更に広い動作温度範囲で規定されたデバイスについては、弊社または弊社代理店にお問い合わせください。
*パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。

- この製品は裏面でのリフローは推奨されていません。
- 推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順
- LGAおよびBGAのパッケージ図面とトレイ図面。

電氣的特性

●は全動作温度範囲に適用される仕様であることを示します。それ以外は、 $T_A = 25^\circ\text{C}$ での仕様です。また、特に指定のない限り、 $\text{RUN} = 5\text{V}$ です (Note 2)。

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Input Voltage Range		●	5		36	V
Output Voltage Range	(Note 4)	●	1		36	V
Output DC Voltage	$R_{FB} = \text{Open}$ $R_{FB} = 9.09\text{k}$			1		V
				12		V
Output DC Current Range (Note 5)	$V_{IN} = 5\text{V}, V_{OUT} = 12\text{V}, 400\text{kHz}$ $V_{IN} = 12\text{V}, V_{OUT} = 12\text{V}, 400\text{kHz}$			6		A
				12		A
Quiescent Current Into V_{IN} , $V_{IN} = 12\text{V}, V_{OUT} = 12\text{V}$	RUN = 0V (Disabled) RUN = 0.9V (Standby) No load, MODE = OPEN (PSM) No load, MODE=0V Forced Continuous Mode (FCM)			80		μA
				2.5		mA
				40		mA
				55		mA
Voltage at FB Pin	Forced Continuous Mode (FCM)		0.99	1	1.01	V
		●	0.98		1.02	V
Resistor Between V_{OUT} and FB Pins				100		$\text{k}\Omega$
Output Voltage Line Regulation	$5\text{V} \leq V_{IN} \leq 36\text{V}, V_{OUT} = 12\text{V}, I_{OUT} = 10\text{mA}, \text{FCM}, 400\text{kHz}$	●		0.02	0.1	%/V
Output Voltage Load Regulation	$V_{IN} = 12\text{V}, V_{OUT} = 12\text{V}, 10\text{mA} < I_{OUT} < 12\text{A}, \text{FCM}, 400\text{kHz}$				0.5	%
		●			0.8	%
Input Undervoltage Lockout	V_{IN} Rising V_{IN} Falling			4.6		V
				4.4		v
INTV _{CC} Regulation Voltage	$V_{IN} = 6\text{V}$ to 36V		4.8	5		V
INTV _{CC} Load Regulation	$I_{\text{INTVCC}} = 0\text{mA}$ to $10\text{mA}, V_{IN} = 12\text{V}$			0.3		%
Switching Frequency	$R_T = 58\text{k}$ $R_T = 140\text{k}$ (Recommended) $R_T = 200\text{k}$			100		kHz
				400		kHz
				600		kHz
FREQ Pin Output Current			9	10	11	μA
RUN Pin Falling Threshold	RUN Pin Threshold 1 (Shutdown to Standby) RUN Pin Threshold 2 (Standby to ON)	●	0.4	0.55	0.7	V
			1.1	1.2	1.3	V
RUN Pin Current	RUN = 1V RUN = 1.6V			2		μA
				6		μA
Soft-Start Charging Current				2.5		μA
ISP Pin Input Current	$V_{\text{ISP}} = V_{\text{ISN}} = 12\text{V}, V_{\text{ISP}} - V_{\text{ISN}} = 50\text{mV}$			14		μA
ISN Pin Input Current	$V_{\text{ISP}} = V_{\text{ISN}} = 12\text{V}, V_{\text{ISP}} - V_{\text{ISN}} = 50\text{mV}$			14		μA
Average Current Sense Amplifier Output	$V_{\text{ISP}} - V_{\text{ISN}} = 0\text{mV}$ $V_{\text{ISP}} - V_{\text{ISN}} = 50\text{mV}$			200		mV
				1200		mV
ISET Pin Output Current			14	15	16	μA
PGOOD Leakage Current	$V_{\text{PGOOD}} = 6.0\text{V}$				± 1	μA
PGOOD Trip Level, V_{FB} Respect to Set Regulated Voltage	V_{FB} Ramping Negative V_{FB} Ramping Positive			-10		%
				10		%
CLKOUT Output High			4.8	5		V
CLKOUT Output Low					0.2	V
EXTV _{CC} Threshold	EXTV _{CC} Threshold Rising EXTV _{CC} Threshold Falling			7.7		V
				7.2		V
SYNC Input High Threshold	SYNC Pin Rising SYNC Pin Falling			1.35		V
				1		V
Synchronizable Frequency	SYNC = External Clock		100		600	kHz

電氣的特性

Note 1 : 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2 : LTM4712は $T_I \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4712Eは、 $0^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の内部動作温度範囲での性能仕様を満たすよう設計されています。 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の内部動作温度範囲全体における仕様は、設計、特性評価、および統計のプロセス制御との関連付けによって確認されています。LTM4712Iは $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の内部動作温度範囲全域で仕様を満たすよう設計されています。最高内部温度は、基板レイアウトおよびパッケージの定格熱抵抗に加え、個々の動作条件によって決定されることに注意してください。

Note 3 : LTM4712は、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を内蔵しています。内部温度が最高動作ジャンクション温度を超えると、過熱保護機能が作動します。

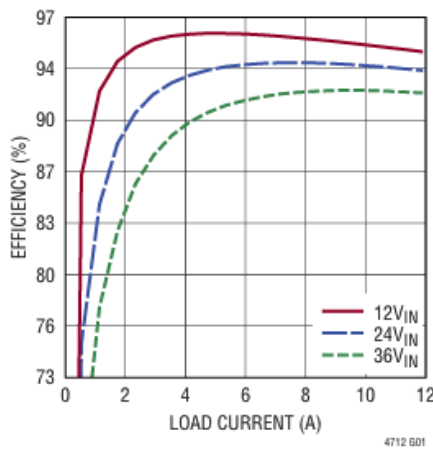
仕様規定された最高動作ジャンクション温度を超える温度での連続動作はデバイスの信頼性を損なう可能性があります。

Note 4 : 出力電圧が7V未満の場合、必要な最小入力電圧は7Vです。

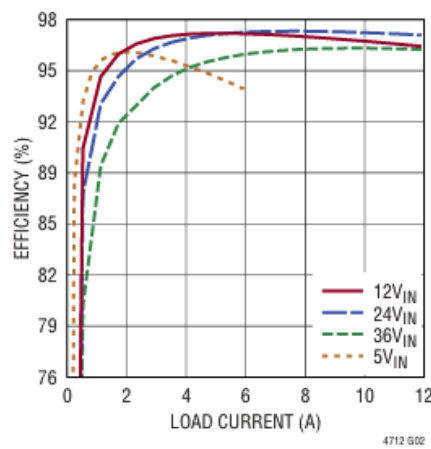
Note 5 : 他の V_{IN} 、 V_{OUT} 、 T_A については、[アプリケーション情報](#)のセクションの出力電流ディレーティング曲線を参照してください。

代表的な性能特性

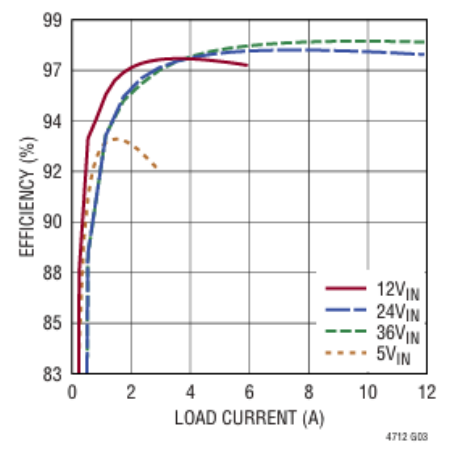
5V_{OUT}の効率 (400kHz、FCM)



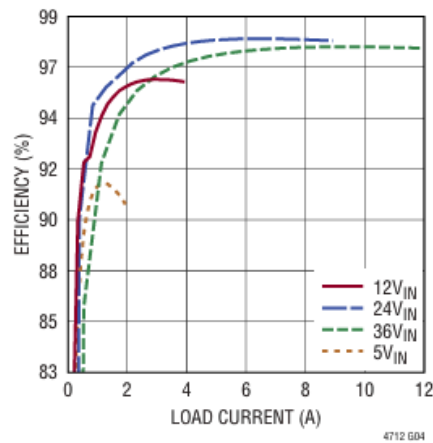
12V_{OUT}の効率 (400kHz、FCM)



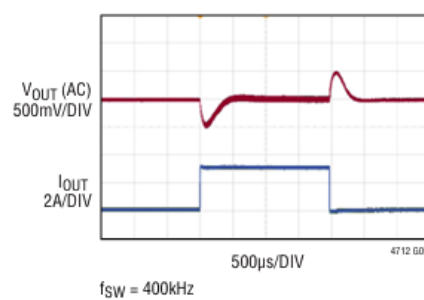
24V_{OUT}の効率 (400kHz、FCM)



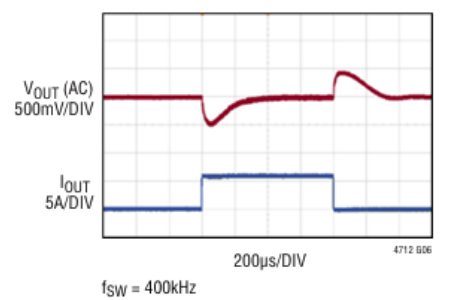
36V_{OUT}の効率 (400kHz、FCM)



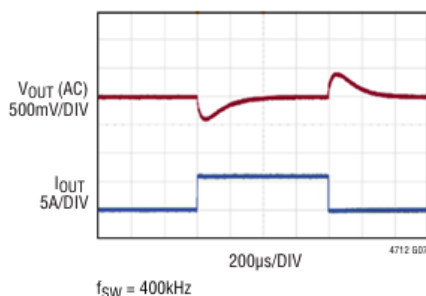
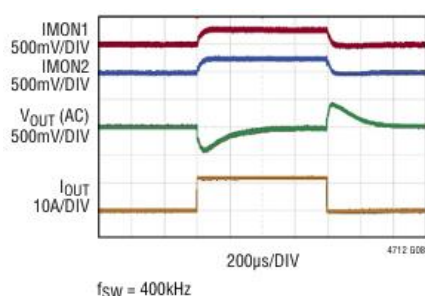
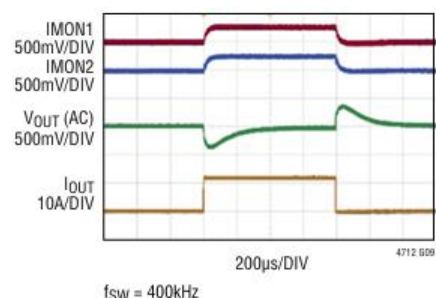
過渡応答 (5V_{IN}、12V_{OUT})



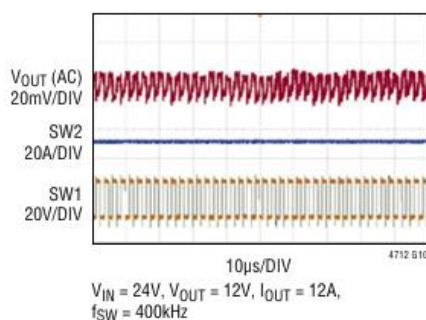
過渡応答 (12V_{IN}、12V_{OUT})



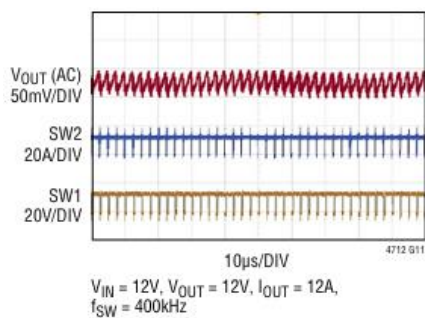
代表的な性能特性

過渡応答 (36V_{IN}、12V_{OUT})負荷ステップを伴う2相並列動作
(12V_{IN}、12V_{OUT})負荷ステップを伴う2相並列動作
(12V_{IN}、12V_{OUT})

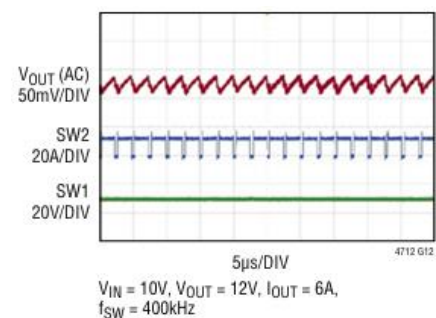
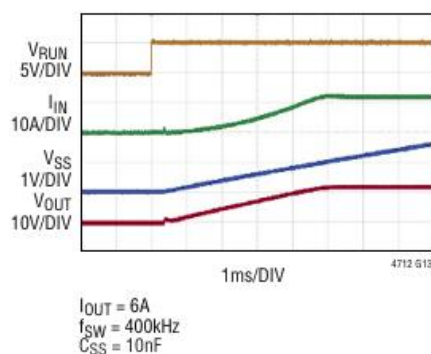
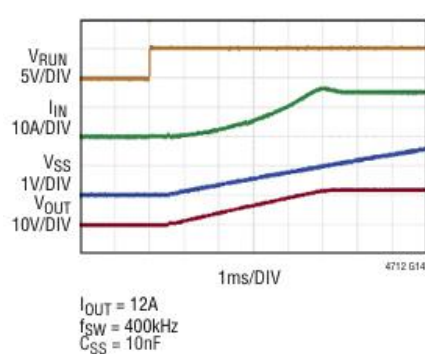
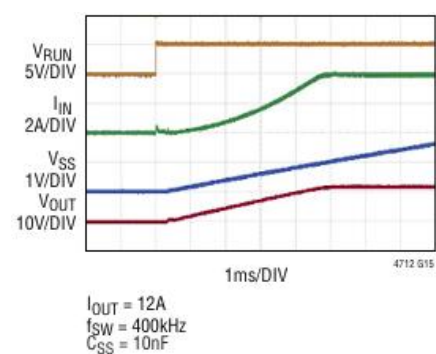
スイッチング波形 (降圧領域)



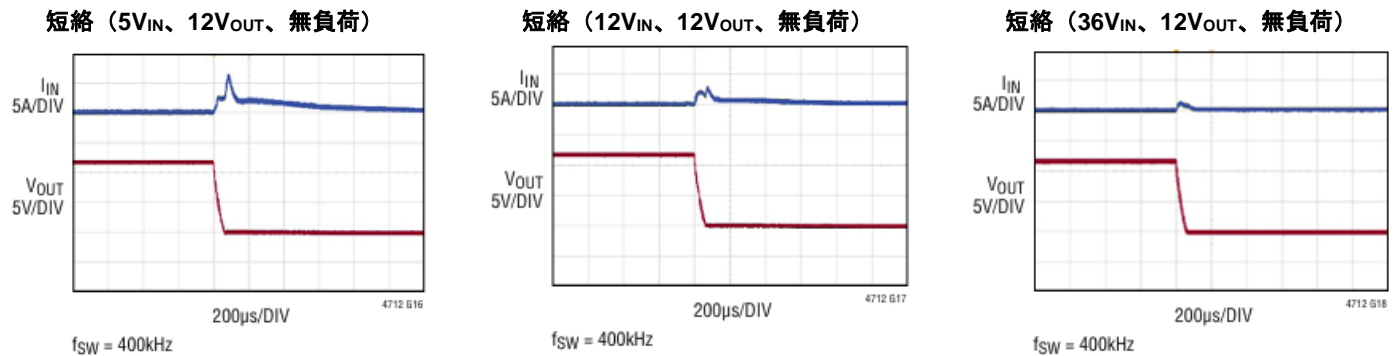
スイッチング波形 (昇降圧領域)



スイッチング波形 (昇圧領域)

起動 (5V_{IN}、12V_{OUT}、FCM)起動 (12V_{IN}、12V_{OUT}、FCM)起動 (36V_{IN}、12V_{OUT}、FCM)

代表的な性能特性



ピン機能

GND (ピンA1-G1、A2-G2、C3-M3、C4-M4、C5-J5、M5、E6-M6、E7-M7、C8-J8、M8、C9-M9、C10-M10、C11-G11、A12-G12) : これらのGNDピンは、LTM4712および回路部品の下層のローカル・グランド・プレーンに接続します。ほとんどのアプリケーションでは、LTM4712から出る熱流の大部分はこれらのパッドを通ります。そのため、プリント回路設計は、デバイスの熱性能に大きく影響します。詳細については、PCBレイアウトのセクションおよび熱に関する考慮事項と出力電流のディレーティングのセクションを参照してください。

ISP、ISN (ピンA3、A4) : 平均電流検出ピン。内部レールtoレール平均電流検出アンプの正側/負側入力です。

IMON (ピンA5) : 入力電流または出力電流のモニタ。この機能が有用となるのは、電流検出抵抗を入力または出力に配置する場合のみです。ISPを正側、ISNを負側に接続する必要があります。このピンは、検出抵抗両端の電圧に比例した電圧を生成します。 $V_{ISP} - V_{ISN} = 50\text{mV}$ の場合、IMONは1.2Vです。

CLKOUT (ピンA6) : クロック出力。他のデバイスをLTM4712のスイッチング周波数に同期させる場合に、このピンをクロック源として用います。この機能を使用しない場合は、このピンをオープンのままにしてください。並列構成の詳細については、アプリケーション情報のセクションを参照してください。

FREQ (ピンA7) : 周波数設定ピン。このピンとSGNDの間に抵抗を接続することで、スイッチング周波数が設定されます。このピンからは $10\mu\text{A}$ の電流が供給されます。

PGOOD (ピンA8) : レギュレーション出力電圧のパワー・グッド・インジケータ出力。30µsの内部遅延時間後にレギュレーション出力電圧が±10%のレギュレーション範囲を外れた場合、オープンドレイン・ロジック出力はグラウンドまでプルダウンされます。

PHMODE (ピンA9) : 位相モード設定ピン。このピンは、内部発振器クロックとCLKOUTピンに出力される出力クロックの位相関係を設定します。このピンをSGNDに接続すると180°の位相シフトが設定され、フロート状態にすると120°の位相シフトが設定され、INTV_{CC}に接続すると90°の位相シフトが設定されます。詳細については、アプリケーション情報のセクションを参照してください。

MODE (ピンA10) : 強制連続モード (FCM) およびパルススキッピング・モード。このピンをGNDに接続するとFCM動作となります。それ以外の場合には、MODEピンがフロート状態になるとコントローラはパルススキッピング・モードで動作します。INTV_{CC}やその他の電圧源には接続しないでください。詳細については、アプリケーション情報のセクションを参照してください。

SS (ピンA11) : ソフトスタート。このピンとGNDの間にコンデンサを接続すると、ソフトスタート時間を延長できます。ソフトスタート機能は、コントローラの電流制限値を徐々に増加させることで、入力電源のサージ電流を減少します。ソフトスタート用コンデンサの値を大きくすると、ソフトスタート時間が長くなります。アプリケーション情報のセクションを参照してください。

ピン機能

INTV_{CC} (ピンB3) : スイッチング・モード・レギュレータ・チャンネルの内部5Vレギュレータ出力。内部制御回路はこの電圧から給電されます。LTM4712では、2.2 μ Fの内蔵デカップリング・コンデンサがSGNDとの間に接続されています。

EXTV_{CC} (ピンB4) : ゲート・ドライバに給電する内部LDOへの外部電源入力。このピンの電圧が8Vより高くVINピンの電圧より低い場合は、このLDOはV_{IN}から給電されている内部LDOをバイパスします。LTM4712には0.1 μ Fのデカップリング・コンデンサ・コンデンサが内蔵されています。

IS_{ET} (ピンB5) : 平均電流レギュレーション・ピン。このピンとSGNDの間に抵抗を接続することにより、ISPピンとISNピンで検出される最大平均入力電流もしくは最大平均出力電流が設定されます。このピンからは15 μ Aの電流が供給されます。アプリケーション情報のセクションを参照してください。

SY_{NC} (ピンB6) : 外部同期入力。SY_{NC}ピンは、プルダウン抵抗を内蔵しています。詳細については、アプリケーション情報の動作周波数の選択とフェーズロック・ループ (FREQ、SY_{NC}、PHMODE、CLKOUTピン) のセクションを参照してください。このピンを使用しない場合はGNDに接続します。

RUN (ピンB8) : イネーブル制御入力。1.22Vを超える電圧でICがオンになります。このピンには、2 μ Aのプルアップ電流が流れます。RUNピンの電圧が1.22Vの閾値を上回ると、このプルアップは6 μ Aに増加します。

FB (ピンB9) : スイッチング・モード・レギュレータのエラー・アンプの負側入力。このピンは、100kの高精度抵抗を介してV_{OUT}に内部接続されています。FBピンとSGNDピンの間に抵抗を追加することで、出力電圧を設定できます。

COM_{Pa} (ピンB10) : スイッチング・モード・レギュレータ・チャンネルの電流制御閾値およびエラー・アンプ補償点。内部電流コンパレータの閾値はこの電圧に正比例します。並列動作させる場合は、異なるチャンネルのCOM_{Pa}ピンを互いに接続してください。デバイスは内部補償されています。内部補償を使用するには、COM_{Pb}に接続します。また、カスタマイズした補償を使用する場合は、タイプIIのC-R-Cネットワークに接続します。

COM_{Pb} (ピンB11) : 内部ループ補償ネットワーク。大多数のアプリケーションでは、COM_{Pa}に接続して内部補償を使用します。

SG_{ND} (ピンC6-D6、B7-D8) : 信号グラウンド・ピン。最短距離でGNDに接続してください。小信号の要素、例えば、INTV_{CC}、SS、FB、Comp、FREQ等はすべてSG_{ND}に接続します。

V_{IN} (ピンH1-M1、H2-M2) : 電力入力ピン。これらのピンとGNDピンの間に入力フィルタ・コンデンサを配置します。アプリケーション情報のセクションを参照してください。

V_{OUT} (ピンH11-M11、H12-M12) : 電力出力ピン。これらのピンとGNDピンの間に出力フィルタ・コンデンサを配置します。アプリケーション情報のセクションを参照してください。

SW1、SW2 (ピンK5-L5、K8-L8) : テスト目的に使用する降圧サイドまたは昇圧サイドのスイッチング・ノード。R-Cスナバ回路ネットワークを適用してスイッチ・ノードのリングングを低減できます。それ以外の場合はフロート状態のままにします。

ブロック図

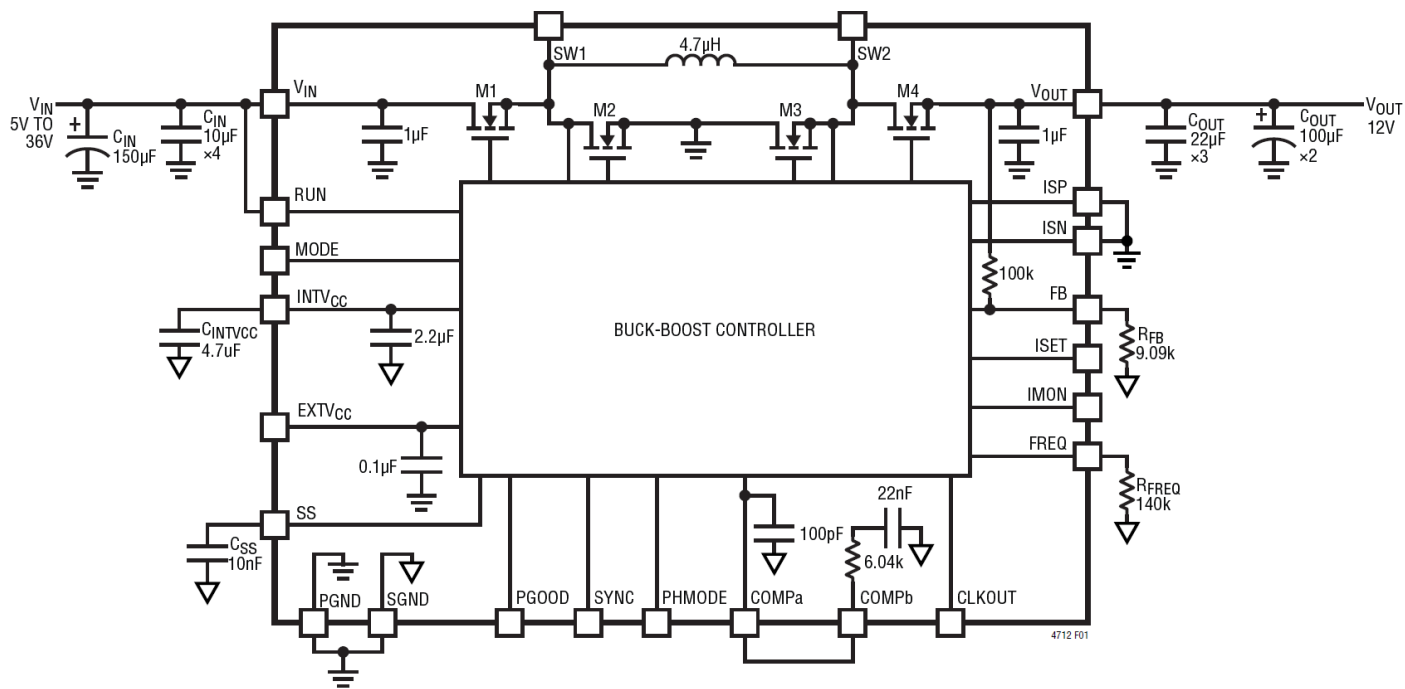


図1. LTM4712のブロック図

動作

LTM4712はスタンドアロンの非絶縁型昇降圧スイッチングDC/DC電源です。LTM4712は昇降圧回路構成を採用しているため、入力電圧が出力電圧より高い場合でも低い場合でも、出力電圧のレギュレーションが可能です。最大出力電流は入力電圧によって異なります。入力電圧が高いほど最大出力電流は大きくなります。

このコンバータは、外部抵抗分圧器を介して1V~36Vの範囲でプログラム可能な、正確に安定化された出力電圧を実現します。入力電圧範囲は5V~36Vです。ブロック図(図1)を参照してください。

LTM4712には、一定周波数のピーク電流モード・コントローラ、パワー・スイッチング・エレメント、パワー・インダクタ、適度な容量の入出力コンデンサが内蔵されています。このデバイスは一定周波数のPWMレギュレータです。動作周波数は、FREQピンとSGNDの間に適切な値の抵抗を接続して、100kHz~600kHzに調整できます。あるいは、SYNCピンの入力クロック信号に周波数を同期させることもできます。代表的なスイッチング周波数は400kHzです。

LTM4712の出力電圧は、FBピンとGNDピンの間に抵抗を接続することで設定します。

出力電圧のレギュレーションに加え、LTM4712は入力と出力のいずれかに対する平均電流制御ループを備えています。入力電流または出力電流を最大値未満に制限するには、電流検出抵抗を追加します。抵抗が配置された場合、IMONピンは、入力または出力との間の検出抵抗を流れる電流を反映します。

LTM4712は、ほとんどの条件に対応できる補償ネットワークを内蔵しています。しかし、一部のアプリケーションでは、異なる補償ネットワークを用いる方が有利な場合があります。そのような場合、最適な動作を実現するために適切な外部補償ネットワークを適用します。

EXTV_{CC}ピンに外部バイアス電源を接続すると、内部リニア電圧レギュレータの電力損失が減少するため、効率の向上が得られます。特に、入力電圧範囲の上限に近いほどこの傾向が強くなります。

アプリケーション情報

LTM4712の代表的なアプリケーション回路をフロント・ページに示します。外付け部品は、主に入力電圧、出力電圧、最大負荷電流によって選定します。

出力電圧の設定

PWMコントローラは、1Vのリファレンス電圧を内蔵しています。100kΩの内部帰還抵抗によりV_{OUT}ピンとFBピンが接続されています。FBピンとGNDの間に抵抗R_{FB}を接続することで、出力電圧が設定されます（式1参照）。

$$R_{FB} \text{ (k}\Omega\text{)} = \frac{100}{V_{OUT} - 1} \quad (1)$$

表1. V_{FB}抵抗と出力電圧の関係

V _{OUT} (V)	3.3	5	8	12	16	20	24	28
R _{FB} (k)	43.5	25	14.3	9.09	6.67	5.23	4.35	3.74

NチャンネルのLTM4712を並列動作させる場合は、式2を使用してR_{FB}を計算できます。

$$R_{FB} \text{ (k}\Omega\text{)} = \frac{100}{N \cdot V_{OUT} - 1} \quad (2)$$

動作周波数の選択とフェーズロック・ループ (FREQ、SYNC、PHMODE、CLKOUTピン)

LTM4712のスイッチング周波数は、FREQピンで選択できます。SYNCピンを外部クロック源で駆動していない場合、FREQピンを使用してコントローラの動作周波数を100kHz～600kHzの範囲で設定できます。スイッチング周波数はFREQピンの電圧によって決まります。FREQピンからは高精度な10μAの電流が流れるため、SGNDとの間の抵抗1個でコントローラのスイッチング周波数を設定できます（例えば、158kΩの抵抗をFREQピンとSGNDの間に置くとFREQピンの電圧は1.58Vとなります）。表2に、R_T抵抗値とそれによる周波数を示します。

表2. スwitchング周波数とR_T値の関係

FREQUENCY (kHz)	R _T VALUE (kΩ)
100	58
200	80
300	120
400	140
500	170
600	200

フェーズロック・ループ (PLL) が内蔵されているため、SYNCピンを駆動する外部クロック信号源に内部発振器を同期させることができます。PLLは100kHz～600kHzの範囲内の任意の周波数にロック可能です。コントローラが外部クロックにロックする前の初期スイッチング周波数の設定のため、あるいは動作中に外部クロックが喪失する場合に備えて、FREQピンの周波数設定抵抗は必ず配置するようにします。CLKOUTピンはクロック信号の出力で、内部発振器と同じ周波数でPHMODEピンで指定される位相差の信号を出力します。複数ICを並列するアプリケーションでは、先頭のICのクロック信号を次のICのSYNCピンに接続することにより、周波数を同期できます。位相シフトは表3に基づいて設定できます。

表3. PHMODE設定とCLKOUT位相シフトの関係

PHMODE PIN	CLKOUT PHASE SHIFT REFERS TO THE INTERNAL OSCILLATOR
SGND	180°
FLOAT	120°
INTV _{CC}	90°

入力デカップリング・コンデンサ

昇圧モードでは入力電流が連続的であるため、必要なのは最小限の入力コンデンサのみです。ただし、降圧モードでは入力電流は不連続です。そのため、入力の矩形波電流をフィルタ処理する必要があるかどうかで入力コンデンサC_{IN}を選択します。

アプリケーション情報

インダクタ電流リップルを考えなければ、入力コンデンサの実効値電流は式3で概算できます。

$$I_{\text{CIN(RMS)}} = \frac{I_{\text{OUTMAX}}}{\eta\%} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで、 η は電源モジュールの推定効率です。この式は $D=0.5$ すなわち $V_{\text{IN}}=2V_{\text{OUT}}$ のとき最大値をとります。この場合、 $I_{\text{IN(RMS)}} = I_{\text{OUT(MAX)}/2$ です。設計ではこの単純で最も厳しい条件がよく使用されます。

出力デカップリング・コンデンサ

昇圧領域では不連続電流が入力から出力にシフトします。 C_{OUT} コンデンサ・ネットワークが出力電圧リップルを低減できることを確認してください。与えられた出力リップル電圧に対する適切なコンデンサを選択する場合には、ESRとバルク容量の影響を考慮する必要があります。バルク容量の充放電による最大定常状態リップルは式4で与えられます。

$$\begin{aligned} \Delta V_{\text{CAP(BOOST)}} &= \frac{I_{\text{OUT(MAX)}} \cdot (V_{\text{OUT}} - V_{\text{IN(MIN)}})}{C_{\text{OUT}} \cdot V_{\text{OUT}} \cdot f_{\text{SW}}} \\ \Delta V_{\text{CAP(BUCK)}} &= \frac{V_{\text{OUT}} \cdot (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{8 \cdot L \cdot C_{\text{OUT}} \cdot V_{\text{IN(MAX)}} \cdot f_{\text{SW}}^2} \end{aligned} \quad (4)$$

ESR両端の電圧降下による最大定常リップルは式5で与えられます。

$$\begin{aligned} \Delta V_{\text{ESR(BOOST)}} &= \frac{V_{\text{OUT}} \cdot I_{\text{OUT(MAX)}} \cdot \text{ESR}}{V_{\text{IN(MAX)}}} \\ \Delta V_{\text{ESR(BUCK)}} &= \frac{V_{\text{OUT}} \cdot (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{V_{\text{IN(MAX)}} \cdot L \cdot f_{\text{SW}}} \cdot \text{ESR} \end{aligned} \quad (5)$$

C_{OUT} で定義されるバルク出力コンデンサは、出力電圧リップルとトランジェントに関する条件を満たすために、ESRが十分に小さいものを選択します。 C_{OUT} には、低ESRのタンタル・コンデンサ、低ESRのポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。ESRとRMS電流処理の条件を満たすよう、複数のコンデンサを並列に配置できます。代表的な容量値は $10\mu\text{F}$ です。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となる場合があります。

パワー・グッド (PGOODピン)

PGOODピンは内部NチャンネルMOSFETのオープンドレインに接続されています。 V_{FB} が 1.0V のリファレンス電圧の $\pm 10\%$ 以内でない場合、PGOODピンはローになります。RUNが 1.22V 未満の場合、あるいはLTM4712がソフトスタートのフェーズにある場合にも、PGOODはローになります。 V_{FB} が $\pm 10\%$ の範囲に入る場合またはそこから外れる場合、内部で $30\mu\text{s}$ の遅延が生じます。PGOODピンは、INTV_{CC}に接続した外部抵抗または最大 6V の外部電源によってプルアップできます。

低電流動作 (MODEピン)

低電流での効率より固定周波数の動作が重要なアプリケーション、および出力リップルを最小限に抑える必要があるアプリケーションでは、強制連続動作を使用します。強制連続動作は、MODEピンをGNDに接続することで可能となります。このモードでは、低出力負荷の間、インダクタ電流を反転させることができ、COMP電圧が終始、電流コンパレータの閾値を制御します。起動時には強制連続モードは無効になっており、LTM4712の出力電圧が安定するまでインダクタ電流が反転するのを防ぎます。

中程度の電流で高効率であることが出力電圧リップルよりも優先されるアプリケーションでは、MODEピンをフロート状態にしてパルススキッピング・モードの動作を選択すると、軽負荷時の効率を向上できます。

定電流レギュレーション (ISP、ISN、ISETピン)

LTM4712は、入力平均電流または出力平均電流のための定電流レギュレーション・ループを備えています。入力または出力のコンデンサの近くに接続した検出抵抗を用いて、入力または出力の電流を検出できます。入力または出力電流は動作領域によってはパルス電流になるため、平均電流の検出のためにはISPピンとISNピンにRCフィルタを適用する必要があります。電流検出抵抗の電圧が事前設定した電流制限値を超過すると、COMPピンの電圧がブルダウンされ、インダクタ電流を減少させて、目的の最大入力電流または出力電流を維持します。電流制限値は、 $0.2\text{V} \sim 1.2\text{V}$ の範囲のISETピン電圧で設定でき、これは $0\text{mV} \sim 50\text{mV}$ の検出抵抗の電圧に比例対応します。ISETピンからは $15\mu\text{A}$ の電流が供給されますが、ISETピンがフロート状態であるか、ISETピンの電圧が 1.2V より高いと、電流制限は内部で 50mV に固定されます。

アプリケーション情報

入力電流制限機能はDC入力源が過負荷になるのを防止します。一方、出力電流制限はバッテリー・チャージャやLEDドライバなどのアプリケーション向けの構成要素として機能します。定電圧レギュレーションのアプリケーションでも、付加的な電流制限保護の役割を果たします。入出力電流制限機能はGNDから V_{OUT}/V_{IN} の絶対最大定格値 (36V) までの範囲の電圧で動作可能です。

出力電流モニタ (IMON)

IMONピンは、ISP- I_{SN} の電圧に比例した電圧を出力します。 $V_{ISP} - V_{ISN} = 0mV$ の場合、IMONは0.2Vになります。 $V_{ISP} - V_{ISN} = 50mV$ の場合、IMONは1.2Vになります。

ソフトスタート機能

SSピンにコンデンサが接続されていると、2.5 μA のソフトスタート電流がコンデンサの充電を開始します。ソフトスタート機能は、SSピンの電圧上昇率に従って出力電圧の立上りを制御することにより実現されます。ソフトスタートをスムーズにするため、この段階では電流フォールドバックはディスエーブルされています。RUNピンの電圧が1.22Vに達せずチップがシャットダウン状態にあるときには、SSピンは強制的にグラウンドに引き下げられます。ソフトスタートの範囲はSSピンの電圧が0V~1.0Vの範囲と規定されています。ソフトスタートの合計時間は式6を使用して計算できます。

$$t_{SOFTSTART} = 1.0 \cdot \frac{C_{SS}}{2.5\mu A} \quad (6)$$

MODEピンで選択されたモードに関わらず、SS = 1.0Vに達するまではレギュレータは常にパルススキッピング・モードで動作を開始します。

実行イネーブル

RUNピンは電源モジュールのイネーブルに使用されません。このピンは、ロジック入力で駆動できますが、12Vを超えないようにしてください。RUNピンは、入力電源とRUNピンの間に抵抗を接続することにより、低電圧ロックアウト (UVLO) 機能としても使用できます。RUNピンの電圧が1.22Vを超える値まで上昇すると、チップのすべてがオンになります。

安定性補償

LTM4712は既に内部最適化が行われており、COMPbとCOMPaを接続した場合に、すべてセラミック・コンデンサを用いるアプリケーションを含む、出力電圧とコンデンサのあらゆる組み合わせに対して補償されています。特定の最適化条件がある場合は、COMPbをCOMPaから切り離し、タイプIIのC-R-C補償ネットワークをCOMPaとGNDの間に適用し、外部補償を行います。LTpowerCAD®設計ツールをオンラインでダウンロードして、特定の制御ループの最適化を実行し、また、制御安定性と負荷過渡応答性能を分析できます。

フォルト状態：電流制限と電流フォールドバック

ピーク電流モード・コントローラでは、最大インダクタ電流は、本来20Aの最大電流制限値に制限されています。

グラウンドに短絡された場合に備えて更に電流制限を加えるために、LTM4712はフォールドバック電流制限を備えています。出力の低下が40%を超えると、最大電流が4Aまで徐々に低減されます。

並列動作

出力負荷が大電流を必要とする場合、複数のLTM4712を、インターリーブ方式で並列化することで、入出力の電圧リップルを増やさずに出力電流を増やすことができます。SYNCピンを使用すると、LTM4712を別のLTM4712のCLKOUT信号に同期させることができます。CLKOUT信号を後続のLTM4712のSYNCピンに接続すれば、システム全体の周波数と位相の両方を揃えることができます。PHMODEピンのグラウンドへの接続、フローティング、またはINTV_{CC}への接続により、SW1とCLKOUTの間の位相差がそれぞれ180°、120°、90°となり、2個、3個、4個のICの並列動作に対応します。

複数ICの並列動作を設計する場合には、常に単一のLTM4712の設計から開始し、出力電流供給能力と負荷電流のトランジェント安定性を確認してください。その後、以下の接続をすることでLTM4712を並列化できます。

- すべてのV_{FB}ピンを互いに接続します。
- すべてのCOMPピンを互いに接続します (初期デバッグ用にCOMPaとCOMPbが短絡されているものと仮定)

アプリケーション情報

- すべてのSSピンを互いに接続します。
- すべてのRUNピンを互いに接続します。
- すべてのコンバータ入力を互いに接続します。
- すべてのコンバータ出力を互いに接続します。
- 1つのICのCLKOUTを別のICのSYNCピンに接続します。

2相並列動作の設計例については図24を参照してください。

LTM4712は冗長設計を目的に、異なる電圧の入力に接続して並列動作することも可能です。LTM4712のSSピンとRUNピンを互いに接続しなければ、各LTM4712は異なる入力電圧で起動し、共通の出力に向けて電流を供給することが可能です。いずれか1つの入力電圧が失われても、その他の入力電源から十分な負荷電流を供給される限り、出力電圧のレギュレーションが影響を受けることはありません。COMPピンを互いに接続すると、ピーク・インダクタ電流はすべての昇降圧コンバータの間で分担されます。冗長設計においては、各LTM4712の補償ネットワークと帰還抵抗をピンに近接させて配置した上で、FBピンとCOMPピンをPCBパターンで互いに接続することを推奨します。

熱に関する考慮事項と出力電流のディレーティング

ピン配置のセクションに記載されている熱抵抗は、JESD 51-9に定義されたパラメータと一致しており、有限要素解析 (FEA) ソフトウェアのモデリング・ツールでの使用を意図したものです。これらのモデリング・ツールは、JESD 51-9 (Test Boards for Area Array Surface Mount Package Thermal Measurements) の定義に従いハードウェア・テストボードに実装された μ Moduleパッケージについて行われた、熱的モデリング、シミュレーション、およびハードウェア評価の結果を利用します。これらの熱係数を提供する理由は、JESD 51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information) に記載されています。

設計者の多くは、実験機器やデモ基板などのテスト手段を用いて、自らのアプリケーションでの様々な電气的条件下および様々な環境上の動作条件下における μ Moduleレギュレータの熱性能を予想し、FEAによる作業を補完することがあります。FEAソフトウェアを使用しない場合、ピン配置のセクションに記載した熱抵抗は熱性能を示す目安になりません。しかし、データシートに記載さ

れているディレーティング曲線はアプリケーションの用途に関する見通しやガイダンスが得られるような方法で使用でき、また、熱性能がアプリケーションに関連付けられるようそのディレーティング曲線を修正して適応させることができます。

ピン配置のセクションにはJESD 51-12に明示的に定義された4つの熱係数が示されており、これらは以下のように説明されます。

1. θ_{JA} はジャンクションから周囲環境への熱抵抗であり、1立方フィートの密閉された容器内で測定された、自然対流によるジャンクションから周囲の空気への熱抵抗です。この環境は「静止空気」と呼ばれることもあります。この環境は自然対流により空気の動きが生じます。この値はデバイスをJESD 51-9定義のテスト基板にマウントして得られたものであり、実際のアプリケーションや現実的な動作条件を反映したものではありません。
2. $\theta_{JCbottm}$ はジャンクションから製品ケース底部までの熱抵抗であり、すべてのコンポーネントからの熱放散がパッケージ底部を通じて起こる場合のジャンクションから基板への熱抵抗です。代表的な μ Moduleでは、熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。したがって、この熱抵抗値はパッケージの比較に役立ちますが、そのテスト条件は一般にはアプリケーションに合致しません。
3. θ_{Jctop} はジャンクションから製品ケース上面への熱抵抗であり、デバイスの消費電力のほぼすべてがパッケージ上面を通じて流れ出るものとして決定されます。代表的な μ Moduleの電气的接続はパッケージ底部で行われるため、熱の大半がジャンクションからデバイス上面へ流れるようなアプリケーションはまれです。 $\theta_{JCbottm}$ の場合のように、この値はパッケージの比較には有用な場合がありますが、テストの条件は一般的にはアプリケーションに即したものではありません。
4. θ_{JB} はジャンクションからプリント基板への熱抵抗であり、熱のほぼすべてが μ Moduleの底部から基板へ流れる場合のジャンクションから基板への熱抵抗です。実際には、 $\theta_{JCbottm}$ とハンダ接合と基板の一部を経由するデバイス底部での熱抵抗の合計値です。

アプリケーション情報

前述の熱抵抗を視覚的に表したものが図2です。青色の部分 μ Moduleレギュレータ内部の熱抵抗で、緑色の部分は μ Module外部の熱抵抗です。

実際には、JESD 51-12に定義されている、あるいはピン配置のセクションに示されている、4種類の熱抵抗パラメータのいずれも、あるいはそれらのサブグループも、 μ Moduleの通常動作条件を反映したものではないことに注意してください。例えば、通常の基板実装アプリケーションでは、デバイスの総電力損失（熱）の100%が μ Moduleの上部のみを通して、または底部のみを通して（上記の規格がそれぞれ θ_{JcTop} および $\theta_{JcBottom}$ について定義しているように）熱伝導することは決してありません。実際には、電力損失は、パッケージの両方向から熱となって放散されます。もっとも、ヒート・シンクも空気流もない場合は熱の大半が基板へと流れます。

SIP（システム・イン・パッケージ）モジュール内部には、電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、各種の部品やダイの様々なジャンクションを基準にした熱抵抗は、パッケージの全電力損失に対して正確には線形になっていないという点に留意する必要があります。この複雑な問題を、モデリングの簡潔性を犠牲にすることなく（なおかつ現実的な実用性を無視することなく）解決するために、このデータシートに記載されている熱抵抗値は、実験室での恒温槽を使ったテストとFEAソフトウェア・モデリングを併用する方法を採用して合理的に定義し、相関付けを行っています。(1) はじめに、FEAソフトウェアを使用し、 μ Moduleおよびすべての適切な材料係数で規定されたPCBの機械的配置を正確に構築すると共に電力損失源を正確に定義します。(2) このモデルによって、JESD 51-9に整合するソフトウェア定義のJEDEC環境をシミュレートし、電力損失となる熱流を予測します。

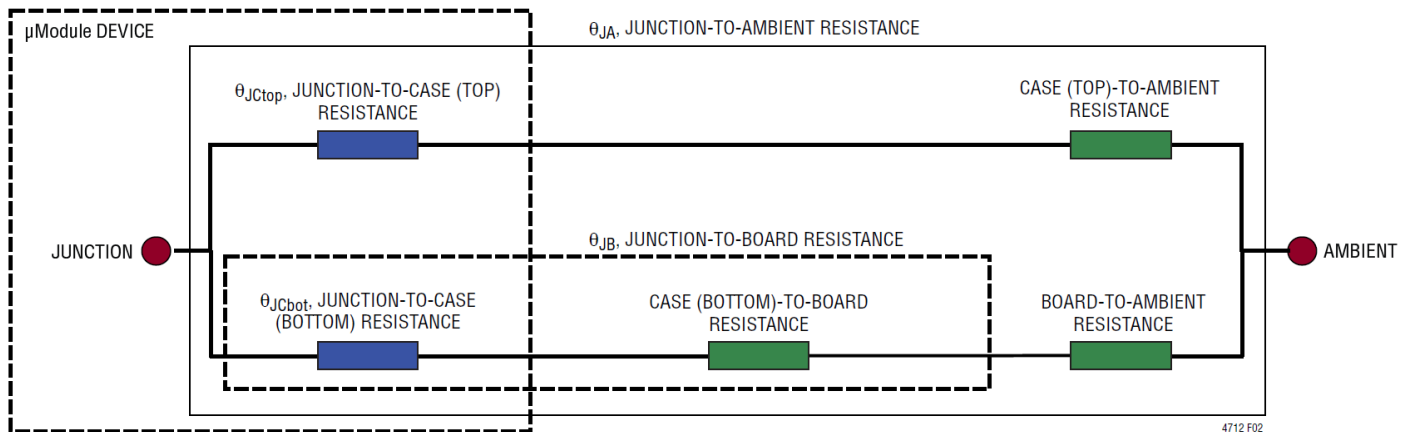
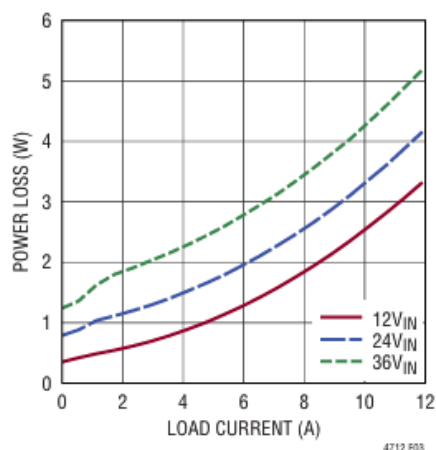
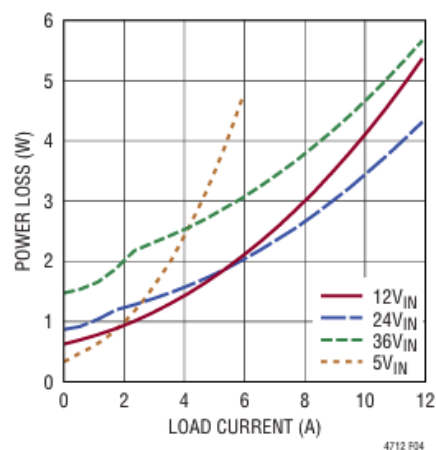
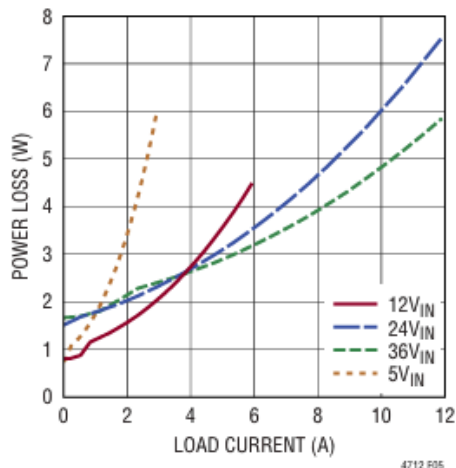
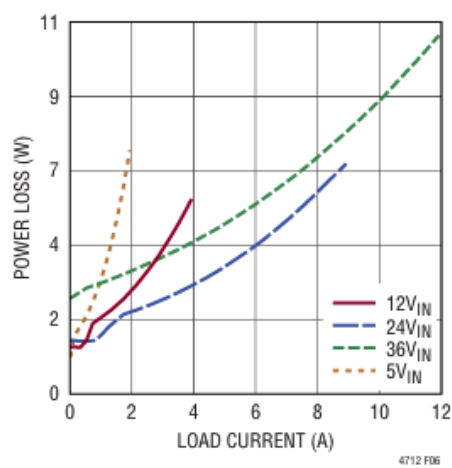
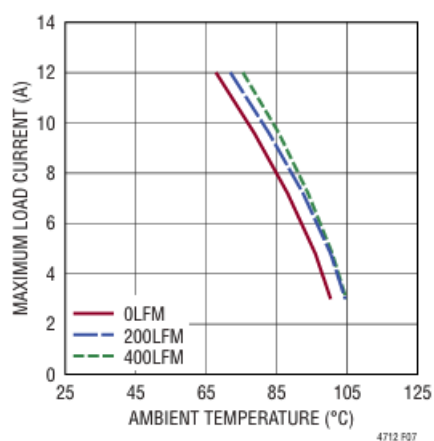
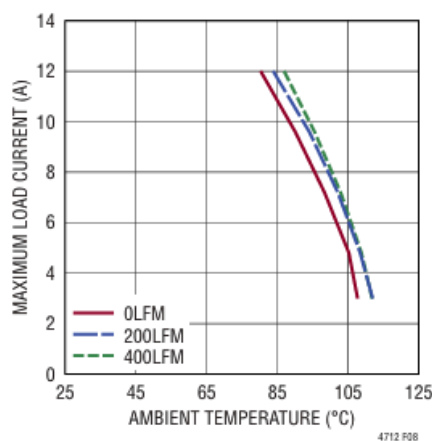
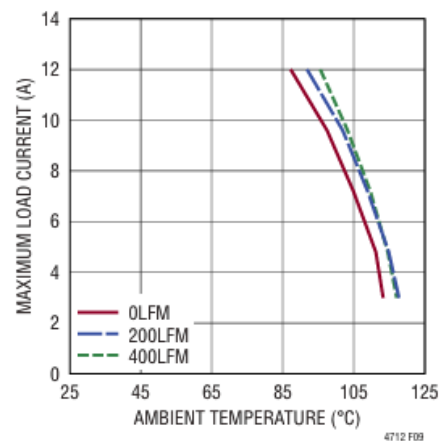


図2. 熱係数の概要を示す図、JESD51-12の用語を含む

アプリケーション情報

図3. 電力損失 (5V_{OUT}、400kHz、FCM)図4. 電力損失 (12V_{OUT}、400kHz、FCM)図5. 電力損失 (24V_{OUT}、400kHz、FCM)図6. 電力損失 (36V_{OUT}、400kHz、FCM)図7. 36V_{IN}、5V_{OUT}、400kHzでの
ディレーティング曲線 (ヒート・シンク
なし)図8. 24V_{IN}、5V_{OUT}、400kHzでの
ディレーティング曲線 (ヒート・シンク
なし)図9. 12V_{IN}、5V_{OUT}、400kHzでの
ディレーティング曲線 (ヒート・シンク
なし)

アプリケーション情報

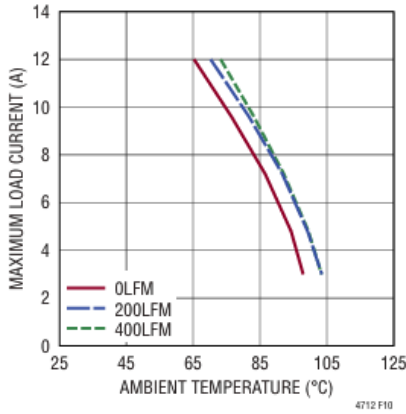


図10. 36V_{IN}、12V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

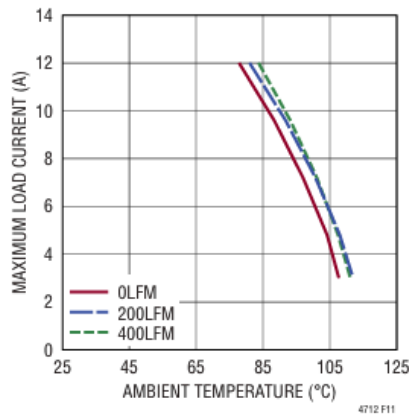


図11. 24V_{IN}、12V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

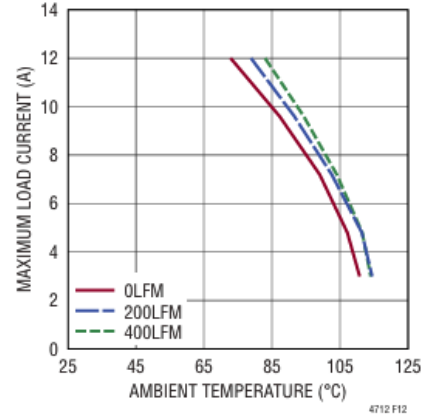


図12. 12V_{IN}、12V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

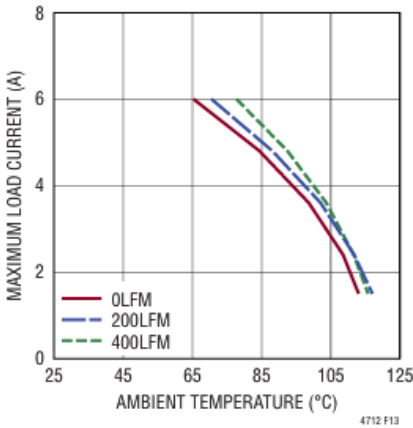


図13. 5V_{IN}、12V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

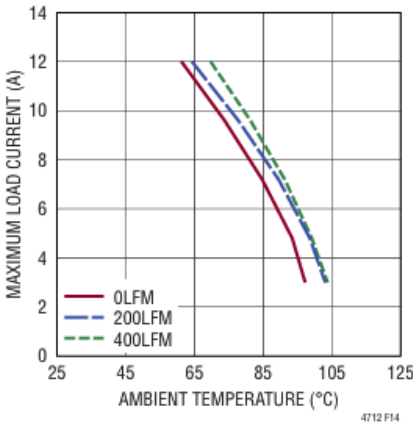


図14. 36V_{IN}、24V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

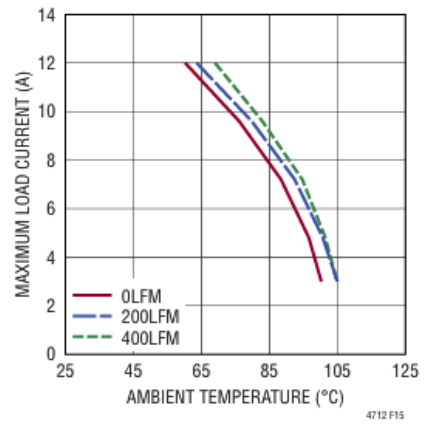


図15. 24V_{IN}、24V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

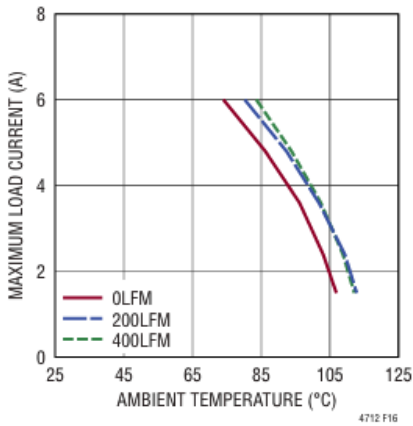


図16. 12V_{IN}、24V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

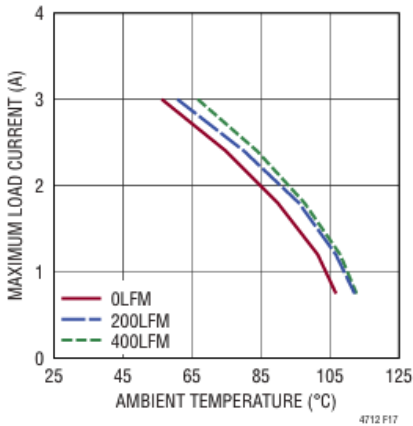


図17. 5V_{IN}、24V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

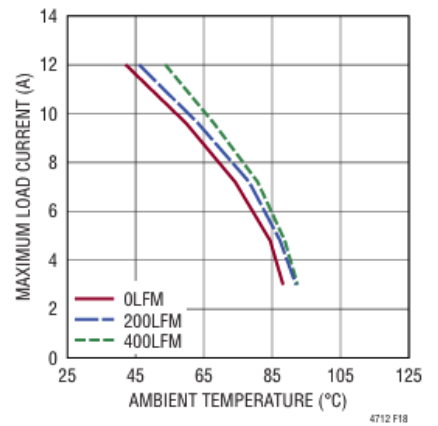


図18. 36V_{IN}、36V_{OUT}、400kHzでのディレーティング曲線（ヒート・シンクなし）

アプリケーション情報

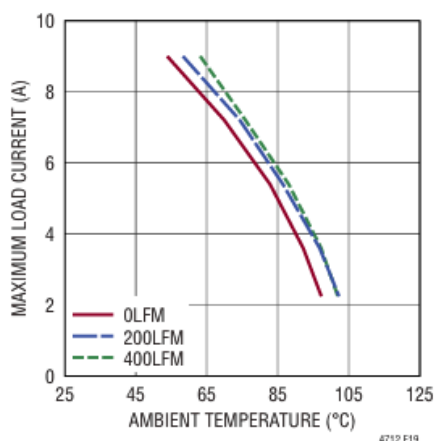


図19. 24V_{IN}、36V_{OUT}、400kHzでのデレーティング曲線（ヒート・シンクなし）

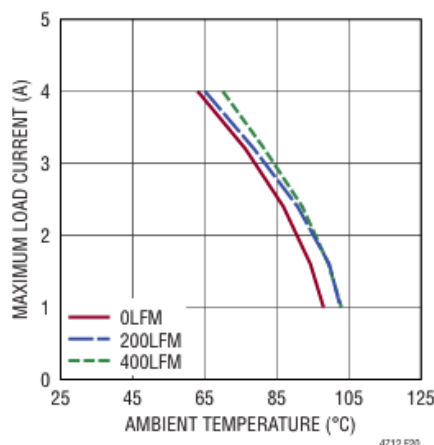


図20. 12V_{IN}、36V_{OUT}、400kHzでのデレーティング曲線（ヒート・シンクなし）

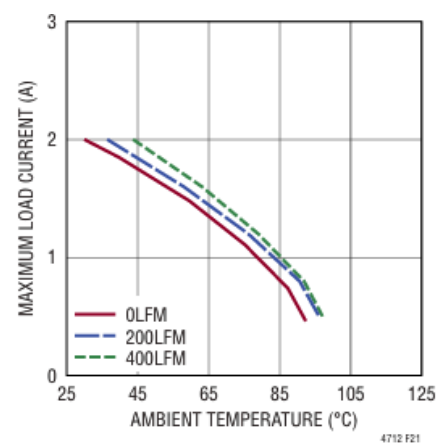


図21. 5V_{IN}、36V_{OUT}、400kHzでのデレーティング曲線（ヒート・シンクなし）

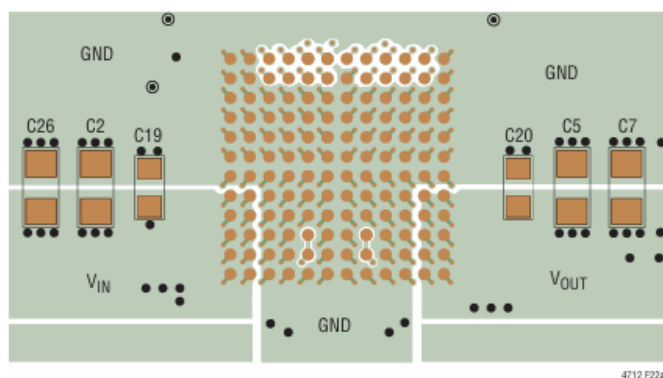
PCBレイアウト

高度に集積化されたLTM4712は、PCBのレイアウトが極めて容易です。ただし、電気的性能と熱的性能を最適化するには、以下のレイアウト上の配慮が必要です。

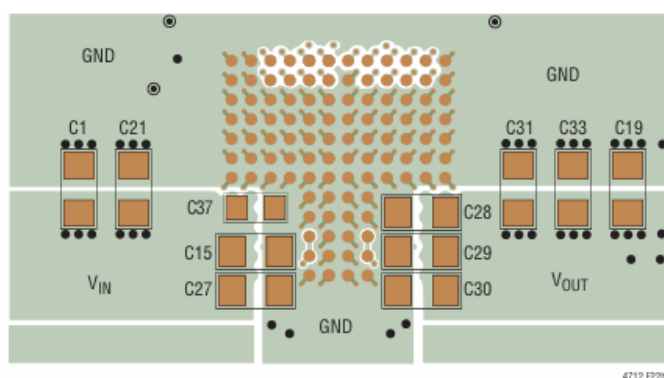
- V_{IN}、GND、V_{OUT}を含む大電流パスでは、PCBの銅箔面積を広くします。これは、PCBの導通損失と熱ストレスを最小限に抑える助けとなります。
- 高周波ノイズを最小限に抑えるため、高周波の入出力セラミック・コンデンサをV_{IN}ピン、GNDピン、V_{OUT}ピンの近くに配置します。

- モジュールの下には専用の電源グラウンド層を配置します。
- ビアの伝導損失を最小限に抑え、モジュールの熱ストレスを低減するため、最上層と他の電源層の接続には複数のビアを使用します。
- ビアはキャップされていない限り、パッド上には直接配置しないでください。
- 信号ピンに接続されている部品には、他とは別のSGNDグラウンド銅箔領域を使用します。SGNDはモジュールの下でPGNDと接続してください。

推奨PCBレイアウトの例を図22に示します。



(a) LTM4712の最上層



(b) LTM4712の最下層

図22. 推奨PCBレイアウト

アプリケーション情報

表4. バルク・コンデンサおよびセラミック・コンデンサのメーカー

C _{IN} (BULK)			C _{OUT} (BULK)		
VENDORS	VALUE	PART NUMBER	VENDORS	VALUE	PART NUMBER
Panasonic	150 μ F, 50V	EEEFK1H151P	Panasonic	100 μ F, 16V	16TQC100MYF
C _{IN} (CERAMIC)			C _{OUT} (CERAMIC)		
VENDORS	VALUE	PART NUMBER	VENDORS	VALUE	PART NUMBER
AVX	0.1 μ F, 50V, 0805, X7R	08055C104KAT2A	AVX	0.1 μ F, 50V, 0805, X7S	08055C104KAT2A
Murata	10 μ F, 50V, 1210, X7R	GRM32ER71H106KA12L	TDK	22 μ F, 100V, 1210, X7R	C3225X7R1C226K250AC

表5. LTM4712の代表的なアプリケーションの部品選択表

V _{IN} (V)	V _{OUT} (V)	C _{IN} (BULK) (μ F)	C _{IN} (CERAMIC) (μ F)	C _{OUT} (BULK) (μ F)	C _{OUT} (CERAMIC) (μ F)	R _{FB} (k Ω)	R _{FREQ} (k Ω)
12	12	150	10 \times 4	100	22 \times 4	9.09	140
24	12	150	10 \times 4	100	22 \times 4	9.09	140
36	12	150	10 \times 4	100	22 \times 4	9.09	140
24	24	150	10 \times 4	82	10 \times 8	4.32	140
12	36	150	10 \times 4	330 \times 2	10 \times 8	2.87	140
12	5	150	10 \times 4	100	22 \times 4	25	140

標準的応用例

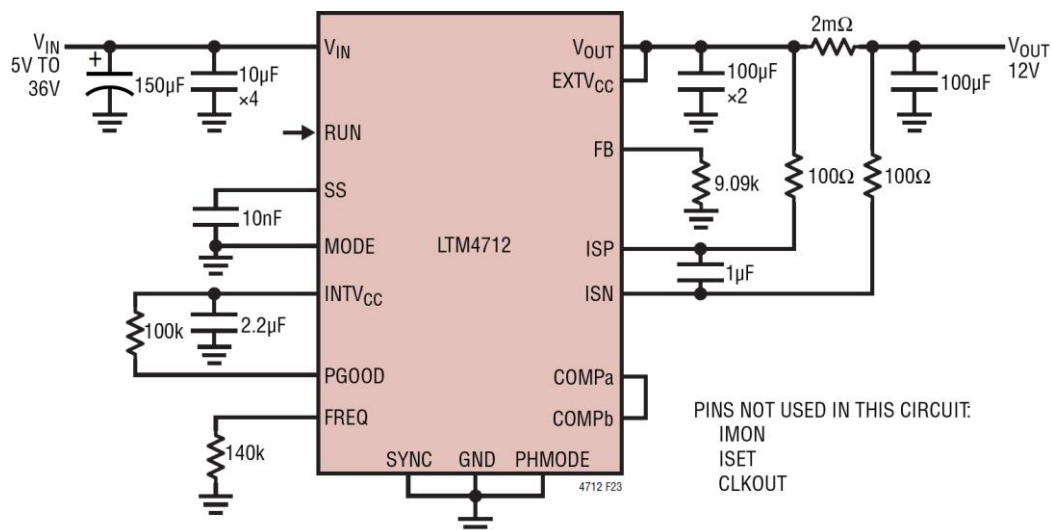
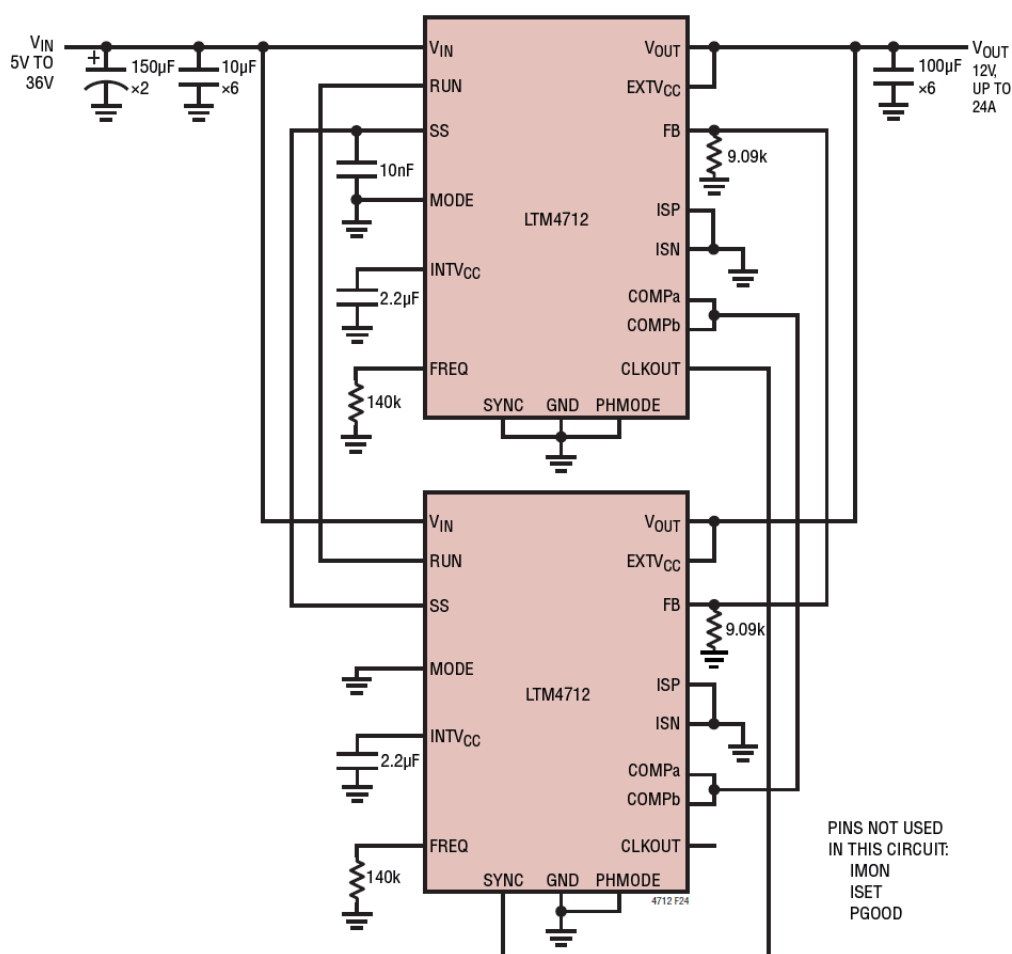
図23. 入力電圧範囲の広い、12V_{OUT}、12A I_{OUT}（降圧／昇降圧）、6A I_{OUT}（昇圧）

図24. 最大24Aの出力電流を供給する2個並列のLTM4712

代表的なアプリケーション

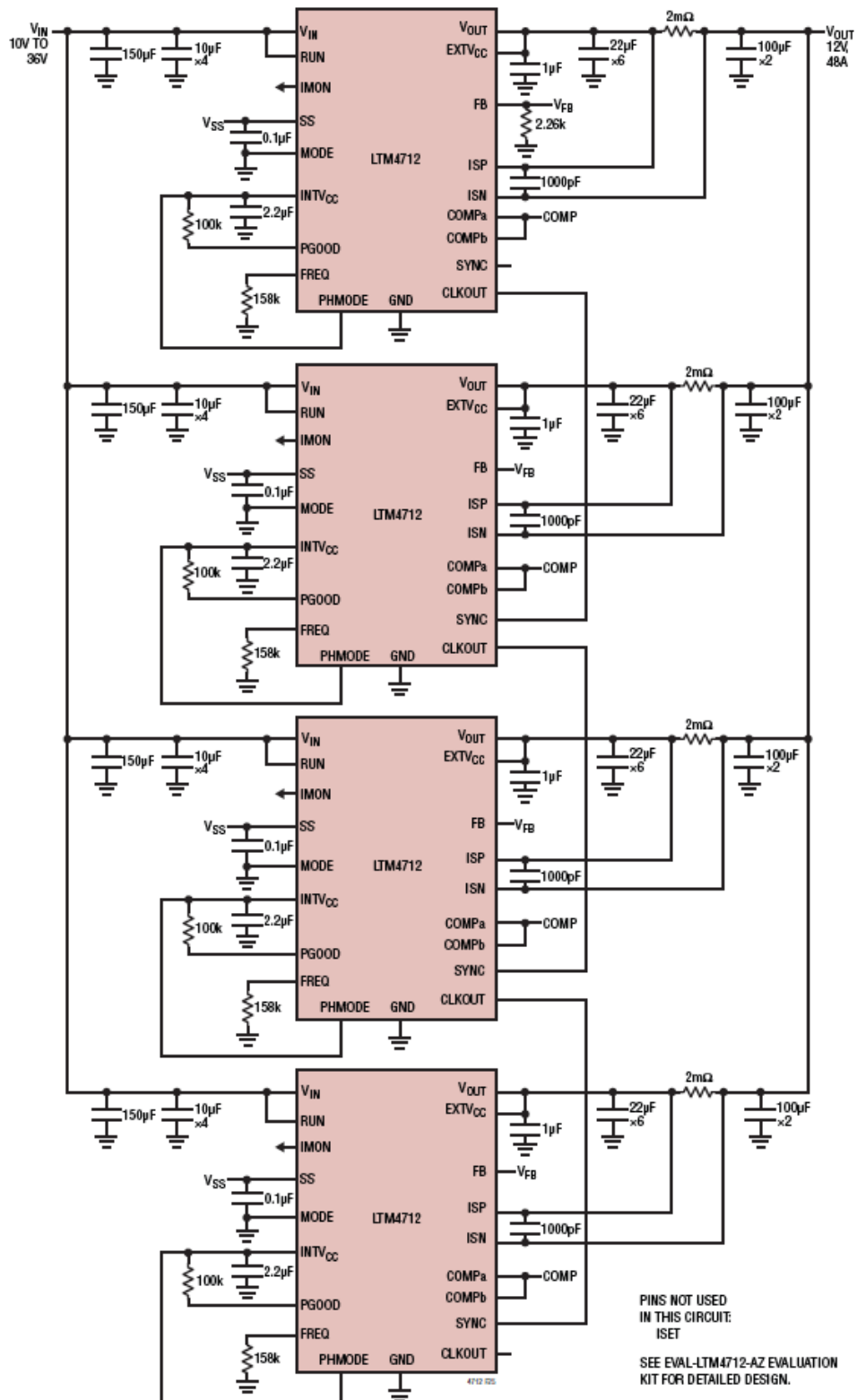


図25. 最大48Aの出力電流を供給する4個並列のLTM4712

代表的なアプリケーション

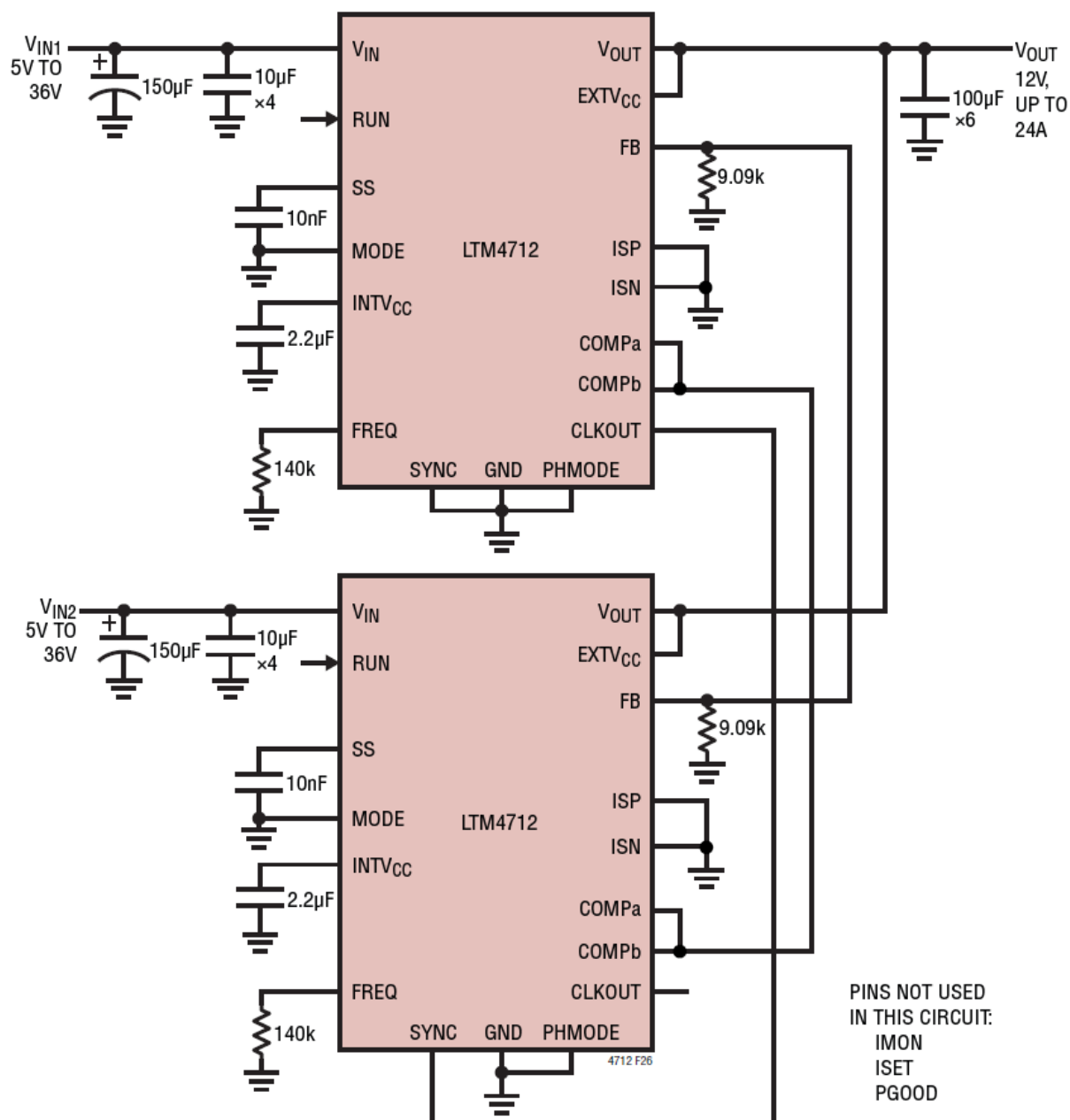


図26. 入力に冗長性のあるアプリケーション回路

代表的なアプリケーション

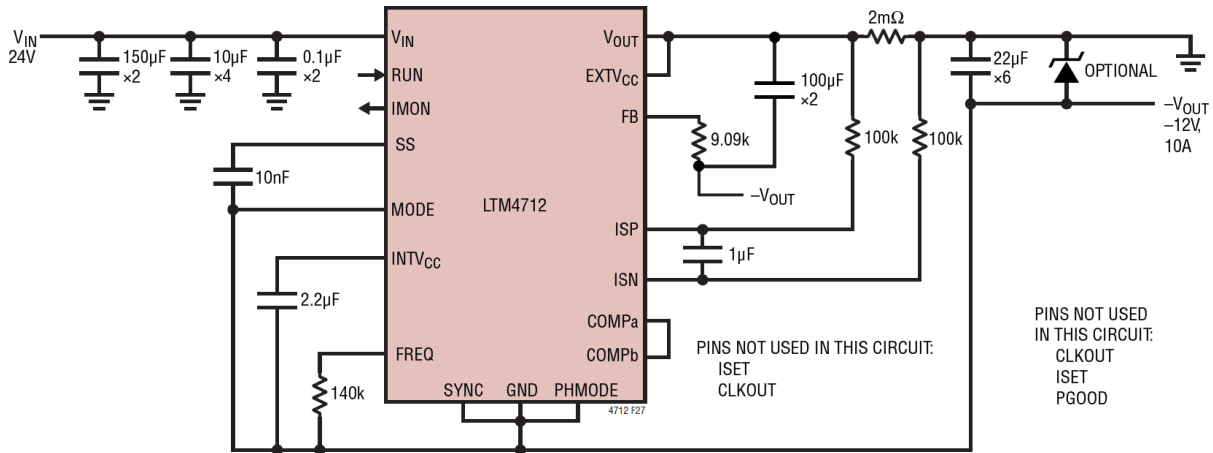


図27. 24VIN/-12VOUTの反転構成例

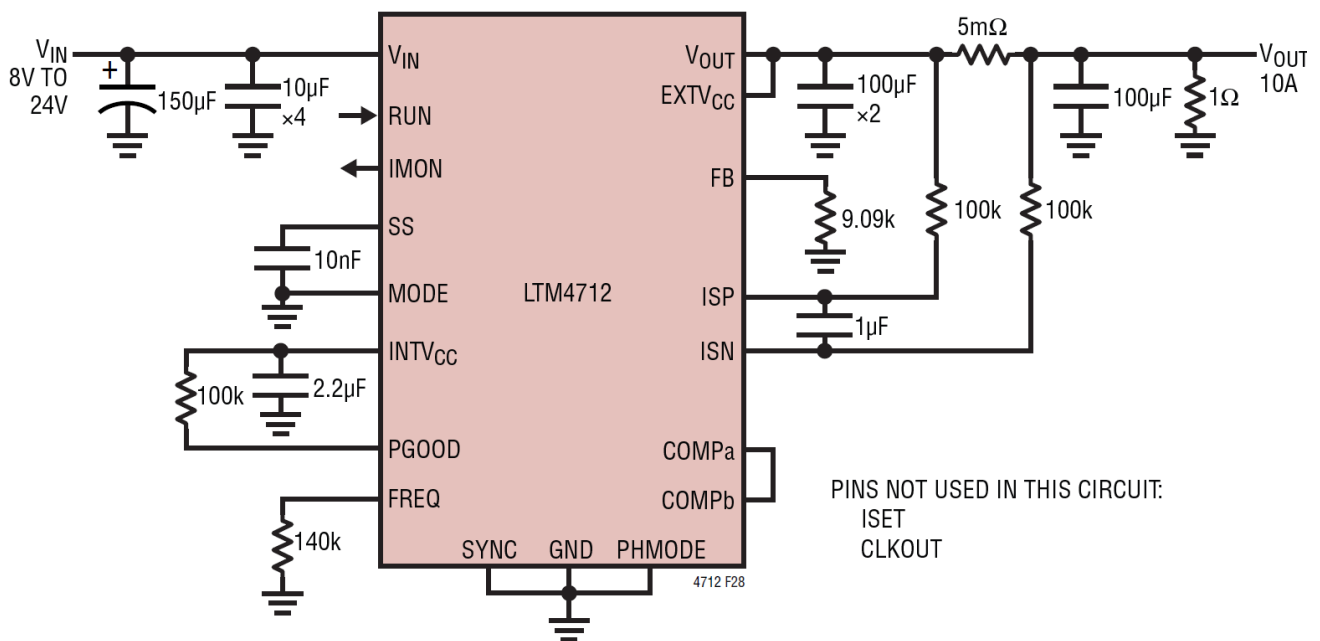


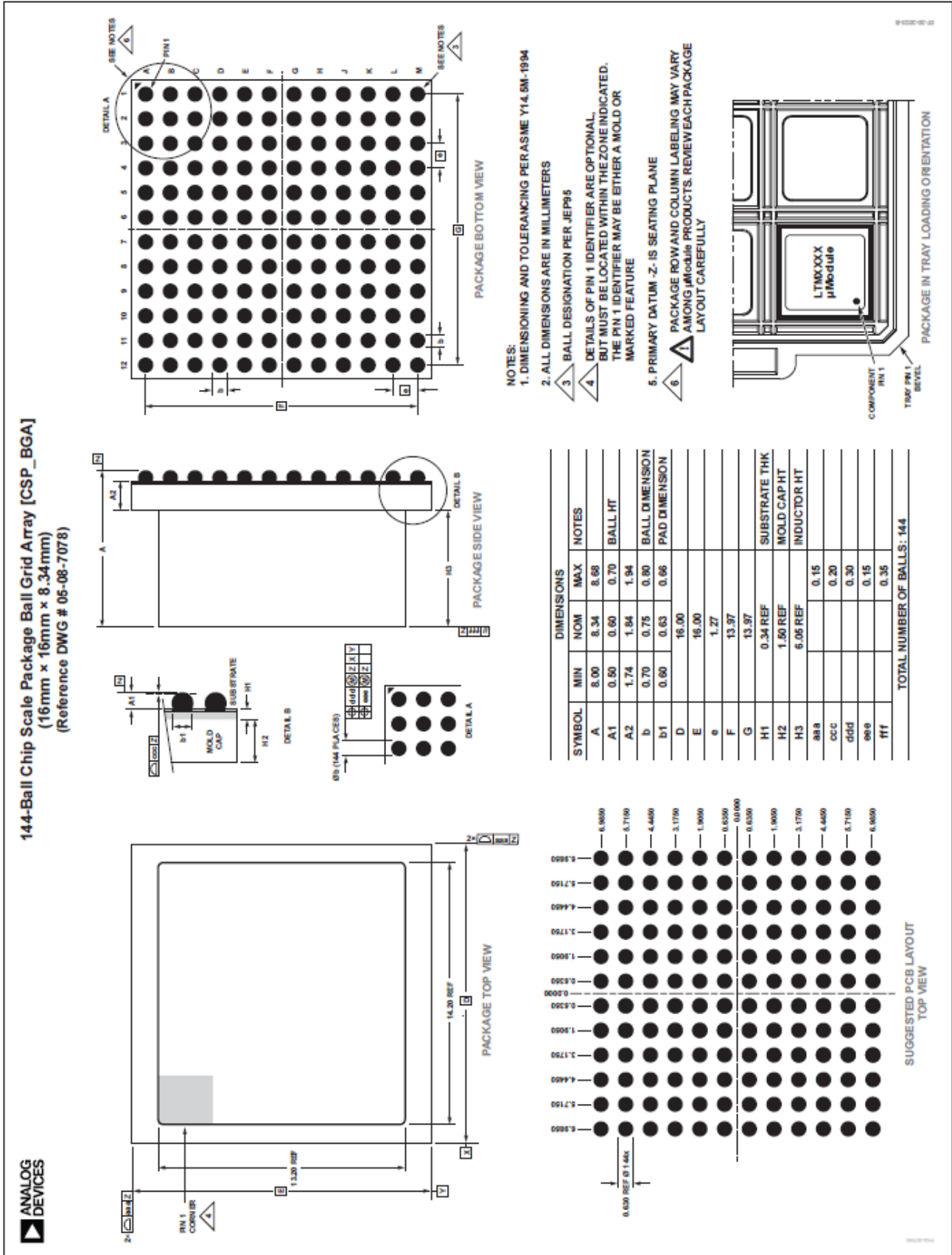
図28. 10Aの一定負荷電流用アプリケーション回路

パッケージの説明

表6. LTM4712のピン配置 (ピン番号順)

PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
A1	GND	B1	GND	C1	GND	D1	GND	E1	GND	F1	GND
A2	GND	B2	GND	C2	GND	D2	GND	E2	GND	F2	GND
A3	ISN	B3	INTV _{CC}	C3	GND	D3	GND	E3	GND	F3	GND
A4	ISP	B4	EXTV _{CC}	C4	GND	D4	GND	E4	GND	F4	GND
A5	IMON	B5	ISET	C5	GND	D5	GND	E5	GND	F5	GND
A6	CLKOUT	B6	SYNC	C6	SGND	D6	SGND	E6	GND	F6	GND
A7	FREQ	B7	SGND	C7	SGND	D7	SGND	E7	GND	F7	GND
A8	PGOOD	B8	RUN	C8	GND	D8	GND	E8	GND	F8	GND
A9	PHMODE	B9	FB	C9	GND	D9	GND	E9	GND	F9	GND
A10	MODE	B10	COMP _a	C10	GND	D10	GND	E10	GND	F10	GND
A11	SS	B11	COMP _b	C11	GND	D11	GND	E11	GND	F11	GND
A12	GND	B12	GND	C12	GND	D12	GND	E12	GND	F12	GND
G1	GND	H1	V _{IN}	J1	V _{IN}	K1	V _{IN}	L1	V _{IN}	M1	V _{IN}
G2	GND	H2	V _{IN}	J2	V _{IN}	K2	V _{IN}	L2	V _{IN}	M2	V _{IN}
G3	GND	H3	GND	J3	GND	K3	GND	L3	GND	M3	GND
G4	GND	H4	GND	J4	GND	K4	GND	L4	GND	M4	GND
G5	GND	H5	GND	J5	GND	K5	SW1	L5	SW1	M5	GND
G6	GND	H6	GND	J6	GND	K6	GND	L6	GND	M6	GND
G7	GND	H7	GND	J7	GND	K7	GND	L7	GND	M7	GND
G8	GND	H8	GND	J8	GND	K8	SW2	L8	SW2	M8	GND
G9	GND	H9	GND	J9	GND	K9	GND	L9	GND	M9	GND
G10	GND	H10	GND	J10	GND	K10	GND	L10	GND	M10	GND
G11	GND	H11	V _{OUT}	J11	V _{OUT}	K11	V _{OUT}	L11	V _{OUT}	M11	V _{OUT}
G12	GND	H12	V _{OUT}	J12	V _{OUT}	K12	V _{OUT}	L12	V _{OUT}	M12	V _{OUT}

パッケージの説明



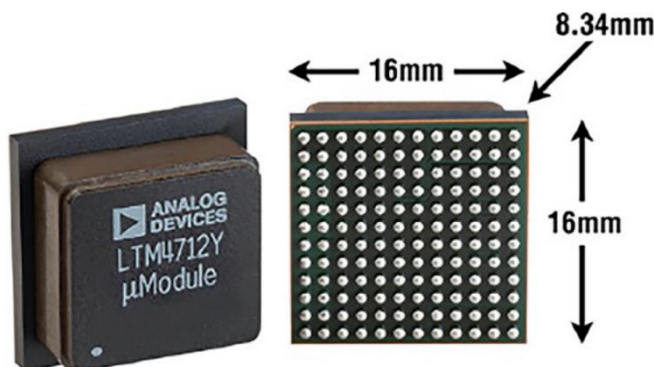
改訂履歴

版数	改訂日	説明	改訂ページ
0	10/23	初版発行	—

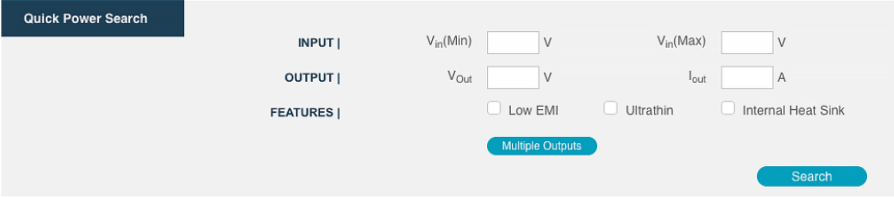
LTM4712

パッケージ写真

製品マーキングはインク・マーキングまたはレーザ・マーキングです



設計リソース

SUBJECT	DESCRIPTION		
μModule Design and Manufacturing Resources	<table border="0"><tr><td>Design:<ul style="list-style-type: none">• Selector Guides• Demo Boards and Gerber Files• Free Simulation Tools</td><td>Manufacturing:<ul style="list-style-type: none">• Quick Start Guide• PCB Design, Assembly and Manufacturing Guidelines• Package and Board Level Reliability</td></tr></table>	Design: <ul style="list-style-type: none">• Selector Guides• Demo Boards and Gerber Files• Free Simulation Tools	Manufacturing: <ul style="list-style-type: none">• Quick Start Guide• PCB Design, Assembly and Manufacturing Guidelines• Package and Board Level Reliability
Design: <ul style="list-style-type: none">• Selector Guides• Demo Boards and Gerber Files• Free Simulation Tools	Manufacturing: <ul style="list-style-type: none">• Quick Start Guide• PCB Design, Assembly and Manufacturing Guidelines• Package and Board Level Reliability		
μModule Regulator Products Search	<p>1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table.</p> 		
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.		

関連製品

製品番号	概要	注釈
LTM4605	外部インダクタを使用した20V _{IN} 、20V _{OUT} 、12Aの昇降圧μModuleレギュレータ	4.5V ≤ V _{IN} ≤ 20V、0.8V ≤ V _{OUT} ≤ 16V、15mm × 15mm × 2.82mm LGA
LTM4607	外部インダクタを使用した36V _{IN} 、24V _{OUT} 、10Aの昇降圧μModuleレギュレータ	4.5V ≤ V _{IN} ≤ 36V、0.8V ≤ V _{OUT} ≤ 24V、15mm × 15mm × 2.82mm LGA
LTM4609	外部インダクタを使用した36V _{IN} 、34V _{OUT} 、10Aの昇降圧μModuleレギュレータ	4.5V ≤ V _{IN} ≤ 36V、0.8V ≤ V _{OUT} ≤ 34V、15mm × 15mm × 2.82mm LGA、15mm × 15mm × 3.42mm BGA
LTM8054	インダクタを内蔵した36V _{IN} 、36V _{OUT} 、5.4Aの昇降圧μModuleレギュレータ	5V ≤ V _{IN} ≤ 36V、1.2V ≤ V _{OUT} ≤ 36V、11.25mm × 15mm × 3.42mm BGA
LTM8055	インダクタを内蔵した36V _{IN} 、36V _{OUT} 、8.5Aの昇降圧μModuleレギュレータ	5V ≤ V _{IN} ≤ 36V、1.2V ≤ V _{OUT} ≤ 36V、15mm × 15mm × 4.92mm BGA
LTM8056	インダクタを内蔵した58V _{IN} 、48V _{OUT} の昇降圧μModuleレギュレータ	5V ≤ V _{IN} ≤ 58V、1.2V ≤ V _{OUT} ≤ 48V、15mm × 15mm × 4.92mm BGA
LTM4656	36V _{OUT} 、4Aの昇圧μModuleレギュレータ	4.5V ≤ V _{IN} ≤ 28V、6V ≤ V _{OUT} ≤ 36V、16mm × 16mm × 7.07mm BGA

Rev. 0