

低 V_{IN} のクワッド 8A Silent Switcher[®] (サイレント・スイッチャ) μ Module レギュレータ

特長

- 構成設定可能な 8A 出力アレイを備えたクワッド出力降圧 μ Module[®] レギュレータ
- 超低ノイズ Silent Switcher[®] 2 アーキテクチャ
- CISPR32 クラス B 準拠
- 入力電圧範囲: 2.5V ~ 5.5V
- 出力電圧範囲: 0.5V ~ 3.6V
- 1チャンネルあたり 8A の DC 出力電流
- 出力電力増加のための並列化が可能
- 最大総合 DC 出力電圧精度: $\pm 1.5\%$
- 選択可能なスイッチング周波数: 1MHz ~ 5MHz
- パワー・グッド・インジケータ
- ダイ温度モニタリング
- プレソルダ・パッケージを使用した 6mm \times 12mm \times 3.54mm のランド・グリッド・アレイ (LGA)

アプリケーション

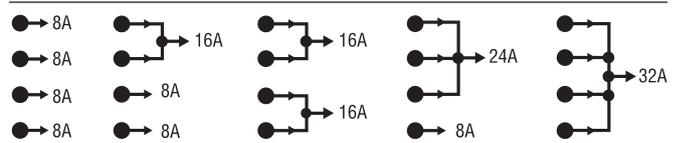
- 光通信
- 複数レールのポイントオブロード・レギュレーション
- フィールド・プログラマブル・ゲート・アレイ (FPGA)、デジタル信号処理 (DSP)、特定用途向け集積回路 (ASIC) アプリケーション
- テレコム、データコム、ネットワーク・システム

概要

LTM[®]4710-1 は、クワッド DC/DC 降圧 μ Module (マイクロモジュール) レギュレータで、1出力あたり 8A を供給します。パッケージにはスイッチング・コントローラ、パワー MOSFET、インダクタ、および補助部品のすべてが内蔵されています。2.5V ~ 5.5V の入力電圧範囲で動作します。チャンネル 1 の出力電圧は 1 つの外部抵抗だけで設定でき、チャンネル 2、チャンネル 3、チャンネル 4 の出力は 2 つの外部抵抗によって設定できます。出力電圧はすべて最大 3.6V まで設定可能です。

LTM4710-1 は、ホット・ループ・バイパス・コンデンサを内蔵した Silent Switcher 2 アーキテクチャを採用しており、低電磁干渉 (EMI) と高効率を実現します。LTM4710-1 は、小型 (6mm \times 12mm \times 3.54mm) の LGA とプレソルダ・パッケージを採用し、RoHS に準拠しています。

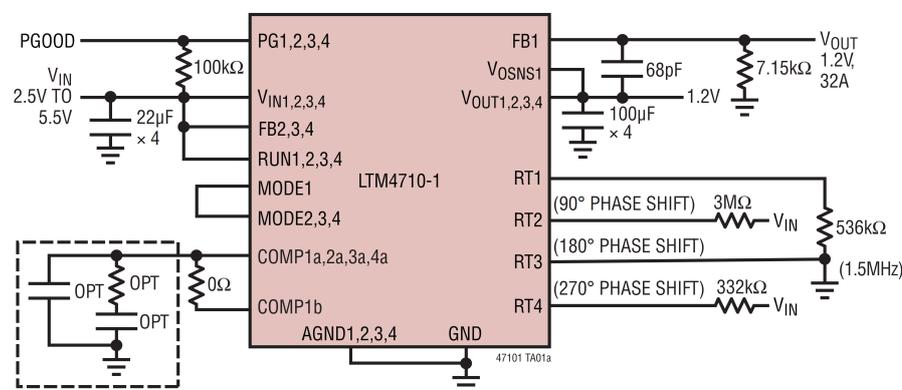
構成可能な出力アレイ



本紙記載の登録商標および商標は、全て各社の所有に属します。

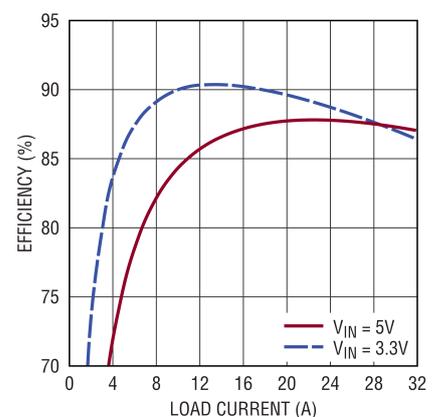
標準的応用例

並列単一出力、32A DC/DC μ Module レギュレータ



PINS NOT SHOWN IN THIS CIRCUIT: SSTT, SW

1.2V_{OUT} 時の効率



47101 TA01b

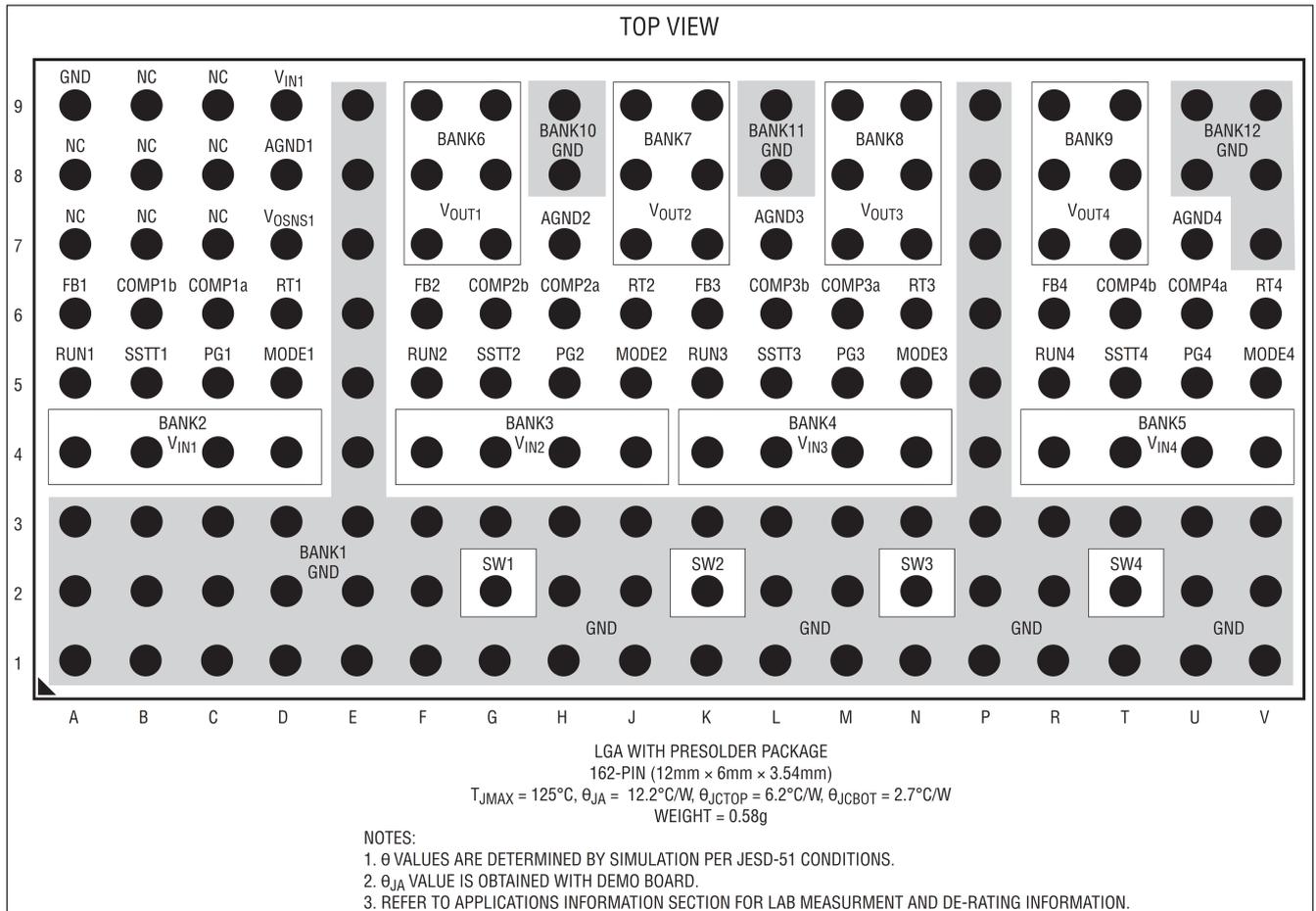
LTM4710-1

絶対最大定格

(Note 1)

GND および AGND _n を除くすべてのピン	-0.3V~6V	保管温度範囲	-55°C~125°C
動作ジャンクション温度 (Note 2)	-40°C~125°C	最高ハンダ・リフロー・ボディ温度	250°C

ピン配置 (ピン機能およびパッケージのピン配置の説明の表を参照してください)



発注情報

製品番号	パッド/ボール仕上げ	製品マーキング		パッケージ・タイプ	MSLレーティング	温度範囲 (Note 2 参照)
		デバイス	仕上げコード			
LTM4710EV-1#PBF	SAC305 (RoHS)	4710-1	e1	ブレソルダ採用 LGA	4	-40°C~125°C
LTM4710IV-1#PBF	SAC305 (RoHS)	4710-1	e1	ブレソルダ採用 LGA	4	-40°C~125°C

・ 更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。パッドまたはボールの仕上げコードは IPC/JEDEC J-STD-609 によります。

・ 推奨される LGA および BGA PCB のアセンブリおよび製造手順
・ LGA および BGA のパッケージ図面とトレイ図面

電気的特性

●は、仕様規定された内部動作ジャンクション温度範囲に適用される仕様を示します (Note 2)。それ以外の仕様は、標準的応用例における $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 3.3\text{V}$ での値です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
V_{IN}	Input DC Voltage		●	2.5	5.5	V	
$V_{OUT(RANGE)}$	Output Voltage Range		●	0.5	3.6	V	
V_{IN_UVLO}	V_{IN} Undervoltage Lockout	V_{IN} Rising		2.0	2.1	2.2	V
$V_{IN_UVLO_HYS}$	V_{IN} Undervoltage Lockout Hysteresis			150		mV	
V_{RUN}	RUN Pin On-Threshold	V_{RUN} Rising		0.375	0.4	0.425	V
V_{RUN_HYS}	RUN Pin Hysteresis			75		mV	
I_{RUN}	RUN Pin Leakage Current	$RUN = 0.4\text{V}$			±20	nA	
$I_{Q(VIN)}$	Input Supply Current	$V_{OUT} = 0.5\text{V}$, $MODE = \text{FLOAT}$, FCM Shutdown, $RUN = 0\text{V}$ (Note 5)		50 2		mA μA	
$I_{OUT(DC)}$	Output Continuous Current Range	$V_{OUT} = 0.5\text{V}$ (Note 3)			8	A	
$\Delta V_{OUT(LINE)}/V_{OUT}$	Line Regulation Accuracy	$V_{OUT} = 0.5\text{V}$, $V_{IN} = 2.5\text{V}$ to 5.5V , $I_{OUT} = 0\text{A}$			0.2	%/V	
$\Delta V_{OUT(LOAD)}/V_{OUT}$	Load Regulation Accuracy	$V_{OUT} = 0.5\text{V}$, $I_{OUT} = 0\text{A}$ to 8A	●	0.5	1.5	%	
$V_{OUT(AC)}$	Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $V_{OUT} = 0.5\text{V}$		12		mV	
I_{SSTT}	Track Pin Soft-Start Pull-Up Current	$V_{SSTT} = 0.5\text{V}$		7	10	13	μA
V_{FB}	Voltage at V_{FB} Pin		●	0.495	0.50	0.505	V
I_{FB}	Current at V_{FB} Pin	(Note 4)			±20	nA	
$t_{ON(MIN)}$	Minimum On-Time			40		ns	
V_{PG}	Power Good Rising Threshold Power Good Overvoltage Threshold	V_{FB} as a Percentage of Regulated V_{OUT} V_{FB} as a Percentage of Regulated V_{OUT}		98 110		% %	
I_{PG}	Power Good Leakage	$V_{PG} = 5.5\text{V}$			50	nA	
f_{OSC}	Oscillator Frequency Range			1	5	MHz	
SYNC_RANGE	Synchronization Frequency Range	$R_T = V_{IN}$		1.2	2.6	MHz	
SYNC_LEVEL Input	Clock Level High Clock Level Low	$R_T = V_{IN}$		1.2	0.4	V V	

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4710-1は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4710E-1は、 0°C ~ 125°C の内部動作温度範囲内で性能仕様を満たすよう設計されています。 -40°C ~ 125°C の内部動作温度範囲全体における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。LTM4710I-1は -40°C ~ 125°C の全内部動作温度範囲で仕様を満たすよう設計されています。これらの仕様と一致した最高周囲

温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因に加え、個々の動作条件によって決定されることに留意してください。

Note 3: 他の V_{IN} 、 V_{OUT} および T_A については、出力電流サーマル・ディレーティング曲線を参照してください。

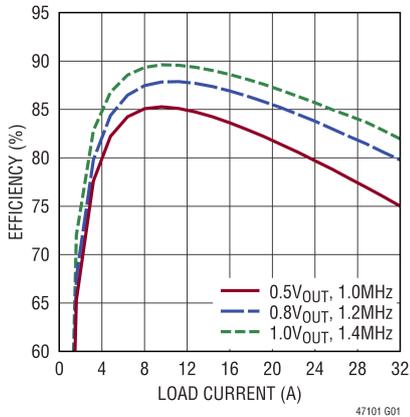
Note 4: ウェハ・ソート時にテストしています。

Note 5: 設計により性能を確保しています。

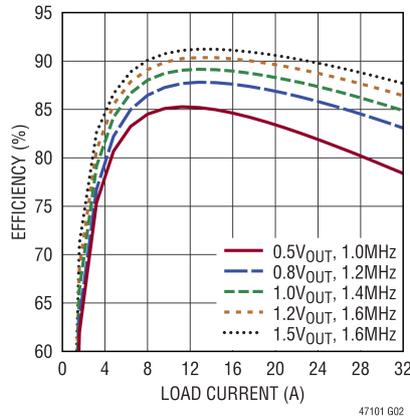
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

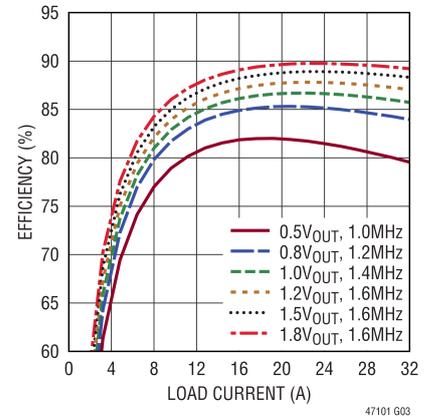
効率 (4チャンネル並列化、 $V_{IN} = 2.5\text{V}$)



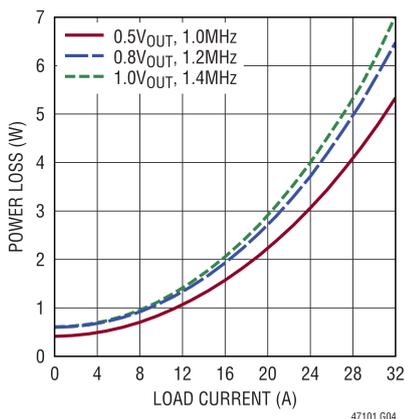
効率 (4チャンネル並列化、 $V_{IN} = 3.3\text{V}$)



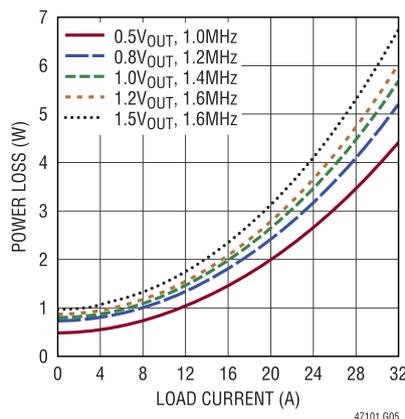
効率 (4チャンネル並列化、 $V_{IN} = 5.5\text{V}$)



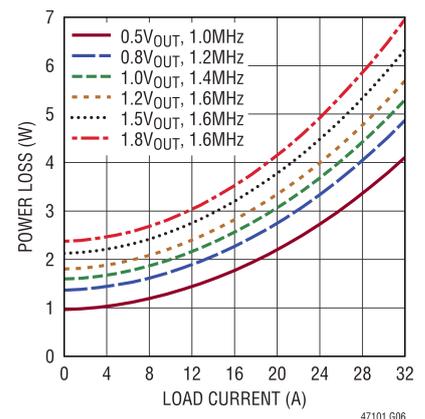
電力損失
(4チャンネル並列化、 $V_{IN} = 2.5\text{V}$)



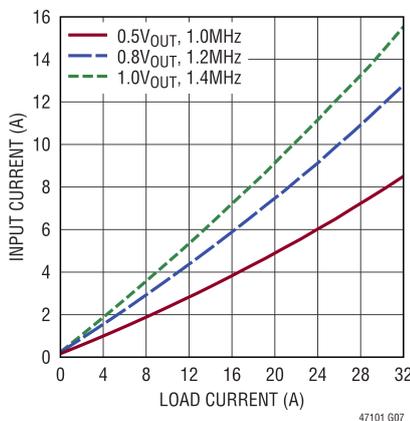
電力損失
(4チャンネル並列化、 $V_{IN} = 3.3\text{V}$)



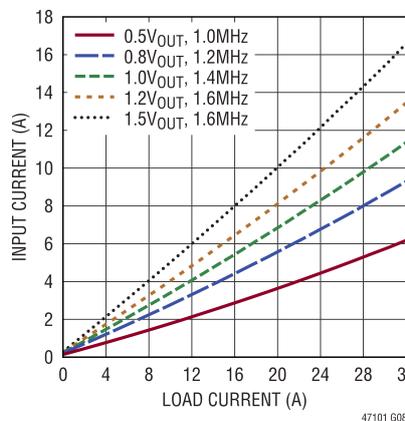
電力損失
(4チャンネル並列化、 $V_{IN} = 5.5\text{V}$)



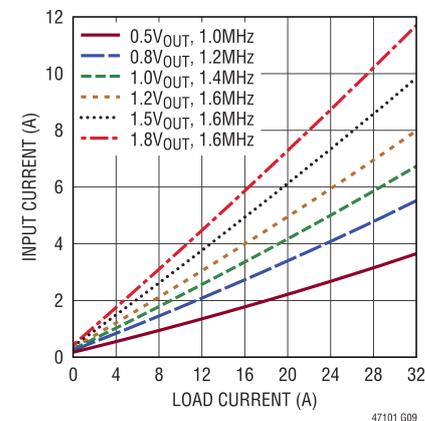
入力電流と負荷電流の関係
($V_{IN} = 2.5\text{V}$ 、4チャンネル並列化)



入力電流と負荷電流の関係
($V_{IN} = 3.3\text{V}$ 、4チャンネル並列化)



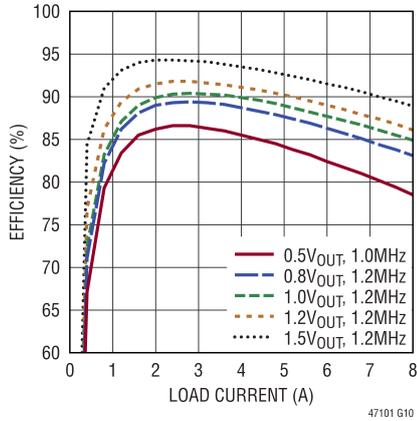
入力電流と負荷電流の関係
($V_{IN} = 5.5\text{V}$ 、4チャンネル並列化)



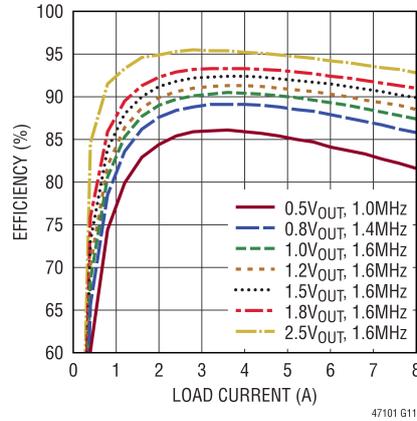
代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

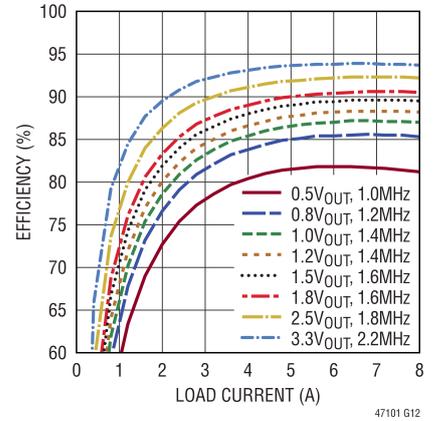
効率
(シングル・チャンネル、 $V_{IN} = 2.5\text{V}$)



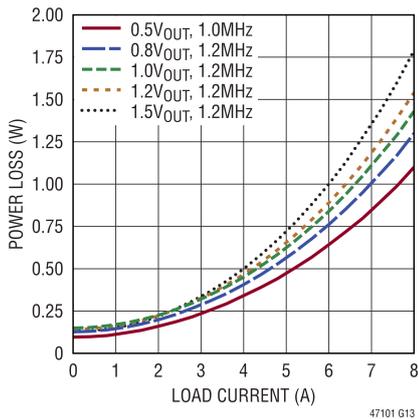
効率
(シングル・チャンネル、 $V_{IN} = 3.3\text{V}$)



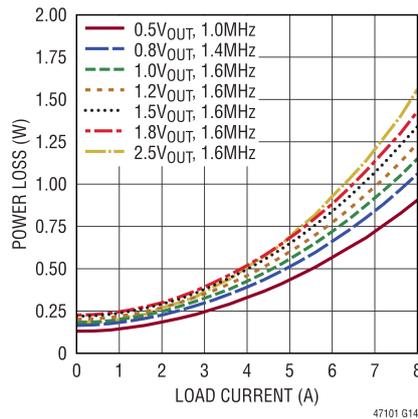
効率
(シングル・チャンネル、 $V_{IN} = 5.5\text{V}$)



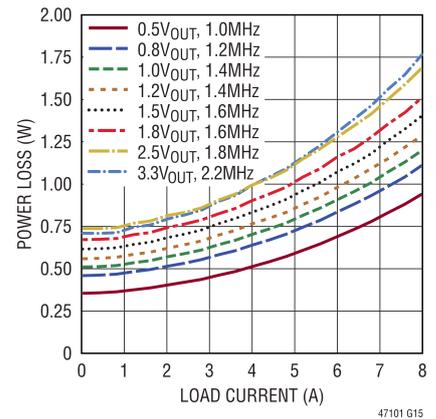
電力損失
(シングル・チャンネル、 $V_{IN} = 2.5\text{V}$)



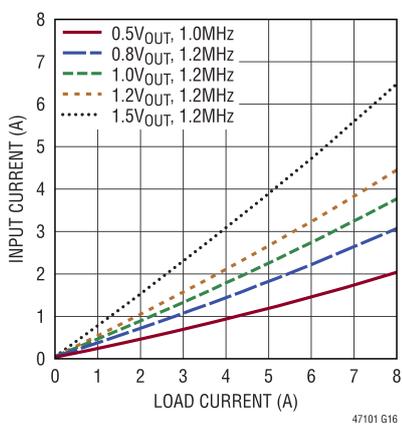
電力損失
(シングル・チャンネル、 $V_{IN} = 3.3\text{V}$)



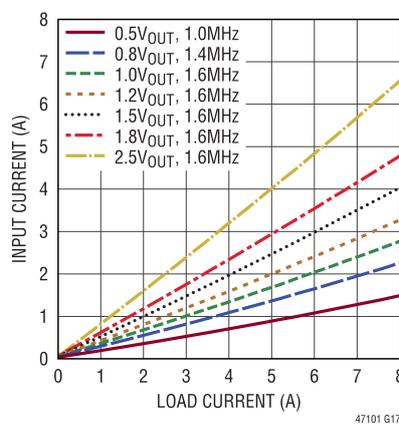
電力損失
(シングル・チャンネル、 $V_{IN} = 5.5\text{V}$)



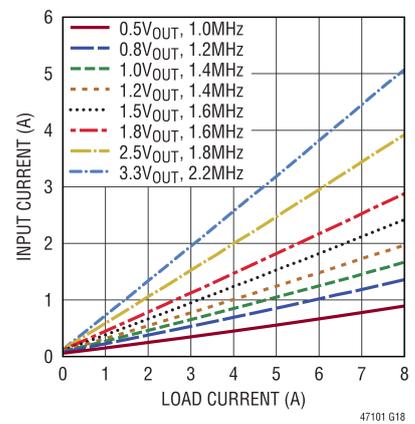
入力電流と負荷電流の関係
($V_{IN} = 2.5\text{V}$, シングル・チャンネル)



入力電流と負荷電流の関係
($V_{IN} = 3.3\text{V}$, シングル・チャンネル)



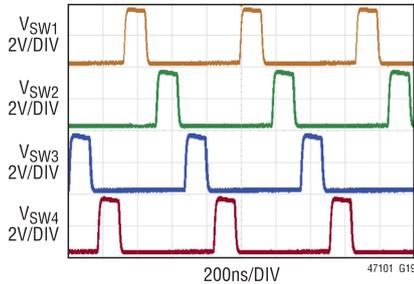
入力電流と負荷電流の関係
($V_{IN} = 5.5\text{V}$, シングル・チャンネル)



代表的な性能特性

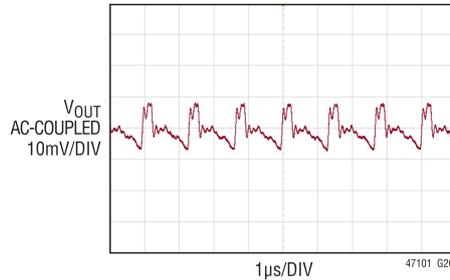
特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

持続性オン時の
定常状態における V_{SW}



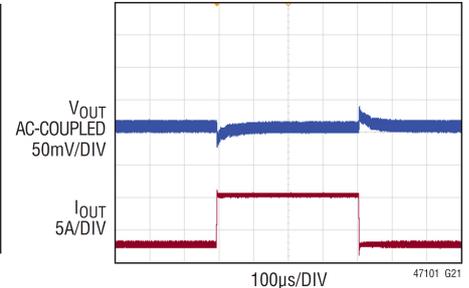
$V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 0.6\text{V}$, $I_{\text{OUT}} = 30\text{A}$,
 $f_{\text{SW}} = 1.5\text{MHz}$, $C_{\text{OUT}} = 100\mu\text{F} \times 4$

定常状態における電圧リップル



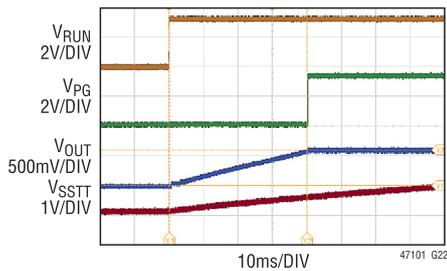
$V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 0.6\text{V}$, $I_{\text{OUT}} = 30\text{A}$,
 $f_{\text{SW}} = 1.5\text{MHz}$, $C_{\text{OUT}} = 100\mu\text{F} \times 4$

負荷過渡応答



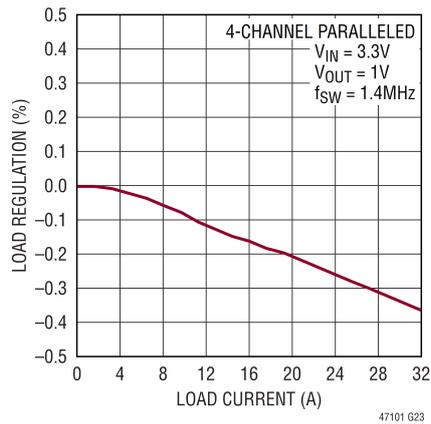
$V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 0.6\text{V}$, $f_{\text{SW}} = 1.5\text{MHz}$,
 $C_{\text{OUT}} = 100\mu\text{F} \times 4$, $C_{\text{FF}} = 20\text{pF}$,
0A ~ 7.5A (25%) LOAD STEP, 4-PHASE

スタートアップ

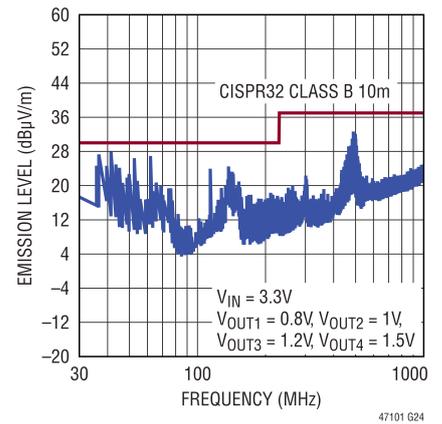


$V_{\text{IN}} = 3.3\text{V}$, $V_{\text{OUT}} = 0.6\text{V}$,
 $f_{\text{SW}} = 1.5\text{MHz}$, $C_{\text{OUT}} = 100\mu\text{F} \times 4$

負荷レギュレーション
(1V DC3164A-B デモ・ボード)



各チャンネルの負荷が8Aの場合
のDC3164A-Bの放射エミッション
(フェライト・ビーズなし)



ピン機能



μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

GND (バンク1、バンク10~12、ピンA9) : すべての入出力ターン用電源グラウンド・ピン。

V_{IN1}、V_{IN2}、V_{IN3}、V_{IN4} (バンク2~5、ピンD9) : 電力入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。V_{IN}ピンとGNDピンの間には、入力デカップリング・コンデンサを直接接続することを推奨します。

V_{OUT1}、V_{OUT2}、V_{OUT3}、V_{OUT4} (バンク6~9) : 各スイッチング・モード・レギュレータの電力出力ピン。これらのピンとGNDピンの間に出力負荷を加えます。これらのピンとGNDピンの間には、デカップリング・コンデンサを直接接続することを推奨します。

RUN1、RUN2、RUN3、RUN4 (ピンA5、F5、K5、R5) : RUNを0.4Vを超える電圧に接続することでチップを動作させることができます。これをGNDに接続するとデバイスはシャットダウンします。

FB1、FB2、FB3、FB4 (ピンA6、F6、K6、R6) : スwitchング・モード・レギュレータ・チャンネル用エラー・アンプの負入力。LTM4710-1はFBピンとAGNDピンの間の電圧を500mVにレギュレーションします。FB1に関して、このピンは、0.5%精度の10kΩ抵抗を介してV_{OSNS1}に内部接続されています。V_{OSNS1}とAGNDの間に抵抗を追加することにより、様々な出力電圧を設定できます。FB2、FB3、FB4に関しては、V_{OUT}に抵抗分圧器を接続することで出力電圧を設定できます。PolyPhase[®]動作時には、FBピンをV_{IN}に接続して、内部のエラー・アンプをディスエーブルしてください。詳細については、[アプリケーション情報](#)のセクションを参照してください。

SSTT1、SSTT2、SSTT3、SSTT4 (ピンB5、G5、L5、T5) : ソフトスタート、トラッキング、温度モニタ・ピン。ソフトスタート・ピンの外付けコンデンサへ流れる内部10μA電流によって、スタートアップ時における出力電圧の上昇率を設定します。SSTTが0.5Vを下回ると、V_{FB}ピンの電圧はSSTTピンの電圧をトラッキングします。SSTTが0.5Vを上回ると、トラッキング機能は無効になり、内部リファレンスがエラー・アンプの制御を再開し、SSTTピンはジャンクション温度を表す電圧にサーボ制御されます。シャットダウンおよびフォルト状態の間、SSTTピンはグラウンドにプルダウンされます。

COMP1b、COMP2b、COMP3b、COMP4b (ピンB6、G6、L6、T6) : 内部補償ネットワーク。これらのピンは、それぞれのCOMP_aピンに接続します。特定の外部補償を用いる場合は、これらのピンをフローティング状態にします。

PG1、PG2、PG3、PG4 (ピンC5、H5、M5、U5) : スwitchング・モード・レギュレータ・チャンネルのオープンドレイン・ロジックによる出力パワー・グッド。FBピンの電圧が内部0.5Vリファレンスの-2%から+10%の範囲を外れると、PGはグラウンドにプルダウンされます。

COMP1a、COMP2a、COMP3a、COMP4a (ピンC6、H6、M6、U6) : スwitchング・モード・レギュレータ・チャンネルの電流制御閾値とエラー・アンプの補償点。

MODE1、MODE2、MODE3、MODE4 (ピンD5、J5、N5、V5) : MODEピンを使用すると、多相動作と外部クロックへの同期が容易になります。MODEは、動作モードに応じて、クロック・パルスを受け付けるか、もしくはクロック・パルスを動作周波数で出力します。詳細については、[アプリケーション情報](#)のセクションを参照してください。

RT1、RT2、RT3、RT4 (ピンD6、J6、N6、V6) : 周波数ピンは、AGNDに接続した外付け抵抗で発振器周波数を設定するか、多相動作の位相を設定するために使用します。周波数の調整については、[アプリケーション情報](#)のセクションを参照してください。

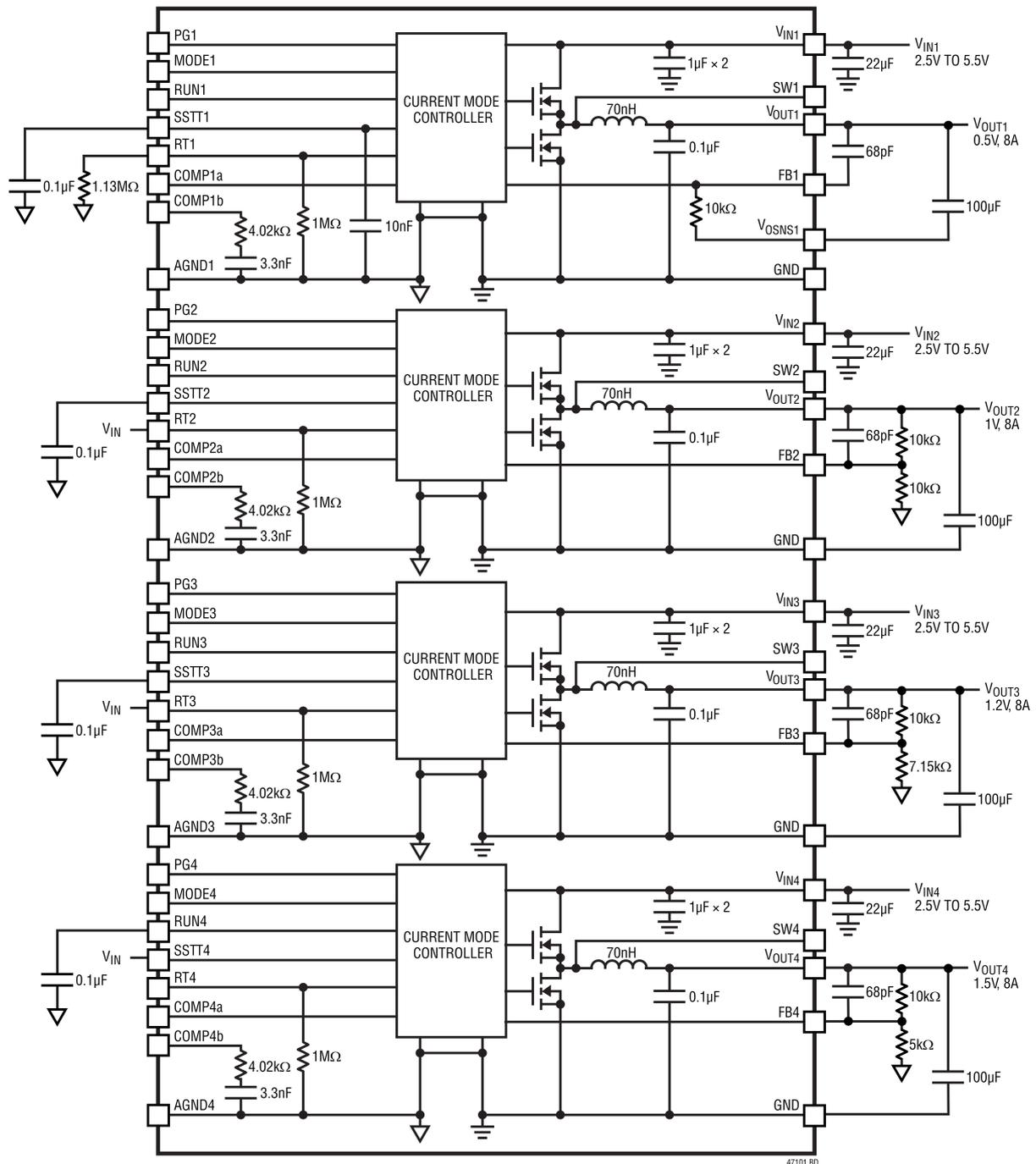
V_{OSNS1} (ピンD7) : チャンネル1の出力電圧検出ピン。このピンは、0.5%精度の10kΩ抵抗を介してFB1ピンに内部接続されています。これは帰還パスであるため、このピンをV_{OUT1}に接続することは非常に重要です。また、オープンのままにすることはできません。詳細については、[アプリケーション情報](#)のセクションを参照してください。

AGND1、AGND2、AGND3、AGND4 (ピンD8、H7、L7、U7) : AGNDピンは出力電圧のリモート・グラウンド検出点です。このピンは、負荷の出力コンデンサの負端子とフィードバック分圧抵抗に直接接続します。

SW1、SW2、SW3、SW4 (ピンG2、K2、N2、T2) : スwitchング・ノードの波形モニタリング。

NC (ピンA7、A8、B7、B8、B9、C7、C8、C9) : 接続なし。これらのピンはオープンのままにしてください。

ブロック図



デカップリング条件 (チャンネルごと)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C_{IN}	External Input Capacitor Requirement ($V_{IN} = 2.5V$ to $5.5V$, $V_{OUT} = 0.5V$)	$I_{OUT} = 8A$	22			μF
C_{OUT}	External Output Capacitor Requirement ($V_{IN} = 2.5V$ to $5.5V$, $V_{OUT} = 0.5V$)	$I_{OUT} = 8A$	100			μF

動作

LTM4710-1は、クワッド出力降圧スイッチ・モードのDC/DC電源です。4個の独立したレギュレータを内蔵し、それぞれがわずかな個数の入出力コンデンサを使用するだけで最大8Aの連続電流を出力することができます。各レギュレータは、2.5V～5.5Vの入力電圧範囲から、0.5V～3.6Vでプログラマブルな高精度に安定化された電圧を出力します。標準的応用例の回路図(図1)を参照してください。

LTM4710-1は、4個の独立した固定周波数ピーク電流モード制御レギュレータ、パワー MOSFET、インダクタ、およびその他のサポート用ディスクリート部品を内蔵しています。このデバイスは Silent Switcher 2 技術を採用しています。この技術は、高スイッチング周波数で高効率を実現するための高速スイッチング・エッジを可能にすると同時に、良好なEMI性能を実現します。V_{IN}のセラミック・コンデンサによってすべての高速AC電流ループを小さく抑えることで、EMI性能を向上させます。

電流モード制御と内部帰還ループ補償を使用することにより、LTM4710-1は、使用する出力コンデンサがすべてセラミック出力コンデンサである場合を含め、多様な出力コンデンサで十分な安定性マージンと高速トランジェント性能が得られます。

LTM4710-1のスイッチング周波数は、RTとAGNDの間に抵抗を外付けすることで調整可能です。あるいは、クロックに外部同期することもできます。アプリケーション情報のセクションを参照してください。

電流モード制御は、サイクルごとに高速の電流制限を行います。ピーク電流制限値は過電流状態において適用されます。出力帰還電圧がレギュレーション・ポイントの-2%から+10%の範囲を外れると、内蔵の過電圧コンパレータと低電圧コンパレータがオープンドレインのPG出力をローにします。更に、過電圧状態の場合には、内部の上側MOSFETがオフ、下側MOSFETがオンになり、過電圧状態が解消されるまでこれを維持します。

多相動作は、同期および位相モード制御を用いて容易に設定できます。

RUNピンをGNDに低下させるとコントローラはシャットダウン状態に入り、両方のパワー MOSFETとほとんどの内部制御回路をオフにします。

SSTTピンは、電源トラッキング、ソフトスタートの設定、およびダイ温度のモニタリングに使用します。アプリケーション情報のセクションを参照してください。

強制連続モード(FCM)は、低リップル低ノイズを考慮する場合に推奨される唯一の動作モードです。4つのチャンネルのスイッチング周波数は、出力が並列か独立かに関係なく、常に同期している必要があります。多相並列出力では、位相シフトのインターリーブを行うことを推奨します。独立出力の場合は、メインスイッチのオンへの遷移を揃えることを推奨します。詳細については、アプリケーション情報のセクションおよび標準的応用例のセクションを参照してください。

アプリケーション情報

LTM4710-1の標準的応用例の回路を図1に示します。外付け部品は、主に入力電圧、出力電圧、および最大負荷電流によって選定します。特定のアプリケーションに固有の外付け出力コンデンサの条件は表10を参照してください。

V_{IN}からV_{OUT}への降圧比

レギュレータの最小オン時間の制限により、所定の入力電圧に対して実現可能なV_{OUT}への最小降圧比については制限があります。

コンバータの最小デューティ・サイクルはこの最小オン時間の制約によって決まり、式1を使用して計算できます。

$$D_{(MIN)} = t_{ON(MIN)} \cdot f_{SW} \quad (1)$$

ここで、t_{ON(MIN)}が最小オン時間で、LTM4710-1の代表値は40nsです。デューティ・サイクルの最小値を超えるまれなケースでは、出力電圧はレギュレーション状態を維持するものの、スイッチング周波数は設定値より低くなります。

アプリケーション情報

出力電圧の設定

PWMコントローラは、0.5Vのリファレンス電圧を内蔵しています。ブロック図に示すように、チャンネル1にのみ、10kΩ (0.5%の公差)の内部帰還抵抗があります。この10kΩの抵抗はFB1とV_{OSNS1}の間に接続され、V_{OSNS1}はV_{OUT1}検出点に直接接続される必要があります。V_{OUT2,3,4}を独立に動作させる場合は、それぞれに10kΩの上側帰還抵抗を使用することを推奨します。FBピンとAGNDピンの間に抵抗R_{BOT}を追加することで出力電圧を設定します(式2)。

$$V_{OUT}(V) = 0.5V \cdot \frac{10k + R_{BOT}}{R_{BOT}} \quad (2)$$

入力デカップリング・コンデンサ

LTM4710-1モジュールの各チャンネルは、低ACインピーダンスのDC電源に接続する必要があります。実効値リップル電流をデカップリングするため、レギュレータには少なくとも22μFの入力セラミック・コンデンサを使用するよう推奨します。バルクの入力コンデンサが必要になるのは、長い誘導性のリードやパターン、またはソース・キャパシタンス不足によって入力ソース・インピーダンスが損なわれる場合に限られます。バルク・コンデンサには、アルミ電解コンデンサやポリマー・コンデンサを使用できます。

インダクタ電流リップルを考えなければ、入力コンデンサの実効値電流は式3で概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta\%} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで、ηは電源モジュールの推定効率です。

出力デカップリング・コンデンサ

高周波数、広帯域幅に設計が最適化されている場合、各チャンネルに100μFの低ESRセラミック出力コンデンサを1個用いるだけで、低出力電圧リップルと優れた過渡応答を実現できます。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となることがあります。表10に、2A (25%)の負荷ステップ・トランジェントが発生している場合に電圧ドループやオーバーシュートを最小限に抑えるための、様々な出力電圧と出力コンデンサの組み合わせを示します。

多相動作では、位相の数に応じて実効的な出力リップルが減少します。アプリケーション・ノート77ではこのノイズ低減と出力リップル電流の相殺との関係について解説していますが、出力容量は安定性と過渡応答を決定する要素として更に重要です。アナログ・デバイセズの設計ツールLTpowerCAD[®]はオンラインでダウンロード可能で、出力リップル、安定性および過渡応答の解析や、使用する位相数をN倍に増加させたときの出力リップル低減の計算ができます。

動作モード

MODEピンは、クロック入力またはクロック出力に設定できます。クロック入力に設定されている場合、スイッチング周波数を外部クロックに同期させます(表1参照)。

低ノイズ・アプリケーションでは、LTM4710-1は強制連続モード(FCM)で動作する必要があります。

表1. LTM4710-1の単相構成

RT PIN CONNECTION	MODE PIN CONNECTION	MODE OF OPERATION	SWITCHING FREQUENCY
V _{IN}	Clock Input	Forced Continuous	External Clock
Float/Resistor to AGND	Clock Output	Forced Continuous	R _T Programmed

動作周波数の設定

周波数は、RTピンとAGNDピンの間に抵抗を接続することで設定できます(式4)。

$$R_T = 1113 \cdot f_{(SW)}^{-1.64} \quad (4)$$

ここでR_Tの単位はkΩです。また、f_{sw}は目的のスイッチング周波数で単位はMHzです。

1MHz~5MHzの範囲でスイッチングするように周波数を設定できます。目的のスイッチング周波数に必要なR_Tの値を表2に示します。

表2. SW周波数とR_{FREQ}値の関係

f _{sw} (MHz)	R _T (kΩ)
1	1130
1.5	536
2	340
2.2	301
3	196
4	140
5	105

アプリケーション情報

周波数同期とクロック入力

LTM4710-1のスイッチング周波数は、MODEピンに外部方形波クロックを印加してこれに内部PLL回路を同期させることで調整できます。同期周波数範囲は1.2MHz～2.6MHzです。外部クロックの振幅は1.2Vより高く0.4Vより低いことが必要です。

内部PLLは、2MHzのデフォルト周波数で起動します。MODEピンの最初の立上がりエッジで外部クロックを検出した後、内部PLLは、MODE信号の周波数と位相に一致するように動作周波数を徐々に調整します。

多相動作

出力負荷が8Aを超える電流を必要とする場合、LTM4710-1の複数のチャンネルを並列に接続し、位相をずらして動作させることで、入出力の電圧リップルを増やさずに出力電流を増加できます。表3に多相動作の構成を示します。

表3. LTM4710-1の多相構成

PHASE	RT PIN	FB PIN	MODE PIN	SWITCHING FREQUENCY
Main	V_{IN}	V_{OUT} Divider	Clock Input	External Clock
Main	Resistor to AGND	V_{OUT} Divider	Clock Output	R_T Programmed
Subordinate	V_{IN} Divider	V_{IN}	Clock Input	External Clock

LTM4710-1の複数のチャンネルを並列接続し、異なるチャンネル間で同じスイッチング周波数、完全にインターリーブされた位相シフト、および高精度の電流分担を達成するには、LTM4710-1のチャンネルの1つをメイン・チャンネルとし、残りをスレーブ・チャンネルに設定する必要があります。

メイン位相のRTピンをAGNDへの抵抗に接続すると周波数が設定され、MODEピンがスレーブ位相のMODEピンを駆動するために用いられるクロック出力になるように構成されます。

メイン位相のRTピンを V_{IN} に接続すると、MODEピンが外部クロックを受け入れ可能な入力として構成されます。

V_{FB} ピンを V_{IN} に接続すると、スレーブ位相として設定されます。MODEがクロック入力になり、電圧制御ループは無効化されます。スレーブ位相の電流制御ループはアクティブのまま、ピーク電流は共用のCOMPノードを介して制御されます。

メイン位相を基準としたスレーブ位相の位相調整は、RTピンの抵抗分圧器によって設定されます。1%抵抗の使用を推奨します。詳細については表4を参照してください。図17に例を示します。

表4. MODE入力を基準とするスレーブ位相のシフト

PHASE ANGLE BETWEEN SUBORDINARY MODULE AND MODE INPUT (°)	R_T RESISTOR TO V_{IN} (Ω)
0	0
90	3M
120	1.4M
180	($R_T = GND$)
240	715k
270	332k

アプリケーション・ノート77では多相動作の詳細を解説しています。入力実効値リップル電流の相殺について数学的な導出が行われ、実効値リップル電流がインターリーブされた位相数の関数として減少する様子がグラフで示されています(図1参照)。

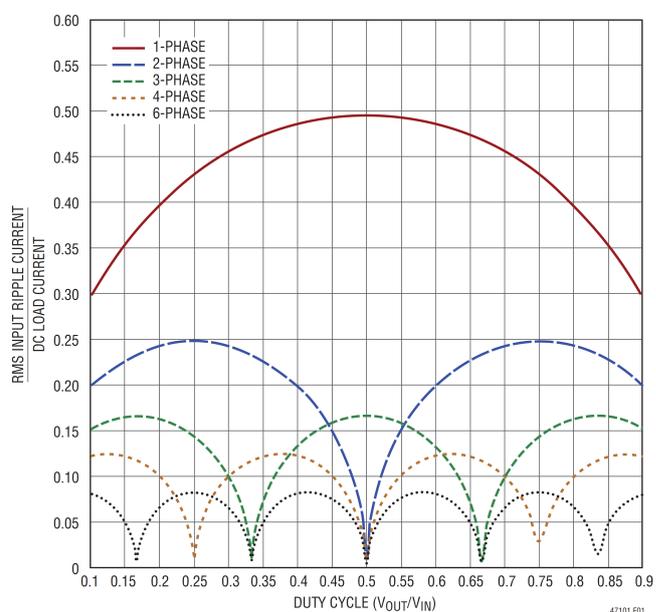


図1. デューティ・サイクルの関数としたときのDC負荷電流に対する入力実効値電流の比

アプリケーション情報

LTM4710-1は本質的に電流モードで制御されるデバイスであるため、並列接続されたモジュールは優れた電流分担を示します。これにより全チャンネルの熱バランスが良くなります。各並列チャンネルのRUNピン、COMPピン、PGピンを互いに接続し、スレーブ・チャンネルのFBをV_{IN}に接続します。[図17](#)に並列動作とピン接続の例を示します。

ソフトスタート/出力電圧トラッキング/温度モニタリング

SSTTピン機能は、電源シーケンスを容易なものにし、V_{IN}突入電流を制限し、また、スタートアップ出力のオーバーシュートを低減します。SSTTピンに接続されたコンデンサを内部から10μAの電流で充電することで、出力電圧の上昇率を設定できます。また、別の電圧源でSSTTピンを外部駆動することもできます。ソフトスタートにより電圧が上昇する間、SSTT電圧が0.5V未満の場合、出力電圧はSSTTピンの電圧に比例して増加します。SSTTの電圧が0.5Vを超えると、SSTTピンはLTM4710-1のダイのジャンクション温度に比例する電圧にサーボ制御されます([図2](#)参照)。SSTTのコンデンサは、シャットダウン時、V_{IN}のUVLO時、サーマル・シャットダウン時にリセットされます。

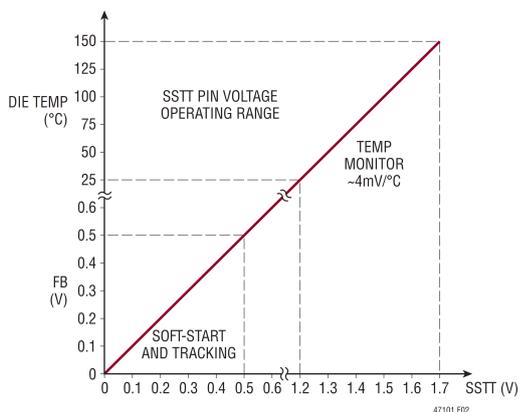


図2. ソフトスタートと温度モニタ動作

ソフトスタートの合計時間は式5を使用して計算できます。

$$t_{SS} = C_{SS} \cdot \frac{500\text{mV}}{10\mu\text{A}} \quad (5)$$

ここで、C_{SS}はSSTTピンの容量です。ソフトスタート処理時にはFCMが無効化され、電流の逆流を防止します。

モジュール内部ではデフォルトで10nFのソフトスタート・コンデンサがSSTT1に接続されているため、チャンネル1のスタートアップ時間のデフォルト値は0.5msとなります。このコンデンサがあることで、ほとんどの場合において、ユーザの設計が簡略化されます。

出力パワー・グッド

LTM4710-1の出力電圧が公称レギュレーション電圧の-2%~+10%の枠内にある場合、出力は正常な状態にあると見なされ、オープンドレインのPGピンが高インピーダンスになって、通常は外付け抵抗によりハイにプルアップされます。そうでない場合は、内部のプルダウン・デバイスにより、PGピンがローになります。上限閾値と下限閾値の両方のグリッチを防ぐために、1%のヒステリシスと100μs(代表値)の時間遅延が組み込まれています。PGピンは、次のようなフォルト状態の間もアクティブ・ローにプルダウンされます。すなわち、RUNピンがローの場合、V_{IN}が低すぎる場合、またはサーマル・シャットダウンした場合です。

多相アプリケーションの場合、PGピンはメイン位相とスレーブ位相の間の通信に使用されます。PGピンを互いに接続し、外付け抵抗を用いてV_{IN}またはV_{OUT}にプルアップします。PGピンは490mVより高い電圧にプルアップする必要があります。

安定性補償

LTM4710-1は既に内部最適化が行われており、COMPbとCOMPaを接続した場合に、すべてセラミック・コンデンサを用いるアプリケーションを含む、出力電圧とコンデンサのあらゆる組み合わせに対して補償されています。

[表10](#)は、この最適化された内部補償を使用するほとんどのアプリケーション条件に対応しています。広帯域の制御ループ補償を十分な位相マージンで行うことが必要なアプリケーションでは、V_{OUT}とV_{FB}ピンの間に68pFのフィードフォワード・コンデンサを使用することを推奨します。特定の最適化条件がある場合は、COMPbをCOMPaから切り離し、タイプIIのC-R-C補償ネットワークをCOMPaとAGNDの間に適用し、外部補償を行います。LTpowerCAD設計ツールをオンラインでダウンロードして、特定の制御ループの最適化を実行し、また、制御安定性と負荷過渡応答性能を分析できます。

RUN イネーブル

LTM4710-1は、スイッチングをイネーブルまたはディスエーブルする高精度閾値のRUNピンを備えています。RUNピンを

アプリケーション情報

ローにすると、LTM4710-1は低電流のシャットダウン・モードに入ります。RUNコンパレータの立上がり閾値は400mVで、ヒステリシスは75mVです。シャットダウン機能を用いない場合は、 V_{IN} に接続します。 V_{IN} とRUNの間に抵抗分圧器を追加すると、 V_{IN} が所定の電圧を超えた場合のみ出力をレギュレーションするようにLTM4710-1を設定できます。通常、この閾値 $V_{IN(EN)}$ は、入力電源を電流制限しているか、入力電源のソース抵抗が比較的大きい場合に使用します。スイッチング・レギュレータは電源から一定の電力を引き出すため、電源電圧が低下するにつれて電源電流が増加します。これは電源からは負の抵抗負荷のように見えるため、電源電圧が低い条件下では、電源の電流が制限されたり、ローにラッチされたりすることがあります。 $V_{IN(EN)}$ 閾値は、問題が生じるおそれのある電源電圧でレギュレータが動作するのを防ぎます。この閾値は、式6を満たすようにR1とR2の値を設定することによって調整できます。

$$V_{IN(EN)} = \left(\frac{R1}{R2} + 1 \right) \cdot 400mV \quad (6)$$

この場合は、 V_{IN} が $V_{IN(EN)}$ より高くなるまでLTM4710-1はオフのままです。コンパレータにはヒステリシスがあるので、入力が $V_{IN(EN)}$ よりわずかに低くなるまでスイッチングは停止しません。

あるいは、LTM4710-1の別のチャンネルの出力とRUNピンの間に抵抗分圧器を接続すると、イベントベースのパワーアップ・シーケンスが行われ、他のレギュレータの出力が所定のレベルに達したときにLTM4710-1をイネーブルします。

熱に関する考慮事項と出力電流のディレーティング

このデータシートのピン配置のセクションに記載されている熱抵抗は、JESD51-12に定義されたパラメータと一致しています。これらのパラメータは、有限要素解析(FEA)ソフトウェアのモデリング・ツールで使用することを意図したものです。これらのモデリング・ツールは、ハードウェア・テスト・ボードに μ Moduleパッケージを取り付けて行われた、熱的モデリング、シミュレーション、およびハードウェア評価との相関付けから得られた結果を利用します。これらの熱係数を提供する理由は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information)に記載されています。

設計者の多くは、自らのアプリケーションでの様々な電気的および環境的動作条件下における μ Moduleレギュレータの熱性能を予想するため、実験機器やデモ・ボードなどのテスト手段を使用し、FEAによる作業を補完することがあります。FEAソフトウェアを使用しない場合、ピン配置のセクションに記載した熱抵抗だけでは、熱性能を示す目安になりません。しかし、データシートに記載されているディレーティング曲線を各アプリケーションの用途に関する見通しやガイダンスを得られるような方法で使用すれば、それらのディレーティング曲線に修正を加えて、熱性能を個々のアプリケーションに対応させることができます。

ピン配置のセクションには通常、JESD 51-12で明示的に定義された3つの熱係数が示されており、これらは以下のように説明されます。

1. θ_{JA} はジャンクションから周囲環境への熱抵抗であり、1立方フィートの密閉された容器内で測定された、自然対流によるジャンクションから周囲の空気への熱抵抗です。この環境は「静止空気」と呼ばれることもありますが、実際には自然対流により空気の動きが生じます。この値は、DC3164A-Bデモ・ボードに実装された部品を使用して決定します。
2. $\theta_{Jcbottom}$ はジャンクションから製品ケース底部までの熱抵抗であり、すべての部品からの熱放散がパッケージ底部を通じて起こるものとして決定されます。標準的な μ Moduleレギュレータでは熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。その結果として、この熱抵抗値はパッケージの比較には有用ですが、テスト条件は一般的にユーザのアプリケーションに即したものではありません。
3. θ_{Jctop} はジャンクションから製品ケース上面への熱抵抗であり、部品からの熱放散のほぼすべてがパッケージ上面を通じて行われるものとして決定されます。標準的な μ Moduleの電気的接続はパッケージ底部で行われるため、熱の大半がパーツ上端のジャンクション経由で放散されるようなアプリケーションはまれです。 $\theta_{Jcbottom}$ の場合のように、この値はパッケージの比較には有用な場合がありますが、テストの条件は一般的にユーザのアプリケーションに即したものではありません。

アプリケーション情報

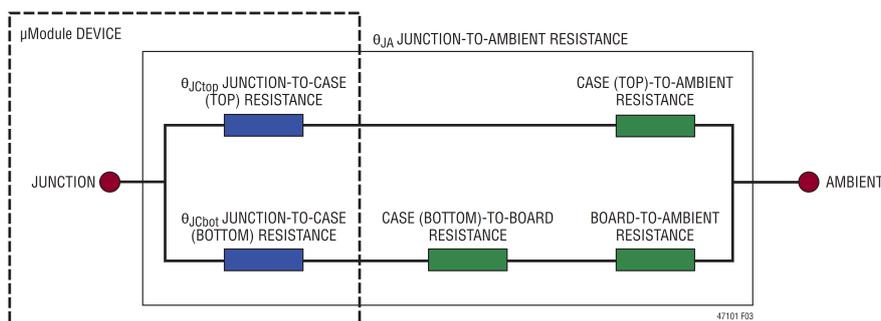


図3. JESD51-12の熱係数の図解

前述の熱抵抗を視覚的に表したものが図3です。青色の部分が μ Moduleレギュレータ内部の熱抵抗で、緑色の部分は μ Module外部の熱抵抗です。

LTM4710-1 モジュールの内部には電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、各種の部品やダイの様々なジャンクションを基準にした熱抵抗は、パッケージの全電力損失に対して正確には線形になっていないという点に留意する必要があります。この複雑な問題を、モデリングの簡潔性を犠牲にすることなく(なおかつ現実的な実用性を無視することなく)解決するために、このデータシートに記載されている熱抵抗値は、実験室での恒温槽を使ったテストとFEAソフトウェア・モデリングを併用する方法を採用して合理的に定義し、相関付けを行っています。(1)最初に、FEAソフトウェアを使用し、適切な材料係数と正確な電力損失源定義と共に、 μ Moduleと指定のPCBの正確な機械的形状モデルを作成します。(2)このモデルを使い、JESD51-12に適合するソフトウェア定義のJEDEC環境をシミュレーションして、様々な接合面における電力損失による熱の流れと温度値を予測します。これで、JEDEC定義の熱抵抗値を計算することができます。(3)このモデルとFEAソフトウェアを使用して、ヒート・シンクと空気流がある場合のLTM4710-1の熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデルで様々な動作条件によるシミュレーションを行った上で、徹底した実験室評価を実施してシミュレーションで得た状態を再現します。具体的には環境制御チャンバーを使い、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。このプロセスおよび適切な配慮を行うことで、このデータシートに示す一連のディレーティング曲線が得られます。

このような実験室でのテストを実施し、LTM4710-1モデルとの関連付けを行った後、 θ_{JB} および θ_{BA} を合計すると、 θ_{JA} にほぼ等しい値が求められます。これは、電力損失のほぼ100%が、空気流や上部に実装されたヒート・シンクがない状態で、ジャンクションから基板を抜けて周囲環境に流れることによるものです。

図5および図6(3.3Vおよび5V)の電力損失曲線は、図7～図15の負荷電流ディレーティング曲線を組み合わせることで使用することにより、様々なヒート・シンク条件および空気流条件下におけるLTM4710-1の熱抵抗 θ_{JA} の概算値を計算できます。電力損失曲線は室温で得られたものであり周囲温度に応じて乗算的に増加します。この近似係数はジャンクション温度が120°Cのときに1.2です。ジャンクション温度が120°C(125°Cの最大ジャンクション温度から5°Cの安全領域を見込んだ値)未満である限り、周囲温度が増加している間も最大負荷電流は実現可能です。ジャンクション温度が120°Cとなるような周囲温度に達した場合、周囲温度が120°Cまで増加する間、負荷電流は120°Cのジャンクション温度を維持するよう低下します。ディレーティング曲線は、電流値36Aで周囲温度30°Cからの出力電流についてプロットされています。出力電圧は0.5V、0.8V、1V、1.2V、1.5Vです。熱モデルは温度制御チャンバー内での複数回の温度測定と、熱モデリングによる分析から得られています。空気流ありと空気流なしの条件で、周囲温度を上げながらジャンクション温度をモニタします。ディレーティング曲線には、周囲温度の変化に伴う電力損失の増加が加味されます。周囲温度が上昇した場合は出力電流または出力電力を減少させて、ジャンクションは最大120°Cを維持します。この出力電流の低下によ

アプリケーション情報

り、周囲温度が増加すると共にモジュール内部の損失が低下します。モニタされた120°Cのジャンクション温度から周囲動作温度を差し引いた値により、どれだけのモジュール温度の上昇を許容できるかを規定できます。例えば、図13において、空気流もヒート・シンクもなしの条件では、負荷電流は86.4°Cで19.2Aにデレギュレーションされ、19.2A時の3.3V_{IN}から1.2V_{OUT}への合計電力損失は、2.6Wになります(図5)。次に120°Cのジャンクション温度での係数1.2を乗じると、4チャンネルでの全電力損失は3.2Wになります。86.4°Cの周囲温度を120°Cのジャンクション温度から差し引いた33.6°Cを3.2Wで割ると10.5°C/Wとなります。表5では、この値に非常に近い11°C/Wが仕様規定されています。空気流がある場合とない場合の0.5V、0.8V、1V、1.2V、および1.5V出力の等価熱抵抗を、表5～表9に示します。表5～表9に示す様々な条件での算出熱抵抗に、周囲温度の関数として算出した電力損失を乗じると、周囲温度からの温度上昇値が得られ、これから最大ジャンクション温度が得られます。室温での電力損失は代表的な性能特性のセクションに示す効率曲線から求めることができ、更に前述の周囲温度の倍率で調整

することができます。プリント回路基板は1.6mm厚の6層基板で、この6層すべてに2オンスの銅を使用しています。PCBの寸法は、4.25インチ×4.48インチです。

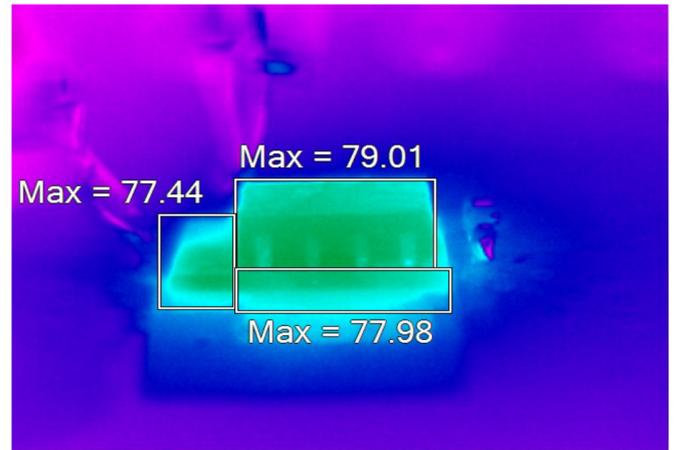


図4. 空気流なし、ヒート・シンクなしで
3.3V入力、0.5V 32A 並列出力時のLTM4710-1の熱画像

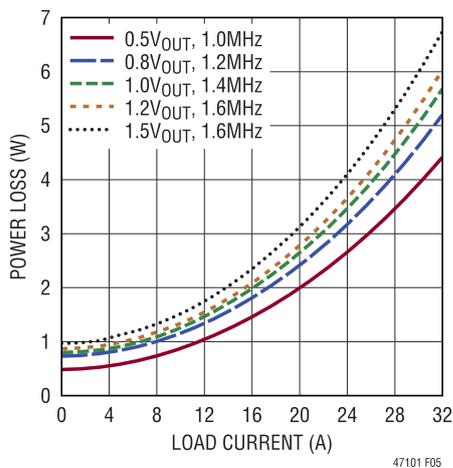


図5. 電力損失
(4チャンネル並列化、V_{IN} = 3.3V)

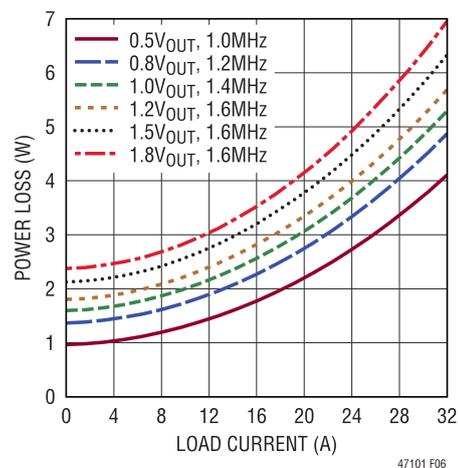


図6. 電力損失
(4チャンネル並列化、V_{IN} = 5.5V)

アプリケーション情報

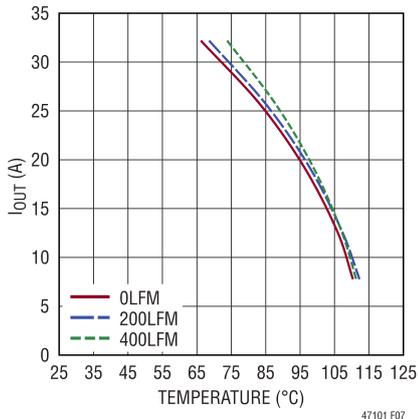


図7. ディレーティング
(4チャンネル並列化、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 0.5V$ 、DC3164A-B デモ・ボード)

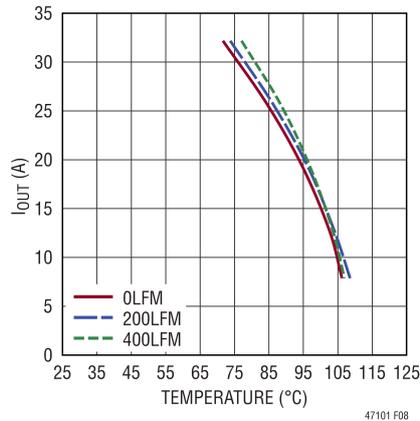


図8. ディレーティング
(4チャンネル並列化、 $V_{IN} = 5V$ 、 $V_{OUT} = 0.5V$ 、DC3164A-B デモ・ボード)

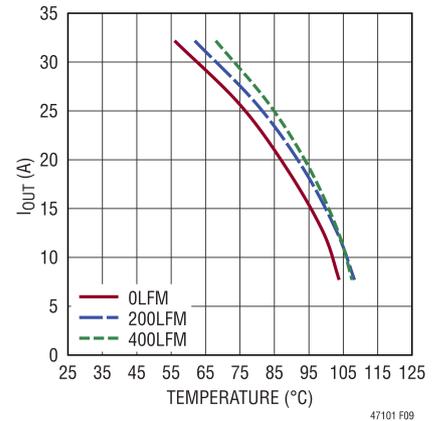


図9. ディレーティング
(4チャンネル並列、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 0.8V$ 、DC3164A-B デモ・ボード)

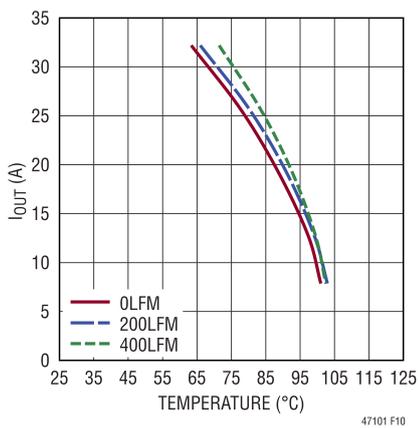


図10. ディレーティング
(4チャンネル並列、 $V_{IN} = 5V$ 、 $V_{OUT} = 0.8V$ 、DC3164A-B デモ・ボード)

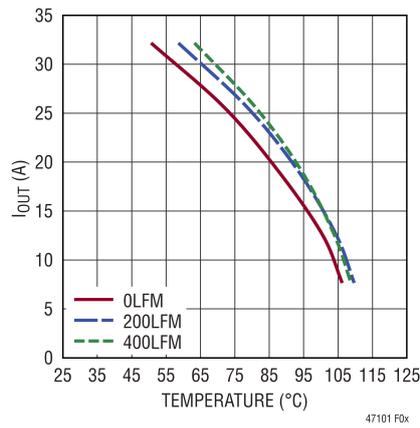


図11. ディレーティング
(4チャンネル並列、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1V$ 、DC3164A-B デモ・ボード)

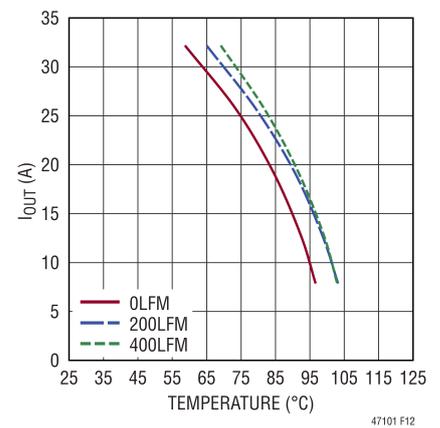


図12. ディレーティング
(4チャンネル並列、 $V_{IN} = 5V$ 、 $V_{OUT} = 1V$ 、DC3164A-B デモ・ボード)

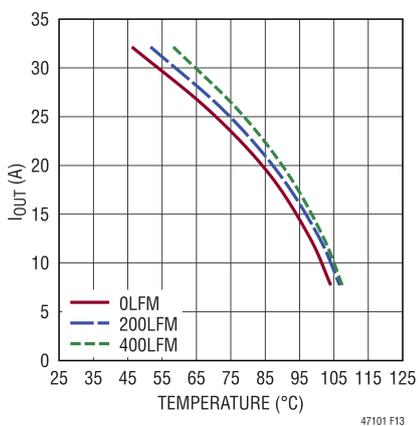


図13. ディレーティング
(4チャンネル並列、 $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.2V$ 、DC3164A-B デモ・ボード)

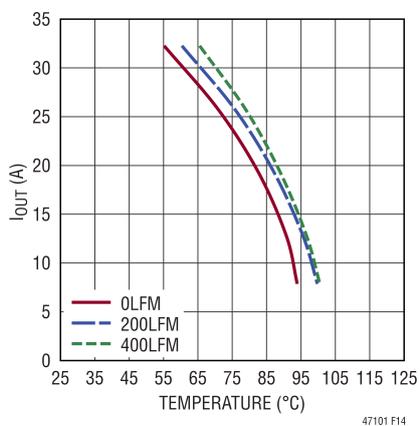


図14. ディレーティング
(4チャンネル並列、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.2V$ 、DC3164A-B デモ・ボード)

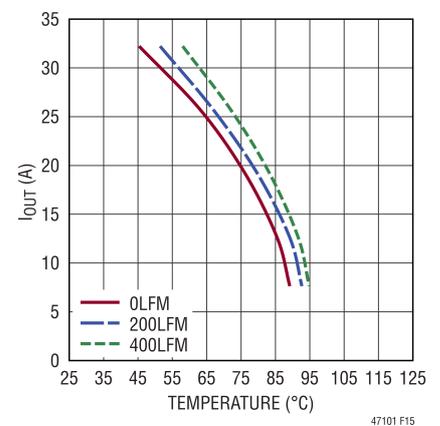


図15. ディレーティング
(4チャンネル並列、 $V_{IN} = 5V$ 、 $V_{OUT} = 1.5V$ 、DC3164A-B デモ・ボード)

アプリケーション情報

表 5. 0.5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 7, Figure 8	3.3, 5	Figure 5, Figure 6	0	None	11
Figure 7, Figure 8	3.3, 5	Figure 5, Figure 6	200	None	9
Figure 7, Figure 8	3.3, 5	Figure 5, Figure 6	400	None	10

表 6. 0.8V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 9, Figure 10	3.3, 5	Figure 5, Figure 6	0	None	14
Figure 9, Figure 10	3.3, 5	Figure 5, Figure 6	200	None	10
Figure 9, Figure 10	3.3, 5	Figure 5, Figure 6	400	None	11

表 7. 1.0V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 11, Figure 12	3.3, 5	Figure 5, Figure 6	0	None	12
Figure 11, Figure 12	3.3, 5	Figure 5, Figure 6	200	None	9
Figure 11, Figure 12	3.3, 5	Figure 5, Figure 6	400	None	9

表 8. 1.2V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 13, Figure 14	3.3, 5	Figure 5, Figure 6	0	None	12
Figure 13, Figure 14	3.3, 5	Figure 5, Figure 6	200	None	9
Figure 13, Figure 14	3.3, 5	Figure 5, Figure 6	400	None	9

表 9. 1.5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 15	5	Figure 5, Figure 6	0	None	12
Figure 15	5	Figure 5, Figure 6	200	None	11
Figure 15	5	Figure 5, Figure 6	400	None	10

表 10. 出力電圧応答と部品の対応関係 (6A~8A の負荷ステップ時の代表的測定値、周波数 = 1.5MHz)

V _{IN} (V)	V _{OUT} (V)	C _{IN} CERAMIC (μF)	C _{OUT1,2,3,4} CERAMIC (μF)	C _{FF} (pF)	PEAK-PEAK DERIVATION (mV)	LOAD STEP (A)	LOAD STEP SLEW RATE (A/μs)	R _{FB} (kΩ)	COMPENSATION
2.5	0.5	22 × 2 + 47	22 + 47 + 100	68	42.2	2	2	Open	Module Internal Compensation
3.3	0.5	22 × 2 + 47	22 + 47 + 100	68	44.9	2	2	Open	Module Internal Compensation
5	0.5	22 × 2 + 47	22 + 47 + 100	68	48.9	2	2	Open	Module Internal Compensation
5.5	0.5	22 × 2 + 47	22 + 47 + 100	68	49.5	2	2	Open	Module Internal Compensation
2.5	0.8	22 × 2 + 47	22 + 47 + 100	68	54.9	2	2	16.5	Module Internal Compensation
3.3	0.8	22 × 2 + 47	22 + 47 + 100	68	56.9	2	2	16.5	Module Internal Compensation
5	0.8	22 × 2 + 47	22 + 47 + 100	68	60.3	2	2	16.5	Module Internal Compensation
5.5	0.8	22 × 2 + 47	22 + 47 + 100	68	60.3	2	2	16.5	Module Internal Compensation
2.5	1	22 × 2 + 47	22 + 47 + 100	68	58.2	2	2	10	Module Internal Compensation
3.3	1	22 × 2 + 47	22 + 47 + 100	68	59.6	2	2	10	Module Internal Compensation

アプリケーション情報

表 10. 出力電圧応答と部品の対応関係 (6A~8A の負荷ステップ時の代表的測定値、周波数 = 1.5MHz)

V_{IN} (V)	V_{OUT} (V)	C_{IN} CERAMIC (μ F)	$C_{OUT1,2,3,4}$ CERAMIC (μ F)	C_{FF} (pF)	PEAK-PEAK DERIVATION (mV)	LOAD STEP (A)	LOAD STEP SLEW RATE (A/ μ s)	R_{FB} (k Ω)	COMPENSATION
5	1	22 x 2 + 47	22 + 47 + 100	68	62.9	2	2	10	Module Internal Compensation
5.5	1	22 x 2 + 47	22 + 47 + 100	68	61.6	2	2	10	Module Internal Compensation
2.5	1.2	22 x 2 + 47	22 + 47 + 100	68	71.6	2	2	7.15	Module Internal Compensation
3.3	1.2	22 x 2 + 47	22 + 47 + 100	68	73	2	2	7.15	Module Internal Compensation
5	1.2	22 x 2 + 47	22 + 47 + 100	68	79	2	2	7.15	Module Internal Compensation
5.5	1.2	22 x 2 + 47	22 + 47 + 100	68	82	2	2	7.15	Module Internal Compensation
2.5	1.5	22 x 2 + 47	22 + 47 + 100	68	78	2	2	4.99	Module Internal Compensation
3.3	1.5	22 x 2 + 47	22 + 47 + 100	68	80	2	2	4.99	Module Internal Compensation
5	1.5	22 x 2 + 47	22 + 47 + 100	68	90	2	2	4.99	Module Internal Compensation
5.5	1.5	22 x 2 + 47	22 + 47 + 100	68	90	2	2	4.99	Module Internal Compensation

安全に関する考慮事項

LTM4710-1 モジュールの V_{IN} と V_{OUT} は、電氣的に絶縁されていません。また、内部ヒューズもありません。必要に応じて、最大入力電流の2倍の定格値を持つ低速溶断ヒューズを使って、各ユニットを致命的損傷から保護してください。デバイスは、サーマル・シャットダウンと過電流保護機能をサポートしています。

レイアウトのチェックリスト/例

LTM4710-1 は高度に集積化されているので、PCB 基板のレイアウトが極めて容易です。ただし、電氣的性能と熱的性能を最適化するには、レイアウト上の配慮がある程度必要になります。

- V_{IN} 、GND および V_{OUT} を含む大電流パスでは、PCB の銅箔面積を広くします。これは、PCB の導通損失と熱ストレスを最小限に抑える助けとなります。
- 高周波ノイズを最小限に抑えるため、高周波の入出力セラミック・コンデンサを V_{IN} ピン、GND ピンおよび V_{OUT} ピンの近くに配置します。
- ユニットの下方には専用の電源グラウンド層を配置します。
- ビアの伝導損失を最小限に抑えると共にモジュールの熱応力を軽減するため、最上層と他の電力層の間には複数のビアを使用してください。

- 充填やメッキが施されていない限り、パッド上に直接ビアを置かないでください。
- 信号ピンに接続されている部品には、他とは別の AGND 用グラウンド銅箔領域を使用します。図 17 の AGND を参照してください。
- モジュールを並列して使用する場合、 V_{OUT} ピン、FB ピン、および COMP ピンを互いに接続してください。内側の層を使用してこれらのピンを互いに短い距離で接続します。各 IC の温度を個別にモニタリングする場合、SSTT ピンは相互接続しないでください。
- モニタリングのため、信号ピンからテスト・ポイントを引き出します。
- ハンダ・マスク定義のピン・パッドを用いることを推奨します。

推奨レイアウトの例を図 16 に示します。

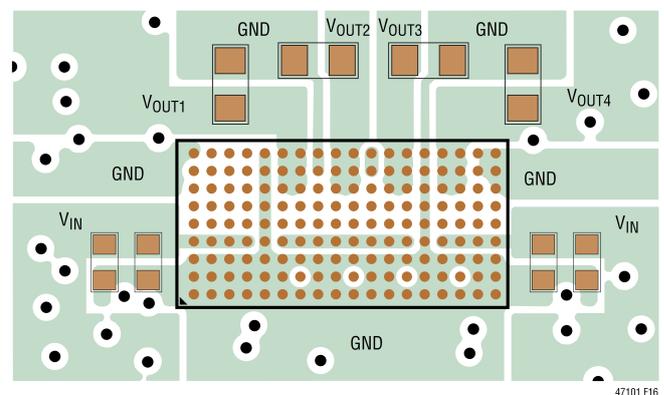
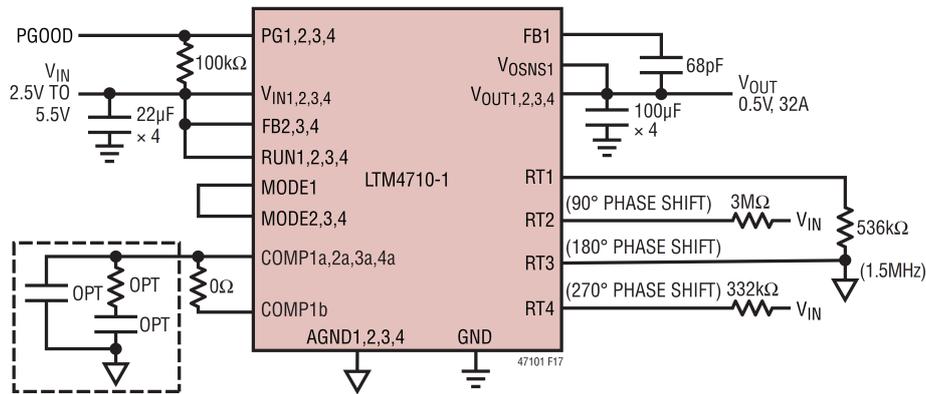


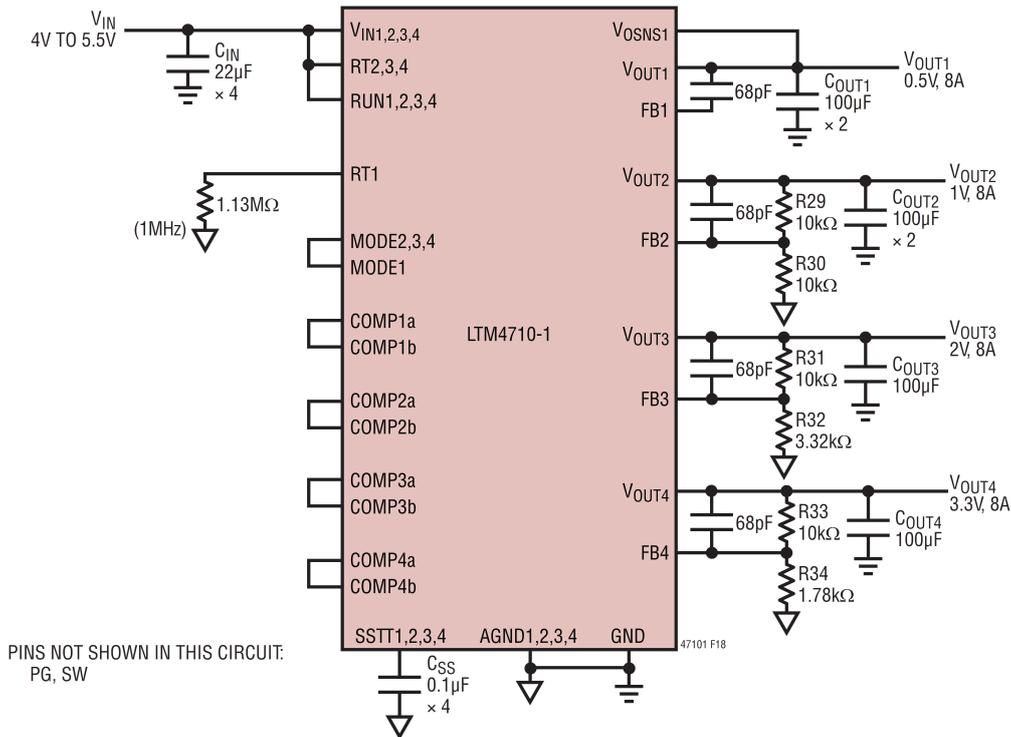
図 16. 推奨される PCB レイアウト

標準的応用例



PINS NOT SHOWN IN THIS CIRCUIT: SST1, SW

図 17. 並列単一出力、32A DC/DC μModuleレギュレータ



PINS NOT SHOWN IN THIS CIRCUIT:
PG, SW

図 18. 4V~5.5V 入力、0.5V 8A、1V 8A、2V 8A、3.3V 8A 出力、スイッチング周波数同期

標準的応用例

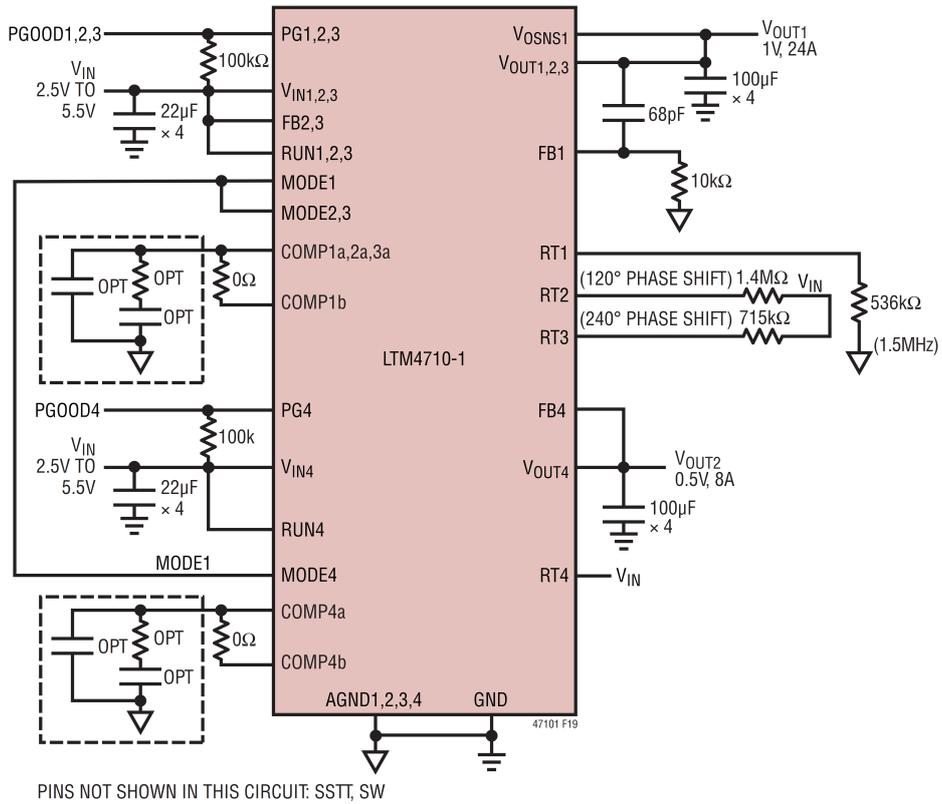


図 19. 2.5V~5.5V 入力、1V 24A、0.5V 8A 出力

パッケージのピン配置の説明

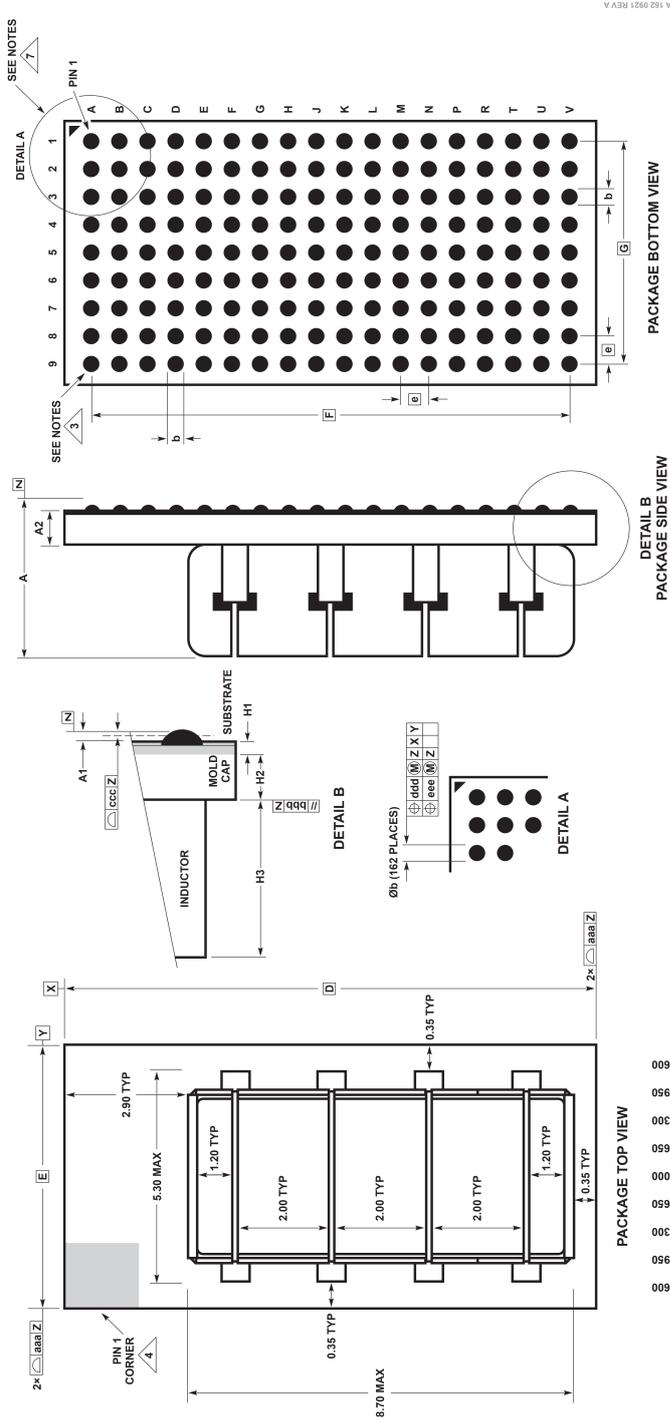


μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

PIN	PIN NAME	PIN	PIN NAME	PIN	PIN NAME	PIN	PIN NAME	PIN	PIN NAME	PIN	PIN NAME
A9	GND	B9	NC	C9	NC	D9	V _{IN1}	E9	GND	F9	V _{OUT1}
A8	NC	B8	NC	C8	NC	D8	AGND1	E8	GND	F8	V _{OUT1}
A7	NC	B7	NC	C7	NC	D7	V _{OSMS1}	E7	GND	F7	V _{OUT1}
A6	FB1	B6	COMP1b	C6	COMP1a	D6	RT1	E6	GND	F6	FB2
A5	RUN1	B5	SSTT1	C5	PG1	D5	MODE1	E5	GND	F5	RUN2
A4	V _{IN1}	B4	V _{IN1}	C4	V _{IN1}	D4	V _{IN1}	E4	GND	F4	V _{IN2}
A3	GND	B3	GND	C3	GND	D3	GND	E3	GND	F3	GND
A2	GND	B2	GND	C2	GND	D2	GND	E2	GND	F2	GND
A1	GND	B1	GND	C1	GND	D1	GND	E1	GND	F1	GND
G9	V _{OUT1}	H9	GND	J9	V _{OUT2}	K9	V _{OUT2}	L9	GND	M9	V _{OUT3}
G8	V _{OUT1}	H8	GND	J8	V _{OUT2}	K8	V _{OUT2}	L8	GND	M8	V _{OUT3}
G7	V _{OUT1}	H7	AGND2	J7	V _{OUT2}	K7	V _{OUT2}	L7	AGND3	M7	V _{OUT3}
G6	COMP2b	H6	COMP2a	J6	RT2	K6	FB3	L6	COMP3b	M6	COMP3a
G5	SSTT2	H5	PG2	J5	MODE2	K5	RUN3	L5	SSTT3	M5	PG3
G4	V _{IN2}	H4	V _{IN2}	J4	V _{IN2}	K4	V _{IN3}	L4	V _{IN3}	M4	V _{IN3}
G3	GND	H3	GND	J3	GND	K3	GND	L3	GND	M3	GND
G2	SW1	H2	GND	J2	GND	K2	SW2	L2	GND	M2	GND
G1	GND	H1	GND	J1	GND	K1	GND	L1	GND	M1	GND
N9	V _{OUT3}	P9	GND	R9	V _{OUT4}	T9	V _{OUT4}	U9	GND	V9	GND
N8	V _{OUT3}	P8	GND	R8	V _{OUT4}	T8	V _{OUT4}	U8	GND	V8	GND
N7	V _{OUT3}	P7	GND	R7	V _{OUT4}	T7	V _{OUT4}	U7	AGND4	V7	GND
N6	RT3	P6	GND	R6	FB4	T6	COMP4b	U6	COMP4a	V6	RT4
N5	MODE3	P5	GND	R5	RUN4	T5	SSTT4	U5	PG4	V5	MODE4
N4	V _{IN3}	P4	GND	R4	V _{IN4}	T4	V _{IN4}	U4	V _{IN4}	V4	V _{IN4}
N3	GND	P3	GND	R3	GND	T3	GND	U3	GND	V3	GND
N2	SW3	P2	GND	R2	GND	T2	SW4	U2	GND	V2	GND
N1	GND	P1	GND	R1	GND	T1	GND	U1	GND	V1	GND

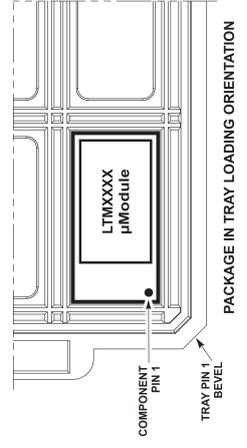
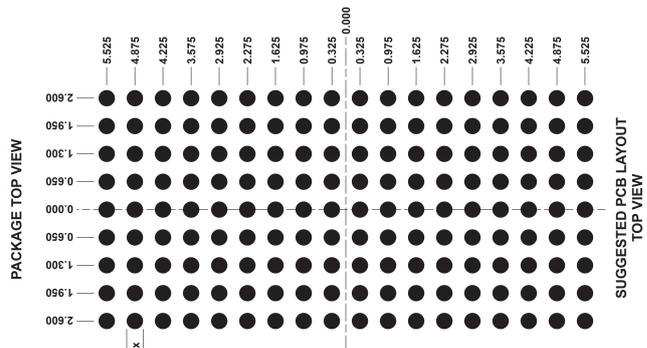
パッケージの説明

LGA Package
162-Lead (6mm x 12mm x 3.54mm)
 (Reference DWG# 05-08-7101 Rev A)



- NOTES:**
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. LAND DESIGNATION PER JEPC95
 4. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM - Z - IS SEATING PLANE
 6. PACKAGE ROW AND COLUMN LABELING MAY VARY AMONG μ Module PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY

SYMBOL	DIMENSIONS		NOTES
	MIN	NOM	
A	3.21	3.54	3.87
A1	0.86	0.95	1.04
A2	0.32	0.35	0.38
D	12.00		
E	6.00		
F	11.05		
G	5.20		
H1	0.25 REF		
H2	0.70 REF		
H3	2.30	2.525	2.75
aaa	0.15		
bbb	0.10		
ccc	0.20		
ddd	0.25		
eee	0.10		

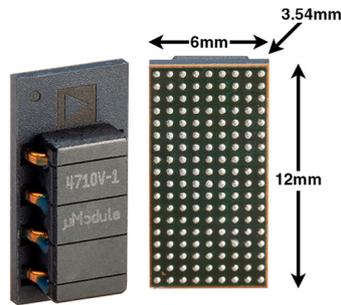


改訂履歴

版数	改訂日	説明	改訂ページ
0	07/23	初版発行	—

パッケージ写真

製品マーキングはインク・マーキングまたはレーザ・マーキングです。



設計リソース

SUBJECT	DESCRIPTION	
μModule Design and Manufacturing Resources	Design: <ul style="list-style-type: none"> • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools 	Manufacturing: <ul style="list-style-type: none"> • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability
μModule Regulator Products Search	1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table. <div style="border: 1px solid #ccc; padding: 5px; margin-top: 10px;"> <p>Quick Power Search</p> <p>INPUT $V_{IN}(\text{Min})$ <input type="text"/> V $V_{IN}(\text{Max})$ <input type="text"/> V</p> <p>OUTPUT V_{OUT} <input type="text"/> V I_{OUT} <input type="text"/> A</p> <p>FEATURES <input type="checkbox"/> Low EMI <input type="checkbox"/> Ultrathin <input type="checkbox"/> Internal Heat Sink</p> <p style="text-align: center;"><input type="button" value="Multiple Outputs"/> <input type="button" value="Search"/></p> </div>	
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.	

関連製品

製品番号	概要	注釈
LTM4691	低 V_{IN} 、超薄型、デュアル2AのμModuleレギュレータ	$2.25V \leq V_{IN} \leq 3.6V$, $0.5V \leq V_{OUT} \leq 2.5V$, 3mm × 4mm × 1.18mm LGA, 3mm × 4mm × 1.48mm BGA
LTM4693	低 V_{IN} 、超薄型、2Aの昇降圧μModuleレギュレータ	$2.6V \leq V_{IN} \leq 5.5V$, $1.8V \leq V_{OUT} \leq 5.5V$, 3.5mm × 4mm × 1.25mm LGA
LTM4663	超薄型、1.5AのμModule TEC コントローラ	$2.7V \leq V_{IN} \leq 5.5V$, 3.5mm × 4mm × 1.3mm LGA
LTM4658	低 V_{IN} 、10AのμModuleレギュレータ	$2.25V \leq V_{IN} \leq 5.5V$, $0.5V \leq V_{OUT} \leq V_{IN}$, 4mm × 4mm × 4.32mm LGA
LTM4670	低 V_{IN} 、クワッド10AのμModuleレギュレータ	$2.25V \leq V_{IN} \leq 5.5V$, $0.5V \leq V_{OUT} \leq V_{IN}$, 7.5mm × 15mm × 4.65mm BGA
LTM4611	超低 V_{IN} 、15AのμModuleレギュレータ	$1.5V \leq V_{IN} \leq 5.5V$, $0.8V \leq V_{OUT} \leq 5V$, 15mm × 15mm × 4.32mm LGA
LTM4643	低 V_{IN} (外部バイアス電圧使用)、クワッド3AのμModuleレギュレータ	$2.375V \leq V_{IN} \leq 20V$, $0.6V \leq V_{OUT} \leq 3.3V$, 9mm × 15mm × 1.82mm LGA, 9mm × 15mm × 2.42mm BGA
LTM4702	16 V_{IN} 、8A、超低ノイズの Silent Switcher μModuleレギュレータ	$3V \leq V_{IN} \leq 16V$, $0.3V \leq V_{OUT} \leq 5.7V$, 6.25mm × 6.25mm × 5.07mm BGA
LTM8060	構成設定可能な3A出力アレイを備えたクワッド40 V_{IN} の Silent Switcher μModuleレギュレータ	$3V \leq V_{IN} \leq 40V$, $0.8V \leq V_{OUT} \leq 8V$, 11.9mm × 16mm × 3.32mm BGA
LTM8051	構成設定可能な1.2A出力アレイを備えたクワッド40 V_{IN} の Silent Switcher μModuleレギュレータ	$3V \leq V_{IN} \leq 40V$, $0.8V \leq V_{OUT} \leq 8V$, 6.25mm × 11.25mm × 2.22mm BGA