

10A 出力アレイを構成可能な 低 V_{IN} クワッド μ Module レギュレータ

特長

- クワッド出力降圧 μ Module レギュレータ、1出力あたり 10A
- 入力電圧範囲: 2.25V~5.5V
- 出力電圧範囲: 0.5V~ V_{IN}
- 1チャンネルあたり 10A DC の出力電流
- 超低 EMI ノイズ
- 最大 40A の出力電流まで並列接続可能
- パルススキッピング・モード / 強制連続モードを選択可能
- 出力電圧トラッキング
- ダイ温度のモニタ出力
- 外部周波数同期
- パワー・グッド・インジケータ
- 過電圧、過電流および過熱保護
- 7.5mm × 15mm × 4.65mm BGA パッケージ

アプリケーション

- テレコム、ネットワークおよび産業用機器
- マルチレール・ポイントオブロード・レギュレーション
- FPGA、DSP および ASIC アプリケーション

全ての登録商標および商標の所有権は、それぞれの所有者に帰属します。

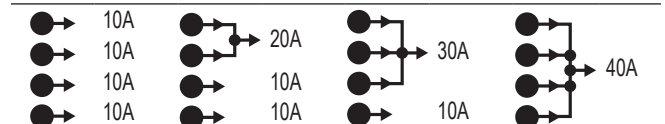
概要

LTM4670 は、クワッド DC/DC 降圧 μ Module[®] (マイクロ・モジュール) レギュレータで、1出力あたり 10A を提供します。アレイで並列接続して最大 40A を出力できます。パッケージにはスイッチング・コントローラ、パワー MOSFET、インダクタ、および補助部品のすべてが内蔵されています。2.25V~5.5V の入力電圧範囲で動作し、各出力電圧範囲は 0.5V~ V_{IN} で、1個の外付け抵抗のみで設定可能です。高効率の設計がなされており、チャンネルあたり 10A の連続出力電流を供給します。少数の入出力コンデンサのみ、必要となります。

LTM4670 は、ホット・ループ・バイパス・コンデンサを内蔵した Silent Switcher^{®2} アーキテクチャを採用しており、低 EMI と高効率を実現します。デフォルト周波数は内部で 2MHz に設定されており、1MHz~2.6MHz の外部クロックと同期することも可能です。

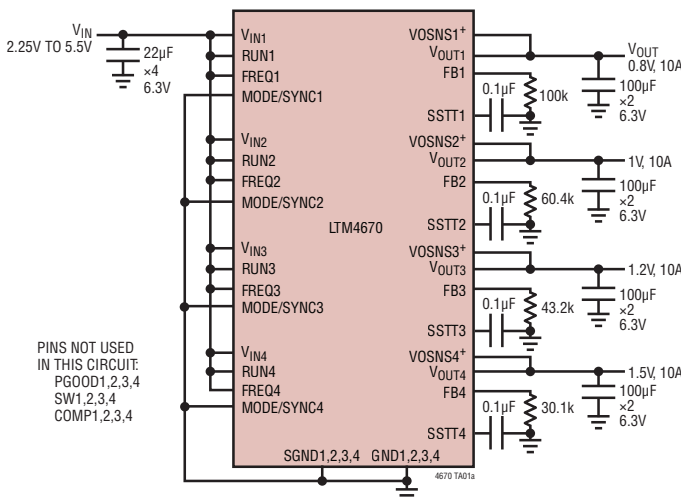
過電圧、過電流および過熱保護の故障保護機能が搭載されています。LTM4670 は鉛フリーで RoHS に準拠しています。

設定可能な出力アレイ

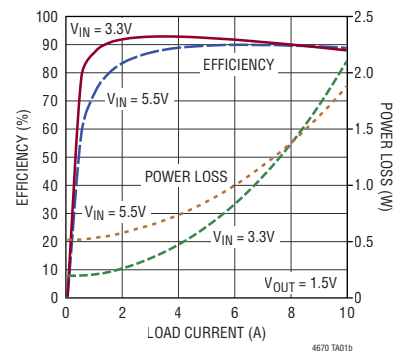


標準的応用例

クワッド出力、10A DC/DC μ Module レギュレータ



1.5V_{OUT} での効率および電力損失



LTM4670

絶対最大定格

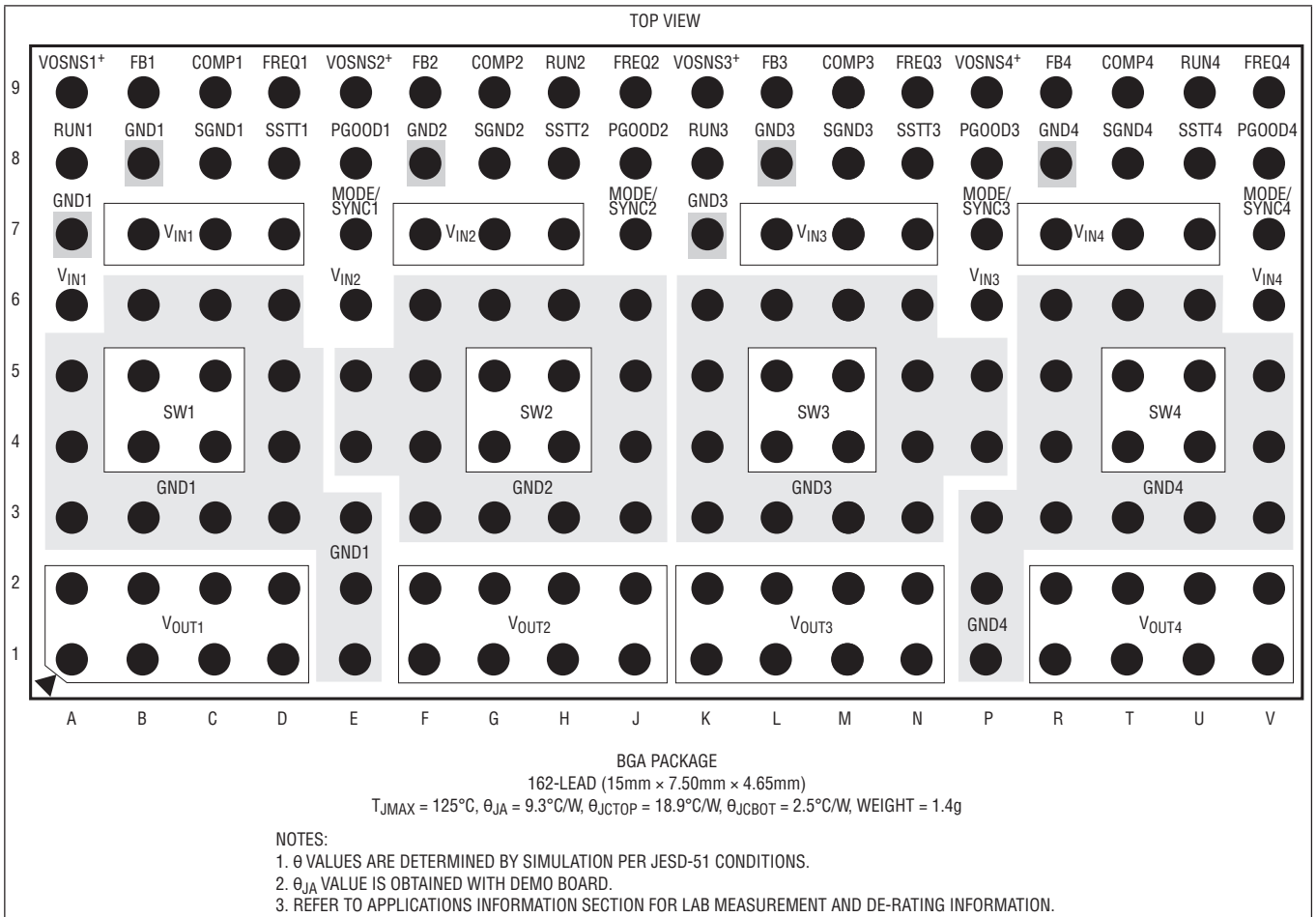
(Note 1)

V_{IN} (チャンネルごと) -0.3V~6V
 V_{OUT} 、 V_{OSNS}^+ (チャンネルごと) -0.3V~ V_{IN}
 RUN、COMP、SSTT、MODE/SYNC、FB、
 $FREQ$ 、 $PGOOD$ (チャンネルごと) -0.3V~ V_{IN}

動作ジャンクション温度 (Note 2) -40°C~125°C
 保存温度範囲 -55°C~125°C
 ハンダ・リフロー時の最大ボディ温度 245°C

ピン配置

(ピン機能、ピン配置の表を参照)



発注情報

製品番号	パッケージ・タイプ	ボール仕上げ	製品マーキング		MSL レーティング	温度範囲 (Note 2)
			デバイス	仕上げコード		
LTM4670EY#PBF	BGA	SAC305:RoHSII	LTM4670Y	e1	4	-40°C~125°C
LTM4670IY#PBF						

- デバイスの温度グレードは、出荷容器的ラベルに表示されています。
- パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609によります。
- LGAおよびBGAのパッケージ図面とトレイ図面
- この製品は裏面でのリフローは推奨されていません。
- この製品は湿度に敏感です。詳細については、[推奨されるLGAおよびBGAのPCBアセンブリおよび製造手順](#)を参照してください。

電氣的特性

●は、仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それ以外の仕様は、代表的なアプリケーションにおける $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 3.3\text{V}$ での値です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Per Channel							
V_{IN}	Input DC Voltage		●	2.25	5.5	V	
$V_{OUT(RANGE)}$	Output Voltage Range		●	0.5	5.5	V	
$V_{OUT(DC)}$	Output Voltage, Total Variation with Line and Load	MODE/SYNC = GND, FREQ = V_{IN} (Note 3)	●	1.485	1.515	V	
				1.474	1.526	V	
V_{IN_UVLO}	V_{IN} Undervoltage Lockout	V_{IN} Rising		2.0	2.1	2.2	V
$V_{IN_UVLO_HYS}$	V_{IN} Undervoltage Lockout Hysteresis			150		mV	
V_{RUN}	RUN Pin On-Threshold	V_{RUN} Rising		0.375	0.4	0.425	V
V_{RUN_HYS}	RUN Pin Hysteresis			60		mV	
I_{RUN}	RUN Pin Leakage Current	RUN = 0.4V			±20	nA	
$I_{Q(VIN)}$	Input Supply Bias Current			1.7		mA	
	Pulse-Skipping Mode	$V_{OUT} = 1.5\text{V}$, MODE/SYNC = FREQ = V_{IN}		70		mA	
	Forced Continuous Mode	$V_{OUT} = 1.5\text{V}$, MODE/SYNC = 0V, FREQ = V_{IN}		2		μA	
	Shutdown	RUN = 0V (Note 4)					
$I_{OUT(DC)}$	Output Continuous Current Range	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 3)			10	A	
$\checkmark V_{OUT(LINE)}/V_{OUT}$	Line Regulation Accuracy	$V_{OUT} = 1.5\text{V}$, $V_{IN} = 2.5\text{V}$ to 5V, $I_{OUT} = 0\text{A}$			0.3	%/V	
$\checkmark V_{OUT(LOAD)}/V_{OUT}$	Load Regulation Accuracy	$V_{OUT} = 1.5\text{V}$, $I_{OUT} = 0\text{A}$ to 10A (Note 3)		0.5	1.75	%	
		$V_{OUT} = 1.5\text{V}$, $I_{OUT} = 0\text{A}$ to 8A	●	0.2	1.5	%	
$V_{OUT(AC)}$	Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F} + 3 \times 22\mu\text{F}$ $V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 4)		12		mV	
$\checkmark V_{OUT(START)}$	Turn-On Overshoot	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F} + 3 \times 22\mu\text{F}$, $V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 4)		5		mV	
t_{START}	Turn-On Time	$C_{OUT} = 100\mu\text{F} + 3 \times 22\mu\text{F}$, No Load, SSTT = 0.1μF, $V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 4)		4.5		ms	
I_{SSTT}	Track Pin Soft-Start Pull-Up Current	$V_{SSTT} = 0.5\text{V}$		8	11	14	μA
V_{TEMP} Monitor at 25°C (V_{SSTT})				1.2		V	
$\checkmark V_{OUTLS}$	Peak Deviation for Dynamic Load	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 100\mu\text{F} + 3 \times 22\mu\text{F}$, $V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 4)		167		mV	
t_{SETTLE}	Settling Time for Dynamic Load Step	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 100\mu\text{F} + 3 \times 22\mu\text{F}$, $V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$ (Note 4)		15		μs	
I_{OUTPK}	Output Current Limit	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 1.5\text{V}$		17		A	
V_{FB}	Voltage at V_{FB} Pin	$I_{OUT} = 0\text{A}$, $V_{OUT} = 1.5\text{V}$	●	0.495	0.50	0.505	V
I_{FB}	Current at V_{FB} Pin				±20	nA	
$t_{ON(MIN)}$	Minimum On-Time	(Note 4)		45		ns	

電气的特性

●は、仕様規定された内部動作温度範囲に適用される仕様を示します (Note 2)。それ以外の仕様は、代表的なアプリケーションにおける $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 3.3\text{V}$ での値です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PGOOD Threshold/HYS	PGOOD Rising Threshold	As a Percentage of Regulated V_{OUT} (Note 4)		98		%
	PGOOD Hysteresis			1.2		%
	Overvoltage Rising Threshold		105	110	115	%
	Overvoltage Hysteresis		1	2.5	3.5	%
f_{OSC}	Oscillator Frequency	$FREQ = V_{IN}$	1.8	2	2.2	MHz
MODE/SYNC_RANGE	Sync Frequency Range	$FREQ = V_{IN}$	1.2		2.6	MHz
MODE/SYNC_LEVEL	Clock Level High on SYNC		1.2			V
	Clock Level Low on SYNC				0.4	V

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4670 は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4670E は、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲で性能仕様を満たすよう設計されています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。LTM4658I は $-40^\circ\text{C} \sim 125^\circ\text{C}$ の全内部動作温度範囲で

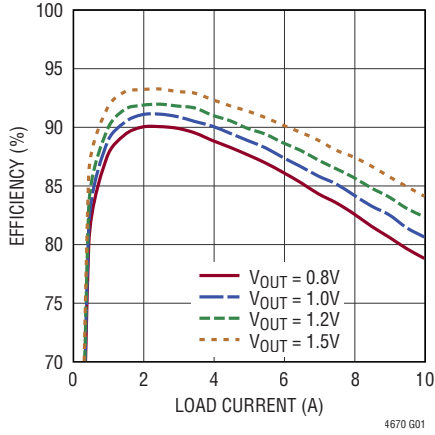
仕様を満たすよう設計されています。これらの仕様と一致した最高周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因に加え、個々の動作条件によって決定されることに留意してください。

Note 3: 異なる V_{IN} 、 V_{OUT} 、および T_A については出力電流デレーティング曲線を参照してください。部品をデモ・ボードにハンダ付けすると負荷レギュレーションの結果が良くなる場合がありますが、これは試験用ハードウェアの接触抵抗およびインダクタンスに起因します。

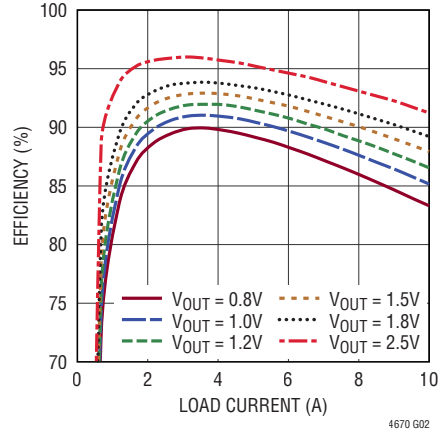
Note 4: 設計により性能を確保。

代表的な性能特性

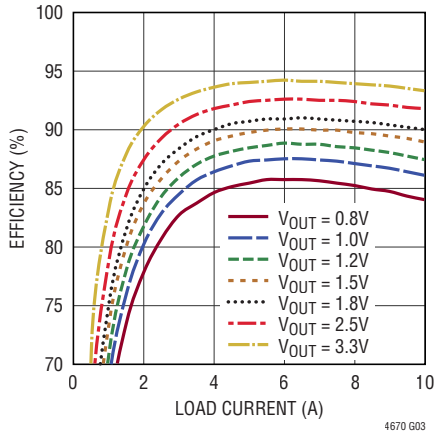
効率と負荷電流の関係、
 $V_{IN} = 2.5V$



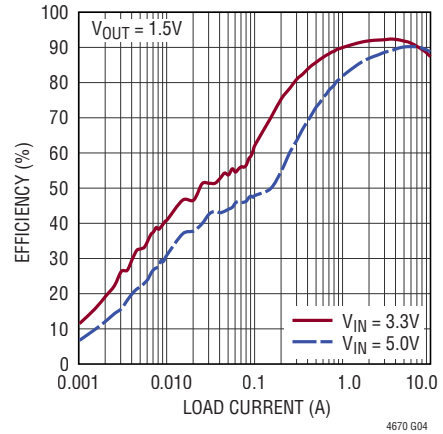
効率と負荷電流の関係、
 $V_{IN} = 3.3V$



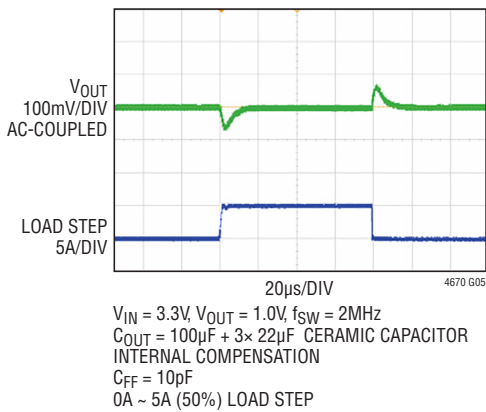
効率と負荷電流の関係、
 $V_{IN} = 5.5V$



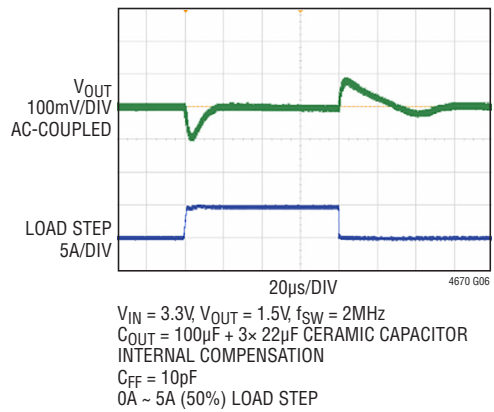
パルススキッピング・モードの効率



1.0V 出力の過渡応答

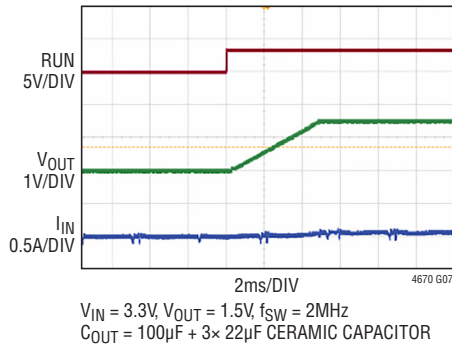


1.5V 出力の過渡応答

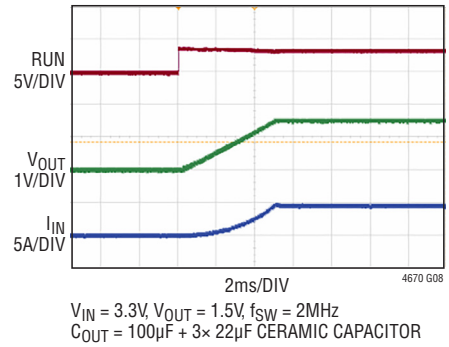


代表的な性能特性

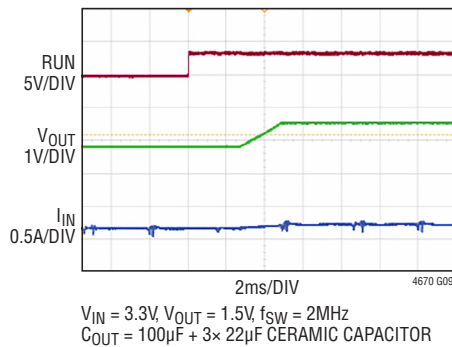
無負荷時のスタートアップ時



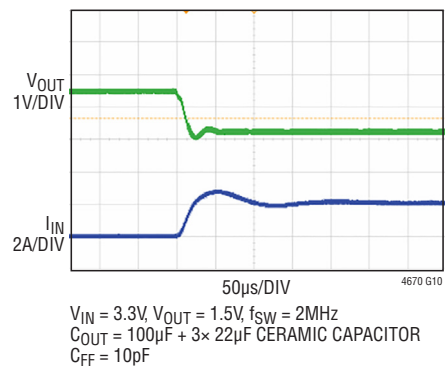
10A 負荷のスタートアップ



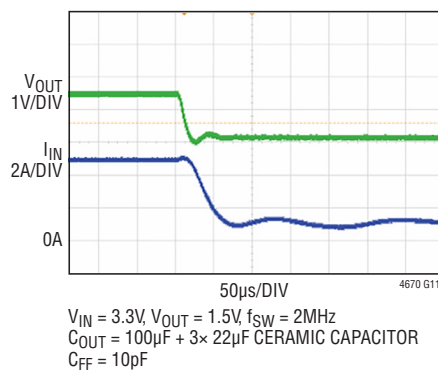
プリバイアスされた出力へのスタートアップ



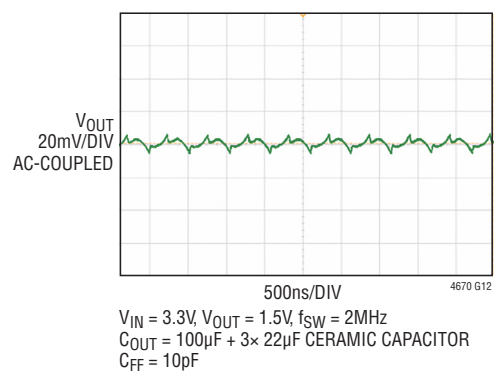
無負荷電流状態での短絡



10A 負荷状態での短絡



定常状態における電圧リップル



ピン機能

VOUT1 (A1, A2, B1, B2, C1, C2, D1, D2)、VOUT2 (F1, F2, G1, G2, H1, H2, J1, J2)、VOUT3 (K1, K2, L1, L2, M1, M2, N1, N2)、VOUT4 (R1, R2, T1, T2, U1, U2, V1, V2) : 各スイッチング・モード・レギュレータの電力出力ピン。これらのピンとGNDピンの間に出力負荷を印加します。これらのピンとGNDピンの間には、出力デカップリング・コンデンサを直接接続することを推奨します。

GND1 (A3-A5, A7, B3, B6, B8, C3, C6, D3-D6, E1-E3)、GND2 (E4, E5, F3-F6, F8, G3, G6, H3, H6, J3-J6)、GND3 (K3-K7, L3, L6, L8, M3, M6, N3-N6, P4, P5)、GND4 (P1-P3, R3-R6, R8, T3, T6, U3, U6, V3-V5) : 入力リターンおよび出力リターンの電源グラウンド・ピン。

RUN1 (A8)、RUN2 (H9)、RUN3 (K8)、RUN4 (U9) : 各RUNピンには、ヒステリシス付きの高精度イネーブル閾値があります。外付けの抵抗分圧器をV_{IN}または別の電源に接続し、チャンネルがシャットダウンする閾値を設定します。高精度の閾値が不要な場合は、このピンをV_{IN}に直接接続します。RUNピンがローの場合、チャンネルは低電流シャットダウン・モードに入り、すべての内部回路がディスエーブルされます。

VOSNS1⁺ (A9)、VOSNS2⁺ (E9)、VOSNS3⁺ (K9)、VOSNS4⁺ (P9) : 各スイッチング・モード・レギュレータ・チャンネルの出力電圧検出ピン。このピンは内部で60.4kの高精度抵抗を介してFBピンに接続されているため、[図1 \(ブロック図\)](#)に示すように1個のR_{BOT}のみで出力電圧を設定できます。VOSNS⁺ピンがオープンに保持されている場合は、FBピンの外付け分圧器を使用することで出力電圧を設定できます。マルチフェーズのアプリケーションでは、スレーブ・チャンネルのVOSNS⁺ピンはオープンの状態に保つ必要があるため、FBピンをハイに接続します。(詳細については[アプリケーション情報の](#)セクションを参照してください。)

SW1 (B4, B5, C4, C5)、SW2 (G4, G5, H4, H5)、SW3 (L4, L5, M4, M5)、SW4 (T4, T5, U4, U5) : MOSFETからインダクタへの内部高電流パスを提供するために使用するスイッチング・ノード。厚い銅箔面に接続するか、フロート状態にします。

V_{IN1} (B7, C7, D7)、V_{IN2} (F7, G7, H7)、V_{IN3} (L7, M7, N7)、V_{IN4} (R7, T7, U7) : 電力入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。V_{IN}ピンとGNDピンの間には、入力デカップリング・コンデンサを直接接続することを推奨します。

FB1 (B9)、FB2 (F9)、FB3 (L9)、FB4 (R9) : エラー・アンプの負入力。LTM4670はFBピンとSGNDピンの間の電圧を500mVにレギュレーションします。このピンは、内部で60.4kの高精度抵抗を介してV_{OSNS+}ピンに接続されています。V_{FB}とSGNDの間に抵抗を追加することにより、様々な出力電圧を設定できます。PolyPhase[®]動作では、FBピンをV_{IN}に接続して、内部のエラー・アンプをディスエーブルしてください。詳細については[アプリケーション情報の](#)セクションを参照してください。

SGND1 (C8)、SGND2 (G8)、SGND3 (M8)、SGND4 (T8) : SGNDピンは、バンドギャップ電圧リファレンスなど、内部アナログ回路のグラウンド・リファレンスです。良好な負荷レギュレーションを実現するには、SGNDピンを負荷の出力コンデンサ(C_{OUT})の負端子に接続してください。大電流電源のグラウンド・リターン・パスにおける降下が補償されます。FB抵抗分圧器やソフトスタート・コンデンサなどのすべての信号コンポーネントは、SGNDノードを基準にする必要があります。SGNDノードはほとんど電流を流さないため、最小サイズのパターンで済みます。

COMP1 (C9)、COMP2 (G9)、COMP3 (M9)、COMP4 (T9) : スwitchング・モード・レギュレータ・チャンネルの電流制御閾値とエラー・アンプの補償点。電流コンパレータのトリップ閾値は、この電圧に線形比例します。並列動作ではこれらのCOMPピンを互いに接続してください。デバイスは内部で補償されています。

ピン機能

SSTT1 (D8)、SSTT2 (H8)、SSTT3 (N8)、SSTT4 (U8) : ソフトスタート、トラッキング、および温度モニタ・ピン。ソフトスタート・ピンの外付けコンデンサへ流れる内部 10 μ A 電流は、スタートアップ時における出力電圧の上昇率を設定します。SSTT が 0.5V を下回ると、V_{FB} ピンの電圧は SSTT ピンの電圧をトラッキングします。SSTT が 0.5V を上回ると、トラッキング機能は無効になり、内部リファレンスがエラー・アンプの制御を再開し、SSTT ピンはジャンクション温度を表す電圧にサーボ制御されます。シャットダウンおよび故障状態の間、SSTT ピンはグラウンドにプルダウンされます。

FREQ1 (D9)、FREQ2 (J9)、FREQ3 (N9)、FREQ4 (V9) : FREQ ピンは、AGND に接続した外付け抵抗で発振周波数を設定するか、マルチフェーズ動作の位相を設定するために使用します。(アプリケーション情報のマルチフェーズ動作のセクションを参照してください。)

MODE/SYNC1 (E7)、MODE/SYNC2 (J7)、MODE/SYNC3 (P7)、MODE/SYNC4 (V7) : MODE/SYNC ピンは、マルチフェーズ動作と外部クロックへの同期に使用します。動作モードに応じて、MODE/SYNC ピンは入力クロック・パルスを受け入れるか、動作周波数のクロック・パルスを出力します。(アプリケーション情報のマルチフェーズ動作のセクションを参照してください。) MODE/SYNC ピンは、動作モード(パルススキッピングまたは強制連続)の設定にも使用します。

PGOOD1 (E8)、PGOOD2 (J8)、PGOOD3 (P8)、PGOOD4 (V8) : スイッチング・モード・レギュレータ・チャンネルのオープンドレイン・ロジックの出力パワー・グッド。FB ピンの電圧が内部 0.5V リファレンスの -2%/+10% の範囲から外れると、PGOOD はグラウンドにプルダウンされます。

ブロック図

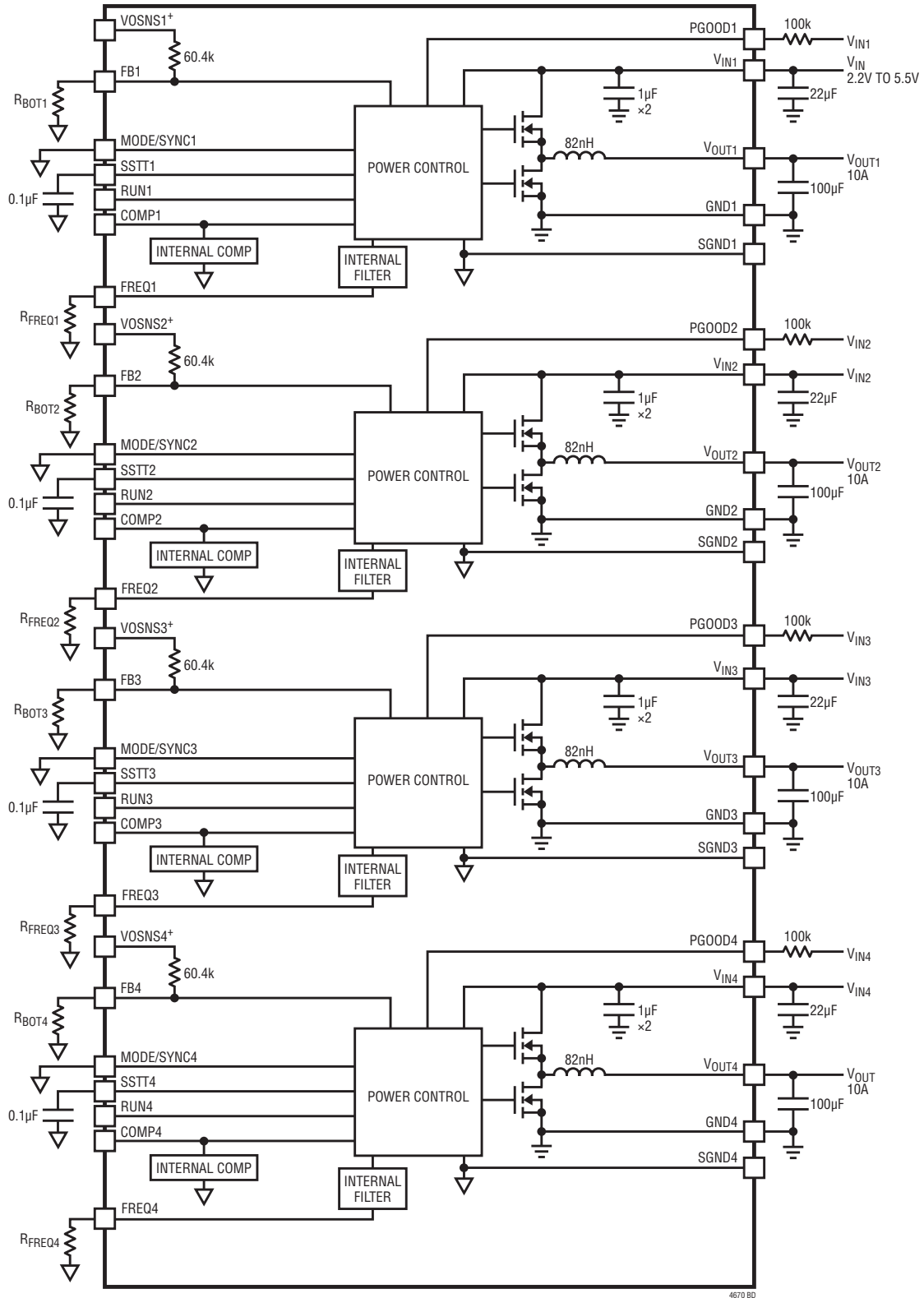


図1. LTM4670の簡略化したブロック図

デカップリングの条件 (1 チャンネルあたり)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C _{IN}	External Input Capacitor Requirement (V _{IN} = 2.25V to 5.5V, V _{OUT} = 1.5V)	I _{OUT} = 10A	22			μF
C _{OUT}	External Output Capacitor Requirement (V _{IN} = 2.25V to 5.5V, V _{OUT} = 1.5V)	I _{OUT} = 10A	100			μF

動作

LTM4670は、スタンダアロンで動作する、クワッド出力非絶縁型スイッチ・モードのDC/DC電源です。4個の独立したレギュレータを内蔵し、それぞれがわずかな個数の入出力コンデンサを使用するだけで最大10Aの連続電流を出力することができます。各レギュレータは、2.25V～5.5Vの入力電圧範囲から、1個の抵抗を使用して0.5V～V_{IN}の間で設定された高精度のレギュレーション電圧を出力します。代表的なアプリケーション回路図をフロント・ページに示します。

LTM4670は、固定周波数のピーク電流モード制御降圧レギュレータを4個、パワーMOSFET、インダクタ、およびその他のサポート用ディスクリート部品を内蔵しています。更に、第二世代のSilent Switcher[®] (サイレント・スイッチャ) 技術を採用しています。この技術は、高スイッチング周波数で高効率を実現する高速スイッチング・エッジを可能にし、同時に良好なEMI性能を実現します。V_{IN}のセラミック・コンデンサがすべての高速AC電流ループを小さく抑えることで、EMI性能が向上しています。

電流モード制御では、サイクルごとに高速の電流制限を行うことで過電流保護を実現します。内蔵の帰還ループ補償により、すべてのセラミック出力コンデンサを含む幅広い出力コンデンサを使用することで十分な安定性マージンと優れたトランジェント性能が得られます。

LTM4670のデフォルトのスイッチング周波数は2MHzです。外部クロックと同期して1.2MHz～2.6MHzにすることも可能です。

出力電圧がレギュレーション・ポイントの-2/+10%の範囲内にある場合は、内部の低電圧コンパレータと過電圧コンパレータがオープンドレインのPGOOD出力をローにします。また、過電圧状態のときは、上側MOSFETがオフになり、下側MOSFETがオンになります。

高電力を必要とするシステムでは、同期およびフェーズ・モード制御を使用することで容易にマルチフェーズ動作を行うことができます。

RUNピンをGNDに接続するとレギュレータはシャットダウン状態になり、パワーMOSFETの両方と内部制御回路のほとんどがオフになります。軽負荷電流の場合は、パルススキッピング・モード動作が有効になることで高い効率を得られます。出力リップルを小さくしたい場合は、強制連続モードを選択できます。

SSTTピンは、電源トラッキング、ソフトスタートの設定、およびダイ温度のモニタに使用します。[アプリケーション情報のセクション](#)を参照してください。

アプリケーション情報

代表的なLTM4670アプリケーション回路をフロント・ページに示します。外付け部品の選択は、主に入力電圧、出力電圧および最大負荷電流によって決定します。特定のアプリケーションに対する外部コンデンサの条件については、表8を参照してください。

V_{IN}からV_{OUT}への降圧比

与えられた入力電圧から得られるV_{OUT}の最小降圧比は、最小オン時間によって制限されます。

コンバータの最小デューティ・サイクルはこの最小オン時間の制約によって決まり、式1を使用して計算できます。

$$D_{(\text{MIN})} = t_{\text{ON}(\text{MIN})} \cdot f_{\text{SW}} \quad (1)$$

ここで、t_{ON(MIN)}が最小オン時間で、LTM4670の代表値は45nsです。最小デューティ・サイクルを超えるまれなケースでは、出力電圧のレギュレーションは維持されますがスイッチング周波数が設定値より低くなり、低いスイッチング周波数を使用することで高いV_{IN}/V_{OUT}比に対応します。

LTM4670は100%の最大デューティ・サイクルに対応できるので、V_{IN}とV_{OUT}の間のドロップアウト電圧は、上側スイッチのR_{DS(ON)}、インダクタのDCR、および負荷電流によって制限されます。

出力電圧の設定

PWMコントローラは、0.5Vリファレンス電圧を内蔵しています。図1(ブロック図)に示すように、各レギュレータ・チャンネルは、60.4kの内部帰還抵抗によってV_{FB}からV_{OSNS}⁺ピンへ接続され、直接V_{OUT}に接続されます。FBピンとSGNDピンの間に抵抗R_{BOT}を追加することで出力電圧を設定します(式2)。

$$V_{\text{OUT}} = 0.5V \cdot \frac{60.4k + R_{\text{BOT}}}{R_{\text{BOT}}} \quad (2)$$

出力電圧の精度を維持するには1%抵抗の使用を推奨します。

入力デカップリング・コンデンサ

LTM4670モジュールは、低ACインピーダンスのDC電源に接続してください。それぞれのチャンネルにおいて、RMSリップル電流をデカップリングするために22μFの入力セラミック・コンデンサを1個、できるだけピンの近くに配置すること

を推奨します。バルクの入力コンデンサは、長い誘導性のリードやパターン、または電源の容量(キャパシタンス)不足によって入力ソース・インピーダンスが損なわれる場合のみ必要になります。バルク・コンデンサには、アルミ電解コンデンサやポリマー・コンデンサを使用できます。

インダクタ電流リップルを考えなければ、入力コンデンサのRMS電流は式3で概算できます。

$$I_{\text{CIN(RMS)}} = \frac{I_{\text{OUT(MAX)}}}{\eta\%} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで、η%は電源モジュールの推定効率、Dはデューティ・サイクルです。

出力デカップリング・コンデンサ

高周波数、広帯域に最適化された設計がなされているので、LTM4670で低出力電圧リップルと優れた過渡応答を得るために必要なのは100μFのセラミック・コンデンサ1個のみです。出力リップルや動的トランジェント・スパイクを更に削減する場合は、システム設計時に出力フィルタを追加することが必要となる場合があります。表8に、5A(50%)の負荷ステップ・トランジェントが発生した場合に電圧低下やオーバーシュートを最小限に抑えるための、様々な出力電圧と出力コンデンサの組み合わせを示します。

マルチフェーズ動作では、位相数に応じて実効出力リップルが減少します。アナログ・デバイセズのアプリケーション・ノート77では、このノイズ低減と出力リップル電流の相殺の関係について解説していますが、出力容量はそれ以上に安定性と過渡応答を決定する要素です。オンラインでダウンロードできるアナログ・デバイセズのLTpowerCAD[®]設計ツールを使用すると、出力リップル、安定性、過渡応答の解析や、実装される位相数をN倍に増加させたときの出力リップル減少の計算ができます。

動作モード

MODE/SYNCピンは、スイッチング周波数の外部クロックへの同期、クロック出力、またはPWMモードの設定に使用します。PWMモードの動作は、パルススキッピングまたは強制連続のいずれかです。表1を参照してください。

LTM4670は、低ノイズの強制連続モード、または軽負荷時に高効率を得られるパルススキッピング・モードで動作します。

アプリケーション情報

FREQピンとMODE/SYNCピンの両方を V_{IN} に接続すると、パルススキッピング・モードで動作します。このモードでは、出力電圧をレギュレーションするために、軽負荷時にはスイッチング・サイクルをスキップします。同期中のデフォルトは強制連続モードです。

表1. LTM4670 シングル・フェーズ構成

FREQ PIN CONNECTION	MODE/SYNC PIN CONNECTION	MODE OF OPERATION	SWITCHING FREQUENCY
V_{IN}	Clock Input	Forced Continuous	External Clock
V_{IN}	AGND	Forced Continuous	2MHz Default
V_{IN}	V_{IN}	Pulse-Skipping	2MHz Default
Resistor to AGND	Clock Output	Forced Continuous	FREQ Programmed

動作周波数の設定

LTM4670は固定周波数のPWMアーキテクチャを使用しています。スイッチング周波数の設定には3つの方法があります。最初の方法は、FREQピンとグラウンドの間に抵抗(R_{FREQ})を接続する方法です。周波数は、1.2MHz～2.6MHzに設定できます。目的のスイッチング周波数に必要な R_{FREQ} の値を表2に示します。

目的のスイッチング周波数に必要な R_{FREQ} の抵抗値は式4を使用して計算します。

$$R_{FREQ} = 568 \cdot f_{sw}^{(-1.08)} \quad (4)$$

LTM4670のスイッチング周波数を設定する2番目の方法は、MODE/SYNCピンに外部周波数を印加してこれに内部PLL回路を同期させることです。同期周波数範囲は1.2MHz～2.6MHzです。LTM4670は、外部クロックに同期すると、強制連続モードで動作します。

LTM4670のスイッチング周波数を設定する3番目の方法は、公称2MHzの内部デフォルト・クロックを使用することです。ピン構成については表1を参照してください。

表3. LTM4670のマルチフェーズ構成

MASTER/SLAVE	FREQ PIN	FB PIN	MODE/SYNC Pin	SWITCHING FREQUENCY (fsw)
Master	V_{IN}	V_{OUT} Divider	Clock Input	External Clock/2MHz Default
Master	Resistor to AGND	V_{OUT} Divider	Clock Output	FREQ Programmed
Slave	V_{IN} Divider	V_{IN}	Clock Input	External Clock

表2. SW周波数と R_{FREQ} 値の関係

fsw (MHz)	R_{FREQ} (k Ω)
1	549
2	274
2.2	243
3.0	178

発振器の外部クロックへの同期

LTM4670のスイッチング周波数は、MODE/SYNCピンに外部クロックを接続してこれに内部PLL回路を同期させることで調整できます。同期周波数範囲は1.2MHz～2.6MHzです。LTM4670は、外部クロックに同期すると、強制連続モードで動作します。同期中、上側のパワー・スイッチのターンオンは外部周波数ソースの立上がりエッジにロックされます。スロープ補償は外部クロック周波数に合わせて自動的に調整されます。

スタートアップ時、LTM4670がMODE/SYNCに印加された外部クロックを認識する前に、LTM4670はデフォルトの周波数2MHzに切り替わります。外部から印加されたクロックを認識すると、スイッチング周波数はデフォルト周波数から印加周波数に徐々に移行します。外部クロックが除去されると、LTM4670はゆっくりとデフォルト周波数に戻ります。

同期するクロックは、1.2Vより大きく0.4V未満の振幅で、パルス幅は40nsを超えるようにします。MODE/SYNCピンにはAGNDに接続された内部200k抵抗があるため、MODE/SYNCピンをフロート状態のままにできます。スイッチング周波数を低くするとインダクタのピーク電流と出力電圧リップルが増加するので注意してください。

マルチフェーズ動作

出力負荷が10A以上の電流を必要とする場合、複数のLTM4670を並列に接続し、位相をずらして動作させることで、入出力の電圧リップルを増やさずに出力電流を増やすことができます。表3を参照してください。

アプリケーション情報

複数のLTM4670のチャンネルを並列接続して、各チャンネル間で同じスイッチング周波数、完全にインターリーブされた位相シフト、および高精度の電流分担を達成するには、1つのLTM4670をマスタ・チャンネルとし、残りをスレーブ・チャンネルに設定する必要があります。

1. マスタ・フェーズのFREQとAGNDの間に抵抗を接続すると周波数が設定され、MODE/SYNCピンがスレーブ・フェーズのMODE/SYNCピンを駆動するためのクロック出力になるように構成されます。
2. マスタ・フェーズのFREQピンを V_{IN} に接続すると、MODE/SYNCピンが外部クロックを受け入れ可能な入力として構成されます。スタートアップ時など、外部クロックが使用できない場合、スイッチング周波数はデフォルトで公称2MHzの内部周波数になります。
3. FBピンを V_{IN} に接続すると、フェーズがスレーブとして構成されます。MODE/SYNCが入力になり、電圧制御ループが無効化されます。スレーブ・フェーズの電流制御ループはアクティブのまま、ピーク電流は共有ITHノードを介して制御されます。フェーズ間でITHノードをルーティングする場合は、慎重に検討する必要があります。パスを低インダクタンスにするには、ITHノードとAGNDノードを一緒にルーティングすることを推奨します。
4. PGOODピンを一緒に接続し、外付けプルアップ抵抗を追加すると、スタートアップが完了したときにマスタ・フェーズがスレーブ・フェーズと通信できるようになります。

スレーブ位相角の設定

マスタ・フェーズに対するスレーブ・フェーズの位相は、 V_{IN} とFREQピンとの間の抵抗分圧器で設定します。位相の設定については図2と表4を参照してください。1%抵抗の使用を推奨します。

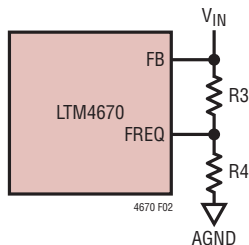


図2. 位相設定

表4. スレーブ・モジュールの位相シフトとMODE/SYNC入力との関係

SYNC PHASE ANGLE	R3 RATIO	R4 RATIO	R3 EXAMPLE	R4 EXAMPLE
0°	0Ω	N/A	0Ω	N/A
90°	3・R	R	301k	100k
120°	7・R	5・R	243k	174k
180°	N/A	0Ω	N/A	0Ω
240°	5・R	7・R	174k	243k
270°	R	3・R	100k	300k

マスタ/スレーブ動作に構成している場合、スレーブ・フェーズは強制連続モードで動作します。

LTM4670は本質的に電流モードで制御されるデバイスであるため、並列接続されたモジュールは優れた電流分担を示します。これにより、設計において発熱を平均化させることができます。各チャンネルのRUNピン、PGOODピン、COMPピンを互いに接続して並列接続します。図17に並列動作およびピン接続の例を示します。

入力RMSリップル電流の相殺

位相が適切にインターリーブされたマルチフェーズ電源は、入力コンデンサと出力コンデンサのリップル電流の量を大幅に減らします。RMS入力リップル電流はその位相数で除した値になり、実効リップル周波数は位相数を乗じた値になります(入力電圧が、出力電圧に位相数を乗じた値より大きいと仮定しています)。また、すべての出力を1つに接続して単一の高出力電流が得られる設計にした場合、出力リップルの振幅も、使用する位相数によって小さくなります。

アプリケーション・ノート77でマルチフェーズ動作の詳細について説明しています。入力RMSリップル電流の相殺について数学的に導き出していると共に、RMSリップル電流の減少とインターリーブされた位相数の関係をグラフで示しています。図3にこのグラフを示します。

LTM4670では、4個のチャンネルをそれぞれ独立した4つの出力として動作するように構成するか、マルチフェーズの単一出力として動作するように並列接続することができます。4つのチャンネルを個別に動作させた状態で入出力リップルを小さくするには、LTC6902などのマルチフェーズの発振器

アプリケーション情報

を使用して位相をインターリーブさせ、4つのチャンネルを互いに90度位相シフトさせます(図16参照)。マルチフェーズの単一出力に構成した状態で出力リップルを小さくするには、FREQピンで位相をインターリーブさせ、マスタ/スレーブ構成に設定します(図17参照)。

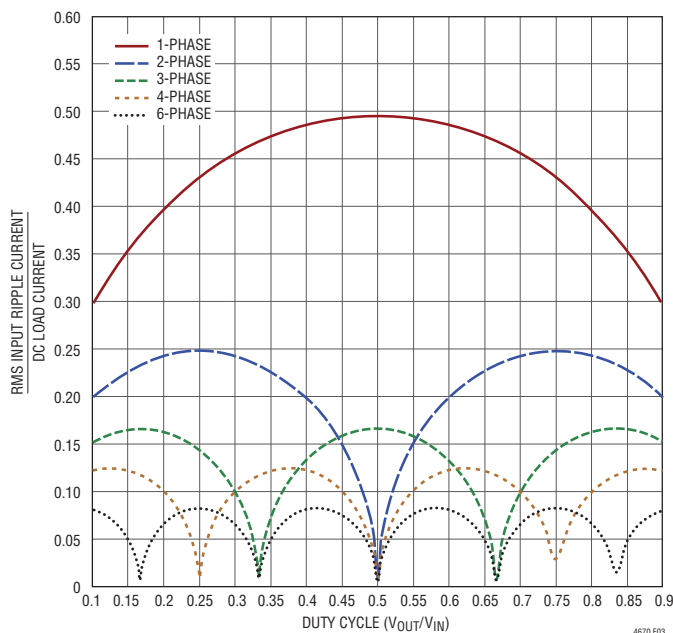


図3. デューティ・サイクルの関数として表した
入力RMS電流とDC負荷電流の比

ソフトスタート/トラッキング/温度モニタ

LTM4670では、SSTTピンによって出力電圧の上昇率/下降率を設定できます。

SSTTピンは内部の10 μ A電流によってプルアップされています。SSTTに外付けコンデンサを接続すると、出力をソフトスタートさせて入力電源の電流サージと出力電圧のオーバーシュートを防ぐことができます。ソフトスタートによる電圧上昇時には、出力電圧はSSTTピンの電圧に比例して増加します。ソフトスタートが完了すると、このピンはチャンネルのジャンクション温度に比例する電圧にサーボ制御されます。SSTTピンの動作範囲については図4を参照してください。

ソフトスタート時間は、式5で計算します。

$$T_{SS} = C_{SS} \cdot \frac{500\text{mV}}{10\mu\text{A}} \quad (5)$$

出力トラッキング・アプリケーションの場合、SSTTは別の電圧源によって外部から駆動できます。0V~0.5Vでは、エラー・アンプに入力される内部0.5VリファレンスよりSSTT電圧が優先されるため、FBピン電圧はSSTTピンの電圧によってレギュレーションされます。SSTTが0.5Vを超えると、トラッキングはディスエーブルされ、帰還電圧は内部リファレンス電圧にレギュレーションされます。

SSTTピンにはアクティブ・プルダウン回路が接続されており、故障が発生した場合に外付けのソフトスタート・コンデンサを放電します。故障が解消すると、電圧上昇が再開します。ソフトスタート・コンデンサをクリアするような故障状態になるのは、RUNピンがローに遷移した場合、 V_{IN} 電圧が低くなりすぎた場合、またはサーマル・シャットダウンが発生した場合です。

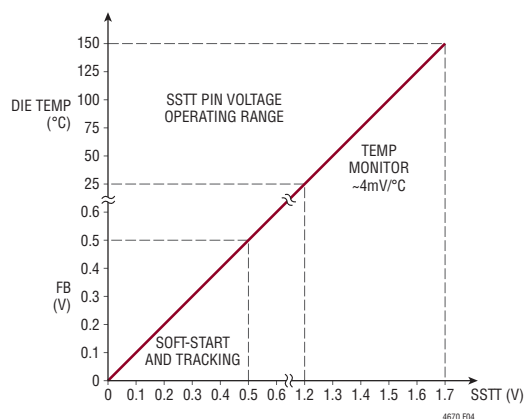


図4. ソフトスタートと温度モニタ動作

ソフトスタート・サイクルが完了し、パワー・グッドのフラグが出力されると、SSTTピンはダイ・ジャンクション温度をレポートします。LTM4670は、SSTTピンをジャンクション温度に比例する電圧にレギュレーションします。温度をレポートしている間、1V未満のSSTT電圧は無効となります。ジャンクション温度は式6で計算します。

$$T_J (\text{°C}) = \frac{V_{SSTT}}{4\text{mV}} - 273 \quad (6)$$

ジャンクション温度をより正確に測定するには、次の手順を使用します。

1. 周囲温度 T_A を測定します。

アプリケーション情報

- パルススキッピング・モードで、 V_{OUT} がレギュレーションされた V_{OUT} よりもわずかに高くなった状態でSSTT電圧を測定します。
- 式7を使用して、温度検出回路のスロープを計算します。

$$\text{Slope (mV / } ^\circ\text{C)} = \frac{V_{SSTT}}{T_A + 273} \quad (7)$$

- 補正したこの新しいスロープを用いてジャンクション温度を計算します。

出力電圧がレギュレーション範囲内から外れてパワー・グッド・ピンがローにプルダウンされると、ソフトスタート・ピンは温度を通知しなくなります。

マルチフェーズ動作中は、スレーブ・チャンネルのソフトスタート機能は無効になり、SSTTピンはフロート状態のままになります。しかし、小容量のコンデンサをSSTTピンとAGNDの間に配置しておくことでジャンクション温度をより正確に測定できます。

パワーグッド

PGOODピンはオープンドレイン・ピンで、出力電圧が有効にレギュレーションされているかをモニタするために使用します。このピンは、レギュレーション・ポイントの $-2/+10\%$ の範囲をモニタします。モニタリングには、1個の抵抗を対応する電源電圧にプルアップします。トランジエント時または V_{OUT} が動的に変化するときに不要なPGOODグリッチが生じるのを防ぐため、LTM4670のPGOODの立下がりエッジには、約 $100\mu\text{s}$ のブランキング遅延が含まれています。PGOODは、次のような故障状態、すなわち、RUNピンがローの場合、 V_{IN} が低すぎる場合、またはサーマル・シャットダウンした場合にもアクティブ・ローにプルダウンされます。

マルチフェーズ・アプリケーションの場合、PGOODピンはマスタ・フェーズとスレーブ・フェーズ間の通信に使用されません。

PGOODピンを互いに接続し、外付け抵抗を用いて V_{IN} または V_{OUT} にプルアップします。

安定性補償

LTM4670モジュールの内部補償ループは、低ESRセラミック出力コンデンサ用に設計、最適化されています。表8はほとんどのアプリケーション条件に対応しています。出力リップルまたは動的トランジエント・スパイクを低減するためにバ

ルクの出力コンデンサが必要となる場合は、 $10\text{pF} \sim 15\text{pF}$ のフィードフォワード・コンデンサ(C_{FF})を V_{OUT} とFBの間に追加します。LTpowerCAD設計ツールをダウンロードして制御ループの最適化に使用できます。

RUN イネーブル

LTM4670の各チャンネルには高精度の閾値を持つRUNピンがあり、チャンネルのスイッチングをイネーブル/ディスエーブルするために使用します。RUNピンをローにすると、チャンネルは低電流のシャットダウン・モードに入ります。RUNコンパレータの立下がり閾値は 400mV で、ヒステリシスは 60mV です。シャットダウン機能を使わない場合は、 V_{IN} に接続します。 V_{IN} とRUNの間に抵抗分圧器を追加すると、 V_{IN} が所定の電圧を超えた場合のみ出力をレギュレーションするようにLTM4670を設定できます。通常、この閾値 $V_{IN(RUN)}$ は、入力電源を電流制限しているか、入力電源のソース抵抗が比較的大きい場合に使用します。スイッチング・レギュレータはソースから一定の電力を引き出すため、ソース電圧が低下するとソース電流が増加します。これは電源からは負の抵抗負荷のように見えるため、電源電圧が低い条件下では、電源の電流が制限されたりローにラッチされたりすることがあります。 $V_{IN(RUN)}$ 閾値は、問題が生じるおそれのある電源電圧でレギュレータが動作するのを防ぎます。この閾値は、式8を満たすように $R1$ と $R2$ の値を設定することで調整できます。

$$V_{IN(RUN)} = \left(\frac{R1}{R2} + 1 \right) \cdot 400\text{mV} \quad (8)$$

ここで、LTM4670は、 V_{IN} が $V_{IN(RUN)}$ より大きくなるまでオフを維持します。コンパレータにはヒステリシスがあるので、入力が $V_{IN(RUN)}$ よりわずかに低くなるまでスイッチングは停止しません。

あるいは、別のチャンネルの出力とRUNピンの間に抵抗分圧器を接続すると、イベントベースのパワーアップ・シーケンスが行われ、他のレギュレータの出力が所定のレベルに達したときにLTM4670をイネーブルします。

出力短絡保護と回復

電流コンパレータが上側のパワー・スイッチをオフにするときのピーク・インダクタ電流レベルは、COMP電圧によって制御します。出力電流が増加すると、エラー・アンプは平均インダクタ電流が負荷電流と一致するまでCOMP電圧を上昇させます。COMP電圧をクランプする設定があり、これにより電流制限値を設定します。

アプリケーション情報

出力がグラウンドに短絡すると、インダクタ両端の電圧が低くなるため、インダクタ電流は1回のスイッチング・サイクルの間に非常にゆっくと減衰します。インダクタ電流を制御し続けるために、インダクタ電流の谷に第二の制限が課せられます。下側のパワー・スイッチで測定されたインダクタ電流が $I_{VALLEY (MAX)}$ より大きい場合、上側のパワー・スイッチはオフに維持されます。その後のスイッチング・サイクルは、インダクタ電流が $I_{VALLEY (MAX)}$ を下回るまでスキップされます。

出力が短絡してレギュレーション・ポイントを下回っていると、レギュレータは出力を充電しようと最大電流を要求するため、短絡から突然回復することがあります。短絡状態から解放されると、このインダクタ電流により、出力に非常に大きな電圧オーバーシュートが発生することがあります。LTM4670は、この問題に対処するため、出力がレギュレーション範囲から外れたときは常に、SSTTピン電圧がFB電圧を上回るようにレギュレーションします。これにより、出力短絡からの回復はソフトスタート・サイクルを経ることになり、出力の上昇率を制御しオーバーシュートを最小限に抑えることができます。

熱に関する考慮事項と出力電流のディレーティング

このデータシートのピン配置のセクションに記載されている熱抵抗は、JESD51-12に定義されたパラメータと一致しています。これらのパラメータは、有限要素解析 (FEA) ソフトウェアのモデリング・ツールで使用することを意図したものです。これらのモデリング・ツールは、ハードウェア・テストボードに μ Moduleパッケージを取り付けて行われた、熱的モデリング、シミュレーション、およびハードウェア評価との相関付けから得られた結果を利用します。これらの熱係数を示す目的は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information)に記載されています。

多くの設計者は、デモ・ボードなどの実験装置やテスト手段を使用して、アプリケーションに使用する μ Moduleレギュレータの熱性能を様々な電気的および環境的動作条件で予測し、それによってFEA作業を補足するという方法を選択します。FEAソフトウェアを使用しない場合、ピン配置のセクションに記載した熱抵抗だけでは、熱性能を示す目安になりません。しかし、このデータシートに記載されているディ

レーティング曲線を各アプリケーションの用途に関する見通しやガイダンスを得られるような方法で使用でき、またそれらのディレーティング曲線に修正を加えて、熱性能を個々のアプリケーションに対応させることができます。

ピン配置のセクションには、JESD 51-12に明確に定義された4つの熱係数が記載されています。これらの係数について、以下に引用または解説します。

- θ_{JA} はジャンクションから環境への熱抵抗であり、1立方フィートの密閉された容器内で測定された、自然対流によるジャンクションから周囲の空気への熱抵抗です。この環境は「静止空気」と呼ばれることもありますが、実際には自然対流により空気の動きが生じます。この値は、DC2891Aデモ・ボードに実装された部品を使用して決定します。
- $\theta_{Jcbottom}$ はジャンクションから製品ケース底部までの熱抵抗であり、すべての部品からの熱放散がパッケージ底部を通じて起こるものとして決定されます。標準的な μ Moduleレギュレータでは熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。この結果として、この熱抵抗値はパッケージの比較には有用ですが、このテスト条件は一般にはユーザのアプリケーションに即したものではありません。
- θ_{Jctop} はジャンクションから製品ケース上面への熱抵抗であり、部品からの熱放散のほぼすべてがパッケージ上面を通じて行われるものとして決定されます。標準的な μ Moduleの電気的接続はパッケージ底面で行われるため、熱の大半がジャンクションから部品上面へ流れるような動作をするアプリケーションはまれです。 $\theta_{Jcbottom}$ の場合と同様、この値はパッケージの比較には有用ですが、このテスト条件は一般にはユーザのアプリケーションに即したものではありません。

前述の熱抵抗を視覚的に表したものが図5です。青色の部分が μ Moduleレギュレータ内部の熱抵抗で、緑色の部分は μ Moduleパッケージ外部の熱抵抗です。

アプリケーション情報

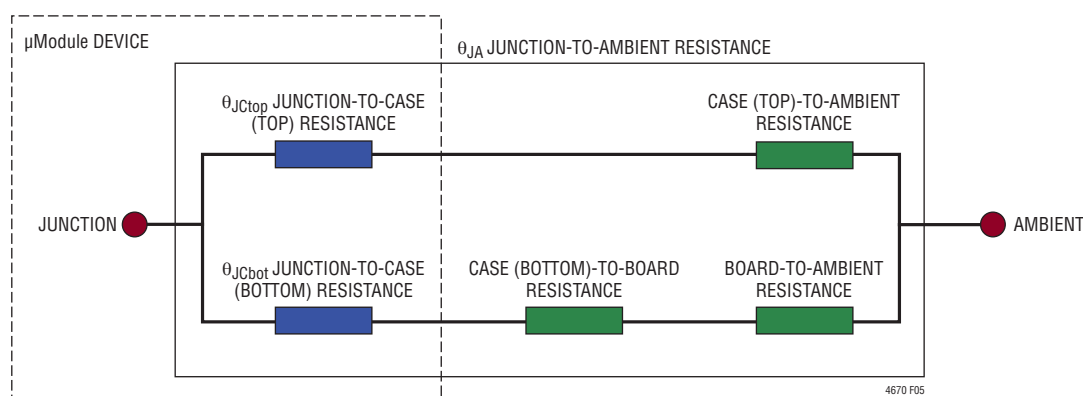


図5. 熱係数の図解、JESD51-12の用語を含む

実際には、JESD 51-12で定義された(あるいはピン配置のセクションに示した)これら4種類の熱抵抗パラメータは、個別でも、あるいはいくつかを組み合わせられた場合でも、 μ Moduleの通常の動作条件を反映するものではありません。例えば、通常の基板実装アプリケーションでは、JESD51-12が θ_{JcTop} と $\theta_{JcBottom}$ についてそれぞれ定義しているように、デバイスの全電力損失(熱)が100%すべて μ Moduleの上面だけから放出されたり、底面だけから放出されたりすることはありません。実際の電力損失はパッケージの上下両面から熱として放出され、当然ながら、ヒートシンクと空気流がない場合は、熱流の大部分が基板に流れます。

SSTTピンを使用して、モジュールの各チャンネルのジャンクション温度測定が可能です。LTM4670の内部には電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、各種の部品やダイの様々なジャンクションを基準にした熱抵抗は、パッケージの全電力損失に対して正確には線形になっていないという点に留意する必要があります。この複雑な問題を、モデリングの簡潔性を犠牲にすることなく(なおかつ現実的な実用性を無視することなく)解決するために、このデータシートに記載されている熱抵抗値は、実験室での恒温槽を使ったテストとFEAソフトウェア・モデリングを併用する方法を採用して合理的に定義し、相関付けを行っています。(1)最初に、FEAソフトウェアを使用し、適切な材料係数と正確な電力損失源定義と共に、 μ Moduleと指定のPCBの正確な機械的形状モデルを作成します。(2)このモデルを使い、JESD51-12に適合するソフトウェア定義のJEDEC環境をシミュレーションして、様々な接合面にお

ける電力損失による熱の流れと温度値を予測します。これで、JEDEC定義の熱抵抗値を計算することができます。(3)このモデルとFEAソフトウェアを使用して、ヒート・シンクと空気流がある場合のLTM4670の熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデルで様々な動作条件によるシミュレーションを行った上で、徹底した実験室評価を実施してシミュレーションで得た状態を再現します。具体的には環境制御チャンバーを使い、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。このプロセスの結果を適切に評価することでこのデータシートに示す一連のデレーティング曲線が得られます。

図6、図7、図8に示す電力損失曲線と、図9～図14の負荷電流デレーティング曲線を組み合わせて使用することにより、様々なヒート・シンクや空気流の条件におけるLTM4670の熱抵抗 θ_{JA} の概算値を求めることができます。電力損失曲線は室温で得られたものであり、周囲温度に応じて乗算的に増加します。この近似係数は、ジャンクション温度が120°Cのときに1.2です。ジャンクション温度が120°C未満(125°Cの最大ジャンクション温度から5°Cのガード・バンド)である限り、周囲温度が上昇している間も最大負荷電流は実現可能です。ジャンクション温度が120°Cとなるような周囲温度に達すると、負荷電流を減少させてジャンクション温度を120°Cに維持しますが、同時に周囲温度は120°Cまで上昇します。デレーティング曲線は、電流値40Aで周囲温度30°Cからの出力電流についてプロットしています。出力電圧は0.6V、1.0V、1.8V、3.3Vです。これらの数値を選んだの

アプリケーション情報

は、低めの出力電圧範囲と高めの出力電圧範囲を含めて、熱抵抗の相関付けを行えるようにするためです。熱モデルは、恒温槽での複数回の温度計測と熱モデリング解析から得られます。空気流ありと空気流なしの条件で、周囲温度を上げながらジャンクション温度をモニタします。デレレーティング曲線には、周囲温度の変化に伴う電力損失の増加が加味されます。周囲温度が上昇した場合は出力電流または出力電力を減少させて、ジャンクションを最大 120°C に維持します。周囲温度の上昇に伴って出力電流を減らすと、内部モジュールの損失が減少します。モニタされた 120°C のジャンクション温度から周囲動作温度を差し引いた値により、どれだけのモジュール温度の上昇を許容できるかを規定できます。例えば、各チャンネルが $V_{IN} = 3.3V$ 、 $V_{OUT} = 1.5V$ 、負荷電流 5A でヒート・シンクなし、400LFM の空気流の条件下で動作している場合の最大周囲温度を決定するには、単純に図 7 で得られる各チャンネルの全電力損失を合計すればよく、このケースでは 2.56W になります。次に、120°C のジャ

ンクション温度における係数 1.2 を掛けることで、4 チャンネルの全電力損失は 3.07W になります。周囲温度が 94.4°C の場合、120°C のジャンクション温度から引いた差分の 25.6°C を 3.07W で割ることにより 8.3°C/W の θ_{JA} が得られます。これがシステムの等価熱抵抗です。表 6 に仕様規定されている 8.5°C/W はこれに近い値です。空気流がある場合とない場合の、1V 出力と 2.5V 出力の等価熱抵抗を表 5 と表 7 に示します。表 5 ～ 表 7 に示す様々な条件での算出熱抵抗に、周囲温度の関数として算出した電力損失を乗じると、周囲温度からの温度上昇値が得られ、これから最大ジャンクション温度が得られます。室温での電力損失は代表的な性能特性のセクションに示す効率曲線から求めることができ、更に上述の温度の倍率で調整することができます。参照したプリント回路基板は、1.6mm 厚の 6 層基板で、外側 2 層に 2 オンスの銅箔を、内側 2 層に 1 オンスの銅箔を使用しています。PCB の寸法は 106mm × 104mm です。

アプリケーション情報

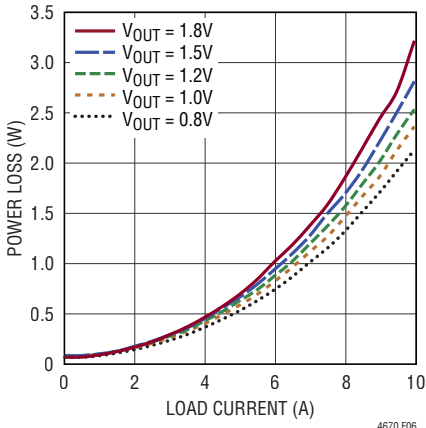


図6. 電力損失と負荷電流の関係、
2.5V_{IN}

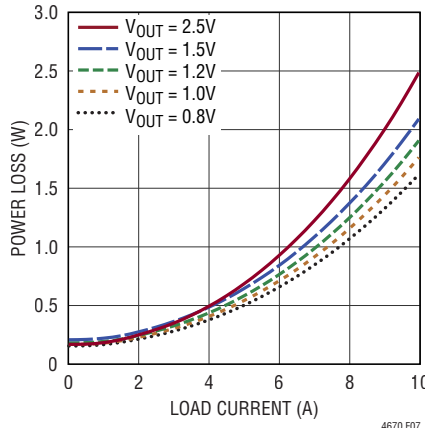


図7. 電力損失と負荷電流の関係、
3.3V_{IN}

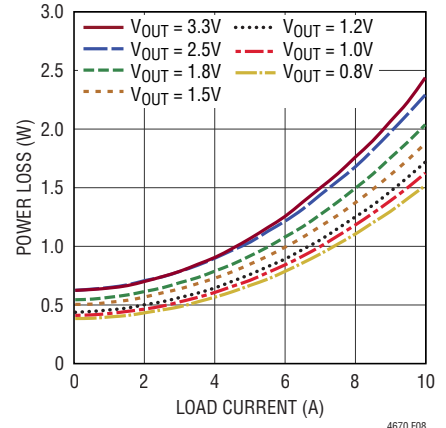


図8. 電力損失と負荷電流の関係、
5.5V_{IN}

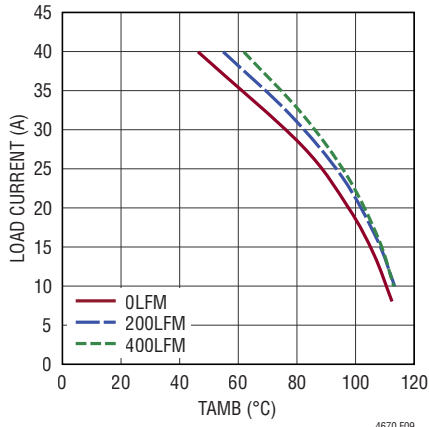


図9. 3.3V入力1V出力での
ディレーティング曲線、
ヒート・シンクなし

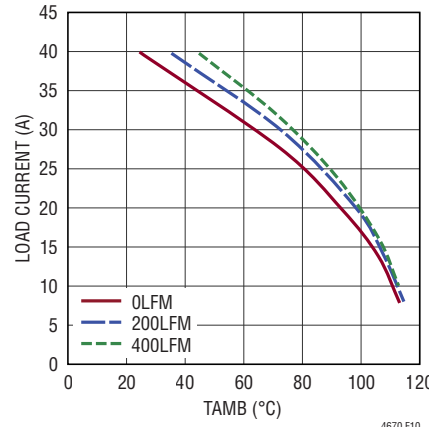


図10. 3.3Vから1.5Vでの
ディレーティング曲線、
ヒート・シンクなし

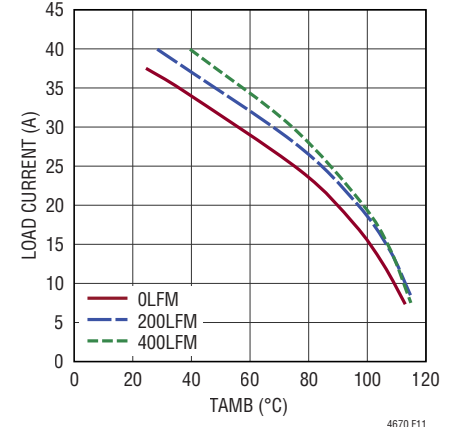


図11. 3.3Vから2.5Vでの
ディレーティング曲線、
ヒート・シンクなし

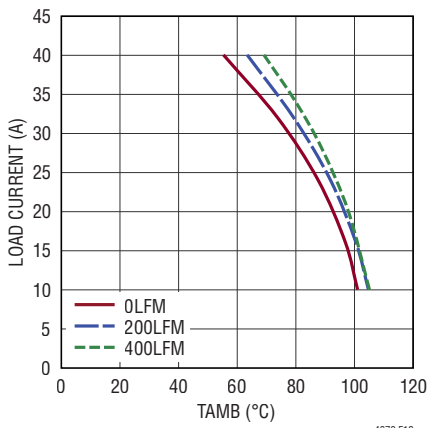


図12. 5Vから1.0Vでの
ディレーティング曲線、
ヒート・シンクなし

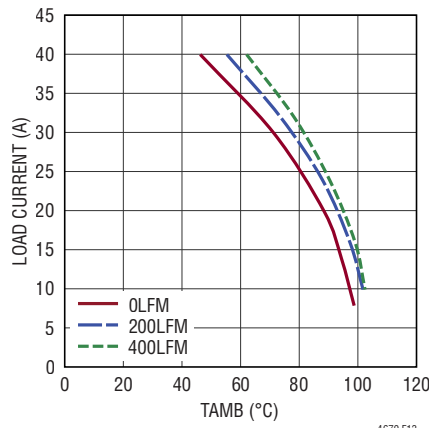


図13. 5Vから1.5Vでの
ディレーティング曲線、
ヒート・シンクなし

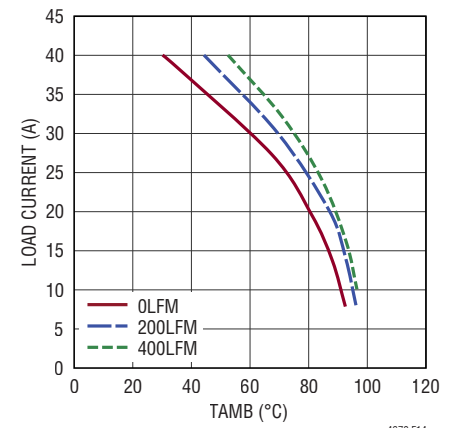


図14. 5Vから2.5Vでの
ディレーティング曲線、
ヒート・シンクなし

アプリケーション情報

表 5. 1.0V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 9, Figure 12	3.3, 5.5	Figure 6, Figure 7, Figure 8	0	None	8.6
Figure 9, Figure 12	3.3, 5.5	Figure 6, Figure 7, Figure 8	200	None	7.4
Figure 9, Figure 12	3.3, 5.5	Figure 6, Figure 7, Figure 8	400	None	6.7

表 6. 1.5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 10, Figure 13	3.3, 5.5	Figure 6, Figure 7, Figure 8	0	None	8.5
Figure 10, Figure 13	3.3, 5.5	Figure 6, Figure 7, Figure 8	200	None	7.6
Figure 10, Figure 13	3.3, 5.5	Figure 6, Figure 7, Figure 8	400	None	6.7

表 7. 2.5V 出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 11, Figure 14	3.3, 5.5	Figure 6, Figure 7, Figure 8	0	None	9.1
Figure 11, Figure 14	3.3, 5.5	Figure 6, Figure 7, Figure 8	200	None	7.6
Figure 11, Figure 14	3.3, 5.5	Figure 6, Figure 7, Figure 8	400	None	6.8

表 8. 出力電圧応答と部品の対応関係 (フロント・ページのアプリケーション回路参照)
0A~5A の負荷ステップ、測定値は代表値

C _{IN} BULK VENDORS	PART NUMBER	DESCRIPTION	C _{IN} CERAMIC VENDORS	PART NUMBER	DESCRIPTION	C _{OUT} CERAMIC VENDORS	PART NUMBER	DESCRIPTION
PANASONIC	10SVP150MX	150μF, 10V	AVX	0603ZD226MAT2A	22μF, 10V	KEMET	C0805C226M9PACTU	22μF, 6.3V
			SAMSUNG	CL10A475KP8NNNC	4.7μF, 10V	MURATA	GRM21BR60J107ME15K	100μF, 6.3V

V _{OUT} (V)	C _{IN} (CERAMIC)	C _{IN} (BULK)	C _{OUT1,2,3,4} (CERAMIC)	C _{FF} (pF)	V _{IN} (V)	DROOP (mV)	P-P DERIVATION (mV)	RECOVERY TIME (μs)	LOAD STEP (A)	LOAD STEP SLEW RATE (A/μs)	R _{FB} (kΩ)
0.8	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	3.3	70	144	10	5	5	100
0.8	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	5	70	147	10	5	5	100
1.0	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	3.3	80	157	10	5	5	60.4
1.0	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	5	80	161	10	5	5	60.4
1.5	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	3.3	90	181	15	5	5	30.1
1.5	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	5	90	184	15	5	5	30.1
1.8	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	3.3	100	203	15	5	5	23.2
1.8	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	5	100	206	15	5	5	23.2
2.5	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	3.3	130	258	15	5	5	15
2.5	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	5	130	258	15	5	5	15
3.3	22μF x5 + 4.7μF x2	150μF	22μF x3 + 100μF	10	5	160	325	15	5	5	10.7

アプリケーション情報

安全性に関する考慮事項

LTM4670 モジュールの V_{IN} と V_{OUT} の間は電氣的に絶縁されていません。また、内部ヒューズもありません。必要に応じて、最大入力電流の2倍の定格値を持つ低速溶断ヒューズを使って、各ユニットを致命的損傷から保護してください。デバイス、サーマル・シャットダウンと過電流保護機能をサポートしています。

レイアウトのチェックリスト/例

LTM4670 は高度に集積化されているので、PCB 基板のレイアウトは極めて容易です。ただし、電氣的性能と熱的性能を最適化するには、やはりレイアウト上の配慮がいくつか必要になります。

- V_{IN} 、GND および V_{OUT} を含む大電流パスでは、PCB の銅箔面積を広くします。これにより PCB の導通損失と熱応力を最小限に抑えられます。
- 高周波ノイズを最小限に抑えるため、高周波の入出力セラミック・コンデンサを V_{IN} ピン、GND ピンおよび V_{OUT} ピンの近くに配置します。

- モジュールの下には専用の電源グラウンド層を配置します。
- ビアの導通損失を最小限に抑えてモジュールの熱応力を軽減するため、最上層と他の電源層の間には複数のビアを使用してください。
- 充填ビアやメッキビアでない限り、パッド上に直接ビアを置かないでください。
- 信号ピンに接続されている部品には、他とは別の SGND 銅箔面を使用します。モジュール直下で SGND と GND1、2、3、4 を接続します。
- モジュールを並列接続する場合は、各フェーズの V_{OUT} ピン、RUN ピン、COMP ピン、および PGOOD ピンを互いに接続してください。これらのピンは、内層を使用してできるだけ近接して接続します。
- モニタリングのため、信号ピンからテスト・ポイントを引き出します。

推奨レイアウトの例を [図 15](#) に示します。

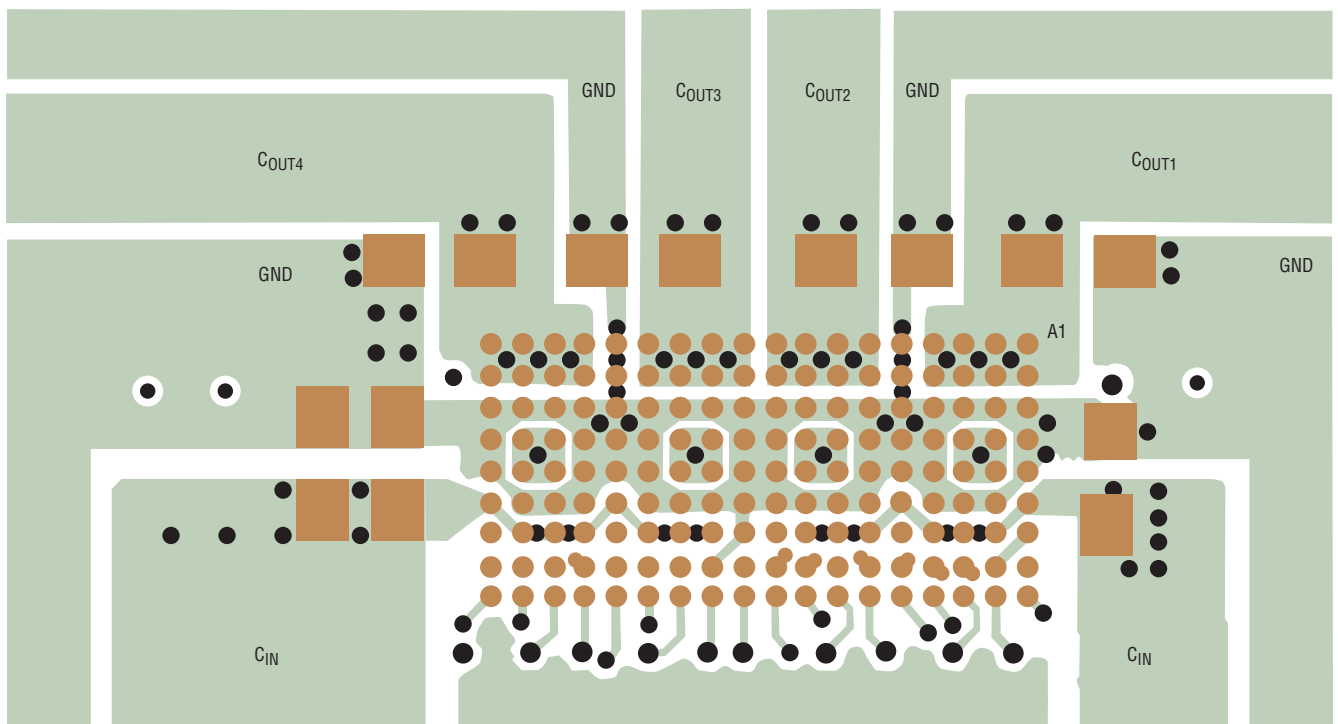


図 15. 推奨プリント PCB レイアウト

4670 F15

標準的応用例

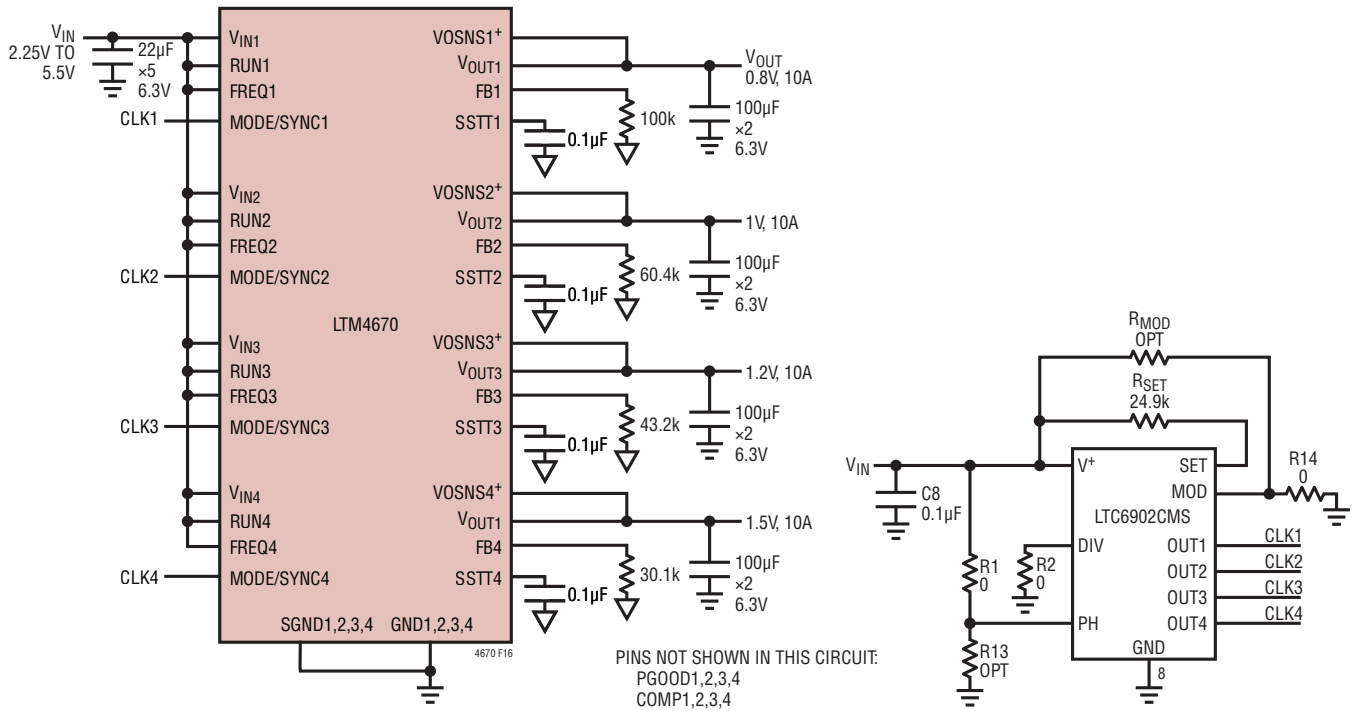


図16. 2MHzの高効率クワッド出力 (外部クロックを使用したインターリーブ動作)

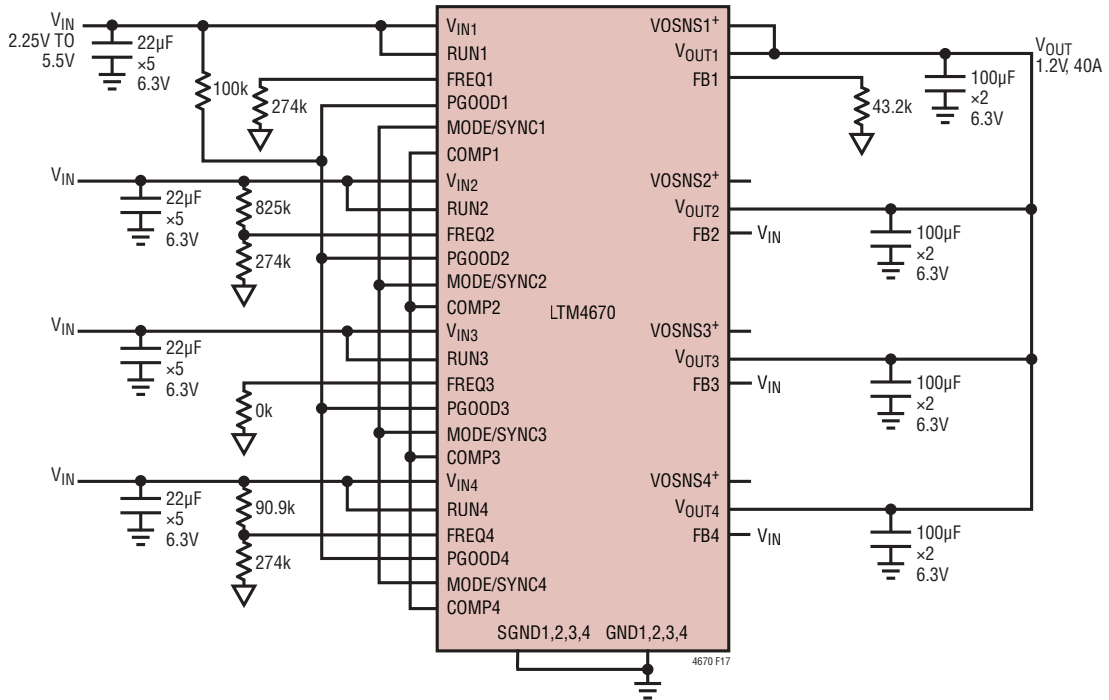


図17. 4相、2MHz、1.2V、40Aの設計

標準的応用例

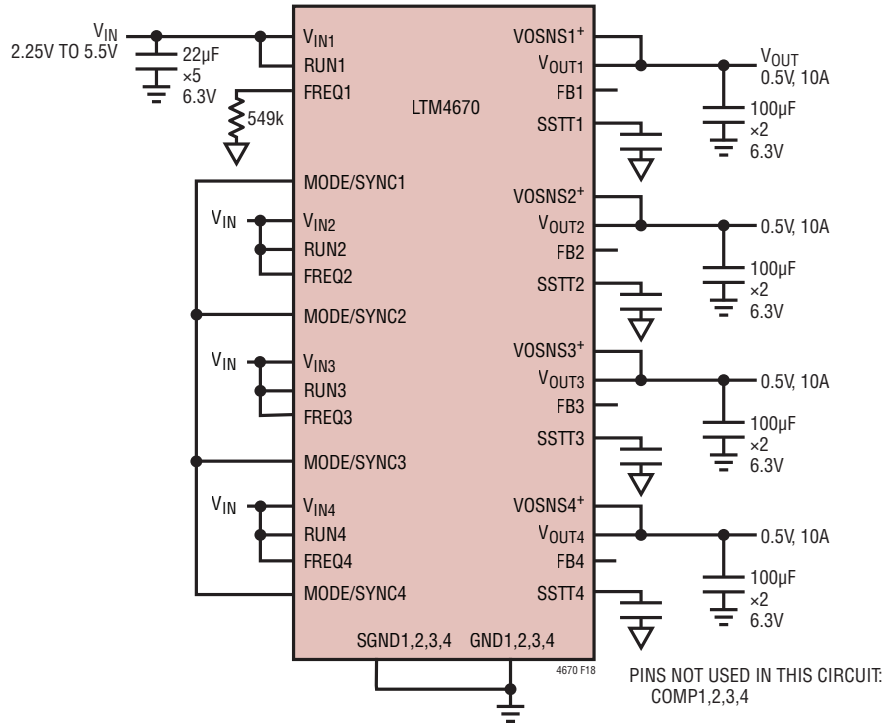


図 18. 高効率、1MHz、少部品点数

パッケージの説明



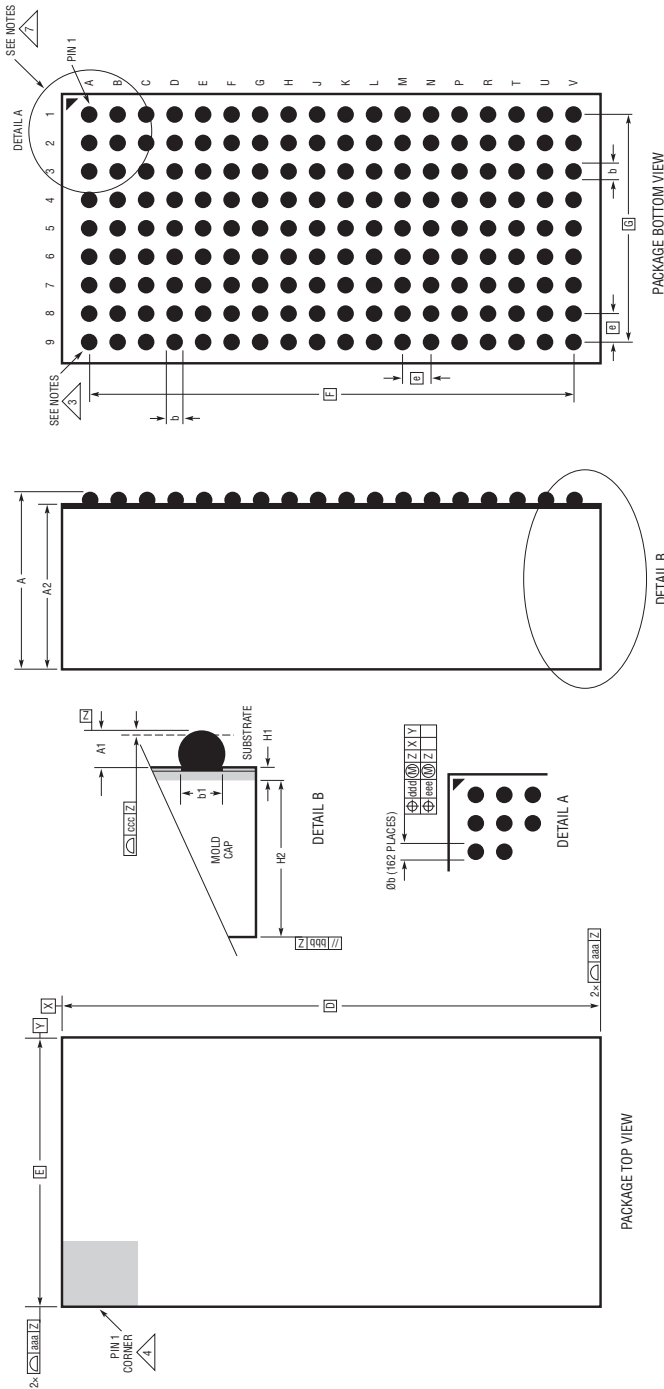
μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。それぞれのパッケージのレイアウトを慎重に確認してください。

LTM4670 の BGA ピン配置

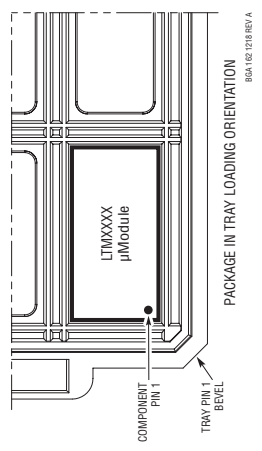
PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
A1	V _{OUT1}	A2	V _{OUT1}	A3	GND1	A4	GND1	A5	GND1	A6	V _{IN1}	A7	GND1	A8	RUN1	A9	VOSNS1*
B1	V _{OUT1}	B2	V _{OUT1}	B3	GND1	B4	SW1	B5	SW1	B6	GND1	B7	V _{IN1}	B8	GND1	B9	FB1
C1	V _{OUT1}	C2	V _{OUT1}	C3	GND1	C4	SW1	C5	SW1	C6	GND1	C7	V _{IN1}	C8	SGND1	C9	COMP1
D1	V _{OUT1}	D2	V _{OUT1}	D3	GND1	D4	GND1	D5	GND1	D6	GND1	D7	V _{IN1}	D8	SSTT1	D9	FREQ1
E1	GND1	E2	GND1	E3	GND2	E4	GND2	E5	GND2	E6	V _{IN2}	E7	MODE/ SYNC1	E8	PGOOD1	E9	VOSNS2*
F1	V _{OUT2}	F2	V _{OUT2}	F3	GND2	F4	GND2	F5	GND2	F6	GND2	F7	V _{IN2}	F8	GND2	F9	FB2
G1	V _{OUT2}	G2	V _{OUT2}	G3	GND2	G4	SW2	G5	SW2	G6	GND2	G7	V _{IN2}	G8	SGND2	G9	COMP2
H1	V _{OUT2}	H2	V _{OUT2}	H3	GND2	H4	SW2	H5	SW2	H6	GND2	H7	V _{IN2}	H8	SSTT2	H9	RUN2
J1	V _{OUT2}	J2	V _{OUT2}	J3	GND2	J4	GND2	J5	GND2	J6	GND2	J7	MODE/ SYNC2	J8	PGOOD2	J9	FREQ2
K1	V _{OUT3}	K2	V _{OUT3}	K3	GND3	K4	GND3	K5	GND3	K6	GND3	K7	GND3	K8	RUN3	K9	VOSNS3*
L1	V _{OUT3}	L2	V _{OUT3}	L3	GND3	L4	SW3	L5	SW3	L6	GND3	L7	V _{IN3}	L8	GND3	L9	FB3
M1	V _{OUT3}	M2	V _{OUT3}	M3	GND3	M4	SW3	M5	SW3	M6	GND3	M7	V _{IN3}	M8	SGND3	M9	COMP3
N1	V _{OUT3}	N2	V _{OUT3}	N3	GND3	N4	GND3	N5	GND3	N6	GND3	N7	V _{IN3}	N8	SSTT3	N9	FREQ3
P1	GND4	P2	GND4	P3	GND4	P4	GND3	P5	GND3	P6	V _{IN3}	P7	MODE/ SYNC3	P8	PGOOD3	P9	VOSNS4*
R1	V _{OUT4}	R2	V _{OUT4}	R3	GND4	R4	GND4	R5	GND4	R6	GND4	R7	V _{IN4}	R8	GND4	R9	FB4
T1	V _{OUT4}	T2	V _{OUT4}	T3	GND4	T4	SW4	T5	SW4	T6	GND4	T7	V _{IN4}	T8	SGND4	T9	COMP4
U1	V _{OUT4}	U2	V _{OUT4}	U3	GND4	U4	SW4	U5	SW4	U6	GND4	U7	V _{IN4}	U8	SSTT4	U9	RUN4
V1	V _{OUT4}	V2	V _{OUT4}	V3	GND4	V4	GND4	V5	GND4	V6	V _{IN4}	V7	MODE/ SYNC4	V8	PGOOD4	V9	FREQ4

パッケージの説明

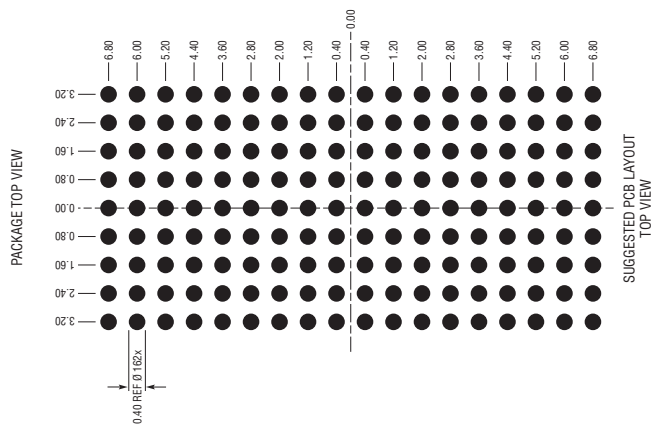
BGA Package
162-Lead (7.50mm × 15mm × 4.65mm)
 (Reference LTC DWG# 05-08-1646 Rev A)



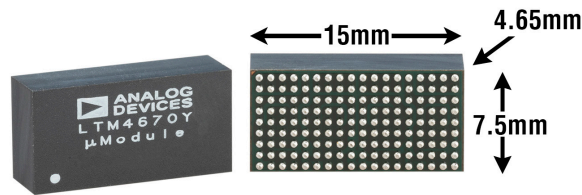
- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. BALL DESIGNATION PER JEP95
 4. DETAILS OF PIN 1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN 1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM -Z- IS SEATING PLANE
 6. PACKAGE ROW AND COLUMN LABELING MAY VARY AMONG μ Module PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY



SYMBOL	DIMENSIONS			NOTES
	MIN	NOM	MAX	
A	4.46	4.65	4.84	
A1	0.30	0.40	0.50	BALL HT
A2	4.16	4.25	4.34	
b	0.45	0.50	0.55	BALL DIMENSION
b1	0.37	0.40	0.43	PAD DIMENSION
D		15.00		
E		7.50		
e		0.80		
F		13.60		
G		6.40		
H1		0.25 REF		SUBSTRATE THK
H2		4.00 REF		MOLD CAP HT
aaa			0.15	
bbb			0.10	
ccc			0.20	
ddd			0.15	
eee			0.08	
TOTAL NUMBER OF BALLS: 162				



パッケージ写真



設計リソース

SUBJECT	DESCRIPTION
μModule Design and Manufacturing Resources	<p>Design:</p> <ul style="list-style-type: none"> • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools <p>Manufacturing:</p> <ul style="list-style-type: none"> • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability
μModule Regulator Products Search	<ol style="list-style-type: none"> 1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table. <div style="border: 1px solid #ccc; padding: 5px; margin-top: 10px;"> <p>Quick Power Search</p> <p>INPUT $V_{in}(Min)$ <input type="text"/> V $V_{in}(Max)$ <input type="text"/> V</p> <p>OUTPUT V_{out} <input type="text"/> V I_{out} <input type="text"/> A</p> <p>FEATURES <input type="checkbox"/> Low EMI <input type="checkbox"/> Ultrathin <input type="checkbox"/> Internal Heat Sink</p> <p style="text-align: center;"><input type="button" value="Multiple Outputs"/> <input type="button" value="Search"/></p> </div>
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.

関連製品

製品番号	概要	注釈
LTM4604A	低 V_{IN} 、4A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 $9mm \times 15mm \times 2.82mm$ LGA
LTM4608A	低 V_{IN} 、8A μ Module レギュレータ	$2.7V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 $9mm \times 15mm \times 2.82mm$ LGA
LTM4648	低 V_{IN} 、10A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 $9mm \times 15mm \times 4.92mm$ BGA
LTM4658	低 V_{IN} 、10A μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$ 、 $0.5V \leq V_{OUT} \leq V_{IN}$ 、 $4mm \times 4mm \times 4.32mm$ LGA
LTM4611	超低 V_{IN} 、15A μ Module レギュレータ	$1.5V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 $15mm \times 15mm \times 4.32mm$ LGA
LTM4614	低 V_{IN} 、デュアル 4A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT} \leq 5V$ 、 $15mm \times 15mm \times 2.82mm$ LGA
LTM4615	低 V_{IN} 、トリプル 4A、4A、1.5A、 μ Module レギュレータ	$2.375V \leq V_{IN} \leq 5.5V$ 、 $0.8V \leq V_{OUT1}$ 、 $V_{OUT2} \leq 5V$ 、 $0.4V \leq V_{OUT3} \leq 2.6V$ 、 $15mm \times 15mm \times 2.82mm$ LGA
LTM4616	低 V_{IN} 、デュアル 8A μ Module レギュレータ	$2.7V \leq V_{IN} \leq 5.5V$ 、 $0.6V \leq V_{OUT} \leq 5V$ 、 $15mm \times 15mm \times 2.82mm$ LGA、 $15mm \times 15mm \times 3.42mm$ BGA
LTM4648	低 V_{IN} 、10A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 5.5V$ 、 $0.6V \leq V_{OUT} \leq 5V$ 、 $9mm \times 15mm \times 4.92mm$ BGA
LTM4639	低 V_{IN} (外部バイアス電圧使用)、20A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 7V$ 、 $0.6V \leq V_{OUT} \leq 5V$ 、 $15mm \times 15mm \times 4.92mm$ BGA
LTM4642	低 V_{IN} (外部バイアス電圧使用)、デュアル 4A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5.5V$ 、 $9mm \times 11.25mm \times 4.92mm$ BGA
LTM4646	低 V_{IN} (外部バイアス電圧使用)、デュアル 10A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5V$ 、 $11.25mm \times 15mm \times 5.01mm$ BGA
LTM4662	低 V_{IN} (外部バイアス電圧使用)、デュアル 15A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 5V$ 、 $11.25mm \times 15mm \times 5.74mm$ BGA
LTM4643	低 V_{IN} (外部バイアス電圧使用)、クワッド 3A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 20V$ 、 $0.6V \leq V_{OUT} \leq 3.3V$ 、 $9mm \times 15mm \times 1.82mm$ BGA、 $9mm \times 15mm \times 2.42mm$ BGA
LTM4644	低 V_{IN} (外部バイアス電圧使用)、クワッド 4A μ Module レギュレータ	$2.375V \leq V_{IN} \leq 14V$ 、 $0.6V \leq V_{OUT} \leq 5.5V$ 、 $9mm \times 15mm \times 5.01mm$ BGA