

超薄型、低 V_{IN} 、10Aの降圧DC/DC μ Moduleレギュレータ

特長

- 表面実装に適した4mm × 4mm × 1.43mmの小型LGAパッケージ
- Silent Switcher[®]2(サイレント・スイッチャ2)アーキテクチャ
- 超低EMIノイズ
- 入力電圧範囲: 2.25V~5.5V
- 出力電圧範囲: 0.5V~ V_{IN}
- DC出力電流: 10A
- 電流モード制御、高速過渡応答
- 複数のLTM4659を用いたマルチフェーズ動作による並列電流分担
- 電圧トラッキング付き出力ソフトスタート
- 外部周波数同期
- 選択可能なパルススキッピング・モード
- パワー・グッド・インジケータ
- ダイ温度のモニタ出力
- 過電圧、過電流、過熱の保護

アプリケーション

- テレコム、データコム、ネットワーク・システム
- 光学モジュール
- 産業用機器
- ポイントオプロード・レギュレーション

概要

LTM[®]4659は、全機能内蔵型10A降圧スイッチング・モード μ Module[®]レギュレータであり、4mm × 4mm × 1.43mmの小型LGAパッケージに収容されています。このパッケージには、スイッチング・コントローラ、パワーMOSFET、インダクタ、全ての補助部品が内蔵されています。LTM4659は、2.25V~5.5Vの入力電圧範囲で動作し、外付け抵抗で設定される0.5V~ V_{IN} の出力電圧範囲に対応しています。その高効率を実現する設計により、10Aの出力電流を連続的に供給します。必要なのは、入出力のセラミック・コンデンサのみです。

LTM4659は、ホット・ループ・バイパス・コンデンサを内蔵したSilent Switcher 2アーキテクチャを使用して、高いスイッチング周波数において低EMIと高効率を両立します。

また、LTM4659は、周波数同期、マルチフェーズ動作、選択可能なパルススキッピング・モード(PSM)動作、電源レールのシーケンス制御を行うための出力電圧トラッキングにも対応しています。高いスイッチング周波数と電流モード・アーキテクチャにより、安定性を犠牲にすることなくラインと負荷の変化に対して非常に高速の過渡応答を実現します。

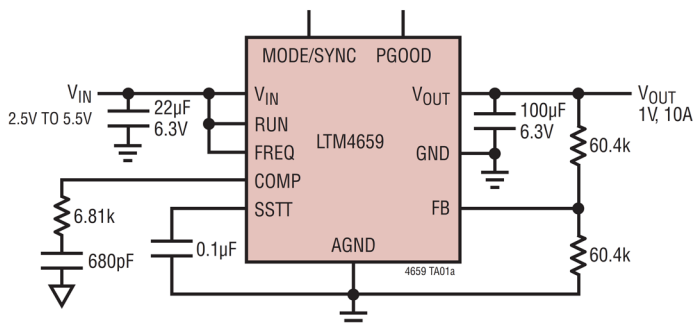
フォルト保護としては、過電圧、過電流、過熱の保護機能が搭載されています。LTM4659は鉛フリーでRoHSに適合しています。

本紙記載の登録商標および商標は、全て各社の所有に属します。

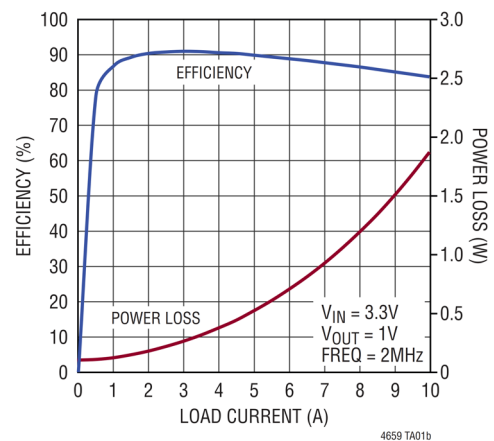
※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

標準的応用例

10A、1Vの単一出力DC/DC μ Moduleレギュレータ



効率と負荷電流の関係



LTM4659

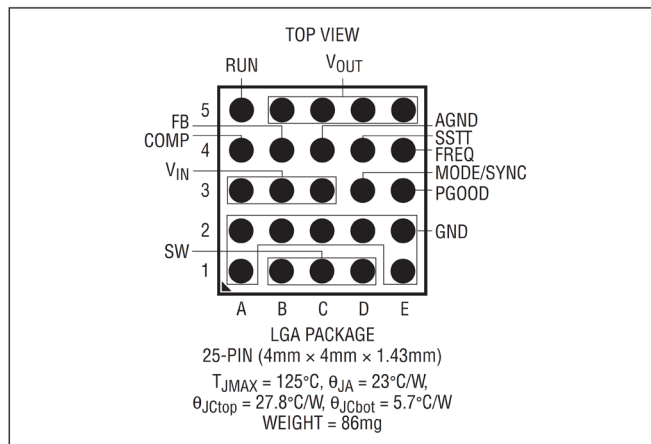
絶対最大定格

(Note 1)

V_{IN}	-0.3V~6V
V_{OUT}	-0.3V~ V_{IN}
PGOOD	-0.3V~6V
RUN、SSTT、MODE/SYNC、 FB、COMP、FREQ.....	-0.3V~ V_{IN}
動作ジャンクション温度 (Note 2)	-40°C~125°C
保管温度範囲	-55°C~125°C
半田リフロー時の最高部品温度	260°C
最高リフロー温度は、リワーク時も含めて260°Cを超えない よう注意してください。	

ピン配置

(ピン機能および表9を参照)



発注情報

製品番号	パッド/ボール仕上げ*	製品マーキング		パッケージ・タイプ	MSLレーティング	温度範囲 (Note 2 参照)
		デバイス	仕上げ コード			
LTM4659EV#PBF	Au (RoHS)	4659	4	LGA	4	-40°C~125°C
LTM4659IV#PBF	Au (RoHS)	4659	4	LGA	4	-40°C~125°C

・更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。 ・推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順
パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。 ・LGAおよびBGAのパッケージ図面とトレイ図面

電気的特性

●は、仕様規定された動作温度範囲にわたって適用される仕様であることを示します。それ以外は、 $T_A = 25^\circ\text{C}$ での仕様です (Note 2)。代表値が適用されるのは $V_{IN} = 3.3\text{V}$ の場合です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Input DC Voltage		● 2.25		5.5	V
$V_{OUT(RANGE)}$	Output Voltage Range	MODE/SYNC = 1MHz, FREQ = V_{IN}	● 0.5		V_{IN}	V
$V_{OUT(DC)}$	Output Voltage	MODE/SYNC = 1MHz, FREQ = V_{IN} , $V_{OUT} = 0.5\text{V}$	● 0.4925	0.5	0.5075	V
V_{IN_UVLO}	V_{IN} Undervoltage Lockout	V_{IN} Rising	2.0	2.1	2.2	V
$V_{IN_UVLO_HYS}$	V_{IN} Undervoltage Lockout Hysteresis			150		mV
V_{RUN}	RUN Pin on Threshold	V_{RUN} Rising	0.375	0.4	0.425	V
V_{RUN_HYS}	RUN Pin Hysteresis			60		mV
I_{RUN}	RUN Pin Leakage Current	RUN = 0.4V			±200	nA
$I_{Q(VIN)}$	Input Supply Bias Current					
	Pulse-Skipping Mode	MODE/SYNC = FREQ = V_{IN} , $V_{OUT} = 1.5\text{V}$		1.6		mA
	Forced Continuous Mode	MODE/SYNC = 0V, FREQ = V_{IN} , $V_{OUT} = 1.5\text{V}$		70		mA
	Shutdown	RUN = 0V (Note 4)		1		μA
$I_{S(VIN)}$	Input Supply Current	$V_{OUT} = 0.5\text{V}$, $I_{OUT} = 10\text{A}$		2.3		A

電氣的特性

●は、仕様規定された動作温度範囲にわたって適用される仕様であることを示します。それ以外は、 $T_A = 25^\circ\text{C}$ での仕様です (Note 2)。代表値が適用されるのは $V_{IN} = 3.3\text{V}$ の場合です。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$I_{OUT(DC)}$	Output Continuous Current Range	$V_{OUT} = 0.5\text{V}$ (Note 4)			10	A	
$\Delta V_{OUT(LINE)}/V_{OUT}$	Line Regulation Accuracy	$FREQ = V_{IN}$, $V_{OUT} = 1.5\text{V}$, $V_{IN} = 5.5\text{V}$, $I_{OUT} = 0\text{A}$	●	0.001	0.8	%/V	
$\Delta V_{OUT(LOAD)}/V_{OUT}$	Load Regulation Accuracy	$V_{IN} = FREQ = 3.3\text{V}$, $SYNC = 1.0\text{MHz}$, $V_{OUT} = 0.5\text{V}$, $I_{OUT} = 0\text{A}$ to 10A	●		1	%	
$V_{OUT(AC)}$	Output Ripple Voltage	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F} + 22\mu\text{F} \times 2$ Ceramic, (Notes 4)		2		mV	
$\Delta V_{OUT(START)}$	Turn-On Overshoot	$I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F} + 22\mu\text{F} \times 2$ Ceramic, (Notes 4)		5		mV	
t_{START}	Turn-On Time	$C_{OUT} = 100\mu\text{F} + 22\mu\text{F} \times 2$ Ceramic, No Load, $SSTT = 0.1\mu\text{F}$ (Note 4)		5		ms	
I_{SSTT}	Track Pin Soft-Start Pull-Up Current	$SSTT = 0.5\text{V}$	7	10	13	μA	
ΔV_{OUTLS}	Peak Deviation for Dynamic Load	Load: 0% to 50% to 0% of Full Load $C_{OUT} = 100\mu\text{F} + 22\mu\text{F} \times 2$ Ceramic (Note 4)		157		mV	
t_{SETTLE}	Settling Time for Dynamic Load Step	Load: 0% to 50% to 0% of Full Load, $C_{OUT} = 100\mu\text{F} + 22\mu\text{F} \times 2$ Ceramic, (Note 4)		15		μs	
I_{OUTPK}	Output Current Limit	$V_{IN} = 3.3\text{V}$, $V_{OUT} = 0.5\text{V}$		18		A	
V_{FB}	Voltage at V_{FB} Pin	$I_{OUT} = 0\text{A}$, $V_{OUT} = 1.5\text{V}$	●	0.495	0.50	0.505	V
I_{FB}	Current at V_{FB} Pin				± 20	nA	
V_{PGOOD}	PGOOD Trip Level Undervoltage Falling Threshold Overvoltage Rising Threshold	As a Percentage of Regulated V_{OUT} V_{FB} Ramping Negative V_{FB} Ramping Positive		-4 7	-3 10	-2 13	% %
I_{PGOOD}	PGOOD Leakage	$V_{PGOOD} = 5.5\text{V}$			50	nA	
f_{OSC}	Oscillator Frequency			2		MHz	
$SYNC_RANGE$	Sync Frequency Range	$FREQ = V_{IN}$		1.0	2.6	MHz	
$SYNC_LEVEL$	Clock Level High on SYNC Clock Level Low on SYNC			1.2		V V	

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4659は、 $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4659Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲にわたり性能仕様を満たすよう設計されています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲にわたる仕様は、設計、特性評価、および統計的プロセス

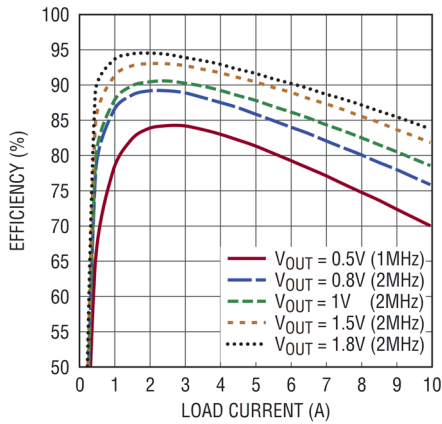
制御との相関によって確認されています。LTM4659Iは $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲全域で仕様を満たすよう設計されています。ここに示した仕様を満たす最高周囲温度は、基板レイアウト、パッケージの定格熱抵抗、および他の環境要因に加え、個々の動作条件によって決定されることに留意してください。

Note 3: 他の V_{IN} 、 V_{OUT} 、 T_A については、出力電流ディレーティング曲線を参照してください。

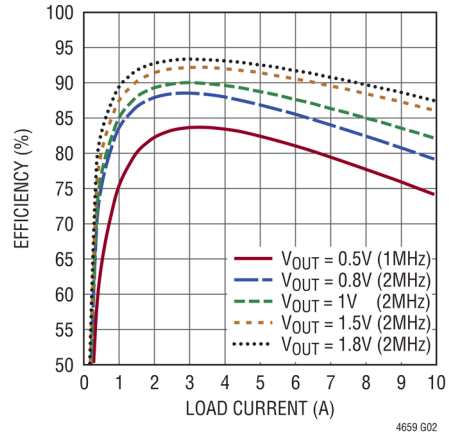
Note 4: 設計により性能を確保しています。

代表的な性能特性

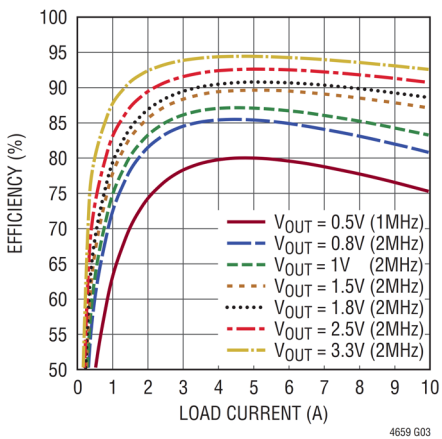
効率と負荷電流の関係 (2.5V_{IN})



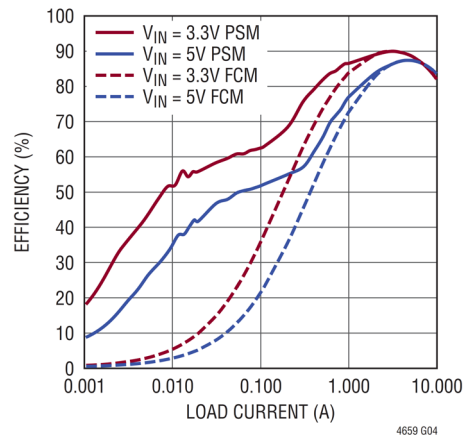
効率と負荷電流の関係 (3.3V_{IN})



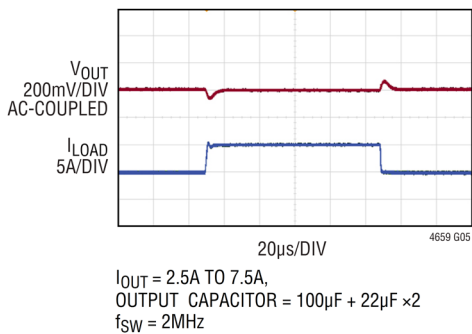
効率と負荷電流の関係 (5V_{IN})



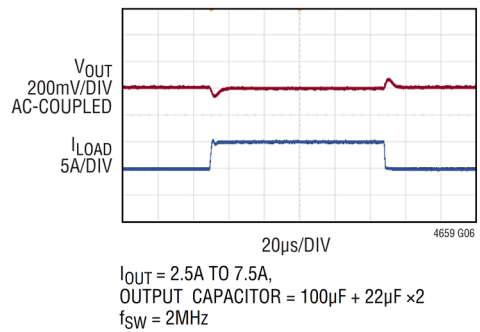
効率と負荷電流の関係
(様々な動作モード)



出力の過渡応答
(V_{IN} = 3.3V、V_{OUT} = 1.0V)

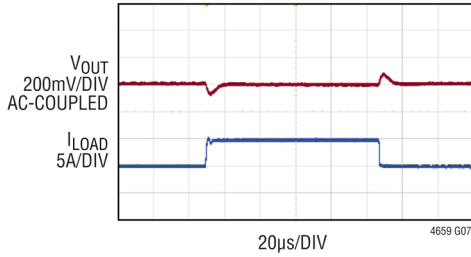


出力の過渡応答
(V_{IN} = 5V、V_{OUT} = 1.0V)



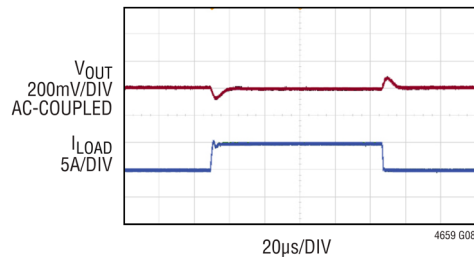
代表的な性能特性

出力の過渡応答
($V_{IN} = 3.3V$, $V_{OUT} = 1.5V$)



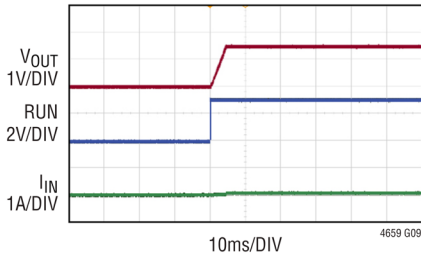
$I_{OUT} = 2.5A$ TO $7.5A$,
OUTPUT CAPACITOR = $100\mu F + 22\mu F \times 2$
 $f_{SW} = 2MHz$

出力の過渡応答
($V_{IN} = 5V$, $V_{OUT} = 1.5V$)



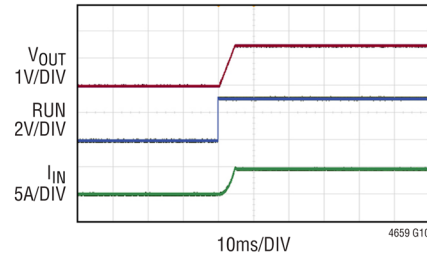
$I_{OUT} = 2.5A$ TO $7.5A$,
OUTPUT CAPACITOR = $100\mu F + 22\mu F \times 2$
 $f_{SW} = 2MHz$

無負荷時の起動



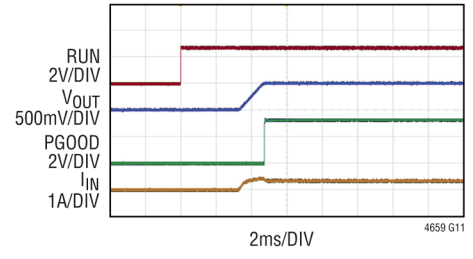
$V_{IN} = 3.3V$, $V_{OUT} = 1.5V$, $I_{OUT} = 0A$,
 $f_{SW} = 2MHz$

10Aの負荷での起動



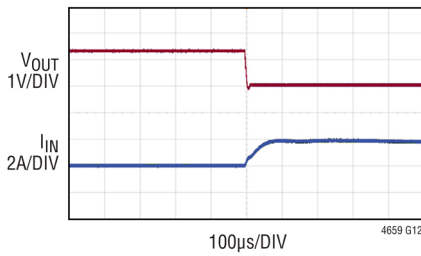
$V_{IN} = 3.3V$, $V_{OUT} = 1.5V$, $R_{LOAD} = 0.15\Omega$,
 $f_{SW} = 2MHz$

出力にバイアスがかった状態での起動



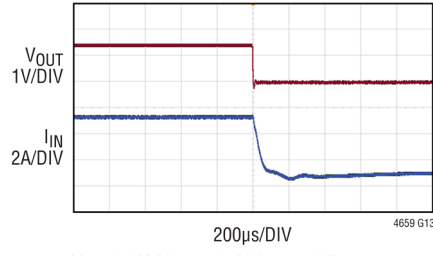
$V_{IN} = 3.3V$, $V_{OUT} = 1.5V$, $I_{OUT} = 0A$,
 $f_{SW} = 2MHz$

無負荷時の短絡



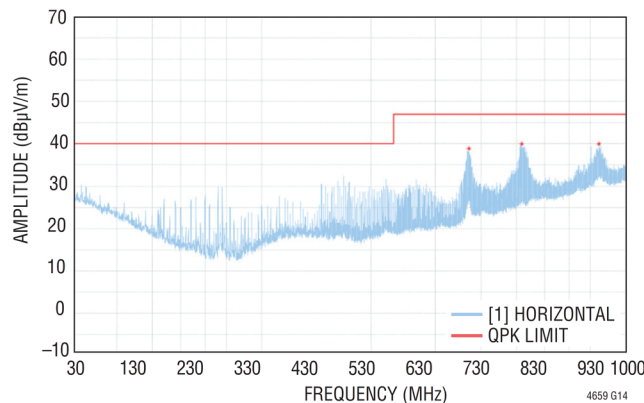
$V_{IN} = 3.3V$, $V_{OUT} = 1.5V$, $I_{OUT} = 0A$,
 $f_{SW} = 2MHz$

10Aの負荷での短絡



$V_{IN} = 3.3V$, $V_{OUT} = 1.5V$, $I_{OUT} = 10A$,
 $f_{SW} = 2MHz$

伝導EMI性能 (CISPR32規格のクラスB、
10メートル測定による放射エミッション試験)



DC3248A DEMO BOARD, NO INPUT
EMI FILTER INSTALLED, $3.3V_{IN}$ TO $1V_{OUT}$, $R_{LOAD} = 0.125\Omega$ (8A)

ピン機能



μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

GND (ピン A1、A2、B2、C2、D2、E1、E2) : 入出力リターン用の電源グラウンド・ピン。

V_{IN} (ピン A3、B3、C3) : V_{IN} ピンは、内部回路と上側パワー・スイッチに電流を供給します。全ての V_{IN} ピンを幅広い短い配線パターンで互いに接続し、ピンのできるだけ近くに低 ESR コンデンサを配置して PGND にバイパスしてください。

COMP (ピン A4) : COMP ピンは、出力電圧のレギュレーション制御ループの補償ノードです。このピンに接続されている補償部品は AGND を基準としています。

RUN (ピン A5) : スイッチング・モード・レギュレータの各チャンネルの制御入力を動作させます。0.4V を超える電圧に RUN を接続するとチップを動作させることができます。このピンを GND に接続するとデバイスはシャットダウンします。

SW (ピン B1、C1、D1) : MOSFET からインダクタへのスイッチング・ノードの内部大電流パス。一様な銅領域に接続するか、フローティングのままにします。

FB (ピン B4) : スイッチング・モード・レギュレータ用エラー・アンプの負入力。LTM4659 は FB と AGND の間の電圧を 500mV に安定化します。V_{OUT} に接続した抵抗分圧器で出力電圧を設定します。PolyPhase[®] 動作では、従属チャンネルの FB ピンを V_{IN} に接続して、内蔵エラー・アンプをデイスエーブルにします。詳細については、[アプリケーション情報](#)のセクションを参照してください。

V_{OUT} (ピン B5、C5、D5、E5) : 各スイッチング・モード・レギュレータの電源出力ピン。これらのピンと GND ピンの間に出力負荷を加えます。これらのピンと GND ピンの間には、出力デカップリング容量を直接接続することを推奨します。

AGND (ピン C4) : AGND ピンは、バンドギャップ電圧リファレンスなど、内部アナログ回路のグラウンド・リファレンスです。良好な負荷レギュレーションを実現するには、AGND ピンを負荷の出力コンデンサ (C_{OUT}) の負端子に接続してください。大電流電源のグラウンド・リターン・パスにおける降下が補償さ

れます。FB 抵抗分圧器やソフトスタート・コンデンサなどの全ての信号部品は、AGND ノードを基準とする必要があります。AGND ノードには電流がほとんど流れないため、最小サイズの配線パターンにすることができます。

MODE/SYNC (ピン D3) : MODE/SYNC ピンを使用すると、マルチフェーズ動作と外部クロックへの同期が容易になります。MODE/SYNC ピンは、動作モードに応じて、入力クロック・パルスを受け取るか、クロック・パルスを動作周波数で出力します。(マルチフェーズ動作については、[アプリケーション情報](#)のセクションを参照してください)。MODE/SYNC ピンでは、動作モード (パルススキッピング・モードまたは強制連続モード) もプログラムします。

SSTT (ピン D4) : ソフトスタート、トラッキング、温度モニタのピン。ソフトスタート・ピンの外付けコンデンサへ流れる内部 10μA 電流によって、起動時の出力電圧上昇率をプログラムします。SSTT が 0.5V を下回ると、V_{FB} ピンの電圧は SSTT ピンの電圧をトラッキングします。SSTT が 0.5V を超えると、トラッキング機能はデイスエーブルになります。内部リファレンスがエラー・アンプの制御を再開し、SSTT ピンがジャンクション温度を表す電圧に従って制御されます。出力短絡状態からクリーンに回復するために、SSTT ピンは V_{FB} 電圧より約 140mV 高い値までプルダウンされ、新しいソフトスタート・サイクルが開始します。シャットダウンおよびフォルト状態の間、SSTT ピンはグラウンドに引き下げられます。

PGOOD (ピン E3) : スイッチング・モード・レギュレータ・チャンネルのオープンドレイン・ロジックによってパワー・グッドを出力します。FB ピンの電圧が内部リファレンス 0.5V の -3%/10% の範囲から外れると、PGOOD はグラウンドに引き下げられます。

FREQ (ピン E4) : FREQ ピンは、外付け抵抗を AGND に接続して発振周波数を設定するか、マルチフェーズ動作時の位相を設定します。(マルチフェーズ動作については、[アプリケーション情報](#)のセクションを参照してください)。

ブロック図

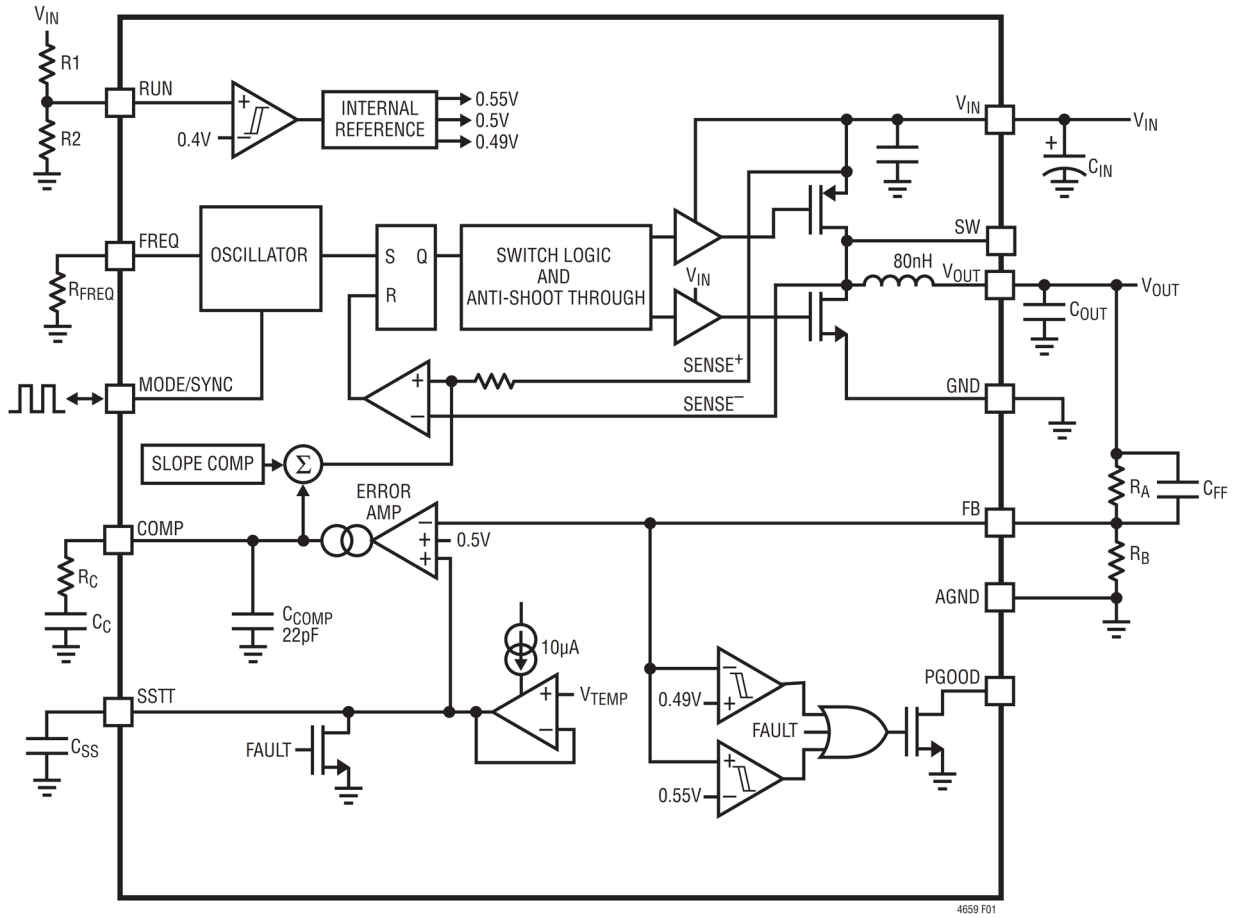


図1. LTM4659の簡略化したブロック図

デカップリング条件

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
C_{IN}	External Input Capacitor Requirement ($V_{IN} = 2.25V$ to $5.5V$, $V_{OUT} = 1.5V$)	$I_{OUT} = 10A$	22			μF
C_{OUT}	External Output Capacitor Requirement ($V_{IN} = 2.25V$ to $5.5V$, $V_{OUT} = 1.5V$)	$I_{OUT} = 10A$	100			μF

動作

LTM4659はスタンドアロンの非絶縁型降圧 μ Moduleレギュレータです。最大10AのDC出力電流を、少数の外付け入出力コンデンサを用いて供給できます。このモジュールは、2.25V~5.5Vの入力電圧範囲にわたり、正確に安定化された0.5V~5.5Vの出力電圧を供給します。詳細については、[標準的応用例](#)の回路図を参照してください。

LTM4659には、定周波数ピーク電流モードの降圧レギュレータが、パワーMOSFET、インダクタ、および他の補助ディスクリート部品と共に内蔵されています。デフォルトのスイッチング周波数は2MHzです。このスイッチング周波数は、1MHz~2.60MHzの外部クロックに同期させることができます。アプリケーション情報のセクションを参照してください。

電流モード制御では、サイクルごとの高速電流制限および過電流保護を行います。内蔵のフィードバック・ループ補償により、様々な出力コンデンサを用いて(全てセラミック出力コンデンサでも)十分な安定性余裕と優れたトランジェント性能が得られます。

フィードバック電圧がレギュレーション・ポイントの-3%/10%の範囲を外れた場合、内蔵の低電圧/過電圧コンパレータがオープンドレインのPGOOD出力をローに引き下げます。更に、過電圧状態では、内蔵のトップMOSFETはオフになり、ボトムMOSFETはオンになって過電圧状態が解消されるまでオンを維持します。

高電力を必要とするシステムでは、同期およびフェーズ・モード制御を使用することで容易にマルチフェーズ動作を行うことができます。

RUNピンをGNDに引き下げると、コントローラは強制的にシャットダウン状態になり、両方のパワーMOSFETとほとんどの内部制御回路がオフになります。軽負荷電流時には、MODE/SYNCピンを V_{IN} に設定することで、PSM動作を有効にし、FCMに比べて高い効率を達成できます。SSTTピンは、電源のトラッキング、ソフトスタートのプログラミング、ダイ温度のモニタリングに使用されます。[アプリケーション情報](#)のセクションを参照してください。

アプリケーション情報

LTM4659の標準的応用例の回路を参照してください。外付け部品の選択は主に、入力電圧、出力電圧、および最大負荷電流によって決まります。特定のアプリケーションに対する外付けコンデンサの具体的な要件については、表8を参照してください。

V_{IN}からV_{OUT}への降圧比

与えられた入力電圧に対して実現できる最小のV_{OUT}降圧比は、レギュレータの最小オン時間で制限されます。

この最小オン時間の制限によってコンバータの最小デューティ・サイクルが課され、その値は式1を使用して計算できません。

$$D_{\text{MIN}} = T_{\text{ON(MIN)}} \cdot f_{\text{SW}} \quad (1)$$

ここで、T_{ON(MIN)}は最小オン時間であり、45nsがLTM4659の標準値です。最小デューティ・サイクルを超えるまれなケースでは、出力が過電圧になり、高いV_{IN}/V_{OUT}比に対応するためにはスイッチング周波数を低くする必要があります。

LTM4659は最大で100%のデューティ・サイクルが可能です。そのため、V_{IN}からV_{OUT}へのドロップアウトは、トップ・スイッチのR_{DS(ON)}、インダクタのDCR、負荷電流によって制限されます。

出力電圧のプログラミングと出力電圧のセンシング

PWMコントローラは、0.5Vのリファレンス電圧を内蔵しています。V_{OUT}のリモート・センシング・ポイントからFBピンまでの間、およびFBピンからAGNDピンまでの間にある抵抗分圧器によって出力電圧が設定されます(式2)。詳細については、ブロック図を参照してください。

$$V_{\text{OUT}} = 0.5V \cdot \frac{R_A + R_B}{R_B} \quad (2)$$

大電流動作では、LTM4659のローカル・グラウンドと負荷のグラウンドの間にグラウンド・オフセットが生じる場合があります。このオフセットを抑制するには、AGNDを負荷グラウンドにケルビン接続し、抵抗分圧器の最低電位ノードをAGNDに接続する必要があります。内蔵エラー・アンプは、このフィードバック電圧とAGNDを基準とした0.5Vの電圧との差を検出します。この方法により、ローカル・グラウンドとリモート出力グラウンド間のグラウンド・オフセットが抑制されるため、より正確な出力電圧が得られます。LTM4659は、リモート出力グラウンドの偏差がローカル・グラウンドに対して±100mVになっても対応可能です。

入力デカップリング・コンデンサ

LTM4659モジュールは、低ACインピーダンスのDC電源に接続する必要があります。全てのV_{IN}ピンを幅広い短い配線パターンで互いに接続し、ピンのできるだけ近くに低ESRコンデンサを配置してPGNDにバイパスしてください。レギュレータについては、実効値リップル電流をデカップリングするために、22μFの一体型入力セラミック・コンデンサを使用することを推奨します。バルク入力コンデンサが必要になるのは、長い誘導性のリード線や配線パターン、または不十分な信号源キャパシタンスによって、入力信号源インピーダンスが低下した場合に限られます。バルク・コンデンサには、アルミ電解コンデンサやポリマー・コンデンサを使用できます。

インダクタ電流リップルを考えなければ、入力コンデンサの実効値電流は式3を使用して概算できます。

$$I_{\text{CIN(RMS)}} = \frac{I_{\text{OUT(MAX)}}}{\eta\%} \cdot \sqrt{D \cdot (1-D)} \quad (3)$$

ここで、η%は電源モジュールの推定効率です。

出力デカップリング・コンデンサ

高周波、広帯域設計を最適化すると、LTM4659で低い出力電圧リップルと非常に優れた過渡応答を実現するのに必要となるのは、47μFの低ESR出力セラミック・コンデンサが2つだけです。出力リップルまたは動的トランジェント・スパイクを更に低減する必要がある場合、システム設計時に追加の出力フィルタリングが必要になる場合があります。表8には、2.5A(25%)の負荷ステップ遷移時に電圧ドループおよびオーバーシュートを最小限に抑えるための様々な出力電圧と出力コンデンサの組み合わせを示しています。

マルチフェーズ動作では、フェーズの数に応じて実効的な出力リップルが減少します。アナログ・デバイズのアプリケーション・ノート77では、このノイズ低減と出力リップル電流相殺の関係について説明していますが、出力容量は安定性と過渡応答の影響をより受けることとなります。アナログ・デバイズのLTpowerCAD[®]設計ツールは、オンラインでダウンロードでき、出力リップル、安定性および過渡応答の解析、用いるフェーズの数をN倍に増加した際の出力リップル低減の計算に利用できます。

アプリケーション情報

動作モード

MODE/SYNCピンは、外部スイッチング周波数またはクロック出力に同期して、PWMモードを設定します。PWMの動作モードは、パルススキッピング・モード(PSM)または強制連続モード(FCM)のいずれかです。表1を参照してください。

表1. LTM4659のシングル・フェーズ構成

FREQ PIN CONNECTION	MODE/SYNC PIN CONNECTION	MODE OF OPERATION	SWITCHING FREQUENCY
V _{IN}	Clock Input	FCM	External Clock
V _{IN}	AGND	FCM	2MHz Default
V _{IN}	V _{IN}	PSM	2MHz Default
Resistor to AGND	Clock Output	FCM	R _{FREQ} Programmed

LTM4659は、低ノイズを求める場合にはFCMで動作し、軽負荷時に高効率を求める場合にはPSMで動作します。LTM4659は、FREQピンとMODE/SYNCピンの両方がV_{IN}に接続されている場合にPSMで動作します。PSMでは、軽負荷時にスイッチング・サイクルをスキップして、出力電圧を制御します。LTM4659は、制御時および同期時にデフォルトのFCMで動作します。FCMでは、トップ・スイッチがサイクルごとにオンになり、負のインダクタ電流を可能にすることで軽負荷のレギュレーションが実現されます。

動作周波数の設定

FREQピンがV_{IN}に接続されている場合、動作周波数はデフォルト値の2MHzになります。このデフォルト周波数より高い周波数が必要な場合、その周波数は、式4を使用してFREQピンからAGNDまでの間に抵抗を接続することで設定することができます。

$$R_{FREQ} = 568 \cdot f_{SW}^{(-1.08)} \quad (4)$$

ここで、R_{FREQ}の単位はkΩであり、f_{SW}は目的のスイッチング周波数で単位はMHzです。

この周波数は、設定により1MHz～3MHzの範囲で切り替えることができます。表2には、目的のスイッチング周波数に必要なR_{FREQ}値を示しています。

表2. SW周波数とR_{FREQ}値の関係

f _{sw} (MHz)	R _{FREQ} (kΩ)
1	549
2	274
2.2	243
3	178

発振器の外部クロックへの同期

LTM4659のスイッチング周波数は、内蔵PLL回路をMODE/SYNCピンに接続された外部クロックに同期させることによって調整できます。同期周波数範囲は1MHz～2.6MHzです。LTM4659は、外部クロックに同期させるとFCMで動作します。

FREQピンをV_{IN}に接続すると、MODE/SYNCピンがクロック入力に設定されます。同期中、トップ・パワー・スイッチのターンオンは外部周波数源の立上がりエッジにロックされます。スロープ補償は外部クロック周波数に合わせて自動的に調整されます。

起動時に、LTM4659がMODE/SYNCに印加された外部クロックを認識するまでは、LTM4659はデフォルトの周波数2MHzでスイッチングを行います。外部から印加されたクロックを認識すると、スイッチング周波数はデフォルト周波数から印加周波数に徐々に移行します。外部クロックが除去されると、LTM4659はゆっくりとデフォルト周波数に戻ります。

同期するクロックの振幅はハイ・レベル値を1.2Vより大きくロー・レベル値を0.4V未満にし、パルス幅は40nsを超える必要があります。MODE/SYNCピンからAGNDの間には内蔵の200k抵抗があるため、MODE/SYNCピンをフローティングにすることができます。スイッチング周波数が低いと、インダクタのピーク電流および出力電圧リップルが増加することに注意してください。

アプリケーション情報

マルチフェーズ動作

出力負荷が10Aを超える電流を必要とする場合、複数のLTM4659を並列に接続し、位相をずらして動作させることで、入出力の電圧リップルを増やさずに出力電流を増やすことができます。表3を参照してください。

複数のLTM4659モジュールを並列に接続して、同じスイッチング周波数、完全なインターリーブ位相シフト、異なるモジュール間での正確な電流分担を実現するには、いずれかのLTM4659が主モジュールとなり、その他のLTM4659が従属モジュールとなるようにプログラムする必要があります。アプリケーション情報のセクションのマルチフェーズ動作を参照してください。

1. 主フェーズのFREQピンからAGNDピンの間に抵抗を接続することで、周波数がプログラムされ、MODE/SYNCピンは従属フェーズのMODE/SYNCピンを駆動するのに使用されるクロック出力となるよう設定されます。

主フェーズのFREQピンを V_{IN} に接続することで、MODE/SYNCピンは外部クロックの受け取りが可能な入力になるように設定されます。起動時など、外部クロックが使用できない場合、スイッチング周波数はデフォルトで公称2MHzの内部周波数になります。

あるフェーズを従属フェーズとして設定するには、FBピンを V_{IN} に接続します。MODE/SYNCは入力になり、電圧制御ループはディスエーブルになります。従属フェーズの電流制御ループはアクティブのまま、ピーク電流は共用のCOMPノードを介して制御されます。フェーズ間でCOMPノードを配線する場合は、慎重に検討する必要があります。低インダクタンスの経路を設けるには、COMPノードとAGNDノードを一緒に配線することを推奨します

それぞれのPGOODピンを一緒に接続し、外付けプルアップ抵抗を追加することで、起動が完了したときに主フェーズが従属フェーズとやり取りできるようになります。

マルチフェーズ動作時の従属チャンネルでは、プルアップ電圧が0.49Vを上回る必要があります。

2. 主フェーズに対する従属フェーズの位相は、FREQピンの抵抗分圧器を用いてプログラムされます(図2を参照)。1%抵抗の使用を推奨します。詳細については表4を参照してください。

従属フェーズは、主/従属方式の動作用に設定されるとFCMで動作します。

表3. マルチフェーズ構成

MAIN/SUBORDINATE	FREQ PIN	FB PIN	MODE/SYNC PIN	SWITCHING FREQUENCY (f_{sw})
Main	V_{IN}	V_{OUT} Divider	Clock Input	External Clock/2MHz Default
Main	Resistor to AGND	V_{OUT} Divider	Clock Output	FREQ Programmed
Subordinate	V_{IN} Divider	V_{IN}	Clock Input	External Clock

表4. 従属フェーズの位相角のプログラム

SYNC PHASE ANGLE	R3 RATIO	R4 RATIO	R3 EXAMPLE	R4 EXAMPLE
0°	0 Ω	NA	0 Ω	NA
90°	3 • R	R	301k	100k
120°	7 • R	5 • R	243k	174k
180°	NA	0 Ω	NA	0 Ω
240°	5 • R	7 • R	174k	243k
270°	R	3 • R	100k	301k

アプリケーション情報

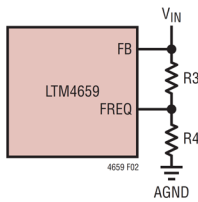


図2. 位相のプログラム

LTM4659 デバイスは、本質的に電流モードで制御されるデバイスであるため、並列に接続されたモジュールは優れた電流分担を示します。これにより、設計上の熱バランスが保たれるようになります。並列にした各チャンネルの RUN ピンと COMP ピンをそれぞれ一緒に接続します。図17～図19には、並列動作とピン接続の例を示しています。

入力実効値リップル電流の相殺

アナログ・デバイセズのアプリケーション・ノート77には、マルチフェーズ動作が詳細に説明されています。入力実効値リップル電流の相殺に関する数学的導出が提示されており、インターリーブ・フェーズ数の関数として RMS リップル電流が減少する様子がグラフに示されています。図3に、このグラフを示します。

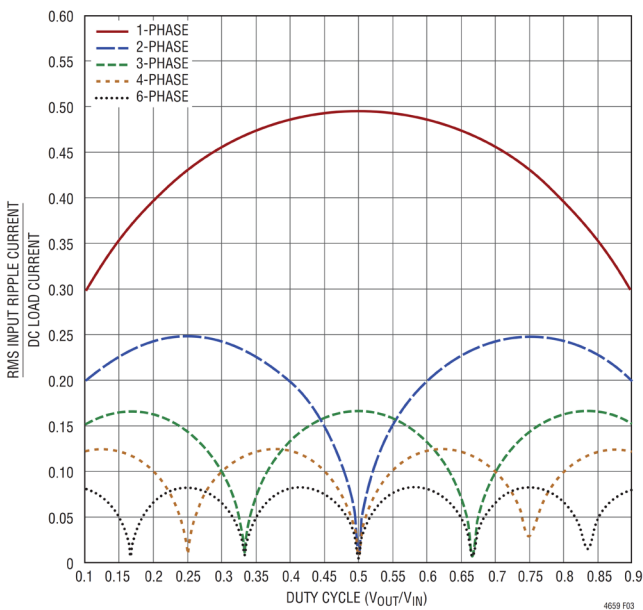


図3. 入力実効値電流とDC負荷電流の比率 (デューティ・サイクルの関数として)

ソフトスタート、トラッキング、温度モニタ

LTM4659では、SSTTピンを用いて出力電圧の上昇率をプログラムすることができます。

SSTTピンは10μAの内部電流によってプルアップされます。SSTTに外付けコンデンサを接続することで、出力をソフトスタートさせることができ、入力電源における電流サージや出力電圧のオーバーシュートを防ぎます。ソフトスタートによる電圧上昇時には、出力電圧がSSTTピンの電圧に比例して追従します。ソフトスタートが完了すると、このピンはLTM4659のジャンクション温度に比例する電圧に従って制御されます。図4には、SSTTピンの動作範囲を示しています。

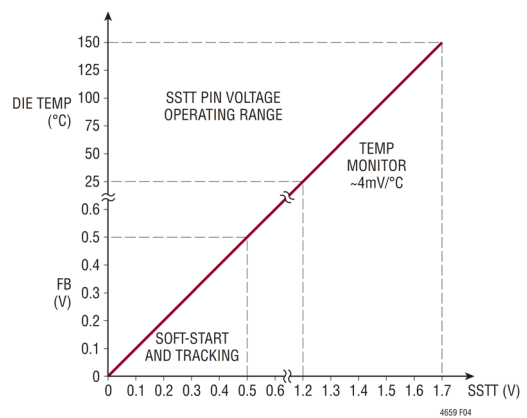


図4. ソフトスタートと温度モニタの動作

ソフトスタート時間の計算には式5を用います。

$$T_{SS} = C_{SS} \cdot \frac{500\text{mV}}{10\mu\text{A}} \quad (5)$$

出力トラッキング・アプリケーションの場合、SSTTは別の電圧源によって外部から駆動させることができます。0V～0.5Vの範囲では、SSTT電圧がエラー・アンプに入力される0.5Vの内部リファレンスをオーバーライドするため、FBピンの電圧がSSTTピンの電圧に安定化されます。SSTTが0.5Vを超えると、トラッキングがディスエーブルになり、フィードバック電圧は内部リファレンス電圧に制御されます。

SSTTピンには、フォルト状態になった場合に外付けのソフトスタート・コンデンサを放電するアクティブ・プルダウン回路が接続されています。フォルトが解消されると、電圧上昇が再開します。ソフトスタート・コンデンサをクリアするフォルト状態には、RUN/UVピンがローに遷移すること、VIN電圧が低下しすぎること、またはサーマル・シャットダウンがあります。

アプリケーション情報

ソフトスタート・サイクルが完了し、出力パワー・グッドのフラグが立つと、SSTTピンはダイのジャンクション温度を通知します。LTM4659は、SSTTピンをジャンクション温度に比例する電圧に制御します。温度を通知する際に、SSTT電圧が1V未満の場合は無効です。ジャンクション温度の計算には式6を用います。

$$T_J (\text{°C}) = \frac{V_{\text{SSTT}}}{4\text{mV}} - 273 \quad (6)$$

より正確なジャンクション温度の測定には、次の手順を用います。

1. 周囲温度 T_A を測定します。
2. V_{OUT} を制御された V_{OUT} よりわずかに高く引き上げた状態で、PSM時のSSTT電圧を測定します。
3. 式7を用いて、温度検出回路のスロープを計算します。

$$\text{Slope} \left(\frac{\text{mV}}{\text{°C}} \right) = \frac{V_{\text{SSTT}}}{T_A + 273} \quad (7)$$

4. キャリブレーション後の新しいスロープを用いてジャンクション温度を計算します。

出力電圧が規定外になり、パワー・グッド・ピンがローに引き下げられると、ソフトスタート・ピンは温度を通知しなくなります。

パワー・グッド

PGOODピンはオープンドレイン・ピンで、出力電圧が有効にレギュレーションされているかをモニタするために使用します。このピンは、レギュレーション・ポイントの-3/10%の範囲をモニタします。モニタリングのために、抵抗を特定の電源電圧までプルアップすることができます。トランジェント時または V_{OUT} が動的に変化している際の不要なPGOODグリッチを防ぐため、LTM4659のPGOODの立下がりエッジには約100 μs のブランキング遅延が含まれています。PGOODは、次のようなフォルト状態時にも強制的にローに引き下げられます。つまり、RUNピンがローの場合、 V_{IN} が低すぎる場合、またはサーマル・シャットダウン時です。

過渡応答とループ補償

補償部品である C_{FF} 、 R_{C} 、 C_{C} を決定する際には、制御ループの安定性と過渡応答の2つが主な考慮事項です。LTM4659は、高速の過渡応答性能を実現するために広帯域幅で動作するように設計されています。広ループ帯域幅で動作することで、過渡応答条件を満たすのに必要な出力容量が低減します。LTM4659を検証して最適化する方法には、負荷変動を加えてシステムの応答をモニタする方法と、ネットワーク・アナライザを用いて実際のループ応答を測定する方法の2つがあります。詳細については、アナログ・デバイセズの技術記事、「電源回路のループの安定性と補償方法について理解する【Part 1】基本的な概念、利用可能なツール」を参照してください。アナログ・デバイセズのLTpowerCADは、補償部品の最適化に役立つツールです。

負荷過渡応答方式で制御ループを安定させる場合は、全負荷電流の20%~100%の出力電流パルス、立上がり時間1 μs で印加します。これにより、出力電圧とCOMPピンの波形にトランジェントが発生します。

スイッチング・レギュレータは、負荷電流のステップに応答するには複数サイクルを要します。負荷ステップが発生すると、 V_{OUT} にはすぐに摂動が現れ、フィードバック・エラー信号が生成されます。この信号はレギュレータが V_{OUT} を定常値に戻すのに使用されます。

この回復時間中に、 V_{OUT} を監視して、安定性の問題を示すオーバーシュートやリングがないかを確認します。最初の出力電圧ステップはフィードバック・ループの帯域幅に入らないことがあるため、標準的な2次オーバーシュート/DC比率を用いて位相余裕を決定することはできません。ループのゲインは R_{C} が大きくなるにつれて増加し、ループの帯域幅は C_{C} が小さくなるにつれて増加します。 C_{C} を小さくすると同じ比率で R_{C} を大きくした場合、ゼロ周波数が維持されるため、フィードバック・ループの最も重要な周波数範囲に位相が維持されます。更に、フィードフォワード・コンデンサ C_{FF} を追加することで、高周波応答が向上します。コンデンサ C_{FF} は、 R_{A} と組み合わせて高周波ゼロを生成することで位相リードをもたらし、位相余裕を改善します。代表的なアプリケーション回路の補償部品は、部品の値としては良い出発点となります。出力電圧のセトリング動作は、クローズドループ・システムの安定性に関連しています。補償部品の最適化に関する詳細な説明については、制御理論の検討を含めて、アナログ・デバイセズのアプリケーション・ノート76を参照してください。

アプリケーション情報

RUN 閾値のプログラム

LTM4659は、スイッチングをイネーブルまたはディスエーブルにする高精度閾値のRUNピンを備えています。RUNピンをグラウンドに引き下げるとLTM4659は強制的にシャットダウン状態となり、両方のパワー MOSFETとほとんどの内部制御回路がオフになります。0.4Vを超えるまでRUNピンを引き上げると、チップ全体がオンになります。

RUN コンパレータの立上がり閾値は400mVで、60mVのヒステリシスがあります。シャットダウン機能を使用しない場合は、RUNピンをV_{IN}に接続します。V_{IN}からRUNの間に抵抗分圧器を追加することで、V_{IN}が目的の電圧を超えた場合に限り、LTM4659が出力を制御するように設定されます(ブロック図を参照)。通常、この閾値V_{IN(RUN)}は、入力電源が電流制限されているか、入力電源のソース抵抗が比較的高い場合に使用されます。スイッチング・レギュレータは電源から一定の電力を引き出すため、電源電圧が低下するにつれて電源電流が増加します。これは電源からは負の抵抗負荷のように見えるため、電源電圧が低い条件下では、電源が電流制限されるか、ローにラッチされる可能性があります。V_{IN(RUN)} 閾値は、問題が生じる可能性のある電源電圧でレギュレータが動作するのを防ぎます。この閾値は、式8を満たすようにR1とR2の値を設定することによって調整できます。

$$V_{IN(RUN)} = \left(\frac{R_1}{R_2} + 1 \right) \cdot 400\text{mV} \quad (8)$$

この場合、LTM4659はV_{IN}がV_{IN(RUN)}を超えるまでオフのままです。コンパレータにはヒステリシスがあるため、入力がV_{IN(RUN)}をわずかに下回るまでスイッチングは止まりません。

あるいは、別のレギュレータの出力からLTM4659のイネーブルRUNピンの間に抵抗分圧器を接続することで、イベント・ベースのパワーアップ・シーケンスが可能となり、その他のレギュレータの出力が所定のレベルに達したときにLTM4659がイネーブルになります。

出力過電圧保護

出力過電圧状態時に、FBピンの電圧が公称値の110%を超えると、LTM4659のトップ・パワー・スイッチがオフになります。出力が100μsを超えて規定値から外れると、PGOODピンはローに引き下げられます。通常の動作条件では、出力過電圧状態になることはありません。

出力短絡保護と回復

電流コンパレータがトップ・パワー・スイッチをシャットオフするピーク・インダクタ電流は、COMPピンの電圧によって制御されます。出力電流が増加すると、エラー・アンプは平均インダクタ電流が新しい負荷電流と一致するまでCOMPピン電圧を上昇させます。通常の動作では、LTM4659は最大のCOMPピン電圧でクランプします。

出力がグラウンドに短絡すると、インダクタ両端の電圧が低くなるため、スイッチオフ時間中にインダクタ電流が非常にゆっくりと低下します。電流を制御し続けるために、インダクタの谷電流にも二次的な制限が課せられます。ボトム・パワー・スイッチを介して測定されたインダクタ電流がI_{VALLEY(MAX)}を超えて増加すると、トップ・パワー・スイッチはオフを維持し、スイッチング・サイクルはインダクタ電流が減少するまでスキップされます。

短絡からの回復は突然生じることがあり、出力が短絡状態となって規定値を下回るため、レギュレータは最大電流を要求して出力を充電することになります。短絡状態が解消されると、インダクタ電流が出力に大きな電圧オーバーシュートを発生させることがあります。LTM4659では、この問題の発生に備えて、出力が規定範囲外となった場合、FB電圧をわずかに超えたところにSSTT電圧を調整します。したがって、出力短絡からの回復は、ソフトスタート・サイクルを経て行われます。出力の立上がりが制御され、オーバーシュートは最小限に抑えられます。

熱に関する考慮事項と出力電流のディレーティング

ピン構成のセクションに記載された熱抵抗は、JESD51-9に定義されたパラメータと一致しています。これらのパラメータは、有限要素解析(FEA)ソフトウェアのモデリング・ツールと一緒に使用することを目的としています。これらのモデ

アプリケーション情報

リング・ツールは、熱的モデリング、シミュレーション、およびハードウェア・テスト・ボードに実装された μ Module パッケージで実施されたハードウェア評価との相関から得られた結果を活用します(ハードウェア評価は、JESD51-9 (Test Boards for Area Array Surface Mount Package Thermal Measurements)にも定義されています)。これらの熱係数を提供する理由は、JESD51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information)に記載されています。

多くの設計者は、実験装置およびデモボードなどのテスト媒体を使用し、自身のアプリケーションにおける μ Module レギュレータの熱性能を様々な電気的および環境的な動作条件で予測して、FEA 結果を補完することがあります。FEA ソフトウェアを使用しない場合、**ピン配置**のセクションに記載された熱抵抗だけでは、熱性能に関するガイダンスとしては直接的な意味を持ちません。しかし、データシートに記載されているデイレートティング曲線を自身のアプリケーションの用途に関する洞察やガイダンスが得られるような方法で使用でき、またこのデイレートティング曲線を修正して熱性能を自身のアプリケーションに関連付けることができます。

ピン配置のセクションには通例に従い、JESD51-12で明示的に定義されている4つの熱係数が記載されています。これらの係数について、以下で引用または解説します。

1. θ_{JA} はジャンクションと周囲環境の間の熱抵抗であり、1立方フィートの密閉容器内で測定された、自然対流におけるジャンクションと周囲環境の間の熱抵抗です。この環境は「静止空気」と呼ばれることもありますが、実際には自然対流により空気の動きが生じます。

この値は、JESD51-9に定義されたテスト・ボードにデバイスを実装して測定されたものであり、実際のアプリケーションや現実的な動作条件を反映してはいません。

2. θ_{JCbot} は、ジャンクションとデバイス・パッケージ底面の間の熱抵抗であり、部品の消費電力が全てパッケージ底面を流れて流れる状態で測定されます。標準的な μ Module レギュレータでは熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。結果として、この熱抵抗の値はパッケージ同士の比較には有用な場合がありますが、テスト条件は一般的にユーザのアプリケーションに即したものではありません。
3. θ_{JCtop} はジャンクションとデバイス・パッケージ上面の間の熱抵抗であり、部品の消費電力のほぼ全てがパッケージ上面を流れて流れる状態で測定されます。標準的な μ Module の電気的接続はパッケージ底部にあるため、熱の大半がジャンクションからパッケージ上面へと流れるように動作するアプリケーションはまれです。 θ_{JCbot} の場合のように、この値はパッケージ同士の比較には有用な場合がありますが、テストの条件は一般的にユーザのアプリケーションに即したものではありません。

前述した熱抵抗を図で表したのが図5です。青色の抵抗は μ Module レギュレータの内部に含まれており、緑色の抵抗は μ Module の外側にあります。

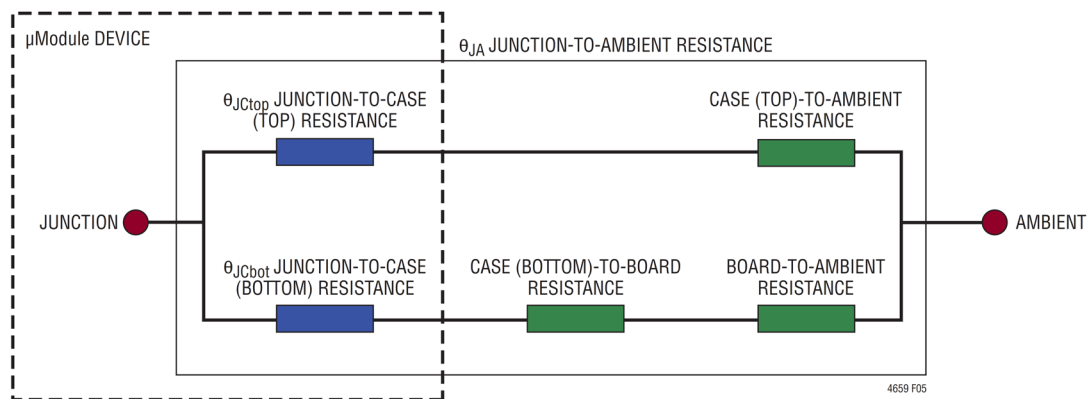


図5. JESD51-12の熱係数の図解

アプリケーション情報

実際には、JESD51-12に定義された(またはピン配置のセクションに記載された)4つの熱抵抗パラメータは、個別であっても、いくつか組み合わせても、 μ Moduleの通常の動作条件を再現したり、示唆したりするものではありません。例えば、通常のボード実装アプリケーションでは、デバイスの総電力損失(熱)の100%が μ Moduleの上部を通ってのみ、または底部を通ってのみ(規格でそれぞれ θ_{JCtop} および θ_{JCbot} として定義されているように)熱伝導することは決してありません。実際には、電力損失はパッケージから両方向に熱放散されます(ヒート・シンクと空気流がなければ、熱の大半がボードに流れることになります)。

SIP(システム・イン・パッケージ)モジュール内部には、電力を放散する複数のパワー・デバイスおよび部品が存在し、結果として、部品またはダイの異なるジャンクションに対する熱抵抗は、パッケージの全電力損失に対して厳密に線形であるわけではないという点に留意する必要があります。この複雑な問題をモデリングの簡潔さを犠牲にすることなく、かつ実用上の現実性も無視することなく解決するために、FEAソフトウェア・モデリングと制御された環境チャンバーでの実験室テストを併用する以下のようなアプローチが取られ、このデータシートに記載されている熱抵抗値を合理的に定義し、関連付けています。(1)最初に、FEAソフトウェアを使用し、正しい材料係数と高精度の電力損失源定義に基づいて、 μ Moduleと指定PCBの正確な機械的形狀モデルを作成します。(2)このモデルを使い、JESD51-9に適合するソフトウェア定義のJEDEC環境をシミュレーションして、様々な接合面における電力損失による熱の流れと温度値を予測します。これで、JEDEC定義の熱抵抗値を計算することができます。(3)このモデルとFEAソフトウェアを使用して、ヒート・シンクと空気流がある場合の μ Moduleの熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデルで様々な動作条件によるシミュレーションを行ったうえで、徹底した実験室評価を実施してシミュレーションで得た状態を再現します。具体的には制御された環境チャンバーを使い、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。このプロセスと十分な検討の結果、このデータシートの他のセクションに示されている一連のデイレティング曲線が得られます。

図6、図7、図8に示す2.5V_{IN}、3.3V_{IN}、5V_{IN}の電力損失曲線を、図9～図14に示す負荷電流のデイレティング曲線と組み合わせ使用し、様々なヒート・シンク条件および空気流条件でLTM4659の θ_{JA} 熱抵抗の概算値を求めることができます。電力損失曲線は室温で得られたものであり、これはジャンクション温度に応じた乗算係数で増加します。ジャンクション温度が120°Cに達していると仮定すると、この近似係数は約1.2です。ジャンクション温度が120°C(125°Cの最大ジャンクション温度から5°Cのガードバンドを見込んだ値)未満である限り、周囲温度が上昇している間も最大負荷電流は実現可能です。ジャンクション温度が120°Cに達する周囲温度になった場合、周囲温度が120°Cまで上昇する間、負荷電流は120°Cのジャンクション温度を維持するために低下します。デイレティング曲線には、電流値が10Aから、周囲温度30°Cから始まる出力電流がプロットされています。出力電圧は1.0V、1.5V、2.5Vです。これらは、熱抵抗の相関を取るために、低出力および高出力の電圧範囲を含めるよう選択されています。熱モデルは、温度制御チャンバー内の複数の温度測定と熱モデリング解析から導出されます。ジャンクション温度は、空気流がある場合とない場合について周囲温度を上げながらモニタします。デイレティング曲線には、周囲温度の変化に伴う電力損失の増加が加味されます。周囲温度が上昇すると、出力電流または出力電力を減少させて、ジャンクション温度を最大120°Cに維持します。この出力電流の減少により、周囲温度が上昇してもモジュール内部の損失が低下します。モニタされた120°Cのジャンクション温度から周囲動作温度を差し引いた値により、モジュール温度の上昇をどこまで許容できるかが規定されます。例えば、ヒート・シンクおよび空気流がない状態で、V_{IN} = 3.3V、V_{OUT} = 1V、負荷電流10Aの場合に許容できる最大周囲温度を求めるには、図7から電力損失を求め(この場合は2.24W)、これにジャンクション温度120°Cに対応する係数1.2を乗じます。120°Cのジャンクション温度から65.4°Cの周囲温度を差し引き、その差54.6°Cを2.7Wで割ると、システムの等価熱抵抗 θ_{JA} は20.2°C/Wとなります。表5には、この値に非常に近い21°C/Wが示されています。表6および表7には、空気流がある場合とない場合での出力1.5Vおよび2.5Vにおける等価熱抵抗が示されています。ピン配置のセクションには、最も厳しい場合のシミュレーション・

アプリケーション情報

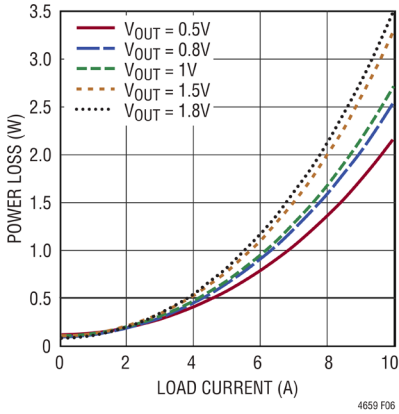


図6. 電力損失と負荷電流の関係 (2.5VIN)

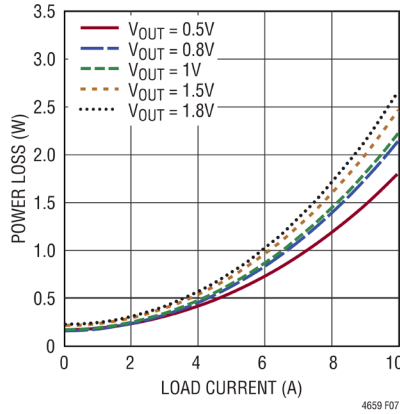


図7. 電力損失と負荷電流の関係 (3.3VIN)

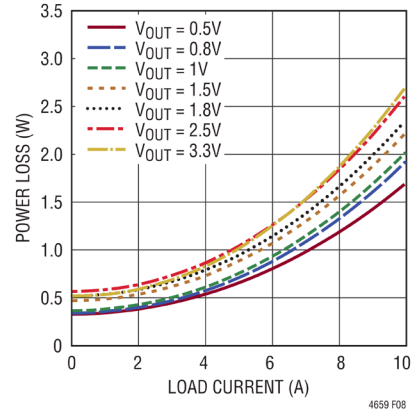


図8. 電力損失と負荷電流の関係 (5VIN)

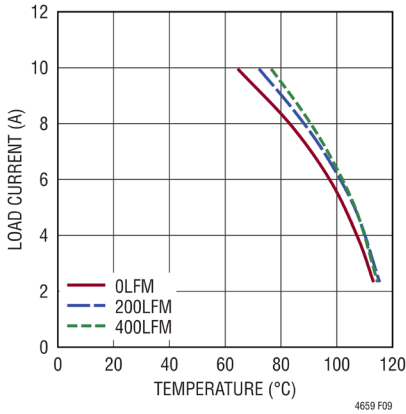


図9. 3.3V入力、1V出力でのディレーティング曲線 (ヒート・シンクなし)

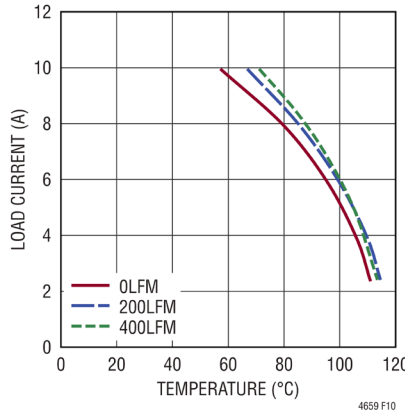


図10. 3.3V入力、1.5V出力でのディレーティング曲線 (ヒート・シンクなし)

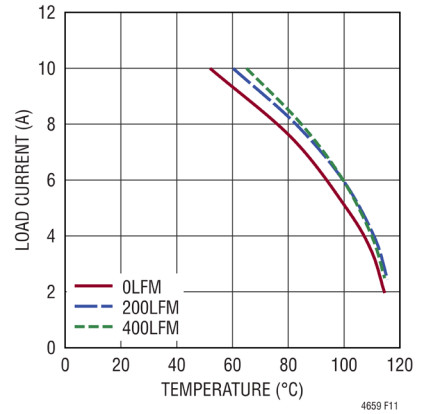


図11. 3.3V入力、2.5V出力でのディレーティング曲線 (ヒート・シンクなし)

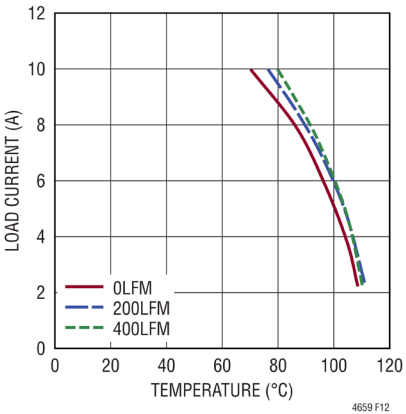


図12. 5V入力、1V出力でのディレーティング曲線 (ヒート・シンクなし)

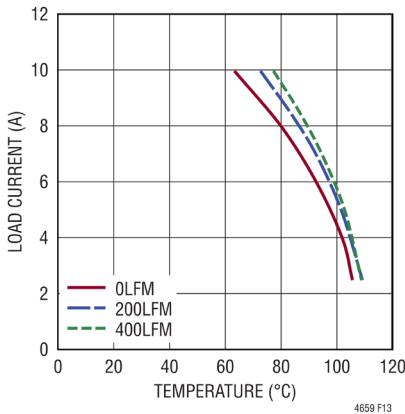


図13. 5V入力、1.5V出力でのディレーティング曲線 (ヒート・シンクなし)

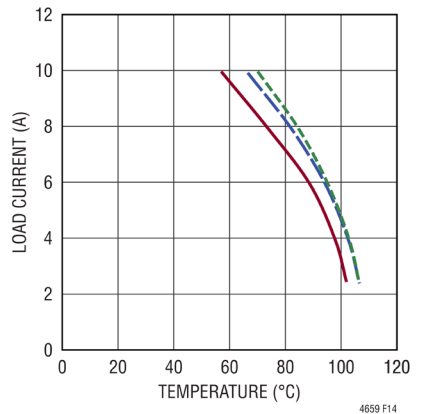


図14. 5V入力、2.5V出力でのディレーティング曲線 (ヒート・シンクなし)

アプリケーション情報

データが示されています。表5～表7には、空気流がある場合とない場合での出力1.0V、1.5V、2.5Vにおける等価熱抵抗が示されています。表5～表7に示す様々な条件で得られた熱抵抗に、周囲温度の関数として算出された電力損失を乗じると、周囲温度からの温度上昇が求まり、結果として最大ジャンクション温度が得られます。室温での電力損失は

代表的な性能特性のセクションに示す効率曲線から求めることができ、更に前述の周囲温度に基づく乗算係数で調整することができます。プリント回路基板は1.6mm厚の4層基板で、外側2層には2オンスの銅、内側2層には1オンスの銅が使用されています。PCBの寸法は76mm × 76mmです。

表5. 1.0V出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 9, Figure 12	3.3, 5	Figure 7, Figure 8	0	None	21
Figure 9, Figure 12	3.3, 5	Figure 7, Figure 8	200	None	18
Figure 9, Figure 12	3.3, 5	Figure 7, Figure 8	400	None	17

表6. 1.5V出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 10, Figure 13	3.3, 5	Figure 7, Figure 8	0	None	22
Figure 10, Figure 13	3.3, 5	Figure 7, Figure 8	200	None	19
Figure 10, Figure 13	3.3, 5	Figure 7, Figure 8	400	None	18

表7. 2.5V出力

DERATING CURVE	V _{IN} (V)	POWER LOSS CURVE	AIRFLOW (LFM)	HEAT SINK	θ _{JA} (°C/W)
Figure 11, Figure 14	3.3, 5	Figure 7, Figure 8	0	None	23
Figure 11, Figure 14	3.3, 5	Figure 7, Figure 8	200	None	18
Figure 11, Figure 14	3.3, 5	Figure 7, Figure 8	400	None	17

アプリケーション情報

表 8. 出力電圧応答と部品の対応関係 (標準的応用例を参照) 0A~5A の負荷ステップ、測定値は代表値

C _{IN} CERAMIC VENDORS	VALUE (μF)	PART NUMBER	C _{OUT} VENDORS	VALUE (μF)	PART NUMBER
Taiyo Yuden	10	EMK212BB7106MG-T	Murata	22	GRM188R60J226MEA0D
Murata	22	GRM188R61A226ME15D	Murata	100	GRM21BR60J107ME15K

V _{OUT} (V)	C _{IN} (CERAMIC) (μF)	C _{IN} (BULK)	C _{OUT} (CERAMIC) (μF)	C _{FF} (pF)	V _{IN} (V)	DROOP (mV)	P-P Deviation (mV)	RECOVERY TIME (μs)	LOAD STEP (A/μs)	LOAD STEP SLEW RATE (A/μs)	FREQ. (kHz)
0.5	10 ×2	150	100 + 22 ×2	Open	3.3	40	78	5	5	5	1000
0.8	10 ×2	150	100 + 22 ×2	Open	3.3	45	92	10	5	5	2000
0.8	10 ×2	150	100 + 22 ×2	Open	5	45	90	10	5	5	2000
1	10 ×2	150	100 + 22 ×2	Open	3.3	55	109	10	5	5	2000
1	10 ×2	150	100 + 22 ×2	Open	5	55	105	10	5	5	2000
1.5	10 ×2	150	100 + 22 ×2	Open	3.3	80	157	10	5	5	2000
1.5	10 ×2	150	100 + 22 ×2	Open	5	80	156	10	5	5	2000
2.5	10 ×2	150	100 + 22 ×2	Open	3.3	120	239	15	5	5	2000
2.5	10 ×2	150	100 + 22 ×2	Open	5	120	241	15	5	5	2000
3.3	10 ×2	150	100 + 22 ×2	Open	5	120	291	15	5	5	2000

安全に関する考慮事項

LTM4659モジュールのV_{IN}とV_{OUT}は、電氣的に絶縁されていません。また、内部ヒューズもありません。必要に応じて、最大入力電流の2倍の定格値を持つ低速溶断ヒューズを使って、各ユニットを致命的損傷から保護してください。デバイスは、サーマル・シャットダウンと過電流保護機能をサポートしています。

レイアウト・チェックリスト/レイアウト例

LTM4659は高度に集積化されているので、PCBのレイアウトは非常にシンプルで容易になります。ただし、電氣的性能と熱的性能を最適化するために、必要なレイアウト上の考慮事項がいくつかあります。

- 大電流の経路 (V_{IN}、GND、V_{OUT}を含む)には、PCBの銅箔面積を広く確保します。これは、PCBの伝導損失と熱ストレスを最小限に抑える助けとなります。
- 高周波セラミック入出力コンデンサをV_{IN}、GND、V_{OUT}の各ピンの隣にできるだけ近づけて配置します。これは高周波ノイズを最小限に抑えるためです。

- ユニットの下には専用の電源グラウンド層を配置します。
- ビアの伝導損失を最小限に抑え、モジュールの熱応力を低減するために、トップ層と他の電力層との相互接続には複数のビアを使用してください。
- ビアは、キャップされているか、メッキされている場合を除いて、パッド上に直接配置してはいけません。
- 信号ピンに接続されている部品には、分離されたGND銅箔領域を使用します。ユニットの下では、AGNDをGNDに接続します。
- 並列に接続したモジュールでは、V_{OUT}、RUN、COMPの各ピンを一緒に接続します。これらのピンをまとめて接続するには、内側の層を使用します。
- モニタリングのため、信号ピンからテスト・ポイントを引き出します。

図15に、推奨レイアウトの好例を示します。

アプリケーション情報

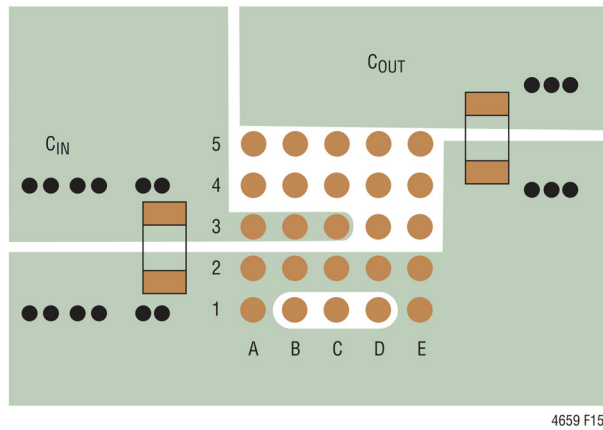


図 15. 推奨 PCB レイアウト

標準的応用例

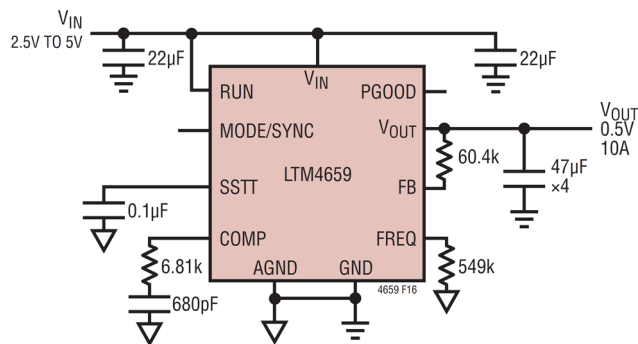


図 16. 高効率、1MHz、0.5V、10A、強制連続モード、少ない部品点数

標準的応用例

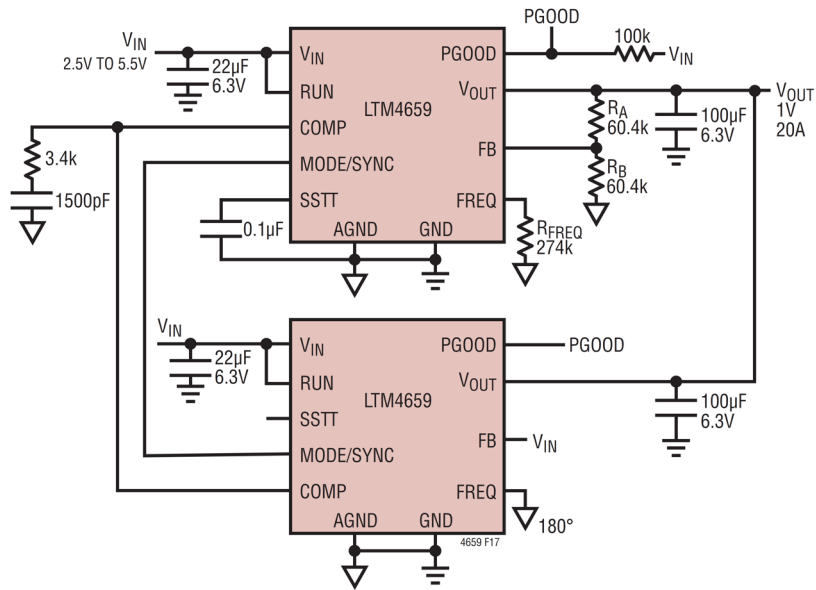


図17. デュアルフェーズ・アプリケーション (180°の位相ずれ)

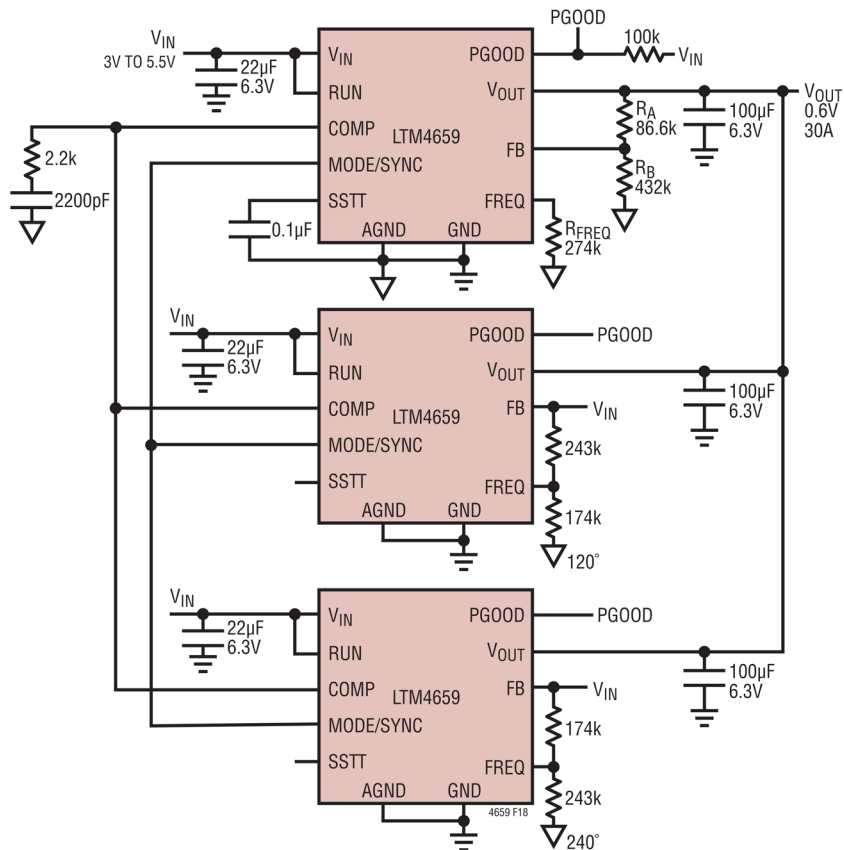


図18. 3フェーズ・アプリケーション

標準的応用例

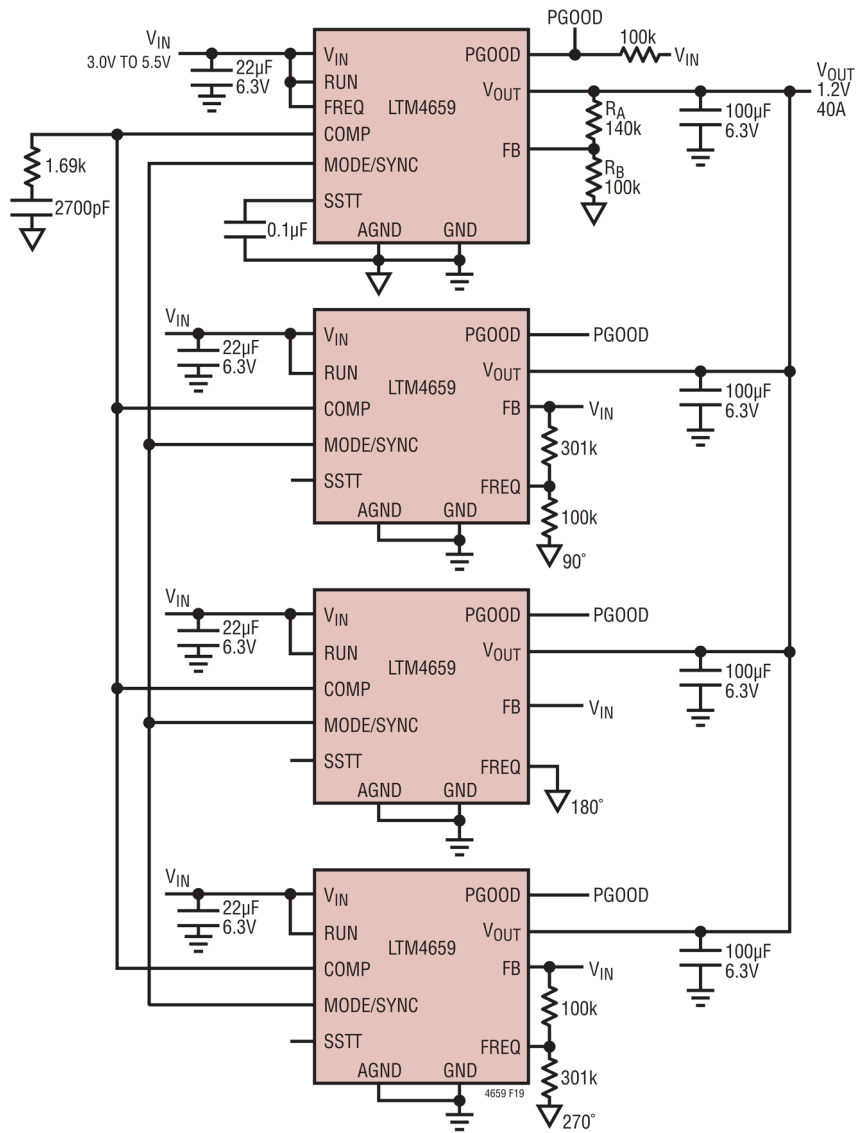


図 19.4 フェーズ・アプリケーション

パッケージの説明

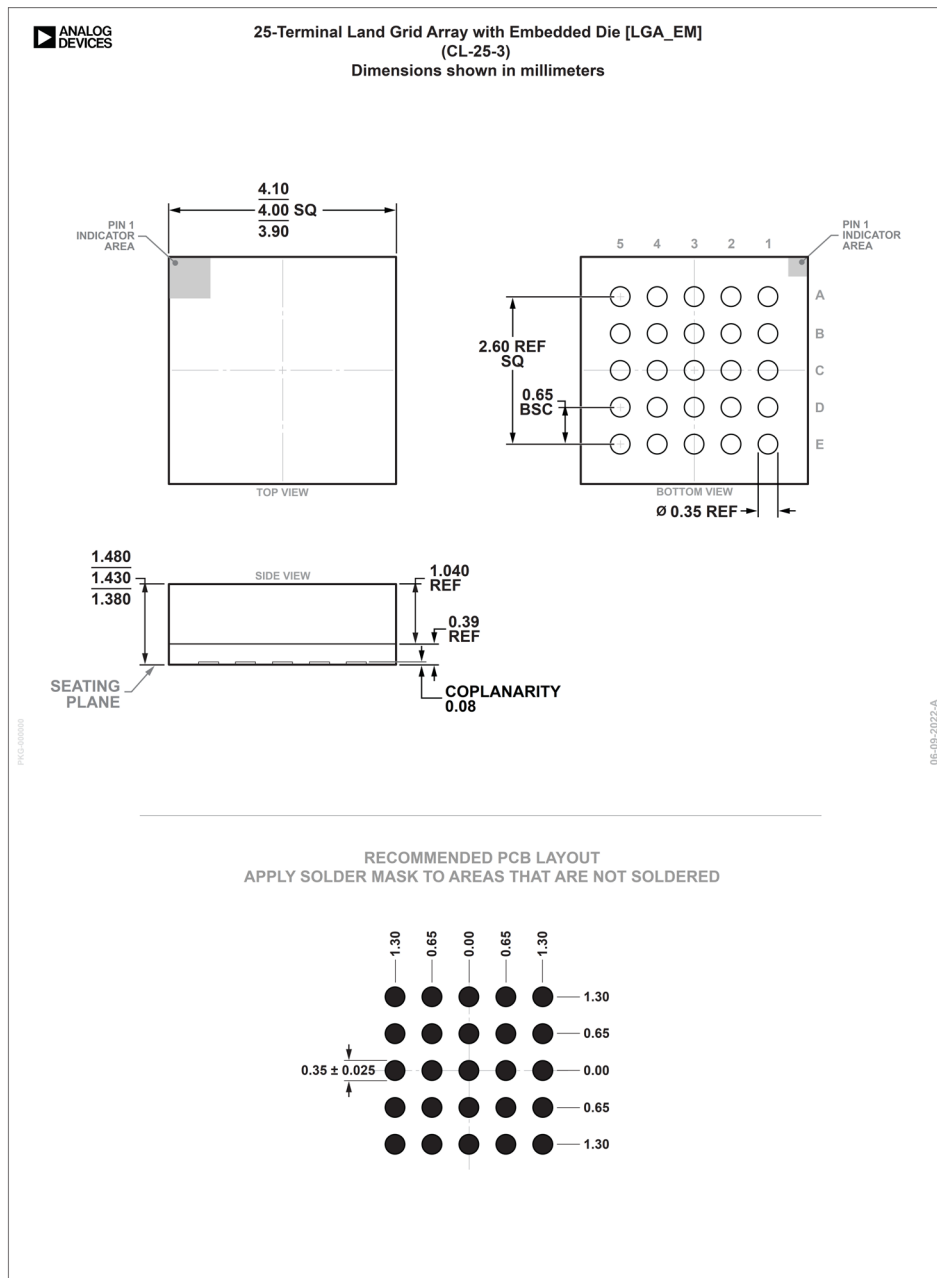


μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

表9. LTM4659 部品のピンアウト

PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION	PIN ID	FUNCTION
A1	GND	A2	GND	A3	V _{IN}	A4	COMP	A5	RUN
B1	SW	B2	GND	B3	V _{IN}	B4	FB	B5	V _{OUT}
C1	SW	C2	GND	C3	V _{IN}	C4	AGND	C5	V _{OUT}
D1	SW	D2	GND	D3	MODE/SYNC	D4	SSTT	D5	V _{OUT}
E1	GND	E2	GND	E3	PGOOD	E4	FREQ	E5	V _{OUT}

パッケージの説明

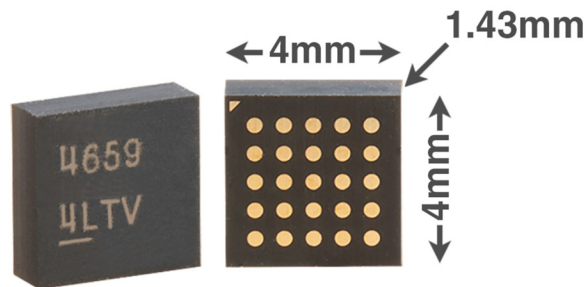


改訂履歴

版数	改訂日	説明	改訂ページ
0	04/24	初版発行	—

LTM4659

パッケージ写真 製品マーキングはインク・マーキングまたはレーザ・マーキングです。



設計リソース

SUBJECT	DESCRIPTION
μModule Design and Manufacturing Resources	<p>Design:</p> <ul style="list-style-type: none"> • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools <p>Manufacturing:</p> <ul style="list-style-type: none"> • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability
μModule Regulator Products Search	<p>1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table.</p> <div style="border: 1px solid #ccc; padding: 5px; background-color: #f9f9f9;"> <p>Quick Power Search</p> <p>INPUT $V_{in}(\text{Min})$ <input type="text"/> V $V_{in}(\text{Max})$ <input type="text"/> V</p> <p>OUTPUT V_{out} <input type="text"/> V I_{out} <input type="text"/> A</p> <p>FEATURES <input type="checkbox"/> Low EMI <input type="checkbox"/> Ultrathin <input type="checkbox"/> Internal Heat Sink</p> <p style="text-align: center;">Multiple Outputs Search</p> </div>
Digital Power System Management	Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging.

関連製品

製品番号	概要	注釈
LTM4658	低 V_{IN} 、10A の Silent Switcher 2 μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$, $0.5V \leq V_{OUT} \leq V_{IN}$, 4mm × 4mm × 4.32mm LGA パッケージ, 4mm × 4mm × 4.62mm BGA パッケージ
LTM4691	低 V_{IN} 、超薄型、デュアル 2A の μ Module レギュレータ	$2.25V \leq V_{IN} \leq 3.6V$, $0.5V \leq V_{OUT} \leq 2.5V$, 3mm × 4mm × 1.18mm LGA パッケージ, 3mm × 4mm × 1.48mm BGA パッケージ
LTM4710-1	低 V_{IN} 、クワッド 8A の Silent Switcher μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$, $0.5V \leq V_{OUT} \leq 3.6V$, 6mm × 12mm × 3.54mm LGA パッケージ
LTM4693	低 V_{IN} 、超薄型、2A の昇降圧 μ Module レギュレータ	$2.6V \leq V_{IN} \leq 5.5V$, $1.8V \leq V_{OUT} \leq 5.5V$, 3.5mm × 4mm × 1.25mm LGA パッケージ
LTM4611	超低 V_{IN} 、15A の μ Module レギュレータ	$1.5V \leq V_{IN} \leq 5.5V$, $0.8V \leq V_{OUT} \leq 5V$, 15mm × 15mm × 4.32mm LGA パッケージ
LTM4670	低 V_{IN} 、クワッド 10A の μ Module レギュレータ	$2.25V \leq V_{IN} \leq 5.5V$, $0.5V \leq V_{OUT} \leq V_{IN}$, 7.5mm × 15mm × 4.65mm BGA パッケージ

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年10月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年10月22日

製品名：ATM4659

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：15頁、左の段、下から8行目

【誤】

「・・・JESD51-12で明示的に定義されている 4つの熱係数 が記載されています。」

【正】

「・・・JESD51-12で明示的に定義されている 3種の熱係数 が記載されています。」