

アクティブ電圧ポジショニングを備えたデュアル25Aまたはシングル50A μ Moduleレギュレータ

特長

- デュアル25A出力またはシングル50A出力
- 4.5V~15Vの入力電圧範囲、0.6V~1.8Vの出力電圧範囲
- ラインおよび負荷に対する最大合計DC出力誤差: $\pm 1.5\%$
- リモート検出差動アンプ
- 電流モード制御/高速過渡応答
- 電流分担: 最大300A
- AVP(アクティブ電圧ポジショニング)対応
- 16mm \times 16mm \times 5.01mm BGAパッケージ

アプリケーション

- FPGA、ASIC、マイクロプロセッサ・コアの電圧レギュレーション
- 情報通信システム

概要

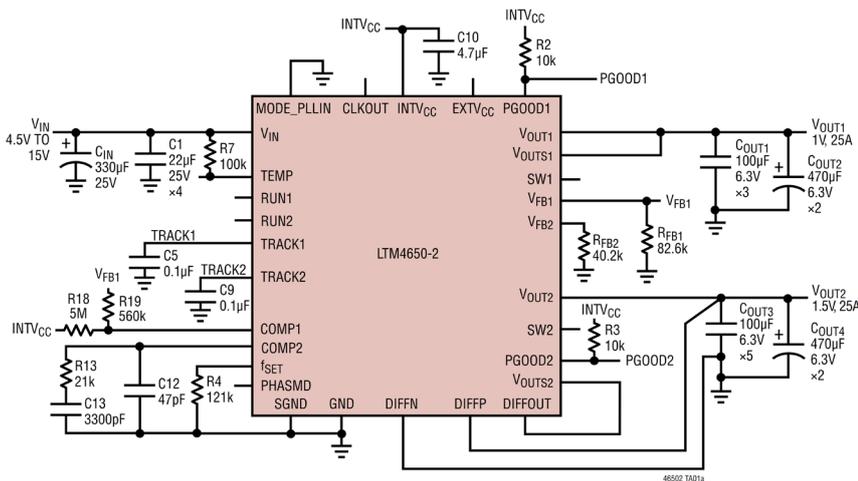
LTM[®]4650-2は、デュアル25Aまたはシングル50A出力の降圧 μ Module[®](マイクロモジュール)レギュレータで、合計DC出力誤差は $\pm 1.5\%$ です。パッケージにはスイッチング・コントローラ、パワーFET、インダクタ、全ての補助部品が内蔵されています。外部補償により高速過渡応答が可能となるため、FPGA、ASIC、プロセッサへの給電時の出力容量を最小限に抑えることができます。AVPを使用することで過渡応答を更に改善し、出力容量を低減できます。同期されたマルチフェーズ並列電流分担により、6個のLTM4650-2デバイスで最大300Aを供給できます。

LTM4650-2はSnPbまたはRoHS準拠の端子仕上げが行われ、16mm \times 16mm \times 5.01mmのBGAパッケージにより供給されます。

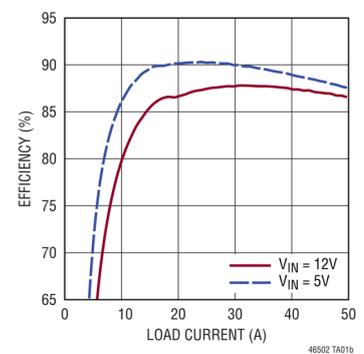
本紙記載の登録商標および商標は、全て各社の所有に属します。

標準的応用例

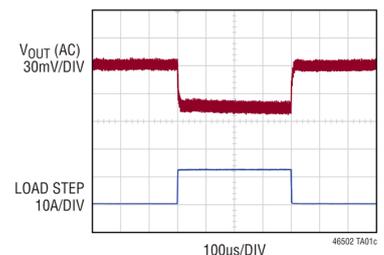
デュアル25A、1.0Vおよび1.5V出力DC/DC μ Moduleレギュレータ



1.0V出力の効率、 $f_{sw} = 500kHz$



50% (12.5A) 負荷ステップの過渡応答、12VIN、1VOUT (AVP有効)



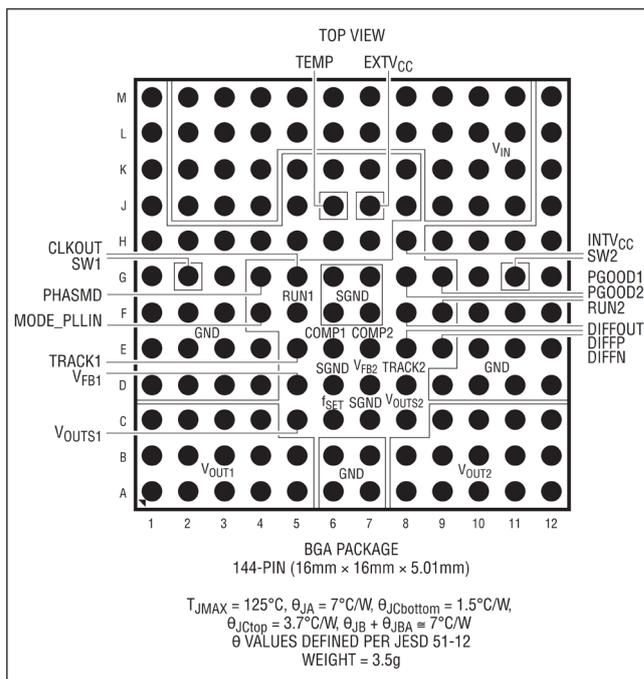
LTM4650-2

絶対最大定格

(Note 1)

| | |
|------------------------------------------------------------------------------|--------------------------|
| V_{IN} | -0.3V~16V |
| V_{SW1} , V_{SW2} | -1V~16V |
| PGOOD1, PGOOD2, RUN1, RUN2, INTV _{CC} , EXTV _{CC} | -0.3V~6V |
| MODE_PLLIN, f_{SET} , TRACK1, TRACK2, DIFFOUT, PHASMD | -0.3V~INTV _{CC} |
| V_{OUT1} , V_{OUT2} , V_{OUTS1} , V_{OUTS2} (Note 6) | -0.3V~6V |
| DIFFP, DIFFN | -0.3V~INTV _{CC} |
| INTV _{CC} のピーク出力電流 | 100mA |
| 内部動作ジャンクション温度範囲 (Note 2) ... | -40°C~125°C |
| 保管温度範囲 | -55°C~125°C |
| パッケージ本体のピーク温度 | 245°C |

ピン配置



発注情報

| 製品番号 | パッド/ボール仕上げ* | 製品マーキング | | パッケージ・タイプ | MSLレーティング | 温度範囲 (Note 2 参照) |
|-----------------|---------------|-----------|--------|-----------|-----------|---------------------|
| | | デバイス | 仕上げコード | | | |
| LTM4650EY-2#PBF | SAC305 (RoHS) | TM4650Y-2 | e1 | BGA | 4 | -40°C~125°C |
| LTM4650IY-2#PBF | SAC305 (RoHS) | TM4650Y-2 | e1 | BGA | 4 | -40°C~125°C |
| LTM4650IY-2 | SnPb (63/37) | TM4650Y-2 | e0 | BGA | 4 | -40°C~125°C |

・ 更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。 ・ 推奨されるLGAおよびBGA PCBのアセンブリおよび製造手順
パッドまたはボールの仕上げコードはIPC/JEDEC J-STD-609に準拠しています。 ・ LGAおよびBGAのパッケージ図面とトレイ図面

電気的特性

● は、仕様規定された内部動作ジャンクション温度範囲に適用される仕様を示します。それぞれの出力チャンネルごとに仕様化されています。特に指定のない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 V_{RUN1} と V_{RUN2} は 5V。標準的応用例 (図 24) による。

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|--------------------------------------------------|----------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|-------|-------|-------|
| V_{IN} | Input DC Voltage | | ● | 4.5 | 15 | V |
| V_{OUT} | Output DC Voltage | | ● | 0.6 | 1.8 | V |
| $V_{OUT1}(\text{DC})$, $V_{OUT2}(\text{DC})$ | Output Voltage, Total Variation with Line and Load | $C_{IN} = 22\mu\text{F} \times 3$, $C_{OUT} = 100\mu\text{F} \times 2$ Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 0\text{A}$ to 25A | ● | 1.182 | 1.218 | V |

Input Specifications

| | | | | | | | |
|---------------------------------------------|--------------------------|------------|--|-----|------|------|----|
| V_{RUN1} , V_{RUN2} | RUN Pin On/Off Threshold | RUN Rising | | 1.1 | 1.25 | 1.40 | V |
| $V_{RUN1\text{HYS}}$, $V_{RUN2\text{HYS}}$ | RUN Pin On Hysteresis | | | | 150 | | mV |

電氣的特性

●は、仕様規定された内部動作ジャンクション温度範囲に適用される仕様を示します。それぞれの出力チャンネルごとに仕様化されています。特に指定のない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 V_{RUN1} と V_{RUN2} は5V。標準的応用例(図24)による。

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|----------------------|--------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----|------------------------|-----|---------------------------------|
| $I_{INRUSH}(V_{IN})$ | Input Inrush Current at Start-Up | $I_{OUT} = 0\text{A}$, $C_{IN} = 22\mu\text{F} \times 3$, $C_{SS} = 0.01\mu\text{F}$, $C_{OUT} = 100\mu\text{F} \times 3$, $V_{OUT} = 1.2\text{V}$ | | 1 | | A |
| $I_Q(V_{IN})$ | Input Supply Bias Current (Both Channel Running) | $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Burst Mode Operation $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Pulse-Skipping Mode $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Switching Continuous Shutdown, $RUN = 0$, $V_{IN} = 12\text{V}$ | | 4.5 25 240 35 | | mA mA mA μA |
| $I_S(V_{IN})$ | Input Supply Current | $V_{IN} = 4.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 25\text{A}$ $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 25\text{A}$ | | 8.4 3.2 | | A A |

Output Specifications

| | | | | | | |
|------------------------------------------------------------------------------------|-------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---|------|------|-------------------|
| $I_{OUT1}(\text{DC}), I_{OUT2}(\text{DC})$ | Output Continuous Current Range | $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$ (Note 6) | | 0 | 25 | A |
| $\Delta V_{OUT1}(\text{LINE})/V_{OUT1}$ $\Delta V_{OUT2}(\text{LINE})/V_{OUT2}$ | Line Regulation Accuracy | $V_{OUT} = 1.2\text{V}$, V_{IN} from 4.5V to 15V, $I_{OUT} = 0\text{A}$ for Each Output | ● | 0.01 | 0.1 | %/V |
| $\Delta V_{OUT1}/V_{OUT1}$ $\Delta V_{OUT2}/V_{OUT2}$ | Load Regulation Accuracy | For Each Output, $V_{OUT} = 1.2\text{V}$, 0A to 25A, $V_{IN} = 12\text{V}$ (Note 6) | ● | 0.2 | 0.75 | % |
| $V_{OUT1}(\text{AC}), V_{OUT2}(\text{AC})$ | Output Ripple Voltage | For Each Output, $I_{OUT} = 0\text{A}$, $C_{OUT} = 100\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, Frequency = 500kHz | | 15 | | mV _{P-P} |
| f_S (Each Channel) | Output Ripple Voltage Frequency | $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$, $f_{SET} = 1.25\text{V}$ (Note 4) | | 500 | | kHz |
| f_{SYNC} (Each Channel) | SYNC Capture Range | | | 400 | 750 | kHz |
| $\Delta V_{OUTSTART}$ (Each Channel) (Note 7) | Turn-On Overshoot | $C_{OUT} = 100\mu\text{F}$ Ceramic, 470 μF POSCAP, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 0\text{A}$ $V_{IN} = 12\text{V}$ | | 10 | | mV |
| t_{START} (Each Channel) | Turn-On Time | $C_{OUT} = 100\mu\text{F}$ Ceramic, 470 μF POSCAP, No Load, TRACK/SS with 0.01 μF to GND, $V_{IN} = 12\text{V}$ | | 5 | | ms |
| $\Delta V_{OUT(LS)}$ (Each Channel) (Note 7) | Peak Deviation for Dynamic Load | Load: 0% to 50% to 0% of Full Load, $C_{OUT} = 22\mu\text{F} \times 3$ Ceramic, 470 μF POSCAP, $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$ | | 30 | | mV |
| t_{SETTLE} (Each Channel) (Note 7) | Settling Time for Dynamic Load Step | Load: 0% to 50% to 0% of Full Load, $V_{IN} = 12\text{V}$, $C_{OUT} = 100\mu\text{F}$, 470 μF POSCAP | | 20 | | μs |
| $I_{OUT(PK)}$ (Each Channel) | Output Current Limit | $V_{IN} = 12\text{V}$, $V_{OUT} = 1.2\text{V}$ | | 35 | | A |

Control Section

| | | | | | | | |
|------------------------------|-------------------------------------------------------------------------------------------|-------------------------------------------------|---|-------|-------|-------|---------------|
| V_{FB1}, V_{FB2} | Voltage at V_{FB} Pins | $I_{OUT} = 0\text{A}$, $V_{OUT} = 1.2\text{V}$ | ● | 0.594 | 0.600 | 0.606 | V |
| I_{FB} | | (Note 5) | | -5 | -20 | | nA |
| V_{OVL} | Feedback Overvoltage Lockout | | ● | 0.64 | 0.66 | 0.68 | V |
| TRACK1 (I), TRACK2 (I) | Track Pin Soft-Start Pull-Up Current | TRACK1 (I), TRACK2 (I) Start at 0V | | 1 | 1.3 | 1.5 | μA |
| UVLO | Undervoltage Lockout (Falling) | | | 3.3 | | | V |
| UVLO Hysteresis | | | | 0.6 | | | V |
| $t_{ON(MIN)}$ | Minimum On-Time | (Note 5) | | 90 | | | ns |
| R_{FBH1}, R_{FBH2} | Resistor Between V_{OUTS1} , V_{OUTS2} and V_{FB1} , V_{FB2} Pins for Each Output | | | 60.05 | 60.4 | 60.75 | k Ω |
| V_{PGOOD1}, V_{PGOOD2} Low | PGOOD Voltage Low | $I_{PGOOD} = 2\text{mA}$ | | 0.1 | 0.3 | | V |

電氣的特性

●は、仕様規定された内部動作ジャンクション温度範囲に適用される仕様を示します。それぞれの出力チャンネルごとに仕様化されています。特に指定のない限り、 $T_A = 25^\circ\text{C}$ (Note 2)、 $V_{IN} = 12\text{V}$ 、 V_{RUN1} と V_{RUN2} は5V。標準的応用例(図24)による。

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|-------------------------------------------|---------------------------------------|-------------------------------------------------------------------------------------------------------|--------------------------|-----------------|-----|-------------------|
| I_{PGOOD} | PGOOD Leakage Current | $V_{PGOOD} = 5\text{V}$ | | | ±5 | μA |
| V_{PGOOD} | PGOOD Trip Level | V_{FB} with Respect to Set Output Voltage V_{FB} Ramping Negative V_{FB} Ramping Positive | | -10 10 | | % % |
| INTV_{CC} Linear Regulator | | | | | | |
| V_{INTVCC} | Internal V_{CC} Voltage | $6\text{V} < V_{IN} < 15\text{V}$ | 4.8 | 5 | 5.2 | V |
| V_{INTVCC} Load Regulation | INTV _{CC} Load Regulation | $I_{CC} = 0\text{mA}$ to 50mA | | 0.75 | 2 | % |
| V_{EXTVCC} | EXTV _{CC} Switchover Voltage | EXTV _{CC} Ramping Positive | 4.5 | 4.7 | | V |
| $V_{EXTVCC}(\text{DROP})$ | EXTV _{CC} Dropout | $I_{CC} = 20\text{mA}$, $V_{EXTVCC} = 5\text{V}$ | | 50 | 100 | mV |
| $V_{EXTVCC}(\text{HYST})$ | EXTV _{CC} Hysteresis | | | 220 | | mV |
| Oscillator and Phase-Locked Loop | | | | | | |
| Frequency Nominal | Nominal Frequency | $f_{SET} = 1.2\text{V}$ | 450 | 500 | 550 | kHz |
| Frequency Low | Lowest Frequency | $f_{SET} = 0.93\text{V}$ | | 400 | | kHz |
| Frequency High | Highest Frequency | $f_{SET} > 2.4\text{V}$, Up to INTV _{CC} | | 750 | | kHz |
| f_{SET} | Frequency Set Current | | 9 | 10 | 11 | μA |
| R_{MODE_PLLIN} | MODE_PLLIN Input Resistance | | | 250 | | kΩ |
| CLKOUT | Phase (Relative to V_{OUT1}) | PHASMD = GND PHASMD = Float PHASMD = INTV _{CC} | | 60 90 120 | | Deg Deg Deg |
| CLK High | Clock High Output Voltage | | 2 | | | V |
| CLK Low | Clock Low Output Voltage | | | | 0.4 | V |
| Differential Amplifier | | | | | | |
| A_V Differential Amplifier | Gain | | | 1 | | V/V |
| R_{IN} | Input Resistance | Measured at DIFFP Input | | 80 | | kΩ |
| V_{OS} | Input Offset Voltage | $V_{DIFFP} = V_{DIFFOUT} = 1.5\text{V}$, $I_{DIFFOUT} = 100\mu\text{A}$ | | | 3 | mV |
| PSRR Differential Amplifier | Power Supply Rejection Ratio | $5\text{V} < V_{IN} < 15\text{V}$ | | 90 | | dB |
| I_{CL} | Maximum Output Current | | | 2 | | mA |
| $V_{OUT}(\text{MAX})$ | Maximum Output Voltage | $I_{DIFFOUT} = 300\mu\text{A}$ | INTV _{CC} - 1.4 | | | V |
| GBW (Note 8) | Gain Bandwidth Product | | | 3 | | MHz |
| V_{TEMP} | Diode Connected PNP | $I = 100\mu\text{A}$ | | 0.6 | | V |
| TC | Temperature Coefficient | | | -2.2 | | mV/°C |

Note 1: 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性と寿命に影響を与えることがあります。

Note 2: LTM4650-2は $T_J \approx T_A$ となるようなパルス負荷条件下でテストされています。LTM4650-2Eは、 $0^\circ\text{C} \sim 125^\circ\text{C}$ の内部温度で仕様を満たすよう設計されています。 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作ジャンクション温度範囲における仕様は、設計、特性評価、および統計的プロセス制御との相関付けによって確認されています。LTM4650-2Iの動作は、 $-40^\circ\text{C} \sim 125^\circ\text{C}$ の内部動作温度範囲全体にわたって確保されています。ここに示す仕様に見合った

最大周囲温度は、具体的な動作条件と、ボード・レイアウト、パッケージの熱抵抗定格値、およびその他の環境条件の組み合わせによって決まります。

Note 3: 2つの出力は個別にテストしており、各出力に適用したテスト条件は同一です。

Note 4: LTM4650-2デバイスは、400kHz~750kHzで動作するよう設計されています。

Note 5: これらのパラメータは、ウェーハ・ソート時にテストされたものです。

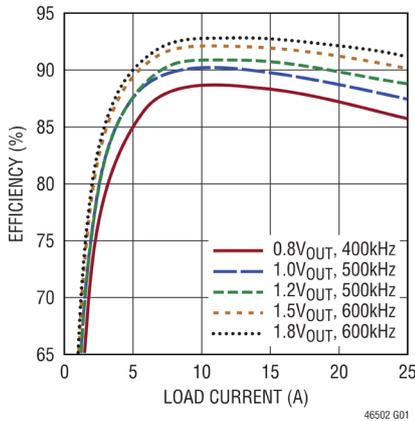
Note 6: 他の V_{IN} 、 V_{OUT} 、 T_A については、熱に関する考慮事項と出力電流のデレーティングを参照してください。

Note 7: 代表的なパラメータはベンチ測定に基づいています。

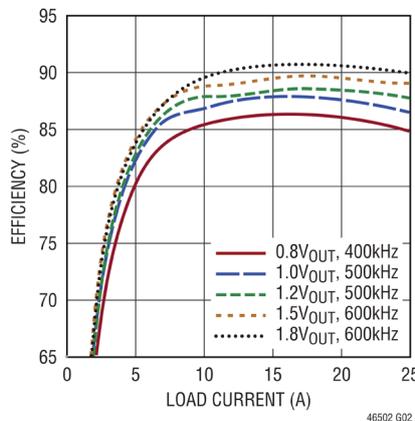
Note 8: 設計により性能を確保しています。

代表的な性能特性

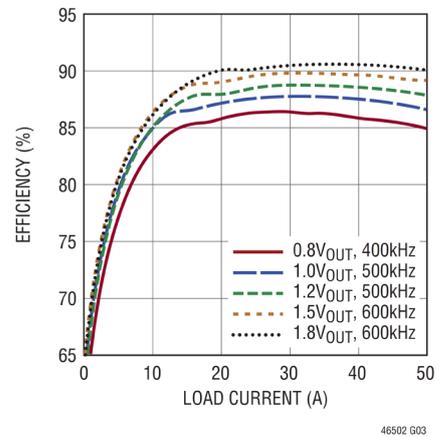
効率と出力電流の関係、 $V_{IN} = 5V$



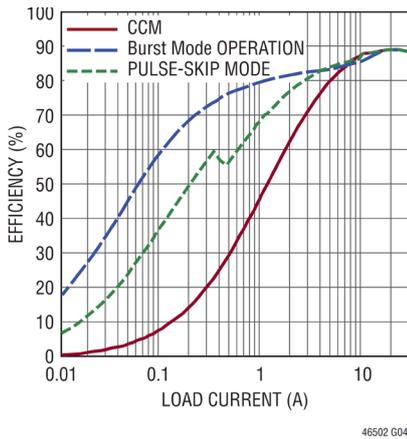
効率と出力電流の関係、 $V_{IN} = 12V$



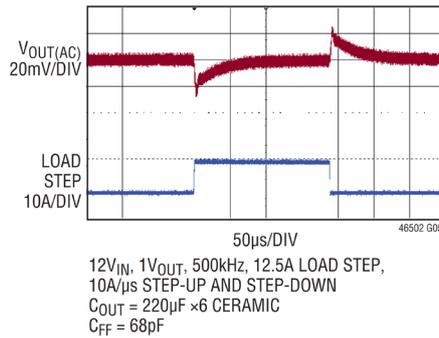
デュアル・フェーズ・シングル出力の効率と出力電流の関係、 $V_{IN} = 12V$ 、 $f_s = 500kHz$



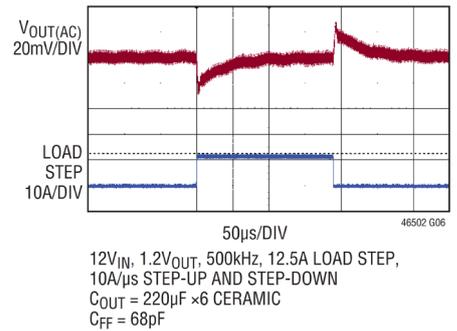
Burst Mode とパルススキッピング・モードの効率、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_s = 500kHz$



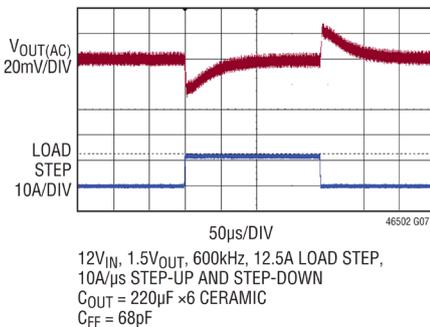
1Vデュアル・フェーズ・シングル出力の負荷過渡応答



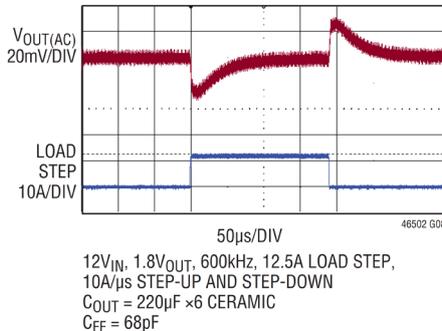
1.2Vデュアル・フェーズ・シングル出力の負荷過渡応答



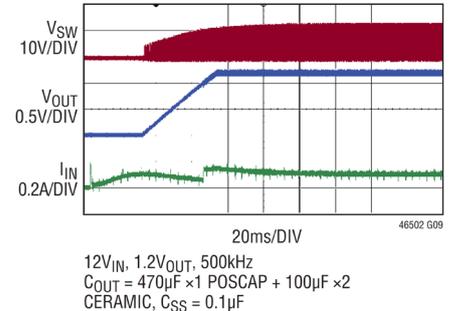
1.5Vデュアル・フェーズ・シングル出力の負荷過渡応答



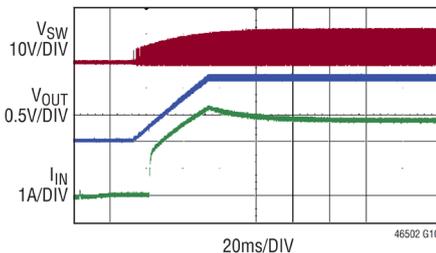
1.8Vデュアル・フェーズ・シングル出力の負荷過渡応答



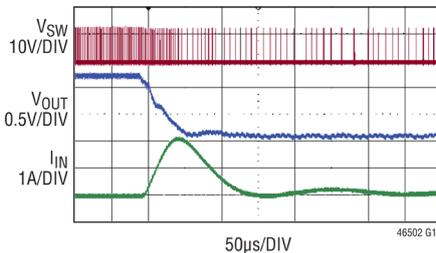
シングル・フェーズの起動、負荷なし



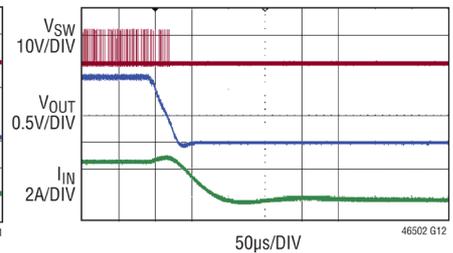
代表的な性能特性

シングル・フェーズの起動、
25A 負荷

12V_{IN}, 1.2V_{OUT}, 500kHz
C_{OUT} = 470μF × 1 POSCAP + 100μF × 2
CERAMIC, C_{SS} = 0.1μF

シングル・フェーズの短絡保護、
負荷なし

12V_{IN}, 1.2V_{OUT}, 500kHz
C_{OUT} = 470μF × 1 POSCAP + 100μF × 2
CERAMIC, C_{SS} = 0.1μF

シングル・フェーズの短絡保護、
25A 負荷

12V_{IN}, 1.2V_{OUT}, 500kHz
C_{OUT} = 470μF × 1 POSCAP + 100μF × 2 CERAMIC

ピン機能 (信号ピンの接続をモニタする場合はテスト・ポイントの使用を推奨します)



μModule 製品では、パッケージの行と列のラベル表示が製品ごとに異なることがあります。各パッケージのレイアウトをよく確認してください。

V_{OUT1} (A1–A5, B1–B5, C1–C4) : 電力出力ピン。これらのピンと GND ピンの間に出力負荷を加えます。これらのピンと GND ピンの間には、デカップリング・コンデンサを直接接続することを推奨します。表 4 を参照してください。

GND (A6–A7, B6–B7, D1–D4, D9–D12, E1–E4, E10–E12, F1–F3, F10–F12, 1, G3, G10, G12, H1–H7, H9–H12, J1, J5, J8, J12, K1, K5–K8, K12, L1, 12, M1, M12) : 入出力リターン用電源グラウンド・ピン。

V_{OUT2} (8–A12, B8–B12, C9–C12) : 電力出力ピン。これらのピンと GND ピンの間に出力負荷を加えます。これらのピンと GND ピンの間には、デカップリング・コンデンサを直接接続することを推奨します。表 4 を参照してください。

V_{OUTS1}, V_{OUTS2} (C5, C8) : このピンは、各出力の上側内蔵帰還抵抗の上端に接続されています。このピンは、対応する出力に直接接続するか、リモート検出アンプを使用している場合は DIFFOUT に接続します。モジュールを並列化している場合は、V_{OUTS} ピンの 1 つをリモート検出の DIFFOUT に接続し、リモート検出を行わない場合は V_{OUT} に直接接続します。帰還パスでありオープンにすることはできないので、これらのピンを DIFFOUT または V_{OUT} のいずれかに接続することが非常に重要です。アプリケーション情報のセクションを参照してください。

f_{SET} (C6) : 周波数設定ピン。このピンから 10μA の電流が出力されます。このピンとグラウンドの間に抵抗を接続すると、動作周波数を設定する電圧が設定されます。または、このピンに DC 電圧を印加しても動作周波数を設定できます。アプリケーション情報のセクションを参照してください。

SGND (C7, D6, G6–G7, F6–F7) : 信号グラウンド・ピン。全てのアナログ回路および低電力回路のグラウンド・リターン・パスとなります。1 つにまとめて、アプリケーションの出力コンデンサの GND に接続します。図 23 に示すレイアウトのガイドラインを参照してください。

V_{FB1}, V_{FB2} (D5, D7) : 各チャンネルのエラー・アンプの負入力。このピンは 60.4kΩ の高精度抵抗を介して V_{OUTS1} または V_{OUTS2} に内部で接続されています。V_{FB} ピンと GND ピンの間に抵抗を追加することで、様々な出力電圧に設定できます。PolyPhase[®] 動作では、V_{FB} ピンを互いに接続することで並列動作させることができます。詳細については、アプリケーション情報のセクションを参照してください。

TRACK1, TRACK2 (E5, D8) : 出力電圧のトラッキング・ピン入力とソフトスタート入力。チャンネルごとに 1.3μA のプルアップ電流源があります。2 つのチャンネルのうち 1 つがメインに設定されている場合、このピンとグラウンドの間に接続したキャパ

ピン機能 (信号ピンの接続をモニタする場合はテスト・ポイントの使用を推奨します)

シタによってソフトスタート時の上昇率が設定されます。他方のチャンネルはサブ側に設定し、メイン側の出力を抵抗分圧器を通じて下位側出力のトラッキング・ピンに供給します。この抵抗分圧器は、同時トラッキングの場合、下位の出力の帰還分圧器と等価です。[アプリケーション情報](#)のセクションを参照してください。

COMP1, COMP2 (E6, E7) : チャンネルごとの電流制御閾値およびエラー・アンプ補償ポイント。電流コンパレータ閾値はこの制御電圧に応じて増加します。制御ループ補償には、RCフィルタ回路を外付けする必要があります。[アプリケーション情報](#)のセクションを参照してください。並列動作ではCOMPピンを互いに接続してください。このピンは駆動しないでください。

DIFFP (E8) : リモート検出アンプの正入力。このピンは、出力電圧のリモート検出ポイントに接続します。[アプリケーション情報](#)のセクションを参照してください。

DIFFN (E9) : リモート検出アンプの負入力。このピンは、出力GNDのリモート検出ポイントに接続します。[アプリケーション情報](#)のセクションを参照してください。

MODE_PLLIN (F4) : 強制連続モード、Burst Mode 動作、パルススキッピング・モードの選択ピンおよび位相検出器への外部同期入力ピン。このピンをSGNDに接続すると両チャンネルが強制連続モード動作になります。INTV_{CC}に接続するとパルススキッピング・モードで動作します。このピンをフローティング状態にすると、Burst Modeで動作します。ピンにクロックを入力すると、両チャンネルが連続モード動作になり、このピンに入力された外部クロックに同期します。

RUN1, RUN2 (F5, F9) : 実行制御ピン。1.25Vを超える電圧を与えるとモジュールの各チャンネルがオンになります。RUNピンの電圧が1.25Vを下回ると、対応するチャンネルがオフになります。各RUNピンには、1 μ Aのプルアップ電流があり、RUNピンが1.2Vに達するとこのピンに更に4.5 μ Aのプルアップ電流が追加されます。

DIFFOUT (F8) : 内蔵リモート検出アンプの出力。どちらの出力をリモート検出に用いるかに応じて、このピンをV_{OUTS1}またはV_{OUTS2}に接続します。並列動作では、V_{OUTS}ピンのいずれかをDIFFOUTに接続してリモート検出を行います。

SW1, SW2 (G2, G11) : テスト目的に使用する各チャンネルのスイッチング・ノード。また、R-C スナバ回路ネットワークを適用してスイッチ・ノードのリングングを低減または除去することもできます。それ以外の場合はフロート状態のままにします。[アプリケーション情報](#)のセクションを参照してください。

PHASMD (G4) : このピンをSGNDに接続するとCLKOUTの位相が60°に、INTV_{CC}に接続すると120°に、フロート状態にすると90°に設定されます。

CLKOUT (G5) : デバイス間のマルチフェーズ動作を行うようPHASMDピンを使用して位相制御されたクロック出力。[アプリケーション情報](#)のセクションを参照してください。

PGOOD1, PGOOD2 (G9, G8) : 出力電圧パワーグッド・インジケータ。このピンはオープンドレインのロジック出力で、出力電圧がレギュレーション・ポイントから $\pm 10\%$ の範囲を外れると、グラウンドに引き下げられます。

INTV_{CC} (H8) : 内部5Vレギュレータ出力。制御回路および内部ゲート・ドライバは、この電圧から給電されます。4.7 μ Fの低ESR タンタル・コンデンサまたはセラミック・コンデンサを使用して、このピンをPGNDとデカップリングします。RUN1とRUN2のいずれかをアクティブにすると、INTV_{CC}がアクティブになります。

TEMP (J6) : 温度モニタ。このピンとSGNDの間に、内部でダイオード接続されたNPNトランジスタと10nFのフィルタリング・キャパシタを接続します。[アプリケーション情報](#)のセクションを参照してください。

EXTV_{CC} (J7) : EXTV_{CC}が4.7Vより高い場合は常に、INTV_{CC}へのスイッチを通じて有効化される外部電源入力。この入力が6Vを超えることのないようにしてください。また、V_{IN}を5Vで動作させる場合は、このピンをV_{IN}に接続します。(V_{IN} - INTV_{CC})にパワー MOSFET ドライバ電流値を乗じた量の関数で、効率が向上します。必要な電流の代表値は30mAです。V_{IN}を印加してからEXTV_{CC}を印加する必要があります。また、EXTV_{CC}をオフにしてからV_{IN}をオフする必要があります。

V_{IN} (M2-M11, L2-L11, J2-J4, J9-J11, K2-K4, K9-K11) : 電力入力ピン。これらのピンとGNDピンの間に入力電圧を印加します。V_{IN}ピンとGNDピンの間には、入力デカップリング・コンデンサを直接接続することを推奨します。

簡略化したブロック図

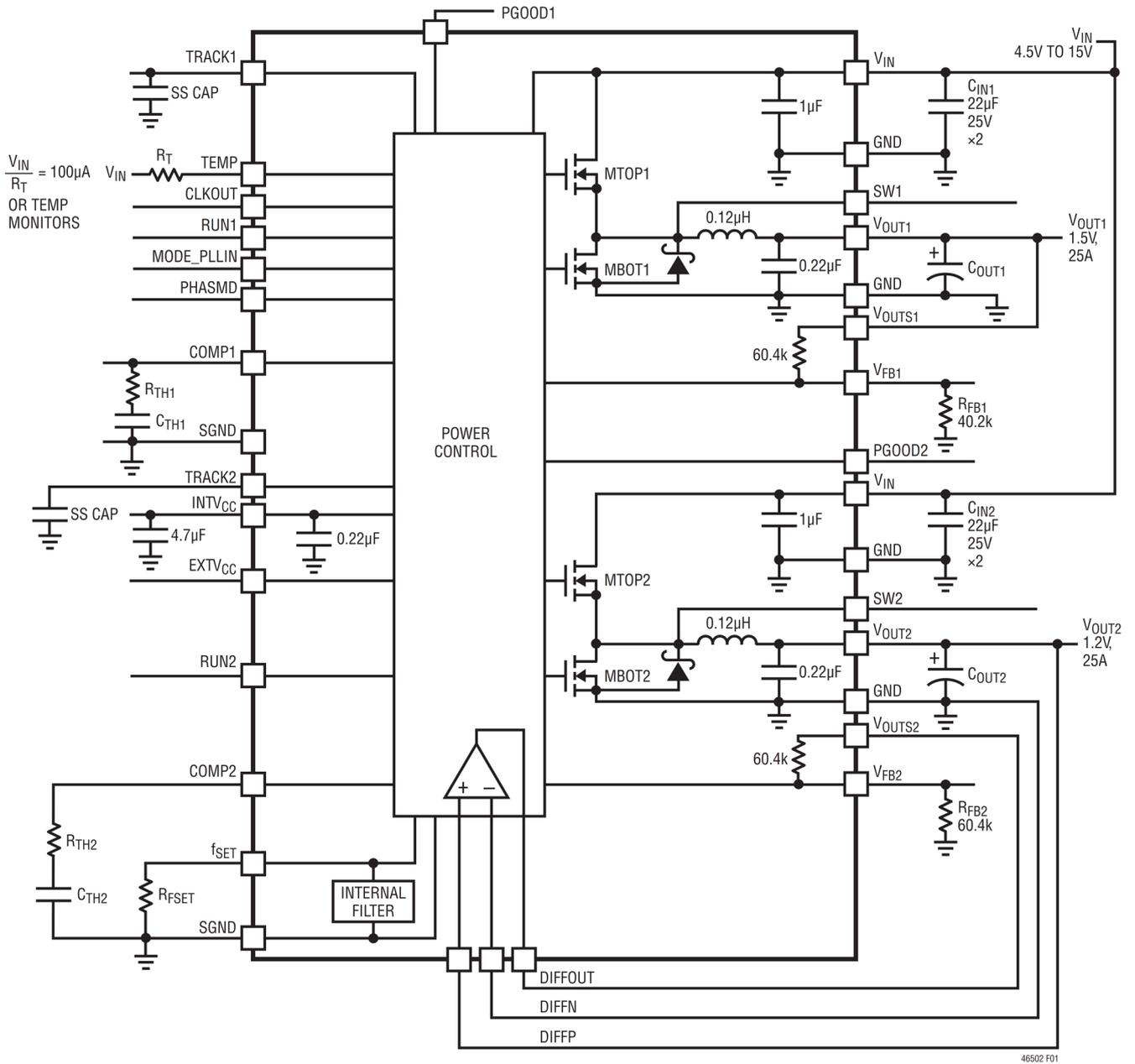


図 1. LTM4650-2の簡略化したブロック図

デカップリング条件 (T_A = 25°C、図 1 の構成を使用。)

| SYMBOL | PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|----------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------|-----|-----|-----|-------|
| C _{IN1} , C _{IN2} | External Input Capacitor Requirement (V _{IN1} = 4.5V to 15V, V _{OUT1} = 1.5V) (V _{IN2} = 4.5V to 15V, V _{OUT2} = 1.0V) | I _{OUT1} = 25A I _{OUT2} = 25A | 44 | 66 | | µF |
| C _{OUT1} C _{OUT2} | External Output Capacitor Requirement (V _{IN1} = 4.5V to 15V, V _{OUT1} = 1.5V) (V _{IN2} = 4.5V to 15V, V _{OUT2} = 1.0V) | I _{OUT1} = 25A I _{OUT2} = 25A | 600 | 800 | | µF |

動作

電源モジュールの説明

LTM4650-2はデュアル出力のスタンドアロン非絶縁型スイッチング・モードDC/DC電源で、ライン、負荷、温度の変動に対する合計DC出力誤差は $\pm 1.5\%$ です。わずかな外部入出力キャパシタと設定部品を付けるだけで、2系統の25A出力を供給可能です。このモジュールは、高精度にレギュレーションされた出力電圧を供給し、4.5V~15Vの入力電圧に対し、外付け抵抗を使用して0.6V DC~1.8V DCに調整可能です。代表的なアプリケーション回路図を[図24](#)に示します。

LTM4650-2には、一定周波数の電流モード・レギュレータ2個と、高速スイッチングのパワーMOSFETデバイスが内蔵されています。代表的なスイッチング周波数は400kHz~600kHzの範囲で、出力電圧によって決定します。スイッチング・ノイズに敏感なアプリケーションでは、400kHz~750kHzの範囲で外部同期が可能です。抵抗を使用することで、 f_{SET} ピンの自走周波数を設定できます。[アプリケーション情報の](#)セクションを参照してください。

電流モード制御を使用することにより、LTM4650-2モジュールは、全てセラミック出力キャパシタを使用する場合も含め、多様な出力キャパシタで十分な安定性マージンと優れたトランジェント性能が得られます。

電流モード制御では、過電流状態時にはサイクルごとの高速電流制限およびフォールドバック電流制限を行います。出力帰還電圧がレギュレーション・ポイントの $\pm 10\%$ の範囲から外れると、内蔵の過電圧コンパレータおよび低電圧コンパレータがオープンドレインのPGOOD出力をローにします。出力電圧がレギュレーション・ポイントを10%以上超えると、下側MOSFETがオンになり、出力電圧をクランプします。上側MOSFETはオフになります。この過電圧保護は帰還電圧を基準とします。

RUNピンを1.1V未満に引き下げると、両MOSFETがオフになり、レギュレータはシャットダウン状態になります。TRACKピンは、起動時の出力電圧の増加率と電圧トラッキングを

設定するため、あるいはレギュレータのソフトスタートを行うために使用します。[アプリケーション情報の](#)セクションを参照してください。

高速のType II制御ループ補償を行うためには、RCフィルタリング回路を外付けする必要があります。[表4](#)は、いくつかの動作条件に対する入出力キャパシタとRC部品の値のガイドラインを示しています。アナログ・デバイゼズの μ Module電源設計ツール(LTpowerCAD)によって、トランジェントおよび安定性の解析が可能です。 V_{FB} ピンを使用することで、グラウンドとの間に1個の外部抵抗を接続して出力電圧を設定できます。リモート検出差動アンプを使用すると、負荷ポイントの出力の1つでの出力電圧を正確に検知でき、並列動作時には負荷ポイントでの出力電圧を正確に検知できます。

MODE_PLLIN、PHASMD、CLKOUTの各ピンを使用して、マルチフェーズ動作を簡単に実現できます。PHASMDピンを異なるレベルに設定することによって、最大12フェーズを互いにカスケードさせて同時に動作させることができます。[アプリケーション情報の](#)セクションを参照してください。

MODE_PLLINピンを使用したBurst Modeまたはパルススキッピング動作の選択によって、軽負荷時に高効率を実現できます。この軽負荷機能は、バッテリー動作に好適です。軽負荷動作時の効率のグラフを[代表的な性能特性の](#)セクションに示します。詳細については、[アプリケーション情報の](#)セクションを参照してください。

汎用の温度計測ダイオードがモジュールに内蔵されており、モジュールの温度をモニタします。詳細については、[アプリケーション情報の](#)セクションを参照してください。

スイッチ・ピンは、機能的動作をモニタリングするために使用でき、また、抵抗/キャパシタ・スナバ回路をスイッチ・ピンとグラウンドの間に適切に配置することで、遷移エッジでの高周波数のリングングを緩和できます。詳細については、[アプリケーション情報の](#)セクションを参照してください。

アプリケーション情報

LTM4650-2の代表的なアプリケーション回路を図24に示します。外部コンポーネントの選択は主に最大負荷電流と出力電圧によって決定されます。特定のアプリケーションに固有の外付け出力キャパシタの要件については、表4を参照してください。

出力の総合DC精度およびACトランジェント性能

ASICやFPGAの最新の電源設計では、コアやペリフェラルへの給電条件として、例えば $\pm 3\%$ といった厳しい合計電圧レギュレーション幅が課せられています。この条件を満たすため、電源のDC電圧変動および負荷のステップ・トランジェント時に発生しうるAC電圧変動の合計が、この許容幅内に収まる必要があります。DC電圧の変動は、動作温度範囲全体にわたる、電源のリファレンス電圧、抵抗分圧器、負荷レギュレーション、ライン・レギュレーションの精度によって決まります。AC電圧の変動は、所定の出力キャパシタ・ネットワークにおける負荷過渡応答条件に対応した、電源の出力電圧のオーバーシュートおよびアンダーシュートによって決まります。

図2に、代表的な負荷ステップ時の過渡応答波形およびDC電圧精度の変動を示します。所定の許容電圧レギュレーション範囲に対し、DC電圧精度をより厳しくすれば、負荷過渡応答に対するAC変動のマージンを大きくできます。AC変動に対するマージンが増加することで、レギュレーション幅条件に合わせるために必要な合計出力容量を減らすことができます。それによって、合計のソリューション・コストやフットプリント面積を削減できます。

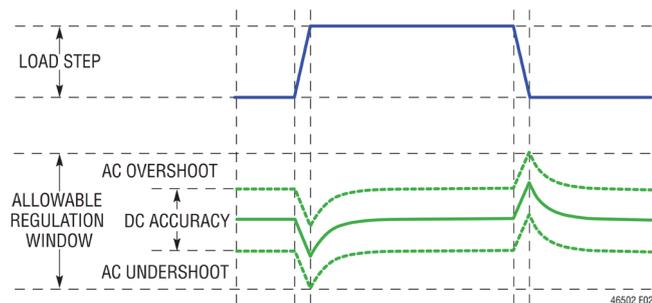


図2. 代表的な負荷ステップ過渡応答とDC電圧精度の変動

例えば、FPGAコア電圧アプリケーションでは、12V入力、0.9V/72A出力の設計の場合、25%の負荷ステップ・トランジェントに対して求められる合計電圧レギュレーション・ウィンドウは全体で $\pm 3\%$ です。図3に、100 μF のセラミック出力キャパシタを使用した場合の、合計DC精度を改善することによる全体的な出力キャパシタ削減の利点を示します。

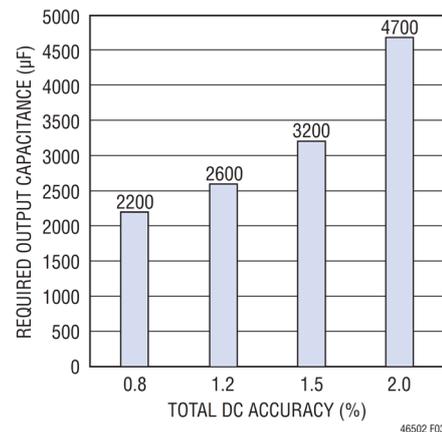


図3. 総合的な出力容量と総合DC精度の関係

V_{IN} から V_{OUT} への降圧比

与えられた入力電圧に応じて、 V_{IN} から V_{OUT} への最大降圧比には制限が生じます。LTM4650-2の各出力は98%のデューティ・サイクルを実現できますが、 V_{IN} から V_{OUT} への最小ドロップアウト電圧が負荷電流の関数であることには変わりないため、上側スイッチのデューティ・サイクルが高くなるのに関係して出力電流の供給能力が制限されます。デバイスを特定の周波数で動作させながら指定されたデューティ・サイクルを維持させる必要がある場合に、考慮すべきもう1つの事項は、最小オン時間 $t_{\text{ON(MIN)}}$ です。これは、 $t_{\text{ON(MIN)}} < D/f_{\text{SW}}$ (ここでDはデューティ・サイクル、 f_{SW} はスイッチング周波数)であるからです。 $t_{\text{ON(MIN)}}$ は、電気的パラメータで90nsに規定されています。

出力電圧の設定

PWMコントローラは、0.6Vのリファレンス電圧を内蔵しています。簡略化したブロック図に示すように、60.4k Ω の内部帰還抵抗が V_{OUTS1} と V_{FB1} の間および V_{OUTS2} と V_{FB2} の間に接続されています。適切な帰還レギュレーションを実現するには、これらのピンをそれぞれの出力に接続する必要があります。個別のレギュレータとして使用している場合、あるいは

アプリケーション情報

少なくともどちらか1つを並列レギュレータで使用している場合、これらV_{OUTS1}ピンおよびV_{OUTS2}ピンがフロート状態のままであると過電圧が発生する可能性があります。V_{FB1}またはV_{FB2}のいずれかに帰還抵抗がない場合、出力電圧は0.6Vのデフォルト値になります。V_{FB}ピンとGNDの間に抵抗R_{FB}を追加することで次式のように出力電圧が設定されます。

$$V_{OUT} = 0.6V \cdot \frac{60.4k + R_{FB}}{R_{FB}}$$

表1. V_{FB}抵抗と出力電圧の対応

| V _{OUT} | 0.6V | 0.8V | 0.9V | 1.0V | 1.2V | 1.5V | 1.8V |
|------------------|------|------|------|-------|-------|-------|-------|
| R _{FB} | Open | 182k | 121k | 90.9k | 60.4k | 40.2k | 30.2k |

複数のチャンネルを並列に動作させる場合は、同一の帰還設定抵抗を使用して並列化の設計ができます。並列化を行うには、図4に示すように、V_{OUTS1}と出力を接続して内蔵の60.4kΩの抵抗の1つを出力に接続します。全てのV_{FB}ピンは、図4に示すように、1個の設定抵抗にまとめて接続します。

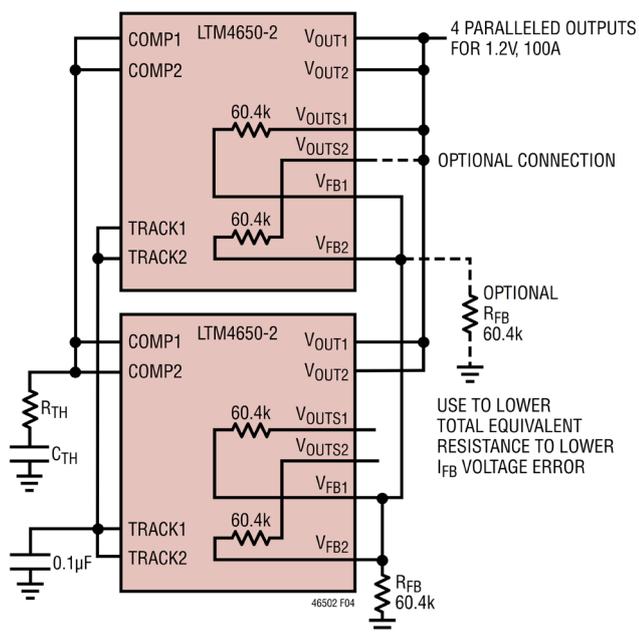


図4.4 フェーズ並列構成

並列動作時には、V_{FB}ピンにはチャンネルごとに最大20nAのI_{FB}電流が流れます。この電流による出力電圧誤差を低減するために、追加のV_{OUTS}ピンをV_{OUT}に接続し、追加のR_{FB}抵抗を使用して、この電流による総テブナン等価抵抗を下げるすることができます。図4の例では、V_{FB}ピンの総テブナン

等価抵抗は(60.4k/R_{FB})で、R_{FB}が60.4kΩで出力を1.2Vに設定している場合、この等価抵抗値は30.2kΩになります。4つのフェーズが並列接続されている場合、最も厳しい条件の帰還電流は最大で4・I_{FB} = 80nAとなります。これによる電圧誤差は80nA・30.2k = 2.4mVです。図4に示すように、V_{OUTS2}がV_{OUT}に接続され、別の60.4kΩの抵抗がV_{FB2}とグラウンドの間に接続されている場合、電圧誤差は1.2mVに低減します。電圧誤差が許容できるものであれば、追加の接続は不要です。内蔵の60.4kΩ抵抗の精度は0.5%ですが、V_{FB}は、必要な精度のものをユーザが選択できます。フェーズ間の電流分担を行うために、全てのCOMPピンは互いに接続します。TRACK/SSピンは1つにまとめて接続し、1個のソフトスタート・キャパシタを用いてレギュレータをソフトスタートできます。ソフトスタートの式では、並列化したチャンネル数の分だけソフトスタート電流のパラメータを増やす必要があります。出力電圧トラックのセクションを参照してください。

入力コンデンサ

LTM4650-2モジュールは、低ACインピーダンスのDC電源に接続する必要があります。レギュレータの入力には、実効値リップル電流用に、22μFの入力セラミック・キャパシタが各チャンネルに2個必要です。入力バルク容量を増やすには、47μF～100μFの表面実装アルミ電解バルク・コンデンサを使用できます。このバルク入力コンデンサが必要になるのは、長い誘導性のリードやパターン、または電源の容量(キャパシタンス)不足によって入力ソース・インピーダンスが損なわれる場合に限られます。低インピーダンスの電源プレーンを使用する場合、このバルク・コンデンサは不要です。

降圧コンバータの場合は、次式によってスイッチングのデューティ・サイクルを見積もることができます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

各出力のインダクタ電流リップルを考えなければ、入力コンデンサのRMS電流は次式で概算できます。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{\eta\%} \cdot \sqrt{D \cdot (1-D)}$$

上の式で、η%は電源モジュールの推定効率です。バルク・コンデンサには、スイッチャーに使用できる定格値を備えたアルミ電解コンデンサやポリマー・コンデンサを使用できます。

アプリケーション情報

出力キャパシタ

LTM4650-2は出力電圧リップル・ノイズを小さくし、優れた過渡応答が得られるように設計されています。C_{OUT}で定義されるバルク出力コンデンサは、出力電圧リップルとトランジェントに関する条件を満たすために、等価直列抵抗(ESR)が十分に小さいものを選択します。C_{OUT}には、低ESRのタンタル・コンデンサ、低ESRのポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。各出力の標準的な出力容量範囲は400 μ F~600 μ Fです。出力リップルまたは動的トランジェント・スパイクを更に削減する必要がある場合、設計時に出力フィルタの追加が必要となりますことがあります。表4に、12.5A (25%)と25A (50%)の負荷ステップ・トランジェントが発生している場合に、電圧ドループやオーバーシュートを最小限に抑えるための様々な出力電圧と出力キャパシタの組み合わせを示します。表4では、最適なトランジェント性能を得るために、合計等価ESRと合計バルク容量が最適化されています。表4の一覧では、安定性に関する基準が考慮されています。安定性の解析は、アナログ・デバイセズのLTpowerCAD[®]設計ツールを使って実施できます。複数のLTM4650-2を並列接続するアプリケーションでも、表4のRC補償値は有効で、並列モジュールのそれぞれに一式のRCフィルタを使用し、全てのCOMPピン、FBピン、V_{OUT}ピンを相互に接続します。図29およびマルチフェーズ動作のセクションを参照してください。マルチフェーズ動作では、フェーズの数に応じて実効的な出力リップルが減少します。アプリケーション・ノート77では、このノイズ削減と出力リップル電流キャンセルの関係を議論していますが、安定性と過渡応答とを決定する要素として出力容量を慎重に検討する必要があります。アナログ・デバイセズのLTpowerCAD設計ツールを使用すると、使用フェーズ数をN倍に増加させたときの出力リップルの減少を計算できます。V_{OUT}ピンとV_{OUTS}ピンの間に10 Ω ~50 Ω の小さい値の抵抗を直列に接続することで、ボーデ線図アナライザが制御ループに信号を注入して、レギュレータの安定性を検証できるようになります。同じ抵抗をV_{OUT}ピンとDIFFPピンの間に直列に接続しても、ボーデ線図アナライザが制御ループに信号を注入して、レギュレータの安定性を検証できるようになります。

Burst Mode動作

LTM4650-2は各レギュレータにつきBurst Mode動作が可能で、負荷の要求に基づいてパワーMOSFETが断続的に動作し、静止電流が低減します。非常に軽い負荷に対する効率を最大化することが優先されるアプリケーションでは、Burst Mode動作を適用します。Burst Mode動作は、MODE_PLLINピンをフロート状態にすることによって有効になります。このモードでの動作中、インダクタのピーク電流は、COMPピンの電圧が低い値を示した場合も含め、通常動作時の最大ピーク電流値の約1/3に設定されます。COMPピンの電圧は、インダクタの平均電流が負荷の要求よりも大きくなると低減します。COMP電圧が0.5Vよりも低下すると、BURSTコンパレータがトリップし、内部のスリープ・ラインをハイに設定して両方のパワーMOSFETをオフにします。

スリープ・モードでは、内部回路は部分的にオフになり、静止電流が各出力につき約450 μ Aに低減します。このとき、負荷電流は出力キャパシタから供給されます。出力電圧が低下して、COMPが0.5Vよりも高くなると、内部スリープ・ラインがローになり、LTM4650-2が通常動作を再開します。次の発振器サイクルで上側パワーMOSFETがオンになり、スイッチング・サイクルを繰り返します。どちらのレギュレータも、Burst Mode動作に設定できます。

パルススキッピング・モード動作

中程度の電流で低出力リップルおよび高効率が必要なアプリケーションでは、パルススキッピング・モードを使用する必要があります。パルススキッピング動作により、LTM4650-2は低出力負荷時にサイクルをスキップし、これによってスイッチング損失を低減することで効率を向上できます。MODE_PLLINピンとINTV_{CC}ピンを接続することで、パルススキッピング動作を実行できます。軽負荷時には、内蔵の電流コンパレータが数サイクルの間作動したままになり、上側MOSFETを数サイクルの間オフにしたままにするため、サイクルがスキップされます。このモードではインダクタ電流は反転しません。このモードでは実効周波数が高く維持されるため、Burst Mode動作と比較して出力リップルとノイズが低くなります。どちらのレギュレータもパルススキッピング・モードに設定できます。

アプリケーション情報

強制連続動作

低電流での効率より固定周波数の動作が重要なアプリケーション、および出力リップルを最小限に抑える必要があるアプリケーションでは、強制連続動作を使用します。強制連続動作は、MODE_PLLINピンをGNDに接続することで有効となります。このモードでは、低出力負荷の状態ではインダクタ電流を反転させることができ、COMP電圧が終始電流コンパレータの閾値を制御し、上側MOSFETは発振器のパルスごとに必ずオンになります。起動時には強制連続モードは無効になっており、LTM4650-2の出力電圧が安定するまでインダクタ電流が反転するのを防ぎます。どちらのレギュレータも強制連続モードに設定できます。

マルチフェーズ動作

出力負荷が25A以上の電流を必要とする場合、LTM4650-2の2つの出力、あるいは複数のLTM4650-2でさえも、並列に

接続し位相をずらして動作させることで、入出力の電圧リップルを増加させずに出力電流を増加させることができます。MODE_PLLINピンを使用することで、LTM4650-2を外部クロック(400kHz~750kHz)に同期させることができ、また、内蔵のフェーズ・ロック・ループを使用することで、入力されたクロックの位相にロックさせることができます。CLKOUT信号を後段のMODE_PLLINピンに接続すれば、システム全体の周波数と位相を共に合わせるすることができます。PHASMDピンをINTV_{CC}に接続すると、MODE_PLLINとCLKOUTの間の位相差が120°になります。また、SGNDに接続すると60°に、フローティング状態にすると90°になります。各LTM4650-2チャンネルのPHASMDピンを異なるレベルに設定することによって、合計12フェーズを互いにカスケードさせて同時に動作させることができます。図5に、PHASMDの表に従ってクロック位相制御させる、デュアル・フェーズ、4フェーズ、6フェーズの設計例を示します。

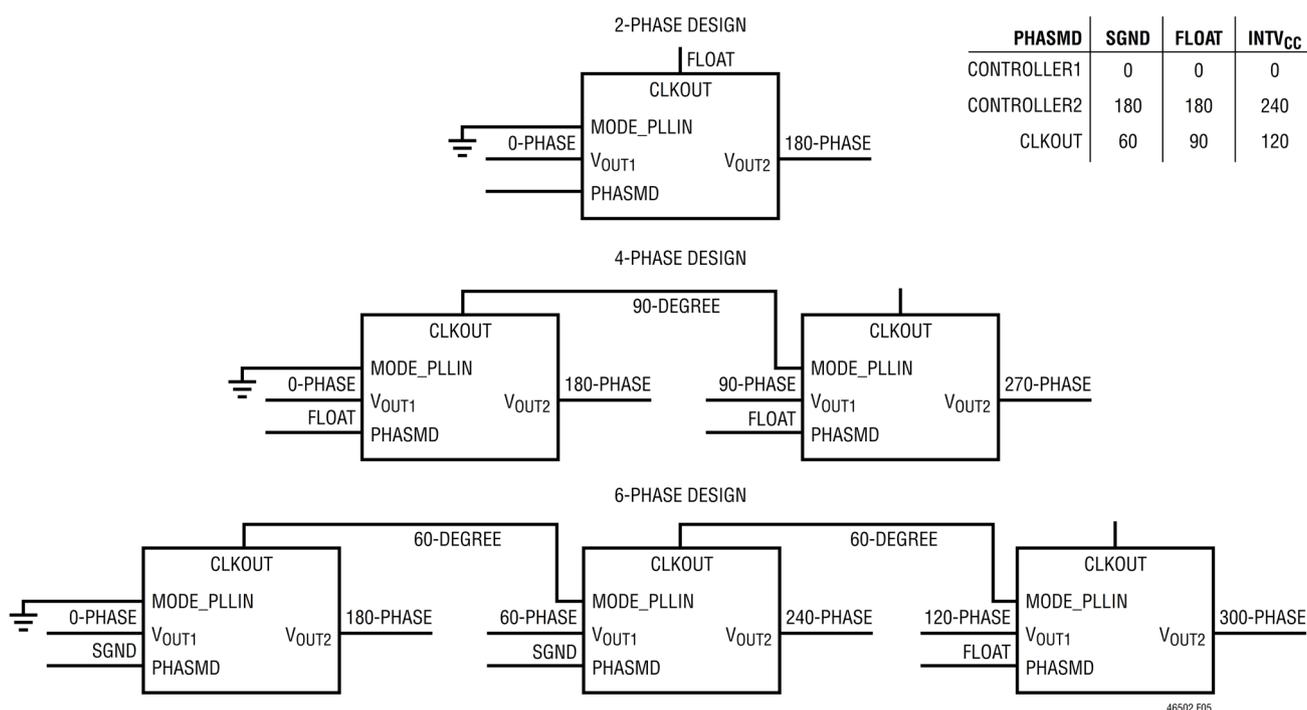


図5. PHASMDの表に従ったデュアル・フェーズ、4フェーズ、6フェーズの動作例

アプリケーション情報

電源のマルチフェーズ化によって、入力キャパシタと出力キャパシタのリップル電流の量が大幅に減少します。実効値入力リップル電流は、使用したフェーズの数に応じて小さくなり、実効リップル周波数は使用するフェーズ数を乗じた値になります(出力電圧と使用したフェーズ数を乗じた値より入力電圧が大きいと仮定します)。また、全ての出力を1つに接続して1つの大電流を出力する設計では、出力リップルの振幅も使用するフェーズ数に応じて小さくなります。

複数のLTM4650-2を並列接続するアプリケーションでも、[図4](#)に示した C_{TH} および R_{TH} の値は、25%負荷ステップに対して $\pm 3\%$ の過渡応答を実現するために有効です。一式のRC(R_{TH} と C_{TH})ネットワークを、各並列モジュールのCOMPピンに接続します。次に、各々のモジュールのCOMPピン、FBピン、TRACK/SSピン、 V_{OUT} ピンを1つにまとめて接続します。並列動作の例については、[図29](#)を参照してください。一式のRC(R_{TH} と C_{TH})ネットワークのみを共通のCOMPピンに追加するだけで良い場合は、LTpowerCAD電源設計ツールを使用して、ループ補償とトランジェント性能を最適化することもできます。

LTM4650-2は本質的に電流モードで制御されるデバイスであるため、モジュールを並列接続した場合に優れた電流分担を示します。これにより、設計上、熱のバランスが良くなります。[図29](#)に並列動作とピン接続の例を示します。

入力RMSリップル電流の相殺

アプリケーション・ノート77ではマルチフェーズ動作の詳細を解説しています。入力実効値リップル電流の相殺について数学的に導出すると共に、実効値リップル電流がインターリーブされたフェーズ数の関数として減少する様子をグラフで示しています。[図6](#)に、このグラフを示します。

周波数の選択およびフェーズ・ロック・ループ(MODE_PLLINピンおよび f_{SET} ピン)

LTM4650-2は、電力変換効率を向上するため、広い範囲の周波数で動作させることができます。最適な効率とインダクタ電流リップルを得るためには、1.0V未満の出力電圧に対しては400kHz、1.0V~1.5Vの出力電圧に対しては500kHz、1.5Vを超える出力電圧に対しては600kHzでモジュールを動作させることを推奨します。

LTM4650-2のスイッチング周波数は、 f_{SET} ピンとSGNDの間に外部抵抗を接続することで設定できます。この抵抗には正確な10 μ Aの電流が供給されるので、周波数を設定する電圧が設定されます。DC電圧を印加することもできます。[図7](#)に、周波数設定と設定電圧の関係を表すグラフを示します。外部クロックとして、400kHz~750kHzの周波数範囲で0V~INTV_{CC}の電圧をMODE_PLLINピンに印加できます。クロック入力の高の閾値は1.6V、ローの閾値は1Vです。LTM4650-2はPLLループ・フィルタ・コンポーネントを内蔵しています。外部クロックにロックする前の初期スイッチング周波数を設定するために、周波数設定抵抗は必ず配置してください。どちらのレギュレータも、外部クロック動作時には連続モードで動作します。

PLL位相検出器の出力には、内部フィルタ・ネットワークの充放電を行う1対の相補型電流源があります。外部クロックが印加されると、 f_{SET} 周波数抵抗が内部スイッチから切り離され、この電流源が周波数調整を制御して、入力される外部クロックにロックします。外部クロックがない場合は内部スイッチがオンになり、外付け f_{SET} 周波数設定抵抗の接続によってフリーラン動作します。

アプリケーション情報

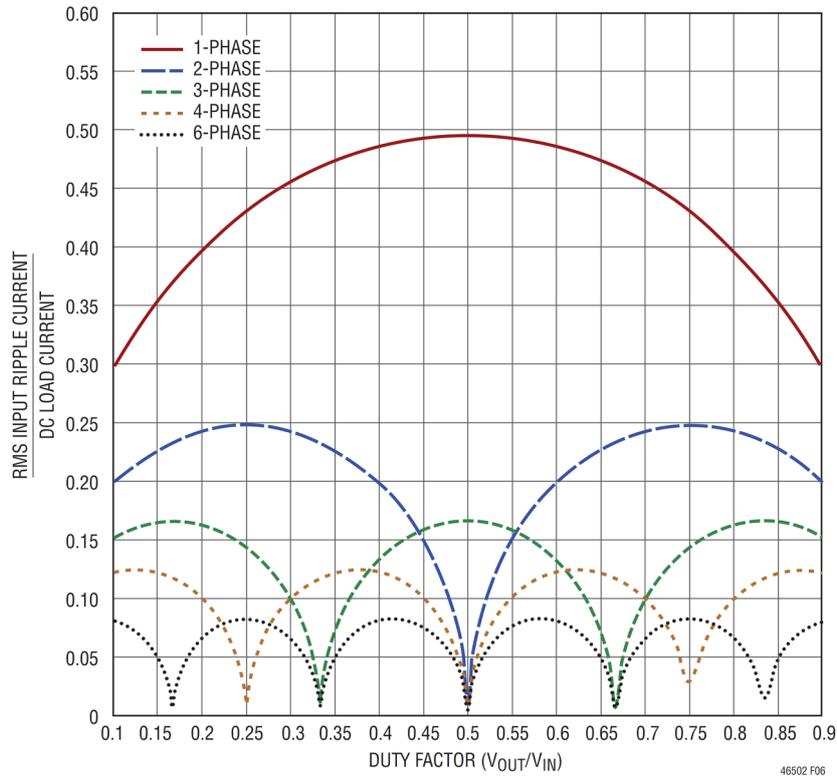


図6. デューティ・サイクルの関数としてのDC負荷電流に対する入力RMS電流の比

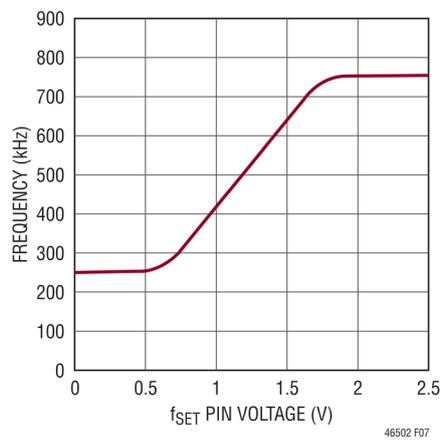


図7. 動作周波数と f_{SET} ピン電圧の関係

アプリケーション情報

最小オン時間

最小オン時間 t_{ON} は、LTM4650-2 がどちらかのチャンネルの上側MOSFETをオンできるまでの最小時間です。これは、内部タイミング遅延と、上側MOSFETをオンするのに必要なゲート電荷の量によって決まります。低デューティ・サイクルのアプリケーションでは、この最小オン時間の制限値に接近する可能性があるため、次の条件が成り立つように注意する必要があります。

$$\frac{V_{OUT}}{V_{IN} \cdot FREQ} > t_{ON(MIN)}$$

デューティ・サイクルが最小オン時間で対応できる値を下回ると、コントローラはサイクルのスキップを開始します。出力電圧のレギュレーションは引き続き行われますが、出力リップルおよび電流が増加します。オン時間はスイッチング周波数を下げることによって増加させることができます。おおよその目安としては、オン時間を110nsより長く保つようにします。

出力電圧トラッキング

出力電圧のトラッキングは、TRACKピンを使用することで外部設定できます。出力は、他のレギュレータの上昇および下降のトラッキングが可能です。メイン・レギュレータの出力は外付け抵抗分圧器で分圧され、下位レギュレータの帰還分圧器をこれと同一にすると同時トラッキングを実行できます。LTM4650-2は、各チャンネルの上側帰還抵抗として内蔵の精密な60.4k抵抗を使用します。同時トラッキングの例を図8に示します。次の式が成り立ちます。

$$SUBORDINATE = \left(1 + \frac{60.4k}{R_{TA}}\right) \cdot V_{TRACK}$$

V_{TRACK} は下位のトラック・ピンに適用されるトラック・ランプです。 V_{TRACK} の制御範囲は、0Vから0.6Vまたは内部リファレンス電圧です。メインの出力が下位の出力の設定に使用されているのと同じ抵抗値で分圧されているとき、下位の出力は最終値に到達するまでメインに合わせて同時トラッキングします。下位のレギュレーション・ポイント以降、メインは

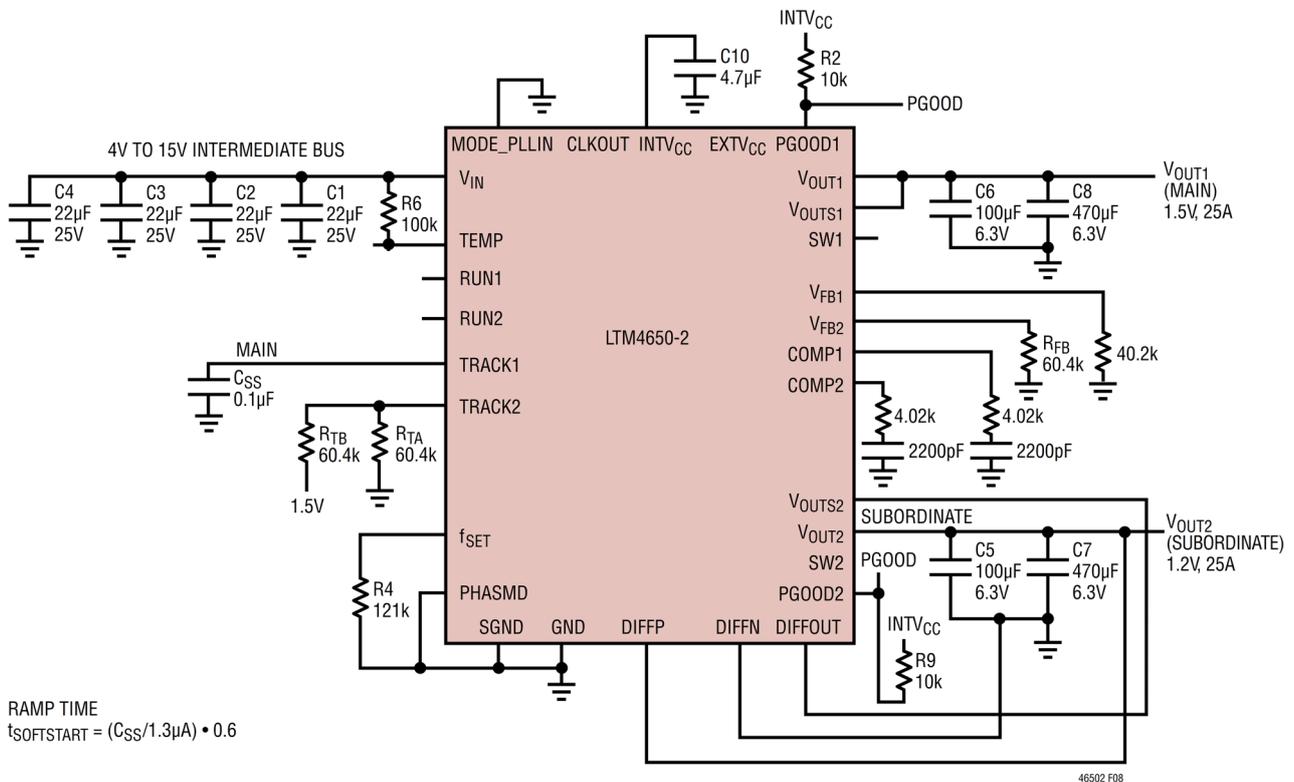


図8. 出力トラッキング・アプリケーション回路の例

アプリケーション情報

最終値まで動作を継続します。 V_{TRACK} が0.6Vを超えている場合、電圧トラッキングは無効になります。同時トラッキング動作のため、図8の R_{TA} は R_{FB} と等しい値です。図9に、同時トラッキングの波形を示します。

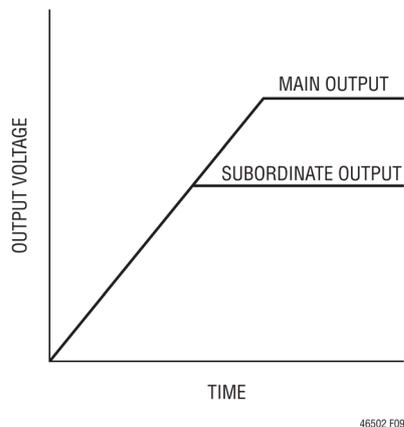


図9. 同時トラッキングの出力波形

メインのTRACKピンは、メイン・レギュレータのTRACKピンとグラウンドの間に配置したキャパシタで制御できます。1.3 μ Aの電流源がTRACKピンをリファレンス電圧まで充電し、続けてINTV_{CC}に達するまで続行します。0.6Vまでランプした後は、TRACKピンは制御されなくなり、内部電圧リファレンスが帰還分圧器を基に出力レギュレーションを制御します。トラッキング中もしくはソフトスタート中は、ターンオン・シーケンス中のフォールドバック電流制限値は無効化されます。RUNピンが1.2V未満の場合、TRACKピンはローになります。ソフトスタートの合計時間は次のように計算できます。

$$t_{\text{SOFT-START}} = \left(\frac{C_{\text{SS}}}{1.3\mu\text{A}} \right) \cdot 0.6$$

MODE_PLLINピンで選択されたモードにかかわらず、TRACKが0.5Vに達するまではレギュレータ・チャンネルは常にパルススキッピング・モードで動作を開始します。TRACKが0.5V~0.54Vのときは強制連続モードで動作し、TRACK > 0.54Vになると選択されたモードに戻ります。定常状態動作に入ったときに別のチャンネルをトラッキングするために、MODE_PLLINピンの設定にかかわらず、 V_{FB} が

0.54Vを下回るとすぐにLTM4650-2は強制的に連続モード動作に入ります。

レシオメトリック・トラッキングは、簡単な計算を行い、そのスルー・レート値をメインのTRACKピンに供給することで実現できます。上述のように、TRACKピンの制御範囲は0V~0.6Vです。メインのTRACKピンのスルー・レート(電圧/時間)は、メインの出力のスルー・レートと等しくなります。次の式が成り立ちます。

$$\frac{MR}{SR} \cdot 60.4k = R_{TB}$$

ここでMRはメインの出力のスルー・レート、SRは下位の出力のスルー・レートで、単位は電圧/時間です。同時トラッキングの場合には、MRとSRを同じ値にします。したがって、 R_{TB} は60.4kになります。 R_{TA} は次の式で得られます。

$$R_{TA} = \frac{0.6V}{\frac{V_{FB}}{60.4k} + \frac{V_{FB}}{R_{FB}} - \frac{V_{TRACK}}{R_{TB}}}$$

ここで、 V_{FB} はレギュレータの帰還電圧リファレンスで、 V_{TRACK} は0.6Vです。 R_{TB} は等スルー・レート時すなわち同時トラッキング時の下位レギュレータの上側帰還抵抗の60.4kに等しいので、 R_{TA} は R_{FB} と等しく、 $V_{FB} = V_{TRACK}$ になります。このため、図8で $R_{TB} = 60.4k$ 、 $R_{TA} = 60.4k$ になります。

レシオメトリック・トラッキングでは、下位レギュレータに異なるスルー・レートが求められます。SRがMRより遅い場合、 R_{TB} について解くことができます。下位電源の出力電圧がメイン出力より早く最終の値に到達するように、下位電源のスルー・レートは十分に速くなるように選択します。

例えば、MR = 1.5V/1ms、SR = 1.2V/1msとします。この場合、 $R_{TB} = 76.8k$ になります。 R_{TA} を求めると49.9kになります。

どちらのTRACKピンにも、該当のチャンネルで抵抗分圧器を使用してトラッキングを実行している場合、1.3 μ Aの電流源があります。そのため、TRACKピンの入力にオフセットが発生します。上式で計算した抵抗値と同じ比率で、より小さな値の抵抗を使用することができます。例えば、60.4kを使用していたところに6.04kを使用することで、TRACKピンのオフセットを無視できる値まで低減できます。

アプリケーション情報

パワー・グッド

PGOODピンはオープン・ドレイン・ピンで、出力電圧のレギュレーションが適切に行われているかどうかをモニタします。このピンは、レギュレーション・ポイントを中心として10%の範囲をモニタします。モニタリングのため、抵抗を使用して最大6V以下の特定の電源電圧までプルアップできます。

安定性補償

高速のType II制御ループ補償を行うには、COMPとSGNDの間にRCフィルタリング回路を外付けする必要があります。表4はほとんどのアプリケーション要件に対応しています。その他の制御ループの最適化には、アナログ・デバイセズのμModule電源設計ツール(LTpowerCAD)を使用できます。

実行イネーブル

RUNピンのイネーブル閾値は最大値が1.4V、代表値が1.25Vで、150mVのヒステリシスがあります。これらで各チャンネルのオンを制御し、また、INTV_{CC}を制御します。これらのピンをV_{IN}までプルアップすると5V動作が可能です。または、5Vのツェナーダイオードをこのピンに接続し、10kΩ～100kΩの抵抗を5V以上の入力に接続しても、チャンネルの動作を有効化できます。RUNピンは、出力電圧のシーケンシングにも使用できます。並列動作時は、RUNピンを1つに結合し、単一ループの制御が可能です。標準的応用例(図24)を参照してください。

INTV_{CC}とEXTV_{CC}

LTM4650-2モジュールには、入力電圧から派生する5V低ドロップアウト・レギュレータが内蔵されています。このレギュレータを使用すると制御回路およびパワーMOSFETドライバに給電できます。この電流は最大70mAを供給可能ですが、最大周波数にデバイスに給電する場合の電流は約30mA(代表値)です。この内部5V電源はRUN1またはRUN2のいずれかによってイネーブルされます。

EXTV_{CC}を使用すると5Vの外部電源でLTM4650-2に給電することができ、内蔵低ドロップアウト5Vレギュレータによる消費電力を削減できます。この電力損失削減量は次式で計算できます。

$$(V_{IN} - 5V) \cdot 30mA = P_{LOSS}$$

EXTV_{CC}のアクティブ化閾値は4.7Vで、最大定格は6Vです。5Vの入力を使用する場合は、この5Vの入力をEXTV_{CC}に接続して5Vのゲート駆動レベルを維持することもできま

す。V_{IN}をオンにしてからEXTV_{CC}をオンにし、EXTV_{CC}をオフにしてからV_{IN}をオフにするシーケンスとしてください。

リモート検出差動アンプ

リモートの負荷ポイントの低出力電圧を正確に測定するため、高精度の差動リモート検出アンプが備わっています。これは特に大電流負荷の場合に正確なものとなります。このアンプは2つのチャンネルのいずれかで使用するか、単一の並列出力で使用することができます。DIFFPとDIFFNが出力で適切に接続され、DIFFOUTがV_{OUTS1}またはV_{OUTS2}に接続されていることが非常に重要です。並列動作の場合は、DIFFPとDIFFNが出力で適切に接続され、DIFFOUTはV_{OUTS}ピンのいずれかに接続されます。並列回路については、図25と図4を参照してください。

SWピン

SWピンは、テスト目的にこれらのピンをモニタするのが一般的な使われ方です。また、これらのピンを使用して、スイッチングされる電流経路内のLC寄生成分によるスイッチ・ノードのリングングを減衰させることもできます。通常、抵抗とコンデンサを直列に組み合わせたものをスナバ回路と呼びます。抵抗が共振を減衰し、コンデンサは、抵抗に生じる高周波のリングングにのみ影響するよう選択します。浮遊インダクタンスまたは浮遊容量を測定または概算できる場合は、何らかの解析手法を用いてスナバ回路の各値を選択できます。通常、予測しやすいのはインダクタンスの方です。このインダクタンスは、電源経路のインダクタンスとMOSFET接続用ボンディング・ワイヤのインダクタンスが組み合わさったものです。

最初にSWピンを、高周波プローブを用い広帯域オシロスコープでモニタします。その値によってリングング周波数を測定できます。インピーダンス(Z)は次式を用いて計算できます。

$$Z_L = 2\pi fL$$

ここで、fはリングングの共振周波数、Lはスイッチ経路の総寄生インダクタンスです。Zに等しい抵抗を選択していれば、リングングは減衰するはずですが、スナバ回路のキャパシタの値は、リングング周波数でインピーダンスが抵抗と等しくなるよう選択します。これは、 $Z_C = 1/(2\pi fC)$ で計算できます。これらの値が良い開始点となります。これらの部品値を変更する場合は、電力損失を最小限に抑えながらリングングを減衰させるようにする必要があります。

アプリケーション情報

温度モニタリング

標準的なダイオードの式で表される電流、電圧、温度の関係により、ダイオードの絶対温度を測定することができます。

$$I_D = I_S \cdot e \left(\frac{V_D}{\eta \cdot V_T} \right)$$

または

$$V_D = \eta \cdot V_T \cdot \ln \frac{I_D}{I_S}$$

ここで、 I_D はダイオード電流、 V_D はダイオード電圧、 η は理想係数(通常1.0に近い値)、 I_S (飽和電流)はプロセス依存のパラメータです。 V_T は以下のように分解できます。

$$V_T = \frac{k \cdot T}{q}$$

ここで、 T はダイオードのジャンクション温度(単位:ケルビン)、 q は電荷、 k はボルツマン定数です。 V_T は室温(298K)では約26mVで、ケルビン温度に比例して増加します。ダイオードが温度センサーに適している理由は、この直線的な温度依存性にあります。前の式の I_S の項は、ダイオード接合を通じて流れる電流をダイオードの端子間電圧がゼロ・ボルトの場合にまで外挿した値です。この I_S 項は、プロセスによっても温度によっても異なりますが、定義により常に I_D よりは小さい値となります。全ての定数を1つの項にまとめると、以下のようになります。

$$K_D = \frac{\eta \cdot k}{q}$$

ここで $K_D = 8.62 \cdot 10^{-5}$ であり、 I_D が常に I_S より大きいため $\ln(I_D/I_S)$ は常に正であると分かっているので、次式が得られます。

$$V_D = T(\text{KELVIN}) \cdot K_D \cdot \ln \frac{I_D}{I_S}$$

したがって、 V_D は温度と共に増加するように見えます。電流源によりバイアスされたシリコン・ダイオードは、約 $-2\text{mV}/^\circ\text{C}$ の温度依存性を持つことが一般に知られています(図10)。これは式と食い違っています。実際は、 I_S の項が温度と共に増加するため、 $\ln(I_D/I_S)$ の絶対値が低下し、約 $-2\text{mV}/^\circ\text{C}$ という複合的なダイオード電圧勾配が発生します。

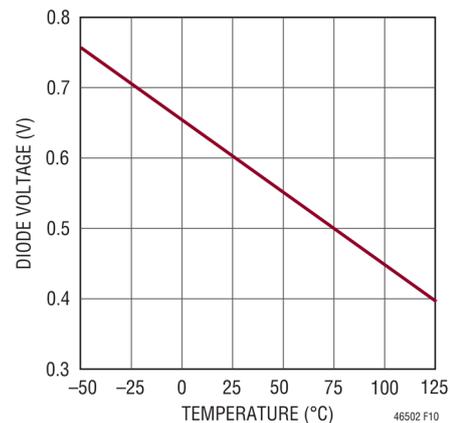


図10. ダイオード電圧 V_D と温度 $T(^{\circ}\text{C})$ の関係

電圧と温度の直線的な関係を引き出すために、自然対数項の I_S 変数を打ち消して式の I_S 依存性をなくす必要があります。これを行うには、 I_1 と I_2 の2つの電流でダイオード電圧を測定します。ここで、 $I_1 = 10 \cdot I_2$ で、減算を行うことで次式が得られます。

$$\Delta V_D = T(\text{KELVIN}) \cdot K_D \cdot \ln \frac{I_1}{I_S} - T(\text{KELVIN}) \cdot K_D \cdot \ln \frac{I_2}{I_S}$$

共通項をまとめて自然対数部を単純化すると、

$$\Delta V_D = T(\text{KELVIN}) \cdot K_D \cdot \ln(10)$$

となり、

$$K'_D = K_D \cdot \ln(10) = \frac{198\mu\text{V}}{\text{K}}$$

と定数を再定義すると、

$$\Delta V_D = K'_D \cdot T(\text{KELVIN})$$

アプリケーション情報

温度について解くと次のようになります。

$$T(\text{KELVIN}) = \frac{\Delta V_D}{K_D} (-\text{CELSIUS}) = T(\text{KELVIN}) - 273.15$$

ここで、

$$300^\circ\text{K} = 27^\circ\text{C}$$

は、10倍異なる2つの電流値で測定したダイオードの電圧の差分をとると、その結果はジャンクション電圧が1ケルビンあたり198 μV となり、0ケルビンでの切片はゼロになることを意味します。

TEMPピンにダイオード接続されたPNPトランジスタを用いることで、LTM4650-2の内部温度をモニタできます。例については図25を参照してください。

AVPによる過渡応答の改善と出力容量の低減

マイクロプロセッサ用電源では、高速な負荷過渡応答、基板スペースの制約、低コストという要件があります。アクティブ電圧ポジショニングによると、過渡応答を改善し、マイクロプロセッサに電源供給するための出力容量を低減できます。この場合、代表的な負荷ステップは1 μs で0Aから12.5A、または1 μs で12.5Aから0Aです。

アクティブ電圧ポジショニングはある種のデレギュレーションです。出力電圧を軽い負荷に対しては高くし、重い負荷に対しては低くします。負荷電流が急に増加すると、出力電圧は公称値よりも高い電圧から開始するため、出力電圧が大きく低下しても指定の電圧範囲内に留まることができます。負荷電流が急に減少する場合は、出力電圧は公称値よりも低い電圧から開始するため、出力電圧のオーバーシュートが大きくても指定の電圧範囲内に留まることができます。電圧ポジショニングを使用すると、出力キャパシタで許容される電圧変位が大きくなるため、必要とされる出力キャパシタ容量が小さくなります。

図30と図32にAVPを使用しない場合と使用する場合の電圧レギュレータを示します。AVPの実装がある場合とない場合の負荷過渡応答を図31と図33に示します。AVPを加えた設計では、出力電圧が最小負荷時の1.05Vと最大負荷時の0.95Vの間で振れています。出力キャパシタの使用を減らしながらもトランジェント性能は向上しています。

AVPアプリケーション用にはアナログ・デバイセズの設計ツール(LTpowerCAD)が使用できます。

熱に関する考慮事項と出力電流のディレーティング

このデータシートのピン配置のセクションに記載されている熱抵抗は、JESD51-9に定義されたパラメータと一致しています。これらのパラメータは、有限要素解析(FEA)ソフトウェアのモデリング・ツールでの使用を意図したものです。これらのモデリング・ツールは、ハードウェア・テストボードに μModule パッケージを実装して行われた、熱的モデリング、シミュレーション、およびハードウェア評価との相関付けから得られた結果を利用しますが、これはJESD 51-9 (Test Boards for Area Array Surface Mount Package Thermal Measurements)によっても定義されています。これらの熱係数を提供する意図は、JESD 51-12 (Guidelines for Reporting and Using Electronic Package Thermal Information)に記載されています。

様々な電気的および環境的動作条件における自らのアプリケーションでの μModule レギュレータの熱性能を予想するため、FEAソフトウェアを使用した作業の補足を目的として、設計者が実験機器やデモ基板などのテスト手段を使用することはよく行われます。FEAソフトウェアを使用しない場合、ピン配置のセクションに記載した熱抵抗だけでは、熱性能を示す目安になりません。しかし、データシートに記載されているディレーティング曲線を各アプリケーションの用途に関する見通しやガイダンスを得られるような方法で使用すれば、それらのディレーティング曲線に修正を加えて、熱性能を個々のアプリケーションに対応させることができます。

ピン配置のセクションには一般にJESD 51-12に明示的に定義された4つの熱係数が示されており、これらの係数は以下のように説明されます。

1. θ_{JA} はジャンクションと周囲環境の間の熱抵抗であり、1立方フィートの密閉エンクロージャ内で測定された、自然対流によるジャンクションと周囲環境の間の熱抵抗です。この環境は「静止状態の空気」と呼ばれることもありますが、実際には自然対流により空気の動きが生じます。この値はデバイスをJESD 51-9定義のテスト基板にマウントして得られたものであり、実際のアプリケーションや現実的な動作条件を反映したものではありません。

アプリケーション情報

2. $\theta_{JCbottom}$ はジャンクションから製品ケース底部までの熱抵抗であり、コンポーネントからの全ての熱放散がパッケージ底部を通じて起こる場合のジャンクションから基板への熱抵抗です。標準的な μ Module では、熱の大半はパッケージ底部を通じて流出しますが、周囲環境への熱放散も常に発生します。結果として、この熱抵抗の値はパッケージの比較には有用な場合がありますが、テストの条件は一般にはユーザのアプリケーションに即したものではありません。
3. θ_{JCTop} はジャンクションから製品ケース上面への熱抵抗であり、部品からの熱放散のほぼすべてがパッケージ上面を通じて行われるものとして決定されます。標準的な μ Module の電気的接続はパッケージ底部で行われるため、熱の大半がパーツ上端のジャンクション経由で放散されるようなアプリケーションはまれです。 $\theta_{JCbottom}$ の場合のように、この値はパッケージの比較には有用な場合がありますが、テストの条件は一般的にユーザのアプリケーションに即したものではありません。
4. θ_{JB} はジャンクションからプリント基板への熱抵抗であり、熱のほぼすべてが μ Module から基板へ流れる場合のジャンクションから基板への熱抵抗であり、実際には $\theta_{JCbottom}$ とハンダ接合と基板の一部を経由するパーツ底部での熱抵抗の合計値です。基板の温度は両面、二層の基板を使い、パッケージから一定の距離において測定されます。この基板は JESD 51-9 に記載されています。

前述の熱抵抗を視覚的に表したものが図11です。青色の部分が μ Module レギュレータ内部の熱抵抗で、緑色の部分は μ Module 外部の熱抵抗です。

実際上は、JESD 51-12 に定義されている、あるいはピン配置のセクションに示されている、4種類の熱抵抗パラメータのいずれも、あるいはそれらのサブグループも、 μ Module の通常動作条件を反映したものではないことに注意してください。例えば、通常の基板実装アプリケーションでは、デバイスの総電力損失(熱)の100%が、(上記の規格がそれぞれ θ_{JCTop} および $\theta_{JCbottom}$ として定義しているように) μ Module の上部のみを通って、または底部のみを通って熱伝導することは決してありません。実際には電力損失はパッケージから両方の方向に熱として放散され、ヒート・シンクと空気流がない場合は熱の大半は基板へと流れます。

SIP(システム・イン・パッケージ)モジュール内部には、電力損失を生じるパワー・デバイスや部品が複数存在するので、結果として、各種の部品やダイの様々なジャンクションを基準にした熱抵抗は、パッケージの全電力損失に対して正確には線形になっていないという点に留意する必要があります。この複雑な問題を、モデリングの簡潔性を犠牲にすることなく(なおかつ現実的な実用性を無視することなく)解決するために、このデータシートに記載されている熱抵抗値は、実験室での恒温槽を使ったテストとFEAソフトウェア・モデリングを併用する方法を採用して合理的に定義し、相関付けを行っています。(1)最初に、FEAソフトウェアを使用

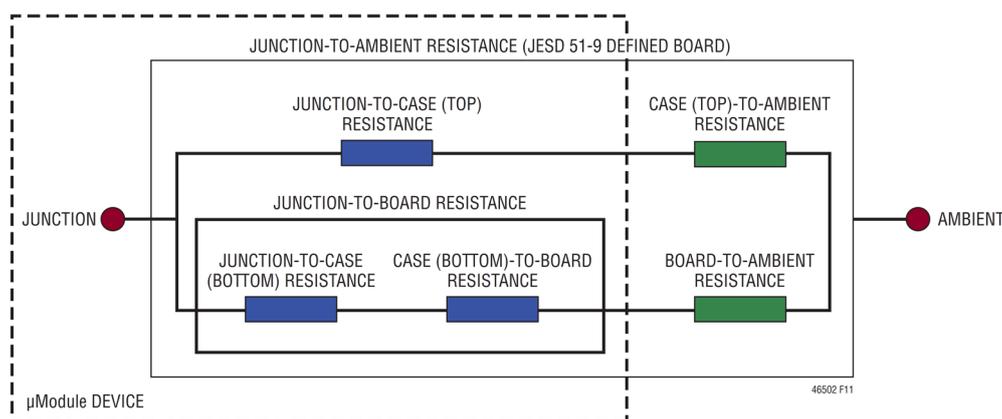


図 11. JESD51-12の熱係数の図解

アプリケーション情報

し、正しい材料係数と高精度の電力損失源定義に基づいて、 μ Moduleと指定PCBの正確な機械的形狀モデルを作成します。(2)このモデルを使い、JSED51-9に適合するソフトウェア定義のJEDEC環境をシミュレーションして、様々な接合面における電力損失による熱の流れと温度値を予測します。これで、JEDEC定義の熱抵抗値を計算することができます。(3)このモデルとFEAソフトウェアを使用して、ヒート・シンクと空気流がある場合の μ Moduleの熱性能を評価します。(4)これらの熱抵抗値を計算して分析し、ソフトウェア・モデルで様々な動作条件によるシミュレーションを行ったうえで、徹底した実験室評価を実施してシミュレーションで得た状態を再現します。具体的には恒温槽を使い、シミュレーションと同じ電力損失でデバイスを動作させながら、熱電対を使用して温度を測定します。適切な注意を払いながらこのプロセスを実施すると、結果としてこのデータシートの他のセクションに記載された一連のディレーティング曲線が得られます。これらのテストを実行して μ Moduleモデルと相関を取り、 θ_{JB} と θ_{BA} を足し合わせることで、適切に定義されたチャンバー内で空気流とヒート・シンクのない状態で得られた μ Moduleモデルと非常に良い相関が得られます。この $\theta_{JB} + \theta_{BA}$ の値はピン配置のセクションに記載されており、 θ_{JA} の値と正確に一致するはずですが、空気流や上面のヒート・シンクがない状態では、電力損失のほぼ100%がジャンクションから基板を通じて周辺に流れるためです。システムごとに固有の熱特性があるため、熱解析は、ユーザが個々のシステムで実行する必要があります。

LTM4650-2は、パッケージの上部と底部から効率的に熱を除去できるよう設計されています。底部の基板材料は、プリント基板への熱抵抗が非常に小さいものを使用しています。デバイス上部にヒート・シンクを外付けすると、空気流がある場合に優れたヒート・シンク効果が得られます。

図12に、ヒート・シンクを使用せず空気流がない場合の、12V入力、1.0V 50A出力でのLTM4650-2の熱画像を示します。

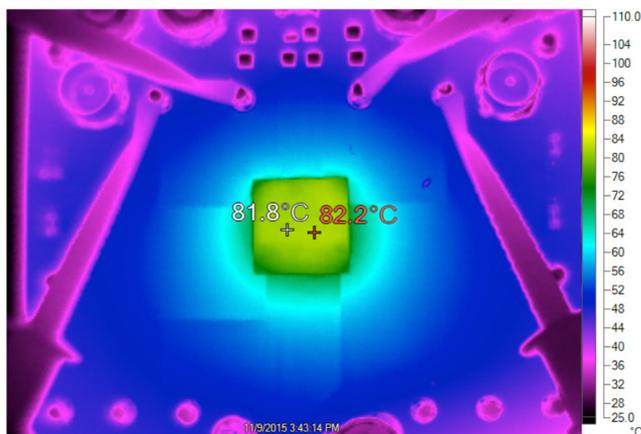


図12. 空気流とヒート・シンクなし、12V入力1V 50A出力での熱画像 (101mm × 114mmの4層PCB、最上層、最下層、全内層に2オンスの銅を使用)

安全に関する考慮事項

LTM4650-2モジュールの V_{IN} と V_{OUT} は、絶縁されていません。また、内部ヒューズもありません。必要に応じて、最大入力電流の2倍の定格値を持つ低速溶断ヒューズを使って、各ユニットを致命的損傷から保護してください。デバイスは、過電流保護機能をサポートしています。内部温度のモニタリング用に温度ダイオードが備わっており、サーマル・シャットダウンの必要性を検知します。サーマル・シャットダウンはRUNピンの制御によって実行します。

パワー・ディレーティング

図13と図14に示す0.9Vおよび1.5Vの電力損失曲線を、図15～図22の負荷電流ディレーティング曲線を組み合わせて使用すると、様々なヒート・シンク条件および空気流条件下におけるLTM4650-2の熱抵抗 θ_{JA} の概算値を求めることができます。電力損失曲線は室温で得られたものであり、120°Cでは1.2倍されて増加します。

アプリケーション情報

ディレーティング曲線は、CH1とCH2を並列単一出力動作させ、低周囲温度環境で負荷が50Aの状態から開始してグラフ化したものです。出力電圧は0.9Vと1.5Vです。これらは熱抵抗との相関を検証するため、低めの出力電圧範囲と高めの出力電圧範囲を含めるよう選択されています。熱モデルは、温度制御チャンバー内のいくつかの温度測定と熱モデリング解析から導出されます。

空気流ありと空気流なしの条件で、周囲温度を上げながらジャンクション温度をモニタします。ディレーティング曲線には、周囲温度の変化に伴う電力損失の増加が加味されます。周囲温度を増加させる間、ジャンクション温度は、出力電流または電力を低下させながら最大約120°Cに維持されます。この出力電流の低下により、周囲温度が増加すると共にモジュール内部の損失が低下します。

モニタされた120°Cのジャンクション温度から周囲動作温度を差し引いた値により、どれだけのモジュール温度の上昇を許容できるかを規定できます。図16の例に示すように、約90°Cで空気流が200LFM、ヒート・シンクなしの条件では、負荷電流が約35Aにディレーティングされ、12V入力0.9V、35A出力の電力損失は約5.6Wになります。5.6Wの損失は、電力損失曲線の35A時の値から得られる室温での損失約4.7Wに、ジャンクション温度120°Cでの係数1.20を乗算して得られます。周囲温度90°Cをジャンクション温度の120°Cから差し引き、その差の30°Cを5.5Wで除算すると、熱抵抗 θ_{JA} は5.4°C/Wになります。表2では、この値に非常に近い5.5°C/Wが仕様規定されています。表2と表3は、空気流とヒート・シンクがある場合とない場合の、出力が0.9Vと1.5Vの場合の等価熱抵抗を示しています。

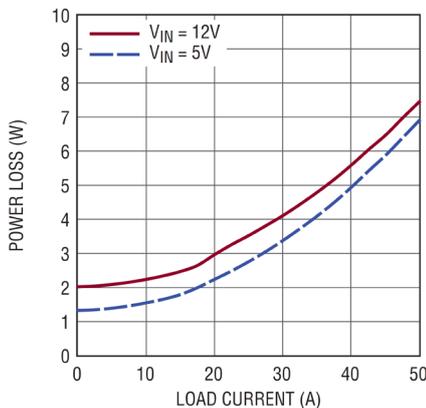


図13. 0.9V出力時の電力損失曲線

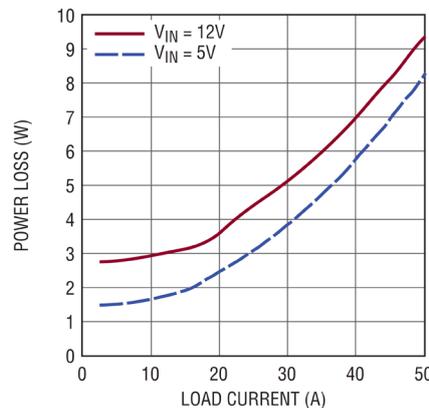


図14. 1.5V出力時の電力損失曲線

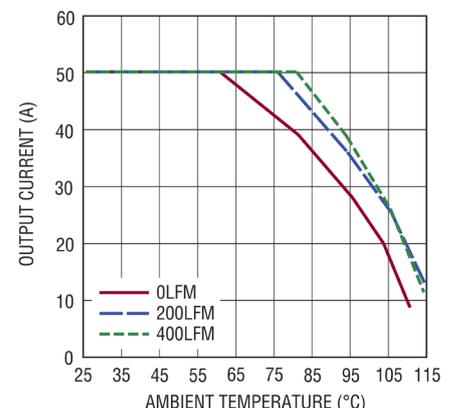


図15. 5V入力0.9V出力時のディレーティング曲線、ヒート・シンクなし

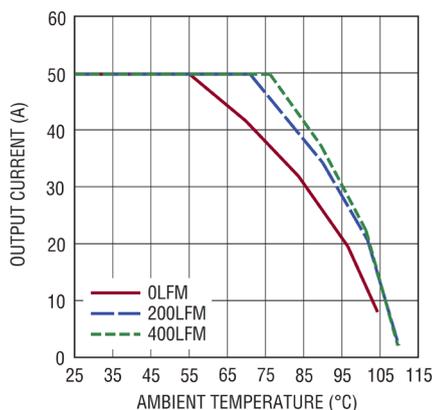


図16. 12V入力0.9V出力でのディレーティング曲線、ヒート・シンクなし

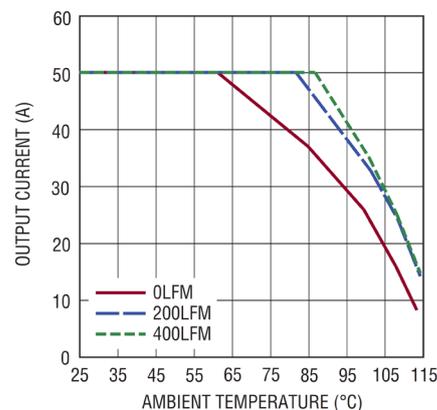


図17. 5V入力0.9V出力時のディレーティング曲線、BGA ヒート・シンク

アプリケーション情報

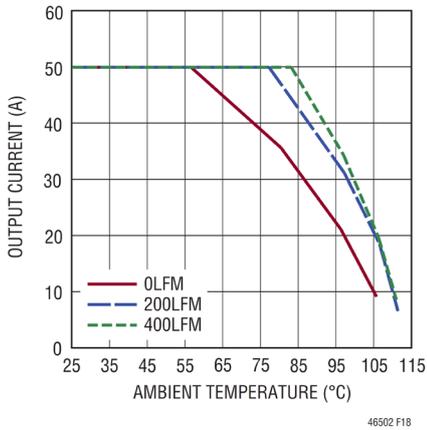


図18. 12V入力0.9V出力時のディレーティング曲線、BGA ヒート・シンク

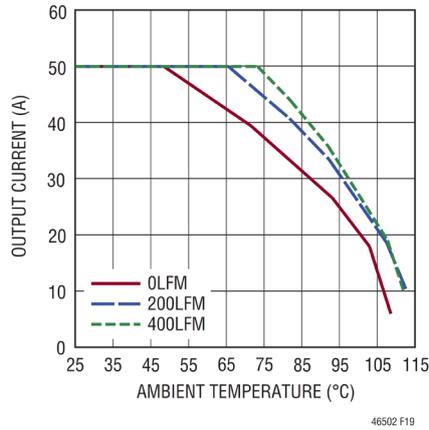


図19. 5V入力、1.5V出力時のディレーティング曲線、ヒート・シンクなし

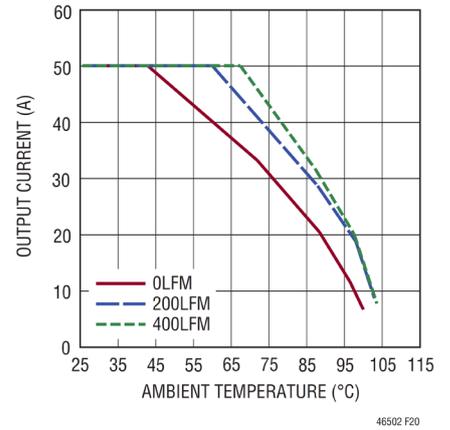


図20. 12V入力、1.5V出力時のディレーティング曲線、ヒート・シンクなし

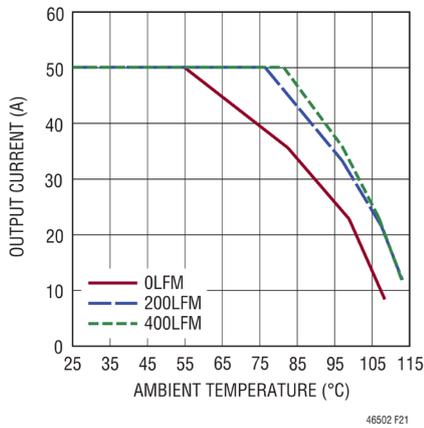


図21. 5V入力1.5V出力時のディレーティング曲線、BGAヒート・シンク

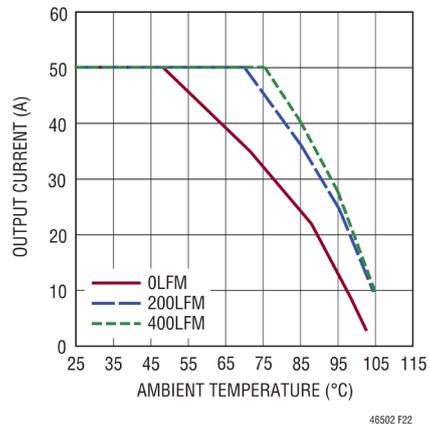


図22. 12V入力1.5V出力時のディレーティング曲線、BGAヒート・シンク

アプリケーション情報

表2と表3に示す様々な条件での算出熱抵抗に、周囲温度の関数として算出した電力損失を乗じると、周囲温度からの温度上昇値が得られ、これから最大ジャンクション温度が得られます。室温での電力損失は効率曲線から求めること

ができ、上述の周囲温度乗算係数で調整できます。プリント回路基板は1.6mm厚の4層基板で、この4層それぞれに2オンスの銅を使用しています。PCBの寸法は101mm × 114mmです。BGAヒート・シンクは表3に示されています。

表2. 0.9V出力

| DERATING CURVE | V _{IN} (V) | POWER LOSS CURVE | AIRFLOW (LFM) | HEAT SINK | θ _{JA} (°C/W) |
|----------------------|---------------------|------------------|---------------|---------------|------------------------|
| Figure 15, Figure 16 | 5, 12 | Figure 13 | 0 | None | 7.5 |
| Figure 15, Figure 16 | 5, 12 | Figure 13 | 200 | None | 5.5 |
| Figure 15, Figure 16 | 5, 12 | Figure 13 | 400 | None | 5 |
| Figure 17, Figure 18 | 5, 12 | Figure 13 | 0 | BGA Heat Sink | 7 |
| Figure 17, Figure 18 | 5, 12 | Figure 13 | 200 | BGA Heat Sink | 4.5 |
| Figure 17, Figure 18 | 5, 12 | Figure 13 | 400 | BGA Heat Sink | 4 |

表3. 1.5V出力

| DERATING CURVE | V _{IN} (V) | POWER LOSS CURVE | AIRFLOW (LFM) | HEAT SINK | θ _{JA} (°C/W) |
|----------------------|---------------------|------------------|---------------|---------------|------------------------|
| Figure 19, Figure 20 | 5, 12 | Figure 14 | 0 | None | 7.5 |
| Figure 19, Figure 20 | 5, 12 | Figure 14 | 200 | None | 5.5 |
| Figure 19, Figure 20 | 5, 12 | Figure 14 | 400 | None | 5 |
| Figure 21, Figure 22 | 5, 12 | Figure 14 | 0 | BGA Heat Sink | 7 |
| Figure 21, Figure 22 | 5, 12 | Figure 14 | 200 | BGA Heat Sink | 4.5 |
| Figure 21, Figure 22 | 5, 12 | Figure 14 | 400 | BGA Heat Sink | 4 |

| HEAT SINK MANUFACTURER | PART NUMBER | WEBSITE |
|------------------------|-------------|---------------------|
| Wakefield | LTN20069-T5 | wakefield-vette.com |

アプリケーション情報

表4. 出力電圧応答とコンポーネント・マトリックス (図 25 参照) の関係、負荷ステップ 標準測定値

| C _{IN} (CERAMIC) | | | | C _{OUT} (CERAMIC) | | | | C _{OUT} (BULK) | | | |
|---------------------------------------|----------------------|---------------------|-------------|----------------------------|--------------------|-----------|------------------|-------------------------|-------|-------------|--|
| VENDOR | VALUE | PART NUMBER | VENDOR | VALUE | PART NUMBER | VENDOR | VALUE | PART NUMBER | VALUE | PART NUMBER | |
| 2-Phase Single Output Solution | | | | | | | | | | | |
| Murata | 22µF, 16V, X5R, 1210 | GRM32ER61C226KE20L | Murata | 100µF, 6.3V, X5R, 1210 | GRM32ER60J107ME20L | Panasonic | 680µF, 2.5V, 6mΩ | 2R5TPF680M6L | | | |
| Murata | 22µF, 16V, X5R, 1206 | GRM31CR61C226KE15K | Murata | 220µF, 4V, X5R, 1206 | GRM31CR60G0227M | Panasonic | 470µF, 2.5V, 3mΩ | EEFGX0E471R | | | |
| TDK | 22µF, 16V, X5R, 1210 | C3225X5R1C226M250AA | Taiyo Yuden | 100µF, 6.3V, X5R, 1210 | JMK325BJ107MM-T | | | | | | |
| | | | Taiyo Yuden | 220µF, 4V, X5R, 1210 | AMK325ABJ227MM-T | | | | | | |

25% Load Step (0A to 12.5A) Ceramic Output Capacitor Only Solutions

| PEAK-PEAK DEVIATION PERCENTAGE | V _{IN} (V) | V _{OUT} (V) | C _{IN} * BULK (µF) | C _{IN} CERAMIC (µF) | C _{OUT} BULK (µF) | C _{OUT} CERAMIC (µF) | COMP PARALLEL CAPACITOR C _{THP} (pF) | COMP PIN RESISTOR R _{TH} (kΩ) | COMP PIN CAPACITOR C _{TH} | FEED-FORWARD CAPACITOR C _{FF} (pF) | PEAK-PEAK DEVIATION V _{PK-PK} (mV) | SETTLING TIME t _{SETTLE} (µs) | CTRL LOOP BANDWIDTH BW (kHz) | CTRL LOOP PHASE MARGIN (PM) | LOAD STEP RATE (A/µs) | R _{FB} (kΩ) | FREQ (kHz) | |
|--------------------------------|---------------------|----------------------|-----------------------------|------------------------------|----------------------------|-------------------------------|-----------------------------------------------|----------------------------------------|------------------------------------|---------------------------------------------|---------------------------------------------|----------------------------------------|------------------------------|-----------------------------|-----------------------|----------------------|------------|-----|
| ±3% (<60mV) | 12 | 1 | 150 | 22 x2 | None | 220 x6 | 33 | 3.24 | 10nF | 68 | 53 | 80 | 88 | 47 Deg | 12.5 | 10 | 90.9 | 500 |
| ±3% (<72mV) | 12 | 1.2 | 150 | 22 x2 | None | 220 x5 | 33 | 3.24 | 10nF | 68 | 56 | 80 | 89 | 49 Deg | 12.5 | 10 | 60.4 | 500 |
| ±3% (<90mV) | 12 | 1.5 | 150 | 22 x2 | None | 220 x4 | 33 | 3.24 | 10nF | 68 | 58 | 80 | 91 | 58 Deg | 12.5 | 10 | 40.2 | 600 |
| ±3% (<108mV) | 12 | 1.8 | 150 | 22 x2 | None | 220 x4 | 33 | 3.24 | 10nF | 68 | 64 | 90 | 98 | 65 Deg | 12.5 | 10 | 30.2 | 600 |

25% Load Step (0A to 9A) Bulk plus Ceramic Output Capacitor Solutions

| | | | | | | | | | | | | | | | | | | |
|--------------|----|-----|-----|-------|--------|--------|----|------|--------|------|----|----|----|--------|------|----|------|-----|
| ±3% (<60mV) | 12 | 1 | 150 | 22 x2 | 470 x2 | 100 x4 | 33 | 3.16 | 3300pF | 68 | 55 | 30 | 82 | 68 Deg | 12.5 | 10 | 90.9 | 500 |
| ±3% (<72mV) | 12 | 1.2 | 150 | 22 x2 | 470 x2 | 100 x4 | 33 | 3.16 | 3300pF | 68 | 55 | 30 | 82 | 73 Deg | 12.5 | 10 | 60.4 | 500 |
| ±3% (<90mV) | 12 | 1.5 | 150 | 22 x2 | 470 x2 | 100 x4 | 82 | 4.12 | 3300pF | None | 64 | 30 | 59 | 53 Deg | 12.5 | 10 | 40.2 | 600 |
| ±3% (<108mV) | 12 | 1.8 | 150 | 22 x2 | 470 x2 | 100 x4 | 82 | 4.12 | 3300pF | None | 75 | 30 | 51 | 58 Deg | 12.5 | 10 | 30.2 | 600 |

50% Load Step (0A to 25A) Ceramic Output Capacitor Only Solutions

| | | | | | | | | | | | | | | | | | | |
|--------------|----|-----|-----|-------|------|---------|----|------|-------|------|-----|----|----|--------|----|----|------|-----|
| ±3% (<60mV) | 12 | 1 | 150 | 22 x2 | None | 220 x12 | 33 | 6.81 | 4.7nF | 100 | 58 | 80 | 76 | 45 Deg | 25 | 10 | 90.9 | 500 |
| ±3% (<72mV) | 12 | 1.2 | 150 | 22 x2 | None | 220 x12 | 33 | 6.81 | 4.7nF | 100 | 61 | 80 | 77 | 50 Deg | 25 | 10 | 60.4 | 500 |
| ±3% (<90mV) | 12 | 1.5 | 150 | 22 x2 | None | 220 x14 | 33 | 5.90 | 4.7nF | None | 90 | 80 | 47 | 45 Deg | 25 | 10 | 40.2 | 600 |
| ±3% (<108mV) | 12 | 1.8 | 150 | 22 x2 | None | 220 x14 | 33 | 5.90 | 4.7nF | None | 105 | 90 | 43 | 50 Deg | 25 | 10 | 30.2 | 600 |

50% Load Step (0A to 25A) Bulk + Ceramic Output Capacitor Solutions

| | | | | | | | | | | | | | | | | | | |
|--------------|----|-----|-----|-------|--------|--------|----|-------|--------|------|----|----|----|--------|----|----|------|-----|
| ±3% (<60mV) | 12 | 1 | 150 | 22 x2 | 470 x6 | 100 x4 | 33 | 12.0k | 3300pF | 47 | 47 | 30 | 70 | 57 Deg | 25 | 10 | 90.9 | 500 |
| ±3% (<72mV) | 12 | 1.2 | 150 | 22 x2 | 470 x6 | 100 x4 | 33 | 12.0k | 3300pF | 47 | 48 | 30 | 67 | 65 Deg | 25 | 10 | 60.4 | 500 |
| ±3% (<90mV) | 12 | 1.5 | 150 | 22 x2 | 470 x6 | 100 x4 | 68 | 10.2k | 3300pF | None | 56 | 40 | 50 | 49 Deg | 25 | 10 | 40.2 | 600 |
| ±3% (<108mV) | 12 | 1.8 | 150 | 22 x2 | 470 x6 | 100 x4 | 82 | 14.5k | 3300pF | None | 58 | 50 | 51 | 46 Deg | 25 | 10 | 30.2 | 600 |

* 長い誘導リード線によって入力ソースのインピーダンスが損なわれている場合のみ、バルク入力コンデンサが必要です。

アプリケーション情報

レイアウトのチェックリスト/サンプル

LTM4650-2は高度に集積化されているので、PCB基板のレイアウトが極めて容易です。ただし、電気的性能と熱的性能を最適化するには、レイアウト上の配慮がある程度必要になります。

- V_{IN} 、GND、 V_{OUT1} 、 V_{OUT2} を含む大電流のパスでは、PCBの銅箔面積を広くします。これは、PCBの伝導損失と熱ストレスを最小限に抑える助けとなります。
- 高周波ノイズを最小限に抑えるため、高周波の入出力セラミック・コンデンサを V_{IN} ピン、PGNDピンおよび V_{OUT} ピンの近くに配置します。
- ユニットの underside には専用の電源グラウンド層を配置します。
- ビアの伝導損失を最小限に抑え、モジュールの熱ストレスを低減するため、最上層と他の電源層の接続には複数のビアを使用します。

- 充填やメッキが施されていない限り、パッド上には直接ビアを置かないでください。
- 信号ピンに接続されている部品には、他とは別のSGND用グラウンド銅箔領域を使用します。SGNDはユニットの下でGNDと接続してください。
- モジュールを並列して使用する場合、 V_{OUT} ピン、 V_{FB} ピン、COMPピンを互いに接続してください。内側の層を使用してこれらのピンを互いに短い距離で接続します。TRACKピンはレギュレータのソフトスタート用に共通のコンデンサに接続できます。
- モニタリングのため、信号ピンからテスト・ポイントを引き出します。

推奨レイアウトの例を図23に示します。LGAとBGAのPCBレイアウトは、BGAでは丸パッドであることを除いて同一です(パッケージの説明のセクションを参照)。

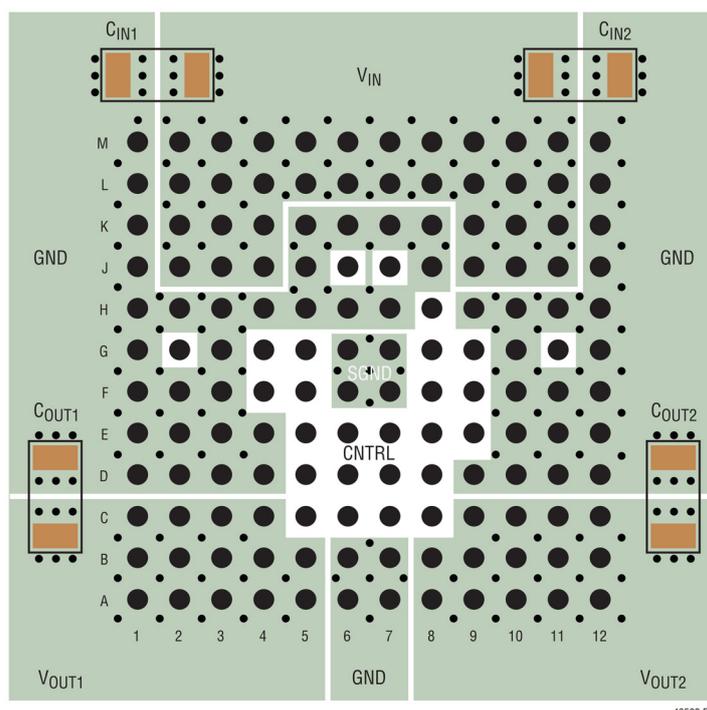


図23. 推奨されるPCBレイアウト

標準的応用例

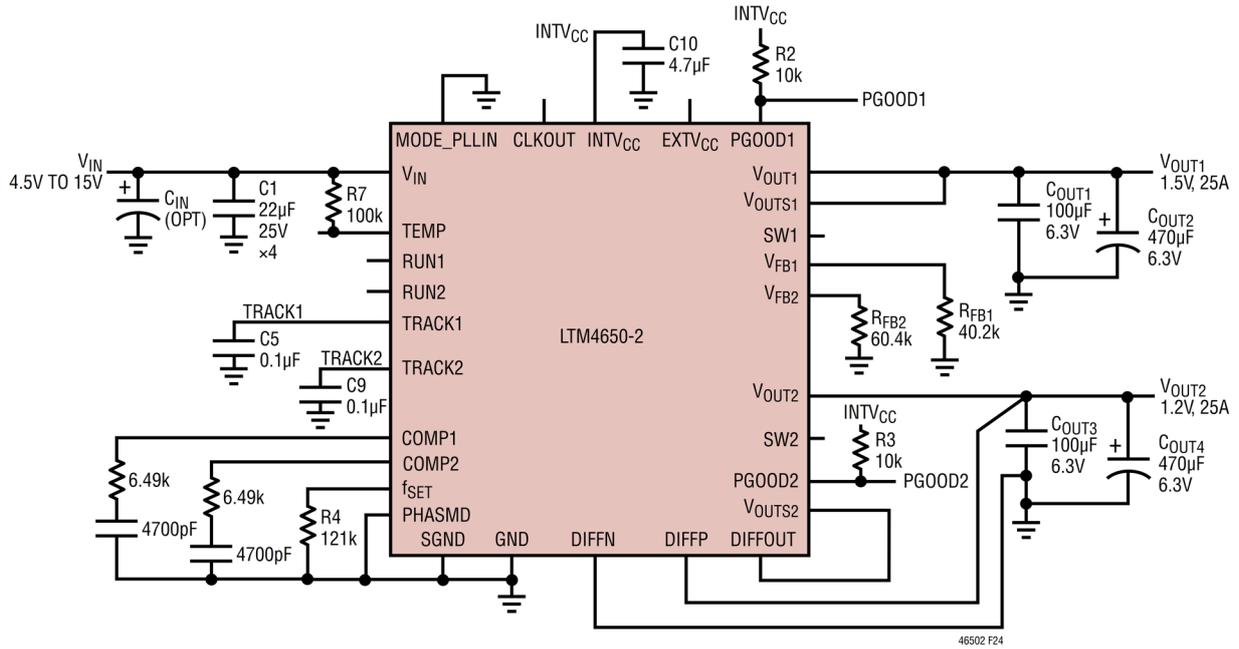
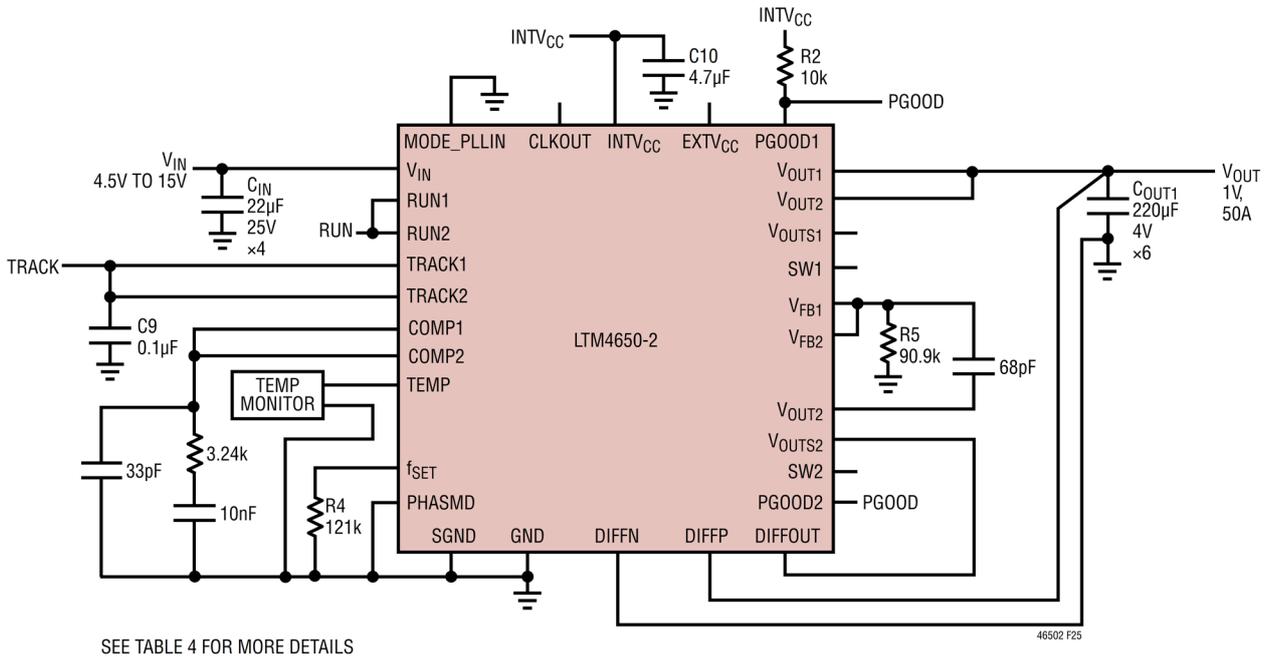


図24. 代表的な 4.5V_{IN}~15V_{IN}、1.5V および 1.2V 25A 出力



SEE TABLE 4 FOR MORE DETAILS

図25. デュアル・フェーズ、1V/50A 設計

標準的応用例

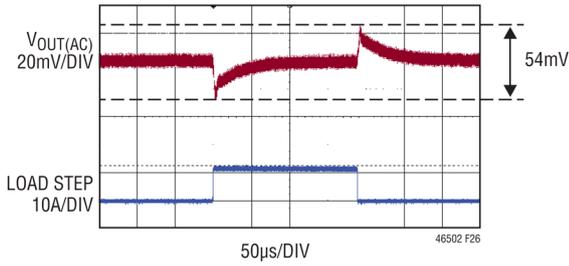


図 26. 図 25 の回路における 25%、12.5A 負荷ステップ・トランジェントの波形

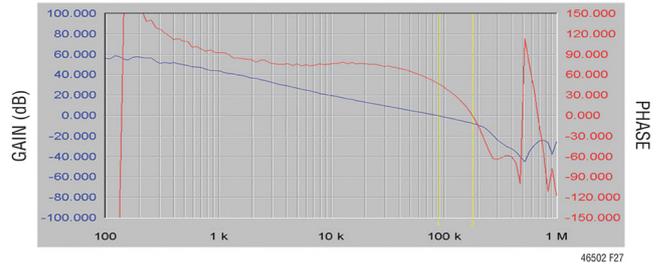


図 27. 図 25 の回路のポード線図

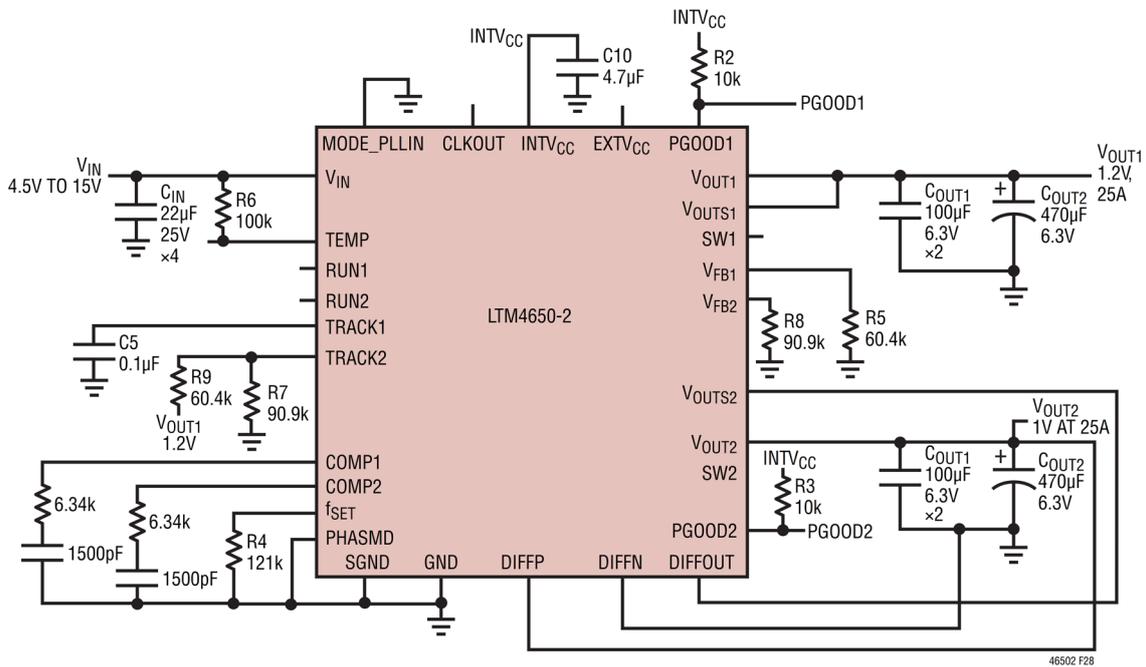


図 28. 1.2V と 1V の出カトラッキング

標準的応用例

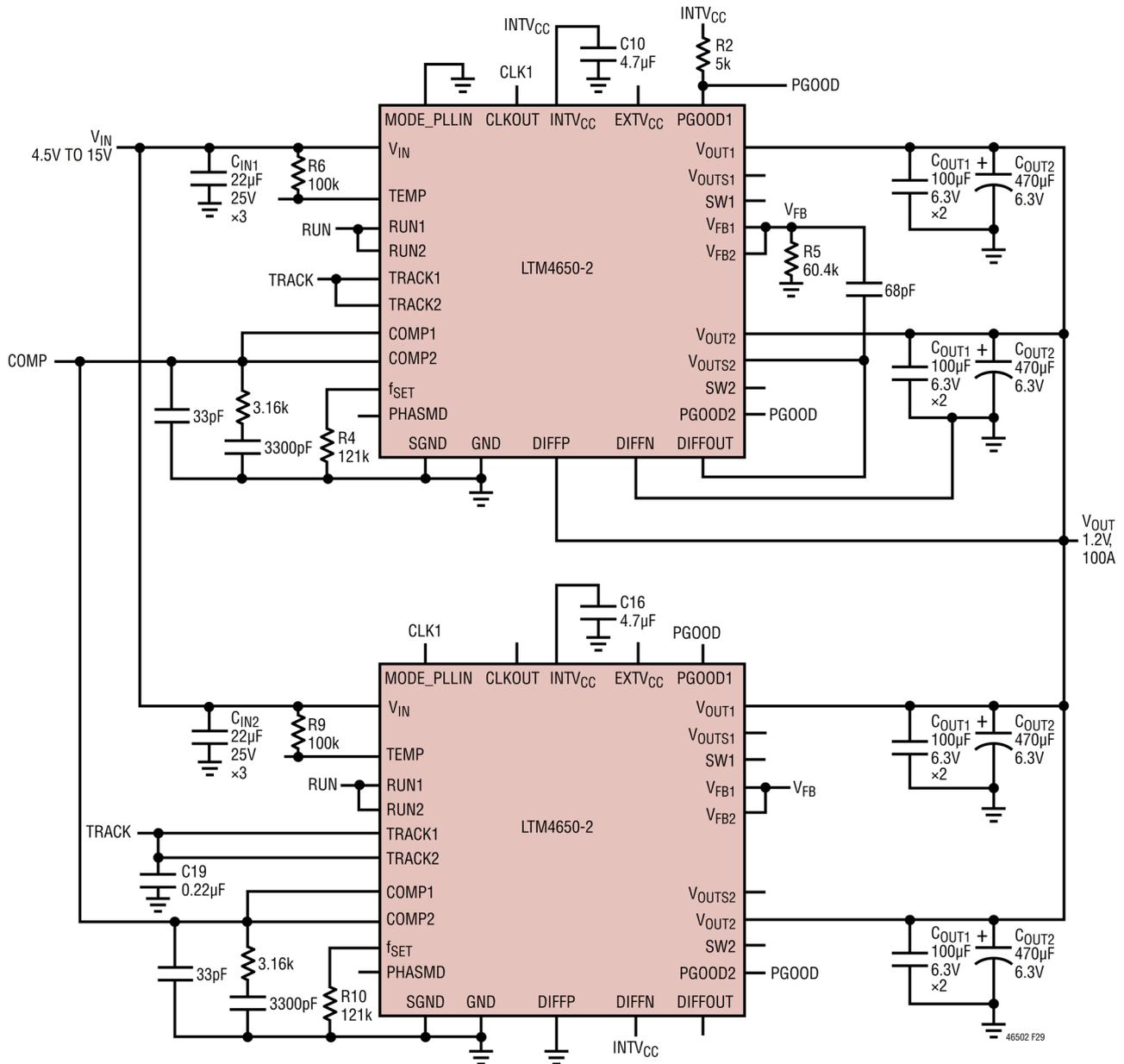


図 29. 4フェーズ、1.2V/100A

標準的応用例

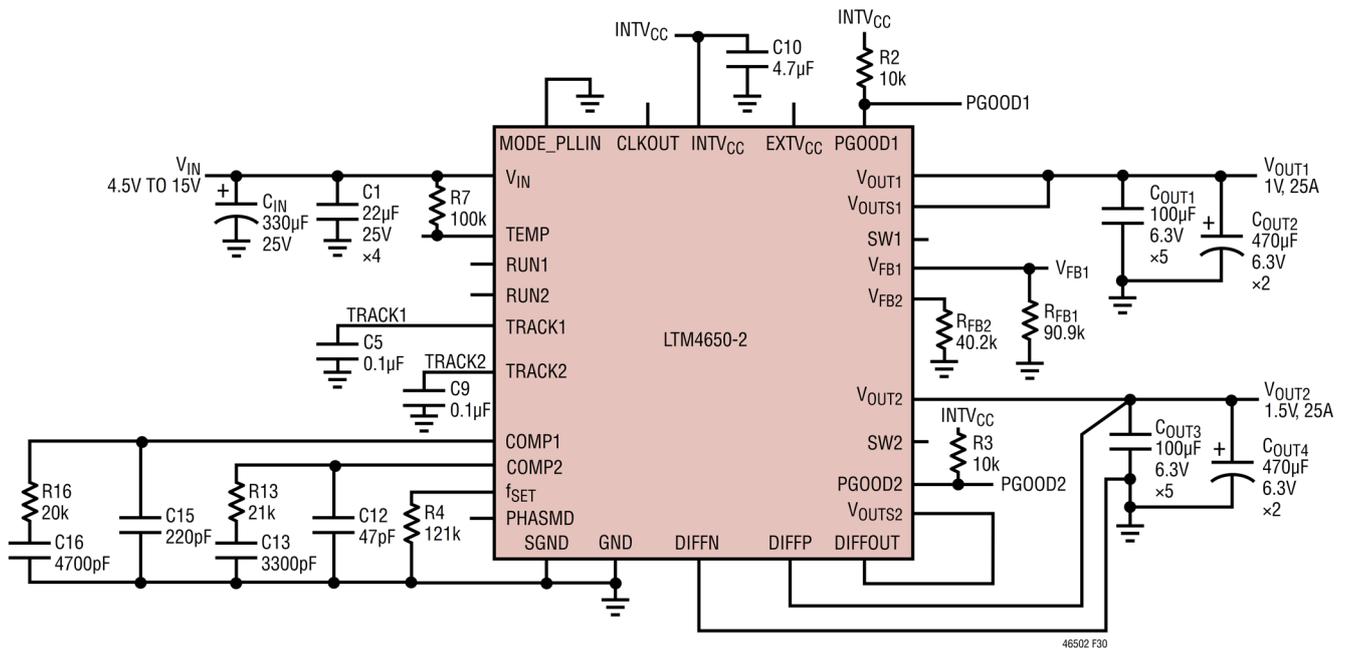


図 30. AVP なしの回路、代表的な $4.5V_{IN} \sim 15V_{IN}$ 、 $1V_{OUT}$ および $1.5V_{OUT}$ 、25A

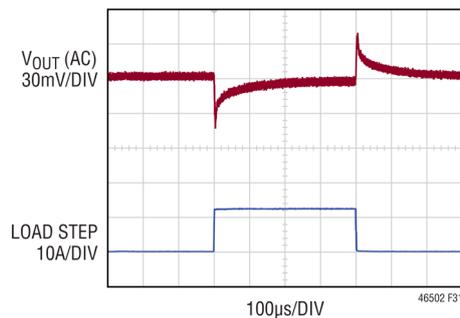


図 31. 図 30 の回路 (AVP なし) の負荷過渡応答の波形、 $12V_{IN}$ 、 $1V_{OUT}$ 、500kHz、12.5A (最大負荷の 50%、スルー・レート $12.5A/\mu s$)、 $C_{OUT1} = 100\mu F \times 5$ セラミック、 $C_{OUT2} = 470\mu F \times 2$ POSCAP

標準的応用例

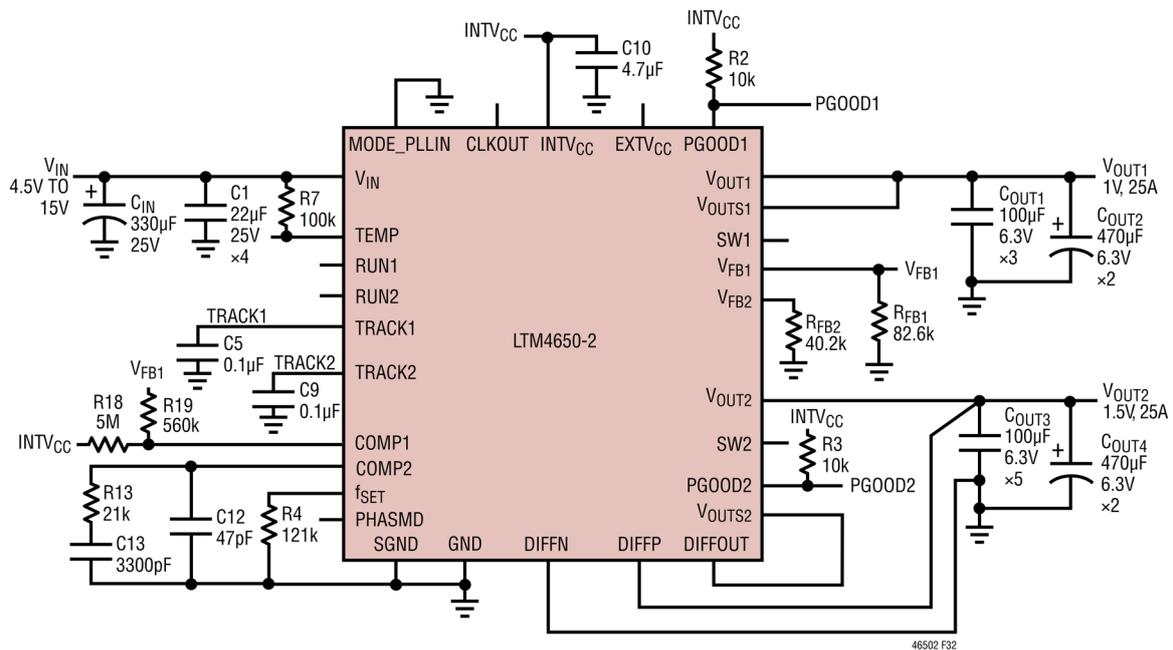


図 32. AVP を備えた回路、代表的な $4.5V_{IN} \sim 15V_{IN}$ 、 $1V_{OUT}$ (AVP あり) および $1.5V_{OUT}$ 、 $25A$ 、 $12.5A$ 負荷ステップ過渡応答および $1V_{OUT}$ (AVP あり)、 $4.5V_{IN}$ ($78k R_{FB1}$) $\sim 15V_{IN}$ ($84k R_{FB1}$)

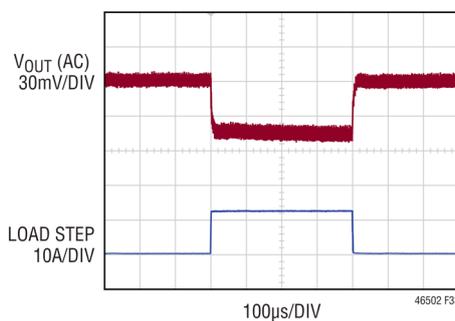


図 33. 図 32 の回路 (AVP あり) の負荷過渡応答の波形、 $12V_{IN}$ 、 $1V_{OUT}$ 、 $500kHz$ 、 $12.5A$ (最大負荷の 50%、スルー・レート $12.5A/\mu s$)、 $C_{OUT1} = 100\mu F \times 3$ セラミック、 $C_{OUT2} = 470\mu F \times 2$ POSCAP

パッケージの説明

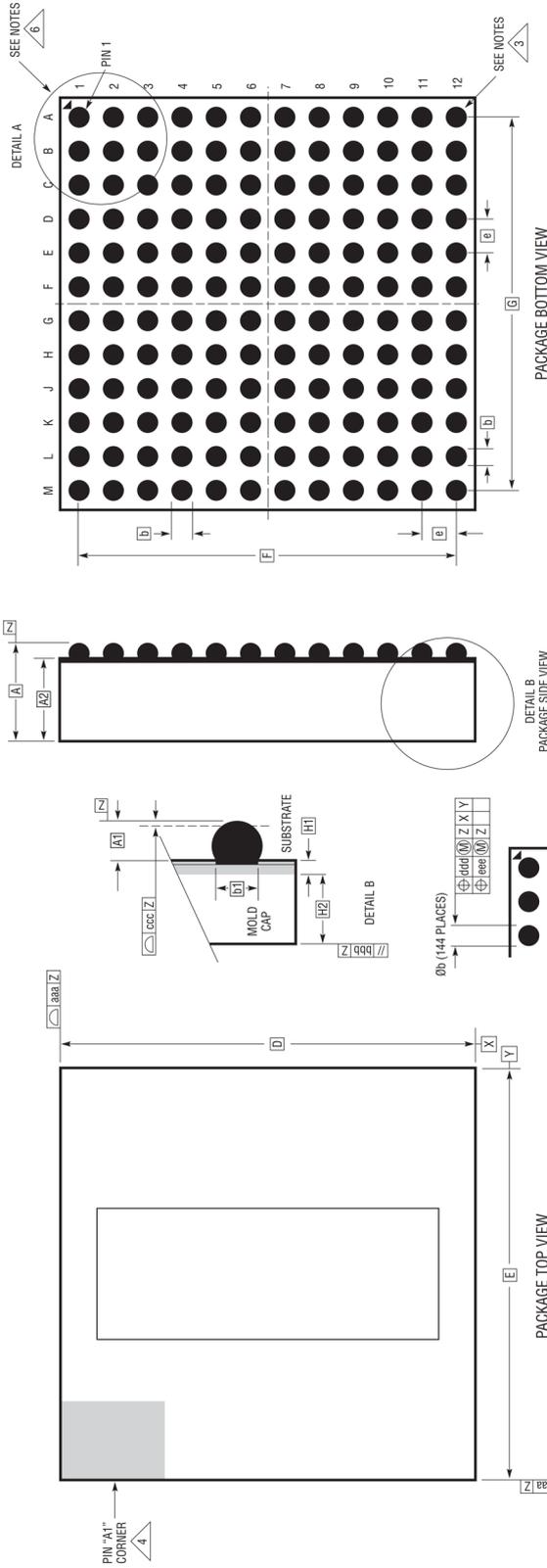
表 5. LTM4650-2 の BGA ピン配置

| PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION |
|--------|-------------------|--------|-------------------|--------|--------------------|--------|------------------|--------|----------|--------|------------|
| A1 | V _{OUT1} | B1 | V _{OUT1} | C1 | V _{OUT1} | D1 | GND | E1 | GND | F1 | GND |
| A2 | V _{OUT1} | B2 | V _{OUT1} | C2 | V _{OUT1} | D2 | GND | E2 | GND | F2 | GND |
| A3 | V _{OUT1} | B3 | V _{OUT1} | C3 | V _{OUT1} | D3 | GND | E3 | GND | F3 | GND |
| A4 | V _{OUT1} | B4 | V _{OUT1} | C4 | V _{OUT1} | D4 | GND | E4 | GND | F4 | MODE_PLLIN |
| A5 | V _{OUT1} | B5 | V _{OUT1} | C5 | V _{OUTS1} | D5 | V _{FB1} | E5 | TRACK1 | F5 | RUN1 |
| A6 | GND | B6 | GND | C6 | f _{SET} | D6 | SGND | E6 | COMP1 | F6 | SGND |
| A7 | GND | B7 | GND | C7 | SGND | D7 | V _{FB2} | E7 | COMP2 | F7 | SGND |
| A8 | V _{OUT2} | B8 | V _{OUT2} | C8 | V _{OUTS2} | D8 | TRACK2 | E8 | DIFFP | F8 | DIFFOUT |
| A9 | V _{OUT2} | B9 | V _{OUT2} | C9 | V _{OUT2} | D9 | GND | E9 | DIFFN | F9 | RUN2 |
| A10 | V _{OUT2} | B10 | V _{OUT2} | C10 | V _{OUT2} | D10 | GND | E10 | GND | F10 | GND |
| A11 | V _{OUT2} | B11 | V _{OUT2} | C11 | V _{OUT2} | D11 | GND | E11 | GND | F11 | GND |
| A12 | V _{OUT2} | B12 | V _{OUT2} | C12 | V _{OUT2} | D12 | GND | E12 | GND | F12 | GND |

| PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION | PIN ID | FUNCTION |
|--------|----------|--------|--------------------|--------|--------------------|--------|-----------------|--------|-----------------|--------|-----------------|
| G1 | GND | H1 | GND | J1 | GND | K1 | GND | L1 | GND | M1 | GND |
| G2 | SW1 | H2 | GND | J2 | V _{IN} | K2 | V _{IN} | L2 | V _{IN} | M2 | V _{IN} |
| G3 | GND | H3 | GND | J3 | V _{IN} | K3 | V _{IN} | L3 | V _{IN} | M3 | V _{IN} |
| G4 | PHASMD | H4 | GND | J4 | V _{IN} | K4 | V _{IN} | L4 | V _{IN} | M4 | V _{IN} |
| G5 | CLKOUT | H5 | GND | J5 | GND | K5 | GND | L5 | V _{IN} | M5 | V _{IN} |
| G6 | SGND | H6 | GND | J6 | TEMP | K6 | GND | L6 | V _{IN} | M6 | V _{IN} |
| G7 | SGND | H7 | GND | J7 | EXTV _{CC} | K7 | GND | L7 | V _{IN} | M7 | V _{IN} |
| G8 | PGOOD2 | H8 | INTV _{CC} | J8 | GND | K8 | GND | L8 | V _{IN} | M8 | V _{IN} |
| G9 | PGOOD1 | H9 | GND | J9 | V _{IN} | K9 | V _{IN} | L9 | V _{IN} | M9 | V _{IN} |
| G10 | GND | H10 | GND | J10 | V _{IN} | K10 | V _{IN} | L10 | V _{IN} | M10 | V _{IN} |
| G11 | SW2 | H11 | GND | J11 | V _{IN} | K11 | V _{IN} | L11 | V _{IN} | M11 | V _{IN} |
| G12 | GND | H12 | GND | J12 | GND | K12 | GND | L12 | GND | M12 | GND |

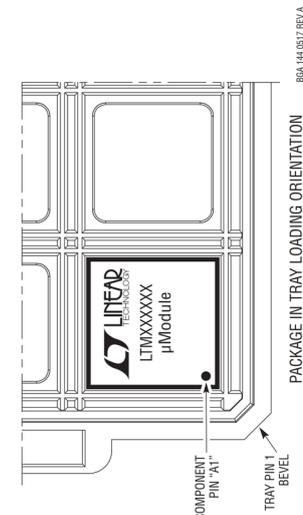
パッケージの説明

BGA Package 144-Lead (16mm × 16mm × 5.01mm) (Reference LTC DWG # 05-08-1523 Rev A)



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M-1994
 2. ALL DIMENSIONS ARE IN MILLIMETERS
 3. BALL DESIGNATION PER JEDEC MS-028 AND JEP95
 4. DETAILS OF PIN #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE PIN #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE
 5. PRIMARY DATUM - Z - IS SEATING PLANE
 6. PACKAGE ROW AND COLUMN LABELING MAY VARY AMONGING μModule PRODUCTS. REVIEW EACH PACKAGE LAYOUT CAREFULLY

| DIMENSIONS | | NOTES | |
|----------------------------|---------------|-------|------|
| SYMBOL | MIN | NOM | MAX |
| A | 4.81 | 5.01 | 5.21 |
| A1 | 0.50 | 0.60 | 0.70 |
| A2 | 4.31 | 4.41 | 4.51 |
| b | 0.60 | 0.75 | 0.90 |
| b1 | 0.60 | 0.63 | 0.66 |
| D | 16.00 | | |
| E | 16.00 | | |
| e | 1.27 | | |
| F | 13.97 | | |
| G | 13.97 | | |
| H1 | 0.36 | 0.41 | 0.46 |
| H2 | 3.95 | 4.00 | 4.05 |
| aga | SUBSTRATE THK | | |
| bbb | MOLD CAP HT | | |
| ccc | 0.10 | | |
| ddd | 0.20 | | |
| eee | 0.30 | | |
| eee | 0.15 | | |
| TOTAL NUMBER OF BALLS: 144 | | | |

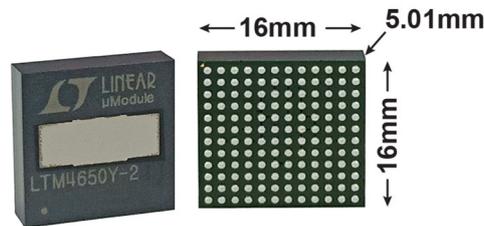


改訂履歴

| 版数 | 改訂日 | 説明 | 改訂ページ |
|----|-------|------|-------|
| 0 | 02/24 | 初版発行 | — |

LTM4650-2

パッケージ写真



設計リソース

| SUBJECT | DESCRIPTION |
|------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| μModule Design and Manufacturing Resources | <p>Design:</p> <ul style="list-style-type: none"> • Selector Guides • Demo Boards and Gerber Files • Free Simulation Tools <p>Manufacturing:</p> <ul style="list-style-type: none"> • Quick Start Guide • PCB Design, Assembly and Manufacturing Guidelines • Package and Board Level Reliability |
| μModule Regulator Products Search | <p>1. Sort table of products by parameters and download the result as a spread sheet. 2. Search using the Quick Power Search parametric table.</p> |
| Digital Power System Management | Analog Devices' family of digital power supply management ICs are highly integrated solutions that offer essential functions, including power supply monitoring, supervision, margining and sequencing, and feature EEPROM for storing user configurations and fault logging. |

関連製品

| 製品番号 | 概要 | 注釈 |
|---------------------------|----------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------|
| LTM4650-1 | AVP 機能がない LTM4650-2、外部補償、V _{OUT} 精度 ±0.8% (LTM4650-1A) または ±1.5% (LTM4650-1B) | デュアル 25A または シングル 50A、4.5V ≤ V _{IN} ≤ 15V、0.6V ≤ V _{OUT} ≤ 1.8V、16mm × 16mm × 5.01mm BGA |
| LTM4650 | 内部補償、V _{OUT} 精度 ±1.5% | デュアル 25A または シングル 50A、4.5V ≤ V _{IN} ≤ 15V、0.6V ≤ V _{OUT} ≤ 1.8V、16mm × 16mm × 5.01mm BGA |
| LTM4650A | 内部補償、最大 5.5V の高 V _{OUT} 、V _{OUT} 精度 ±1% | デュアル 25A または シングル 50A、4.5V ≤ V _{IN} ≤ 16V、0.6V ≤ V _{OUT} ≤ 5.5V、16mm × 16mm × 4.41mm LGA および 5.01mm BGA |
| LTM4630 | LTM4650 よりも低電流、デュアル 18A または シングル 36A | LTM4650 とピン互換、4.5V ≤ V _{IN} ≤ 15V、0.6V ≤ V _{OUT} ≤ 1.8V、16mm × 16mm × 4.41mm LGA および 5.01mm BGA |
| LTM4630-1 | LTM4650-1 よりも低電流、外部補償、V _{OUT} 精度 ±0.8% (LTM4630-1A) または ±1.5% (LTM4630-1B) | LTM4650-1 とピン互換、4.5V ≤ V _{IN} ≤ 15V、0.6V ≤ V _{OUT} ≤ 1.8V、16mm × 16mm × 5.01mm BGA |
| LTM4630A | LTM4650A よりも低電流、高 V _{OUT} 、最大 8V _{OUT} 、デュアル 18A または シングル 36A | LTM4650A とピン互換、4.5V ≤ V _{IN} ≤ 18V、0.6V ≤ V _{OUT} ≤ 8V、16mm × 16mm × 4.41mm LGA および 5.01mm BGA |
| LTM4681 | PMBus インターフェースを備えたクワッド 31.25A または シングル 125A | 4.5V ≤ V _{IN} ≤ 16V、0.5V ≤ V _{OUT} ≤ 3.3V、15mm × 22mm × 8.17mm BGA |
| LTM4683 | PMBus インターフェースを備えた 0.3V _{OUT} (最小値)、クワッド 31.25A または シングル 125A | 4.5V ≤ V _{IN} ≤ 14V、0.3V ≤ V _{OUT} ≤ 0.7V、15mm × 22mm × 5.71mm BGA |
| LTM4700 | PMBus インターフェースを備えたデュアル 50A または シングル 100A | 4.5V ≤ V _{IN} ≤ 16V、0.5V ≤ V _{OUT} ≤ 1.8V、15mm × 22mm × 7.87mm BGA |
| LTM4680 | PMBus インターフェースを備えたデュアル 30A または シングル 60A | 4.5V ≤ V _{IN} ≤ 16V、0.5V ≤ V _{OUT} ≤ 3.3V、16mm × 16mm × 7.82mm BGA |
| LTM4678 | PMBus インターフェースを備えたデュアル 25A または シングル 50A | 4.5V ≤ V _{IN} ≤ 16V、0.5V ≤ V _{OUT} ≤ 3.4V、16mm × 16mm × 5.86mm BGA |

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年10月9日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年10月9日

製品名：LTM4650-2

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：7頁、右の段、TEMP (J6) の説明欄

【誤】

「このピンと SGND の間に、内部でダイオード接続された NPN トランジスタ と 10nF のフィルタリング・キャパシタを接続します。」

【正】

「このピンと SGND の間に、内部でダイオード接続された PNP トランジスタ と 10nF のフィルタリング・キャパシタを接続します。」