

5チャンネル、低ドロップアウト 300mA 電流源出力の 12/16ビット SoftSpan DAC

特長

- ▶ チャンネルあたりのプログラマブル出力電流範囲：
300mA、200mA、100mA、50mA、25mA、12.5mA、
6.25mA、3.125mA
- ▶ 2.1V~V_{CC}の柔軟な出力電源電圧
- ▶ 柔軟な単電源または両電源動作
- ▶ 0.6Vの最大ドロップアウト電圧を確保
- ▶ 出力チャンネルごとに個別の電源
- ▶ オプションの負電源に切り替えるスイッチを内蔵
- ▶ 全範囲でフル12ビット、および16ビットの分解能
- ▶ -40°C~125°Cでの動作を確保（Hグレード）
- ▶ 高精度の内部リファレンス（V_{REF}温度係数は最大
10ppm/°C）または外部リファレンス
- ▶ アナログ・マルチプレクサによる電圧と電流のモニタリング
- ▶ SPIまたは専用ピンを介したA/Bトグル
- ▶ 1.71V~V_{CC}のデジタルI/O電源
- ▶ 32ピン・リード・フレーム・チップ・スケール・パッケージ
[LFCSP]（外形寸法のセクション参照）

アプリケーション

- ▶ チューナブル・レーザ
- ▶ 半導体光アンプのバイアス供給
- ▶ 抵抗加熱器
- ▶ 電流モードのバイアス供給

概要

LTC2672は、5チャンネル、12/16ビットの電流源D/Aコンバータ（DAC）ファミリで、5つの高コンプライアンス電流源出力を備え、200mAで0.6Vのドロップアウトを確保しています。チャンネルごとにプログラマブルな8種類の電流範囲があり、フルスケール出力は最大300mAです。チャンネルは並列接続が可能で、大電流の極めて細かい調整、または最大1.5Aの組み合わせ出力が可能です。各出力チャンネルには、専用の電源ピンがあります。各チャンネルは2.1V~V_{CC}で動作でき、内蔵スイッチを使用すれば出力をオプションの負電源に接続できます。

LTC2672は、高精度の1.25V内部リファレンス（最大10ppm/°C）を内蔵していますが、外部リファレンスを使用するオプションもあります。シリアル・ペリフェラル・インターフェース（SPI）互換の3線式シリアル・インターフェースは、1.71Vの低電圧のロジック・レベルと50MHzの高クロック・レートで動作します。このデータシートでは、CS/LDなどの多機能ピンについて、ピン名全体を表記する場合と、ピンが持つ機能の1つを表記する場合があることに注意してください。

機能ブロック図

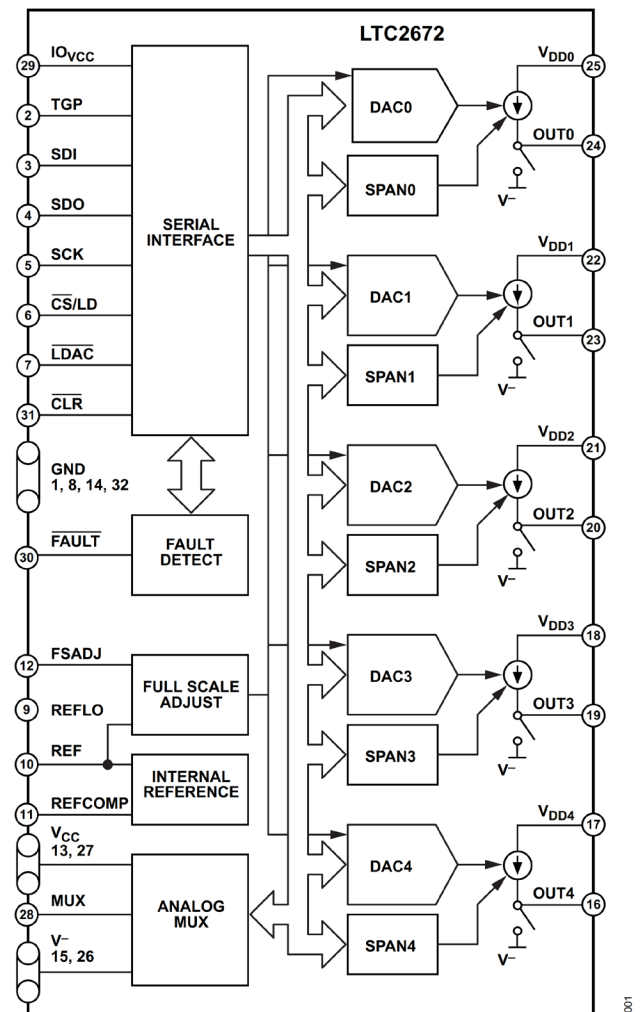


図 1.

目次

特長.....	1	モニタ・マルチプレクサのプリチャージに関する考慮事項.....	20
アプリケーション.....	1	トグル動作.....	21
概要.....	1	トグル・セレクト・レジスタ (TSR)	21
機能ブロック図.....	1	入力レジスタ A および入力レジスタ B への書込み.....	21
仕様.....	4	レジスタ A とレジスタ B の間で切替え	21
タイミング特性.....	7	デイジーチェーン動作.....	23
絶対最大定格.....	9	エコー・リードバック.....	23
熱抵抗.....	9	故障レジスタ	23
ESD に関する注意.....	9	故障インジケータ・ピン (FAULT、ピン 30)	23
ピン配置およびピン機能の説明.....	10	故障状態と過熱保護	23
代表的な性能特性.....	12	設定コマンド.....	23
用語の定義.....	15	パワーダウン・モード.....	24
動作原理.....	16	安全な電源範囲.....	24
負荷終端と出力の結合	16	電流出力.....	24
パワーオン・リセット.....	16	V ₋ への切替えモード.....	25
電源シーケンス.....	16	FSADJ ピンを使用したゲイン調整.....	25
データ伝達関数.....	16	オフセット電流とコード・ゼロ.....	25
アプリケーション情報.....	17	リファレンス・モード.....	25
シリアル・インターフェース.....	17	ボード・レイアウト	25
入力レジスタおよび DAC レジスタ.....	17	外形寸法.....	26
出力レンジおよび SoftSpan 動作.....	17	オーダー・ガイド.....	26
モニタ・マルチプレクサ	20	評価用ボード.....	27
マルチプレクサを使用した電流測定.....	20		
マルチプレクサを使用したダイ温度測定	20		

改訂履歴

4/2021—Rev. 0 to Rev. A

Added 12-Bit to Product Title.....	1
Changes to Features Section.....	1
Changes to General Description Section	1
Changes to Figure 1.....	1
Changes to Table 1	4
Changes to Figure 2, Figure 3 Caption, and Figure 4 Caption	8
Changed UH-32 to 05-08-1693 in Table 5.....	9
Change to Figure 5	10
Added Figure 7 and Figure 11; Renumbered Sequentially.....	12
Changes to Integral Nonlinearity (INL) Section.....	15
Changes to Differential Nonlinearity (DNL) Section	15
Changes to Current Offset Error (IOS) Section.....	15
Changes to Theory of Operation Section	16
Changes to Load Termination and Combining Channels Section.....	16
Changes to Serial Interface Section	17
Added Figure 23.....	17
Changes to Offset Current and Code 0 Section.....	25
Updated Outline Dimensions.....	26
Changes to Ordering Guide	26
Added Evaluation Boards Section	27

改訂履歴

12/2020—Revision 0: Initial Version

仕様

特に指定のない限り、すべての仕様は、動作時 T_J 範囲全体に適用されます。特に指定のない限り、代表値は、 $T_J = 25^\circ\text{C}$ 、 $V_{CC} = I_{OVCC} = 5\text{V}$ 、 $V^- = -3.3\text{V}$ 、 $V_{DDx} = 5\text{V}$ 、 $FSADJ = V_{CC}$ 、 $V_{REF} = 1.25\text{V}$ (外部) での値です。

表 1.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
DC PERFORMANCE, LTC2672-16						
Resolution			16			Bits
Monotonicity			16			Bits
Differential Nonlinearity	DNL	全レンジ ¹	-1	+0.45	+1	LSB
Integral Nonlinearity	INL	全レンジ ¹	-64	+12	+64	LSB
Current Offset Error	I_{OS}	全電流レンジ ¹	-0.4	+0.1	+0.4	%FSR
IOS Temperature Coefficient		全電流レンジ		10		ppm/°C
Gain Error	GE^2	300mA および 200mA の出力電流レンジ	-0.9	+0.3	+0.9	%FSR
		100mA、50mA、25mA の出力電流レンジ	-1.2	+0.4	+1.2	%FSR
		12.5mA、6.25mA、3.125mA の出力電流レンジ	-1.5	+0.7	+1.5	%FSR
Gain Temperature Coefficient		$FSADJ = V_{CC}$		30		ppm/°C
Total Unadjusted Error	TUE ²	300mA および 200mA の出力電流レンジ	-1.4	+0.4	+1.4	%FSR
		100mA、50mA、25mA の出力電流レンジ	-1.7	+0.5	+1.7	%FSR
		12.5mA、6.25mA、3.125mA の出力電流レンジ	-2	+0.8	+2	%FSR
Power Supply Rejection	PSR	レンジ = 100mA、 I_{OUTx} 電流 (I_{OUTx}) = 50mA				
		$V_{CC} = 4.75\text{V} \sim 5.25\text{V}$		0.5		LSB
		$V_{DDx} = 2.85\text{V} \sim 3.15\text{V}$		0.4		LSB
		$V_{DDx} = 4.75\text{V} \sim 5.25\text{V}$		0.7		LSB
		$V^- = -3.25\text{V} \sim -2.75\text{V}$		0.6		LSB
DC Crosstalk ³		消費電力が 200mW 変化した場合の結果		0.1		%FSR
Dropout Voltage ($V_{DDx} - V_{OUTx}^4$)	$V_{DROPOUT}$	200mA レンジ、($V_{DDx} - V^-$) = 4.75V		0.45	0.6	V
		200mA レンジ、($V_{DDx} - V^-$) = 2.85V		0.5	0.65	V
		300mA レンジ、($V_{DDx} - V^-$) = 4.75V		0.75		V
		300mA レンジ、($V_{DDx} - V^-$) = 2.85V		0.85	1.15	V
Off Mode Output Leakage Current ⁵ OUTx Switch to V^- Resistance	$R_{PULLDOWN}$	800Ω の負荷から GND まで	-1	+0.1	+1	μA
		スパン・コード = 1000b、80mA をシンク		8	12	Ω
DC PERFORMANCE, LTC2672-12						
Resolution			12			Bits
Monotonicity			12			Bits
Differential Nonlinearity	DNL	全レンジ ¹	-0.5	+0.03	+0.5	LSB
Integral Nonlinearity	INL	全レンジ ¹	-4	+0.8	+4	LSB
Current Offset Error	IOS	全電流レンジ ¹	-0.4	+0.1	+0.4	%FSR
IOS Temperature Coefficient		全電流レンジ		10		ppm/°C
Gain Error	GE^2	300mA および 200mA の出力電流レンジ	-0.9	+0.3	+0.9	%FSR
		100mA、50mA、25mA の出力電流レンジ	-1.2	+0.4	+1.2	%FSR
		12.5mA、6.25mA、3.125mA の出力電流レンジ	-1.5	+0.7	+1.5	%FSR
Gain Temperature Coefficient		$FSADJ = V_{CC}$		30		ppm/°C
Total Unadjusted Error	TUE ²	300mA および 200mA の出力電流レンジ	-1.4	+0.4	+1.4	%FSR
		100mA、50mA、25mA の出力電流レンジ	-1.7	+0.5	+1.7	%FSR
		12.5mA、6.25mA、3.125mA の出力電流レンジ	-2	+0.8	+2	%FSR
Power Supply Rejection	PSR	レンジ = 100mA、 $I_{OUTx} = 50\text{mA}$				
		$V_{CC} = 4.75\text{V} \sim 5.25\text{V}$		0.04		LSB
		$V_{DDx} = 2.85\text{V} \sim 3.15\text{V}$		0.03		LSB
		$V_{DDx} = 4.75\text{V} \sim 5.25\text{V}$		0.05		LSB
		$V^- = -3.25\text{V} \sim -2.75\text{V}$		0.04		LSB
DC Crosstalk ³		消費電力が 200mW 変化した場合の結果		0.1		%FSR

仕様

表 1.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
Dropout Voltage ($V_{DDx} - V_{OUTx}^4$)	$V_{DROPOUT}$	200mA レンジ; ($V_{DDx} - V^-$) = 4.75V		0.45	0.6	V
		200mA レンジ; ($V_{DDx} - V^-$) = 2.85V		0.5	0.65	V
		300mA レンジ; ($V_{DDx} - V^-$) = 4.75V		0.75		
		300mA レンジ; ($V_{DDx} - V^-$) = 2.85V		0.85	1.15	V
Off Mode Output Leakage Current ⁵ OUTx Switch to V ⁻ Resistance	$R_{PULLDOWN}$	800Ω の負荷から GND まで スパン・コード = 1000b、80mA をシンク	-1	+0.1	+1	μA Ω
AC PERFORMANCE						
Settling Time ^{6,7} Full-Scale Step 3.125 mA Range	t_{SET}	AC 性能のすべての仕様に対し $T_A = 25^\circ\text{C}$				
		$\pm 0.0015\%$ ($\pm 1\text{LSB @ 16b}$)		21.1		μs
		$\pm 0.024\%$ ($\pm 1\text{LSB @ 12b}$)		3.8		μs
		$\pm 0.0015\%$ ($\pm 1\text{LSB @ 16b}$)		7.2		μs
145 mA to 155 mA Step 200 mA Range						
		$\pm 0.024\%$ ($\pm 1\text{LSB @ 12b}$)		3.6		μs
Full-Scale Step 200 mA Range		$\pm 0.0015\%$ ($\pm 1\text{LSB @ 16b}$)		200		μs
		$\pm 0.024\%$ ($\pm 1\text{LSB @ 12b}$)		3.5		μs
Glitch Impulse		ミッドスケール遷移、200mA レンジ、DAC 出力から GND までの抵抗性負荷 (R_{LOAD}) = 4Ω の場合		1.0		nA × s
DAC to DAC Crosstalk ⁸		100mA から 200mA へのステップ、 $R_{LOAD} = 15\Omega$		230		pA × s
i_{NOISE}		出力電流ノイズ密度内部リファレンス、 $I_{OUTx} = 150\text{mA}$ 、 $R_{LOAD} = 4\Omega$ 、負荷容量 (C_{LOAD}) = 10μF				
Frequency (f) = 1 kHz				12		nA/√Hz
f = 10 kHz				5		nA/√Hz
f = 100 kHz				0.5		nA/√Hz
f = 1 MHz				0.05		nA/√Hz
REFERENCE						
Reference Output Voltage	V_{REF}		1.248	1.250	1.252	V
V_{REF} Temperature Coefficient ⁹			-10	+3	+10	ppm/°C
V_{REF} Line Regulation		$V_{CC} = 5V \pm 10\%$		50		μV/V
V_{REF} Short-Circuit Current		$V_{CC} = 5.5V$ 、出力を GND に接続		2.5		mA
REFCOMP Pin Short-Circuit Current		$V_{CC} = 5.5V$ 、出力を GND に接続		65		μA
V_{REF} Load Regulation		$V_{CC} = 5V$ 、リファレンス電流 (I_{REF}) = 100μA ソース		140		mV/mA
V_{REF} Output Voltage Noise Density		REFCOMP ピン電流 ($C_{REFCOMP}$) = REFCOMP ピン容量 (C_{REF}) = 0.1μF、f = 10kHz 時		32		nV/√Hz
External Reference Input Current				0.001	1	μA
External Reference Input Capacitance ¹⁰				40		pF
External Reference Input Voltage		REFCOMP ピンは GND に接続	1.225		1.275	V
External Full-Scale Adjust Resistor	R_{FSADJ}	R_{FSADJ} から GND まで	19	20	41	kΩ
DIGITAL INPUT/OUTPUT						
Digital Output High Voltage	V_{OH}	SDO ピン、負荷電流 = -100μA	$I_{OVCC} - 0.2$			V
Digital Output Low Voltage	V_{OL}	SDO ピン、負荷電流 = 100μA			0.2	V
Digital High-Z Output Leakage Current		FAULT ピン、負荷電流 = 100μA			0.2	V
		SDO ピンのリーク電流 (\overline{CS}/LD ハイ)	-1		+1	μA
		FAULT ピンのリーク電流 (アサートされない場合)			1	μA
Digital Input Current		入力電圧 (V_{IN}) = GND から I_{OVCC}	-1		+1	μA
Digital Input Capacitance ¹⁰	C_{IN}				8	pF
High Level Input Voltage	V_{IH}	$2.85 \leq I_{OVCC} \leq V_{CC}$	$0.8 \times I_{OVCC}$			V
		$1.71 \leq I_{OVCC} \leq 2.85$	$0.8 \times I_{OVCC}$			V

仕様

表 1.

パラメータ	記号	テスト条件/コメント	Min	Typ	Max	単位
Low Level Input Voltage	V_{IL}	$2.85 \leq IO_{VCC} \leq V_{CC}$ $1.71 \leq IO_{VCC} \leq 2.85$			0.3 0.3	V V
POWER SUPPLY						
Analog Supply Voltage	V_{CC}		2.85		5.5	V
Digital Input and Output Supply Voltage	IO_{VCC}		1.71		V_{CC}	V
Negative Supply	V^-		-5.5		0	V
Output Supplies	V_{DDx}	200mA レンジ以下 (GND 基準)	2.1		V_{CC}	V
		300mA レンジ以下 (GND 基準)	2.4		V_{CC}	V
Output Supplies, Total Voltage ¹¹		安全動作領域 (V^- を基準とする V_{DDx})	2.85		9	V
V_{CC} Supply Current		全レンジ (コード=0、全チャンネル)		4	5.3	mA
IO_{VCC} Supply Current		全レンジ (コード=0、全チャンネル)		0.01	1	μ A
V^- Supply Current		全レンジ (コード=0、全チャンネル)		7.5	11	mA
V_{DDx} Supply Current		全レンジ (コード=0、チャンネルごと)		1.5	2.2	mA
		25mA レンジ (コード=フルスケール、チャンネルごと) ¹²		28	32	mA
		200mA レンジ (コード=フルスケール、チャンネルごと) ¹²		205	215	mA
V_{CC} Shutdown Current ^{13, 14}	I_{SLEEP}			50	500	μ A
IO_{VCC} Shutdown Current ^{13, 14}				0.01	1	μ A
V^- Shutdown Current ^{13, 14}				0.29	1.2	mA
V_{DDx} Shutdown Current ^{13, 14}				80	250	μ A
MONITOR MULTIPLEXER						
MUX Pin DC Output Impedance				15		k Ω
MUX Pin Leakage Current		モニタ・マルチプレクサ・ディスプレイ (高インピーダンス)	-1	+0.1	+1	μ A
MUX Pin Output Voltage Range		モニタ・マルチプレクサを OUT0 ピン電圧~OUT4 ピン電圧に選択	V^-		V_{CC}	V
MUX Pin Continuous Current ¹¹		$T_A = 25^\circ\text{C}$ (超えないこと)	-1		+1	mA

¹ オフセット電流は、LTC2672-16 の場合、コード 384 で、LTC2672-12 の場合、コード 24 で測定しています。直線性は、LTC2672-16 の場合、コード 384~65535 で、LTC2672-12 の場合、コード 24~4095 で定義しています。

² フルスケール電流 (I_{FS}) = 300mA の場合、 $R_{LOAD} = 10\Omega$ 。 $I_{FS} = 200mA$ の場合、 $R_{LOAD} = 15\Omega$ 。 $I_{FS} = 100mA$ の場合、 $R_{LOAD} = 30\Omega$ 。 $I_{FS} = 50mA$ の場合、 $R_{LOAD} = 50\Omega$ 。 $I_{FS} = 25mA$ の場合、 $R_{LOAD} = 100\Omega$ 。 $I_{FS} = 12.5mA$ の場合、 $R_{LOAD} = 200\Omega$ 。 $I_{FS} = 6.25mA$ の場合、 $R_{LOAD} = 400\Omega$ 。 $I_{FS} = 3.125mA$ の場合、 $R_{LOAD} = 800\Omega$ 。

³ $I_{FS} = 200mA$ および $R_{LOAD} = 15\Omega$ 。 DC クロストークは、4つのアグレッサ・チャンネルすべてに対し 100mA から 200mA へのステップで測定しています。消費電力の変化の合計は、 $4 \times 50mW = 200mW$ となります。モニタ・チャンネルは、 $3/4 \times I_{FS}$ または 150mA に保持されます。

⁴ V_{OUTx} はチャンネル出力 (OUTx) 電圧です。

⁵ OUTx ピンに接続する負荷は、GND に終端する必要があります。

⁶ $V_{DDx} = 5V$ (3.125mA レンジ)、 $V_{DDx} = 3.6V$ (200mA レンジ)、 $V^- = -3.3V$ (すべてのレンジ)。大電流出力ステップでは、内部の熱効果により、最後にセトリング・テールが生じます。ほとんどの場合、テールは小さいため $\pm 0.024\%$ のセトリングに影響することはありません。しかし、 $\pm 0.0015\%$ レベルまで完全にセトリングするには数ミリ秒の時間が必要です。最善の結果を得るためには、露出パッド (ピン 33) をグランド・プレーンにハンダ付けすると共に、各チャンネルの V_{DDx} をできるだけ小さくしてデバイスの消費電力を抑えてください。記載した結果は、ヒートシンクを追加せずに DC2903 評価用ボードのデモ回路を使用して得られたものです。

⁷ 内部リファレンス・モード。負荷は、15 Ω (200mA レンジ) または 800 Ω (3.125mA レンジ) で、GND に終端します。

⁸ DAC 間クロストークとは、1つの DAC に生じる、隣接 DAC チャンネルでの 100mA から 200mA へのステップ変化によるグリッチを指します。DAC は、200mA スパンレンジのミッドスケール (100mA の出力レンジ) で内部リファレンスを使用して測定し、 $V_{DDx} = 5V$ 、 $V^- = -3.3V$ です。

⁹ 温度係数は、出力電圧の最大変化と公称出力電圧との比を最初に計算し、次にその比を仕様規定された温度範囲で割ったものです。

¹⁰ 設計により確認されていますが、出荷テストは行っていません。

¹¹ ここに記載された値を超えるストレスを長期にわたり加えると、デバイスに恒久的な損傷を与えたり、デバイスの信頼性と寿命に影響を及ぼしたりする可能性があります。

¹² 指定出力での単一チャンネル

¹³ $V_{CC} = IO_{VCC} = 5V$ 、 $V_{DDx} = 5V$ 、 $V^- = -3.3V$ 。

¹⁴ デジタル入力 は 0V または IO_{VCC} です。

仕様

タイミング特性

すべての仕様は、動作時 T_J 範囲全体に適用されます。デジタル入力の低電圧は 0V、高電圧は IO_{VCC} です。

表 2. $2.85V \leq V_{CC} \leq 5.5V$ 、 $2.85V \leq IO_{VCC} \leq V_{CC}$

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
t_1	SDI 有効化と SCK セットアップの間の時間	6			ns
t_2	SDI 有効化と SCK ホールドの間の時間	6			ns
t_3	SCK のハイ時間	9			ns
t_4	SCK のロー時間	9			ns
t_5	\overline{CS}/LD のパルス幅	10			ns
t_6	SCK LSB ハイと \overline{CS}/LD ハイの間の時間	19			ns
t_7	\overline{CS}/LD ローと SCK ハイの間の時間	7			ns
t_8	SCK 立下がりエッジからの SDO の伝搬遅延時間、 $C_{LOAD} = 10pF$ 、 $4.5V < IO_{VCC} < V_{CC}$			20	ns
	SCK 立下がりエッジからの SDO の伝搬遅延時間、 $C_{LOAD} = 10pF$ 、 $2.85V < IO_{VCC} < 4.5V$			30	ns
t_9	\overline{CLR} のパルス幅	20			ns
t_{10}	\overline{CS}/LD ハイと SCK 立上がりエッジの間の時間	7			ns
t_{11}	\overline{LDAC} のパルス幅	15			ns
t_{12}	\overline{CS}/LD ハイから \overline{LDAC} ハイまたはローまでの遷移時間	15			ns
f_{SCK}	SCK 周波数			50	MHz
t_{13}	TGP のハイ時間 ¹	1			μs
t_{14}	TGP ロー時間 ¹	1			μs

¹ 設計により確認されていますが、出荷テストは行っていません。

表 3. $2.85V \leq V_{CC} \leq 5.5V$ 、 $1.71V \leq IO_{VCC} \leq 2.85V$

パラメータ	テスト条件/コメント	Min	Typ	Max	Unit
t_1	SDI 有効化と SCK セットアップの間の時間	7			ns
t_2	SDI 有効化と SCK ホールドの間の時間	7			ns
t_3	SCK のハイ時間	30			ns
t_4	SCK のロー時間	30			ns
t_5	\overline{CS}/LD のパルス幅	15			ns
t_6	SCK LSB ハイと \overline{CS}/LD ハイの間の時間	19			ns
t_7	\overline{CS}/LD ローと SCK ハイの間の時間	7			ns
t_8	SCK 立下がりエッジからの SDO の伝搬遅延時間、 $C_{LOAD} = 10pF$			60	ns
t_9	\overline{CLR} のパルス幅	30			ns
t_{10}	\overline{CS}/LD ハイと SCK 立上がりエッジの間の時間	7			ns
t_{11}	\overline{LDAC} のパルス幅	15			ns
t_{12}	\overline{CS}/LD ハイから \overline{LDAC} ハイまたはローまでの遷移時間	15			ns
f_{SCK}	SCK 周波数 (50%のデューティ・サイクル、SDO 動作を除く)			15	MHz
t_{13}	TGP のハイ時間 ¹	1			μs
t_{14}	TGP ロー時間 ¹	1			μs

¹ 設計により確認されていますが、出荷テストは行っていません。

仕様

タイミング図

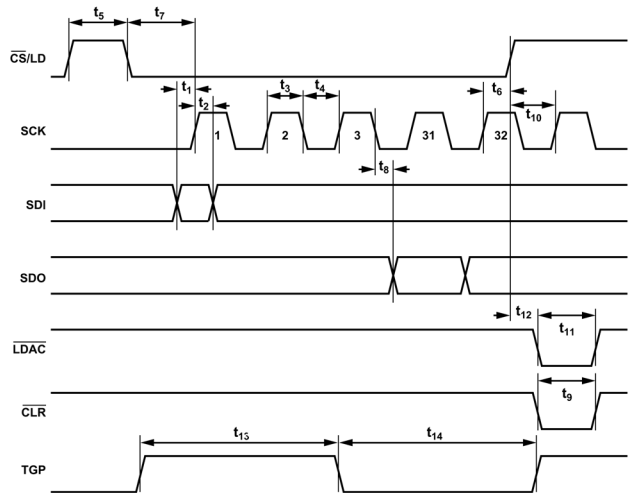


図 2. シリアル・インターフェース、LDAC、CLR、トグル・ピンのタイミング図

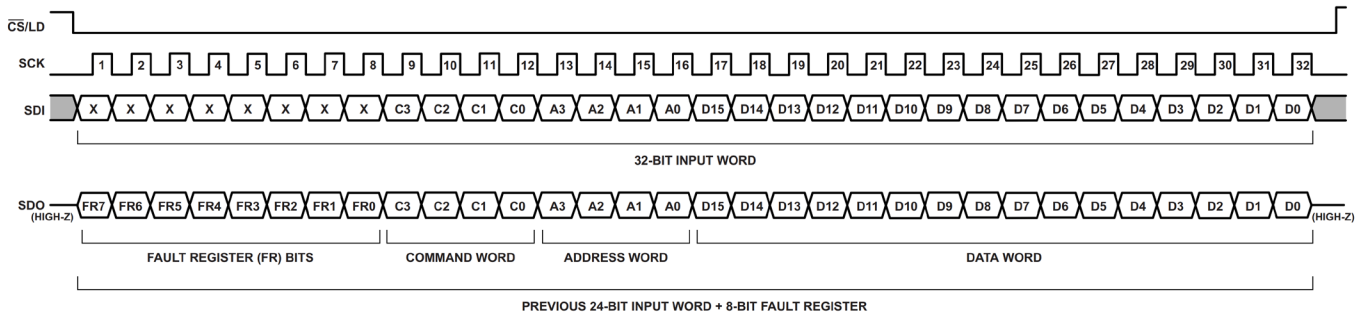


図 3. LTC2672 の 32 ビット・コマンド・シーケンス

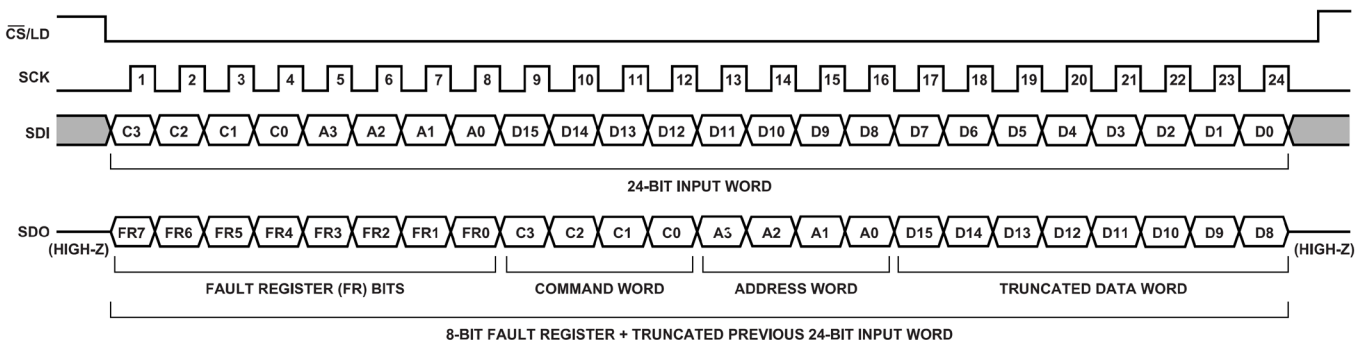


図 4. LTC2672 の 24 ビット・コマンド・シーケンス

絶対最大定格

表 4.

Parameter	Rating
V _{CC} to GND	-0.3 V to +6 V
IO _{VCC} to GND	-0.3 V to +6 V
V ⁻ to GND	-6 V to +0.3 V
V _{DDx} to GND	-0.3 V to (V _{CC} + 0.3 V)
V _{DDx} to V ⁻	-0.3 V to +10 V
OUTx to GND	(V ⁻ - 0.3 V) to (V _{DDx} + 0.3 V)
MUX	(V ⁻ - 0.3 V) to (V _{CC} + 0.3 V)
REF, REFCOMP, FSADJ	-0.3 V to minimum (V _{CC} + 0.3 V, 6 V)
CS/LD, SCK, SDI, LDAC, CLR, TGP to GND	-0.3 V to +6 V
FAULT to GND	-0.3 V to +6 V
SDO	-0.3 V to minimum (V _{CC} + 0.3 V, 6 V)
Temperature	
Operating Range (T _j)	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction, T _{JMAX}	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された自然対流での周囲とジャンクション間の熱抵抗です。θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ _{JA}	θ _{JC}	Unit
05-08-1693 ¹	44	7.3	°C/W

¹ 熱抵抗のシミュレーション値は、パイアスのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

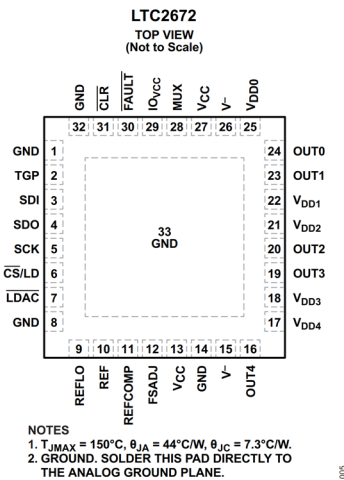


図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 8, 14, 32	GND	アナログ・グラウンド。GNDはアナログ・グラウンド・プレーンに接続します。
2	TGP	非同期トグル・ピン。TGPの立下がりエッジにより、DACレジスタは入力レジスタAのデータに更新されます。TGPの立上がりエッジにより、DACレジスタは入力レジスタBのデータに更新されます。トグル動作は、トグル選択ビット (Tx) が1にセットされたDACチャンネルのみ影響します。トグル動作をソフトウェアで行う場合は、TGPをIOVCCに接続します。トグル動作を使用しない場合は、TGPはGNDに接続します。ロジック・レベルはIOVCCによって決まります。
3	SDI	シリアル・データ入力。SDIのデータは、SCKの立上がりエッジでDACに入力されます。LTC2672が受け入れる入力ワード長は、24ビット、32ビット、または32ビットの倍数です。ロジック・レベルはIOVCCによって決まります。
4	SDO	シリアル・データ出力。32ビット・シフト・レジスタのシリアル出力はSDOに生じます。SDIを介してデバイスに転送されたデータは、32SCK立上がりエッジ分だけ遅延してから次の立下がりエッジで出力されます。SDOは、データ・エコーのリードバックまたはデジタイズ動作のために使用できます。SDOは、CS/LDがハイのときに高インピーダンスになります。ロジック・レベルはIOVCCによって決まります。
5	SCK	シリアル・クロック入力。ロジック・レベルはIOVCCによって決まります。
6	CS/LD	シリアル・インターフェースのチップ・セレクト/負荷入力。CS/LDがローの場合、SCKがイネーブルされてSDIデータをレジスタにシフトし、SDOはディスエーブルになります。CS/LDがハイになると、SDOとSCKはディスエーブルされ、指定コマンド (表7参照) が実行されます。ロジック・レベルはIOVCCによって決まります。
7	LDAC	アクティブ・ローの非同期DAC更新ピン。LDACによって、SPIタイミングとは無関係に更新を行うことができます。CS/LDがハイの場合、LDACの立下がりエッジによって、すべてのDACレジスタが入力レジスタの内容に更新されます。LDACはCS/LDによってゲート処理されるため、CS/LDがローの場合は影響を及ぼすことがありません。ロジック・レベルはIOVCCによって決まります。LDACを使用しない場合、LDACはIOVCCに接続します。
9	REFLO	リファレンス・ロー。REFLOはリファレンス用の信号グラウンドです。REFLOはGNDに直接接続します。
10	REF	リファレンス出力。各DAC出力チャンネルのフルスケール出力電流は、REFの電圧に比例して増加します。デフォルトでは、1.25V内部リファレンスがREFに供給されます。外部DC負荷電流を駆動する場合、REFにはバッファが必要です。リファレンスがディスエーブルの場合 (リファレンス・モードのセクションを参照)、リファレンス出力は切り離され、REFは高インピーダンスとなり高精度外部リファレンスを受け入れます。ノイズを抑えリファレンスの安定性を確保するために、コンデンサをREFとGNDの間に接続します。コンデンサ値はCREFCOMP未満であることが必要です。ここで、CREFCOMPはREFCOMPに接続される容量です。外部リファレンス入力の許容範囲は、1.225V~1.275Vです。
11	REFCOMP	内部リファレンス補償ピン。ノイズを抑えリファレンスの安定性を確保するために、0.1μFのコンデンサをREFCOMPとGNDの間に接続します。REFCOMPをGNDに接続すると、デバイスは内部リファレンスがディスエーブルの状態でのパワーアップするため、起動時に外部リファレンスを使用することができます。
12	FSADJ	フルスケール電流調整ピン。FSADJは、内部キャリブレーションされた公称出力レンジを生成するか、または段階的に調整可能なレンジを生成するかの、2通りのどちらかで使用できます。どちらの場合でも、リファレンス電圧VREFが抵抗RFSADJに印加され、リファレンス電流を定義します。すべてのレンジおよびチャンネルの出力はこのリファレンス電流に比例します。フルスケール電流はREFの電圧に比例し、RFSADJに半比例します。FSADJがVCCに接続されている場合、内部RFSADJ (20kΩ) が選択され、公称出力レンジになります。または、19kΩ~41kΩの外部抵抗をFSADJとGNDの間に接続して使用することもできます。この場合、外部抵抗はレンジのスケーリングを制御し、内部抵抗は自動的に切断されます。詳細については、表9を参照してください。外部抵抗を使用する場合、FSADJは浮遊容量の影響を受けやすくなるため、RFSADJと並列に1kΩと1μFを直列に接続して構成されるスナバ回路ネットワークで補償する必要があります。この推奨の補償方法を用いると、FSADJは最大50pFの浮遊容量があっても安定性を維持できます。
13, 27	VCC	アナログ電源電圧。2.85V ≤ VCC ≤ 5.5V。すべての電源電圧はVCC以下であることが必要です (VDDx ≤ VCC)。VCCは1μFのコンデンサでGNDにバイパスします。

ピン配置およびピン機能の説明

表 6. ピン機能の説明

ピン番号	記号	説明
15, 26	V ⁻	負電源電圧。-5.5V ≤ V ⁻ ≤ GND。V ⁻ が GND に接続されている場合を除き、V ⁻ は 1μF のコンデンサで GND にバイパスします。安全な動作電圧については図 31 を参照してください。
16, 19, 20, 23, 24	OUT4 to OUT0	DAC アナログ電流出力。各電流出力ピンには専用のアナログ電源ピン V _{DD0} ~V _{DD4} があります。OUT _x に接続する負荷は GND に終端する必要があります。複数の出力の結合については、 負荷終端と出力の結合 のセクションを参照してください。
17, 18, 21, 22, 25	V _{DD4} to V _{DD0}	出力電源。V _{DD0} ~V _{DD4} は GND を基準として 2.1V~V _{CC} で動作し、V ⁻ を基準として 2.85V~9V で動作します。これら 5 個の正電源入力、それぞれ 5 個の DAC 電流出力ピン OUT ₀ ~OUT ₄ に個別に電源を供給します。最大出力電源電圧は、V _{CC} 以下であることが必要である点に注意してください (V _{DDx} ≤ V _{CC})。各電源入力は、1μF のコンデンサで GND にバイパスします。使用しない出力電源は、有効な V _{CC} または V _{DDx} 電源に接続する必要があります。これらのピンはフロート状態のままにしないでください。安全な動作電圧については図 31 を参照してください。
28	MUX	アナログ・マルチプレクサ出力。ピンの電圧と電流は、MUX の電圧を測定することでモニタできます。マルチプレクサがディスエーブルの場合、MUX は高インピーダンスになります。使用可能なマルチプレクサの選択範囲を表 10 に示します。
29	IO _{VCC}	デジタル入出力電源電圧。1.71V ≤ IO _{VCC} ≤ V _{CC} + 0.3V。IO _{VCC} は 0.1μF のコンデンサで GND にバイパスします。
30	$\overline{\text{FAULT}}$	アクティブ・ローの故障検出ピン。これはオープンドレインの N チャンネル出力で、何らかの故障状態が有効に検出された場合にローになります。FAULT は次の CS/LD の立上がりエッジでリリースされます。プルアップ抵抗が必要です (5kΩ を推奨)。
31	$\overline{\text{CLR}}$	アクティブ・ローの非同期クリア入力。このレベル・トリガ入力でロジック・ローになると、デバイスはデフォルトのリセット・コードと出力レンジにクリアされ、出力をオフにしてゼロスケールとなります。コントロール・レジスタはゼロにクリアされます。ロジック・レベルは IO _{VCC} によって決まります。
33	GND	グラウンド。このパッドはアナログ・グラウンド・プレーンに直接ハンダ付けします。

代表的な性能特性

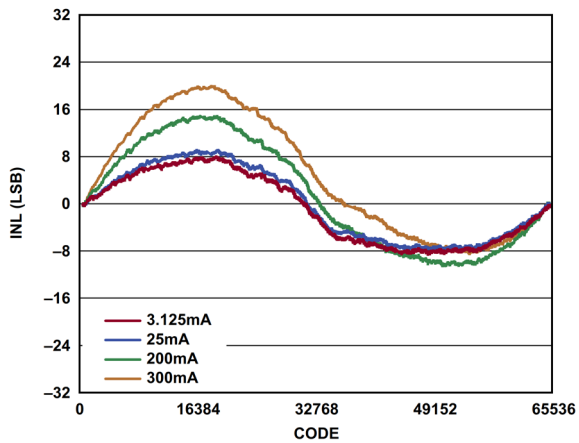


図 6. LTC2672-16 の INL

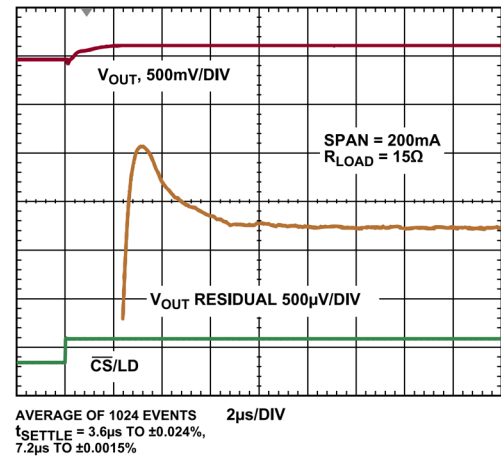


図 9. 145mA から 155mA へのステップのセトリング (V_{OUT} は出力電圧)

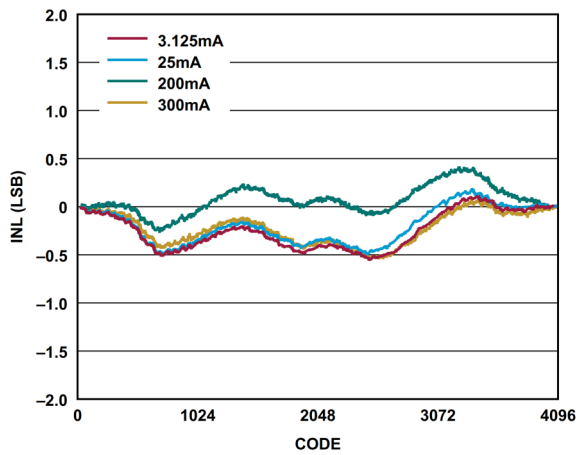


図 7. LTC2672-12 の INL

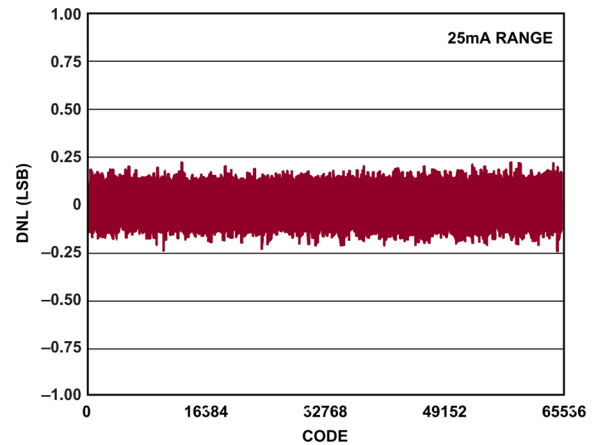


図 10. LTC2672-16 の DNL

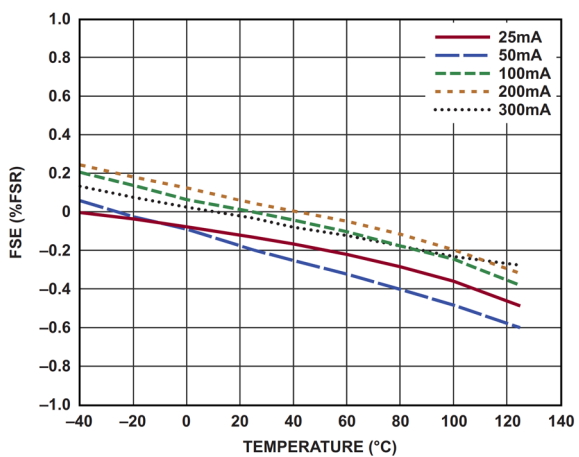


図 8. フルスケール電流誤差 (FSE) と温度の関係

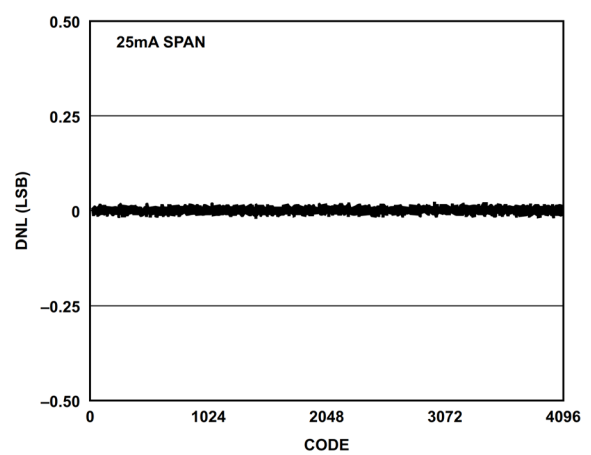


図 11. LTC2672-12 の DNL

代表的な性能特性

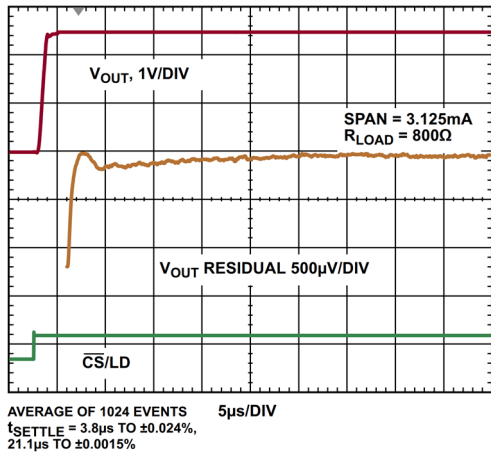


図 12. 0mA から 3.125mA へのステップのセトリング

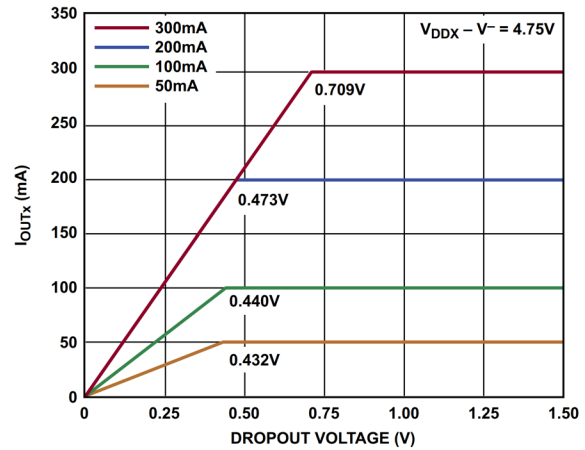


図 15. 複数の電流レンジでの I_{OUTx} とドロップアウト電圧の関係

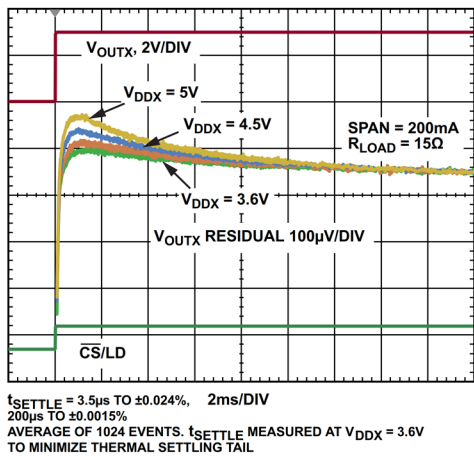


図 13. 0mA から 200mA へのステップのセトリング

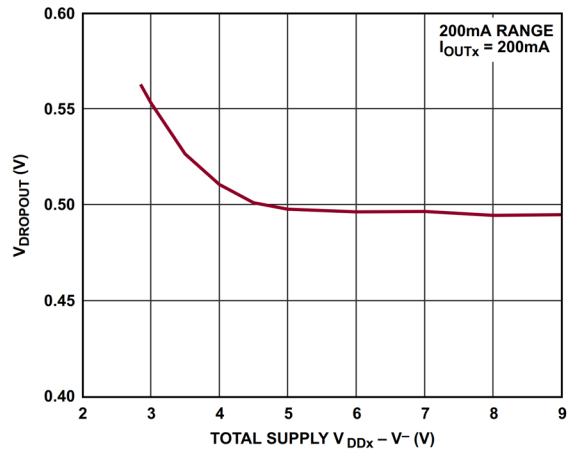


図 16. V_{DROP} と合計電源 $V_{DDx} - V^-$ の関係

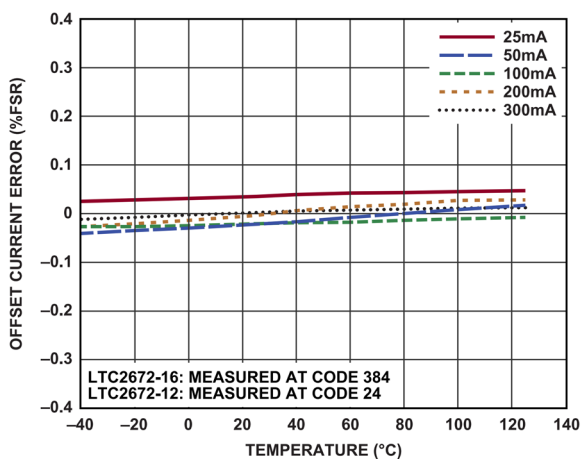


図 14. オフセット電流誤差と温度の関係

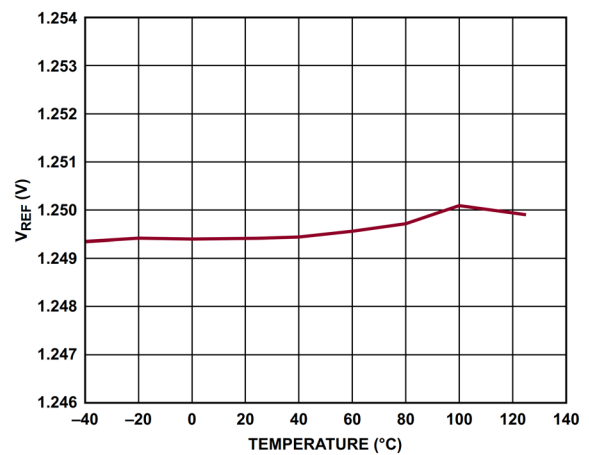


図 17. V_{REF} の温度特性

代表的な性能特性

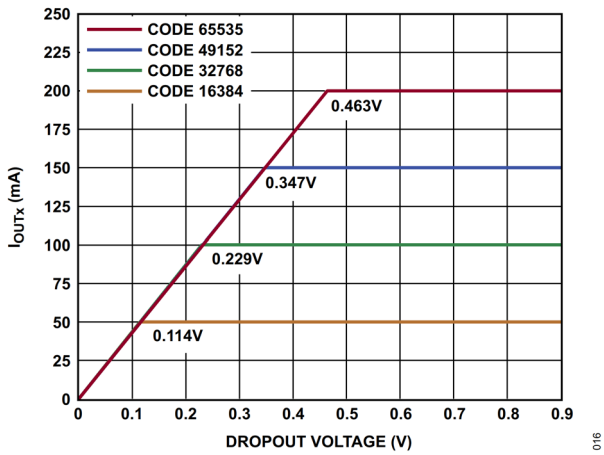


図 18. 複数のコードに対する I_{OUTx} とドロップアウト電圧の関係 (200mA スパン)

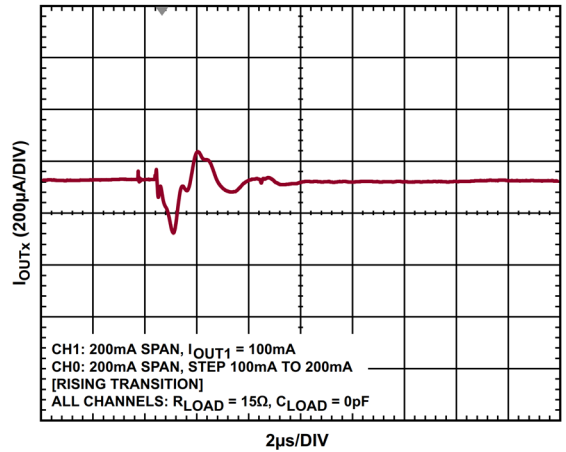


図 21. DAC 間クロストーク (立上がり)

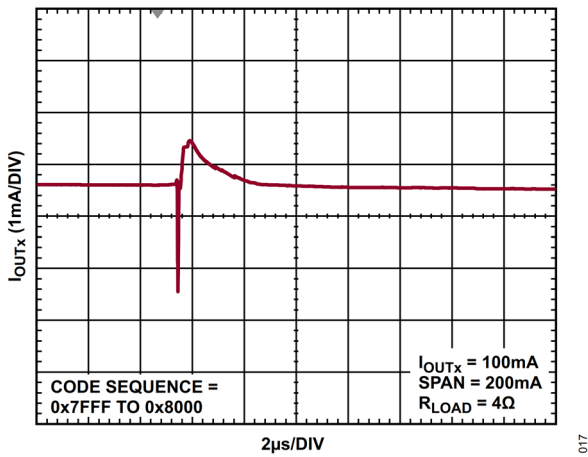


図 19. ミッドスケールのグリッチ

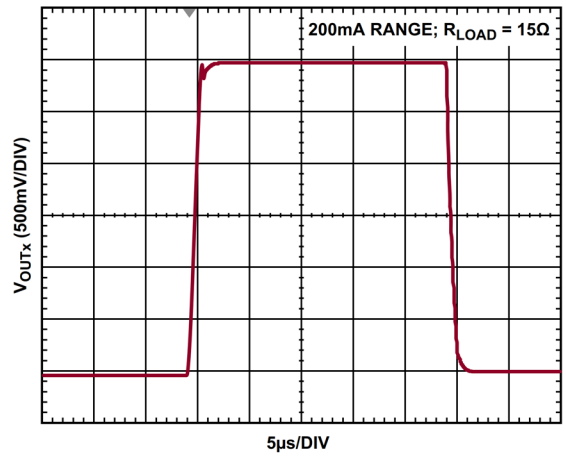


図 22. 大信号応答

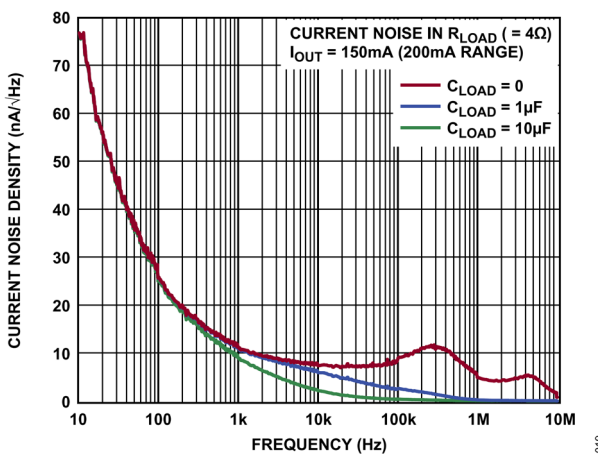


図 20. 電流ノイズ密度と周波数の関係、接地 C_{LOAD} = 0µF、1µF、10µF

用語の定義

積分非直線性 (INL)

INL は、DAC の伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB 単位) を表します。この DAC の INL は、LTC2672-16 の場合、コード 384~コード 65535 で、LTC2672-12 の場合、コード 24~コード 4095 で定義されます。

微分非直線性 (DNL)

DNL は、隣接する 2 つのコードの間で測定された変化と理論的な 1LSB 変化との差を表します。最大±1LSB の DNL の仕様は、単調性を確保するものです。この DAC は設計により単調性を確保しています。出力電流は有限であるため、この DAC の DNL は、LTC2672-16 の場合、コード 384~コード 65535 で、LTC2672-12 の場合、コード 24~コード 4095 で定義されます。

電流オフセット誤差 (I_{OS})

ユニポーラのオフセット誤差は通常、ゼロ・コードが DAC レジスタにロードされた場合に測定されます。オフセットの極性は正にも負にもなる可能性があります。出力電流はゼロ未満にはなり得ないため、オフセットは、LTC2672-16 の場合、コード 384 で、LTC2672-12 の場合、コード 24 で定義され、そのコードの期待値に基づいて計算されています。

I_{OS} の温度係数

I_{OS} の温度係数は、温度変化に対する I_{OS} の変化を意味し、ppm/°C で表されます。

ゲイン誤差

ゲイン誤差は DAC のスパン誤差を表すもので、DAC 転送特性の傾きの理想値からの偏差です。フルスケール・レンジに対するパーセンテージで表されます (%FSR)。

ゲイン誤差の温度係数

ゲイン誤差の温度係数は、温度変化に対するゲイン誤差の変化を意味し、ppm/°C で表されます。

電源電圧変動除去比 (PSR)

PSR は、DAC 出力に対する電源電圧変化の影響を表します。PSR は、DAC のフルスケール出力に対する V_{CC} 、 V^- 、または V_{DDX} の規定された変化による V_{OUTX} の変化で、LSB が単位です。

セトリング時間

セトリング時間は、フルスケールの入力変化に対して、DAC 出力が規定の誤差ウィンドウ内に安定するのに要する時間で、 CS/LD の立上がりエッジから測定されます。

グリッチ・インパルス

グリッチ・インパルスは、DAC レジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常 $nA \times sec$ で表すグリッチの面積として規定され、ミッドスケール変化時に、デジタル入力コードが 1LSB だけ変化したときに測定されます。

DC クロストーク

DC クロストークは、他のすべての DAC 出力での 100mA から 200mA への変化に起因する 1 つの DAC の出力レベルの DC 変化です。モニタされるチャンネルは、150mA ($3/4 \times I_{FS}$) に保持されます。DC クロストークの単位は %FSR です。

DAC 間クロストーク

DAC 間クロストークとは、1 つの DAC の出力に生じる、別の DAC チャンネルでの 100mA から 200mA へのステップ変化によるグリッチを指します。測定される DAC は、200mA レンジのミッドスケール (100mA の出力電流) です。グリッチのエネルギーの単位は $nA \times sec$ です。

出力ノイズ・スペクトル密度

出力ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ランダム・ノイズは、スペクトル密度 (nA/\sqrt{Hz}) として特性評価され、DAC に 150mA ($3/4 \times I_{FS}$) をロードして出力のノイズを測定することで測定されます。

動作原理

LTC2672 は、チャンネルの出力電圧および出力電流を調べるための、選択可能な出力レンジ、高精度リファレンス、マルチプレクサを備えた 5 チャンネル、電流源出力の DAC ファミリです。各出力は $2.1V \sim V_{CC}$ の電圧を許容する独立した専用の正電源ピンから電流を流すことにより、消費電力の最適化と広範囲の負荷に対するヘッドルームの最適化が可能です。内蔵の 12Ω スイッチにより、任意の出力ピンをオプションの V^- 負電源に接続し、最大 $80mA$ の電流をシンクできます。

負荷終端と出力の結合

OUTx ピンに接続する負荷は、グラウンドに終端する必要があります。システムの設計において使用されない OUTx ピンはオープンのまま（接続なし）にしておく必要があります。

$300mA$ を超える電流が必要な場合や、大電流をより細かく制御する必要がある場合は、任意の OUTx ピンを結合することができます。LTC2672 には以下に示す 4 種類のスパン・カテゴリがあります。

- ▶ 8 つの電流レンジ
- ▶ オフ・モード
- ▶ V^- への切替え
- ▶ パワーダウン

結合されたチャンネルはすべて同じスパン・カテゴリで動作する必要があります。

対応できデバイスは、スパン・カテゴリの混在に対する耐性がありますが、そうならないようにしてください。スパン・カテゴリが混在すると電源電流の増加や精度の低下を招く可能性があります。結合されたチャンネルが電流レンジのスパン・カテゴリ ($3.125mA \sim 300mA$) で動作する場合、レンジと DAC コードはチャンネルごとに同じである必要はありません。

パワーオン・リセット

パワーアップ時、出力は電流オフ状態（オフ・モード）にリセットされるため、システムの初期化が一貫した反復可能なものになります。パワーオン時の初期化が完了したら、表 7、表 8、表 9 を使用し SPI バスを介して出力スパンを選択してください。

電源シーケンス

電源 (V_{CC} 、 IO_{VCC} 、 V^- 、 $V_{DD0} \sim V_{DD4}$) は、任意の順番でパワーアップできます。外部リファレンスを使用する場合は、電源のターン・オン・シーケンスおよびターン・オフ・シーケンス時に REF の入力電圧が $V_{CC} + 0.3V$ を超えることのないようにしてください（絶対最大定格のセクションを参照）。スタートアップが完了したら、どの電源も V_{RI} を超えていないことを確認します。 $1.225V \sim 1.275V$ の DC リファレンス電圧が可能です。

バイパスを設けることは最高の性能を実現するうえで重要です。 $1\mu F$ 以上の低等価直列抵抗 (ESR) の容量をすべての電源ピンのグラウンドに使用し、できるだけデバイスの近くに接続します。 IO_{VCC} には $0.1\mu F$ のコンデンサを使用できます。

データ伝達関数

すべての分解能と $25mA$ 以上の出力レンジに対する DAC の入力から出力への伝達関数を図 23 および図 24 に示します。入力コードは全レンジでストレート・バイナリ形式です。

アプリケーション情報

シリアル・インターフェース

CS/LD ピンがローの場合、SDI ピンのデータはクロック (SCK ピン) の立上がりエッジでシフト・レジスタにビット・ロードされます。4 ビットのコマンド C3~C0 がまずロードされ、次いで4 ビットの DAC アドレス A3~A0 が続き、最後に16 ビットのデータがストレート・バイナリ形式で読み込まれます。LTC2672-16 の場合、データ・ワードは MSB から LSB の順の16 ビット入力コードで構成されます。LTC2672-12 の場合、データ・ワードは MSB から LSB の順の12 ビット入力コードと、それに続く4 つのドント・ケア・ビットで構成されます。データは、CS/LD 信号がローの場合にのみ LTC2672 に転送できます。CS/LD の立上がりエッジによりデータ転送は終了し、デバイスは24 ビットの入力ワードで指定された動作を実行します。

最小入力ワードは24 ビットですが、これは32 ビットに拡張できます。32 ビット・ワード幅を使用するには、8 個のドント・ケアビットをまずデバイスに転送し、その後24 ビット・ワードを転送します。32 ビット・ワードが必要なのは、エコー・リードバックとデジタイゼーション動作の場合です。また、32 ビット・ワードにより、最小ワード幅が16 ビット以上のプロセッサにも対応できます。

24 ビットおよび32 ビットのシーケンスの詳細を図3 および図4 に示します。どちらのワード幅の場合も、故障レジスタの出力が SDO ピンに出力される点に注意してください。

表 7. SPI コマンド

コマンド番号	データ
0000	DAC チャンネル x へのコードの書き込み
1000	すべての DAC チャンネルへのコードの書き込み
0110	DAC チャンネル x へのスパンの書き込み
1110	すべての DAC チャンネルへのスパンの書き込み
0001	DAC チャンネル x のパワーアップと更新
1001	すべての DAC チャンネルのパワーアップと更新
0011	DAC チャンネル x へのコードの書き込み、DAC チャンネル x のパワーアップと更新
0010	DAC チャンネル x へのコードの書き込み、すべての DAC チャンネルのパワーアップ、と更新
1010	すべての DAC チャンネルのパワーアップ、コードの書き込み、更新
0100	チャンネル x のパワーダウン
0101	チップのパワーダウン
1011	マルチプレクサのモニタ
1100	トグル・セレクト
1101	グローバル・トグル
0111	設定コマンド
1111	No operation (無操作)

表 8. DAC のアドレス割り当て

DAC Number	Address			
	A3	A2	A1	A0
DAC0	0	0	0	0
DAC1	0	0	0	1
DAC2	0	0	1	0
DAC3	0	0	1	1
DAC4	0	1	0	0

表 8 に記載のコード以外の DAC アドレス・コードを使用しても、そのコマンドは無視される点に注意してください。

入力レジスタおよび DAC レジスタ

LTC2672 には、メインのシフト・レジスタの他、DAC ごとに5 個の内部レジスタがあります。各 DAC チャンネルには2 組のダブル・バッファ付きレジスタがあり、1 つはコード・データ用、もう1 つは DAC のスパン (出力レンジ) 用となっています。ダブル・バッファにより、スパンとコードを同時に更新することができ、それによって出力レンジを変更してもスムーズな電流遷移が可能になります。また、ダブル・バッファにより複数の DAC を同時に更新することもできます。ダブル・バッファ付きレジスタの各組は、入力レジスタと DAC レジスタで構成されます。

入力レジスタに関しては、書き込み動作によってデータが SDI ピンから選択したレジスタにシフトされます。入力レジスタはバッファを保持しています。書き込み動作によって DAC 出力が影響を受けることはありません。

コード・データパス内には、DAC レジスタごとにレジスタ A およびレジスタ B の2 つの入力レジスタがあります。レジスタ B はトグル動作時にのみ使用される代替レジスタで、レジスタ A がデフォルトの入力レジスタです。

DAC レジスタに関しては、更新動作により入力レジスタの内容がその関連 DAC レジスタにコピーされます。DAC レジスタの内容は DAC の出力電流またはレンジを直接に制御します。

また更新動作によって、選択した DAC がパワーダウン・モードの場合にこれをパワーアップすることもできます。更新によって常にコードとスパン・データの両方がリフレッシュされますが、DAC レジスタに保持されている値は、関連の入力レジスタ値が書き込み動作によって変更されない限り変わりません。例えば、新しいコードが書き込まれチャンネルが更新された場合、コードは更新されますが、スパンはリフレッシュされ変更されません。チャンネル更新は、シリアル更新コマンド、LDAC の負パルス、またはトグル動作によって行うことができます。

出力レンジおよび SoftSpan 動作

LTC2672 は、出力レンジが選択可能な、5 チャンネルの電流 DAC です。電流出力レンジの全セットは SPI プログラムを介してのみ使用できます。

図 26 に、LTC2672 の1 つのチャンネルの簡略化した回路図を示します。LTC2672 のフルスケール電流レンジは、チャンネルごとに4 個の制御ビット [S3:S0] を使用して選択できます。また、REF ピンに外部リファレンスを供給したり、FSADJ ピンに外部抵抗を使用したりして、必要に応じてフルスケール電流を調整することもできます。

LTC2672 は、パワーアップ時にすべてのチャンネル出力 (OUT0 ~OUT4) をオフ・モードにして初期化を行います。その後、表 9 と図 23 および図 24 に示すように、各チャンネルのレンジとコードが SoftSpan™ を使用してプログラムできます。各チャンネルには、1 組のダブル・バッファ付きレジスタがありレンジ情報を提供します。DAC チャンネル x へのスパンの書き込みコマンド

アプリケーション情報

またはすべてのチャンネルへのスパンの書き込みコマンドを使用して（それぞれ 0110b と 1110b、表 7 参照）、スパン入力レジスタにプログラムします。図 25 は構文を示し、表 9 はスパン・コードとレンジを示します。ダブル・バッファ付きコード・レジスタと同様、更新動作によりスパン入力レジスタは関連のスパン DAC レジスタにコピーされます。

表 9 に示すように、出力をオフ・モードにする、または低オン抵抗 ($\leq 12\Omega$) のスイッチが DAC 出力を負電源 V^- にシャントするモードにする、2つの選択肢（コード 0000 およびコード 1000）が加えられています。スイッチがオンになると、そのチャンネルの $OUTx$ ピン・ドライバがディスエーブルされます。表 9 に記載のないスパン・コードは、デフォルトでオフ・モードの出力レンジになります。

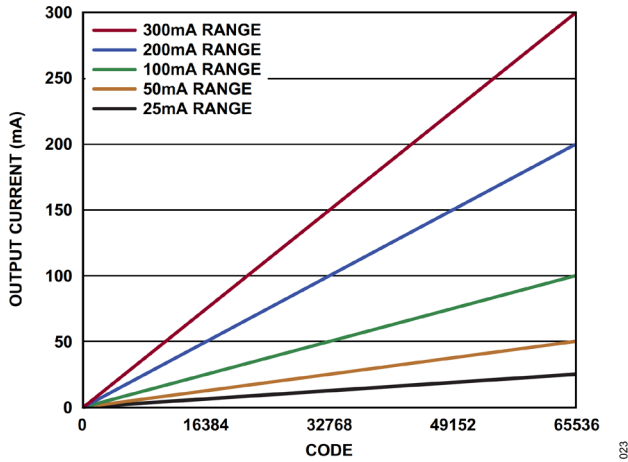


図 23. LTC2672-16 の伝達関数

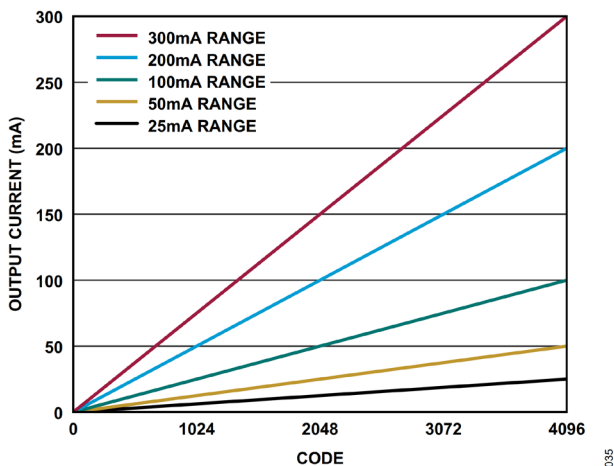


図 24. LTC2672-12 の伝達関数

表 9. スパン・コード

S3	S2	S1	S0	Output Range	
				FSADJ = V_{CC}	External R_{FSADJ}
0	0	0	0	Off mode	Off mode
0	0	0	1	3.125 mA	$50 \times V_{REF}/R_{FSADJ}$
0	0	1	0	6.25 mA	$100 \times V_{REF}/R_{FSADJ}$
0	0	1	1	12.5 mA	$200 \times V_{REF}/R_{FSADJ}$
0	1	0	0	25 mA	$400 \times V_{REF}/R_{FSADJ}$
0	1	0	1	50 mA	$800 \times V_{REF}/R_{FSADJ}$
0	1	1	0	100 mA	$1600 \times V_{REF}/R_{FSADJ}$
0	1	1	1	200 mA	$3200 \times V_{REF}/R_{FSADJ}$
1	1	1	1	300 mA	$4800 \times V_{REF}/R_{FSADJ}$
1	0	0	0	Switch to V^-	Switch to V^-

アプリケーション情報

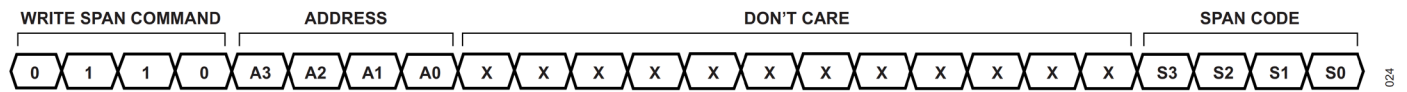


図 25. 書込みスパン構文

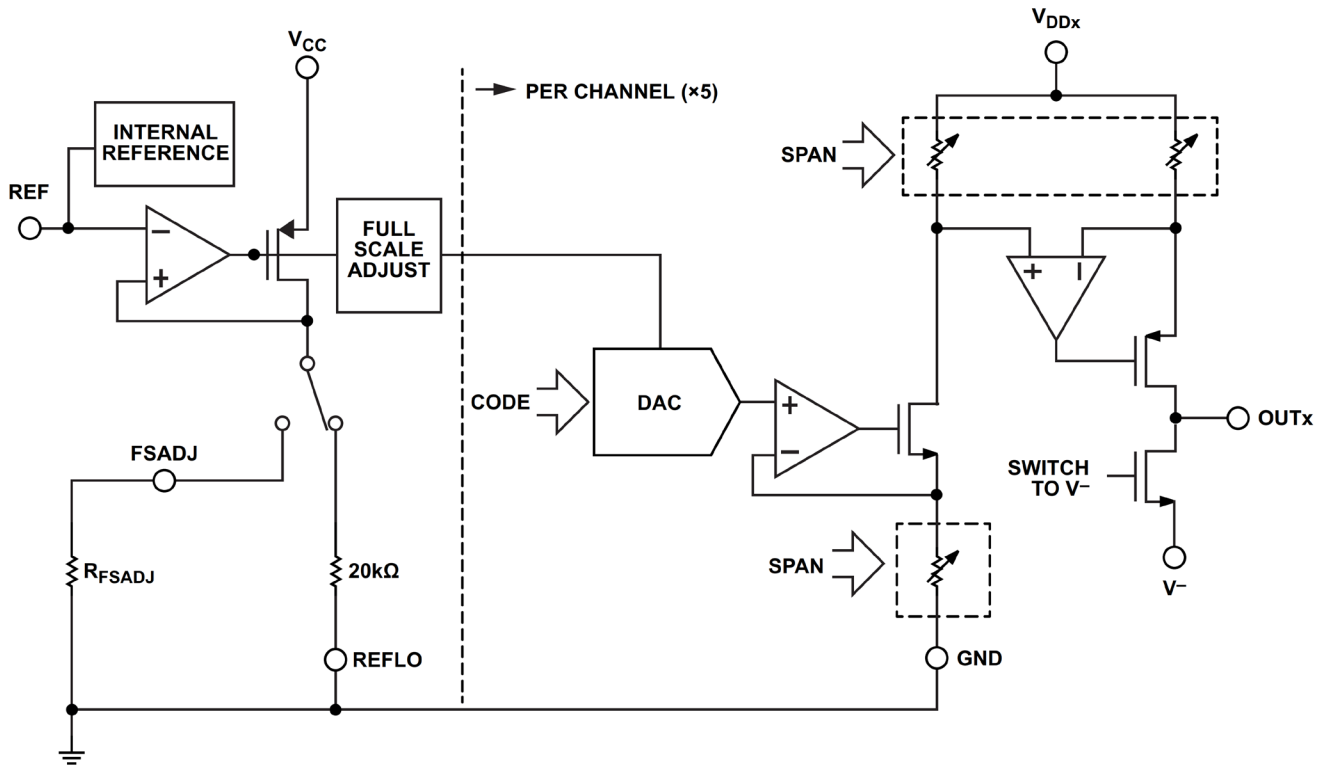


図 26. シングル・チャンネルの簡略回路図



図 27. マルチプレクサ・コマンド

表 10. アナログ・マルチプレクサ・コントロール・アドレス・ビット

M4	M3	M2	M1	M0	Multiplexer Signal Output	Notes ¹
0	0	0	0	0	Disabled (high-Z)	
0	0	0	0	1	OUT0 current measurement	$I_{OUT0} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	0	1	0	OUT1 current measurement	$I_{OUT1} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	0	1	1	OUT2 current measurement	$I_{OUT2} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	1	0	0	OUT3 current measurement	$I_{OUT3} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	1	0	1	OUT4 current measurement	$I_{OUT4} = I_{FS} \times V_{MUX}/V_{REF}$
0	0	1	1	0	V_{CC}	
0	1	0	0	0	V_{REF}	
0	1	0	0	1	V_{REFLO}	DAC ground (0 V) reference
0	1	0	1	0	Die temperature, T	$T = 25^{\circ}\text{C} + (1.4\text{ V} - V_{MUX})/(0.0037\text{ V}/^{\circ}\text{C})$
1	0	0	0	0	V_{DD0}	
1	0	0	0	1	V_{DD1}	

アプリケーション情報

表 10. アナログ・マルチプレクサ・コントロール・アドレス・ビット

M4	M3	M2	M1	M0	Multiplexer Signal Output	Notes ¹
1	0	0	1	0	V _{DD2}	
1	0	0	1	1	V _{DD3}	
1	0	1	0	0	V _{DD4}	
1	0	1	1	0	V ⁻	
1	0	1	1	1	GND	
1	1	0	0	0	OUT0 pin voltage	
1	1	0	0	1	OUT1 pin voltage	
1	1	0	1	0	OUT2 pin voltage	
1	1	0	1	1	OUT3 pin voltage	
1	1	1	0	0	OUT4 pin voltage	

¹ I_{FS} はフルスケール電流、V_{MUX} は MUX ピンに出力されるマルチプレクサの電圧です。

モニタ・マルチプレクサ

LTC2672 には、5 個の電流出力ピン (OUTx) の電圧と電流の両方をモニタリングするマルチプレクサがあります。更に、V_{DDx}、V⁻、V_{CC}、V_{REF}、ダイ温度もすべてモニタできます。

MUX ピンは、高インピーダンス入力での使用のみを目的としています。MUX ピンのインピーダンスは通常 15kΩ です。内部回路の損傷を防止するために、MUX ピンの連続的な DC 出力電流は ±1mA に制限する必要があります。

マルチプレクサの動作範囲は、V⁻ ~ V_{CC} のレール to レールで、出力はパワーアップ時にはディスエーブル (高インピーダンス) になっています。

マルチプレクサ・コマンドの構文とコードを、[図 27](#) および [表 10](#) に示します。

マルチプレクサを使用した電流測定

いずれかの出力ピンの電流を測定するには、マルチプレクサコマンド (1011b) を [表 10](#) に記載のマルチプレクサ電流測定コードの 1 つと共に使用します。マルチプレクサは、実際の出力電流に比例した電圧を出力することで応答します。比例係数は次式で与えられます。

$$I_{OUTx} = I_{FS} \times V_{MUX} / V_{REF}$$

ここで、

I_{OUTx} は OUTx ピンの出力電流です。

この電流測定機能は OUTx ピンの電流を検出するだけでなく、DAC の設定値を使用して出力電流を予測するものです。そのため、OUTx ピンが開放 (またはドロップアウト) 状態の場合、またはスパン設定が 8 つの電流レンジのいずれでもない場合は、上式は適用できません。

上式において、V_{MUX} は DAC コード (およびリファレンス電圧) でのみ変化し、すべてのスパン設定に対しては同じである点に注意してください。この式で正しい評価を行うためには、IFS に、アクティブなスパン設定の値を与える必要があります。

最適な直線性がありますが、正確な結果を得るには、スロープ誤差 (±15% FSR) のキャリブレーションを行う必要があります。1 点キャリブレーションまたは 2 点キャリブレーションで ±1% の FSR 精度が可能です。

マルチプレクサを使用したダイ温度測定

ダイ温度を測定するには、マルチプレクサ・コマンドをマルチプレクサ・コントロール・コード 01010b と共に使用します。この場合、MUX ピンの電圧 (V_{MUX}) は、-3.7mV/°C の温度係数でダイ温度に比例します。したがって、測定される T_J は次のようになります。

$$T_J = 25^\circ\text{C} + (1.4\text{V} - V_{MUX}) / (3.7\text{mV}/^\circ\text{C})$$

必要に応じ、温度と電圧を最初に測定し、上式の 25°C と 1.4V をこれらの値で置き換えることで温度モニタをキャリブレーションできます。

モニタ・マルチプレクサのプリチャージに関する考慮事項

LTC2672 のアナログ・マルチプレクサは非バッファです。そのため、アンプ・オフセットによる誤差要因を回避できます。ただし、バッファがないため、MUX ピンが接続される際の電荷移動により、高インピーダンス電流出力が悪影響を受ける可能性があります。LTC2672 には、MUX ピンを選択された OUTx ピンに接続する前に MUX ピンをプリチャージすることで、出力ピン (OUTx) の充電グリッチを抑える回路があります。

このプリチャージ動作により、マルチプレクサの出力は、マルチプレクサ・コマンドが与えられて ($\overline{\text{CS}}/\text{LD}$ の立上がり) から約 7μs 後に有効になります。残留電荷のトランジェントは、必要に応じ OUTx ピンにコンデンサを追加することで更に抑えることができます。

MUX ピンの総容量 (基板トレース、バッファアンプの入力、その他の寄生容量を含む) は、可能な限り小さくし、100pF を超えないようにしてください。

アプリケーション情報

トグル動作

システムによっては、DAC 出力が 2 つの出力レベルの間で繰り返し切り替わる（例えばオン状態とオフ状態の間での切り替わり）が必要な場合があります。LTC2672 のトグル機能は、DAC チャンネルごとに 2 つの入力レジスタ（レジスタ A およびレジスタ B）を提供することで、こうした動作を容易なものにします。

レジスタ A とレジスタ B の切替えは 3 つの信号で制御します。最初の信号はトグル・セレクト・コマンドで、各ビットが 1 つのチャンネルを制御する 5 ビットのデータ・フィールドで作用します（図 28 参照）。2 番目の信号はグローバル・トグル・コマンドで、グローバル・トグル・ビット（TGB）を使用して選択したチャンネルすべてを制御します（図 29 参照）。最後に、TGP によって、外部クロックまたはロジック信号を使用して DAC 出力をレジスタ A とレジスタ B の間で切り替えることができます。これらの制御による信号は、図 30 に示すように結合されます。トグル機能が不要な場合は、TGP ピン（ピン 2）を接地し、トグル・セレクト・レジスタはパワーオン・リセット状態（ゼロにクリア）のままにします。それにより、入力レジスタ A が唯一の入力レジスタとなり、レジスタ B は使用されません。

トグル・セレクト・レジスタ（TSR）

トグル・セレクト・コマンド（1100b）の構文を図 28 に示します。5 ビットの TSR データ・フィールドにある各ビットは、対応する同じ名前前の DAC チャンネルを制御します（T0 はチャンネル 0、T1 はチャンネル 1、...、T4 はチャンネル 4 を制御）。

トグル・セレクト・ビット（T0～T4）には 2 つの機能があります。第一に、各トグル・セレクト・ビットは、コード書き込み動作からデータを受け取る入力レジスタ（レジスタ A またはレジスタ B）を決めます。指定されたチャンネルのトグル・セレクト・ビットはハイの場合、コード書き込み動作はアドレス指定されたチャンネルのレジスタ B に行われます。ビットがローの場合は、コード書き込み動作は、レジスタ A に行われます。また、各トグル・セレクト・ビットは、トグル動作の対応チャンネルをイネーブルします。

入力レジスタ A および入力レジスタ B への書き込み

トグルするチャンネルを選択したら、必要なコードを選択チャンネルの入力レジスタ A に書き込み、次にトグル・セレクト・コマンドを使用してチャンネル・トグル・セレクト・ビットを設定し、必要なコードを入力レジスタ B に書き込みます。これらのステップを終了したら、チャンネルのトグル動作ができるようになります。例えば、コード 4096 とコード 4200 の間でトグルするようチャンネル 3 を設定するには、次のステップを実行します。

1. チャンネル 3 のコード 4096 をレジスタ A に書き込む。
00000011 00010000 00000000。
2. トグル・セレクト（ビット T3 をセット）11000000
00000000 00001000。
3. チャンネル 3 のコード 4200 をレジスタ B に書き込む。
00000011 00010000 01101000。

ステップ 3 のコード書き込みは、ステップ 2 でビット T3 が 1 にセットされているため、レジスタ B に向けられます。これで、チ

ャンネル 3 は、入力レジスタ A と入力レジスタ B に目的とする 2 つのコードを持つようになり、トグル動作の準備ができました。

レジスタ B への書き込み後も、レジスタ A のコードは変更可能である点に注意してください。トグル・セレクト・ビットの状態によって、書き込みが行われるレジスタ（レジスタ A またはレジスタ B）が決まります。

例えば、レジスタ B をトグルしながらレジスタ A を変更するには、次のステップを実行します。

1. トグル・セレクト・ビット（ビット T3）を 0 にリセット（11000000 00000000 00000000）。
2. 新しいレジスタ A のコードを書き込む。この例ではコード 4300 を使用すると仮定すると、命令は 00000011 00010000 11001100 となります。
3. トグル・セレクト・ビット（ビット T3）を 1 に戻します（上記ステップ 2 を参照）。レジスタ B への再度の書き込みは不要です。チャンネル 3 はトグル動作ができるようになりました。

レジスタ A とレジスタ B の間で切替え

上記の例のように、必要なチャンネルすべてについて、入力レジスタへの書き込みが行われ、対応するトグル・セレクト・ビットがハイになったら、チャンネルは切り替えができる状態になっています。

LTC2672 は、3 種類のトグル動作に対応しています。1 つめは、選択したチャンネルをすべて、SPI ポートを使用して一緒にトグルするもの、2 つめは、選択したチャンネルをすべて、外部クロックまたはロジック信号を使用して一緒にトグルするもの、3 つめは、任意の組合わせのチャンネルをいずれかの入力レジスタから更新するよう命令するものです。

内部トグル更新回路はエッジでトリガされます。そのため、（TGB または TGP の）遷移のみが各入力レジスタからの更新をトリガします。

SPI ポートを使用してすべての選択チャンネルをトグルするには、TGP ピンがハイで、目的のチャンネルに対応するトグル・セレクト・レジスタのビットもハイになるようにします。コードを切り替えるためにグローバル・トグル・コマンド（1101b）を使用し、次いで、グローバル・トグル・ビット TGB を変更します（図 29 参照）。TGB を 1 から 0 に変更すると、DAC レジスタは各入力レジスタ A から更新されます。TGB を 0 から 1 に変更すると、DAC レジスタは各入力レジスタ B から更新されます。このように、最大 5 チャンネルがわずか 1 つのシリアル・コマンドでトグルできる点に注意してください。

外部ロジック信号を使用して選択チャンネルすべてをトグルするには、グローバル・トグル・レジスタの TGB ビットはハイで、トグル・セレクト・レジスタの目的のチャンネルに対応するビットもハイになるようにします。TGP ピンにクロックまたはロジック信号を加えてコードを切り替えます。TGP の立下がりエッジによって、DAC レジスタは関連する入力レジスタ A から更新されます。TGP の立上がりエッジによって、DAC レジスタは関連する入力レジスタ B から更新されます。入力レジスタの設定が終了するとすべてのトグル動作は TGP に加えられた信号によってトリガされ、SPI 命令は不要となる点に注意してください。

アプリケーション情報

任意の組み合わせのチャンネルが入力レジスタ A または入力レジスタ B から更新されるようにするには、TGP ピンがハイで、グローバル・トグル・レジスタの TGB ビットもハイになるようにします。入力レジスタ（レジスタ A またはレジスタ B）を選択して各チャンネルが更新されるようにするには、必要に応じてトグル・セレクト・コマンドを使用してトグル・セレクト・ビットをセットします。次に、シリアル・コマンド（1001b）を使用するか LDAC ピンに負パルスを印加することで、すべてのチャンネルを更新します。

トグル・セレクト・ビットが 0 になっているチャンネルはいずれもレジスタ A から更新され、トグル・セレクト・ビットが 1 になっているチャンネルはいずれもレジスタ B から更新されます（図 30 参照）。トグル・セレクト動作と更新動作を切り替えることで、必要に応じ最大 5 チャンネルをレジスタ A またはレジスタ B に同時に切り替えることができます。

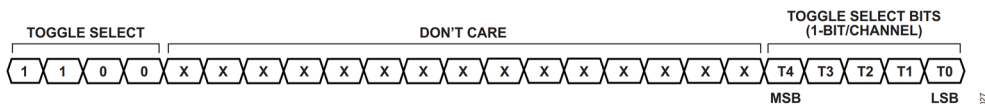


図 28. トグル・セレクトの構文

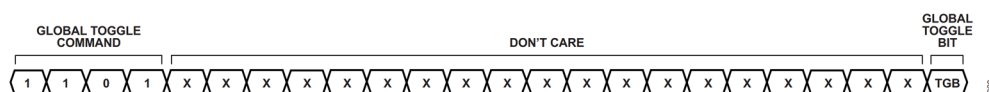


図 29. グローバル・トグルの構文

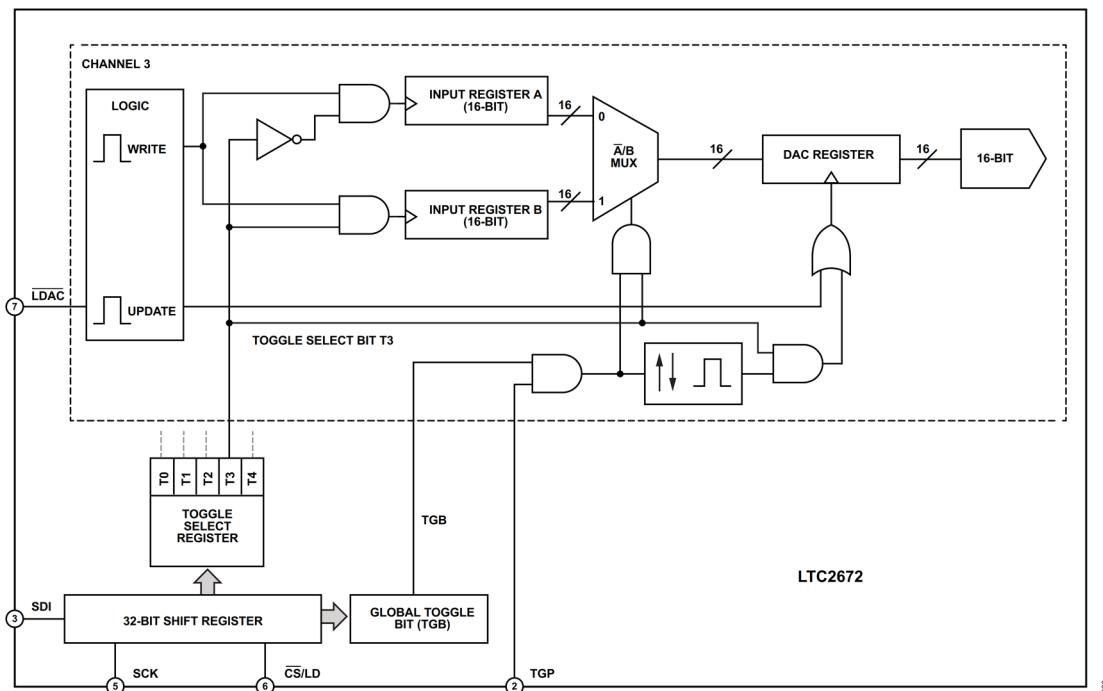


図 30. トグル機能の概念ブロック図

アプリケーション情報

デジチェーン動作

シフト・レジスタのシリアル出力は SDO ピンで検出できます。SDI 入力からデバイスに転送されたデータは、32 個の立上がりエッジだけ遅延した後次の SCK 立下がりエッジで出力されるため、データは次の 32 個の SCK 立上がりエッジでマイクロプロセッサに入力できます。

SDO 出力を使用すると、単一の 3 線式シリアル・ポート (SCK、SDI、CS/LD) から複数のシリアル・デバイスを制御することが容易になります。この種のデジチェーン接続は、チェーン内の各上流段デバイスの SDO と次段のデバイスの SDI を接続することで構成されています。従って、デバイスのシフト・レジスタは直列に接続され、実質的にチェーン全体に広がる 1 つの入力シフト・レジスタを形成します。この接続のために、複数のデバイスが、入力ワードをつなげることによりアドレス指定や制御を個別に行うことができます (最初の命令がチェーンの最後のデバイスにアドレス指定される等)。SCK 信号と CS/LD 信号は、チェーン内のすべてのデバイスで共通です。

使用時、CS/LD はローになります。次いで、連結された入力データが、最初のデバイスの SDI をデータ入力として使用してチェーンに転送されます。データ転送が完了すると、CS/LD はハイになり、これによってすべてのデバイスへの命令シーケンスは同時に終了します。1 つのデバイスだけを制御するには、チェーン内のそれ以外のデバイスに対し「動作なし」コマンド (1111b) を使用します。CS/LD がハイになると、SDO ピンは高インピーダンス出力となります。そのため、デジチェーン動作のためには各デバイス (最後のデバイスは除く) の SDO にプルアップ抵抗が必要です。

エコ・リードバック

SDO ピンにより、デバイスへのデータ転送を検証することができます。各 32 ビット命令サイクルの間、SDO ピンはその前の 32 ビット命令を検証用に出力します。8 ビットのドント・ケア・プレフィックスは、8 個の故障レジスタ・ステータス・ビットに置き換えられ、次いで 4 ビットのコマンドとアドレス・ワードおよびフル 16 ビット・データ・ワードが続きます (図 3 参照)。24 ビット命令サイクルの SDO シーケンスも、データ・ワードが 8 ビットに切り詰められている点を除き同じです (図 4 参照)。CS/LD がハイの場合、SDO は高インピーダンス出力となり、その他の SPI デバイスが使用できるようバスを解放します。

故障レジスタ

LTC2672 には動作上の故障状態を通知する機能があります。故障レジスタ (FR) ステータス・ビットは、各 SPI トランザクションの間に SDO ピンに出力される 24 ビットまたは 32 ビットの各 SDO ワードの、最初のデータ・バイト (8 ビット) で構成されます。シーケンスについては図 3 および図 4 を参照してください。

FR ビットは、そのトリガ状態が検出されたときにセットされ、次の SPI トランザクションの間にクロックに同期して SDO に出力されます。FR の情報は SPI トランザクションごとに更新されます。故障状態が SPI 命令のアクションによって修正された場合は、その状態に対するクリアされた FR フラグが、次の SPI トランザクションの SDO で検出可能になります。

表 11 に、FR ビットとそれに関連するトリガ条件を示します。

故障インジケータ・ピン (FAULT、ピン 30)

FAULT ピンは、故障状態が検出された場合、ローにプルダウンされるオープンドレインの N チャンネル出力です。FAULT ピンは、次の CS/LD の立上がりエッジでリリースされ、割込みバスへのワイヤード OR 接続に適したオープンドレイン出力です。バスにはプルアップ抵抗が必要です (5kΩ を推奨)。

表 11. 故障レジスタ (FR)

ビット	故障状態
FR0	OUT0 でオープン回路状態が検出
FR1	OUT1 でオープン回路状態が検出
FR2	OUT2 でオープン回路状態が検出
FR3	OUT3 でオープン回路状態が検出
FR4	OUT4 でオープン回路状態が検出
FR5	過熱。ダイ温度 T_J が 175°C を超えた場合、FR5 がセットされ、過熱保護が有効化されます。設定コマンド (0111b) を使用してディスエーブルできません。
FR6	使用しません。
FR7	無効な SPI シーケンス長。有効なシーケンス長は 24 ビット、32 ビット、および 32 ビットの倍数です。それ以外の長さの場合はすべて、FR7 がセットされ SPI 命令は無視されます。

故障状態と過熱保護

故障状態には 3 種類のタイプがあり、いずれも FAULT ピンをローにプルダウンします。まず、FR0~FR4 は、 V_{DDx} から OUTx への電圧供給が不十分なために出力チャンネルがドロップアウト状態になったときに、出力ピン (それぞれ OUT0~OUT4) にオープン回路 (OC) 状態のフラグを出力します。5 個の DAC 電流出力ピンのそれぞれに、個別のオープン回路検出回路が備わっています。

FR5 は、ダイ温度が 175°C を超えた場合にセットされる検出フラグを提供します。また、過熱状態により、5 個の DAC チャンネルすべてがパワーダウンされ、オープンドレイン FAULT ピンがローにプルダウンされます。ダイの温度が低下するまで FR5 はセットされ続け、デバイスはシャットダウン状態を維持します。約 150°C 未満になると DAC チャンネルは通常動作に復帰できます。CS/LD の立上がりエッジは、ダイ温度とは無関係に FAULT ピンをリリースする点に注意してください。

DAC チャンネルは最大 300mA まで電流を供給できるため、システム設計においてダイの過熱の可能性を注意深く評価する必要があります。

最後に、FR7 は無効な SPI ワード長に対しフラグを立てます。有効なワード長は、24 ビット、32 ビット、および 32 ビットの整数倍です。それ以外の長さの場合、FR7 がセットされ、FAULT ピンがアサートされて命令自体が無視されます。

このデバイスでは FR6 は使用しません。

設定コマンド

設定コマンドには OC、TS、RD の 3 つの引数があります (図 33 参照)。

OC ビットをセットするとオープン回路検出 (FR0~FR4) がディスエーブルされ、TS ビットは過熱保護 (FR5) をディスエー

アプリケーション情報

ブルします。熱損傷は発生しやすく、またユーザの責任でもあるため、TSのセットには注意を払ってください。

RDビットは外部リファレンス動作を選択するために使用します。外部リファレンスを使用する場合は、REFCOMPピンを接地する必要があります。

パワーダウン・モード

消費電力に制約のあるアプリケーションでは、パワーダウン・モードを使用すると、必要なDAC出力が5個未満の場合に電源電流を抑えることができます。パワーダウン時は電圧/電流出力ドライバとリファレンス・バッファはディスエーブルされます。DACの電流出力はオフ・モードに設定されます。パワーダウン中にレジスタの内容が影響を受けることはありません。

任意のチャンネルまたは任意の組み合わせのチャンネルをパワーダウン・モードにするには、該当のDACアドレスと共にコマンド0100bを使用します。更に、すべてのDACチャンネルおよび統合化されたリファレンスは、共にパワーダウン・チップ・コマンド0101bを使用してパワーダウンすることができます。すべてのパワーダウン・コマンドでは16ビット・データ・ワードは無視されます。

アクティブな動作はDAC更新を含むコマンドを実行することで再開できます。このコマンドは、表7に示すようにソフトウェアを使用するかトグルを行って（トグル動作のセクションを参照）実行できます。選択したDACチャンネルは、新しいコード値で更新されるときにパワーアップされます。パワーダウンしたDACを更新する場合、余分のパワーアップ遅延に対処するための待機時間を追加してください。更新コマンドの前にチャンネルがパワーダウン（コマンド0100b）された場合は、パワーアップ遅延は30μsです。また、チップがパワーダウン（コマンド0101b）された場合は、パワーアップ遅延は35μsです。

安全な電源範囲

5個の出力電源（V_{DD0}~V_{DD4}）は、2.1V（300mAレンジでは2.4V）~V_{CC}の間で個別に設定できます。更に、負電源V⁻は、-5.5V~GNDの任意の電圧に設定できます。ただし、表1に仕様規定し図31に示すように、合計出力電源電圧（V⁻を基準とするV_{DDx}）を2.85V~9.0Vの範囲に維持してください。

出力のP型金属酸化膜半導体（PMOS）に対する駆動能力を確保するためには最低2.85Vが必要です。一方、最大でも9.0Vとすることで、出力回路の電圧ストレス許容誤差に余裕を持たせることができます。

ドロップアウト性能は合計出力電源電圧に容易に影響されます。（V_{DDx} - V⁻）が2.85Vから4.75Vに増加するとV_{DROPOUT}はその最小値にまで低下し、その後、電圧が9.0Vまで増加してもほぼ一定に保たれます。表1のV_{DROPOUT}仕様と図16を参照してください。

V_{CC}（ピン13およびピン27）は、2.85V ≤ V_{CC} ≤ 5.5Vの範囲内にあり、V_{DD0}~V_{DD4}の出力電源以上であることが必要です。

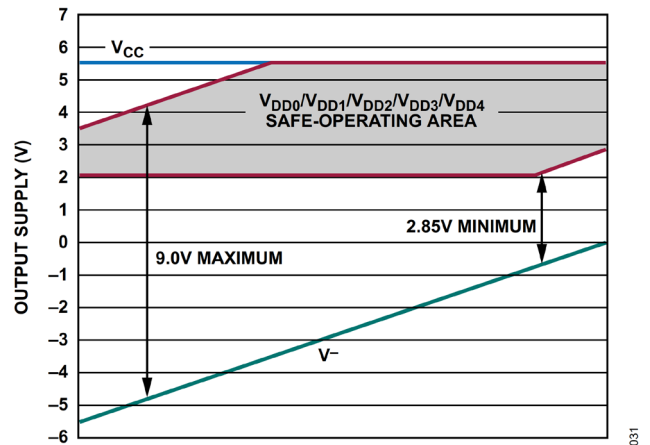


図 31. 出力電源の安全動作領域

電流出力

LTC2672は、各電流出力ピンに高ゲインの電圧/電流コンバータを組み込んでいます。すべてのDACコードで最小ドロップアウト電圧（V_{DDx} - V_{OUTx}）が実現されている場合、INLとDNLは、3.125mA~300mAのすべてのレンジに対し確保されます。

十分なドロップアウト電圧が維持されている場合、電流出力（OUT0~OUT4）のDC出力インピーダンスはハイになります。各電流出力には専用の正電源ピンV_{DD0}~V_{DD4}があり、各チャンネルの電流コンプライアンスと消費電力の調整が可能です。

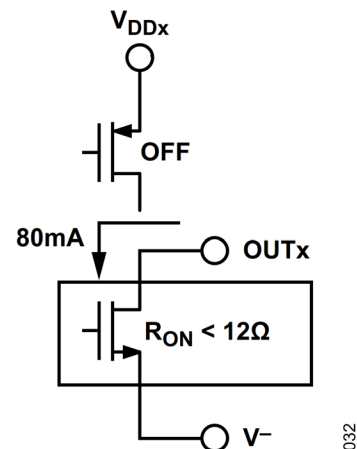


図 32. V⁻への切替えモード



図 33. 設定コマンド構文、オープン回路（OC）検出ディスエーブル、サーマル・シャットダウン（TS）ディスエーブル、リファレンス・ディスエーブル（RD）

アプリケーション情報

V⁻への切替えモード

スパン・コード 1000b を使用すると出力を GND にプルダウンできます。V⁻への切替えモードでは、アドレス指定されたチャンネルの出力電流がオフになり、チャンネル電圧 V_{OUTx} は V⁻にプルダウンされます。プルダウン・スイッチは、最大 12Ω の実効的な抵抗値で最大 80mA の電流をシンクできます。80mA を超えると信頼性とデバイス寿命に影響を与える可能性がある点に注意してください。V⁻への切替えモードは、全チャンネルへのスパン書込みまたは DAC チャンネル x コマンドおよび目的アドレスへのスパン書込みによって起動できます。スパン・コードを表 9 に示します。V⁻への切替えモードでの出力の回路図を図 32 に示します。この図で、R_{ON} は NMOS トランジスタが導通している場合の抵抗値です。

FSADJ ピンを使用したゲイン調整

フルスケール出力電流はリファレンス電圧に比例し、FSADJ に付随する抵抗に反比例します。すなわち、I_{OUTFS} ~ V_{REF}/R_{FSADJ}。

FSADJ ピンが V_{CC} に接続されている場合、LTC2672 は約 20kΩ の内部 R_{FSADJ} を使用し、ユーザによる操作なしにフルスケール電流誤差が最小となるよう調整します。または、FSADJ を接地された外部抵抗に接続すると、適切に指定された高精度抵抗を使用するアプリケーションに合うようにデフォルト電流レンジを調整できます。19kΩ ~ 41kΩ の値がサポート対象です。新しい電流レンジは表 9 の外部 R_{FSADJ} の欄を用いて計算できます。外部抵抗を使用する場合、内部抵抗は自動的に切り離されます。

外部抵抗を使用する場合、FSADJ は浮遊容量に影響されやすくなります。R_{FSADJ} と並列に 1kΩ と 1μF を直列に接続して構成されるスナバ回路ネットワークで、FSADJ ピンを補償する必要があります。この推奨の補償方法を用いると、FSADJ は最大 50pF の浮遊容量があっても安定性を維持できます。

オフセット電流とコード・ゼロ

LTC2672 のオフセット電流誤差は、最大 ±0.4%FSR が確保されています。指定チャンネルのオフセットが正の場合、非ゼロ電流がコード・ゼロで流れます。負の場合は、ゼロに近いコード範囲に対し電流はゼロ（リーク電流のみ）となります。オフセットと直線性のエンドポイントは、LTC2672-16 の場合、コード 384、LTC2672-12 の場合、コード 24 で測定されます。このコードは、DAC が測定点において測定可能な出力電流で動作することが確実なコードです。

オフセット誤差が正のチャンネルは、コード・ゼロであっても完全にオフにすることはできません。出力を完全にオフにするには、スパンをオフに設定し（表 9 のスパン・コード 0000b）、チャンネルを更新します。

リファレンス・モード

LTC2672 は、外部または内部のどちらのリファレンスでも使用できます。電圧 DAC のように、出力はリファレンス電圧に比例するため、リファレンスの誤差を反映したものになります。フルスケール出力電流はリファレンス電圧にかかわらず、チャンネルごとに最大 300mA に制限されています。

1.25V 内部リファレンスの温度ドリフトの代表値は ±2ppm/°C で、初期出力許容誤差は最大 ±2mV です。リファレンスは DAC とは別個に調整、テスト、特性評価が行われ、DAC は、理想的な外部リファレンスを使用して、テストおよび特性評価が行われています。

内部リファレンスを使用するには、REFCOMP ピンは、DC パスを GND に接続せず、フローティング状態のままにします。更に、設定レジスタの RD ビットの値は 0 であることが必要です。この値はパワーアップ時に 0 にリセットされ、設定コマンド 0111b を使用してリセットできます。図 33 にコマンドの構文を示します。

リファレンスの安定性と低ノイズを実現するために、0.1μF のコンデンサを REFCOMP と GND の間に接続してください。この構成では、内部リファレンスは最大限の安定性を維持して最大 0.1μF を駆動できます。安定動作を確保するため、REF ピンの容量性負荷が REFCOMP ピンの容量性負荷より大きくなることのないようにします。内部リファレンスで外部回路を駆動する場合は、パッファが必要です。

外部リファレンスを使用するには、REFCOMP ピンを GND に接続します。これにより、スタートアップ時に内部リファレンスの出力がディスエーブルされ、REF ピンが高インピーダンス入力になります。パワーアップ後に REF ピンにリファレンス電圧を加えます。設定コマンド 0111b を使用して RD ビットを 1 にセットします。REF の入力電圧範囲は 1.225V ~ 1.275V です。

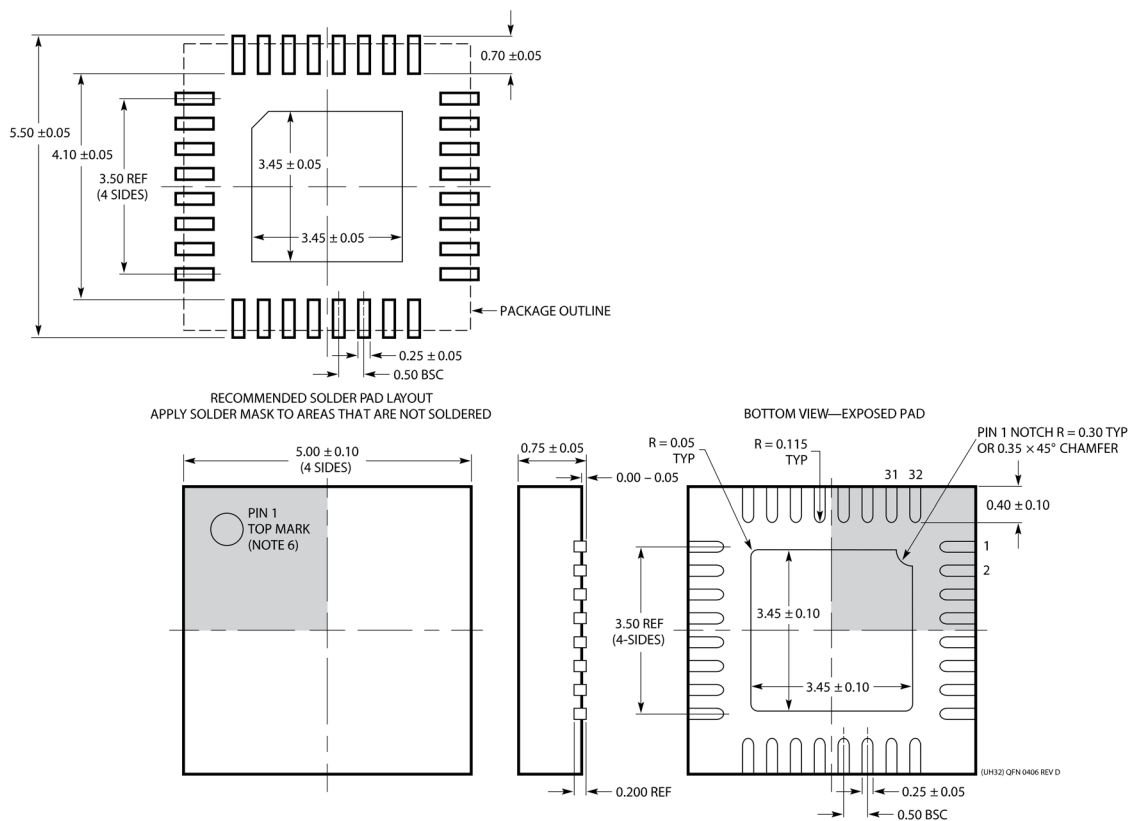
ボード・レイアウト

デバイスの負荷レギュレーションと DC クロストーク性能は、信号と電源グラウンドのコモンモード抵抗を最小限にすることで実現できます。

あらゆる高分解能コンバータと同様、クリーンなボード・グラウンド処理が重要です。低インピーダンスのアナログ・グラウンド・プレーンやスター型グラウンド処理手法も必要です。スター型グラウンドに使用するボード・レイヤは、切れ目のないものにして接地抵抗を最小にします。つまり、スター型パターンを別々に使うことのないスター型グラウンド・コンセプトを使用します。REFLO ピンからスター・ポイントまでの抵抗はできる限り小さくします。スター・グラウンド・ポイントとしては GND ピン（ピン 33）を推奨します。

最高性能を実現するために、グラウンド・プレーンに 150mil ~ 200mil の間隔でビアのアレイを設けて、プレーンを他のボード・レイヤからのグラウンド端子に接続します。これにより全体的なグラウンド抵抗が減少し、グラウンド・ループ面積を最小限に抑えることができます。

外形寸法



- NOTE:
1. DRAWING PROPOSED TO BE A JEDEC PACKAGE OUTLINE M0-220 VARIATION WHHD-(X) (TO BE APPROVED)
 2. DRAWING NOT TO SCALE
 3. ALL DIMENSIONS ARE IN MILLIMETERS
 4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE
 5. EXPOSED PAD SHALL BE SOLDER PLATED
 6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

図 34. 32 ピン・リード・プラスチック QFN
5mm × 5mm ボディ
(リファレンス LTC DWG # 05-08-1693 Rev. D)

Updated: April 15, 2021

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
LTC2672-16DICE#6AM	0°C to +70°C	CHIPS OR DIE	Tray, 0	C-32-1
LTC2672CUH-12#PBF	0°C to +70°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Tube, 0	05-08-1693
LTC2672CUH-12#TRPBF	0°C to +70°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Reel, 0	05-08-1693
LTC2672CUH-16#PBF	0°C to +70°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Tube, 73	05-08-1693
LTC2672CUH-16#TRPBF	0°C to +70°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Reel, 2500	05-08-1693
LTC2672HUH-12#PBF	-40°C to +125°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Tube, 0	05-08-1693
LTC2672HUH-12#TRPBF	-40°C to +125°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Reel, 0	05-08-1693
LTC2672HUH-16#PBF	-40°C to +125°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Tube, 73	05-08-1693
LTC2672HUH-16#TRPBF	-40°C to +125°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Reel, 2500	05-08-1693
LTC2672IUH-12#PBF	-40°C to +85°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Tube, 0	05-08-1693
LTC2672IUH-12#TRPBF	-40°C to +85°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Reel, 0	05-08-1693
LTC2672IUH-16#PBF	-40°C to +85°C	32-Lead QFN (5mm × 5mm × 0.75mm w/ EP)	Tube, 73	05-08-1693

外形寸法

Model ²	Temperature Range	Package Description	Packing Quantity	Package Option
LTC2672IUH-16#TRPBF	-40°C to +85°C	32-Lead QFN (5mm x 5mm x 0.75mm w/ EP)	Reel, 2500	05-08-1693

¹ Z = RoHS 準拠製品

評価用ボード

Model	Description
DC2903A-A	LTC2672-16 Evaluation Board
DC2903A-B	LTC2672-12 Evaluation Board



©2020-2021 Analog Devices, Inc. All rights reserved.

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200

大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868

名古屋営業所 / 〒451-6038 愛知県名古屋市区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

Rev. A | 27 of 27