

APL フィールド・デバイス用のパワー・コンディショナ

特長

- ▶ 本質的安全の熱定格に対する電力制限：650mW
(ライン電圧 ≤ 18.5V)
- ▶ ライン電圧 > 18.5V の場合の電流制限：35mA
- ▶ APL クラス A デバイスに対する電流制限：55mA
- ▶ シャント・レギュレータにより負荷の変動を軽減
- ▶ 20mA の整流器電流を確保することにより信号の完全性を実現
- ▶ 500mW のフル APL パワーを負荷に供給
- ▶ 入力電圧：6V～36V
- ▶ 電流センス抵抗を内蔵
- ▶ 極性に依存しないライン電圧検出
- ▶ 露出パッド付き 8 ピン SOIC パッケージ

アプリケーション

- ▶ 産業用イーサネット
- ▶ 高度な機能を備えた物理層
- ▶ 電流制限

概要

LT8440 は、危険な環境や爆発性の環境において使用される本質的安全を備えた産業用イーサネット・ポート向けのパワー・コンディショナです。内蔵のパス・トランジスタは、通常は完全にエンハンスされており、負荷に高効率で電力を供給します。負荷回路に故障が生じた場合、FET を調整し、ライン電圧が 18.5V 以下の場合には 650mW 未満に、18.5V を超える場合には 35mA 未満に電力を制限します。内蔵のシャント・トランジスタは、負荷と並行に電流を流し、高度な機能を備えた物理層 (APL) の規格に準拠したクラス A の負荷電力ポートに対しては 500mW まで、18.5V を超えるライン電圧では 20mA までの電流を確保します。ライン電圧は、極性に依存しない 2 つの入力ピンをポートの整流器の前段に接続して検出します。その際、総電力の制限値には整流器の消費電力が含まれます。ライン電流は、内蔵のセンス抵抗両端の電圧によって測定します。シャント電流と電流制限値はライン電圧に対して自動的に調整されます。

LT8440 は 8 ピン SOIC でパッケージされており、本質的安全に向けた最高の保護レベルで回路が試験されたときにピン同士の短絡がカウント可能な故障となるよう、コーティングされたデバイスの仕様を満たすピン間隔になっています。

標準的応用例

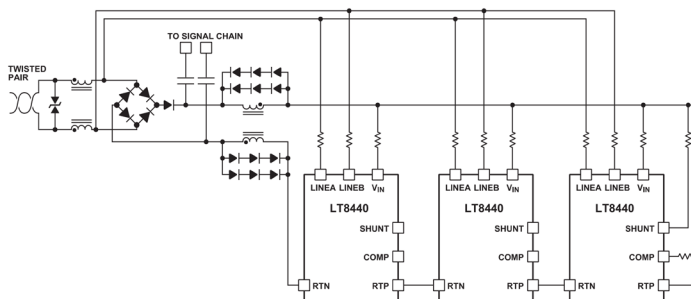


図 1. APL フィールド・デバイス・ポートの
パワー・コンディショナ

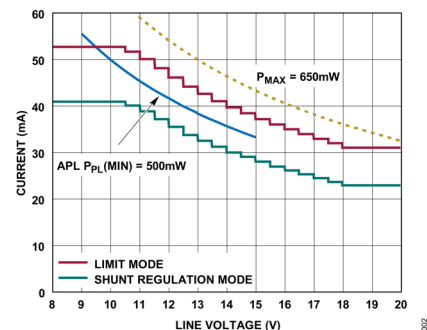


図 2. レギュレーションおよび電流制限

目次

特長.....	1
アプリケーション.....	1
概要.....	1
標準的応用例.....	1
改訂履歴.....	2
仕様.....	3
絶対最大定格.....	5
ブロック図.....	6
ピン配置およびピン機能の説明.....	7
代表的な性能特性.....	8
動作.....	11
概要.....	11
動作原理.....	11
アプリケーション情報.....	13
入力のフロント・エンド設計.....	13
差動チョーク.....	14
冗長性を確保する LT8440 の使用方法.....	15
$V_{IN}/LINEA/LINEB$ の外付け抵抗.....	15
ループの安定性.....	16
電流制限ループ.....	16
電流シャント・ループ.....	16
短絡イベント.....	17
プリント回路基板 (PCB) レイアウト、コーティング、および熱に関する考慮事項.....	18
標準的応用例.....	19
外形寸法.....	20
オーダー・ガイド.....	21
関連製品.....	21

改訂履歴

版数	改訂日	説明	改訂ページ
Rev 0	7/24	初版発行	—

仕様

表 1. 電気的特性

(特に指定のない限り¹、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 9\text{V}$ 、 $V_{RTN} = 0\text{V}$ 。)

PARAMETER	CONDITIONS	COMMENTS	MIN	TYP	MAX	UNITS
Operating Input Voltage Range			6		36	V
V_{IN} Quiescent Current	$V_{LINEA} = 20\text{V}$, $V_{LINEB} = 0\text{V}$	$-55^\circ\text{C} \leq T_A \leq 150^\circ\text{C}$		120	200	μA
LINEA Pin Current	$V_{LINEA} = 15\text{V}$, $V_{LINEB} = 0\text{V}$			30	40	μA
LINEB Pin Current	$V_{LINEB} = 15\text{V}$, $V_{LINEA} = 0\text{V}$			30	40	μA
RTP to RTN Pass-Through Resistance	$V_{LINEA} = 0\text{V}$, $V_{LINEB} = 8\text{V}$, $I_{RTP} = 30\text{mA}$			4		Ω
Current Limit	$ V_{LINEA} - V_{LINEB} = 0.5\text{V}$			0		
	$ V_{LINEA} - V_{LINEB} = 9\text{V}$	$-55^\circ\text{C} \leq T_A \leq 150^\circ\text{C}$	49.5	52.1	55	mA
	Level 1		49.5	52.1	55	mA
	Level 2		48.3	51.1	54.2	mA
	Level 3		46.8	49.6	52.7	mA
	Level 4		44.9	47.6	50.7	mA
	Level 5		43.0	45.6	48.7	mA
	Level 6		41.0	43.6	46.7	mA
	Level 7		39.6	42.1	45.2	mA
	Level 8		38.1	40.6	43.7	mA
	Level 9		36.7	39.2	42.3	mA
	Level 10		35.6	37.9	41.1	mA
	Level 11		34.4	36.7	39.9	mA
	Level 12		33.2	35.5	38.7	mA
	Level 13		32.3	34.5	37.7	mA
	Level 14		31.3	33.5	36.7	mA
	Level 15		30.3	32.5	35.7	mA
Level 16		29.3	31.5	34.7	mA	
Level 17		28.5	30.6	33.8	mA	
Shunt Regulated Current	$ V_{LINEA} - V_{LINEB} = 0.5\text{V}$			0		
	$ V_{LINEA} - V_{LINEB} = 9\text{V}$		37.7	40.5	43.3	mA
	Level 1		37.7	40.5	43.3	mA
	Level 2		36.9	39.7	42.4	mA
	Level 3		35.7	38.4	41.1	mA

(特に指定のない限り¹、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 9\text{V}$ 、 $V_{RTN} = 0\text{V}_o$ 。)

PARAMETER	CONDITIONS	COMMENTS	MIN	TYP	MAX	UNITS
	Level 4		34.1	36.8	39.4	mA
	Level 5		32.5	35.1	37.7	mA
	Level 6		30.9	33.4	36.1	mA
	Level 7		29.7	32.1	34.8	mA
	Level 8		28.4	30.9	33.4	mA
	Level 9		27.3	29.7	32.3	mA
	Level 10		26.3	28.7	31.3	mA
	Level 11		25.3	27.7	30.3	mA
	Level 12		24.3	26.7	29.3	mA
	Level 13		23.4	25.9	28.4	mA
	Level 14		22.6	25.0	27.6	mA
	Level 15		21.7	24.2	26.7	mA
	Level 16		20.9	23.4	25.9	mA
Level 17		$-55^\circ\text{C} \leq T_A \leq 150^\circ\text{C}$	20.2	22.7	25.2	mA
LINE Voltage Threshold (Rising)	Levels 1–2		10.14	10.5	10.82	V
	Levels 2–3		10.62	11	11.41	V
	Levels 3–4		11.12	11.5	11.91	V
	Levels 4–5		11.65	12	12.36	V
	Levels 5–6		12.16	12.5	12.84	V
	Levels 6–7		12.59	13	13.42	V
	Levels 7–8		13.12	13.5	13.88	V
	Levels 8–9		13.62	14	14.37	V
	Levels 9–10		14.07	14.5	14.92	V
	Levels 10–11		14.57	15	15.43	V
	Levels 11–12		15.05	15.5	15.93	V
	Levels 12–13		15.5	16	16.48	V
	Levels 13–14		16.02	16.5	16.96	V
	Levels 14–15		16.52	17	17.45	V
Levels 15–16		17.02	17.5	17.95	V	
Levels 16–17		17.51	18	18.45	V	
LINE Voltage Threshold Hysteresis				80		mV

(特に指定のない限り¹、 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 9\text{V}$ 、 $V_{RTN} = 0\text{V}$ 。)

PARAMETER	CONDITIONS	COMMENTS	MIN	TYP	MAX	UNITS
Shunt and Limit Current Step Transition Rate	$ V_{LINEA} - V_{LINEB} $ step from 12.2V to 12.8V				8	mA/ms

絶対最大定格

特に指定のない限り、 $T_A = +25^\circ\text{C}$ 。ピン電圧は全て RTN 基準です²。

表 2. 絶対最大定格

PARAMETER	RATING
V_{IN} , RTP, COMP, and SHUNT	-0.3V to 42V
LINEA and LINEB	-42V to 42V
Operating Junction Temperature Range LT8440R ^{1,3}	-55°C to 150°C
Storage Temperature Range	-65°C to 150°C

¹ LT8440R は、 -55°C ~ 150°C のジャンクション温度範囲で仕様規定されています。ジャンクション温度が高いと動作寿命が低下します。動作寿命は 150°C を超えるジャンクション温度ではディレーティングされます。これらの仕様に整合する最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因と共に、特定の動作条件によって決まります。

² 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

³ この IC には一時的な過負荷からデバイスを保護するための過熱保護機能が搭載されています。この保護機能が動作するときは、ジャンクション温度が最大定格を超えています。仕様に規定された絶対最大動作ジャンクション温度を超える温度での連続動作は、デバイスの信頼性を損なったり、デバイスに恒久的な損傷を生じさせたりする可能性があります。

ブロック図

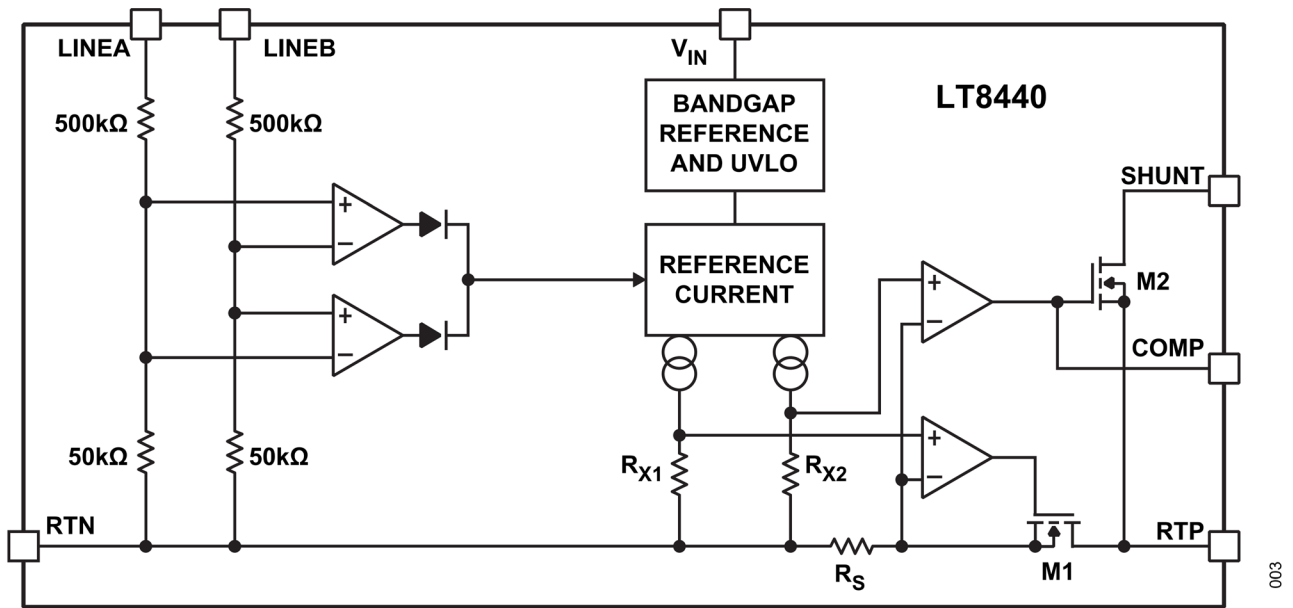


図 3. ブロック図

003

ピン配置およびピン機能の説明

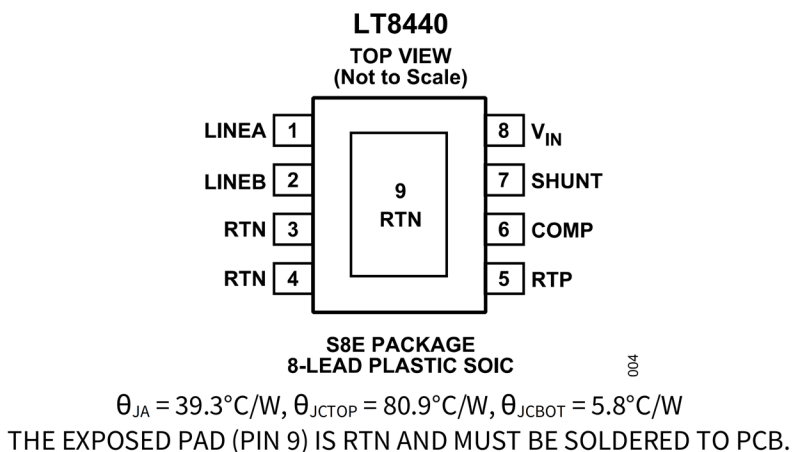


図 4. ピン配置

表 3. 端子説明

ピン	名称	説明
1, 2	LINEA, LINEB	この 2 つのピンは、それぞれに専用の抵抗を接続してからツイスト・ペアの端子に接続し、ライン電圧を検出します。抵抗は約 20kΩ としてください。LT8440 が損傷した場合、これより小さい抵抗では本質的安全に対して不十分です。また、これより大きい抵抗は電圧測定の精度に悪影響を与えます。ツイスト・ペアへの接続時に、極性は問題にはなりません。LT8440 は、この 2 つのピン間の絶対電圧に応じて、内部のパス・デバイスに流すことのできる電流の制限値を調整します。
3, 4, 9 (EP)	RTN	これらのピンは、他の LT8440 デバイスの RTP ピンに接続するか、ツイスト・ペア側の整流器のリターン端子に接続します。負荷回路の電流は、LT8440 を通過した後これらのピンから流れます。
5	RTP	これらのピンは、他の LT8440 デバイスの RTN ピンに接続するか、全てのフィールド・デバイスの負荷回路に対する共通のリターン・パスに接続します。
6	COMP	シャント・レギュレータ・ループに追加の補償を行うためのオプション・ピン。使用しない場合は、フロート状態にします。詳細については、 アプリケーション情報のセクション を参照してください。
7	SHUNT	このピンは負荷の正側に接続します。内蔵のシャント・トランジスタは、ツイスト・ペアの整流器を通じて約 500mW を維持するために必要な電流を流します。抵抗を追加することにより、LT8440 の消費電力を低減させることができます。使用しない場合は、フロート状態にします。
8	V _{IN}	LT8440 の静止電流は、入力電圧を印加するこのピンを通じて流れます。このピンは、抵抗を介してツイスト・ペアの整流器の出力に接続します。抵抗は約 15kΩ としてください。LT8440 が損傷した場合、これより小さい抵抗では本質的安全に対して不十分です。また、これより大きい抵抗は LT8440 の動作範囲を不必要に制限してしまいます。この抵抗を選ぶ方法の詳細については、 アプリケーション情報のセクション を参照してください。

代表的な性能特性

(特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。)

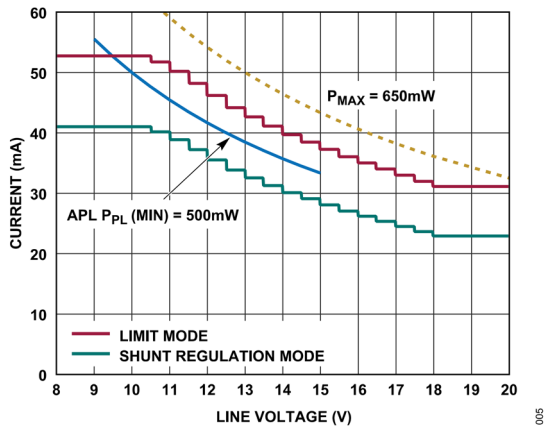


図 5. 電流のレギュレーションと制限

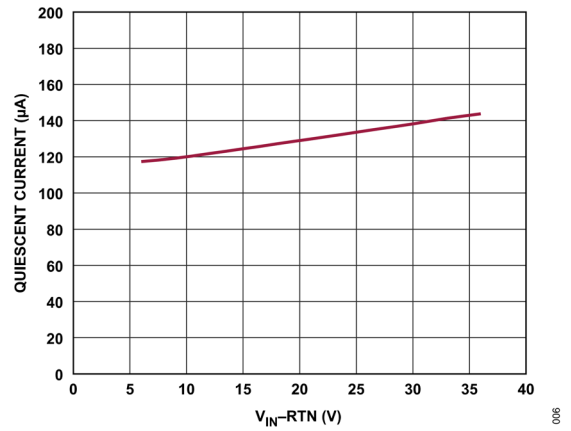


図 6. V_{IN} ピンの静止電流とピン電圧の関係

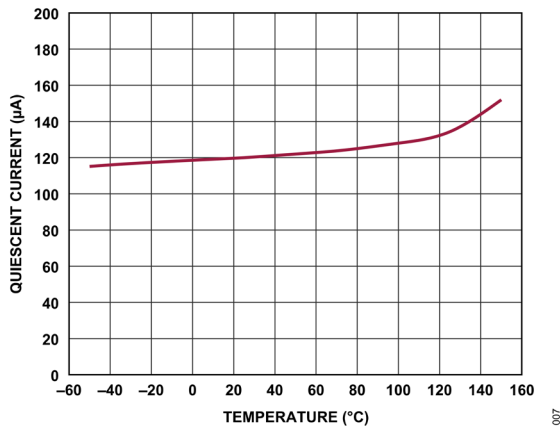


図 7. V_{IN} ピンの静止電流と温度の関係、 $V_{IN}-V_{RTN} = 9\text{V}$

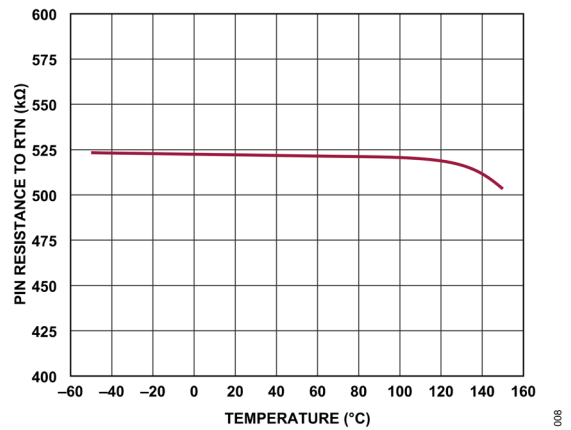


図 8. LINEA/LINEB ピンの抵抗と温度の関係

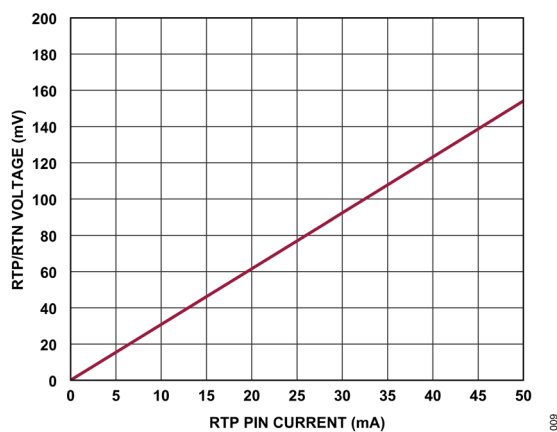


図 9. RTP/RTN の電圧降下と電流の関係、 $V_{LINEA-LINEB} = 9\text{V}$

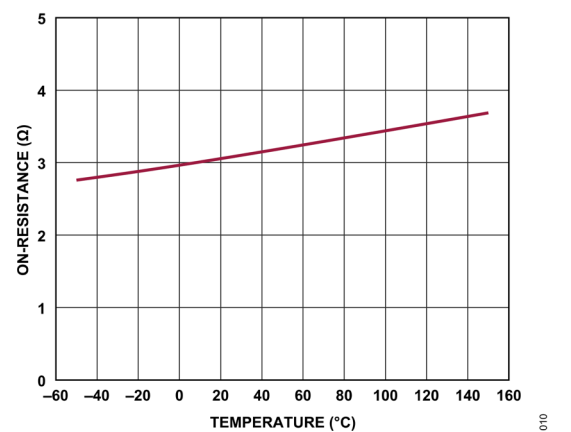


図 10. RTP/RTN のオン抵抗と温度の関係

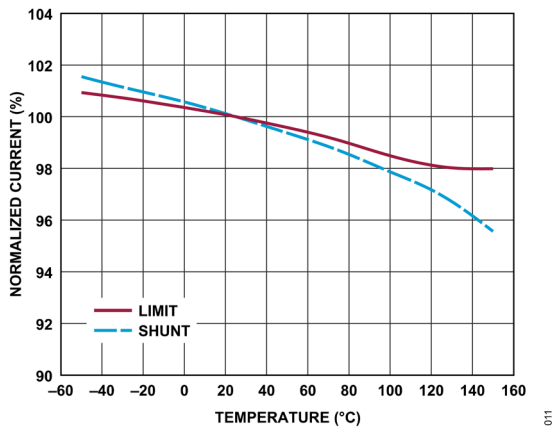


図 11. 正規化された電流のレギュレーションと温度の関係

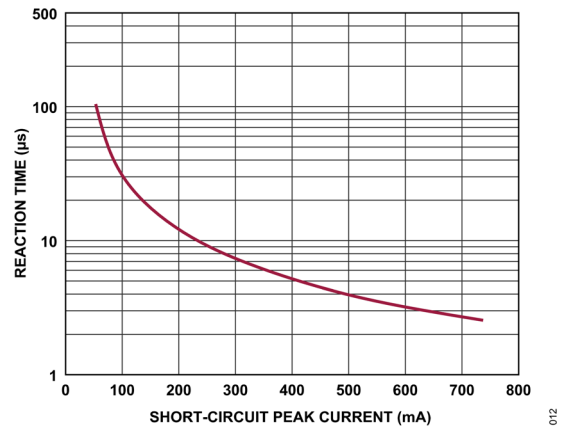


図 12. 短絡イベント時における電流制限の応答時間

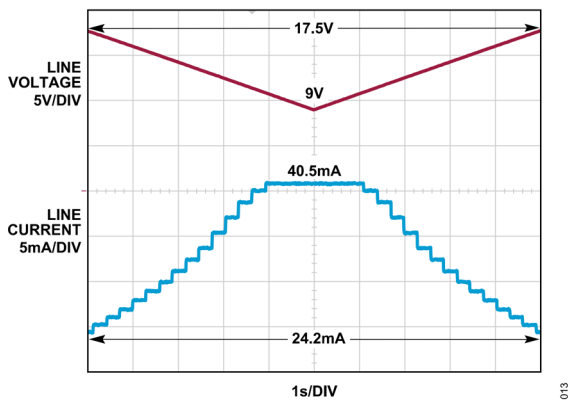


図 13. 開放負荷でのライン電圧スイープ
(標準的応用例の図 32 を参照)

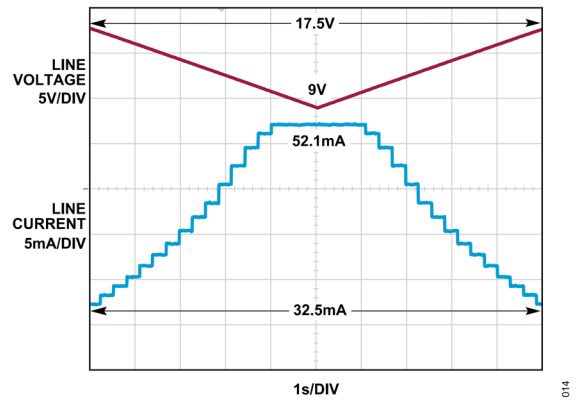


図 14. 短絡負荷でのライン電圧スイープ
(標準的応用例の図 32 を参照)

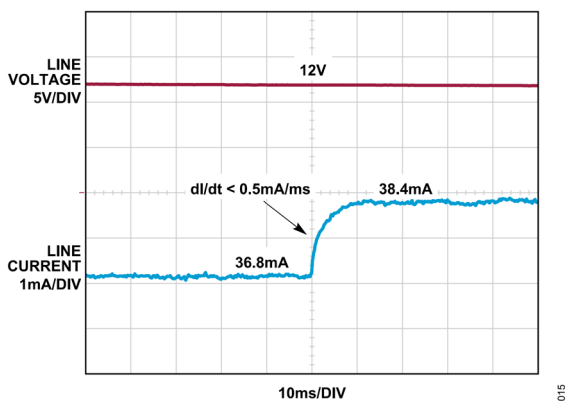


図 15. 開放負荷での電流のステップアップの拡大図
(標準的応用例の図 32 を参照)

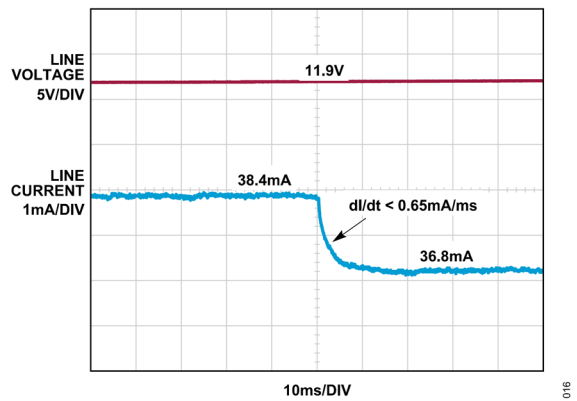


図 16. 開放負荷での電流のステップダウンの拡大図
(標準的応用例の図 32 を参照)

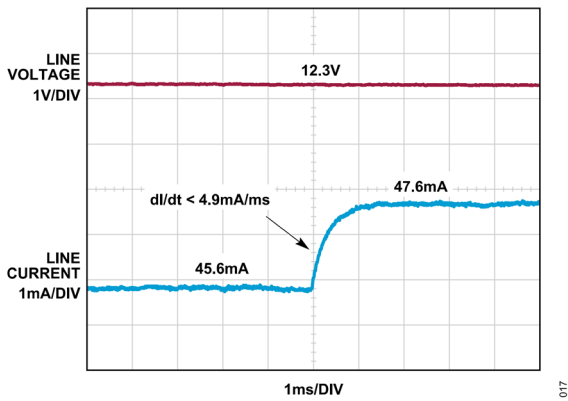


図 17. 短絡負荷での電流のステップアップの拡大図
(標準的応用例の図 32 を参照)

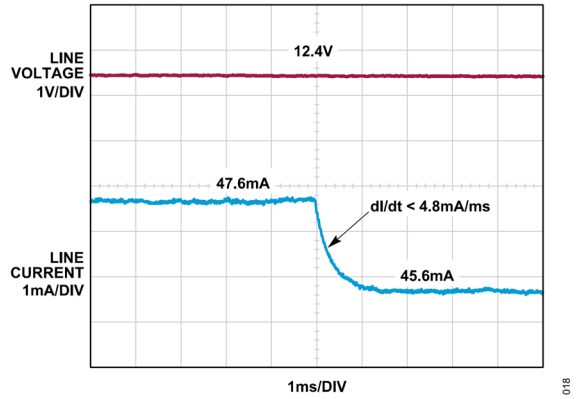


図 18. 短絡負荷での電流のステップダウンの拡大図
(標準的応用例の図 32 を参照)

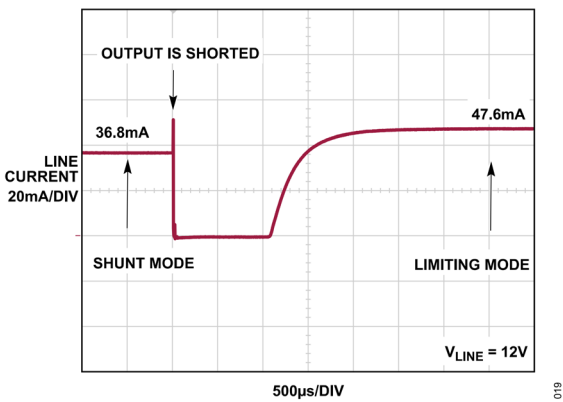


図 19. 短絡保護
(標準的応用例の図 32 を参照)

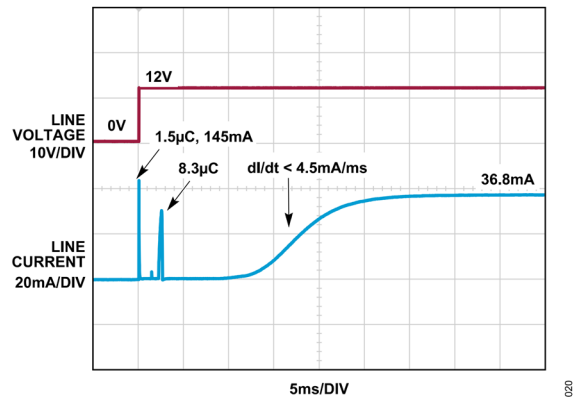


図 20. ホット入力接続
(標準的応用例の図 32 を参照)

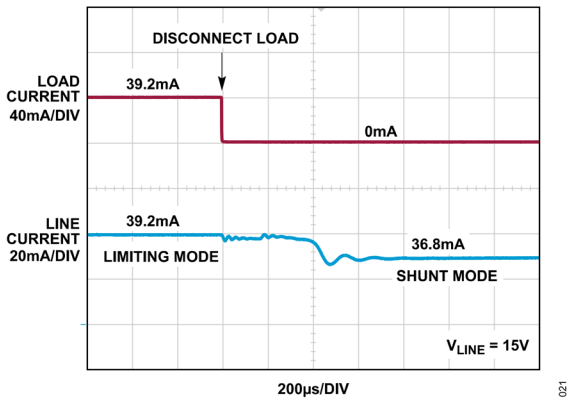


図 21. 電流制限モードから電流シャント・モードへの遷移
(標準的応用例の図 32 を参照)

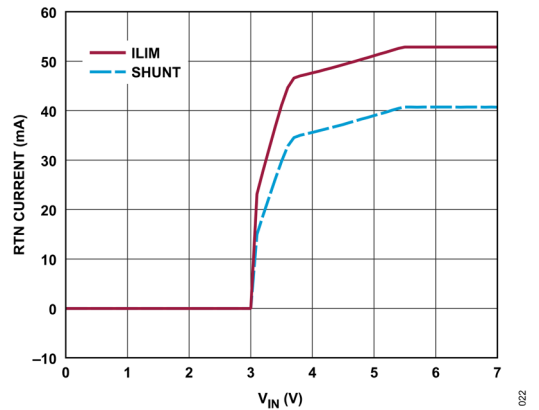


図 22. 入力低電圧時における電流シャントと電流制限の挙動

動作
概要

Ethernet-APL（高度な機能を備えた物理層）は、10BASE-T1L（IEEE802.3cg）をベースとした 2 線式イーサネットの物理層の規格です。Ethernet-APL は、危険な環境や爆発性の環境で信号と電力の両方を長距離にわたり伝送することができ、プロセス業界において、フィールド・デバイスとイーサネット・インフラストラクチャとの直接接続および高速接続を可能にします。代表的な APL のトポロジを 図 23 に示します。フィールド・デバイスは、最長 200m の支線を通じてフィールド・スイッチに接続され、フィールド・スイッチは、最長 1000m の幹線を通じて電源スイッチ、または更に別のフィールド・スイッチに接続されます。

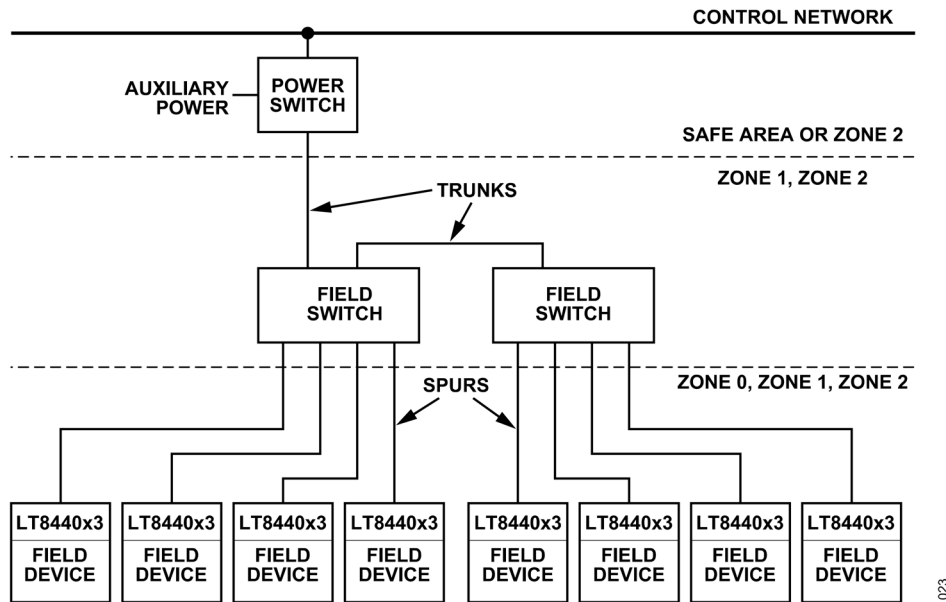


図 23. 代表的な APL のトポロジ

LT8440 パワー・コンディショナは、Zone 0/Div 1 の危険エリアで使用する場合に必要の本質的安全の規格 Ex ia（APL ポート・クラス SLAA）を備えたクラス A のフィールド・デバイス向けに設計されています。3 個の LT8440 を直列接続することで、2 つのカウント可能な故障からフィールド・デバイスを保護します。そして、APL と本質的安全への適合性を維持しながら電力供給を最適化します。電圧範囲全域にわたり 500mW 以上の電力を負荷に供給し続けると同時に、故障時にはポート出力を 650mW 未満に制限します。

動作原理

LT8440 は、イーサネット・フィールド・デバイスの電力ポートに流れる負荷電流のリターン・パスに配置し、電流が RTP ピンから入って RTN ピンから出ていくようにします。本デバイスは、ポートを流れる電流の測定用抵抗と、この電流をレギュレーションするためのパス・トランジスタを内蔵しています。パス・トランジスタは完全にエンハンスされた状態で駆動され、LINEA ピンと LINEB ピンによって検出されるライン電圧に応じて変化する電流が制限値に達するまで、ソース・ドレイン間電圧を最小限に抑えます。パス・デバイスによって電流制限、および最終的には電力制限を行うことで、本質的安全への適合を容易にします。なぜなら、制限がなければ、故障した部品は給電デバイスから供給される電力を完全に消費してしまうからです。

APL および本質的安全に必要な条件を集約すると、フィールド・デバイスに許容される電流範囲は 55mA~20mA、電力範囲は 500mW~5.32W に制限されます。故障のシナリオを含め、これらの条件下ではフィールド・デバイスは許容された自己加熱温度を超えてはなりません。これらの条件をすべて満たす最適な方法は、フィールド・デバイスに $V \times I$ による電力制限をかけることです。これにより、負荷に最大動作電力を供給すると同時に故障による加熱を制限します。図 3 (ブロック図) に示すように、これは電圧の変化に応じて電流制限を調整することによって実現します。与えられたライン電圧に対して、選択されたリファレンス電流が内部抵抗 R_{X1} を通じて流れます。抵抗 R_{X1} 両端の電圧は、エラー・アンプによってセンス抵抗 R_S 両端の電圧と比較されます。 R_{X1} 電圧が R_S 電圧を超えている場合、アンプは内部パス・トランジスタ M1 のゲートをハイに駆動します。両電圧が等しくなると、内部のアンプは M1 のゲート電圧を下げて M1 を流れる電流を減少させ、負荷電流を制限します。これにより、動作電圧範囲の各レベルにおいて電流制限は一定を保ち、電圧の変化に応じて電流制限も変化することで 500mW~650mW の電力制限を維持します。これにより、負荷は、いかなる条件下でも最低 500mW から 650mW 以下までの電力を受け取ることができます。

同様のプロセスにより、もう 1 つのアンプが R_{X2} 両端の電圧と R_S 両端の電圧を比較します。この場合、 R_{X2} 電圧が R_S 電圧を超えている間は常に、トランジスタ M2 がシャント電流を増加させます。 R_{X2} 両端の電圧は R_{X1} 両端の電圧に近い値ですが R_{X1} より低く、それによりポートによって消費される総電力を 500mW 未満に維持します。シャント電流は、ゼロ負荷時でも最低 20mA のポート電流を確保します。これは、信号の完全性に関して APL 仕様が求めている値です。シャント電流は、動的に負荷電流の変化のバランスを取ることでツイスト・ペアの電流が急激に変化しないようにします。APL の規格では、信号の完全性を保つためライン電流の変化率を制限しています。

ライン電圧は、LINEA ピンと LINEB ピンで検出されます。これらのピンは内部で抵抗回路に接続され、検出されるライン電圧を分圧してコンパレータに適したレベルまで低くします。これは、ライン電圧がラインと直列に接続された外付け抵抗の値の影響を受けやすいことを意味します。この外付け抵抗は、本質的安全の評価を満たすためのもので、ピンが短絡した場合に電流を制限します。この抵抗を選ぶ方法の詳細については、アプリケーション情報のセクションを参照してください。

アプリケーション情報

本質的安全を備えたフィールド・デバイスの負荷電力ポート用に LT8440 を設定し、高度な機能を備えた物理層の規格に従ってポートの消費電力を制限するために必要な部品は、ごくわずかです。以下のセクションは、これらの部品を選択するためのガイドとなるものです。

入力のフロント・エンド設計

図 24 にフィールド・デバイスの代表的なフロント・エンド設計を示します。ケーブル・シールドは、フィールド・デバイスのシャーシに直接接続します。TVS ダイオード D1 は、ツイスト・ペアのサージや ESD イベントから保護します。通常動作の妨げにならないように、D1 のトリップ電圧は 17.5V より高くしてください。同時に、後段の回路を保護できるよう十分低くする必要があります。コモンモード・チョーク L1 は、コモンモード・ノイズを抑制します。

L1 の後段には、モジュール入力での極性に対する感度をなくするためにダイオード・ブリッジを使用します。更にダイオード D6 を追加して、ダイオード・ブリッジで故障が発生した場合にスパークによるエネルギーをブロックします。LT8440 の LINEA/LINEB ピンはダイオード・ブリッジの前、または後ろに接続できます。ダイオード・ブリッジの前に接続すると、電圧検出精度が向上します。しかし、この構成では LINEA と SHUNT、および LINEB と RTP とが短絡する 2 点障害の発生が考えられ、LINEA/LINEB 抵抗を通じて入力ポートから負荷コンデンサへのリーク・パスが形成される可能性があります。負荷側の総容量が大きい場合、図 25 に示すように、LINEA/LINEB ピンはダイオード・ブリッジの後段に接続します。ダイオード・ブリッジの後段で故障が発生した場合、IEC60079 に従って、D2~D6 は最も厳しいストレスの 1.5 倍に耐えられるようにする必要があります。最も厳しい電圧/電流値は 17.5V/380mA です。そのため、これらのダイオードには定格 26.25V/570mA 以上のものがが必要です。また、ダイオードの電圧降下によって負荷に供給される総電力が減少すると共に、LT8440 の最低入力電圧も低下することに注意してください。電圧降下を小さくするため、代わりにショットキー・ダイオードを使用することも可能です。ただし、ショットキー・ダイオードは通常、高温でとても高いリーク電流を持っており、これは LT8440 で検出できません。

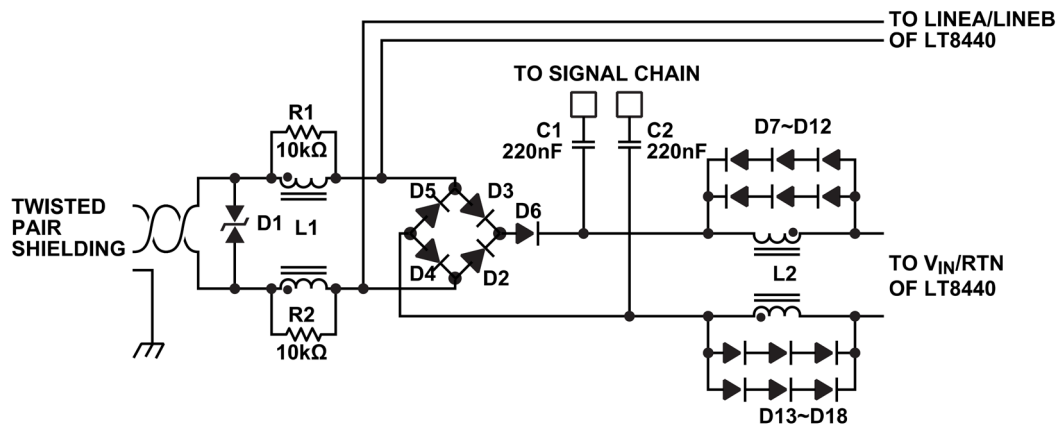
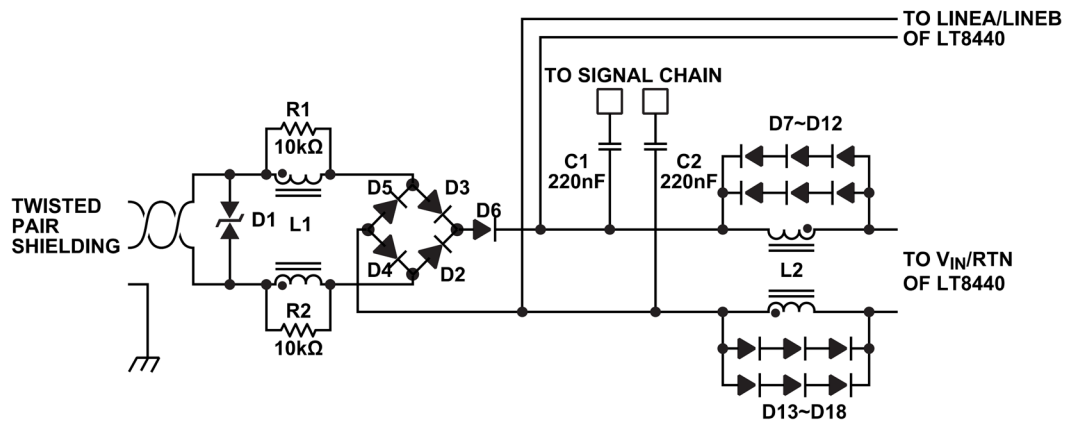


図 24. 代表的なフィールド・デバイスのフロント・エンド設計

024



52

図 25. 負荷側の容量が大きい場合のフロント・エンド設計

ダイオード・ブリッジの後段には、AC 信号から DC パスを分離するための差動チョーク L2 が必要です。LT8440 は、L2 の後段に接続して入力電力の調節と制限を行います。差動チョークの設計については、[差動チョーク](#)のセクションを参照してください。

電力パスに入力デカップリング・コンデンサが必要となるアプリケーションでは、LT8440 がコンデンサの故障を保護できるよう、LT8440 の前ではなく後 (図 1 に示すように、負荷の正側/負側ポートの間) に配置してください。また、APL の規格に準拠するため、LT8440 はラインのホット接続時にこれらのコンデンサに流れる突入電流を制限します。

差動チョーク

差動チョーク L2 は、電力パスの大きな容量性負荷から信号を分離するために必要です。信号の減衰量は、トランスミッタ出力の信号ドレープとメディア依存インターフェース (MDI) のリターン・ロスによって測定します。表 4 に示すように、限界値以上となるには、APL は 10% 以下のドレープとリターン・ロスを必要とします (100Ω ± 0.1% のリファレンス・インピーダンス使用時)。

表 4. IEEE 802.3cg-2019 規格に基づく MDI リターン・ロスの仕様

Frequency Range	Limit in dB
0.1MHz ≤ f ≤ 0.2MHz	20 - 18 × log ₁₀ (0.2/f)
0.2MHz ≤ f ≤ 1MHz	20
1MHz ≤ f ≤ 10MHz	20 - 16.7 × log ₁₀ (f)
10MHz ≤ f ≤ 20MHz	3.3 - 7.6 × log ₁₀ (f/10)

これらの条件を満たすには、220nF ± 20% の C1/C2、および 1 巻線あたり 220μH ± 20% のインダクタンスを持つ L2 (合計で 220μH × 4 = 880μH の等価インピーダンス) を使用することを推奨します。図 26 に、LT8440 のデモ・ボードで測定した信号ドレープとリターン・ロスを示します。測定のセットアップの詳細については、[LT8440 のデモ・マニュアル](#)を参照してください。

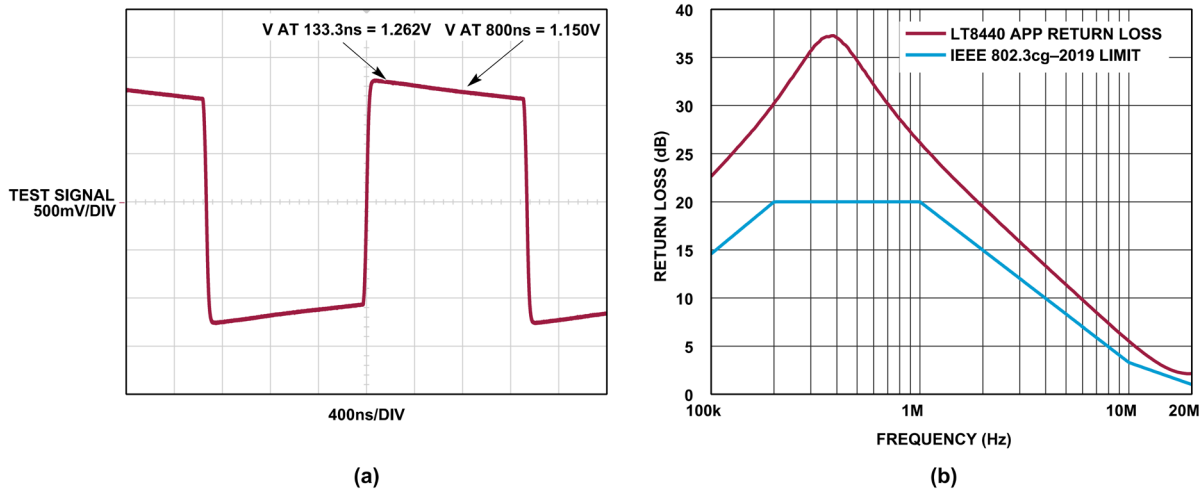


図 26. 代表的なアプリケーション回路 (図 32 を参照) で測定した
 (a) 信号ドループと (b) リターン・ロス
 C1 = C2 = 220nF、L2 = 220μH

例えば突然のオープン・サーキットのような故障が発生した場合、L2 に大きな di/dt が生じることで、クランプする必要があるほど大きな電圧サージが L2 両端に発生する可能性があります。イーサネットの信号レベルは約 1.0V_{PP} であるため、これより高い電圧では、正常な通信が妨げられないようにクランプをトリガする必要があります。2~3 個のシリコン・ダイオードを直列に接続して使用することで、全温度範囲において大きく電圧降下させることを推奨します。また、安全冗長性を持たせるため、この直列ダイオードを 2 組使用し、並列に接続します。

冗長性を確保する LT8440 の使用方法

最も高いレベルの本質的安全を備えることで、システムは 2 つのカウント可能な故障に耐えられるようになります。(カウント可能な故障とは、熱やスパーク点火による故障に対して、保護機能の有効性を評価するために試験者が意図的に発生させる故障のことを言います。) そのため、個別に電力制限できる 3 個のデバイスを直列に接続する必要があります。LT8440 は 3 個直列に接続して動作できるように設計されています。RTN ピンと RTP ピンはパッケージの両側に配置されており、電流が 1 個目のデバイスの RTN ピンから出て、次のデバイスの RTP ピンに短いパスで直接流入できるようになっています。

LT8440 は、Ex ic、ib、ia の各レベルの回路保護規格に対応できるよう、1 個、2 個、3 個の冗長回路の構成で動作することができます。

V_{IN}/LINEA/LINEB の外付け抵抗

LT8440 の損傷、またはピンが短絡することによってパス・トランジスタをバイパスする短絡が発生した場合にポートに流れる電流を制限するため、LINEA、LINEB、V_{IN} の 3 つのピンのそれぞれに外付け抵抗が必要です。この場合、抵抗によって消費される電力が負荷に供給されなくなりますが、スパークや過度の発熱を防ぐことができます。1206 かそれより大きいパッケージのフィルム抵抗であれば、短絡による故障を防止するために十分なサイズと構造を備えているとみなせます。したがって、各ピンに 1 個の抵抗を配置すれば十分です。この仮定が成り立たないケースでは、2 つのカウント可能な故障に対応するため、各ピンに 2 個の抵抗を直列接続する必要があります。

各ピンに接続する電流制限抵抗の抵抗値は、故障イベントの際に、最も厳しい条件で上昇した場合でも表面温度が IEC60079 に適合できるよう、十分な大きさにする必要があります。ただし、抵抗値を大きくすると電圧降下が増加します。図 27 は、LINEA、LINEB、および V_{IN} ピンの部品に関して簡略化した回路図です (図 24 に示したフロント・エンド設計を前提としています)。LINEA ピンと LINEB ピンの内部の等価抵抗は約 550kΩ (代表値) で、抵抗値は温度に対して図 8 に示すように変化します。ピンの抵抗 R_A と R_B で更に電圧降下することにより、検出されるライン電圧は低下し、それにより電力には小さな誤差が含まれます。LINEA ピンと LINEB ピンには、約 20kΩ の電流制限抵抗を使用することを推奨します。V_{IN} ピンの静止電流は、9V のとき 25°C で約 120μA、150°C で約 150μA になります。この静止電流は図 6 と図 7 に示すように電圧と温度に対して変化します。入力抵抗 R_{IN} 両端での電圧降下に加えて、ダイオードによる 3 つの電圧降下があります。したがって、入力抵抗 R_{IN} の値は、最低ライン電圧 (9V) 時でも V_{IN}-RTN 電圧が最低 6V の動作電圧を上回るように、十分小さくする必要があります。V_{IN} ピンには、15kΩ の電流制限抵抗を使用することを推奨します。

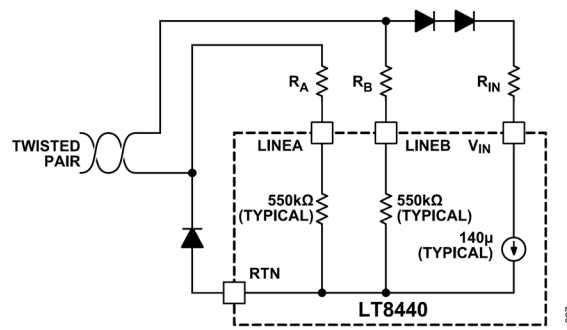


図 27. LINEA、LINEB、および VIN ピンの簡略化した回路図

ループの安定性

電流制限ループ

電流制限ループは、内部で補償されています。図 28 に、負荷を短絡した場合での電流制限ループの簡略化した等価回路を示します。V_{LINE} は入力ポートの電圧、L は入力インダクタンスの合計です。

$$L \approx L_{SOURCE} + 4 \times L_{DIFF}$$

ここで、L_{SOURCE} はケーブルのインダクタンスを含めたソース側の総インダクタンス、L_{DIFF} は差動チョークの各巻線のインダクタンスです。負荷側は短絡により低インピーダンスのため、ループの安定性に対する負荷インピーダンス（出力コンデンサを含む）の影響は無視できると仮定します。

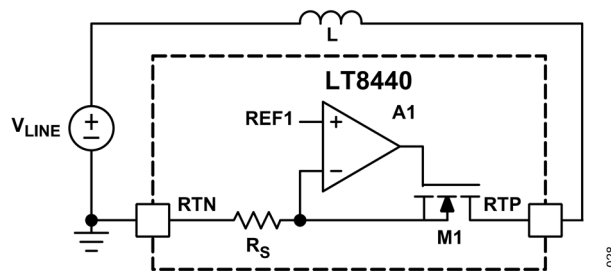


図 28. 負荷を短絡した電流制限ループの簡略化した等価回路

電流制限ループには 2 つのポールがあります。ドミナント・ポールは M1 のゲートで、内部で補償されています。LT8440 は $L \leq 5\text{mH}$ のとき、プロセスや温度の変化に対して安定した動作を確保できます。

電流シャント・ループ

電流シャント・ループは電流制限ループより複雑です。図 29 に、シャント・ループの等価回路を示します。R_{ON1} は M1 のオン抵抗です。C_{LOAD} は出力容量、I_{LOAD} は負荷電流です。

電流制限ループと同様、シャント・ループにも M2 のゲート（または COMP ピン）にドミナント・ポールがあります。負荷コンデンサ C_{LOAD} と L により、ドミナントではない複雑なポールが形成されます。コンデンサ電流により、4 つ目のポールも形成されます。したがって、大きな負荷コンデンサ ($\geq 10\mu\text{F}$) が必要な場合、C_{LOAD} の ESR を約 1Ω から 5Ω に増やし、ドミナントでないポールの影響を補償するためゼロを挿入することを推奨します。

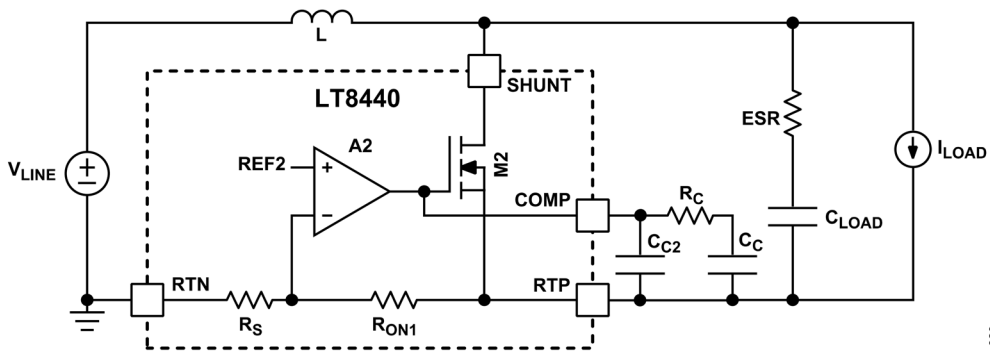


図 29. 電流シャント・ループの簡略化した等価回路

電流シャント・ループの補償に関して理論的には、外付けコンデンサ C_c によってドミナント・ポールの周波数より十分小さくすることにより、ループを安定化させることができます。ただし、シャント・ループの帯域幅が低すぎる場合、負荷による高速の電流変化を補償するシャント・ループの性能に、影響を与える可能性があります。抵抗 R_c はもう 1 つのゼロを追加し、これにより帯域幅を増加させ、同時にループの安定性も維持します。COMP と RTP の間に小さなコンデンサ C_{c2} を追加することで、ゲイン・マージンが改善し、これにより高周波ノイズ耐性が改善する場合があります。

表 5 に、 C_{LOAD} 値に対して選択可能な補償値を示します。アプリケーションが求める様々な条件において実用的な方法は、この表に近い条件で始めてから、補償値を調整して性能を最適化することです。このプロセスには LTspice®シミュレーションが役に立つ場合があります。その後負荷電流、入力電圧、温度など、全動作条件について安定性を確認します。

表 5. 補償の推奨値

C_{LOAD}	ESR	L_{SOURCE}	L_{DIFF}	R_c	C_c	C_{c2}
660nF	1Ω	0mH~4mH	220μH	20kΩ	47nF	Open
6.6μF	1Ω			62kΩ	22nF	Open
	10Ω			470kΩ	2.2nF	Open
100μF	1Ω			470kΩ	4.7nF	Open

短絡イベント

短絡を生じさせる故障が負荷側に発生した場合、LT8440 の電流制限ループが作動し、ライン電圧に応じて入力電流を制限し最終的に合計 55mA 以下まで抑えます。ただし、電流制限ループの帯域幅は有限なため、短絡電流を即座に制限することはできません。電流制限ループ機能の前に、電力ソースから短絡箇所までの総ループ・インピーダンスによってピーク電流スパイクが制限されます。図 30 に示す簡略化したテスト・セットアップにより、ループ・インピーダンスが最小の場合の最も厳しい条件をエミュレートできます。このセットアップを使用し、17.5V の入力電圧で測定した短絡イベント時の応答を図 31 に示します。図 12 は異なるピーク電流スパイクでの LT8440 の代表的な応答時間を示しており、図 31 は応答時間と短絡時のピーク電流を示しています。LT8440 は、RTP、RTN、および SHUNT ピンにおいてそれぞれの応答時間の間、最低 600mA の故障電流スパイクが流れても耐えられるよう設計されています。下流側の回路も、それぞれの応答時間の間、このサージに耐えられるようにする必要があります。

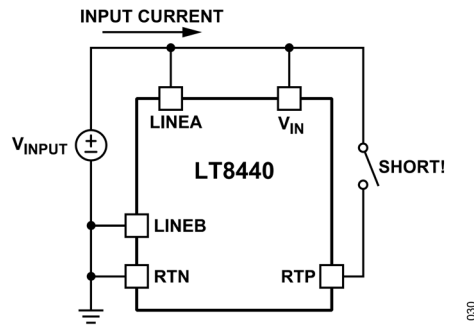


図 30. 短絡時における応答テスト・セットアップの簡略図

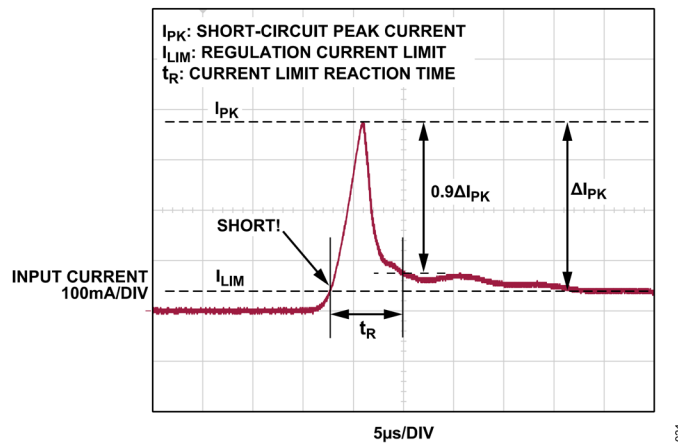


図 31. 17.5V 入力で測定した高速短絡応答

プリント回路基板（PCB）レイアウト、コーティング、および熱に関する考慮事項

LT8440 で良好な放熱を実現するには、PCB のレイアウトに注意を払う必要があります。電源グランド・プレーンは、サーマル・ビアを配置した広い銅層で構成する必要があります。これらの層は、IC が放出する熱を拡散します。ビアを追加すれば、熱抵抗を更に小さくすることができます。設計した回路基板を本質的に安全に適合させるには、更に注意が必要です。例えば、配線パターン間の距離は、IEC60079-11 で規定されたクリアランスと沿面距離の条件を満たす必要があります。Z 軸での導体プレーン同士の距離もまた、注意深く調べる必要があります。PCB レイアウトに関する詳細と PCB 設計ファイルについては、LT8440 のデモ・マニュアルを参照してください。

IEC60079-11 Ed. 7.0 の表 7 に従い、10V~30V のピーク電圧で ia/ib レベルの保護仕様を満たすには、コーティングがない場合で 2mm 以上、コーティングがある場合で 0.7mm 以上、導体間の距離をとる必要があります。SOIC のピン間隔による制約があるため、少なくとも LT8440 ではアプリケーションの回路基板にコーティング（またはポッティング）を行い、ピンの短絡をカウント可能な故障として扱えるようにする必要があります。

最大負荷電流は、ジャンクション温度がその最大温度定格値に近づくに従ってディレーティングする必要があります。IC 内部の消費電力は、電力損失の合計を計算することによって見積もることができます。ジャンクション温度は、IC の合計消費電力にジャンクションから周囲への熱抵抗を乗じ、その値に周囲温度を加えることによって計算できます。LT8440 は、一時的な過負荷状態からデバイスを保護するための内部過熱保護機能を内蔵しています。この加熱保護機能は、ジャンクション温度が 175°C（代表値）を超えると IC をシャットダウンします。この保護機能が動作するときは、ジャンクション温度が最大定格値を超えています。仕様に規定された絶対最大動作ジャンクション温度（絶対最大定格のセクションを参照）を超える温度での連続動作は、デバイスの信頼性を損なったり、デバイスに恒久的な損傷を生じさせたりする可能性があります。

標準的応用例

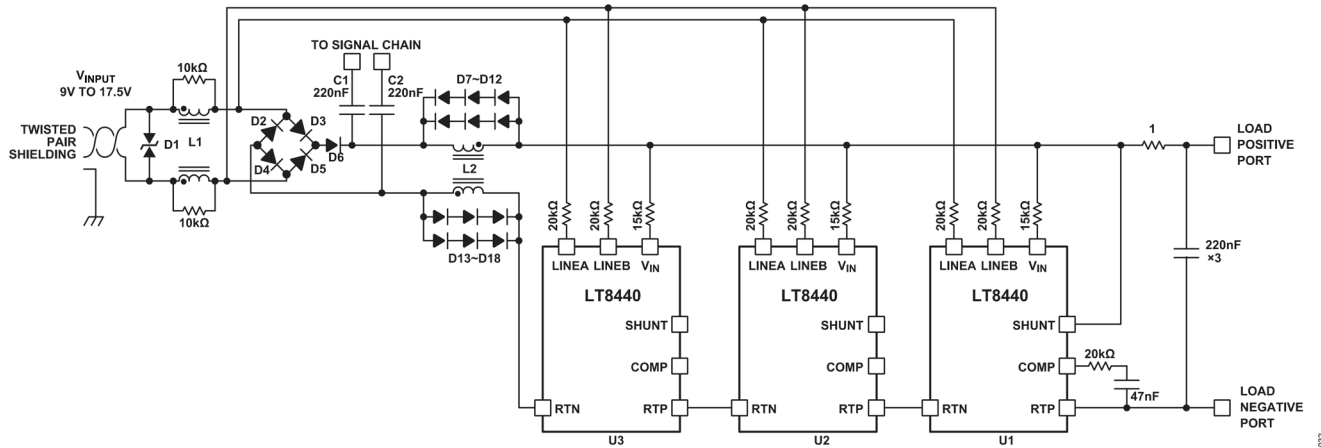


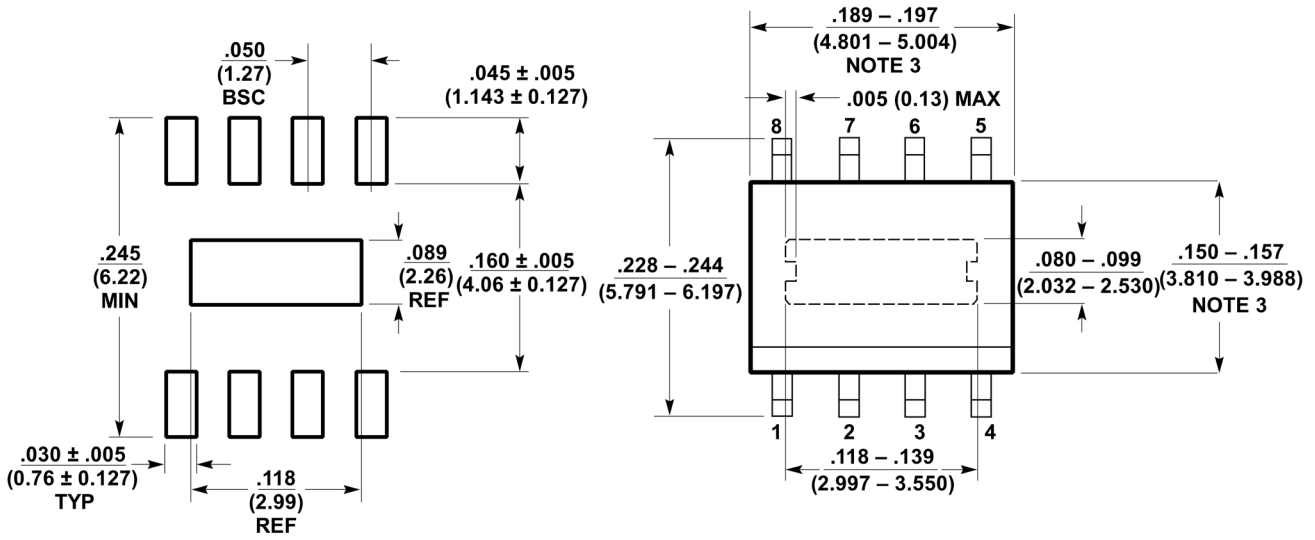
図 32. APL クラス A フィールド・デバイス・ポートのパワー・コンディショナ

表 6. 代表的なアプリケーションの推奨部品¹

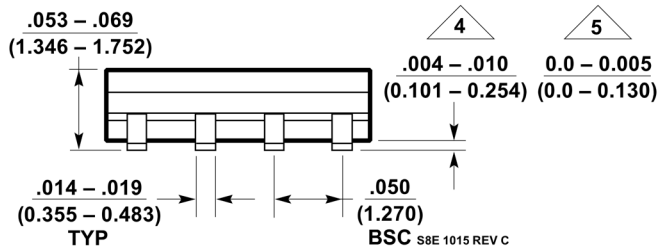
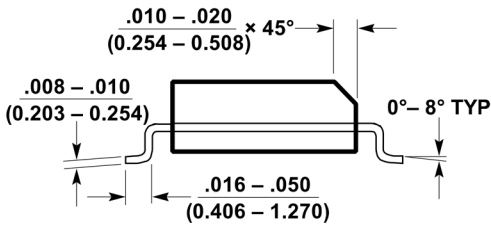
	L1	L2	D1	D2-D6	D7-D18
PART NUMBER	744223	MSD1260-224KLD	SM4T30CAY	BAT165E632HTSA1	S1AFL
MANUFACTURER	Würth	Coilcraft	STMicroelectronics	Infineon	OnSemi
VALUE	500μH	220μH	$V_{RM} = 26V, V_{CL} = 39.4V$ at 25A 8/20μs	40V/750mA	50V/1A

¹ 特定の本質的安全が要求されるアプリケーションで使用する場合は、これらの推奨部品を更に評価する必要があります。

外形寸法



RECOMMENDED SOLDER PAD LAYOUT



NOTE:

1. DIMENSIONS IN $\frac{\text{INCHES}}{\text{MILLIMETERS}}$

2. DRAWING NOT TO SCALE

3. THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010" (0.254mm)

4. STANDARD LEAD STANDOFF IS 4mils TO 10mils (DATE CODE BEFORE 542)

5. LOWER LEAD STANDOFF IS 0mils TO 5mils (DATE CODE AFTER 542)

図 33. パッケージ図

オーダー・ガイド

表 7. オーダー・ガイド

PART NUMBER	TAPE AND REEL ¹	PART MARKING	PACKAGE DESCRIPTION	MSL RATING	TEMPERATURE RANGE ²
LT8440RS8E#PBF	LT8440RS8E#TRPBF	8440	8-Lead Narrow SOIC	3	-55°C to 150°C

¹ テープ&リールの仕様。このパッケージは指定された販売チャンネルを通じて 500 個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

² LT8440R は、-55°C~150°C のジャンクション温度範囲で仕様規定されています。ジャンクション温度が高いと動作寿命が低下します。動作寿命は 150°C を超えるジャンクション温度ではディレーティングされます。これらの仕様に整合する最大周囲温度は、基板レイアウト、パッケージの定格熱抵抗、およびその他の環境要因と共に、特定の動作条件によって決まります。

関連製品

表 8. 関連製品

製品番号	説明	注釈
ADIN1100	堅牢な産業用 10BASE-T1L イーサネット PHY	IEEE 802.3cg-2019 に準拠、低消費電力、40 ピン、6mm × 6mm LFCSP
ADIN1110	堅牢な産業用 10BASE-T1L イーサネット MAC-PHY	IEEE 802.3cg-2019 に準拠、超低消費電力、40 ピン、6mm × 6mm LFCSP
LTC9111	産業用 SPoE PD コントローラ	IEEE 802.3cg に準拠、2.3V~60V 入力、SCCP をサポート、12 ピン MSOP または 4mm × 3mm DFN
LT8606/LT8606B	静止電流が 2.5μA の 42V、350mA 同期整流式降圧レギュレータ	V _{IN} = 3V~42V、I _Q = 2.5μA、V _{OUT(MIN)} = 0.8V、MSOP-10 または 2mm × 2mm DFN
LTC3315B	デュアル 5V、2A 同期整流式降圧 DC/DC コンバータ	V _{IN} = 2.25V~5.5V、V _{OUT(MIN)} = 0.5V、2mm × 2mm LQFN
ADP2140	3MHz、600mA、300mA LDO 対応、低静止電流降圧レギュレータ	1.5V~3.3V の降圧出力、0.8V~3.3V の LDO 出力、3mm × 3mm LFCSP
MAX25210	車載用超低静止電流リニア・レギュレータ・ファミリ	V _{IN} = 3.5V~36V、固定 (3.3V または 5V) または調整可能な出力、最大 300mA、3mm × 3mm TQFN

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。