

V_{IN} および V_{OUT} が 100V の 同期 4 スイッチ 多相昇降圧 DC/DC コントローラ

特長

- ▶ 内蔵の多相電流分担
- ▶ 99.9%効率の 18 μ A パススルー・モード I_q
- ▶ パススルーまたは固定出力 CCM、DCM 動作
- ▶ プログラマブルな非スイッチング・パススルー・ウィンドウ
- ▶ V_{IN} 範囲: 2.8V~100V (起動時は 4.5V 以上)
- ▶ V_{OUT} 範囲: 1V~100V
- ▶ -40V までの逆入力保護機能
- ▶ $\pm 2\%$ の出力電圧精度 (-40°C~125°C)
- ▶ プログラマブルな電流制限
- ▶ 10V クワッド N チャンネル MOSFET ゲート・ドライバ
- ▶ サイクルごとのインダクタ電流制限: $\pm 20\%$
- ▶ 降圧または昇圧時に上側 MOSFET のリフレッシュ・ノイズなし
- ▶ 固定/位相ロック可能な周波数: 80kHz~400kHz
- ▶ スペクトラム拡散周波数変調による EMI の低減
- ▶ パワー・グッド出力電圧/過電流モニタ
- ▶ 40 ピン (6mm \times 6mm) QFN パッケージで提供

アプリケーション

- ▶ 産業、テレコム、航空電子システム、オートモーティブ規格への適合に向けた開発

標準的応用例

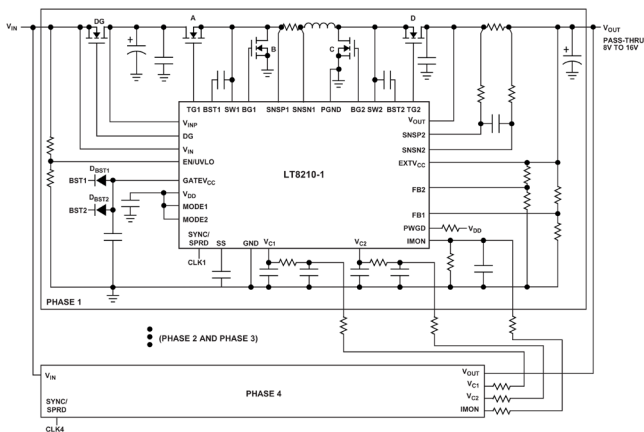


図 1. 標準アプリケーション回路

概要

LT[®]8210-1 は、パススルー・モード、強制連続導通モード、パルススキッピング・モードで動作する 4 スイッチ同期整流式昇降圧 DC/DC コントローラです。パススルーは、入力電圧がユーザ設定可能なウィンドウ内にある場合に、入力をそのまま出力に渡す機能です。パススルー・モードでは、スイッチング損失と EMI を排除しながら効率を最大化します。入力電圧がパススルー・ウィンドウを上回るか下回る場合、降圧または昇圧レギュレーション・ループが、それぞれ設定された最大値または最小値に出力を維持します。LT8210-1 は LT8210 とピン互換です。LT8210-1 の IMON ピンには ISHARE 機能があり、マスターレス電流分担が可能です。

複数の LT8210-1 を並列に接続することで、出力電流を高め、電圧リップルを低減できます。マスターレスの閉ループ電流分担ループにより、位相あたりの電流がバランスし、位相シェディングが可能です。N チャンネル MOSFET を 1 つ追加することで、オプションの -40V までの逆入力保護機能を実装できます。LT8210-1 には、出力または入力の平均電流を正確に監視および制限できる高精度電流検出アンプが搭載されています。

本紙記載の登録商標は、全て各社の所有に属します。第 10135340 号を含む米国特許により保護されています。

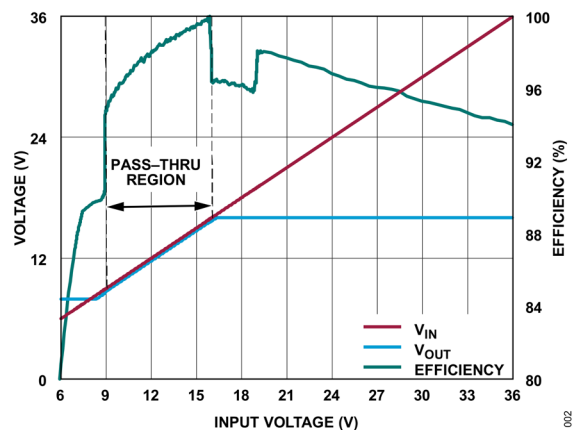


図 2. 75A 負荷でのパススルー伝達特性
($V_{OUT(BOOST)} = 8V$ 、 $V_{OUT(BUCK)} = 16V$)

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

改訂履歴

版数	改訂日	説明	改訂ページ
Rev 0	02/2024	初版発行	—
Rev A	04/2024	図 57 と 図 79 を更新	33, 56

目次

特長.....	1
アプリケーション.....	1
概要.....	1
標準的応用例.....	1
改訂履歴.....	2
仕様.....	5
絶対最大定格.....	12
熱抵抗.....	13
ピン配置およびピン機能の説明.....	13
ブロック図.....	17
代表的な性能特性.....	18
動作原理.....	25
概要.....	25
連続導通モード (CCM).....	25
不連続導通モード (DCM).....	25
パススルー・モード.....	26
パワー・スイッチの制御 (CCM 動作、DCM 動作).....	26
パワー・スイッチの制御：降圧領域 ($V_{INP} > 1.19 \cdot V_{OUT}$).....	27
パワー・スイッチの制御：昇圧領域 ($V_{INP} < 0.84 \cdot V_{OUT}$).....	27
パワー・スイッチの制御：昇降圧領域 ($0.84 \cdot V_{OUT} < V_{INP} < 1.19 \cdot V_{OUT}$).....	27
パワー・スイッチの制御 (パススルー・モード).....	29
動作モード間の遷移.....	30
イネーブルと起動.....	30
EXTV _{CC} /GATEV _{CC} /V _{DD} 電源.....	31
逆入力保護.....	32
マルチフェーズでの電流分担.....	33
降圧ループのフォールドバック.....	34
PWGD ピン.....	34
アプリケーション情報.....	35
最大出力電流と R _{SENSE} の選択.....	36
インダクタの選択.....	37
スイッチング周波数の選択.....	38
RT によるスイッチング周波数設定.....	39

周波数の同期.....	39
スペクトラム拡散周波数変調.....	40
パワーMOSFETの選択.....	41
スイッチ A :	42
スイッチ B :	42
スイッチ C :	43
スイッチ D :	43
C_{IN} と C_{OUT} の選択.....	44
ブートストラップ・コンデンサ (C_{BST1} 、 C_{BST2})	45
ブートストラップ・ダイオード (D_{BST1} 、 D_{BST2})	46
$EXTV_{CC}$ 、 $GATEV_{CC}$ 、 V_{DD}	46
出力電圧の設定.....	47
電流制限の設定.....	48
多相電流部品の選択.....	48
V_{IN} UVLO の設定	49
ソフトスタート.....	50
ループ補償.....	51
オプションの DG MOSFET の選択.....	52
パススルー動作についての部品の最適化.....	52
効率に関する考慮事項.....	53
PC ボード・レイアウト時のチェックリスト.....	54
標準的応用例.....	56
外形寸法.....	57
オーダー・ガイド.....	58
関連製品.....	58

仕様

表 1. 電気的特性

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{EN/UVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
Voltage Supplies and Regulators							
V_{IN} , V_{INP} Input Operating Voltage Range	V_{IN_OPR} V_{INP_OPR}	Minimum Voltage for Start-Up ($V_{EXTVCC} = 0\text{V}$)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	4.5		100	V
		After Start-Up, $V_{EXTVCC} = 12\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.8		100	
V_{IN} Quiescent Current	I_Q	Shutdown ($V_{EN/UVLO} = 0\text{V}$)			1	5	μA
		Not Switching			4	15	
		Internal Charge Pump Enabled ($V_{DG} - V_{IN} = 3.5\text{V}$)			1400	1800	
V_{INP} Quiescent Current	I_{INP_Q}	Shutdown ($V_{EN/UVLO} = 0\text{V}$)			0.1	1.0	μA
		Not Switching			650	1300	
		Internal Charge Pump Enabled ($V_{DG} - V_{IN} = 3.5\text{V}$)			1900	2700	
		Pass-Thru (Non-Switching, $V_{INP} = 48\text{V}$)			18	33	
V_{OUT} Quiescent Current	I_{OUT_Q}	$V_{OUT} = 12\text{V}$			1.5	3	μA
GATEV _{CC} Voltage	V_{GATE_VCC}	$I_{GATEVCC} = 25\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	9.75	10.5	11.2	V
GATEV _{CC} Current Limit	$I_{GATE_VCC_ILIM}$	Regulated from V_{INP} , $V_{INP} = 12\text{V}$, $V_{GATEVCC} = 9\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	65	110		mA
		Regulated from V_{INP} , $V_{INP} = 100\text{V}$, $V_{GATEVCC} = 9\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	16	25		
		Regulated from EXT _{VCC} , $V_{EXTVCC} = 12\text{V}$, $V_{GATEVCC} = 9\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	75	115		
		Regulated from EXT _{VCC} , $V_{EXTVCC} = 40\text{V}$, $V_{GATEVCC} = 9\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	55	90		

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{EN/UVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
GATEV _{CC} Load Regulation		$I_{\text{GATEVCC}} = 0\text{mA to } 50\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		1.8	5	%
GATEV _{CC} Regulator Dropout Voltage	$V_{\text{GATE_VCC_DO}}$	$V_{\text{INP}} - V_{\text{GATEVCC}}$: $I_{\text{GATEVCC}} = 50\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		750	1600	mV
		$V_{\text{EXTVCC}} - V_{\text{GATEVCC}}$: $I_{\text{GATEVCC}} = 50\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		600	1400	
GATEV _{CC} Undervoltage Lockout Threshold	$V_{\text{UVLO_TH}}$	Falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	3.61	3.75	3.85	V
GATEV _{CC} Undervoltage Lockout Hysteresis	$V_{\text{UVLO_HYST}}$				0.20		V
GATEV _{CC} Backdrive Current	$I_{\text{BK_DRV}}$	To V_{INP} Pin, $V_{\text{GATEVCC}} = 10\text{V}$, $V_{\text{INP}} = 0\text{V}$			40		μA
		To E_{XTVCC} Pin, $V_{\text{GATEVCC}} = 10\text{V}$, $V_{\text{EXTVCC}} = 0\text{V}$			3		
EXTV _{CC} Switchover Voltage	$V_{\text{SW_OV_EXTVCC}}$	Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	7.3	8	8.8	V
EXTV _{CC} Switchover Hysteresis					1.2		V
V _{DD} Voltage	V_{DD}			3.15	3.3	3.4	V
V _{DD} Current Limit	$I_{\text{VDD_LIM}}$	$V_{\text{DD}} = 3\text{V}$		9			mA
V _{DD} Undervoltage Lockout Threshold	$V_{\text{UVLO_TH_VDD}}$	Falling		2.7	2.8	2.9	V
V _{DD} Undervoltage Lockout Hysteresis					140		mV
Enable Comparator							
EN/UVLO Enable Threshold	$V_{\text{EN_TH}}$	Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	1.27	1.45	1.61	V
EN/UVLO Enable Hysteresis	$V_{\text{EN_HYST}}$				100		mV
EN/UVLO Pin Bias Current	$I_{\text{EN_BIAS}}$	$V_{\text{EN/UVLO}} = 100\text{V}$		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.1	1	μA
Reverse Input Protection							

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{ENUVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
DG Gate Drive Voltage ($V_{DG} - V_{IN}$)	V_{DG_DRIVE}	Non-Switching	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	7.0	8.5		V
Reverse Input Disconnect Threshold (V_{IN})	$V_{REV_DIS_TH}$	$I_{DG} = 100\mu\text{A}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	-1.8	-1.2	-0.5	V
DG Pin Pull-Down Current	$I_{DB_PULL_DN}$	$V_{IN} = -4\text{V}$, $V_{DG} - V_{IN} = 5\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	50	80	130	mA
DG Pin Pull-Up Current	$I_{DG_PULL_UP}$	$V_{DG} - V_{IN} = 1.5\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	100	180		μA
		$V_{DG} - V_{IN} = 8.5\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	4	25		
DG Undervoltage Threshold ($V_{DG} - V_{IN}$)	$V_{DG_UV_TH}$	Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.3	2.8	3	V
DG Undervoltage Hysteresis ($V_{DG} - V_{IN}$)	$V_{DG_UV_HYST}$				700		mV

Voltage Regulation

FB1 Regulation Voltage	V_{FB1}	Regulation Voltage for CCM, DCM Operation, Pass-Thru Mode Boost Loop	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.982	1.00	1.016	V
FB2 Regulation Voltage	V_{FB2}	Regulation Voltage Pass-Thru Mode Buck Loop	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.98	1.00	1.02	V
FB1, FB2 Input Bias Current	I_{B_FB1} I_{B_FB2}		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.001	0.04	μA
FB1, FB2 Line Regulation		$V_{INP} = 3\text{V to } 100\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.001	0.008	%/V
FB1, FB2 Error Amplifier Transconductance					450		$\mu\text{A/V}$

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{ENUVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
V_{C1} , V_{C2} Output Impedance					5		$\text{M}\Omega$
V_{C1} , V_{C2} Maximum Sourcing Current	I_{VC1_SOURCE} I_{VC2_SOURCE}	$V_{FB1} = V_{FB2} = 0\text{V}$			35		μA
V_{C1} , V_{C2} Maximum Sinking Current	I_{VC1_SINK} I_{VC2_SINK}	$V_{FB1} = V_{FB2} = 2\text{V}$			-35		μA
Soft-Start Charging Current	I_{SS}	$V_{SS} = 0.5\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	3.5	5	6	μA
Soft-Start Pull-Down Resistance	R_{SS_PD}				140	250	Ω

Average Current Monitoring / Sharing / Limiting

SNSP2, SNSN2 Operating Voltage Range	V_{SNSP2_OPR} V_{SNSN2_OPR}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0		100	V
SNSP2, SNSN2 Pin Bias Current	I_{B_SNSP2}	$V_{SNSP2} = V_{SNSN2} = 100\text{V}$			1	3	μA
	I_{B_SNSN2}	$V_{SNSP2} = V_{SNSN2} = 0\text{V}$		-3	0		
IMON Output Current	I_{MON}	$V_{SNSP2} - V_{SNSN2} = 150\text{mV}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	84	90	95	μA
		$V_{SNSP2} - V_{SNSN2} = 50\text{mV}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	27	30	33	
		$V_{SNSP2} - V_{SNSN2} = 10\text{mV}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	4	6	8	
Current Sharing Mismatch ($V_{SNSP2} - V_{SNSN2}$)		$V_{SNSP2} - V_{SNSN2} = 50\text{mV}$, $R_{IMON} = 11\text{k}\Omega$			5		mV
IMON DC CMRR		$V_{SNSP2} - V_{SNSN2} = 150\text{mV}$, $V_{SNSP2} = 3\text{V}$ to 100V			110		dB
IMON Step Response Time		Step $V_{SNSP2} - V_{SNSN2}$ from 0mV to 150mV			2		ms

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{ENUVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
Overcurrent Warning Threshold (V_{IMON})	V_{IMON}	Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	1.15	1.2	1.24	V
Overcurrent Warning Hysteresis	V_{HYST_OC}				45		mV
IMON Disable Threshold (V_{IMON_TH})	V_{IMON_TH}	Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2.3	2.5	2.8	V
IMON Disable Hysteresis	V_{HYST_IMON}				400		mV

Cycle-by-Cycle Inductor Current Limiting

Maximum Current Sense Threshold ($V_{SNSP1} - V_{SNSN1}$)	V_{SNS_TH}	Buck Regulation ($V_{INP} = 24\text{V}$, $V_{OUT} = 0\text{V}$)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	45	53	61	mV
Maximum Current Sense Threshold ($V_{SNSP1} - V_{SNSN1}$)	V_{SNS_TH}	Buck Regulation ($V_{INP} = 24\text{V}$, $V_{OUT} = 12\text{V}$)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	55	62	70	mV
		Boost Regulation ($V_{INP} = 6\text{V}$, $V_{OUT} = 12\text{V}$)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	45	51	58	
		Buck Regulation ($V_{INP} = 100\text{V}$, $V_{OUT} = 48\text{V}$)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	73	85	101	
		Boost Regulation ($V_{INP} = 24\text{V}$, $V_{OUT} = 48\text{V}$)	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	36	45	54	
Maximum Non-Switching Current Sense Threshold in Pass-Thru ($V_{SNSP1} - V_{SNSN1}$)	$V_{SNS_TH_PT}$	$V_{OUT} = V_{INP}$, $\text{FB1} = 1.2\text{V}$, $\text{FB2} = 0.8\text{V}$ $\text{MODE1} = \text{MODE2} = 3.3\text{V}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	57	63	70	mV
Reverse Current Sense Threshold ($V_{SNSP1} - V_{SNSN1}$)	$V_{SNS_REV_TH}$	DCM/Pass-Thru Modes			3		mV
		Pass-Thru Buck-Boost Regions			-6		

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{ENUVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Negative Current Sense Threshold ($V_{SNSP1} - V_{SNSN1}$)	V_{SNS_NEG}	CCM Operating Mode (MODE1 = MODE2 = 0V)		-55		mV
MOSFET Gate Drivers						
TG1, TG2 Gate Driver Pull-Up Resistance	R_{TG_PU}			3		Ω
TG1, TG2 Gate Driver Pull-Down Resistance	R_{TG_PD}			1		Ω
BG1, BG2 Gate Driver Pull-Up Resistance	R_{BG_PU}			2.6		Ω
BG1, BG2 Gate Driver Pull-Down Resistance	R_{BG_PD}			1		Ω
TG1, TG2 Rise Time	T_{TG_RISE}	$C_{LOAD} = 3300\text{pF}$ (10% to 90%)		30		ns
TG1, TG2 Fall Time	T_{TG_FALL}	$C_{LOAD} = 3300\text{pF}$ (10% to 90%)		20		ns
BG1, BG2 Rise Time	T_{BG_RISE}	$C_{LOAD} = 3300\text{pF}$ (10% to 90%)		20		ns
BG1, BG2 Fall Time	T_{BG_FALL}	$C_{LOAD} = 3300\text{pF}$ (10% to 90%)		25		ns
TG Off to BG On-Delay	T_{TGBG_DEL}	$C_{LOAD} = 3300\text{pF}$		60		ns
BG Off to TG On-Delay	T_{BGTG_DEL}	$C_{LOAD} = 3300\text{pF}$		60		ns
Minimum TG1 On-Time	T_{TG1_ON}	$C_{LOAD} = 3300\text{pF}$		200		ns
Minimum BG2 On-Time	T_{BG2_ON}	$C_{LOAD} = 3300\text{pF}$		100		ns
BST1, BST2 Bias Current	I_{B_BST1}	Top Gate High, $V_{BST} - V_{SW} = 10\text{V}$		6		μA
	I_{B_BST2}	Top Gate High, $V_{BST} - V_{SW} = 10\text{V}$, PassThru Mode		0.6		
BST1, BST2 Charging Current	I_{Q_BST1}	Non-Switching, $V_{BST} - V_{SW} = 8.25\text{V}$		50		μA
	I_{Q_BST2}	Non-Switching, $V_{BST} - V_{SW} = 3\text{V}$		610		
Oscillator						

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、 $V_{INP} = 12\text{V}$ 、 $V_{ENUVLO} = 3.3\text{V}$ における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
Switching Frequency Range	F_{RNG}	RT Set/Synchronized	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	80		400	kHz
Switching Frequency	F_{SW}	RT = 110k	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	91	100	108	kHz
		RT = 39.2k	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	190	200	210	
		RT = 16.9k	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	380	400	420	
SYNC/SPRD Input Low Level	V_{SYNC_LL}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$				0.8	V
SYNC/SPRD Input High Level	V_{SYNC_HL}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		1.17			V
Spread-Spectrum Max Frequency (% of f_{SW})		$V_{SYNC/SPRD} = 3.3\text{V}$			112.5		%
Spread-Spectrum Min Frequency (% of f_{SW})		$V_{SYNC/SPRD} = 3.3\text{V}$			100		%

Logic Inputs/Outputs

MODE1, 2 Input Low Level	V_{LL_MODE1} V_{LL_MODE2}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$				0.8	V
MODE1, 2 Input High Level	V_{HL_MODE1} V_{HL_MODE2}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		1.17			V
MODE1, 2 Leakage Current	$I_{L_MODE1,2}$	$V_{MODE1,2} = 6\text{V}$			0.01	1	μA
PWGD Output Low Voltage	V_{PWGD_LV}	$I_{PWGD} = 1\text{mA}$	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.07	0.2	V
PWGD Trip Level		V_{FB1} Falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	-13	-10	-8	%
		V_{FB2} Rising	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	7.5	10	12	%
PWGD Anti-Glitch Delay		V_{PWGD} Rising or Falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	2	10	20	μs
PWGD Leakage Current	I_{LEAK_PWGD}	$V_{PWGD} = 40\text{V}$			0.01	1	μA

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ (6)。

表 2. 絶対最大定格

PARAMETER	RATING
V_{IN} , EN/UVLO Voltage	-40V to 100V
DG Voltage	-40V to 113V
DG - V_{IN} Voltage	-0.3V to 13V
V_{INP} , V_{OUT} , SNSP2, SNSN2 Voltage	-0.3V to 100V
SNSP1 - SNSN1, SNSP2 - SNSN2 Voltage	-0.5V to 0.5V
BST1, BST2 Voltage	-0.3V to 115V
SW1, SW2, SNSP1, SNSN1 Voltage (4)	100V
BST1 - SW1, BST2 - SW2 Voltage	-0.3V to 15V
BST1 - SNSP1, BST1 - SNSN1 Voltage	-0.3V to 15V
TG1, TG2, BG1, BG2	(2)
GATEV _{CC} Voltage	-0.3V to 15V
EXTV _{CC} , PWGD Voltage	-0.3V to 40V
MODE1, MODE2, SYNC/SPRD Voltage	-0.3V to 6V
FB1, FB2, IMON, RT Voltage	-0.3V to 6V
V_{DD}	-0.3V to 6V
V_{C1} , V_{C2} , SS Voltage (5)	-0.3V to V_{DD}
Operating Junction Temperature LT8210A-1 (1, 3)	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

¹ LT8210A-1 は、 -40°C ~ 125°C のジャンクション温度で性能仕様に適合することが確認されています。

² これらのピンには電圧も電流も印加しないでください。接続するのは容量性負荷のみにしてください。それ以外の場合、恒久的な損傷が生じる可能性があります。

³ この IC には一時的な過負荷からデバイスを保護するための過熱保護機能が搭載されています。過熱保護機能が作動した場合、ジャンクション温度は最大動作ジャンクション温度を超えます。仕様規定された最高動作ジャンクション温度を超える温度での連続動作は、デバイスの信頼性を損なう可能性があります。

⁴ SW1, SW2, SNSP1, SNSN1 の各ピンの負電圧は、アプリケーションでは外付け NMOS デバイス (MB および MC) のボディ・ダイオード、または並列のショットキー・ダイオード (存在する場合) によって制限されます。これらのピンは、グラウンドからダイオード 1 個の電圧降下分を超えた負電圧に耐えられることが、設計により確認されています。

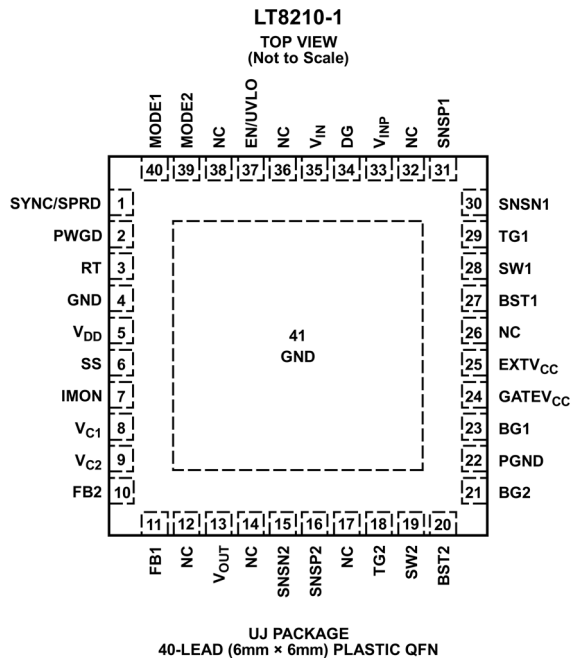
⁵ VC1, VC2, SS のピンには強制的に電圧を印加しないでください。

⁶ 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらはストレス定格のみを定めたものであり、この仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には細心の注意が必要です。

ピン配置およびピン機能の説明



003

図 3. ピン配置図

表 3. 端子説明

ピン	名称	説明
Pin 1	SYNC/SPRD	外部クロック同期入力。外部同期の場合は、80kHz~400kHzのクロック信号をこのピンに印加します。内蔵のPLLにより、発振器は外部クロック信号に同期します。RT設定のスイッチング周波数でスペクトラム拡散動作を有効にする場合は、このピンをV _{DD} ピンに接続し、それ以外の場合はグラウンドに接続します。
Pin 2	PWGD	パワー・グッド・インジケータ。オープン・ドレイン・ロジック出力で、出力電圧が設定値の±10%から外れるか、IMONピンの電圧が1.20Vより高くなると、グラウンドにプルダウンされます。このピンは、プルアップ抵抗を介して最大40Vの任意の電圧レールに接続できます。V _{DD} またはGATEV _{CC} をプルアップ電源として使用すると、デバイスがディスエーブルされたときにPWGDが正しい状態になるという利点が得られます。
Pin 3	RT	周波数設定ピン。このピンとGNDの間に抵抗を接続して、スイッチング周波数を設定します。周波数の調整範囲は、80kHz~400kHzです。アプリケーション情報のセクションの表2を参照してください。
Pin 5	V _{DD}	内部で安定化された3.3V電源レール。このピンは、2.2μF以上のセラミック・コンデンサを使って、グラウンドにバイパスします。MODE1、MODE2、SYNC/SPRDピンをロジック・ハイにするためにV _{DD} を使用することもできます。
Pin 6	SS	ソフトスタート入力。このピンとグラウンドの間にコンデンサを接続すると、V _{C1} とV _{C2} の電圧が内部でクランプされることにより、起動時のインダクタ電流の上昇率が設定されます。スイッチングがイネーブルされると、SSピンから5μAのソース電流が流れ、スイッチングがディスエーブルされている間、SSピンはグラウンドに保持されます。
Pin 7	IMON	平均電流合算分担出力。このピンから流れ出す電流は、SNSP2入力とSNSN2入力間の電圧差に比例します。このピンを11kΩの抵抗を介してグラウンドに接続し、電流分担する場合は複数のLT8210-1のIMONピンを相互に接続します。IMONピン間のRCフィルタによって、局所的なグラウンド電圧の変動によるノイズの問題を解決できます。
Pin 8	V _{C1}	CCMおよびDCM動作時のエラー・アンプ出力とスイッチング・レギュレータの補償ポイント。パススルー・モードでは、このピンが昇圧レギュレータ・ループの補償点になります。電流モード・コンパレータのトリップ・ポイントは、この制御電圧に応じて増加します。
Pin 9	V _{C2}	パススルー・モード時の降圧ループのエラー・アンプ出力とスイッチング・レギュレータの補償ポイント。電流モード・コンパレータのトリップ・ポイントは、この制御電圧に応じて増加します。パススルー・モードを使用しない場合は、V _{C2} をフロート状態にします。
Pin 10	FB2	パススルー・モード時の降圧レギュレーション・ループのエラー・アンプ帰還入力。出力両端の外付け抵抗分圧器から降圧コントローラの帰還電圧を受け取ります。パススルー・モードを使用しない場合は、このピンをフロート状態にします。
Pin 11	FB1	CCMとDCMの動作モード時におけるエラー・アンプ帰還入力。パススルー・モード時の昇圧レギュレーション・ループにおける帰還入力。出力両端の外付け抵抗分圧器から帰還電圧を受け取ります。

ピン	名称	説明
Pin 13	V _{OUT}	出力電圧検出。このピンには、スイッチ D のドレインへのケルピン接続が必要です。V _{OUT} のリップルが大ききときのジッタ性能を向上させるため、値の小さな RC ローパス・フィルタ（例えば、50Ω と 22nF）を使用します。
Pins 15, 16	SNSN2, SNSP2	平均電流検出モニタの正 (+) 入力と負 (-) 入力。SNSP2、SNSN2 は、入力、出力、または負荷と直列に配置されたセンス抵抗の正端子と負端子に接続します。スイッチング・ノイズのフィルタのため、センス抵抗と本デバイスの間には時定数がおおよそ 1μs のフィルタ・ネットワークを配置します。
Pin 18	TG2	昇圧レギュレータの上側ゲート・ドライブ。上側の N チャンネル MOSFET を、SW2 ノードの電圧に GATEV _{CC} を重畳した電圧に等しい電圧振幅で駆動します。降圧領域またはパススルー・ウィンドウ内で動作している場合、TG2 はおおよそ V _{OUT} + GATEV _{CC} に保持されます。
Pin 19	SW2	昇圧レギュレータのスイッチ・ノード。このピンにはブーストストラップ・コンデンサの (-) 端子を接続します。
Pin 20	BST2	昇圧レギュレータの昇圧フローティング・ドライブ電源。このピンにはブーストストラップ・コンデンサの (+) 端子を接続します。昇圧レギュレーション・ループがスイッチングしているとき、BST2 ピンの電圧はおおよそ GATEV _{CC} から V _{OUT} + GATEV _{CC} の間で振れます。降圧領域またはパススルー・ウィンドウ内で動作しているとき、このピンはおおよそ V _{OUT} + GATEV _{CC} に保持されます。
Pin 21	BG2	昇圧レギュレータの下側ゲート・ドライブ。GATEV _{CC} と PGND の間の電圧振幅で下側の N チャンネル MOSFET を駆動します。
Pin 22	PGND	ドライブの電源グラウンド。C _{IN} 、C _{OUT} 、および MOSFET (M _C と M _D) のソースに接続します。
Pin 23	BG1	降圧レギュレータの下側ゲート・ドライブ。GATEV _{CC} と PGND の間の電圧振幅で下側の N チャンネル MOSFET を駆動します。
Pin 24	GATEV _{CC}	ゲート・ドライブの電源。内部で 10.6V に安定化されています。このピンは、4.7μF 以上のセラミック・コンデンサを使って、グラウンドにバイパスします。
Pin 25	EXTV _{CC}	GATEV _{CC} レギュレータの外部電源入力。GATEV _{CC} は、その電圧が 8V より高く、かつ V _{INP} より低い場合、EXTV _{CC} を基にしてリニアに安定化されます。最大 40V の電圧で駆動できます。この機能を使用しない場合は、このピンは 100k の抵抗を介してグラウンドに接続します。
Pin 27	BST1	降圧レギュレータの昇圧フローティング・ドライブ電源。このピンにはブーストストラップ・コンデンサの (+) 端子を接続します。降圧レギュレーション・ループがスイッチングしているとき、BST1 ピンの電圧はおおよそ GATEV _{CC} から V _{IN} + GATEV _{CC} の間で振れます。昇圧領域またはパススルー・ウィンドウ内で動作しているとき、このピンはおおよそ V _{IN} + GATEV _{CC} に保持されます。
Pin 28	SW1	降圧レギュレータのスイッチ・ノード。このピンにはブーストストラップ・コンデンサの (-) 端子を接続します。
Pin 29	TG1	降圧レギュレータの上側ゲート・ドライブ。上側の N チャンネル MOSFET を、SW1 ノードの電圧に GATEV _{CC} を重畳した電圧に等しい電圧振幅で駆動します。昇圧領域またはパススルー・ウィンドウ内で動作しているとき、TG1 ピンは連続的に おおよそ V _{IN} + GATEV _{CC} に保持されます。

ピン	名称	説明
Pin 30, 31	SNSN1, SNSP1	インダクタ電流検出アンプの正 (+) 入力と負 (-) 入力。適切な値のシャント抵抗をインダクタの SW1 側に直列に配置して、SNSP1 および SNSN1 に接続します。電流モード制御と逆電流検出には、SNSP1-SNSN1 間の電圧を使用します。
Pin 33	V _{INP}	保護された主入力電源。このピンには、スイッチ A のドレイン端子へのケルビン接続が必要です。ジッタ性能を向上させるため、値の小さな RC ローパス・フィルタ（例えば、1Ω と 1μF）を使用します。逆入力保護機能を実装する場合は、このピンを DG の MOSFET のドレインに接続し、それ以外の場合は V _{IN} に接続します。
Pin 34	DG	逆入力保護のゲート駆動出力。V _{IN} が -1.2V より低くなると、このピンは低抵抗のスイッチによって内部で V _{IN} にクランプされ、V _{IN} ピンと V _{INP} ピンの間の外付け MOSFET は強制的に遮断されます。通常動作時は、このピンは内部チャージ・ポンプによっておよそ V _{IN} + GATEV _{CC} まで充電され、外付け MOSFET を完全に導通させます。DG は、-40V までの負電圧に耐えることができます。
Pin 35	V _{IN}	入力電圧ピン。このピンは、起動回路と内部チャージ・ポンプに電力を供給するために使用します。V _{IN} は、レギュレータを損傷させることも大量の電流を流すこともなく、-40V までの負電圧に耐えられます。
Pin 37	EN/UVLO	高精度イネーブル入力。このピンの電圧が 1.45V を超えると、デバイスがイネーブルされます。このピンの電圧が 1.35V より低くなると、LT8210-1 は低消費電力のシャットダウン・モードになります。常時オン動作させるには、V _{IN} に接続します。低電圧ロックアウト閾値を設定するには、V _{IN} とグラウンドの間に抵抗分圧器を接続します。EN/UVLO は、40V までの負電圧に耐えることができます。
Pin 39	MODE2	動作モードの選択入力#2。MODE1 ピンと組み合わせて使用し、連続導通スイッチング (CCM)、不連続スイッチング (DCM)、パススルーのいずれかの動作モードを選択します。モードピンの設定については、動作のセクションの表 1 を参照してください。
Pin 40	MODE1	動作モードの選択入力#1。MODE2 ピンと組み合わせて使用し、連続導通スイッチング (CCM)、不連続スイッチング (DCM)、パススルーのいずれかの動作モードを選択します。モードピンの設定については、動作のセクションの表 1 を参照してください。
Pin 41/Exposed Pad	GND	信号グラウンド。全ての小信号用部品および補償部品はこのグラウンドに接続し、このグラウンド自体は、大電流やスイッチング・ノイズから遠ざけて PCB グラウンドに一点で接続します。露出パッドは、PCB にハンダ付けし、最上層の金属部分を使用して GND ピンに接続する必要があります。

ブロック図

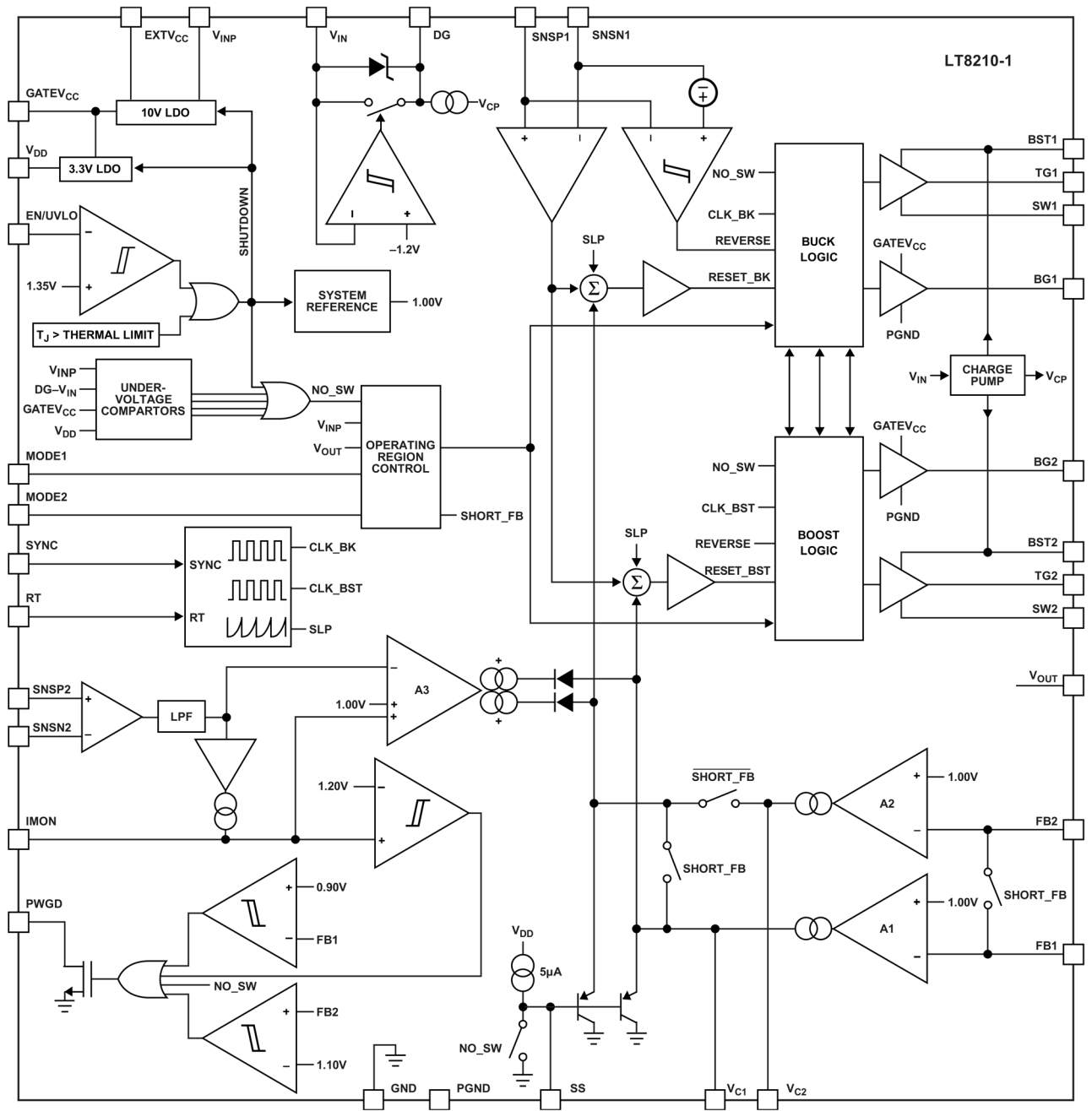


図 4. ブロック図

代表的な性能特性

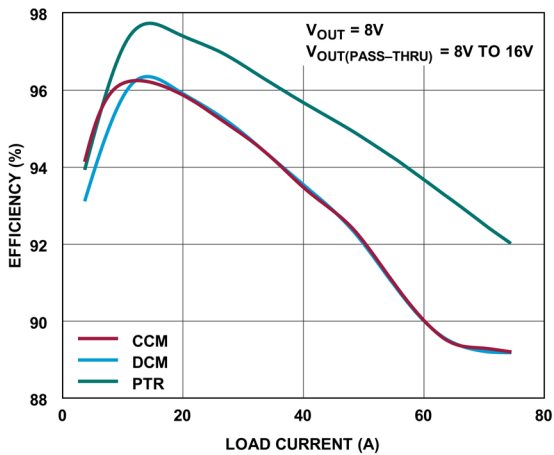


図 5. 効率と負荷電流の関係 ($V_{IN} = 6V$ - 図 79)

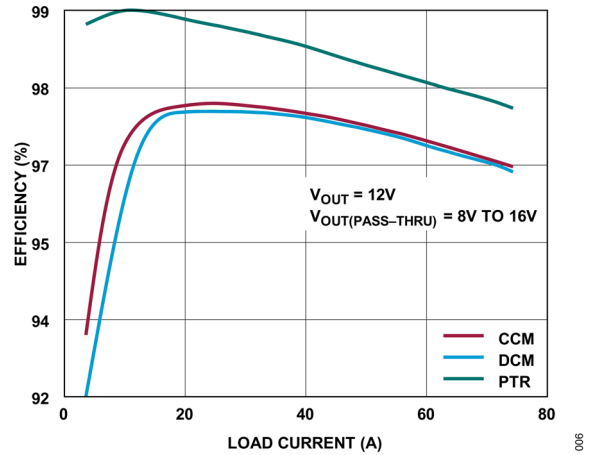


図 6. 効率と負荷電流の関係 ($V_{IN} = 12V$ - 図 79)

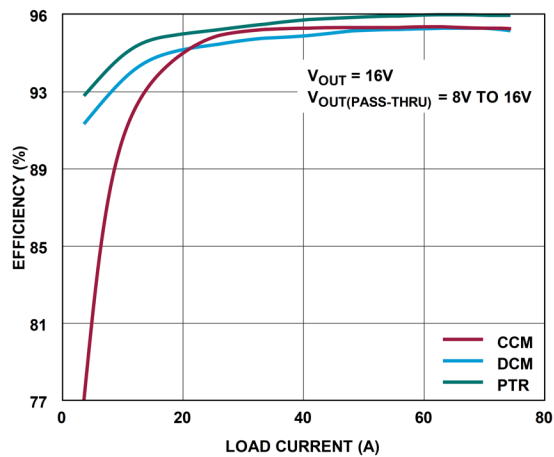


図 7. 効率と負荷電流の関係 ($V_{IN} = 36V$ - 図 79)

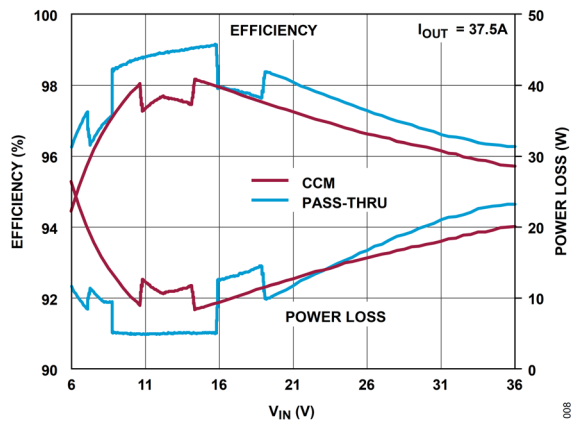


図 8. 効率および電力損失と入力電圧の関係 (図 79)

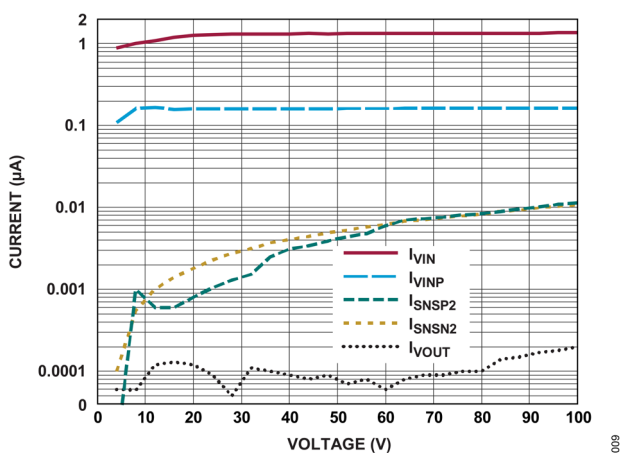


図 9. シャットダウン電流と電圧の関係

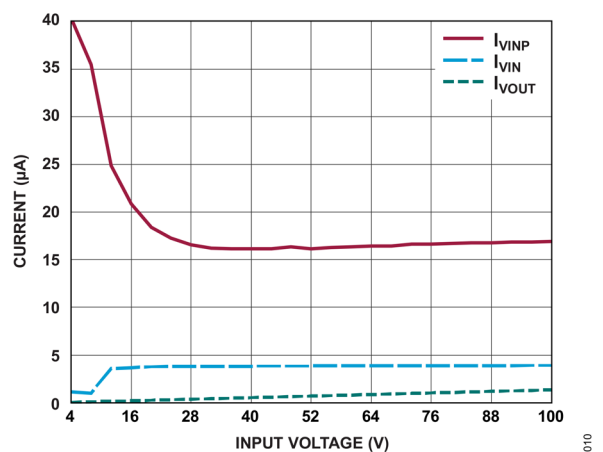


図 10. パススルー非スイッチング時の電流と入力電圧の関係

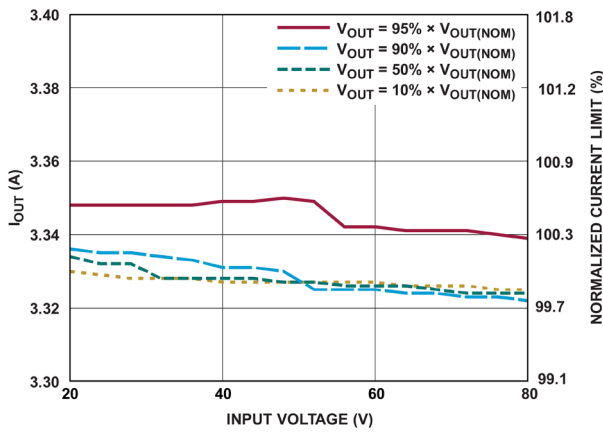


図 11. IMON 電流制限と入力電圧の関係 (図 79)

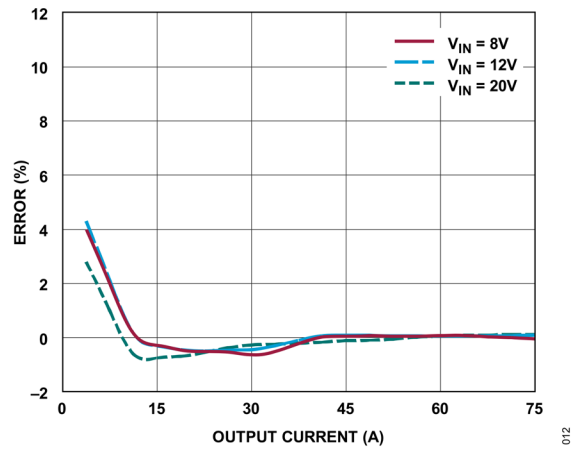


図 12. IMON の測定精度 (図 79) : $V_{IN} = 8V$, DCM

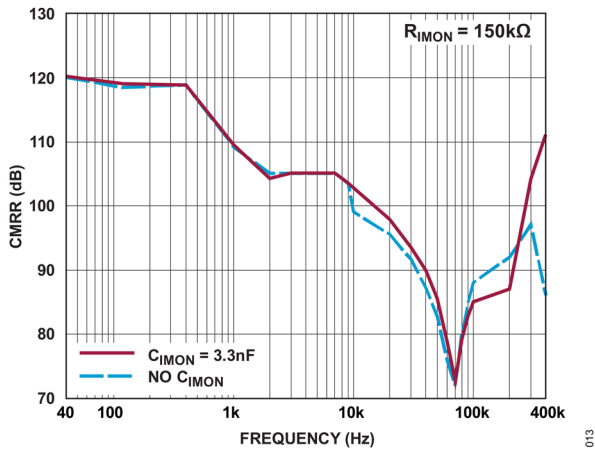


図 13. IMON CMRR の周波数特性

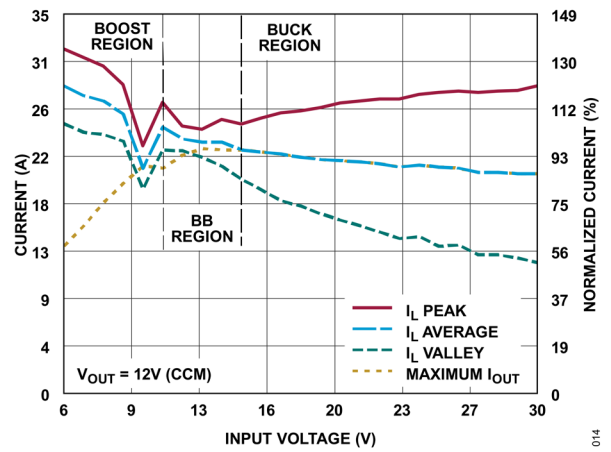


図 14. 最大インダクタ電流 : $f_{SW} = f_{SW}(\text{Optimal})$ (図 79)

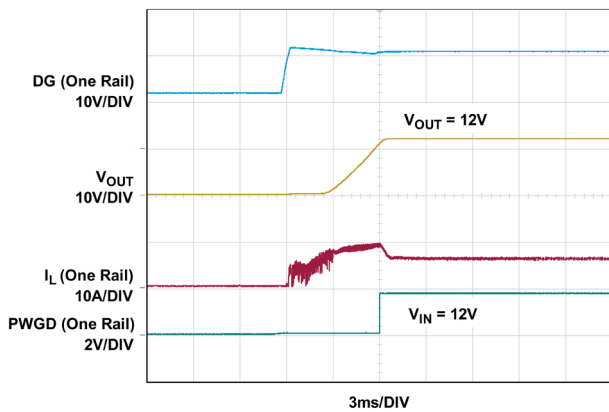


図 15. 起動 (CCM モード - 図 79)、22.5A 負荷

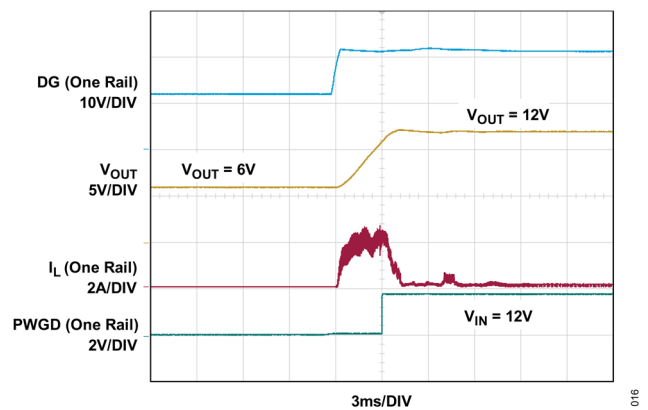


図 16. 出力プリバイアス時の起動 (CCM モード - 図 79)

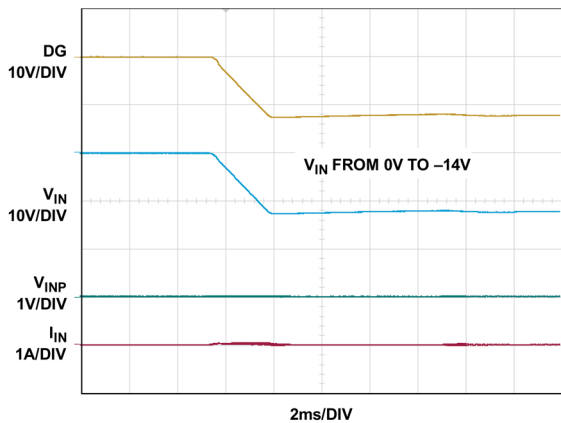


図 17. 静的な逆入力保護 (図 79)

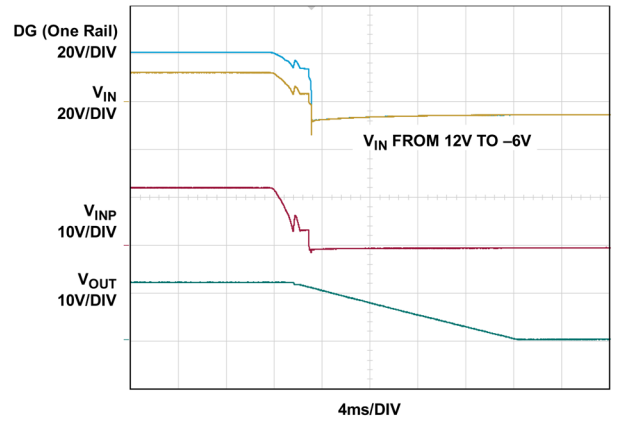


図 18. 動的な逆入力保護 (図 79)

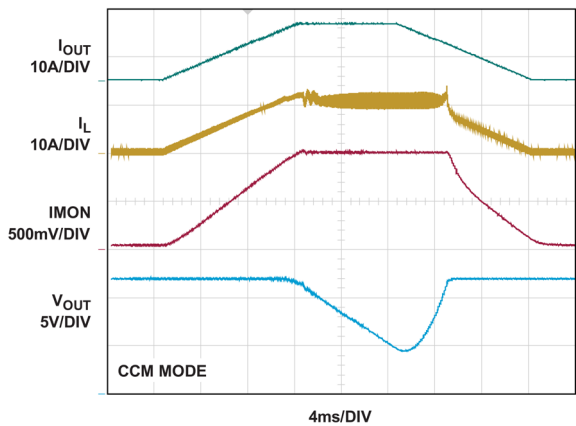


図 19. 電流レギュレーションへの遷移 (図 79)

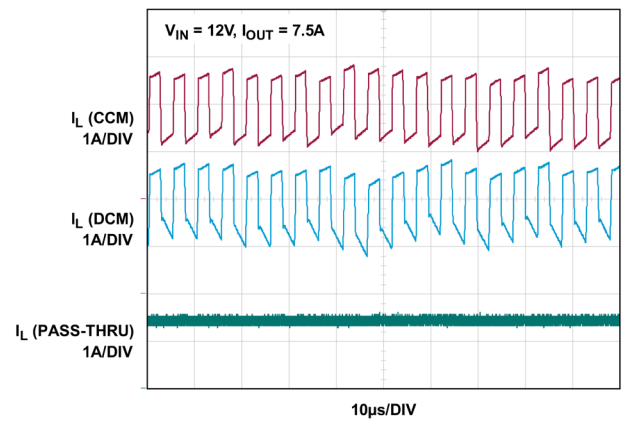


図 20. 軽負荷時のインダクタ電流 (図 79)

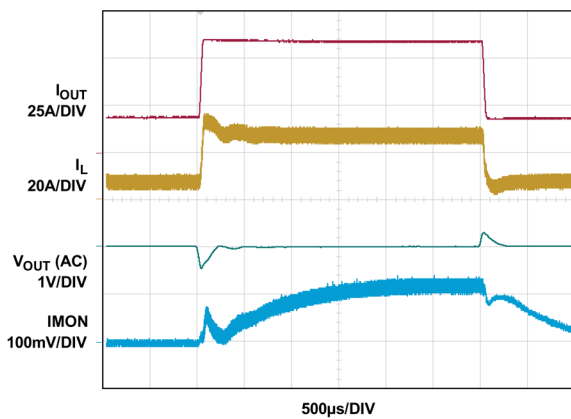


図 21. 負荷ステップ (昇圧領域 - 図 79)、
18.75A~60A、 $V_{IN} = 7V$ 、 $V_{OUT} = 12V$ 、CCM

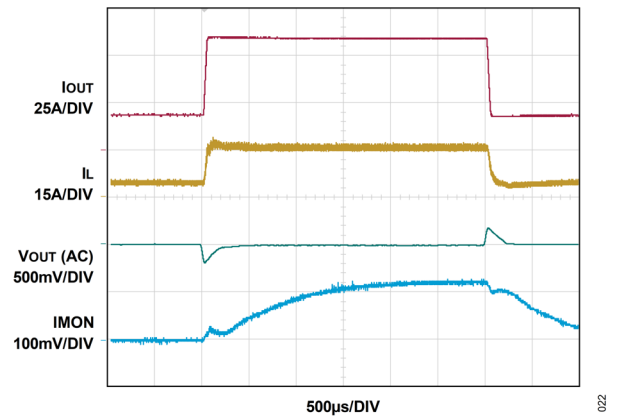


図 22. 負荷ステップ (昇降圧領域 - 図 79)、
18.75A~60A、 $V_{IN} = 12V$ 、 $V_{OUT} = 12V$ 、CCM

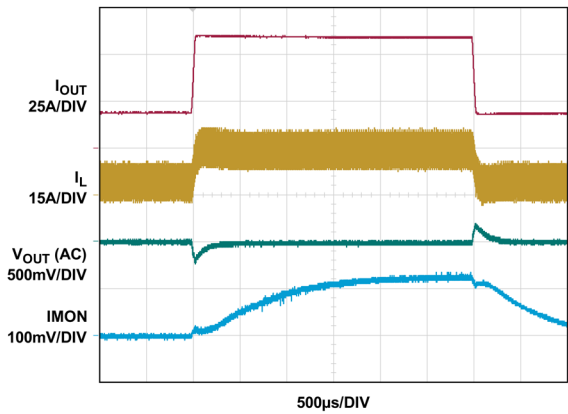


図 23. 負荷ステップ (降圧領域 - 図 79)、
18.75A~60A、 $V_{IN} = 24V$ 、 $V_{OUT} = 12V$ 、CCM

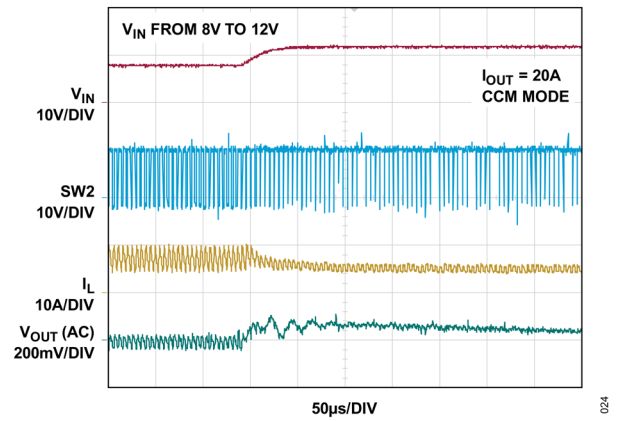


図 24. 入力電圧ステップ (昇圧領域 - 図 79)

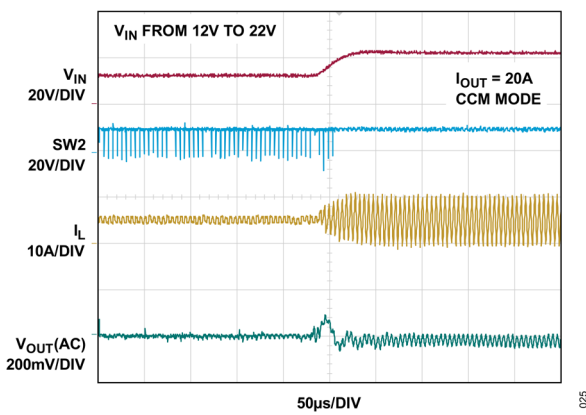


図 25. 入力電圧ステップ (昇降圧領域 - 図 79)

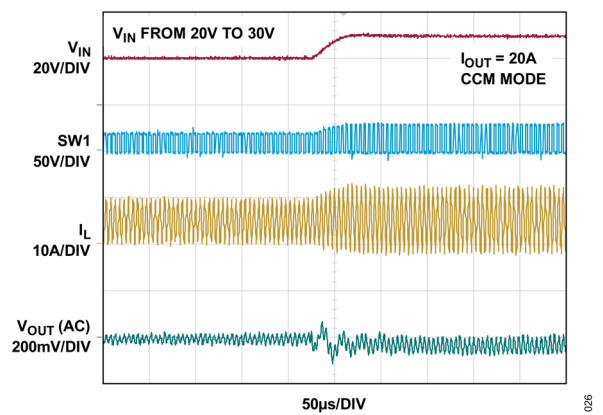


図 26. 入力電圧ステップ (降圧領域 - 図 79)

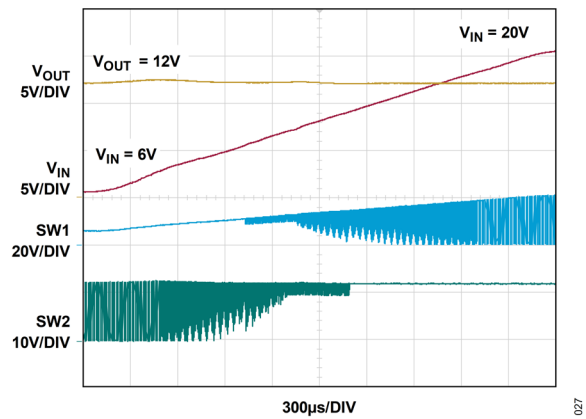


図 27. 入力電圧スイープ (CCM モード - 図 79)、37.5A 負荷

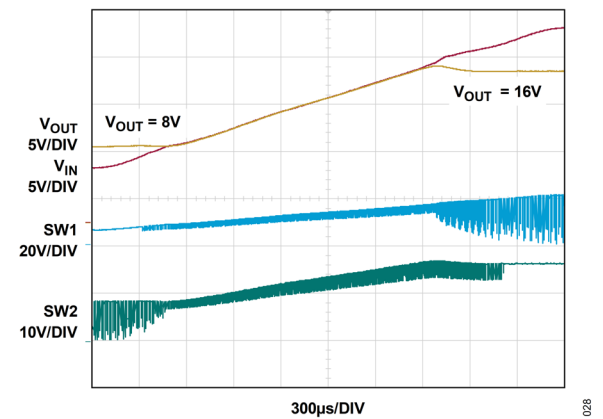


図 28. 入力電圧スイープ (パススルー - 図 79)、37.5A 負荷

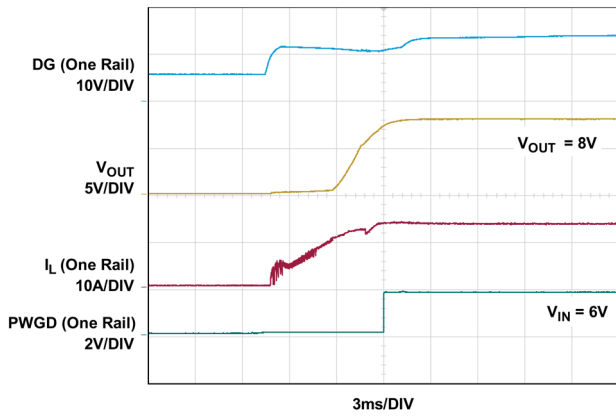


図 29. パススルー・モードでの起動：
 V_{IN} がパススルー・ウィンドウより低い場合 (図 79)

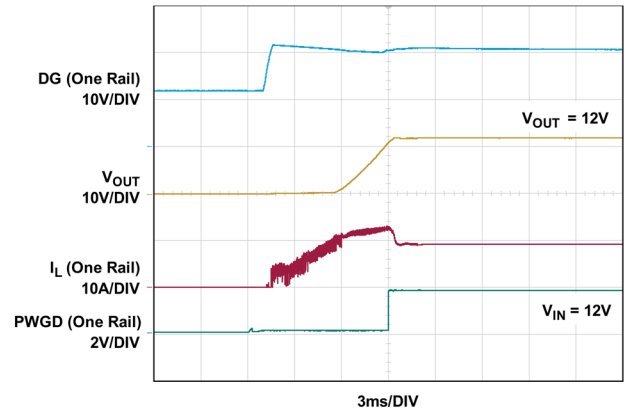


図 30. スルー・モードでの起動：
 V_{IN} がパススルー・ウィンドウ内の場合 (図 79)

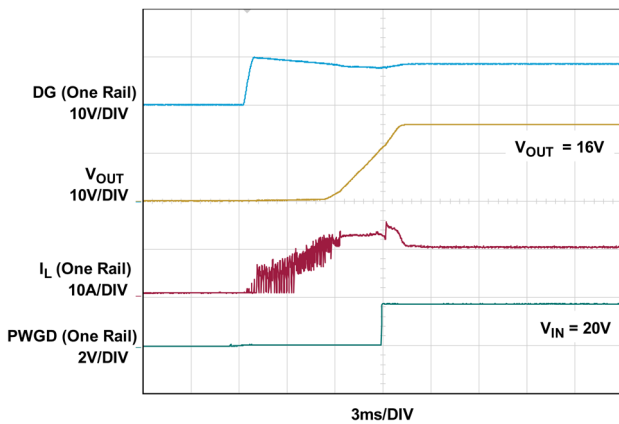


図 31. パススルー・モードでの起動：
 V_{IN} がパススルー・ウィンドウより高い場合 (図 79)

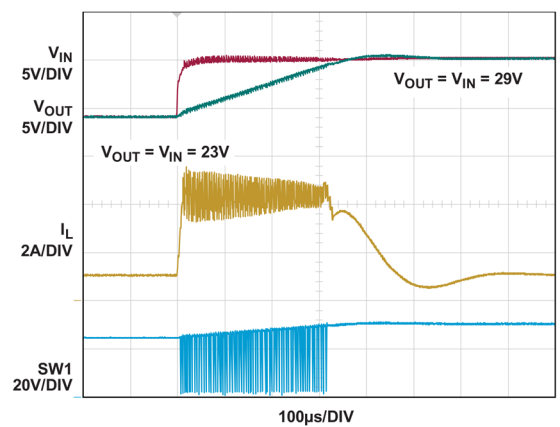


図 32. パススルー・モードでの入力電圧ステップ (図 79)

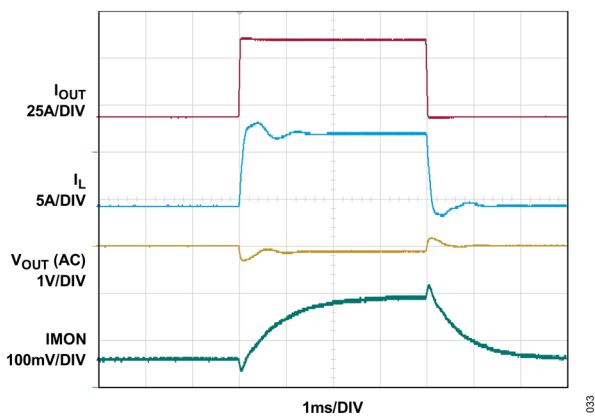


図 33. パススルー・モードでの負荷ステップ (図 79)

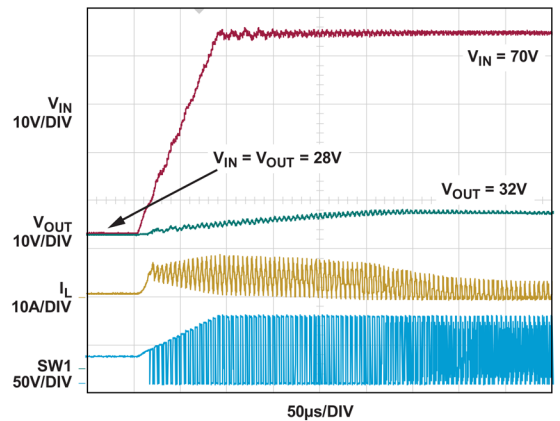


図 34. パススルー・モードでの正のサージ (図 79)

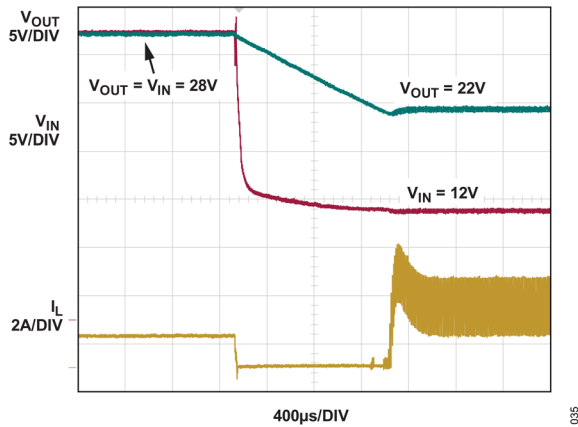


図 35. パススルー・モードでの負のサージ (図 79)

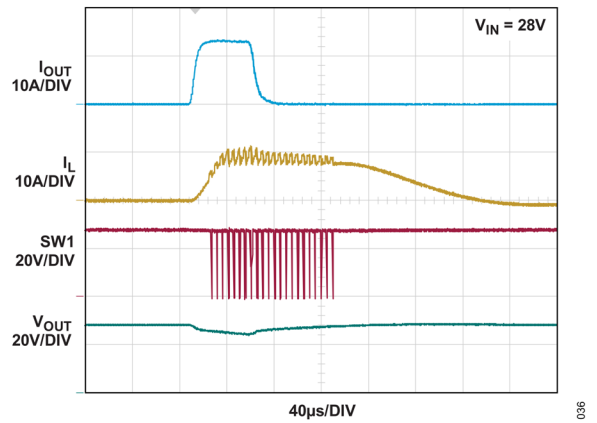


図 36. パススルー・モードでの電流制限 (図 79)

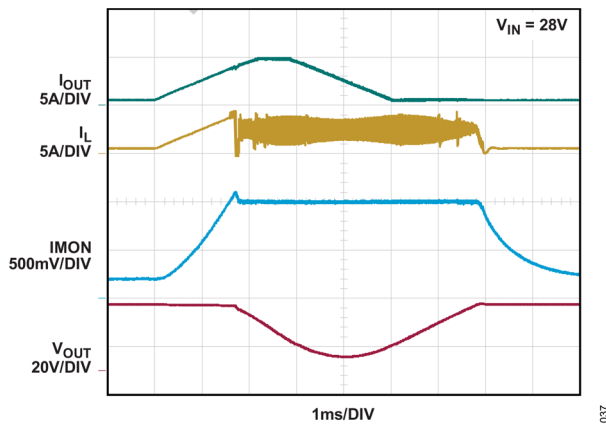


図 37. パススルー・モードでの IMON 制限 (図 79)

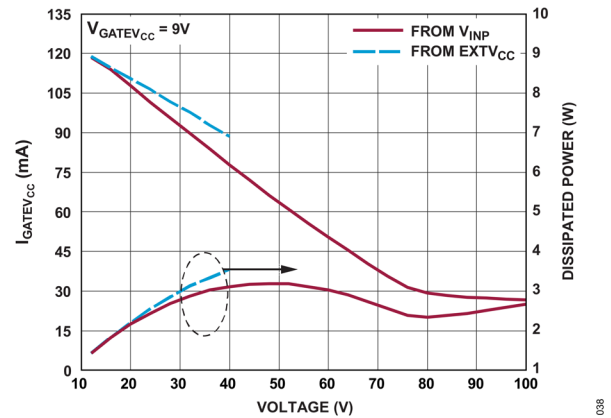


図 38. GATEV_{CC} の最大電流と電圧の関係

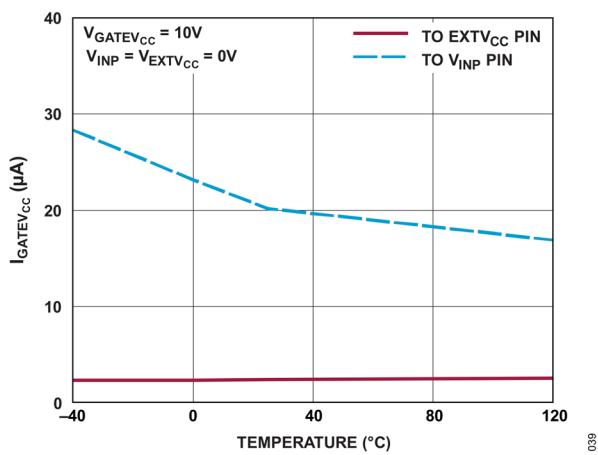


図 39. GATEV_{CC} のバックドライブ電流

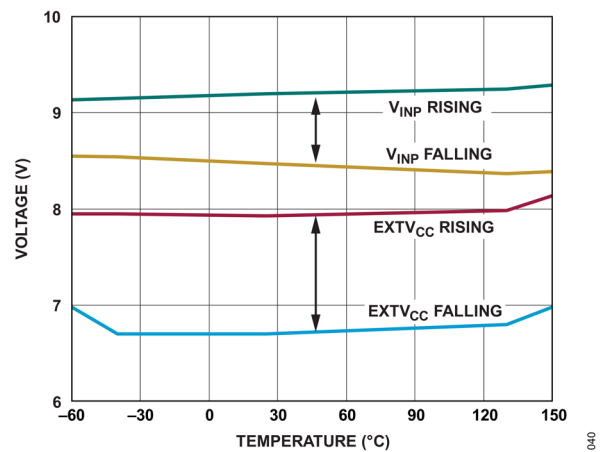


図 40. GATEV_{CC} レギュレーションでの EXT_V_{CC} と V_{INP} の切り替え閾値

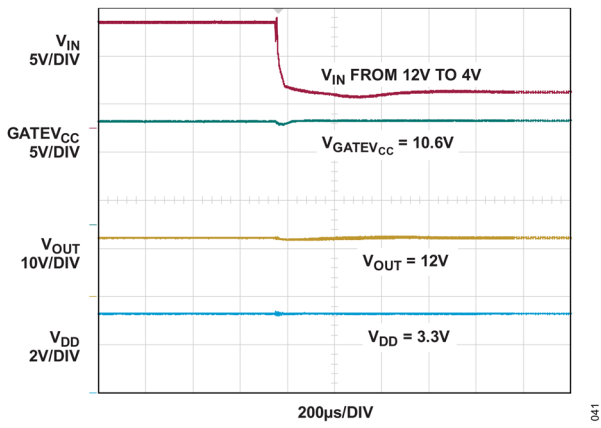


図 41. 入力電圧低下に対する GATEV_{CC} の応答 (EXTV_{CC} = 12V)

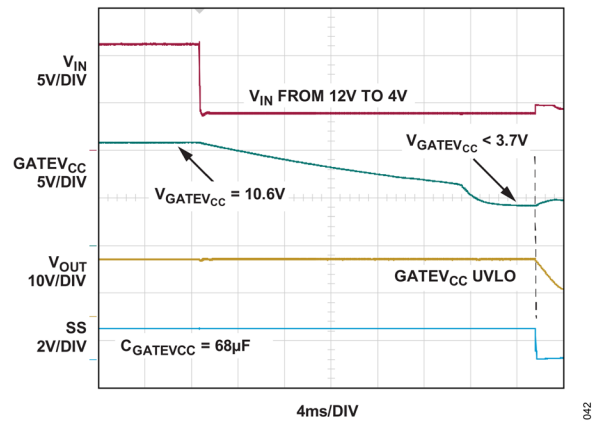


図 42. 入力電圧低下に対する GATEV_{CC} の応答 (EXTV_{CC} = 0V)

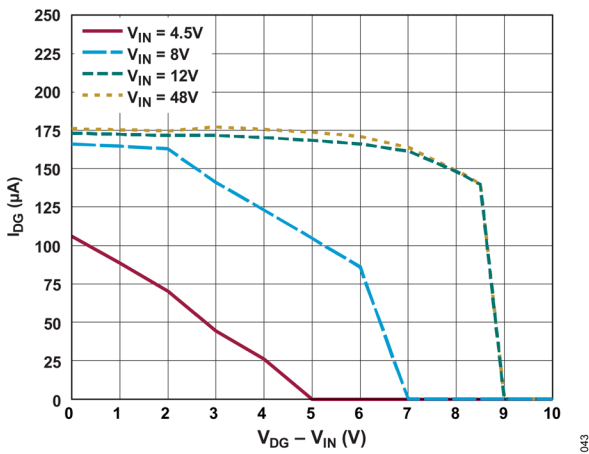


図 43. DG ピン充電電流と電圧の関係

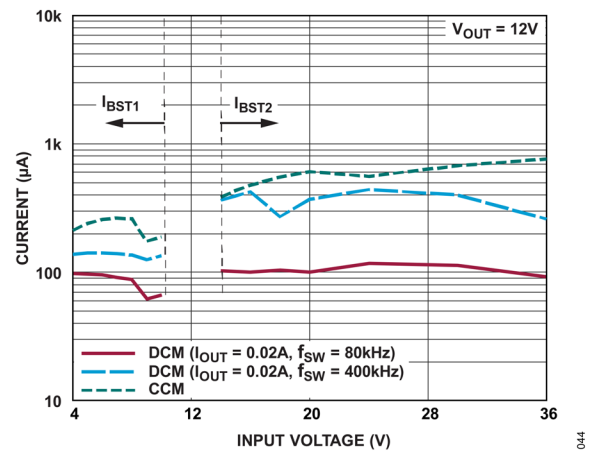


図 44. 非スイッチング・チャンネルでの BST1 と BST2 の平均充電電流

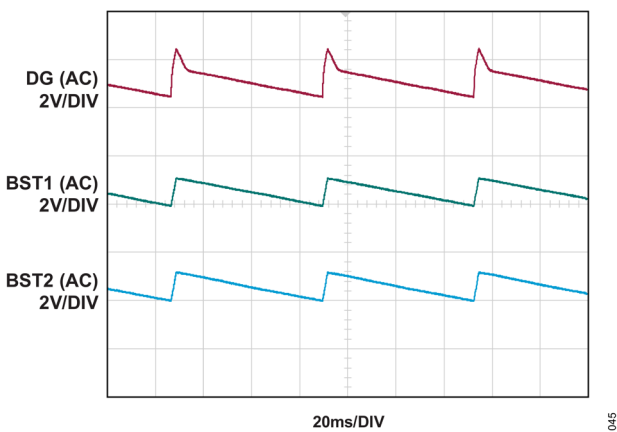


図 45. パススルー・モードでの DG、BST1、BST2 の充電 (図 79)

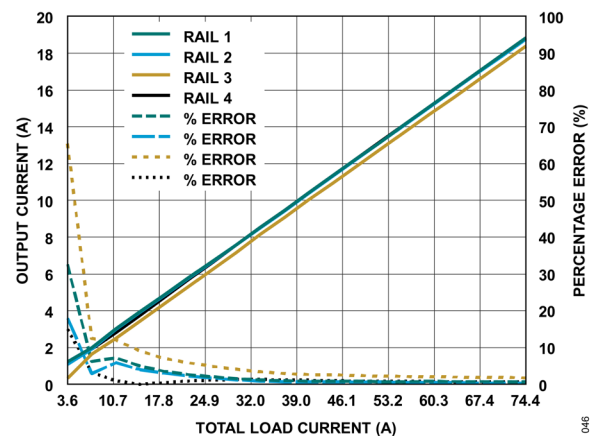


図 46. 電流分担、12VIN、CCM

動作原理

LT8210-1 の動作に関する以下のセクションを読むにあたっては、[図 4](#) を参照してください。

概要

LT8210-1 には 3 つの動作モードがあり、MODE1 ピンと MODE2 ピンをハイ (>1.17V) またはロー (<0.80V) に設定することによって選択できます。MODE1 ピンと MODE2 ピンは、その閾値電圧により、1.8V、2.5V、3.3V、5V のいずれのロジック・レベルでも駆動して動的に制御できます。動作モードを固定する場合は、MODE1 ピンと MODE2 ピンを V_{DD} に接続してハイに設定するか、グラウンドに接続してローに設定します。

表 4 に、MODE1 ピン、MODE2 ピンの様々な組み合わせに対応する動作モードを示します。連続導通モード (CCM) と不連続導通モード (DCM) では、LT8210-1 は一般的な昇降圧コントローラとして動作し、出力は V_{OUT} 、FB1、GND 間の抵抗分圧器で設定された電圧に安定化されます。パススルー・モードでは、FB1 と FB2 の抵抗分圧器でそれぞれ設定する最小値と最大値で定義されるウィンドウ内に出力電圧が安定化されます。

表 4. LT8210-1 の動作モード

MODE2	MODE1	OPERATING MODE
LOW	LOW	Continuous Conduction Mode (CCM)
LOW	HIGH	Discontinuous Conduction Mode (DCM)
HIGH	LOW	Do Not Use
HIGH	HIGH	Pass-Thru Mode

連続導通モード (CCM)

連続導通モードでは、SS ピンの電圧が 2.5V (代表値) を超えると、インダクタ電流の方向を反転できます。この予防策の目的は、出力がゼロでない電圧にプリバイアスされた状態での起動時に、負のインダクタ電流が大量に流れないようにすることです。CCM モードがいったん有効になると、正電流の検出制限値と大きさがほぼ等しい負電流の検出制限値によって、インダクタ電流の下限が設定されます。これにより、インダクタ電流は、電流の流れる方向が順方向でも逆方向でも、サイクル単位で制限されます。CCM 動作時の最大推奨スイッチング周波数は 350kHz です。

不連続導通モード (DCM)

不連続導通モードでは、低出力電流時にインダクタ電流が逆方向に流れるのを防止します。DCM 動作では、軽負荷時の効率が改善するだけでなく、出力から入力に大量の電流が逆流するのを防止されます。スイッチ B または D が導通している状態で、SNSP1-SNSN1 間の電圧がその逆電流閾値より低くなったときは、逆電流が検出されます。降圧領域または昇降圧領域で動作している場合、スイッチ B のオン時間は逆電流が検出されると終了します。同様に、昇圧領域と昇降圧領域では、スイッチ D のオン時間は逆インダクタ電流が検出されると終了します。LT8210-1 は、非常に軽い負荷では、DCM での出力電圧レギュレーションを維持するために、複数のスイッチング・パルスを強制的にスキップする場合があります。この状況が生じるのは、デューティ・サイクル制限でスイッチングしていても、平均インダクタ電流が負荷電流を超える場合です。パルススキッピング動作が望ましくない場合は、インダクタのサイズを大きくするか、スイッチング周波数を低くすることによって解決できることがあります。また、LT8210-1 を最大スイッチング周波数で動作させる場合は、CCM で動作させます。

パススルー・モード

パススルー・モードでは、降圧ループと昇圧ループの出力電圧 ($V_{OUT(BUCK)}$ および $V_{OUT(BOOST)}$) がそれぞれ独立して設定されます。出力電圧は、最小値が $V_{OUT(BOOST)}$ 、最大値が $V_{OUT(BUCK)}$ で定義されるウィンドウ内で安定化されます。 $V_{OUT(BUCK)}$ は、 V_{OUT} 、FB2、GND 間の抵抗分圧器によって設定されます。降圧ループが動作している場合は、FB2 の電圧を 1.00V のシステム・リファレンスと比較して、得られたアンプ A2 の出力 V_{C2} でインダクタ電流を制御します。同様に、 $V_{OUT(BOOST)}$ は、 V_{OUT} 、FB1、GND 間の抵抗分圧器によって設定されます。同様に、昇圧ループが動作している場合は、アンプ A1 を使用して FB1 の電圧を 1.00V のシステム・リファレンスと比較して、得られた V_{C1} ピンの出力でインダクタ電流を制御します。 V_{INP} が $V_{OUT(BOOST)}$ 以下の場合は、昇圧ループがインダクタ電流を制御して、出力を $V_{OUT(BOOST)}$ に安定化します。同様に、入力電圧が $V_{OUT(BUCK)}$ 以上の場合は、降圧ループがインダクタ電流を制御して、出力を $V_{OUT(BUCK)}$ に安定化します。パススルー・ウィンドウの境界付近では、インターリーブ式の昇降圧スイッチングを使用してパルススキップを防止します。

入力電圧が $V_{OUT(BOOST)}$ と $V_{OUT(BUCK)}$ の間にある場合、 V_{OUT} が V_{INP} に近い値で安定すると、上側スイッチは両方ともオンのままになります。この状態では、 V_{OUT} は V_{INP} に追従し、LT8210-1 は省電力モードに入って、 V_{IN} ピンと V_{INP} ピンでの代表的な自己消費電流は、それぞれ $4\mu\text{A}$ 、 $18\mu\text{A}$ になります。SNSP1-SNSN1 間の電圧が 63mV (代表値) を超えて最大インダクタ電流が制限されると、スイッチングが再開します。同様に、電流レギュレーション・ループが動作している場合は、IMON ピンの電圧が 1.01V に近づくと、スイッチングが再開します。スイッチング損失がなく、自己消費電流が極めて少ないため、パススルー領域では 99.9% を超える効率を達成できます。

パワー・スイッチの制御 (CCM 動作、DCM 動作)

LT8210-1 は、入力電圧より高い出力電圧、等しい出力電圧、低い出力電圧に出力を安定化する電流モード昇降圧コントローラです。LTC®独自のトポロジーおよび制御アーキテクチャでは、電流モード制御に使用するインダクタと直列の電流センス抵抗を採用しており、降圧、昇降圧、昇圧の各スイッチング領域間をスムーズに遷移します。LT8210-1 を CCM または DCM 動作に設定すると、インダクタ電流は V_{C1} ピンの電圧により制御されます。電流レギュレーション・ループが動作している場合に、 V_{C1} の電圧は検出帰還電圧 (FB1) によって、あるいは IMON ピンの電圧が 1.01V に近ければ検出電流によって、制御されるようになります。図 47 に、パワー・スイッチ A、B、C、D を、インダクタ L、電流センス抵抗 R_{SENSE} 、電源入力 V_{INP} 、電源出力 V_{OUT} 、グラウンドに接続する方法の簡略図を示します。スイッチ A と B で同期整流式の降圧パワー段が形成され、スイッチ C と D で同期整流式の昇圧パワー段が形成されます。電流センス抵抗 R_{SENSE} は、SNSP1 ピンと SNSN1 ピンに接続されていて、電流モード制御および逆電流検出の両方に使用されるインダクタ電流の情報を提供します。 V_{INP}/V_{OUT} 比の関数としてのスイッチング領域を図 48 に示します。パワー・スイッチはスイッチング領域間をスムーズに遷移するよう制御され、モード間のチャタリングを防止するためヒステリシスが加えられています。

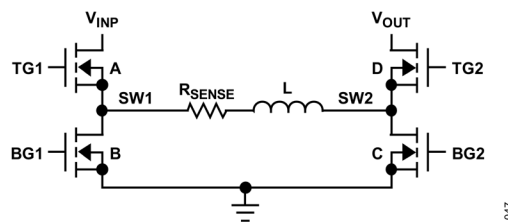
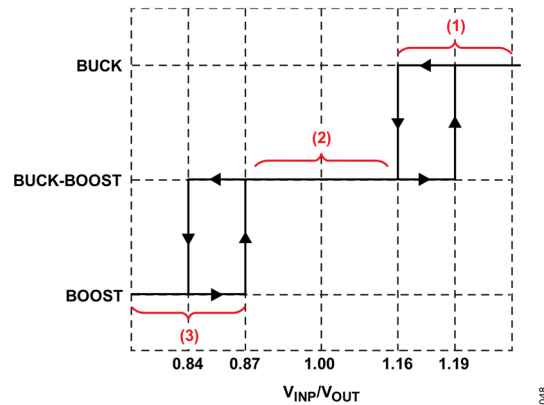


図 47. パワー・スイッチの簡略図

図 48. スイッチング領域と V_{INP}/V_{OUT} 比の関係

パワー・スイッチの制御：降圧領域 ($V_{INP} > 1.19 \cdot V_{OUT}$)

V_{INP} が V_{OUT} より 19% (代表値) 以上高い場合、デバイスは降圧領域で動作します。降圧領域では、スイッチ D は常にオン、スイッチ C は常にオフです。スイッチ A とスイッチ B はオンとオフが切り替わり、同期整流式の降圧レギュレータとして動作します。インダクタ電流が減少して、DCM では逆電流検出閾値より低くなった場合、CCM では負電流の検出閾値より低くなった場合、スイッチング・サイクルの残りの時間中にスイッチ B がオフになり、インダクタ電流がそれ以上減少するのを防ぎます。図 49 を参照してください。

パワー・スイッチの制御：昇圧領域 ($V_{INP} < 0.84 \cdot V_{OUT}$)

V_{INP} が V_{OUT} より 16%以上低い場合、デバイスは昇圧領域で動作します。この領域では、スイッチ A は常にオン、スイッチ B は常にオフです。スイッチ C とスイッチ D はオンとオフが切り替わり、同期整流式の昇圧レギュレータとして動作します。インダクタ電流が減少して、DCM では逆電流検出閾値より低くなった場合、CCM では負電流の検出閾値より低くなった場合、スイッチ D のオン時間は終了します。図 50 を参照してください。

パワー・スイッチの制御：昇降圧領域 ($0.84 \cdot V_{OUT} < V_{INP} < 1.19 \cdot V_{OUT}$)

V_{INP} が V_{OUT} の -16%~+19%の範囲に入っている場合、デバイスは 4 つのパワー・スイッチ (A、B、C、D) 全てが動作する昇降圧領域で動作します。昇降圧領域は降圧制御領域と昇圧制御領域の重複領域と考えられ、降圧と昇圧の両方のレギュレーション・ループがインダクタ電流を制御します。インダクタ電流の制御を降圧ループと昇圧ループの間で共有することにより、インダクタ電流と出力電圧を乱す可能性がある昇降圧領域内の急激なハンドオフを回避します。インダクタ電流が減少して、DCM では逆電流検出閾値より低くなった場合、CCM では負電流の検出閾値より低くなった場合、スイッチ B および D のオン時間は終了します。図 51 を参照してください。

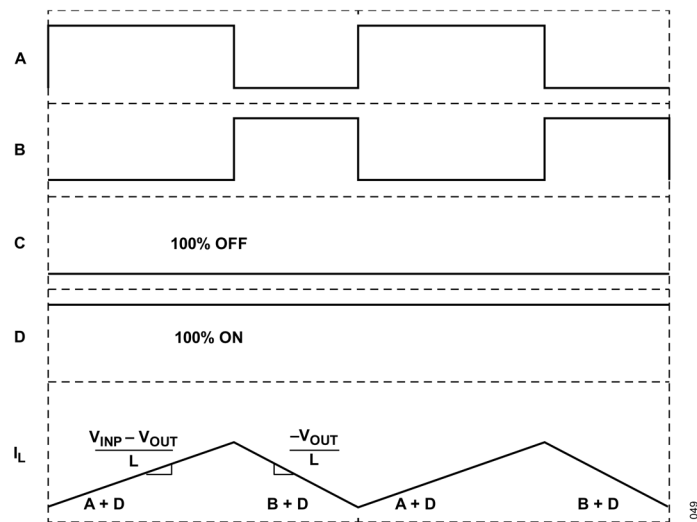


図 49. 降圧領域のスイッチング波形

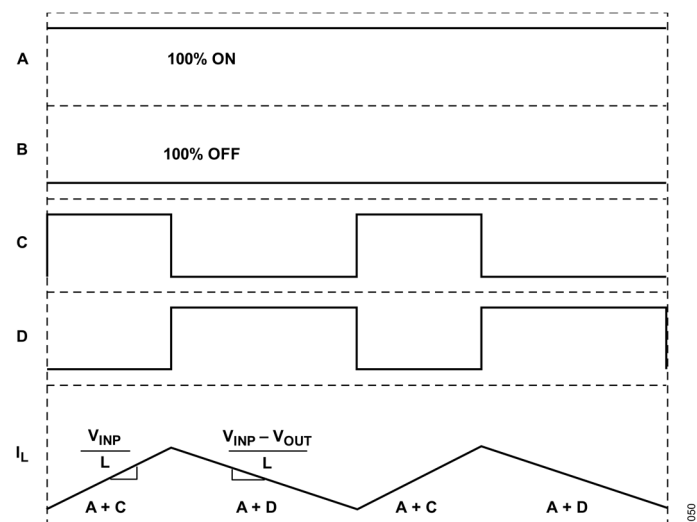


図 50. 昇圧領域のスイッチング波形

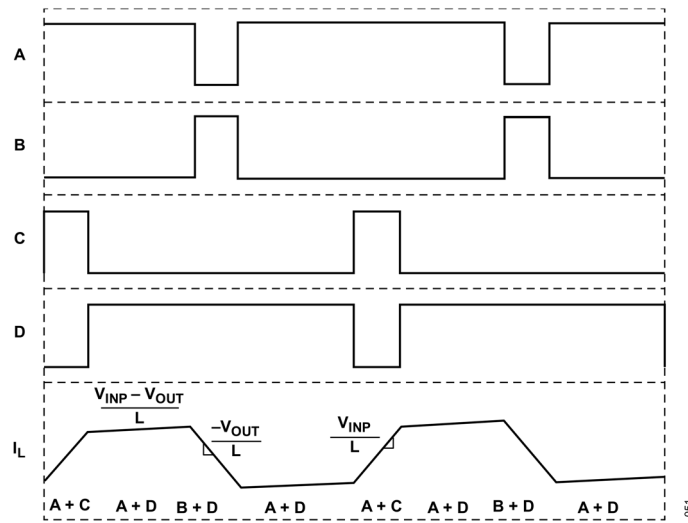


図 51. 昇降圧領域のスイッチング波形

パワー・スイッチの制御（パススルー・モード）

パススルー・モードでは、起動後に、降圧と昇圧のレギュレーション・ループが独立して機能します。個別のエラー・アンプを使用し、降圧レギュレーションの出力電圧 $V_{OUT(BUCK)}$ を昇圧レギュレーションの出力電圧設定値 $V_{OUT(BOOST)}$ より高い値に設定することにより、パススルー・ウィンドウを設けます。図 52 に、パススルー・モードの各スイッチング領域と入力電圧の対応を示します。

$V_{INP} \gg V_{OUT(BUCK)}$ のとき、LT8210-1 は降圧領域で動作します。この領域では、スイッチ D は常にオン、スイッチ C は常にオフであり、スイッチ A とスイッチ B はオンとオフが切り替わり、同期整流式の降圧レギュレータとして動作して、出力を $V_{OUT(BUCK)}$ に維持します。 V_{IN} が $V_{OUT(BUCK)}$ の 93%~119% の範囲に入ると、パルススキップが不要となるよう、スイッチ D もスイッチングを開始します。この領域では、スイッチ C とスイッチ D が交互にオンします。 $V_{INP} \ll V_{OUT(BOOST)}$ の場合、スイッチ A は常にオン、スイッチ B は常にオフであり、スイッチ C とスイッチ D はオンとオフが切り替わり、同期整流式の昇圧レギュレータとして動作して、出力を $V_{OUT(BOOST)}$ に維持します。 V_{IN} が $V_{OUT(BOOST)}$ の 84%~107% の範囲に入ると、スイッチ A もスイッチングを開始して、スイッチ B と交互にオンします。 V_{INP} が $V_{OUT(BOOST)}$ と $V_{OUT(BUCK)}$ の間にあるとき、出力電圧は入力に追従します。 V_{OUT} が V_{INP} に近い値で安定すると、LT8210-1 は低消費電力状態になり、スイッチ A と D がオンのままになり、スイッチ B と C はオフになります。パススルー・モードでは、スイッチング時の逆電流は DCM と同様の方法で処理されます。スイッチングしない状態では、 V_{INP} と V_{OUT} の電圧を直接比較することによって逆電流を検出します。 V_{OUT} の電圧が V_{INP} の電圧を一定の設定パーセント値だけ超えると、スイッチ A、C、D はオフになり、出力は V_{INP} とほぼ等しい電圧まで放電された後にのみ再接続されます。スイッチングしないパススルー・ウィンドウ内のときに正のライン・トランジェントが発生し、それによって V_{INP} が V_{OUT} を一定の設定パーセント値だけ超えると、スイッチングが再開して、インダクタ電流に大振幅のリングングが発生するのを防止します。出力がソフトスタートと同様に入力電圧まで駆動され、 V_{OUT} が V_{INP} に近い値で安定すると、スイッチ A と D は再びオン状態を継続します。

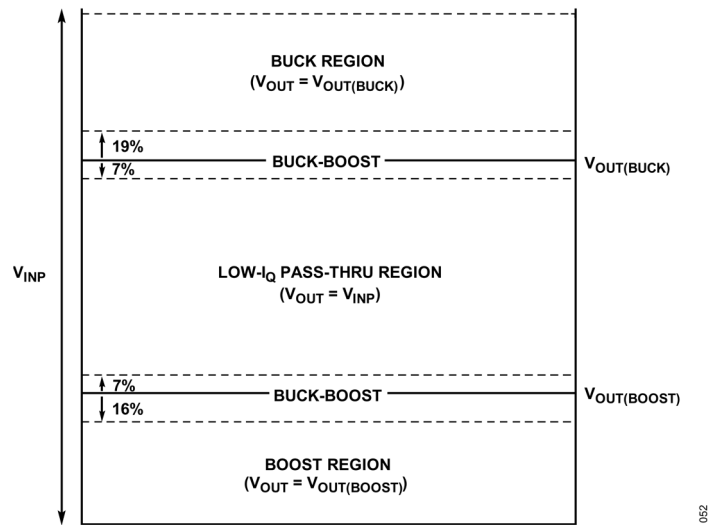


図 52. パススルー領域と V_{INP} の対応関係

動作モード間の遷移

MODE1 ピンと MODE2 ピンの切り替えによって、パススルー・モード、CCM 動作、DCM 動作の間を動的に遷移できます。CCM または DCM 動作のとき、FB1 ピンと FB2 ピンは低抵抗のスイッチで内部接続されています。パススルー・モードでは、このスイッチは起動後にディスエーブルされるので、2 つの帰還ピンは独立して変化できます。パススルー・モードを抜けると、FB1 ピンと FB2 ピンは再び相互に接続されます。抵抗 R_{2B} 、 R_{2A} 、 R_{1B} 、 R_{1A} の相対的な大きさを変更することにより、CCM または DCM 動作での固定出力電圧を、パススルー・ウィンドウの上限と下限を規定する $V_{OUT(BUCK)}$ と $V_{OUT(BOOST)}$ の間の任意の電圧に設定できます (図 53)。パススルー・モードへの出入りにより、アプリケーションでの条件の変化に応じて、広い出力電圧許容範囲と、スイッチング損失もノイズもない状況とのトレードオフが可能です。

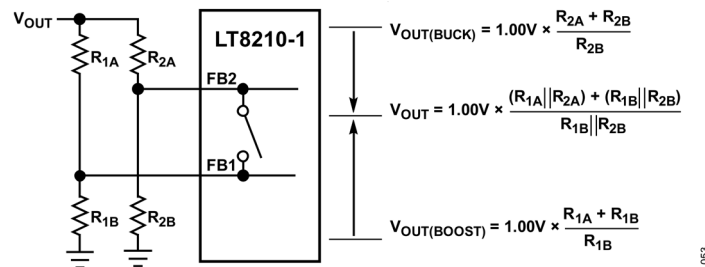


図 53. パススルー・モードを抜けるときの出力電圧

イネーブルと起動

図 54 に LT8210-1 の起動シーケンスを示します。

EN/UVLO ピンの電圧がターンオン閾値 (代表値 1.45V) より低くなると、LT8210-1 は低消費電力のシャットダウン・モードに入ります。このモードでは、内部の $GATEV_{CC}$ レギュレータと V_{DD} レギュレータがディスエーブルされ、 V_{IN} ピンと V_{INP} ピンの自己消費電流は約 $1\mu A$ まで減少します。EN/UVLO の電圧が 1.45V を超えると、 $GATEV_{CC}$ レギュレータと V_{DD} レギュレータが起動します。 $GATEV_{CC}$ と V_{DD} の両方の電圧がそれぞれの低電圧ロックアウト閾値 (代表値はそれぞれ 3.95V、2.94V) を超えると、内部チャージ・ポンプが DG ピンから電流を流し始めます。DG と V_{IN} の間の電圧が充電されて 2.8V (代表値) より大きくなると、スイッチング制御ロジックが初期化されます。アナログ回路が安定化してから起動できるよう、短い遅延があり、その後、SS ピンから $5\mu A$ の電流が流れ出してソフトスタート・ランプが始まり、LT8210-1 がスイッチングを開始します。EN/UVLO を V_{IN} に接続すると常時オン動作が可能になります。 V_{IN} とグラウンドの間抵抗分配器に接続すると低電圧ロックアウト (UVLO) 閾値を設定できます。

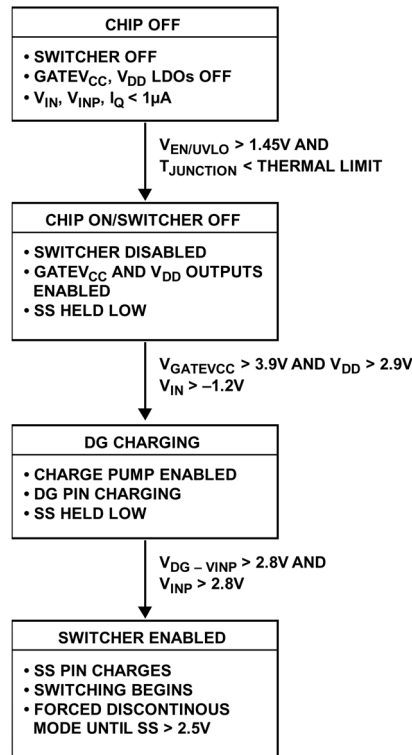


図 54. 起動シーケンス

EXTV_{CC}/GATEV_{CC}/V_{DD} 電源

MOSFET ドライバ TG1、BG1、TG2、BG2 と内部の V_{DD} レギュレータの電源は、GATEV_{CC} から供給されます。GATEV_{CC} 電源は、V_{INP} ピンまたは EXTV_{CC} ピンから電力の供給を受ける PMOS 低ドロップアウト・レギュレータにより、10.6V（代表値）にリニアに安定化されます。EXTV_{CC} の電圧が 8V（代表値）を超え、かつ V_{INP} より低い場合、GATEV_{CC} は EXTV_{CC} を元にして安定化されます。LT8210-1 は、EXTV_{CC} と V_{INP} を内部比較して、これら 2 つの電圧のうち低い方によって GATEV_{CC} を安定化し、消費電力を最小限に抑えます。これにより、入力電圧のブラウンアウト状態でも、EXTV_{CC} ピンによって GATEV_{CC} を 10V より高い電圧に維持できます。EXTV_{CC} を使用しない場合は、100k の抵抗を介してグラウンドに接続します。GATEV_{CC} レギュレータは、入力電圧が低下して瞬間的に GATEV_{CC} の電圧より低くなった場合に備えてバックドライブ保護機能を内蔵しており、バイパス・コンデンサが放電してデバイスがリセットされることがないように動作します。V_{INP} と GATEV_{CC} の両方の電圧がそれぞれの低電圧ロックアウト（UVLO）閾値（代表値はそれぞれ 2.7V と 3.7V）より高い値で推移する限り、LT8210-1 は通常動作を維持します。GATEV_{CC} レギュレータは、過剰な電力消費と損傷の発生を防止するために、電流が制限されています。この電流制限値は、電圧が高くなると直線的に減少して、内部の消費電力を実質的に 3W（代表値）にクランプします。図 55 に、GATEV_{CC} の代表的な電流制限特性を V_{INP} ピンおよび EXTV_{CC} ピンの電圧の関数として示します。電圧が高いほど電流制限値が低くなることにより、LT8210-1 が供給できるゲート駆動電流の大きさが制限されます。パワー MOSFET とスイッチング周波数を選択するときに、そのことを考慮する必要があります。V_{DD} の電圧は、GATEV_{CC} を電源としてリニアに 3.3V に安定化され、LT8210-1 内部の低電圧回路に電力を供給します。このピンは、2.2µF 以上のコンデンサを用いて、ピンの近くでグラウンドにバイパスします。ロジック・ピン（例えば、MODE1、MODE2、SYNC/SPRD）をハイに接続する場合や、PWGD ピンのプルアップ電源にする場合、V_{DD} が適しています。V_{DD} レギュレータには 9mA の電流制限があります。前述以外の外部負荷に V_{DD} レールから電力を供給する場合は、弊社にお問い合わせください。

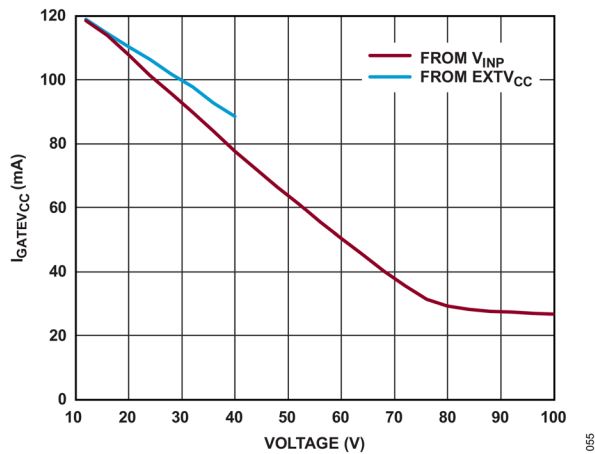


図 55. GATEV_{CC} の電流制限と V_{INP}、EXT_{VCC} の関係

逆入力保護

LT8210-1 は、オプションとして-40V までの逆入力保護機能を内蔵しています。この機能を実装するには、NチャンネルのパワーMOSFET を使用し、ソースを V_{IN} に、ドレインを V_{INP} に、ゲートを DG ピンにそれぞれ接続します。V_{IN} の電圧が-1.2V (代表値) より低くなると、DG ピンは 30Ω (代表値) の内部スイッチを介して V_{IN} ピンにクランプされます。外付け MOSFET のゲートとソースが短絡されることにより、この MOSFET は強制的に遮断されるので、V_{INP} と下流の回路は入力から切り離され、損傷が防止されます。V_{IN}、DG、EN/UVLO の各ピンは、全て-40V までの電圧に耐えることが可能であり、そのときに損傷することも過剰な電流が流れることもありません。入力のフィルタ処理に有極性のコンデンサを使用する場合は、DG の MOSFET の V_{INP} 側に配置してください。通常動作時には、DG - V_{IN} 間の電圧を内部チャージ・ポンプを介して約 8.5V まで充電し、MOSFET を完全に導通させます。DG - V_{IN} 間の電圧が 2.1V (代表値) より小さくなるとスイッチングはディスエーブルされ、2.8V (代表値) を超えると再度イネーブルされます。DG の低電圧ロックアウトの目的は、DG の MOSFET が導通しておらず、そのボディ・ダイオードに電流が流れるときに、消費電力が過剰にならないようにすることです。内部チャージ・ポンプは、DG ピンから最大 180μA を引き出すことができ、起動時に急速に充電して遅延時間を最小限に抑えます。逆入力保護が必要ない場合は、V_{INP} と V_{IN} の間を直接接続するか、小さな RC フィルタ (例えば、1Ω と 1μF) を介して接続し、1nF、25V のセラミック・コンデンサを DG ピンと V_{IN} ピンの間に配置します。

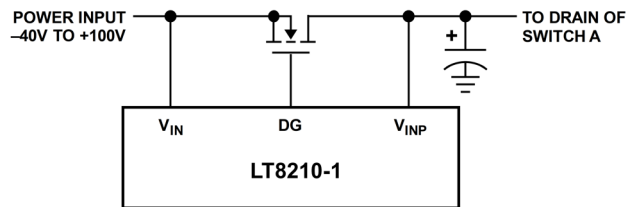


図 56. 逆入力保護の実装

マルチフェーズでの電流分担

LT8210-1は、複数の相の電流をバランスさせるために閉ループ・アプローチを使用します。全LT8210-1のIMONピンを相互に接続して、平均電流を計測します。各相は、スイッチのデューティ・サイクルを調整してこの平均値に合わせます。各LT8210-1のIMONピンには、SNSP2とSNSN2の両入力間の差動電圧に比例した電流が流れます。これらのピンは、該当の相の電流パスに配置したセンス抵抗に接続します。各LT8210-1のIMONとグラウンドの間に11kΩの抵抗を接続します。局所的なグラウンド・ノイズに起因する問題を避けるため、それぞれの11kΩ抵抗は小さいRCフィルタ（499Ωと10nFなど）で分離することを推奨します。各LT8210-1は、このデータシートのループ補償のセクションに記載のように、それぞれのタイプII補償ネットワークで補償します。V_{C1}（とパススルー動作時にはV_{C2}）は10kΩ以上の抵抗で相互に結合します。

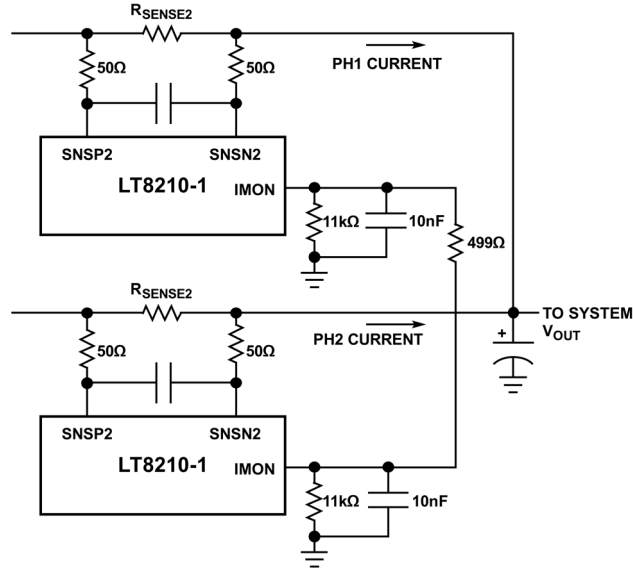


図 57. 2相での電流分担

057

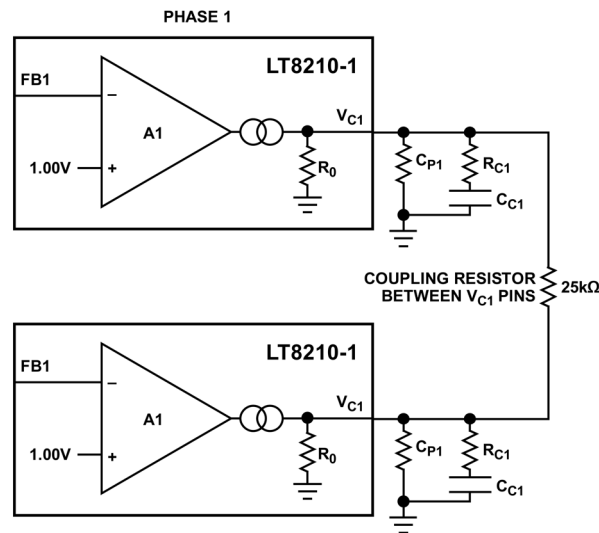


図 58. 複数の LT8210-1 のループ補償

058

複数の LT8210-1 の間で、FB1 と FB2 の入力抵抗分圧器を共有することができますが、ノイズに敏感な信号を相間でルーティングすることによって安定性が損なわれる場合もあります。各相で別々の分圧器を FB1 と FB2 に使用することも可能ですが、この場合には電流分担の精度が犠牲になります。これは、帰還抵抗に許容誤差が 0.1% の抵抗を使用することで緩和できます。

降圧ループのフォールドバック

LT8210-1 は、降圧ループがスイッチングしている間、インダクタ電流の暴走を能動的に防止します。インダクタ電流が暴走する可能性があるのは、電流の立上がり勾配が立下がり勾配を大きく上回り、SW1 の最小デューティ・サイクルでスイッチングしているにもかかわらず、インダクタ電流が周期ごとに増加し続ける場合です。降圧レギュレータが暴走の影響を最も受けるのは、出力電圧がグラウンドに近く、インダクタ電流の下降勾配が平坦になるときです。この状況は、入力電圧が高い場合やスイッチング周波数が高い場合、更に悪化します。暴走を防止するため、 V_{OUT} が V_{INP} の 10% より低く、FB1 の電圧が 900mV より低くなっている場合、LT8210-1 はスイッチ A のパルススキップする場合があります。スイッチ A のオン時間が始まる時点では、検出されたインダクタ電流が内部設定のパルススキップ閾値より少ないことが必要です。さもなければ、スイッチ A の次のパルスがスキップされます。スイッチ A が次にオンするときにインダクタ電流がパルススキッピング閾値を超えると、続く 3 つのパルスがスキップされ、その後も同様に動作します。フォールドバック回路は、この閾値を超えたスイッチ A の連続パルスが発生するたびに、スキップされるパルスの数を増やします。発生しない場合、スキップ数はリセットされます。LT8210-1 のフォールドバック方式は、インダクタ電流の暴走を防止するのに加えて、短絡状態でのスイッチ A の消費電力を大幅に低減します。出力がグラウンドに短絡した場合、スイッチ A の消費電力の大半は、オンとオフを切り替えるときの遷移損失によるものです。スイッチ A のパルス数を一定の期間減らすと、それに比例して消費電力も減少します。インダクタ電流が暴走するのは V_{INP} が V_{OUT} に近いときだけであり、それは昇降圧領域内なので、LT8210-1 では、昇圧ループはインダクタ電流の暴走から必然的に保護されています。降圧ループはインダクタ電流を各サイクル同時に制御しますが、昇圧チャンネルが暴走する可能性はありません。

PWGD ピン

PWGD ピンは、オープン・ドレイン・ロジック出力で、スイッチングがイネーブルされた後、出力電圧と IMON ピンの電圧が予め設定された制限値の範囲内になったときにハイになります。 V_{OUT} が設定値の $\pm 10\%$ 以内に入ると、PWGD の内部プルダウンが解除されます。CCM と DCM での動作中にこの状態になるのは、FB1 の電圧が 1.00V のリファレンスの $\pm 10\%$ 以内に入っているときです。パススルー・モード中に PWGD がハイになるのは、 $V_{FB1} > 0.90V$ かつ $V_{FB2} < 1.10V$ のときであり、これは出力電圧が出力パススルー・ウィンドウの $\pm 10\%$ 以内に入っていることを示します。PWGD は IMON ピンの電圧が 1.20V を超えた場合にローになり、これは平均電流がその設定限度を 20% 以上超えたことを示します。LT8210-1 には、システム・リファレンス回路が正常に機能していることを確認するための内蔵セルフ・テストが組み込まれています。このリファレンス電圧は、電圧レギュレーション、電流レギュレーション、クロック生成、フォルト検出に使用されます。システム・リファレンスがプリセット許容範囲の外である場合、スイッチングはディスエーブルされ、PWGD ピンはローになります。また、 V_{INP} 、 $GATEV_{CC}$ 、 V_{DD} 、DG ピンのいずれかの電圧が、それぞれの低電圧ロックアウト閾値より低くなった場合にも、スイッチングはディスエーブルされ、PWGD ピンはローになります。PWGD ピンのプルアップ抵抗は、最大 40V の任意の外部レールに接続できます。 V_{DD} または $GATEV_{CC}$ をプルアップ電源として使用すると、LT8210-1 がディスエーブルされたときに PWGD が正しい状態になるという利点が得られます。図 59 に PWGD ピンの状態を決定する条件を示します。

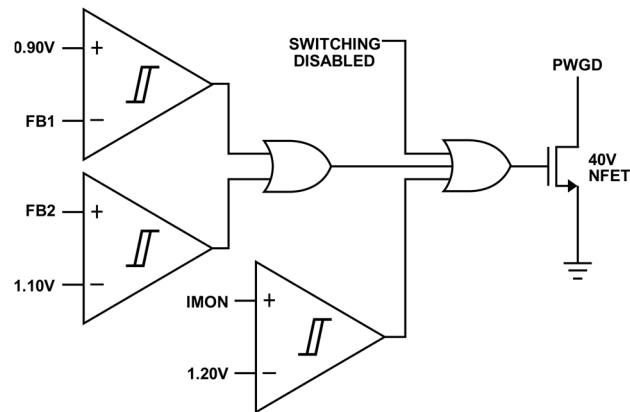


図 59. PWGD ロジック

アプリケーション情報

このアプリケーション情報のセクションは、アプリケーションの詳細に基づいて外付け部品を選択するためのガイドラインです。このセクションでは、図 60 に示す LT8210-1 の基本的なアプリケーション回路を参照してください。部品選択は、通常は以下に説明する手法に従います。

- ▶ R_{SENSE} は、必要な出力電流と入力電圧の範囲に基づいて選択します。
- ▶ インダクタ値 (L) とスイッチング周波数 (f_{sw}) は、リップル、安定性、効率の要件に基づいて選択します。
- ▶ パワーMOSFET (A、B、C、D) は、アプリケーションの電圧範囲と電流範囲を満足しつつ、効率を最大化するように選択します。
- ▶ コンデンサ C_{IN} および C_{OUT} は、入力と出力の RMS 電流をフィルタ処理して、目標の電圧リップルを達成するように選択します。
- ▶ コンデンサ C_{BST1} 、 C_{BST2} 、 $C_{GATEVCC}$ は、ゲート・ドライバに電力を供給するのに十分な電荷を蓄積するように選択します。
- ▶ タイプ II の補償ネットワークを V_{C1} を対象に (パススルー・モードを使用する場合は V_{C2} も対象に) 設計します。
- ▶ ソフトスタート動作の設定のため、 C_{SS} を選択します。
- ▶ (オプション) 逆入力保護用の (DG) MOSFET は、 V_{INP} と V_{IN} の間の電圧の最も厳しい状態に耐えられ、レギュレーション時の導通損失を最小に抑えられるように選択します。
- ▶ (オプション) R_{SENSE2} 、 R_{IMON} 、 C_{IMON} により、電流レギュレーションや電流モニタリングを行います。

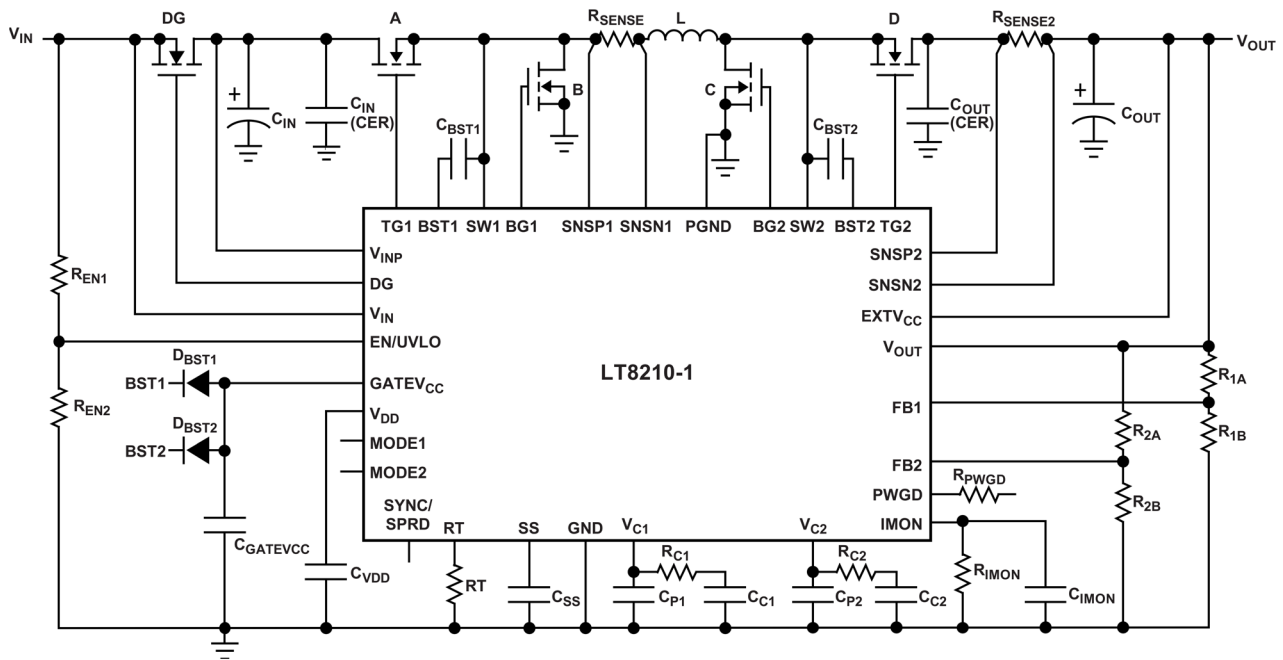


図 60. LT8210-1 の基本的アプリケーション回路

特に指定のない限り、このセクションに示す例と式は、連続導通モードでの動作を前提としています。パススルー・モードの場合は、降圧と昇圧の計算において、 V_{OUT} の代わりにそれぞれ $V_{OUT(BUCK)}$ 、 $V_{OUT(BOOST)}$ を使用します。特に指定のない限り、このセクションで言及されている全ての電気的特性は、代表値を表しています。

最大出力電流と R_{SENSE} の選択

R_{SENSE} は必要な出力電流に基づいて選択します。インダクタの値を適切に選択することにより、平均インダクタ電流の最大値は、インダクタの電流リップル、デューティ・サイクル、およびスイッチング領域とはほぼ無関係になります。これにより、繰り返しの作業になることが多い R_{SENSE} の選択が簡略化されます。降圧領域での所定の最大出力電流 $I_{OUT(MAX)}$ に対する R_{SENSE} の値は、式 1 によって計算できます。

$$R_{SENSE(BUCK)} = \frac{50mV}{I_{OUT(MAX)}} \tag{1}$$

昇圧領域で動作している場合、出力電流はインダクタ電流に

$D'_{BST} \cong (1 - D_{BST}) = V_{INP}/V_{OUT}$ を掛けた値に等しくなります。 $V_{INP(MIN)}$ を用いると、目的の $I_{OUT(MAX)}$ を得るための R_{SENSE} は、式 2 のように計算できます。

$$R_{SENSE(BOOST)} = \frac{40mV}{I_{OUT(MAX)}} \cdot \frac{V_{INP(MIN)}}{V_{OUT}} \tag{2}$$

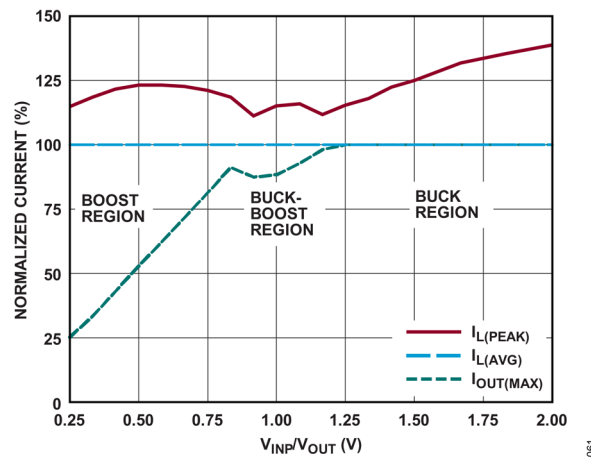


図 61. 最大平均インダクタ電流および出力電流と V_{IN}/V_{OUT} の例

通常は R_{SENSE} の 2 つの計算値の小さい方から 20%~30% の余裕をとることを推奨します。安定性を損なわないため、R_{SENSE} 抵抗は低インダクタンス・タイプにしてください。図 62 に示すような、R_{SENSE} と SNSP1 ピンおよび SNSN1 ピンの間の小さなローパス・フィルタは、必要ありませんが、アプリケーションによってはスイッチング・エッジのジッタを改善できます。これらのフィルタ部品はピンの近くに配置してください。

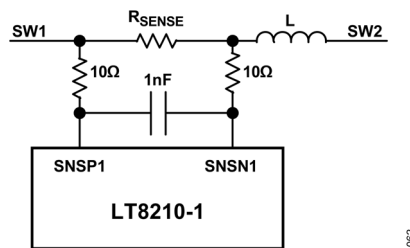


図 62. ジッタ改善用のオプションの SNSP1、SNSN1 フィルタ

インダクタの選択

動作周波数が高いほど小さな値のインダクタとコンデンサを使用できるという意味で、動作周波数とインダクタの選択には相関関係があります。インダクタの値はリップル電流と逆相関します。インダクタ・リップル電流 (ΔI_L) は、通常は最大インダクタ電流の 20%~40% に設定されます。目標のリップルを維持するために必要なインダクタの最小値は、降圧領域と昇圧領域の両方について、式 3 を使用して計算できます。

$$L_{(BUCK)} > \frac{V_{OUT} \cdot (V_{IN(MAX)} - V_{OUT})}{f_{SW} \cdot I_{OUT(MAX)} \cdot \Delta I_L \% \cdot V_{IN(MAX)}} \tag{3}$$

$$L_{(BOOST)} > \frac{V_{in(min)}^2 \cdot (V_{OUT} - V_{IN(MIN)})}{f_{SW} \cdot I_{OUT(MAX)} \cdot \Delta I_L \% \cdot V_{OUT}^2}$$

リップルに関する考慮事項に加えて、低調波発振を防止するため、インダクタンスは十分に大きくします。電流モード制御レギュレータでは、電流検出ループによってスイッチング周波数の半分の周波数でダブル・ポールが形成されるので、システムの Q 値 (Q_{cs}) が 1.0 より大幅に高いときは、システムの安定性が低下するおそれがあります。電流検出ループのダンピングは、インダクタ電流の勾配と内部の勾配補償ランプの関数です。LT8210-1 の勾配補償方式は、インダクタの値を式 4 で得られる値に設定した場合、任意の入力電圧で電流検出ループのダンピングが最適になるよう設計されています。

$$L_{OPTIMAL} = (260 + (5.5 \cdot V_{OUT})) \cdot R_{SENSE} \cdot \frac{1}{f_{SW}} \quad (4)$$

例えば、

$$L_{OPTIMAL(VOUT=12V)} = 325 \cdot R_{SENSE} \cdot \frac{1}{f_{SW}}$$

$$L_{OPTIMAL(VOUT=48)} = 525 \cdot R_{SENSE} \cdot \frac{1}{f_{SW}}$$

これにより、電流検出ループのダンピングがデューティ・サイクルおよびスイッチング領域に依存しなくなるので、ループ補償が簡略化されます。また、 $L_{OPTIMAL}$ を選択すると、ライン・レギュレーションと入力ステップ応答も最適化されます。インダクタンスの値が小さいと Q_{CS} が大きくなり、インダクタをある程度以上小さくすると、降圧時にはデューティ・サイクルが 50% より高い場合、昇圧時にはデューティ・サイクルが 50% より低い場合に低調波発振が生じることがあります。計算上の最適値の 70% 以上のインダクタを選択して、低調波による不安定性が生じないようにします。インダクタの寄生成分は、コンバータの効率に大きく影響することがあります。高効率化のため、フェライトなどの低コア損失のインダクタを選択してください。また、DC 抵抗 (DCR) の小さなインダクタにして、 I^2R 損失を低減します。DCR がパワー MOSFET の $R_{DS(ON)}$ と同等のインダクタを選択するのが、初期値として妥当です。放射ノイズが懸案事項である場合は、シールド・インダクタを使用します。フェライト・コアは、飽和電流定格 I_{SAT} を超えると、急激に飽和して、リップルの大幅な増加につながります。 I_{SAT} は、最も厳しいピーク・インダクタ電流より余裕を持たせて大きくしてください。ピーク・インダクタ電流の最大値は、式 5 で概算できます。

$$I_{L(MAX)} \approx \frac{60mV}{R_{SENSE}} + \Delta I_{L(MAX)} A \quad (5)$$

インダクタのリップル電流 $\Delta I_{L(MAX)}$ を 40% と仮定すると、ピーク・インダクタ電流は最大出力電流の 145% になります。例えば、最も厳しい条件に 25% の余裕を上乗せすることにより、 $90mV/R_{SENSE}$ という無難な最小インダクタ I_{SAT} 定格が得られます。

スイッチング周波数の選択

周波数調整ピン RT を使用すると、80kHz~400kHz の範囲でスイッチング周波数を設定できます。スイッチング周波数の選択は、効率と部品サイズの兼ね合いによって決まります。低周波数動作では MOSFET のスイッチング損失が減ることで効率が向上しますが、インダクタとコンデンサの値を大きくする必要があります。高消費電力アプリケーションでは、スイッチング損失による MOSFET の発熱を最小限に抑えるために、より低い周波数での動作を考える必要があります。低消費電力アプリケーションでは、最終的なソリューション・サイズを最小限に抑えるために、より高い周波数での動作を検討します。 R_{SENSE} 、インダクタ値、スイッチング周波数の選択は、互いに関係があります。リップル電流の振幅と低調波の安定性を維持するため、インダクタ値は R_{SENSE} とスイッチング周期 T の積に追従させます。 R_{SENSE} の値は負荷条件によって設定されます。インダクタ値は、リップル電流と低調波安定性の判定基準によって決まります。 R_{SENSE} と L の値を選択した後に、システムの性能を最適化するようにスイッチング周波数を調整するのが、現実的なアプローチです。部品選択の流れは以下のとおりです。

1. 必要な出力電流に基づいて R_{SENSE} を選択します。
2. f_{SW} の範囲 (例えば 80kHz~120kHz) に対する目標のリップルに基づいてインダクタ値を選択します。
3. 式 6 を満たすようにスイッチング周波数を調整します。

$$f_{SW(OPTIMAL)} = \frac{(260 + (5.5 \cdot V_{OUT})) \cdot R_{SENSE}}{L} \quad (6)$$

スイッチング周波数を $f_{SW(OPTIMAL)}$ に設定することには、ループ安定性の最適化、入力電圧除去比の最適化、デューティ・サイクルおよびスイッチング領域全体にわたる最大インダクタ電流の均一な平均化など、多数の利点があります。

RT によるスイッチング周波数設定

LT8210-1 のスイッチング周波数は、RT ピンとグラウンドの間に抵抗を接続することで設定します。表 5 に、スイッチング周波数と RT の値（許容誤差 1% の抵抗）の関係を示します。RT 抵抗を短絡した場合またはオープンにした場合も、それぞれ最大のスイッチング周波数（代表値： $f_{sw} = 700\text{kHz}$ ）または最小のスイッチング周波数（代表値： $f_{sw} = 45\text{kHz}$ ）に内部で制限されます。SYNC/SPRD ピンを使用して LT8210-1 を外部クロックに同期させる場合でも、RT 抵抗を使用することを強く推奨します。同期信号が失われた場合、LT8210-1 は約 $20\mu\text{s}$ 以内に RT による設定値に戻ります。

表 5. スwitchング周波数と RT の値（1%抵抗）の関係

RT (k Ω)	f_{sw} (kHz)	RT (k Ω)	f_{sw} (kHz)
16.2	411	41.2	190
16.9	397	13.2	184
17.8	379	45.2	177
18.7	364	47.5	171
20.0	343	49.9	165
21.0	329	52.3	160
22.1	315	54.9	155
23.2	300	59.0	147
24.3	289	64.9	138
25.5	277	71.5	130
26.7	267	78.7	122
28.0	257	86.6	115
29.4	247	95.3	109
30.9	237	100	105
32.4	229	110	100
34.0	220	121	95
35.7	212	133	90
37.4	205	150	85
39.2	200	174	80

周波数の同期

LT8210-1 のスイッチング周波数は、SYNC/SPRD ピンを使用して外部クロックに同期させることができます。SYNC/SPRD レシーバの閾値により、 $1.8\text{V} \sim 5.0\text{V}$ の標準ロジック・レベルに対応可能です。内部でフェーズロック・ループ (PLL) を使用しているため、同期周波数と RT で設定された発振器周波数の間に制約はありません。LT8210-1 は、RT 設定のスイッチング周波数と外部同期クロックとの間を切れ目なく遷移するよう設計されています。SYNC/SPRD 信号が 50kHz より低い周波数になるか、完全に停止すると、LT8210-1 は $20\mu\text{s}$ （代表値）以内に、RT で設定した周波数に戻ります。外部クロック信号が失われた場合でも通常のスイッチングを維持できるよう、RT 設定の周波数を同期周波数の近くに設定することを推奨します。同期クロックを初めて入力したときは、内部 PLL が外部クロック周波数の 5% 以内に安定するまでに $50\mu\text{s}$ 以上かかることがあります。クロック同期機能を使用しないときには、スペクトラム拡散動作を有効にする場合は SYNC/SPRD ピンを V_{DD} ピンに接続し、それ以外の場合は GND に接続します。

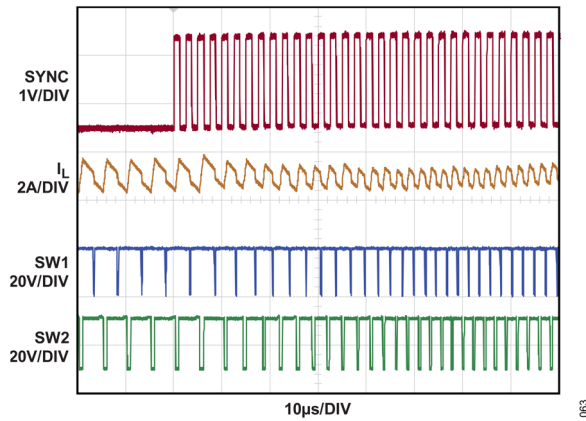


図 63. RT 設定周波数から同期への遷移

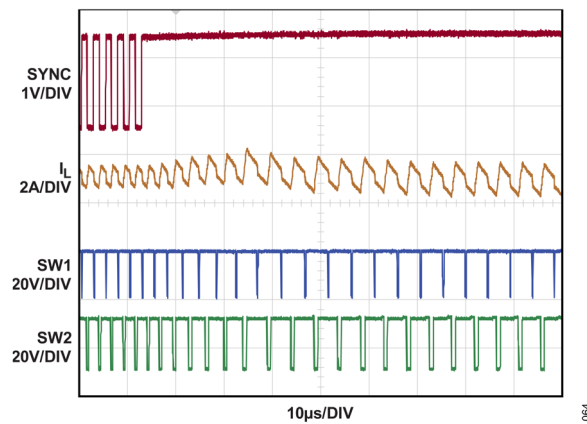


図 64. 同期から RT 設定周波数への遷移

スペクトラム拡散周波数変調

スイッチング・レギュレータは、電磁干渉 (EMI) が懸念されるアプリケーションでは特に問題を生じることがあります。EMI 性能を改善するために、LT8210-1 には選択可能な三角波周波数変調方式が組み込まれています。SYNC/SPRD ピンを V_{DD} に接続すると、スペクトラム拡散機能が有効になります。LT8210-1 は、 f_{sw} を公称の RT 設定周波数とその値の 112.5% との間で緩やかに拡散します。図 65 と図 66 に、スペクトラム拡散機能を有効にした場合のノイズ・スペクトラムとスイッチング波形の違いを示します。

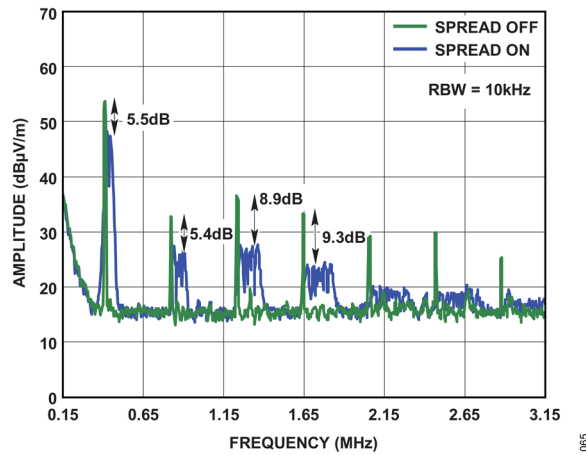


図 65. 平均伝導 EMI の比較 (AM 帯域) の例

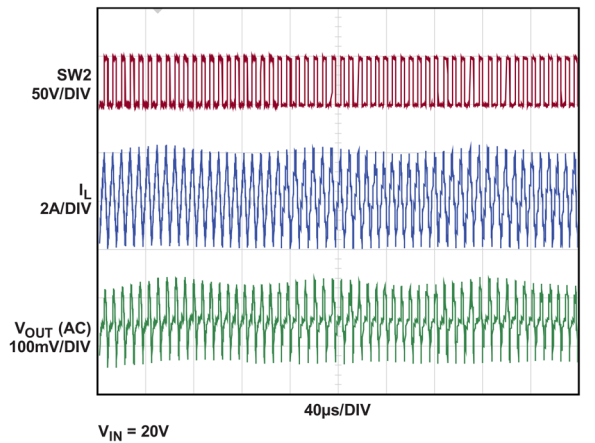


図 66. スペクトラム拡散有効時のスイッチング波形

パワーMOSFET の選択

LT8210-1には4つの外付けNチャンネル・パワーMOSFET (図 60 のスイッチ A、B、C、D) が必要です。LT8210-1 のゲート駆動電圧は、通常は 10V より高いので、ロジック・レベル閾値と標準レベル閾値の両方のデバイスを使用できます。MOSFET の最大 $V_{BR(DSS)}$ 最大値とドレイン電流 (I_D) の定格は、アプリケーションの電圧と電流の最も厳しい条件を上回るようにし、安全のため、余裕を持たせた値にしてください。パワーMOSFET の最大連続ドレイン電流は、温度の関数としてディレーティングされます。この情報は、通常はデータシートから入手できます。パワーMOSFET の選択では、消費電力を考慮することが重要です。最も効率の高い回路は、消費電力が最小の MOSFET を採用したものです。消費した電力とそれによる外付け部品の温度上昇により、LT8210-1 が供給できる電力の上限が決定します。MOSFET の消費電力は、主として、(1) スイッチが完全にオンしてドレイン電流が流れているときの I^2R 導通損失、および (2) スイッチがオンまたはオフに変わる間の消費電力の 2 つの要素から生じます。導通損失は周波数とは無関係です。一方で、スイッチング損失は周波数と電圧に応じて大きさが変化します。一般的に、導通損失が支配的になるのは大電流および低電圧のときであるのに対して、スイッチング損失が支配的になるのは小電流および高電圧のときです。MOSFET の消費電力を正確に予想することは複雑な問題であり、これには、LTpowerCAD® II に組み込まれているような効率計算プログラムが適しています。しかし、効率計算プログラムは現実世界の測定の代わりにはなりません。次のセクションでは、スイッチ A、B、C、D の消費電力の主な発生源を、入出力の電圧とスイッチング領域の関数として概算します。目的は、電力の大部分を消費する場所を求めることによって、MOSFET の選択指針を示すことです。以下の式で、 p_r は温度によるオン抵抗の大きな変動を表す正規化係数 (25°C で 1) で、図 67 に示されているように代表値で 0.4%/°C です。最大ジャンクション温度が 125°C の場合は、 $p_r = 1.5$ を使うのが妥当です。 Q_{sw} はスイッチング電荷であり、MOSFET のデータシートに明記されていない場合は $Q_{sw} = Q_{GD} + Q_{GS}/2$ で概算できます。

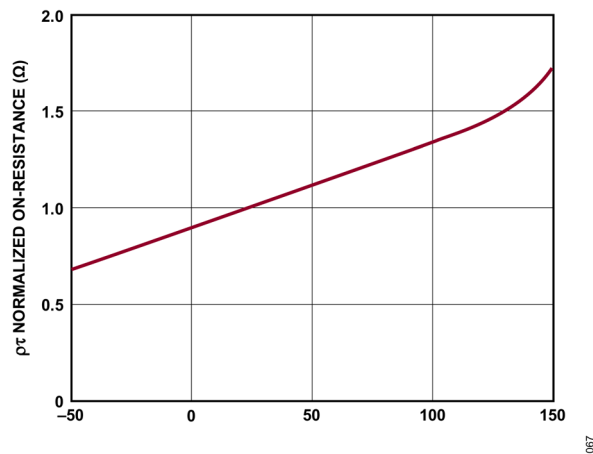


図 67. 正規化した $R_{DS(ON)}$ と温度の関係

定数 k は 1.3 に等しいことが経験的に導かれており、ドライバ抵抗、MOSFET の閾値、およびゲート抵抗の関数です。

スイッチ A :

スイッチ A の消費電力は導通損失とスイッチング損失の両方に起因しており、通常は昇圧領域での $V_{IN(MIN)}$ のとき、あるいは降圧領域での $V_{IN(MAX)}$ のとき最大になります。

表 6. スイッチ A の消費電力

REGION	POWER DISSIPATION
Buck	$I_{OUT}^2 \cdot (V_{OUT}/V_{IN}) \cdot \rho_T \cdot R_{DS(ON)} + k \cdot I_{OUT} \cdot V_{IN} \cdot f_{SW} \cdot Q_{SW}$
Buck-Boost	$I_{OUT}^2 \cdot (V_{OUT}/V_{IN}) \cdot \rho_T \cdot R_{DS(ON)} + k \cdot I_{OUT} \cdot V_{IN} \cdot f_{SW} \cdot Q_{SW}$
Boost	$I_{OUT}^2 \cdot (V_{OUT}/V_{IN})^2 \cdot \rho_T \cdot R_{DS(ON)}$
Pass-Thru (Non-Switching)	$I_{OUT}^2 \cdot \rho_T \cdot R_{DS(ON)}$

スイッチ B :

スイッチ B の消費電力は導通損失が主な原因で、降圧領域での $V_{IN(MAX)}$ のとき最大になります。

表 7. スイッチ B の消費電力

REGION	POWER DISSIPATION
Buck	$I_{OUT}^2 \cdot (1 - V_{OUT}/V_{IN}) \cdot \rho_T \cdot R_{DS(ON)}$
Buck-Boost	$I_{OUT}^2 \cdot (1 - V_{OUT}/V_{IN}) \cdot \rho_T \cdot R_{DS(ON)}$
Boost	0
Pass-Thru (Non-Switching)	0

スイッチ C :

スイッチ C の消費電力は導通損失とスイッチング損失の両方に起因しており、 $V_{IN(MIN)}$ のとき最大になります。

表 8. スイッチ C の消費電力

REGION	POWER DISSIPATION
Buck	0
Buck-Boost	$I_{OUT}^2 \cdot V_{OUT} \cdot (V_{OUT} - V_{IN}) \cdot \rho_T \cdot R_{DS(ON)} / V_{IN}^2 + k \cdot I_{OUT} \cdot V_{OUT}^2$ $\cdot f_{SW} \cdot Q_{SW} / V_{IN}$
Boost	$I_{OUT}^2 \cdot V_{OUT} \cdot (V_{OUT} - V_{IN}) \cdot \rho_T \cdot R_{DS(ON)} / V_{in}^2 + k \cdot I_{OUT} \cdot V_{OUT}^2$ $\cdot f_{SW} \cdot Q_{SW} / V_{IN}$
Pass-Thru (Non-Switching)	0

スイッチ D :

スイッチ D の消費電力は導通損失が主な原因で、昇圧領域での $V_{IN(MIN)}$ のとき最大になります。

表 9. スイッチ D の消費電力

REGION	POWER DISSIPATION
Buck	$I_{OUT}^2 \cdot \rho_T \cdot R_{DS(ON)}$
Buck-Boost	$I_{OUT}^2 \cdot (V_{OUT} / V_{IN}) \cdot \rho_T \cdot R_{DS(ON)}$
Boost	$I_{OUT}^2 \cdot (V_{OUT} / V_{IN}) \cdot \rho_T \cdot R_{DS(ON)}$
Pass-Thru (Non-Switching)	$I_{OUT}^2 \cdot \rho_T \cdot R_{DS(ON)}$

ほとんどのアプリケーションでは、LT8210-1 が $V_{IN(MIN)}$ で $I_{OUT(MAX)}$ を供給しているときに、損失が最大になります。こうした状況では、通常はスイッチ A とスイッチ C が大部分の電力を消費します。より多くの出力電流を流すには、スイッチ A とスイッチ C について 2 つの MOSFET を並列に使用し、導通損失を最小限に抑えるのが有利と考えられます。スイッチ B とスイッチ D での消費電力は、通常動作時は比較的少ない量ですが、出力がグラウンドに短絡すると極めて大きくなる場合があります。入力電圧の関数としてのスイッチの消費電力の代表例を図 68 に示します。その他の電力損失源には、スイッチング領域に応じて、ゲート駆動電流 ($f_{sw} \cdot \Sigma$ スイッチング MOSFET の Q_G) に $GATEV_{CC}$ レギュレータの電源電圧 (V_{INP} と V_{EXTVCC} のいずれか) を掛けた値や、スイッチング・サイクルごとに MOSFET の Q_{OSS} と Q_{RR} を充電するのに必要なエネルギーなどがあります。パワー MOSFET は、製造技術に応じて、オン抵抗 $R_{DS(ON)}$ とゲート電荷 Q_G (および Q_{SW} 、 Q_{OSS} 、 Q_{RR}) がトレードオフの関係になっており、効率の最大化は、多くの場合、これらのバランスがとれた MOSFET を見つけることに帰着します。スイッチング周波数が高く、電圧が高い動作では、スイッチング損失が増大するので、 Q_G (および Q_{SW} 、 Q_{OSS} 、 Q_{RR}) の値の重要性が高くなります。スイッチングしないパススルー状態では、効率を左右する主な要因は、パワー・スイッチ A と D、および DG (使用している場合) での導通損失とインダクタの DCR です。こうした状況で効率を最大限に高めるためには、低 $R_{DS(ON)}$ を Q_G より優先させます。

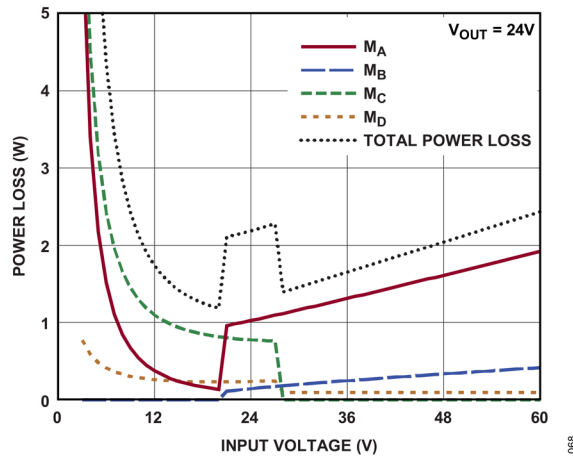


図 68. スイッチの消費電力と V_{INP} の関係の例

C_{IN} と C_{OUT} の選択

レギュレータへの不連続な電流の流入や流出による電圧リップルを抑えるために、入出力コンデンサが必要です。降圧領域では入力電流が不連続であるのに対して、昇圧領域では出力電流が不連続です。入出力コンデンサを適切に選択するための考慮事項は、まとめると次の3つになります。

1. 電圧リップルは容量に反比例する。
2. ESR を小さくして、電圧リップルに対する影響を最小限に抑える。
3. コンデンサの RMS 電流定格は、最も厳しいアプリケーション条件に余裕を持たせた値を超えるようにする。

降圧動作の場合、目的の入力リップル電圧 (ΔV_{IN}) を得るための C_{IN} の値は、式 7 で計算できます。

$$C_{IN} \cong \frac{I_{OUT(MAX)}}{\Delta V_{IN} \cdot f_{SW}} \cdot \left(\frac{V_{OUT}}{V_{IN}} \right) \cdot \left(1 - \frac{V_{OUT}}{V_{IN}} \right) \quad (7)$$

ΔV_{IN} は、通常は許容できるレベルで選択します。100mV~200mV が、初期値として妥当です。入力コンデンサの ESR は式 8 の値より小さくしてください。

$$ESR_{(IN,MAX)} < \frac{\Delta V_{IN}}{I_{OUT(MAX)}} \quad (8)$$

入力実効値電流は、式 9 によって概算できます。

$$I_{IN(RMS)} \cong I_{OUT(MAX)} \cdot \frac{V_{OUT}}{V_{IN}} \cdot \sqrt{\frac{V_{IN}}{V_{OUT}} - 1} \quad (9)$$

この式は V_{IN} = 2V_{OUT} で最大になり、このとき I_{RMS} = I_{OUT(MAX)}/2 となります。設計ではこの単純で最も厳しい条件がよく使用されます。条件を大きく変化させても状況はそれほど改善されないからです。降圧と昇圧のスイッチング領域の場合、目標の出力リップル ΔV_{OUT} を実現するために必要な容量は、式 10 で計算できます。

$$C_{OUT(BOOST)} = \frac{I_{OUT(MAX)} \cdot (V_{OUT} - V_{IN(MIN)})}{\Delta V_{OUT} \cdot f_{SW} \cdot V_{OUT}} \quad (10)$$

$$C_{OUT(BUCK)} = \frac{V_{OUT} \cdot (V_{IN(MAX)} - V_{OUT})}{\Delta V_{OUT} \cdot f_{SW}^2 \cdot V_{IN(MAX)} \cdot 8 \cdot L}$$

出力コンデンサは ESR が十分小さいものにして、リップル電圧が大きく増加しないようにします (式 11)。

$$ESR_{(BOOST)} < \frac{\Delta V_{OUT} \cdot V_{IN(MIN)}}{I_{OUT(MAX)} \cdot V_{OUT}} \quad (11)$$

$$ESR_{(BUCK)} < \frac{\Delta V_{OUT} \cdot L \cdot f_{SW}}{V_{OUT} \cdot \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right)}$$

また、 C_{OUT} は、昇圧領域で動作する場合の最大実効値出力電流も許容できることが必要です (式 12)。

$$I_{OUT(RMS)} \cong I_{OUT(MAX)} \cdot \sqrt{\frac{V_{OUT}}{V_{IN(MIN)}} - 1} \quad (12)$$

C_{IN} と C_{OUT} のどちらのコンデンサについても、容量値を大きくする方法としては、大容量を得るためのアルミ電解コンデンサと低 ESR のためのセラミック・コンデンサを並列接続して、実効値電流に対処するのが適切です。一緒に使用した場合、アルミ電解コンデンサに流れる実効値電流のパーセント値は式 13 で概算できます。

$$\%I_{RMS,ALUM} \approx \frac{100\%}{\sqrt{1 + (2\pi \cdot f_{SW} \cdot C_{(CER)} \cdot R_{ESR(ALUM)})^2}} \quad (13)$$

ここで、 $R_{ESR(ALUM)}$ はアルミ電解コンデンサの ESR であり、 $C_{(CER)}$ はセラミック・コンデンサの合計容量値です。高周波数のスイッチング・スパイクを抑えるために、セラミック・コンデンサはレギュレータの入出力の近くに配置します。特に、入力セラミック・コンデンサはスイッチ A および B のすぐ近くに配置し、出力セラミック・コンデンサはスイッチ C および D の近くに配置してください。セラミック・コンデンサは優れた低 ESR 特性を備えているので、リップル電圧を大幅に低減することが可能であり、ESR の高いバルク・コンデンサでの電力損失を低減するのに役立ちます。X5R と X7R の誘電体は、広い電圧範囲と温度範囲にわたって容量を維持できるので、これらの使用を推奨します。入出力電圧が高い場合は、標準的なフットプリントでの高電圧かつ大容量のセラミック・コンデンサの供給は限られているため、複数のセラミック・コンデンサを並列接続することが必要な場合があります。入力や出力の電圧リップルが大きい状況では、 V_{INP} および V_{OUT} 入力に時定数が $1\mu s$ 以上の RC ローパス・フィルタを取り付けて、スイッチング・エッジのジッタを低く抑えることを推奨します。

ブートストラップ・コンデンサ (C_{BST1} 、 C_{BST2})

上側 MOSFET ドライバのゲート駆動信号 (TG1、TG2) は、それぞれの BST ピンと SW ピンの電圧の差分で駆動されます。BST1 と BST2 の電圧はフロート状態のブートストラップ・コンデンサ C_{BST1} と C_{BST2} によってバイアスされますが、これらは通常それぞれの上側 MOSFET がオフすると、ダイオード D_{BST1} と D_{BST2} を介して $GATEV_{CC}$ により再充電されます。ブートストラップ・コンデンサ C_{BST1} および C_{BST2} は、上側スイッチ A および D が必要とするゲート電荷 (Q_G) の約 100 倍の電荷を保持する必要があります。ほとんどの状況では、 $0.1\mu F \sim 0.47\mu F$ 、25V の X5R または X7R 誘電体コンデンサで十分です。 $GATEV_{CC}$ とグラウンドの間のバイパス容量は C_{BST1} 、 C_{BST2} コンデンサの値の 10 倍以上にしてください。SW1 ピンと SW2 ピンの立上がり時間を長くするには、それぞれのブートストラップ・コンデンサと BST1 ピンまたは BST2 ピンの間に直列抵抗を追加します。スイッチ・エッジの減速により、オーバーシュートを改善できますが、遷移損失が大きくなるため、効率が低下する可能性があります。

ブートストラップ・ダイオード (D_{BST1} 、 D_{BST2})

ブートストラップ・ダイオード (D_{BST1} と D_{BST2}) には、定格が 1A で逆方向回復時間が非常に短い (<50ns) シリコン・ダイオードを推奨します。ショットキー・ダイオードには順方向電圧降下が小さいという利点がありますが、逆方向の漏れ電流が大きくなることもあり、電圧と温度が高い条件では熱暴走の可能性があります。 D_{BST1} および D_{BST2} の逆方向ブレークダウン電圧定格が、それぞれ $V_{INP(MAX)}$ および $V_{OUT(MAX)}$ より高く、最大動作温度での逆方向漏れ電流が 50 μ A 未満であるようにします。パススルー・モードでは逆方向漏れ電流が少ないことが不可欠です。内部チャージ・ポンプの効率が限られているため、ブートストラップ・ダイオードの漏れ電流は、不釣り合いな影響を自己消費電流に及ぼします。パススルー・モードでは、最大動作温度での逆方向漏れ電流が 10 μ A 以下のダイオードを使用します。場合によっては、 D_{BST1} および D_{BST2} と直列に小さな抵抗 (5 Ω 未満) を追加するのが有益な場合があります。この抵抗により、ダイオードに流れるサージ電流が減少し、IC の SW ピンや BST ピンのリンギングを低減できます。SW ピンのリンギングは PCB レイアウト、SW ピンのエッジ速度、ダイオードの種類に大きく依存するので、入念な測定を IC の SW ピンで直接行うことを推奨します。必要な場合は、 D_{BST1} と D_{BST2} の両方のアノードと $GATEV_{CC}$ の間に 1 本の抵抗を配置するか、各ダイオードのカソードとそれぞれの BST ピンの間に個別の抵抗を配置します。 D_{BST1} および D_{BST2} と直列に接続する抵抗が大きすぎると、スイッチ B および C のオン時間が非常に短いときにブートストラップ・コンデンサの電圧が低下する場合がありますので、避けるようにしてください。

EXTV_{CC}、GATEV_{CC}、V_{DD}

$GATEV_{CC}$ はゲート・ドライバの電源であり、4.7 μ F (25V) 以上のセラミック・コンデンサをピンの近くに配置してグラウンドにバイパスします。MOSFET ゲート・ドライバが必要とする大きい過渡電流を供給するには、良好なローカル・バイパスが必要です。 $GATEV_{CC}$ 電圧は、 V_{INP} ピンまたは EXTV_{CC} ピンから電力が供給される PMOS 低ドロップアウト・レギュレータにより、10.6V に安定化されます。デフォルトの電源は V_{INP} ですが、EXTV_{CC} の電圧が 8V (代表値) を超え、同時に V_{INP} の電圧より低い場合、 $GATEV_{CC}$ は EXTV_{CC} によって安定化されます。LT8210-1 は、これら 2 つの電源のうち電圧の低い方を自動的に選択して、消費電力を最小限に抑えます。EXTV_{CC} は V_{OUT} に接続することも、システム効率向上のため最大 40V の任意の電源に接続することもできます。使用しない場合、EXTV_{CC} は 100k 抵抗を介してグラウンドに接続してください。 $GATEV_{CC}$ レギュレータが供給できる最大電流は、 $V_{IN} = 12V$ では通常 110mA であり、これより高い電圧では直線的に低下します。これにより、LT8210-1 の消費電力はおおよそ 3W に制限されます。パワー・MOSFET の選択とスイッチング周波数の設定にあたっては、電流制限を考慮してください。 $I_{GATEVCC}$ の大半を占めるのはゲート充電電流で、これは昇降圧領域で 4 つのパワー・MOSFET 全てがスイッチングしている場合に最大値に到達します。ゲート駆動電流のピーク値は、 f_{sw} と MOSFET のゲート電荷の合計 ($Q_{G(TOT)} = Q_{G(A)} + Q_{G(B)} + Q_{G(C)} + Q_{G(D)}$) との積に等しくなります。 $GATEV_{CC}$ ピンは、 V_{INP} と EXTV_{CC} のいずれかの電圧が $GATEV_{CC}$ の電圧より低くなった場合のため、バックドライブで保護されています。この機能によって、LT8210-1 は、EXTV_{CC} を使用しない場合でも、入力電圧低下状態での動作を維持できるため有用です。 $GATEV_{CC}$ が入力トランジェントを乗り切ることができる時間の長さは、 $I_{GATEVCC}$ とバイパス・コンデンサの容量により変動します。 $GATEV_{CC}$ レギュレータは、最大 220 μ F までのコンデンサを接続しても安定であるため、数ミリ秒といった必要なライドスルー条件に合わせられる柔軟性があります。 V_{DD} ピンは、低ドロップアウト PMOS レギュレータにより、 $GATEV_{CC}$ を電源として 3.3V に安定化されます。 V_{DD} ピンは、LT8210-1 内部の低電圧回路に電力を供給し、流出電流の最大値は 10mA です。このピンは、2.2 μ F 以上の X5R/X7R コンデンサをグラウンドとの間に接続してバイパスします。 V_{DD} 電源は、MODE1、MODE2、SYNC、PWGD の各入力ピンをロジック・ハイにするとき、便利な使用できるブルーアップ・レールです。指定以外の負荷に電力を供給する場合は、弊社にお問い合わせください。

出力電圧の設定

LT8210-1には電圧帰還ピンFB1があり、LT8210-1をCCM動作またはDCM動作用に構成する場合に一定の出力電圧を設定するために使用します。出力電圧は、式14に従ってR_{1A}とR_{1B}(図69)の値を選択することで設定できます。

$$V_{OUT} = 1.00V \cdot \frac{R_{1A} + R_{1B}}{R_{1B}} \tag{14}$$

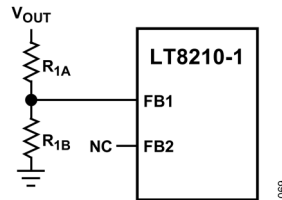


図 69. CCM、DCM 動作スイッチング・モード用の出力電圧の設定

パススルー・モードでは、降圧チャンネルと昇圧チャンネルの出力電圧が、式15に従って別々に設定されます。図70を参照してください。

$$V_{OUT(BOOST)} = 1.00V \cdot \frac{R_{1A} + R_{1B}}{R_{1B}} \tag{15}$$

$$V_{OUT(BUCK)} = 1.00V \cdot \frac{R_{2A} + R_{2B}}{R_{2B}}$$

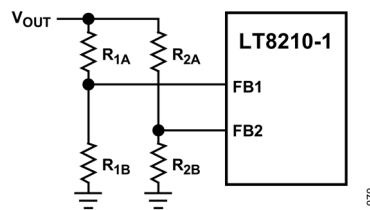


図 70. パススルー・モード用の出力電圧ウィンドウの設定

また、FB1とFB2の分圧器は、図71に示すように、式16に従って3つの抵抗を1列に並べて設定し、システムの自己消費電流を低減することもできます。

$$V_{OUT(BOOST)} = 1.00V \cdot \frac{R_{1A} + R_{1B} + R_{1C}}{R_{1B} + R_{1C}} \tag{16}$$

$$V_{OUT(BUCK)} = 1.00V \cdot \frac{R_{1A} + R_{1B} + R_{1C}}{R_{1C}}$$

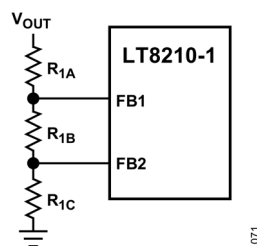


図 71. パススルー・モードでの省電力帰還抵抗接続

動作中にパススルー・モードが終了すると、FB1 ピンと FB2 ピンは内部スイッチによって短絡され、 $V_{OUT(BOOST)}$ と $V_{OUT(BUCK)}$ の間の合成値 V_{OUT} が生じます。FB1 と FB2 の抵抗分圧器の相対的な大きさを利用して、 V_{OUT} を $V_{OUT(BOOST)}$ と $V_{OUT(BUCK)}$ の間の目標値に設定できます (式 17)。

$$V_{out} = 1.00V \cdot \frac{R_{1A} \parallel R_{2A} + R_{1B} \parallel R_{2B}}{R_{1B} \parallel R_{2B}} \quad (17)$$

図 70 に示す抵抗の構成を使用してパススルー・ウィンドウの上限と下限を規定する場合、 V_{OUT} は、パススルー・モードから抜けるときの $V_{OUT(BUCK)}$ に等しくなります。

電流制限の設定

昇圧および昇降圧の動作モードでは、 $V_{OUT} > V_{INP}$ のとき、 R_{SENSE} で設定される電流制限はデューティ比によって変動します (式 2)。電力損失が大きくなる犠牲を払っても変動を抑えたい場合には、 R_{SENSE2} を使用して平均電流制限値を設定します。 $R_{SENSE2} \approx 1.5 \cdot R_{SENSE}$ に設定することを推奨します。この値は、電力損失と電流制限の変動の間のトレードオフを最適化します。すなわち、電力損失を最小化しながらも、入力電圧が出力電圧より低くなったときの電流制限の変動をある程度抑制します。

(高い電力ロスを許容しつつ) V_{INP} と独立に電流制限の変動を設定するには、 R_{SENSE2} を次のようにする方法もあります。

$$R_{SENSE2} = \frac{0.15}{I_{OUT(MAX)}} - \frac{V_{OUT}}{V_{INP(MIN)}} \cdot R_{SENSE} \cdot \left(1 + \frac{\Delta I_L\%}{2}\right) \quad (18)$$

計算値より 20%~30%低く余裕をとることを推奨します。

ここで、

$I_{OUT(MAX)}$ は最大平均出力電流です。

$V_{INP(MIN)}$ は V_{INP} ピンの最小入力電圧です。

$\Delta I_L\%$ はインダクタのリプル電流を出力電流で割ったものです。代表的には 30%~40%が最適です。

多相電流部品の選択

出力リップル電流によって軽負荷時の相間の電流マッチングが悪化する可能性があるため、これを平均化するために、 R_{SENSE2} 端子と SNSP2 および SNSN2 入力の上に RC ネットワークが必要です。このローパス・フィルタの時定数は $5\mu s$ より大きく (例えば 49.9Ω と $100nF$) することが必要で、電流マッチング改善のためにより大きくすることもできます。LT8210-1 の各相には、IMON ピンと IC の信号グラウンドの間に $11k$ の抵抗を置きます。全ての相の IMON ピンは、数百 Ω 以上の抵抗を介して共通ノードに接続します。各 IMON ピンにはローカルにバイパス・コンデンサ ($10nF$ など) を設けて、局所的なグラウンド電圧の変動によるノイズを防止します。各相の V_{CI} ピン (パススルー・モードを使用する場合は V_{C2} も) には、各々のタイプ II 補償ネットワークが必要で、これらのピンは $1k \sim 10k$ の抵抗を介して共通ノードに接続します。 V_{CI} ピン (パススルー時には V_{C2} も) のカップリングにより、リファレンス電圧の変動と帰還抵抗分圧器の不整合による電流マッチング誤差が大きく低減します。 V_{CI} ピンを接続する抵抗によって、補償ネットワークは、それを接続している PCB パターンが拾うスイッチング・ノイズから分離されます。各相について別々の FB1 抵抗 (パススルー時には FB2 も) を使用することを推奨します。これにより電流マッチング誤差が増加しますが、許容誤差 0.1% の抵抗の使用によって大幅に低減できます。電流ミスマッチのわずかな増加と比較すると、高インピーダンスのフィードバック信号を相間で長く引き回すリスクをとる価値はありません。

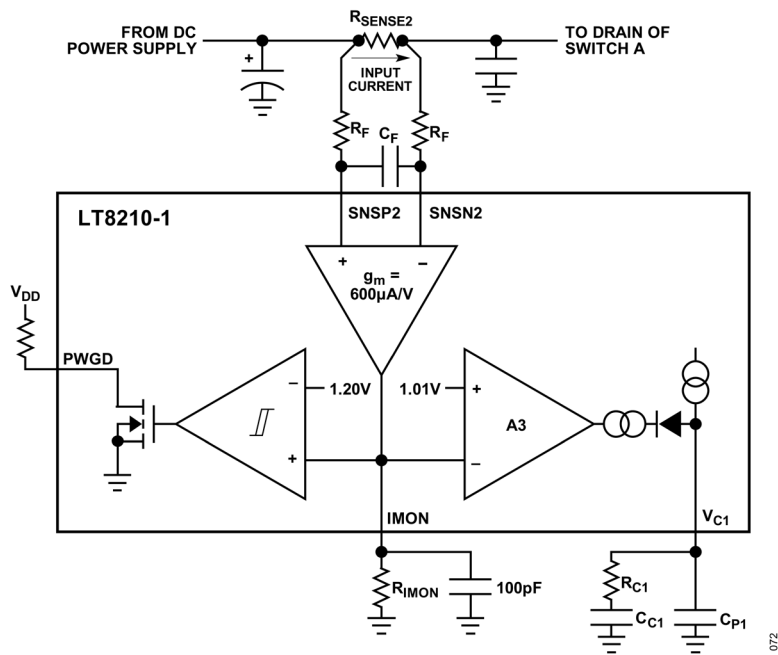


図 72. 2 相の電流分担アプリケーション

V_{IN} UVLO の設定

V_{IN} と EN/UVLO ピンの間の抵抗分圧器で、V_{IN} 低電圧ロックアウト機能 (UVLO) を設定します。EN/UVLO の立下がり閾値は 1.35V の設定で、100mV のヒステリシスがあります。プログラマブルな UVLO 閾値は式 19 を使用して計算できます。

$$V_{UVLO-} = 1.35 \cdot \frac{R_1 + R_2}{R_2} \tag{19}$$

図 73 には、外部シャットダウン制御を実行し、UVLO 機能も使用する例を示しています。NMOS がオンになると EN/UVLO ピンが接地されて LT8210-1 をシャットダウン状態にします。このときの自己消費電流は 1µA 未満です。EN/UVLO ピンの機能が不要な場合は、V_{IN} ピンに接続して、常時オン動作にします。

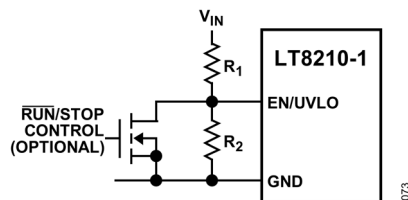


図 73. EN/UVLO ピンを使用した V_{IN} UVLO の実装

ソフトスタート

ソフトスタート機能は、コントローラの電流制限値を徐々に増加させることで、入力電源のサージ電流を減少します。V_{C1}ピンとV_{C2}ピンの両方が、SSピンの電圧よりダイオード1個分だけ高い電圧に内部でクランプされます。SSピンのコンデンサが充電されるにつれて、V_{C1}とV_{C2}の電圧はSSピンと共に上昇し、これによって決まるインダクタ電流も同様に増加します。ソフトスタートの時間はC_{SS}、C_{OUT}、V_{OUT}、R_{SENSE}の関数で、式20により概算できます。

$$t_{SS} \cong 2000 \cdot \sqrt{C_{SS} \cdot C_{OUT} \cdot V_{OUT} \cdot R_{SENSE}} \tag{20}$$

ここでは降圧領域での動作を前提にしており、起動時にはインダクタ電流がそのサイクル単位の最大値に達することはないものとしています。起動中に昇圧スイッチング領域に入る場合、またはインダクタ電流がその制限値に達した場合、ソフトスタート時間は長くなります。C_{SS}を使用しない場合、インダクタ電流はその最大値まで急速に上昇し、出力電圧の立ち上がり時間は式21により概算できます。

$$t_{SS} \approx 20 \cdot C_{OUT} \cdot V_{OUT} \cdot R_{SENSE} \tag{21}$$

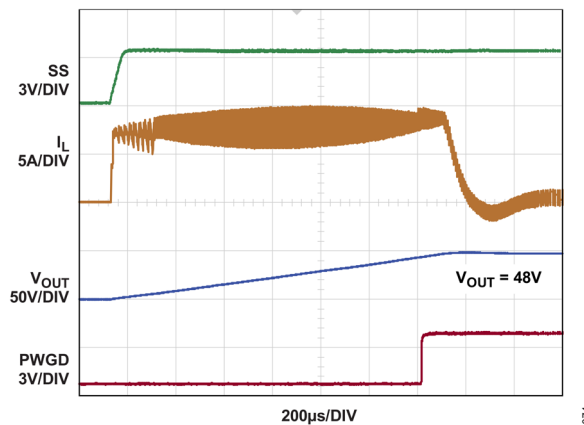


図 74. C_{SS}なしの場合の代表的な起動

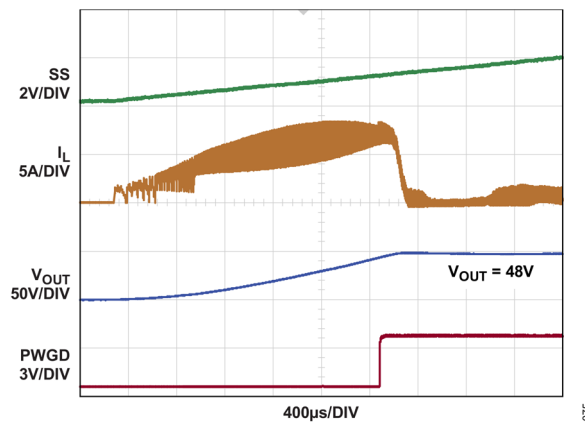


図 75. C_{SS} = 10nF の場合の代表的な起動

容量のディケード・ボックスを使用して C_{SS} の値を経験的に決めるのが、多くの場合最も簡単な方法です。パススルー・モードでは、10nF 以下の C_{SS} を使用します。

ループ補償

ループの安定性には、インダクタの値、出力容量、負荷電流、スイッチング周波数、入出力電圧の範囲など、多数の要因が影響します。LT8210-1 は、内蔵のトランスコンダクタンス・アンプを V_{C1} と V_{C2} の出力と組み合わせて使用して、制御ループを補償します。LT8210-1 の補償に使用するタイプ II の補償ネットワークを図 76 と図 77 に示します。

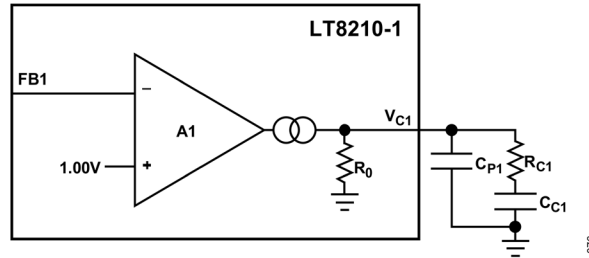


図 76. V_{C1} でのループ補償

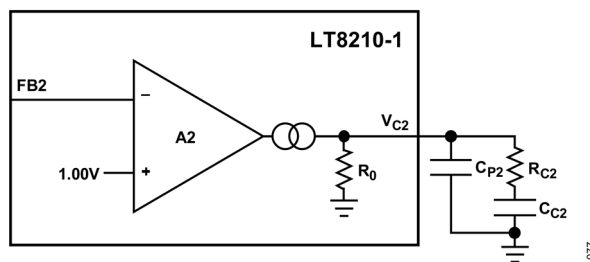


図 77. V_{C2} でのループ補償

大半のアプリケーションでは、 C_{C1} の初期値を 2.2nF にするのが妥当です。 C_{C1} の値を小さくすると、負荷過渡応答後のセトリング・タイムを改善できます。 C_{P1} は、スイッチング・ノイズをフィルタで除去してジッタを低減するために使用し、通常は C_{C1} の値の 1/10 以下に設定します。 C_{P1} の値を大きくすると、パルススキッピング動作時のスイッチング・バースト間のジッタ性能を改善できます。 C_{P1} の設定値が高すぎると、ループ帯域幅と位相余裕が低下することがあります。 R_{C1} の値は、5k 未満から 100k 超までの範囲にできます。 R_{C1} の値を大きくすると、ループ帯域幅は向上しますが、位相余裕が犠牲になることがあります。制御部から出力への伝達関数に右半平面ゼロが存在するため、昇降圧レギュレータの補償は、昇圧領域動作の詳細に強く依存します。出力電流を大きくして $D^*_{BST}(V_{INP(MIN)}/V_{OUT})$ の最小値を低くするには、補償を無難な設定にすること、言い換えれば R_{C1} の値を小さくすることが必要です。LT8210-1 をパススルー・モードで動作させる場合は、 V_{C2} ピンを使用して降圧レギュレーション・ループを補償します。降圧電流モード制御の伝達関数には右半平面ゼロが含まれていないので、より積極的に補償して過渡応答を改善できます。大半のアプリケーションでは、 C_{C2} の初期値を 1.5nF にするのが妥当です。スイッチング・ノイズをフィルタリングするには、100pF~220pF の C_{P2} で通常は十分です。設計の開始にあたっては、 R_{C2} の値を 20k~150k の範囲内で選択します。電流モード制御でのタイプ II 補償の詳細については、アナログ・デバイセズのアプリケーション・ノート 149 を参照してください。

オプションの DG MOSFET の選択

逆電圧保護機能を実装するには、Nチャンネル MOSFET を使用し、ソースを V_{IN} ピンに、ドレインを V_{INP} ピンに、ゲートを DG ピンにそれぞれ接続する必要があります。DG の MOSFET を選択する上で重要な考慮事項には、ブレイクダウン電圧 $V_{BR(DSS)}$ 、連続ドレイン電流 (ID)、オン抵抗 ($R_{DS(ON)}$) などがあり、オン抵抗は導通損失によってコンバータの効率を低下させます。DG の MOSFET のブレイクダウン電圧は、 V_{INP} と V_{IN} の間の電圧差の最も厳しい値より大きいことが必要です。DG の MOSFET の連続ドレイン電流は、最大温度での最大入力電流 ($50mV/R_{SENSE}$) を超えるようにしてください。DG の MOSFET のゲート電荷 (QG) がシステムの効率を低下させることはありませんが、QG が大きいと、起動時間と逆入力保護の応答時間の両方が長くなります。ほとんどの場合、消費電力を最小限に抑えるには、QG が大きくなるという代償を払っても $R_{DS(ON)}$ の小さい MOSFET を選択する方が有利です。 V_{IN} の電圧が $-1.2V$ (代表値) より低くなると、 $80mA$ の流入電流能力を備えた低抵抗のスイッチにより、DG ピンが内部で V_{IN} にクランプされます。ゲート電荷が $50nC$ のパワー MOSFET の場合、DG は、負の入力電圧が検出されてから $1\mu s$ 以内に V_{IN} に短絡されます。スイッチングはこの状態で停止します。入力が逆極性でなくなり、かつ DG- V_{IN} 間の電圧が充電によって $2.8V$ (代表値) の低電圧閾値より高くなった場合のみ、スイッチングを再開します。 V_{IN} 、EN/UVLO、DG の各ピンは、 $-40V$ までの負電圧に耐えられます。逆電圧保護が必要ない場合は、 V_{IN} と V_{INP} を接続して、 $1nF$ 、 $25V$ のコンデンサを V_{IN} と DG の間に接続します。

パススルー動作についての部品の最適化

パススルー領域での動作時の性能を最適化するためには、部品選択に特別な配慮が必要です。LT8210-1 がスイッチングしないパススルー状態に入ると、スイッチ A とスイッチ D は連続的に導通して、 V_{INP} と V_{OUT} の間に RLC タンク回路を形成します。このスイッチングしないパススルー状態では、入出力間の全直列抵抗での導通損失によって効率が決まります (式 22)。

$$\eta = 100\% \cdot \left(1 - \frac{I_{OUT} \cdot R_{SERIES}}{V_{IN}}\right) \tag{22}$$

$$R_{SERIES} = R_{DSON(A)} + R_{SENSE} + R_{DCR} + R_{DSON(D)} + R_{SENSE2}$$

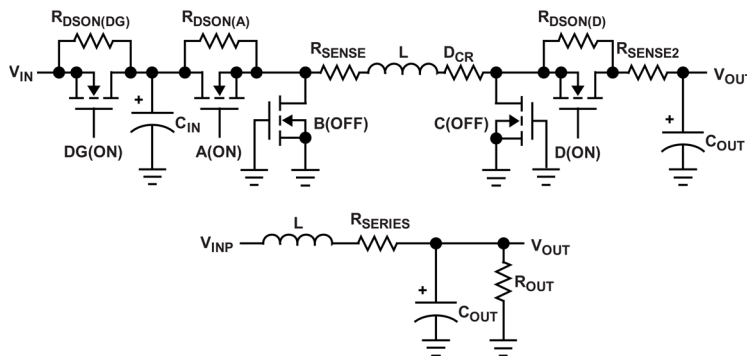


図 78. スwitchングしないパススルー・モードの等価回路

R_{SERIES} は最小限に抑えて、大出力電流時の効率を維持します。逆入力保護機能を実装する場合は、効率を計算するときには DG の MOSFET の $R_{DS(ON)}$ も考慮に入れる必要があります。 V_{INP} と V_{OUT} の間の RLC ネットワークの Q 値は、インダクタ電流と、入力と負荷の過渡応答に起因する出力電圧の応答性に大きく影響するので、可能な限り最小限に抑えます。この Q 値 (Q) は式 23 で概算できます。

$$Q \cong \sqrt{\frac{L}{C_{OUT}}} \cdot \frac{1}{R_{SERIES}} \tag{23}$$

直列抵抗が小さいと、効率については有利である一方、Q 値が高くなり、過渡応答が不足減衰になります。R_{SERIES} を大きくしなくても、インダクタの値を小さくするか、出力容量を増やせば、Q 値を小さくできます。インダクタの値が小さい場合は、スイッチング中のリップル性能および低調波安定性を維持するため、高いスイッチング周波数で動作することが必要です。アプリケーションの詳細によっては、入力電圧が大部分の時間パススルー範囲内に入ることが予想され、スイッチング損失の増大に起因する効率の低下が大きな問題でなければ、このアプローチが良いと考えられます。それ以外の場合は、出力容量を増やすことが、Q 値を低くするためのおおむね安全な方法ですが、ループ補償に調整が必要になる可能性があります。RLC ネットワークの共振周波数は、式 24 を使用して計算できます。

$$f_0 = \frac{1}{2\pi} \cdot \sqrt{\frac{1}{L \cdot C_{OUT}}} \quad (24)$$

一般的に、共振周波数より低い周波数では、出力が入力にほぼ追従します。共振周波数より高い範囲では、入力の AC 電圧の大部分がインダクタの両端に電圧として現れます。LT8210-1 は、スイッチングしない状態でインダクタの電圧と電流をモニタし、インダクタ電流がパススルー DC 電流制限値（通常は、V_{SNSP1} - V_{SNSN1} > 63mV）を超えるか、V_{INP} と V_{OUT} の間の電圧差が入力電圧の 4% を超えると、スイッチングを再開します。これは、V_{INP} と V_{OUT} の間の全直列抵抗値を、式 25 未満の大きさにする必要があるという意味です。

$$R_{DS(ON)(A)} + R_{SENSE} + R_{DCR} + R_{DS(ON)(D)} \ll \frac{0.04 \cdot V_{OUT(BOOST)}}{I_{OUT(MAX)}} \quad (25)$$

入力電源ノイズの振幅が、共振周波数より高い周波数で公称値の 4% を超える場合は、入力フィルタを追加して高周波成分を低減し、パススルー領域でのスイッチングを停止または最小化します。パススルー領域での負荷過渡応答は、主に出力コンデンサの ESR によって決まるので、セラミック・コンデンサを並列に接続して、ESR を低く抑えます。パルク出力コンデンサの ESR も、共振周波数付近の出力インピーダンスを決めるので、比較的低い値にします。ソフトスタート・コンデンサ C_{SS} は、入力または負荷の過渡応答あるいはモード変更が原因で LT8210-1 がスイッチングしないパススルー状態から抜けると、そのたびにインダクタ電流の増減を制御します。C_{SS} の値が 10nF より大きいと、スイッチングしない状態からスイッチング状態に移移するときの出力応答が低速になる可能性があるため、アプリケーションでのこの値の検証は最も厳しいトランジェント条件下で行ってください。軽負荷 (I_{OUT} < 10mA) 時の効率とシステムに流れる自己消費電流は、FB1、FB2、EN/UVLO（入力 UVLO を実装している場合）の分圧器に大きな値の抵抗を使用することで最適化されます。可能な場合は、3 抵抗型の分圧器 1 つを出力とグラウンドの間に使用して、V_{OUT(BOOST)} と V_{OUT(BUCK)} を設定してください。

効率に関する考慮事項

スイッチング・レギュレータの効率は、出力電力を入力電力で割った値に 100% を乗じた値です。多くの場合、個々の損失を分析して、効率を制限する要素が何であり、また何が変化すれば最も効率が改善されるかを判断することが有益です。損失は全ての電力消費要素で生じますが、LT8210-1 の回路での主な損失の発生源は以下のとおりです。

1. スwitching 損失。この損失が発生するのは、SW1 または SW2 ノードの遷移時に、それぞれスイッチ A またはスイッチ C が飽和領域に短時間留まるのが原因です。電力損失は、入力電圧、出力電圧、負荷電流、ドライブ強度、MOSFET 容量などの要因に依存します。詳細については、[パワー MOSFET の選択](#)のセクションを参照してください。
2. DC の I²R 損失。これは、MOSFET、センス抵抗、インダクタ、および PC ボード・パターンの各抵抗によって生じ、出力電流が大きい場合に効率を低下させます。

3. GATEV_{CC} 電流。MOSFET ドライバの電流、V_{DD} ピンの電流、制御電流の和です。GATEV_{CC} レギュレータの電源電圧に電流を掛けた値が損失電力になります。出力や代替電源（使用する場合）など、効率の高い電源から EXT_VCC ピンを介して GATEV_{CC} の電流を供給すれば、この損失を低減できます。Q_G の小さい MOSFET では、GATEV_{CC} の電流と電力損失が低減され、スイッチング周波数を下げられます。
4. C_{IN} と C_{OUT} の損失。入力コンデンサには、降圧モードのレギュレータへの大きな RMS 入力電流をフィルタリングするという難しい役割があります。出力コンデンサには、昇圧モードの大きな実効値出力電流をフィルタリングするという難しい役割があります。C_{IN} にも C_{OUT} にも、AC の I²R 損失を最小限に抑えるために低 ESR であることが求められます。同時に、実効値電流によって更にヒューズやバッテリーといった上流側に損失が生じるのを防ぐために、十分な容量を備えている必要もあります。
5. その他の損失。インダクタのコア損失は主に軽負荷で生じます。効率を向上させるために調整を加えるときは、入力電流が効率の変化を表す最も良い指標となります。何らかの変更を加えて入力電流が減少した場合は、効率が向上したことを示しています。入力電流に変化がなければ、効率も変化していません。

PC ボード・レイアウト時のチェックリスト

基本的な PC ボード・レイアウトには、専用のグランド・プレーン層が必要です。また、電流値が大きい場合は、多層ボードを使用すれば電源部品が発する熱を放出することができます。

- グランド・プレーン層にはパターンを配置しないでください。また、この層は、パワー MOSFET が置かれた層にできるだけ近くする必要があります。
- パワー・グランドは信号グランドと分離します。パワー・グランドは、C_{IN}、C_{OUT}、C_{GATEVCC} の (-) 端子と、スイッチ B および C のソースに接続します。全ての小信号用部品および補償部品はこれと別の信号グランドに接続し、信号グランド自体は、大電流やスイッチング・ノイズから遠ざけて PCB グランドに一点で接続します。GND ピンと裏面のタブは信号グランドに接続する必要があります。
- スイッチ A、スイッチ B、入力コンデンサは、PCB パターンの長さを短くして、1 箇所に集約して配置します。
- スイッチ C、スイッチ D、出力コンデンサは、PCB パターンの長さを短くして、1 箇所に集約して配置します。
- TG1 ピンと BG2 ピンからそれぞれパワー・スイッチ A、C までの配線抵抗を最小限に抑えます。
- 十分な電圧フィルタリングを維持して電力損失を抑えるために、V_{IN}、V_{INP}、V_{OUT} にはプレーンを使用します。
- SW1 と SW2 のプレーンは十分に広くして、パワー・スイッチ、インダクタ、センス抵抗の間を低抵抗で接続します。ただし、それ以外のパターンはできるだけ小さくして、寄生容量を最小限に抑えてください。
- インダクタ電流の検出パターン (SNSP1/N1) は、PCB パターンの間隔を短くして一緒に配線します。正と負の検出パターン間に接続するオプションのフィルタ・ネットワーク・コンデンサは、できるだけ IC に近づけます。R_{SENSE} 抵抗にはケルビン接続を使い、正確な電流検出ができるようにしてください。
- 平均電流の検出パターン (SNSP2/N2) は、PCB パターンの間隔を短くして一緒に配線します。dV/dT の高い信号との交差配線や平行配線は避けてください。正と負の検出パターン間に接続するオプションのフィルタ・ネットワーク・コンデンサは、できるだけ IC に近づけます。R_{SENSE2} 抵抗にはケルビン接続を使い、正確な電流検出ができるようにしてください。
- dV/dT の高い SW1、SW2、BST1、BST2、TG1、TG2、SNSP1、SNSN1 のノードは影響を受けやすい小信号ノードから離して配置します。
- 誘導結合で電圧ノイズを拾う可能性があるため、di/dt の高い電流が流れるパターンと信号パターンを平行に配線しないようにします。これに該当するのは、SW1、SW2、TG1、TG2、BG1、BG2 からコントローラまでのパターンです。

- 上側ドライバのブートストラップ・コンデンサ C_{BST1} は、BST1 ピンと SW1 ピンに近づけて接続します。上側ドライバのブートストラップ・コンデンサ C_{BST2} は、BST2 ピンと SW2 ピンに近づけて接続します。
- FB1 ピンと FB2 ピンの抵抗分圧器を C_{OUT} の (+) 端子と信号グラウンドの間に接続します。その抵抗は大電流経路やノイズの多い経路沿いには接続しないでください。
- $EXTV_{CC}$ を V_{OUT} に接続する場合は、 C_{OUT} の (+) 端子へのケルビン接続を設け、セラミック・バイパス・コンデンサを $EXTV_{CC}$ ピンの近くに配置してください。
- V_{C1}/V_{C2} ピンの補償ネットワークは、 V_{C1}/V_{C2} と信号グラウンド・ピンの間に IC の近くで接続します。このコンデンサは、PCB ノイズと出力リップル電圧の影響を補償ループから除去するのに役立ちます。
- $GATEV_{CC}$ と V_{DD} のバイパス・コンデンサは IC の近くに接続します。これらのコンデンサには MOSFET ドライバのピーク電流が流れます。すべての層について未使用領域は全て銅で覆います。これにより、電源部品の温度上昇を抑えることができます。これらの銅領域は、DC ネット（例えば低ノイズの GND）に接続します。

標準的応用例

4相、12VのCCMとDCMの動作、8V~16Vでパススルー

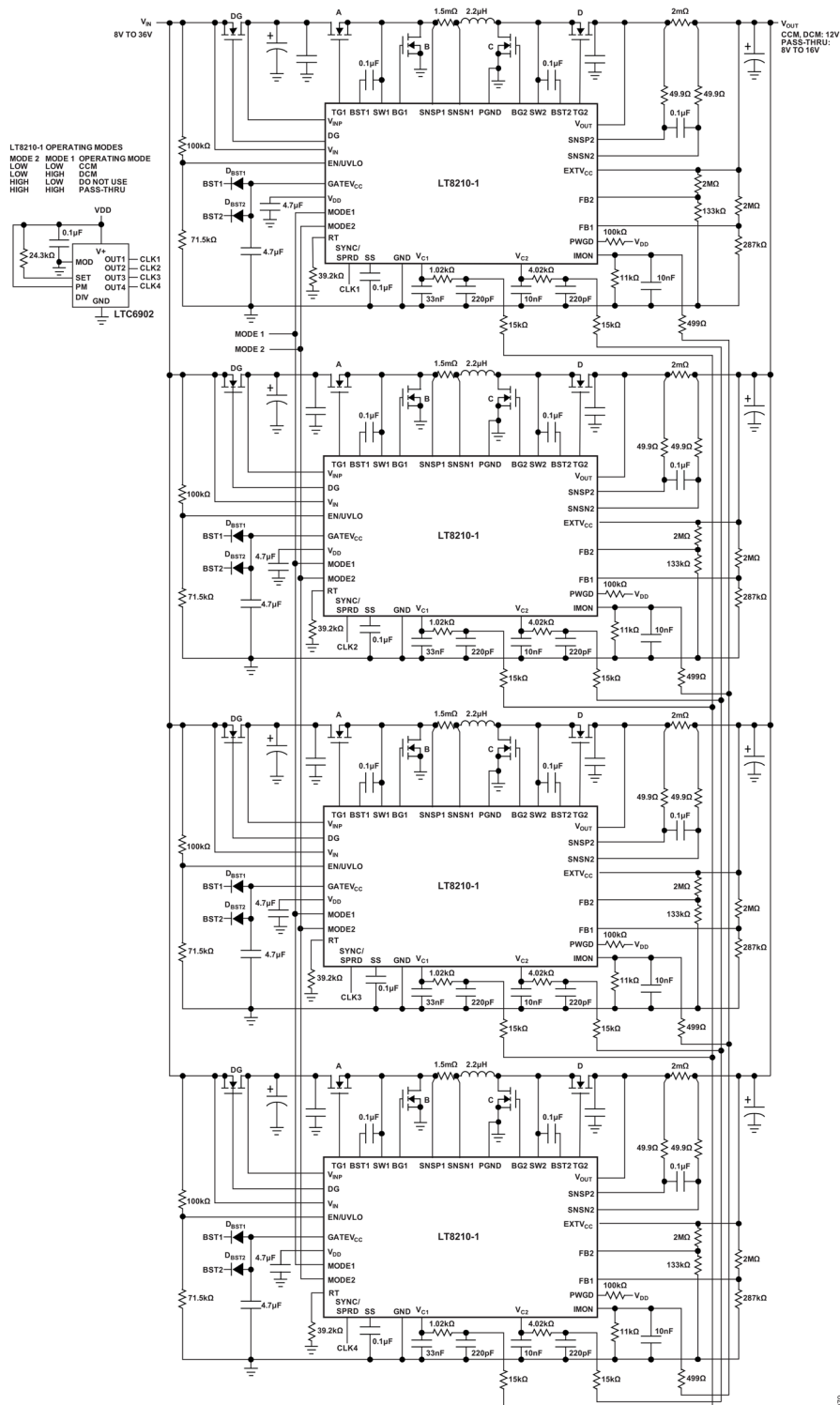
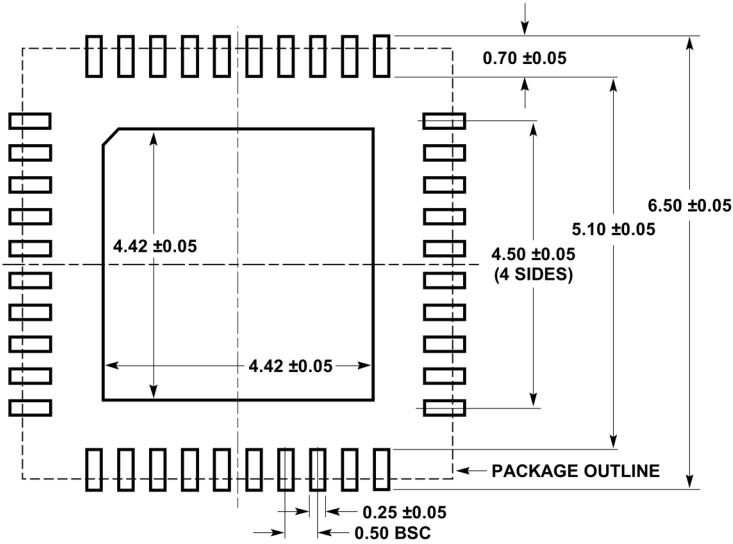


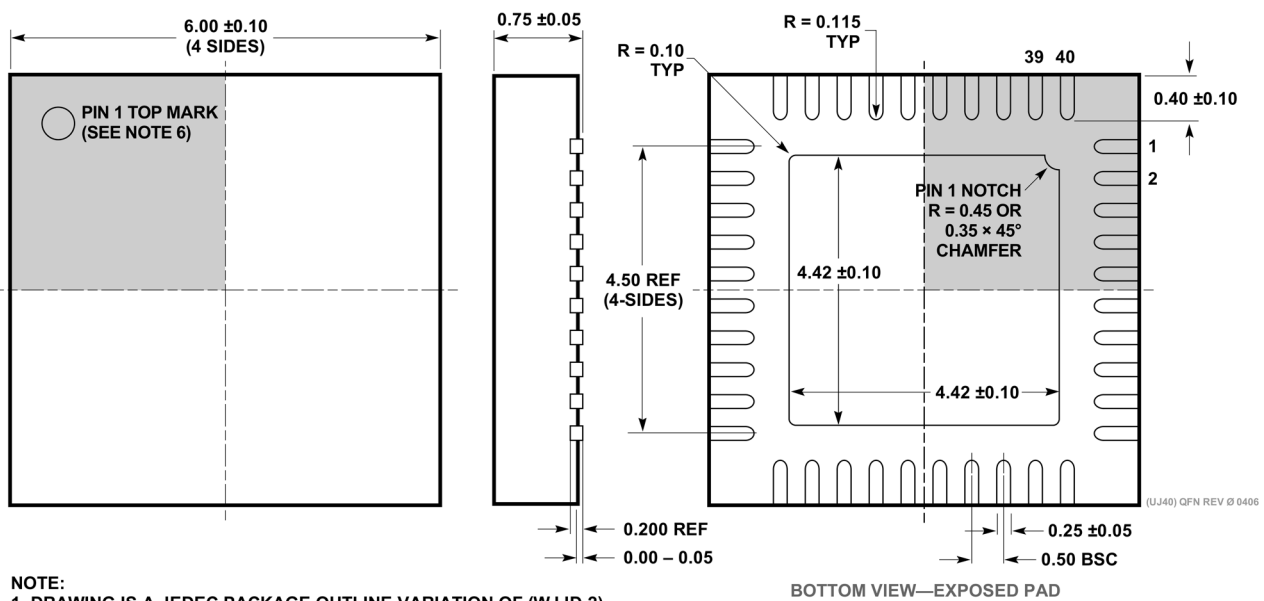
図 79. 代表的な 4 相のアプリケーション回路図

外形寸法

UJ Package
40-Lead Plastic QFN (6mm × 6mm)
 (Reference LTC DWG # 05-08-1728 Rev 0)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
 APPLY SOLDER MASK TO AREAS THAT ARE NOT SOLDERED



- NOTE:
1. DRAWING IS A JEDEC PACKAGE OUTLINE VARIATION OF (WJJD-2)
 2. DRAWING NOT TO SCALE
 3. ALL DIMENSIONS ARE IN MILLIMETERS
 4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.20mm ON ANY SIDE, IF PRESENT
 5. EXPOSED PAD SHALL BE SOLDER PLATED
 6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON THE TOP AND BOTTOM OF PACKAGE

図 80. パッケージ図

オーダー・ガイド

表 10. オーダー・ガイド

LEAD FREE FINISH	TAPE AND REEL	PART MARKING	PACKAGE DESCRIPTION	TEMPERATURE RANGE
LT8210AUJ-1#PBF	LT8210AUJ-1#TRPBF	LT8210UJ-1	40-Lead (6mm x 6mm) Plastic QFN	-40°C to 125°C

更に広い動作温度範囲仕様のデバイスについては、弊社または弊社代理店までお問い合わせください。*温度グレードは出荷容器のラベルに表示されています。テープ&リールの仕様。一部のパッケージは指定された販売チャンネルを通じて 500 個単位のリールで供給され、製品番号末尾に「#TRMPBF」という記号が付いています。

関連製品

製品番号	説明	注釈
LTC3779	V_{IN} と V_{OUT} が 150V の同期整流式 4 スイッチ昇降圧コントローラ	$4.5V \leq V_{IN} \leq 150V$ 、 $1.2V \leq V_{OUT} \leq 150V$ 、最大効率 99%、ロジック・レベルと標準レベルの閾値の MOSFET をドライブ可能、TSSOP-38
LTC3777	V_{IN} と V_{OUT} が 150V の同期整流式 4 スイッチ昇降圧コントローラ、スイッチング・バイアス電源付き	$4.5V \leq V_{IN} \leq 150V$ 、 $1.2V \leq V_{OUT} \leq 150V$ 、最大効率 99%、ロジック・レベルと標準レベルの閾値の MOSFET をドライブ可能、TSSOP-38
LT8705A	V_{IN} と V_{OUT} が 80V の同期整流式 4 スイッチ昇降圧 DC/DC コントローラ	$2.8V \leq V_{IN} \leq 80V$ 、入出力電流のモニタ、 $5mm \times 7mm$ QFN-28/TSSOP-38
LTC7813	低 EMI、低入出力リップル、低自己消費電流の 60V 同期整流式昇圧+降圧コントローラ	$4.5V$ (起動後は $2.2V$ まで動作) $\leq V_{IN} \leq 60V$ 、昇圧チャンネルの V_{OUT} は最大 60V、 $0.8V < \text{Buck } V_{OUT} < 60V$ 、 $I_Q = 29\mu A$ 、 $5mm \times 5mm$ QFN-32
LT8390A	高効率、同期整流式 4 スイッチ昇降圧コントローラ	$4V \leq V_{IN} \leq 60V$ 、 V_{OUT} の範囲：1V~60V、出力電圧精度： $\pm 1.5\%$ 、 $4mm \times 5mm$ QFN-2/TSSOP-28 パッケージ
LTM8056	58V 昇降圧 DC/DC μ Module [®] レギュレータ、調整可能な入出力電流制限機能	$5V \leq V_{IN} \leq 58V$ 、 $1.2V \leq V_{OUT} \leq 48V$ 、 $15mm \times 15mm \times 4.92mm$ BGA パッケージ
LTC3895/LTC7801	デューティ・サイクル 100% の 150V、低自己消費電流、同期整流式降圧 DC/DC コントローラ	$4V \leq V_{IN} \leq 140V$ 、絶対最大定格：150V、PLL 固定周波数：50kHz~900kHz、 $0.8V \leq V_{OUT} \leq 60V$ 、調整可能なゲート駆動電圧：5V~10V、 $I_Q = 40\mu A$ 、 $4mm \times 5mm$ QFN-24/TSSOP-24/TSSOP-38(31)
LTC7103	105V、2.3A、低 EMI 同期整流式降圧レギュレータ	$4.4V \leq V_{IN} \leq 105V$ 、 $1V \leq V_{OUT} \leq V_{IN}$ 、 $I_Q = 2\mu A$ 、固定周波数：200kHz~2MHz、 $5mm \times 6mm$ QFN
LT8210	V_{IN} と V_{OUT} が 100V の同期整流式 4 スイッチ昇降圧 DC/DC コントローラ、パススルー機能付き	$2.8V \leq V_{IN} \leq 100V$ 、 $1V \leq V_{OUT} \leq 100V$ 、パススルー・モード、 $6mm \times 6mm$ QFN
LTC7878	並列接続可能な 70V 4 スイッチ昇降圧コントローラ、インダクタ DCR 電流検出機能付き	入出力電圧範囲：5V~70V、動作領域間を低ノイズでシームレスに遷移、 $5mm \times 5mm$ QFN

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。



この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年10月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年10月29日

製品名：LT8120-1

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：14頁、表3 端子説明、Pin3 RTの説明欄

【誤】

「アプリケーション情報のセクションの表 2 を参照してください。」

【正】

「アプリケーション情報のセクションの表 5 を参照してください。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年10月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年10月29日

製品名：LT8120-1

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：16頁、端子説明の表、39pin MODE2の説明欄

【誤】

「モードピンの設定については、動作のセクションの**表 1** を参照してください。」

【正】

「モードピンの設定については、動作のセクションの**表 4** を参照してください。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年10月29日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年10月29日

製品名：LT8120-1

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：16頁、端子説明の表、40pin MODE1の説明欄

【誤】

「モードピンの設定については、動作のセクションの表 1 を参照してください。」

【正】

「モードピンの設定については、動作のセクションの表 4 を参照してください。」