

5.5V、3A、超低ノイズ、高 PSRR、 ドロップアウト電圧 85mV の超高速リニア・レギュレータ

特長

- ▶ 超低実効値ノイズ：1.2 μ V_{RMS} (10Hz~100kHz)
- ▶ 超低スポット・ノイズ：3.5nV/√Hz (10kHz 時)
- ▶ 超低 1/F ノイズ：7 μ V_{P-P} (0.1Hz~10Hz)
- ▶ 高周波 PSRR：50dB (1MHz 時)
- ▶ 超高速過渡応答
- ▶ ドロップアウト電圧：85mV (代表値)
- ▶ デジタル的にプログラマブルな V_{OUT}：0.5V~4.2V
- ▶ 出力許容誤差：ライン、負荷、温度に対して±1.5%
- ▶ プログラマブルな出力電流制限：±10% (3A 時)
- ▶ 入力範囲：0.6V~5.5V
- ▶ セラミック出力コンデンサ (10 μ F 以上) により安定
- ▶ 複数デバイスの並列化により大電流を供給
- ▶ 高精度イネーブル/低電圧ロックアウト (UVLO)
- ▶ パワー・グッド (PG) フラグ
- ▶ 18 ピン (3mm × 3mm) LFCSP-RT パッケージ

アプリケーション

- ▶ RF 電源：PLL、VCO、ミキサー、LNA、PA
- ▶ 高速/高精度データ・コンバータ
- ▶ 低ノイズ計測器
- ▶ スイッチング電源用ポストレギュレータ
- ▶ FPGA および DSP 用電源
- ▶ 医療用アプリケーション

簡略アプリケーション回路図

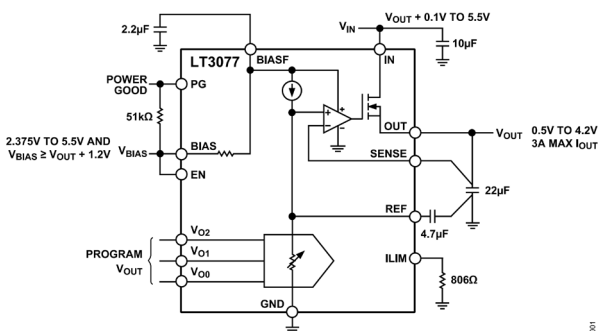


図 1. 簡略アプリケーション回路図

概要

LT[®]3077 は、低電圧、超低ノイズ、超高速過渡応答のリニア・レギュレータです。このデバイスは、85mV (代表値) のドロップアウト電圧で最大 3A を供給します。4.7 μ F のリファレンス・バイパス・コンデンサにより、出力電圧ノイズは 1.2 μ V_{RMS} に低減されています。広帯域幅と高い PSRR により小型のセラミック・コンデンサが使用できるため、バルク容量とコストを節減できます。LT3077 は、高性能 FPGA、データ・コンバータ、RF、ノイズに敏感なシグナル・チェーン・アプリケーションへの給電に最適なデバイスです。

出力電圧は、0.5V~1.2V では 50mV 刻み、1.2V~1.8V では 100mV 刻み、それ以上は 2V、2.5V、3V、3.3V、4.2V の離散的なレベルでデジタル的に選択が可能です。LT3077 のユニティ・ゲイン動作は、出力電圧の設定値には依存せずに、実質的に一定の出力ノイズ、PSRR、帯域幅を提供します。

高精度な電流制限が可能であるため、入力電源のサイズとコストを最小限に抑えることができます。内蔵保護機能には、UVLO、内部電流制限、ヒステリシス付きサーマル・シャットダウンが含まれます。LT3077は、小型の18ピン (3mm × 3mm) LFCSP-RT パッケージで提供されます。

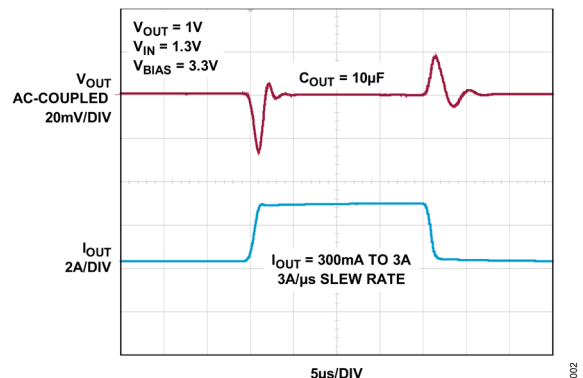


図 2. 過渡応答

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1
アプリケーション.....	1
概要.....	1
簡略アプリケーション回路図.....	1
仕様.....	4
絶対最大定格.....	9
熱抵抗.....	10
静電放電 (ESD)	10
ESD 定格.....	10
ESD に関する注意.....	10
ピン配置およびピン機能の説明.....	11
代表的な性能特性.....	13
機能図.....	24
アプリケーション情報.....	24
出力電圧.....	24
REF – 電圧リファレンス.....	26
REF ピンのオーバードライブ.....	26
イネーブル機能 – ON と OFF の切り替え.....	27
BIAS 低電圧ロックアウト.....	28
パワー・グッド.....	28
安定性と出力容量.....	28
安定性と入力容量.....	29
BIAS/BIASF ピンの要件.....	30
負荷レギュレーション.....	30
PCB レイアウト時の考慮事項.....	30
保護機能.....	30
外部プログラマブルな電流制限.....	30
熱に関する考慮事項.....	31
ジャンクション温度の計算.....	31
より高い出力電流を得るためのデバイスの並列化.....	31
出力ノイズ.....	32
高周波スパイクのフィルタリング.....	32
高速スタートアップ.....	32
代表的なアプリケーション回路.....	33

外形寸法.....	34
オーダー・ガイド.....	35
関連製品.....	35
改訂履歴.....	37

仕様

表 1. 電気的特性

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C での値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{LIM} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
IN Pin Voltage	V_{IN}	$V_{IN} \geq V_{OUT} + 190\text{mV}$, $I_{OUT} = 3\text{A}$		0.6		5.5	V
BIAS Pin Voltage ¹	V_{BIAS}			2.375		5.5	V
Regulated Output Voltage	V_{OUT}	$V_{OUT} = 0.5\text{V}$, $50\text{mA} \leq I_{OUT} \leq 3\text{A}$, $0.7\text{V} \leq V_{IN} \leq 0.9\text{V}$		0.4925	0.500	0.5075	V
		$V_{OUT} = 1.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $1.4\text{V} \leq V_{IN} \leq 1.6\text{V}$		1.182	1.200	1.218	
		$V_{OUT} = 3.3\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $3.5\text{V} \leq V_{IN} \leq 3.7\text{V}$		3.2505	3.300	3.3495	
		$V_{OUT} = 4.2\text{V}$, $10\text{mA} \leq I_{OUT} \leq 3\text{A}$, $4.4\text{V} \leq V_{IN} \leq 4.6\text{V}$		4.137	4.200	4.263	
Line Regulation to V_{IN}	$\Delta V_{OUT} = f(\Delta V_{IN})$	$V_{OUT} = 0.5\text{V}$, $\Delta V_{IN} = 0.7\text{V to } 5.5\text{V}$, $V_{BIAS} = 2.375\text{V}$, $I_{OUT} = 50\text{mA}$				0.5	mV
		$V_{OUT} = 4.2\text{V}$, $\Delta V_{IN} = 4.4\text{V to } 5.5\text{V}$, $V_{BIAS} = 5.5\text{V}$, $I_{OUT} = 10\text{mA}$				0.6	
Line Regulation to V_{BIAS}	$\Delta V_{OUT} = f(\Delta V_{BIAS})$	$V_{OUT} = 0.5\text{V}$, $\Delta V_{BIAS} = 2.375\text{V to } 5.5\text{V}$, $V_{IN} = 0.7\text{V}$, $I_{OUT} = 50\text{mA}$				0.25	mV
		$V_{OUT} = 3.3\text{V}$, $\Delta V_{BIAS} = 4.5\text{V to } 5.5\text{V}$, $V_{IN} = 3.5\text{V}$, $I_{OUT} = 10\text{mA}$				2	
Load Regulation ¹	$\Delta V_{OUT} = f(\Delta I_{OUT})$	$\Delta I_{OUT} = 50\text{mA to } 3\text{A}$	$V_{BIAS} = 2.375\text{V}$, $V_{IN} = 0.7\text{V}$, $V_{OUT} = 0.5\text{V}$			0.6	mV
			$V_{BIAS} = 2.4\text{V}$, $V_{IN} = 1.4\text{V}$, $V_{OUT} = 1.2\text{V}$			1.2	
		$\Delta I_{OUT} = 10\text{mA to } 3\text{A}$	$V_{BIAS} = 4.5\text{V}$, $V_{IN} = 3.5\text{V}$, $V_{OUT} = 3.3\text{V}$			3.3	
			$V_{BIAS} = 5.4\text{V}$, $V_{IN} = 4.4\text{V}$, $V_{OUT} = 4.2\text{V}$			4.2	

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C での値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{LIM} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Dropout Voltage ²	V_{DO}	$V_{IN} = V_{OUT(NOMINAL)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$, $I_{OUT} = 1\text{A}$	$T_J = 25^\circ\text{C}$	30	44	mV
					65	
		$V_{IN} = V_{OUT(NOMINAL)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$, $I_{OUT} = 2\text{A}$	$T_J = 25^\circ\text{C}$	60	85	
					130	
		$V_{IN} = V_{OUT(NOMINAL)}$, $V_{BIAS} \geq V_{OUT} + 1.2\text{V}$, $I_{OUT} = 3\text{A}$	$T_J = 25^\circ\text{C}$	85	105	
					190	
Minimum Load Current	$I_{OUT(MIN)}$	$V_{OUT} \geq 0.8\text{V}$			10	mA
		$V_{OUT} < 0.8\text{V}$			50	
Ground Pin Current	I_{GND}	$V_{BIAS} = 5.5\text{V}$, $V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 10\text{mA}$		4.3	6.5	mA
		$V_{BIAS} = 5.5\text{V}$, $V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $I_{OUT} = 3\text{A}$		5.2	7	
BIAS Pin Current	I_{BIAS}	$V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $V_{BIAS} = 3.3\text{V}$, $I_{OUT} = 10\text{mA}$		4.3	6.5	mA
		$V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$, $V_{BIAS} = 3.3\text{V}$, $I_{OUT} = 3\text{A}$		5.8	8	
BIAS Pin Current in Dropout ²	I_{BIAS_DO}	$V_{BIAS} = V_{OUT} + 1.2\text{V}$, $V_{IN} = V_{OUT(NOMINAL)}$, $I_{OUT} = 3\text{A}$		5.4	7.5	mA
		$V_{BIAS} = 5.5\text{V}$, $V_{IN} = V_{OUT(NOMINAL)}$, $I_{OUT} = 3\text{A}$		35	50	
BIAS Pin Nap Mode Current	I_{BIAS_NAP}	$V_{BIAS} = 5.5\text{V}$, $EN = 0\text{V}$			10	μA
IN Pin Nap Mode Current	I_{IN_NAP}	$V_{IN} = 5.5\text{V}$, $EN = 0\text{V}$		20	170	μA
I_{OUT}/I_{LIM} Ratio		$I_{OUT} = 3\text{A}$, $V_{IN} - V_{OUT} = 0.2\text{V}$		3000		
		$I_{OUT} = 1\text{A}$, $V_{IN} - V_{OUT} = 0.2\text{V}$		3000		
ILIM Shutdown Current		$V_{BIAS} = 5.0\text{V}$, $EN = 0\text{V}$			5	μA

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C での値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{ILIM} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Programmable Current Limit ³	$I_{LIM(P)}$	$R_{ILIM} = 1\text{k}\Omega$	2.7	3.0	3.3	A
		$R_{ILIM} = 3\text{k}\Omega$	0.85	1.0	1.16	
Internal Current Limit ³	$I_{LIM(I)}$	$V_{IN} = 1.5\text{V}$, $\Delta V_{OUT} = -5\%$, $V_{BIAS} = 5.5\text{V}$	3.3	4.5	5.5	A
V_{OUT} Threshold for Power Good		Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Rising	91	93	95	%
		Percentage of $V_{OUT(NOMINAL)}$, V_{OUT} Falling	88	90	92	
PG V_{OL}		$I_{PG} = 200\mu\text{A}$ (Fault Condition)		60	100	mV
PG V_{OH} Leakage		$V_{PG} = V_{BIAS} = 5\text{V}$			1	μA
Fast Start-Up REF Pin Current				2		mA
Fast Start-Up Turn Off Threshold		Measured as percentage of nominal REF pin voltage	96	98.8	101.5	%
Thermal Shutdown		T_J Rising		168		°C
		Hysteresis		7		
V_{BIAS} Undervoltage Lockout		$EN = V_{BIAS}$, $V_{IN} = 0\text{V}$, $V_{OUT} = 0\text{V}$, V_{BIAS} Rising	2.16	2.2	2.24	V
		$EN = V_{BIAS}$, $V_{IN} = 0\text{V}$, $V_{OUT} = 0\text{V}$, V_{BIAS} Falling	2.03	2.07	2.11	
V_{IN} Undervoltage Lockout		V_{IN} Rising	450	462.5	475	mV
		V_{IN} Falling	400	412.5	425	
V_{IL} Input Threshold (Logic-0 State) V_{O0} , V_{O1} , V_{O2}		Input Falling	0.3			V
V_{IZ} Input Range (Logic-Z State) V_{O0} , V_{O1} , V_{O2}			0.95		1.15	V
V_{IH} Input Threshold (Logic-1 State) V_{O0} , V_{O1} , V_{O2}		Input Rising			1.97	V

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C での値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{LIM} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Input Hysteresis V_{O0} , V_{O1} , V_{O2}		Rising and Falling		80		mV
Input Pin Sink Current V_{O0} , V_{O1} , V_{O2}		$V_{IN} = 2.5\text{V}$, $V_{BIAS} = 2.375\text{V}$, $V_{EN} = 0\text{V}$			50	μA
EN Pin Threshold		EN Trip Point Rising (Turn-On), $V_{BIAS} = 2.375\text{V}$	1.20	1.26	1.32	V
EN Pin Hysteresis		EN Trip Point Hysteresis, $V_{BIAS} = 2.375\text{V}$		80		mV
EN Pin Current	I_{EN}	$V_{EN} = 0\text{V}$, $V_{BIAS} = 5.5\text{V}$			± 1	μA
		$V_{EN} = 1.3\text{V}$, $V_{BIAS} = 5.5\text{V}$		0.5		
		$V_{EN} = 5.5\text{V}$, $V_{BIAS} = 0\text{V}$		10	20	
V_{BIAS} Ripple Rejection	$PSRR_{BIAS}$	$V_{BIAS} = 2.7\text{V(Avg)}$, $V_{IN} = 1.5\text{V}$, $V_{OUT} = 1.2\text{V}$	$V_{RIPPLE} = 500\text{mV}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{OUT} = 3\text{A}$		106	dB
			$V_{RIPPLE} = 500\text{mV}_{P-P}$, $f_{RIPPLE} = 1\text{MHz}$, $I_{OUT} = 3\text{A}$		70	
V_{IN} Ripple Rejection	$PSRR_{IN}$	$V_{BIAS} = 5\text{V}$, $V_{IN} = 1.5\text{V(Avg)}$, $V_{OUT} = 1.2\text{V}$	$V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 120\text{Hz}$, $I_{OUT} = 3\text{A}$		96	dB
			$V_{RIPPLE} = 50\text{mV}_{P-P}$, $f_{RIPPLE} = 1\text{MHz}$, $I_{OUT} = 3\text{A}$		50	
Output RMS Noise ⁴	$V_{RMS(OUT)}$	$V_{OUT} = 1\text{V}$, $I_{OUT} = 3\text{A}$, $V_{IN} = 1.3\text{V}$, $V_{BIAS} = 3.3\text{V}$, $C_{OUT} = 22\mu\text{F}$	$\text{BW} = 10\text{Hz to } 100\text{kHz}$, $C_{REF} = 4.7\mu\text{F}$		1.2	μV_{RMS}
			$\text{BW} = 10\text{Hz to } 100\text{kHz}$, $C_{REF} = 0.47\mu\text{F}$		1.6	

(特に指定のない限り、代表的仕様はすべて、 T_J (ジャンクション温度) = 25°C での値であり、最小および最大仕様はすべて、動作温度範囲全体を対象にするものです。特に指定のない限り、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{REF} = 4.7\mu\text{F}$ 、 $C_{BIASF} = 2.2\mu\text{F}$ 、 $R_{LIM} = 0.8\text{k}\Omega$ 。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS	
Output Noise Spectral Density ⁴	$V_{n(OUT)}$	$V_{OUT} = 1\text{V}$, $I_{OUT} = 3\text{A}$, $V_{IN} = 1.3\text{V}$, $V_{BIAS} = 3.3\text{V}$, $C_{OUT} = 22\mu\text{F}$	Frequency = 0.1Hz, $C_{REF} = 4.7\mu\text{F}$		2.5		$\mu\text{V}/\sqrt{\text{Hz}}$
			Frequency = 10Hz, $C_{REF} = 4.7\mu\text{F}$		40		$\text{nV}/\sqrt{\text{Hz}}$
			Frequency = 10Hz, $C_{REF} = 0.47\mu\text{F}$		650		
			Frequency = 10kHz, $C_{REF} = 4.7\mu\text{F}$		3.5		
			Frequency = 10kHz, $C_{REF} = 0.47\mu\text{F}$		3.5		
			Frequency = 100kHz, $C_{REF} = 4.7\mu\text{F}$		3.8		
			Frequency = 100kHz, $C_{REF} = 0.47\mu\text{F}$		3.8		

¹ 適切な性能とレギュレーションを維持するために、BIAS 電源電圧は以下の条件を満たす必要があります。 $2.375\text{V} \leq V_{BIAS} \leq 5.5\text{V}$ かつ $V_{BIAS} \geq (V_{OUT} + 1.2\text{V})$

² ドロップアウト電圧 V_{DO} は、仕様規定されている出力電流における最小の入出力間電圧差です。ドロップアウトがあると、出力電圧は $V_{IN} - V_{DO}$ に等しくなります。

³ 動作条件は、最大ジャンクション温度による制限を受けます。安定化出力電圧仕様は、考えうるすべての入力電流と出力電流の組み合わせに適用されるわけではありません。最大出力電流で動作させる場合は、入力電圧範囲を $V_{IN} \leq V_{OUT} + 600\text{mV}$ に制限します。

⁴ REF ピンにコンデンサを追加すると、出力電圧ノイズが減少します。このコンデンサの追加により、REF ピンの内部抵抗の熱ノイズとリファレンス電流のノイズがバイパスされます。このとき、出力ノイズは誤差アンプのノイズと等しくなります。REF ピンにバイパス・コンデンサを使用すると、スタートアップ時間が長くなることにもつながります。

絶対最大定格

表 2. 絶対最大定格

PARAMETER	RATING
IN Pin Voltage ¹	-0.3V to 6V
OUT Pin Voltage ¹	-0.3V to 6V
SENSE Pin Voltage ¹	-0.3V to 6V
BIAS, BIASF Pin Voltage ¹	-0.3V to 6V
V ₀₀ , V ₀₁ , V ₀₂ Pin Voltage ¹	-0.3V to 5.5V
EN Pin Voltage ¹	-0.3V to 6V
ILIM Pin Voltage ¹	-0.3V to 6V
PG Pin Voltage ¹	-0.3V to 6V
REF Pin Voltage ¹	-0.3V to 6V
Output Short-Circuit Duration	Indefinite
Operating Junction Temperature ²	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C
Maximum Reflow (Package Body) Temperature	260°C

¹ IN、OUT、SENSE、BIAS、BIASF、V₀₀、V₀₁、V₀₂、EN、ILIM、PG、REF の各ピンおよび GND の間には寄生ダイオードが内在します。フォルト状態の間は、これらのピンを GND ピンより 0.3V 以上低い電圧に駆動しないようにしてください。これらのピンは、通常動作中は GND よりも正の電圧を維持する必要があります。

² LT3077A は、T_J ≈ T_A (周囲温度) となるパルス負荷条件下でテストされ、仕様規定されています。LT3077A は T_A = 25°C でテストされており、-40°C ~ 125°C の動作温度範囲全域にわたる LT3077A の性能は、設計、特性評価、および統計的プロセス制御との相関付けによって確保されています。LT3077A の動作は、-40°C ~ 125°C の動作ジャンクション温度範囲全体にわたって確保されています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。このため、PCB の熱設計には細心の注意が必要です。

表 3. 熱抵抗

PACKAGE TYPE ¹	θ_{JA}	$\theta_{JC\ TOP}$	$\theta_{JC\ BOT}$	UNIT
18-Lead 3mm x 3mm LFCSP-RT	44	58	8	°C/W

¹ θ 値は、JE5D51 の条件に従って決定されます。

静電放電 (ESD)

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。人体モデル (HBM) は ANSI/ESDA/JEDEC JS-001 に準拠、デバイス帯電モデル (CDM) は ANSI/ESDA/JEDEC JS-002 に準拠しています。

ESD 定格

表 4. LT3077、18 ピン 3mm x 3mm LFCSP-RT

ESD MODEL	WITHSTAND THRESHOLD (V)	CLASS
HBM	2000	2
CDM	1250	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

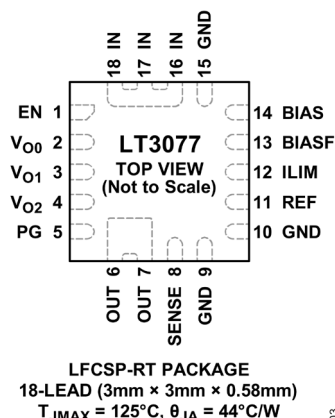


図 3. ピン配置

端子説明

表 5. 端子説明

ピン	名称	説明
1	EN	デバイス・イネーブル。EN ピンは出力を有効化または無効化します。LT3077 は、代表的には、EN 電圧が立上がりエッジで 1.26V を超えて上昇したときにオンになり、立下がりエッジでは 80mV のヒステリシスがあります。このピンをローにすると、リファレンスがプルダウンされ、出力トランジスタの動作が無効化され、補助機能が無効になります。また、BIAS、EN、GND の間で抵抗分圧器を使用することにより、EN ピンでバイアス電源の UVLO 閾値を設定することもできます。使用しない場合、EN を BIAS に接続します。EN ピンはフロート状態にしないでください。
2, 3, 4	V ₀₀ , V ₀₁ , V ₀₂	出力電圧の選択。これらの 3 レベル・ピンを組み合わせ、0.5V~4.2V の公称出力電圧を選択します。入力ロジック・ロー閾値は、GND を基準として 300mV より小さく、ロジック・ハイ閾値は、GND を基準として 1.97V より大きい値です。ロジック Hi-Z 状態は、0.95V~1.15V の範囲で定義されます。V ₀₀ 、V ₀₁ 、V ₀₂ の各設定値と V _{OUT} の関係については、 アプリケーション情報のセクションの表 6 を参照してください。
5	PG	パワー・グッド。PG ピンは、オープン・ドレインの NMOS 出力であり、EN がローの場合、または次のいずれかのフォルト・モードが検出された場合に、アクティブにローにプルダウンします。 <ul style="list-style-type: none"> ▶ V_{OUT} が、V_{OUT} の立上がりエッジで V_{OUT(NOMINAL)} の 93% より低い。 ▶ V_{OUT} が、V_{OUT} の立下がりエッジで V_{OUT(NOMINAL)} の 90% より低い。 ▶ V_{BIAS} が、その低電圧ロックアウト閾値より低い。 ▶ OUT-over-IN 電圧検出器が作動する。
6, 7	OUT	出力。LFCSP-RT パッケージの 6 番ピンと 7 番ピンで構成される露出パッドは、OUT と電氣的に接続されています。これらのピンは負荷に給電します。適切な電氣的性能および熱性能を確保するには、6 番ピンと 7 番ピンで構成される全 OUT 露出パッドを相互に接続します。安定性の確保には、10μF 以上の出力容量が必要です。アナログ・デバイスでは、最高の性能を得るために、低 ESR の X5R または X7R の誘電体セラミック・コンデンサを推奨します。負荷過渡応答が大きなアプリケーションでは、ピーク電圧トランジェントを制限するために、より大きな出力コンデンサが必要です。

8	SENSE	OUT用のケルビン検出。SENSEピンは、誤差アンプへの反転入力です。SENSEピンをレギュレータのOUTピンに接続すると、最適なレギュレーションが得られます。ただし、高い精度が要求されるアプリケーションでは、レギュレータと負荷の間のPCBパターンの抵抗がわずかな電圧降下を引き起こし、負荷点で負荷レギュレーション誤差を発生させます。SENSEピンをOUTに直接接続する代わりに、負荷に接続すると、この電圧誤差の発生をなくすることができます。
9, 10, 15	GND	グラウンド。適切な電気的および熱的性能を確保するために、パッケージのGNDピンはすべてPCBグラウンドに接続します。
11	REF	リファレンス・フィルタ。4.7 μ Fのコンデンサを用いてREFピンをGNDにバイパスすると、出力電圧ノイズが減少し、リファレンスにソフトスタート機能が付与されます。アナログ・デバイスでは、高品質でリーク電流の少ないコンデンサの使用を推奨します。
12	ILIM	プログラマブルな電流制限。ILIMピンは、 $I_{OUT}/3000$ （代表値）に等しい電流を供給します。その結果、電流制限プログラミング係数は、 $3A \times k\Omega/R_{ILIM}$ となります（ R_{ILIM} はILIMとGND間の抵抗）。
13	BIASF	バイアス・フィルタ・ピン。LT3077では、このピンに2.2 μ F以上のバイパス・コンデンサを接続する必要があります。
14	BIAS	バイアス電源。このピンは内部制御回路と出力段に電流を供給し、パス・トランジスタを駆動します。このピンにはバイパス・コンデンサは不要です。適切な動作を確保するために、BIAS電圧は次の条件を満たす必要があります。 $2.375V \leq V_{BIAS} \leq 5.5V$ かつ $V_{BIAS} \geq 1.2 + V_{OUT}$
16, 17, 18	IN	入力電源。LFCSP-RTパッケージの16番ピン～18番ピンで構成される露出パッドは、INと電気的に接続されています。これらのピンは、大電流パス・トランジスタに給電します。適切な電気的性能および熱性能を確保するには、16番ピン～18番ピンで構成される全IN露出パッドを相互に接続します。LT3077は、周波数に対する安定性と低い入力インピーダンスを維持するために、INにバイパス・コンデンサを接続する必要があります。大半のバッテリーおよび電源プレーンのインピーダンスには、10 μ Fの入力バイパス・コンデンサで十分です。入力パターンのインダクタンスを最小限に抑えると、性能が最適化されます。 $V_{IN} - V_{OUT}$ の電圧差が小さく、負荷過渡応答が大きく速いアプリケーションでは、入力電源の低下を防ぎ、レギュレータがドロップアウトに入るようにするために、はるかに大きな入力コンデンサが必要になる場合があります。

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

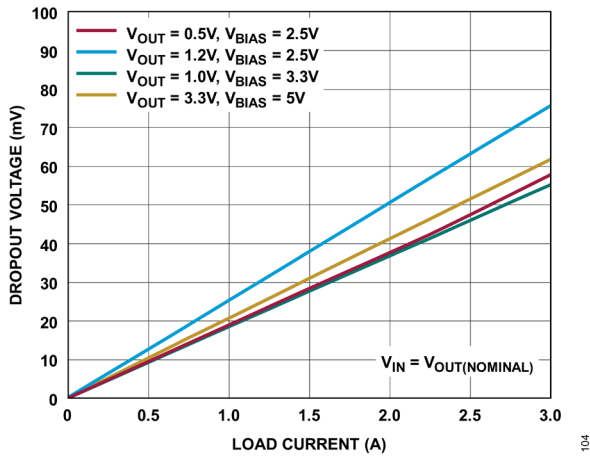


図 4. ドロップアウト電圧と負荷の関係

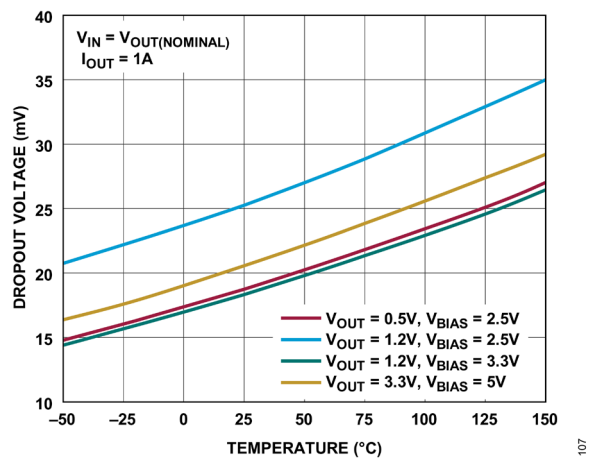


図 7. ドロップアウト電圧 (1A)

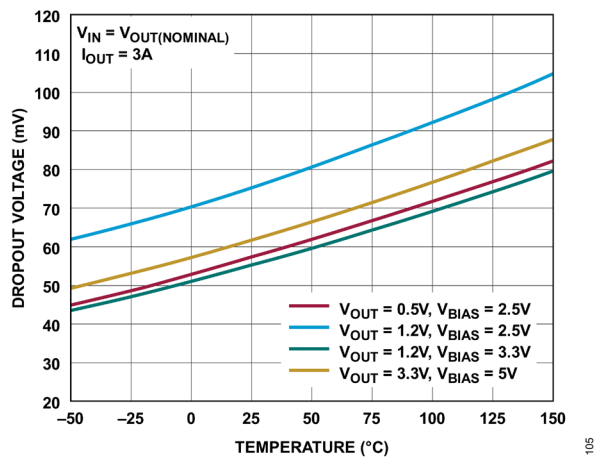


図 5. ドロップアウト電圧 (3A)

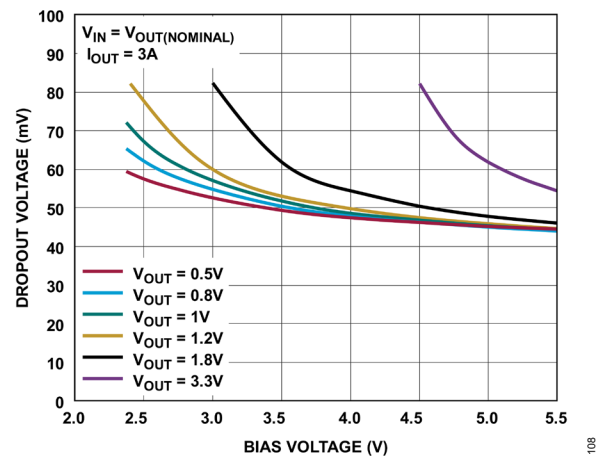


図 8. ドロップアウト電圧と V_{BIAS} の関係

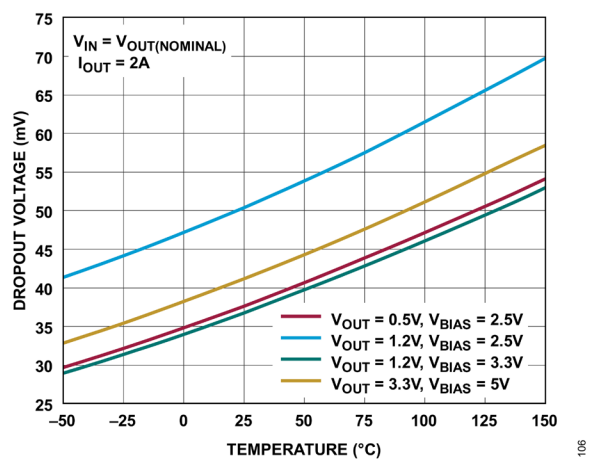


図 6. ドロップアウト電圧 (2A)

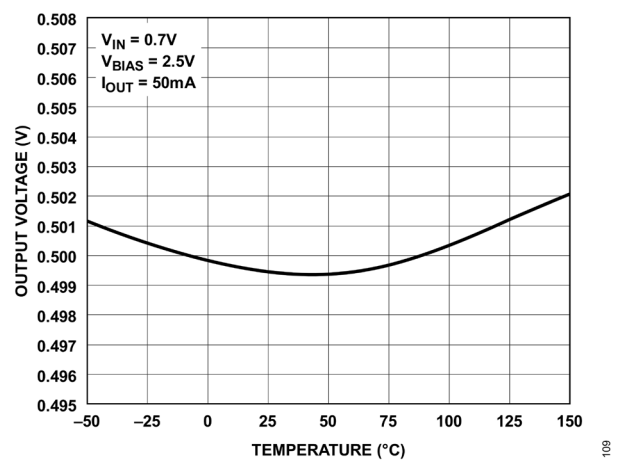


図 9. 出力電圧

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

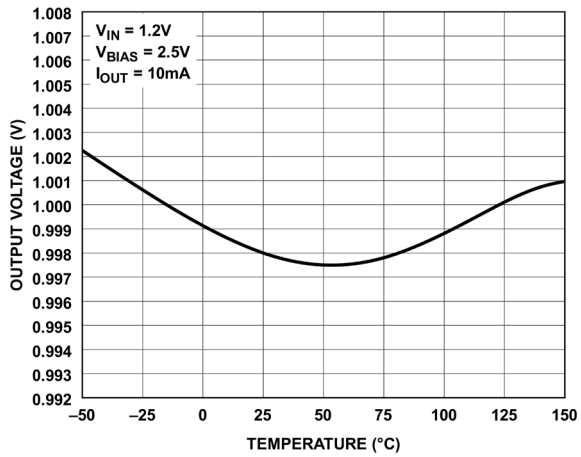


図 10. 出力電圧

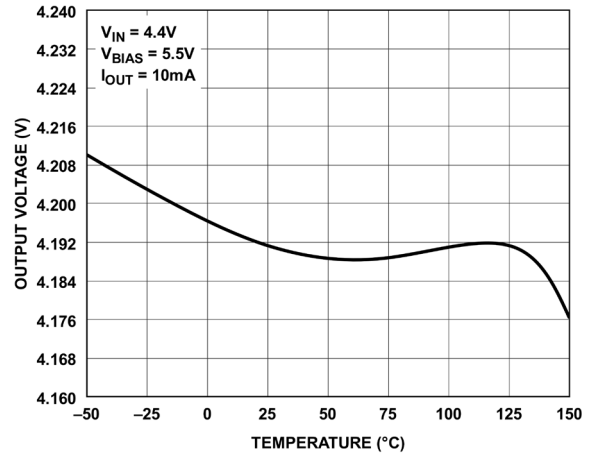


図 13. 出力電圧

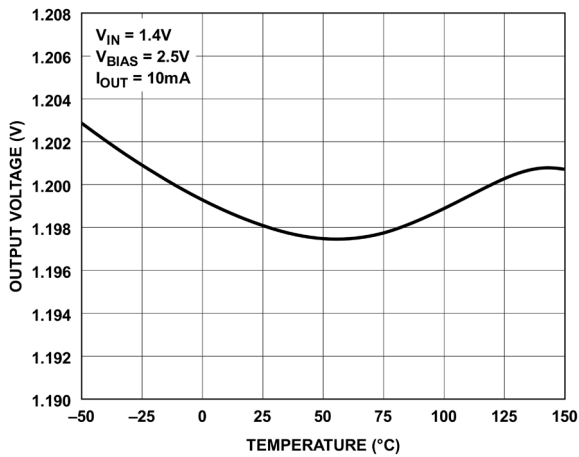


図 11. 出力電圧

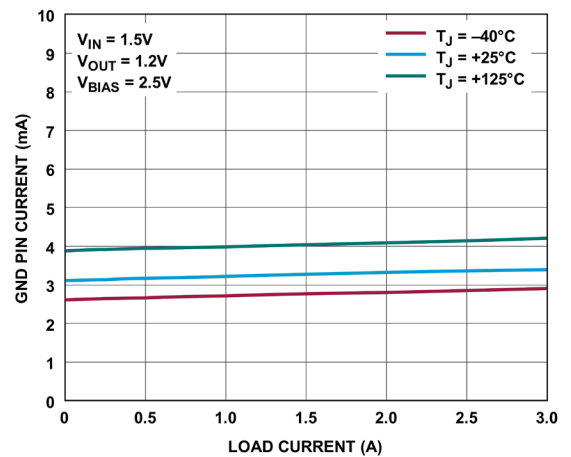


図 14. GND ピン電流

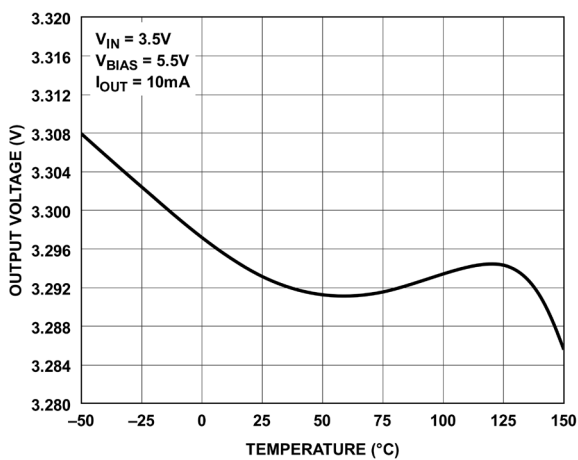


図 12. 出力電圧

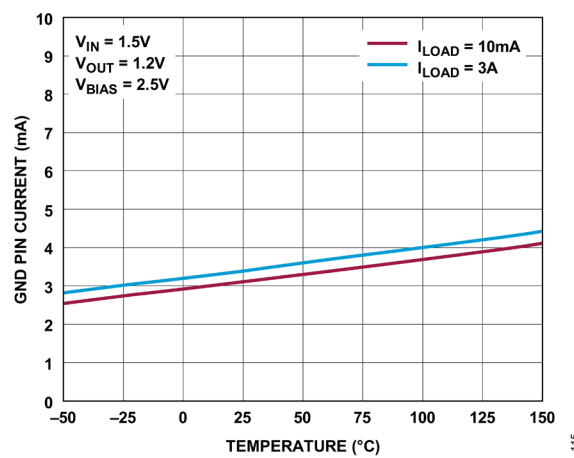


図 15. GND ピン電流

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

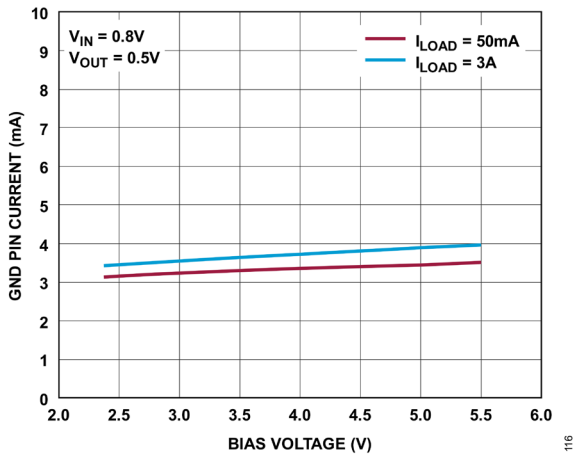


図 16. GND ピン電流

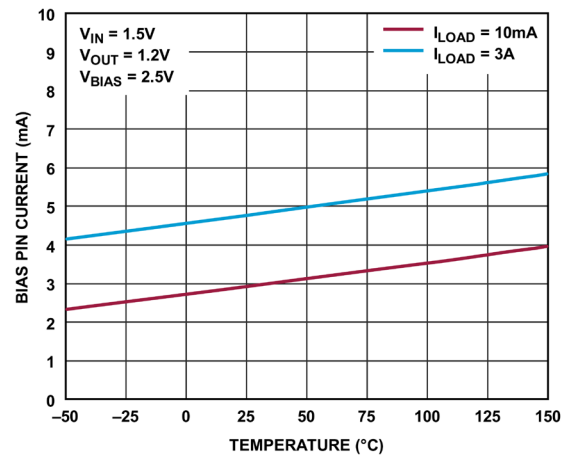


図 19. BIAS ピン電流

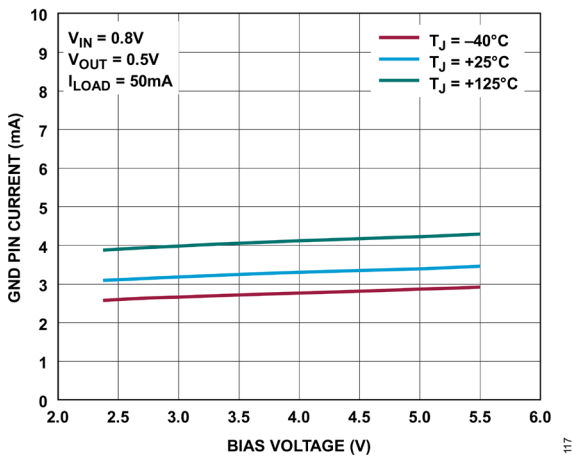


図 17. GND ピン電流

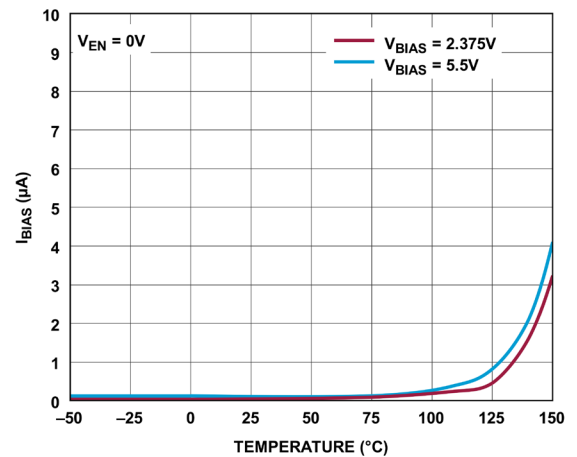


図 20. BIAS ピン電流 (ナップ・モード時)

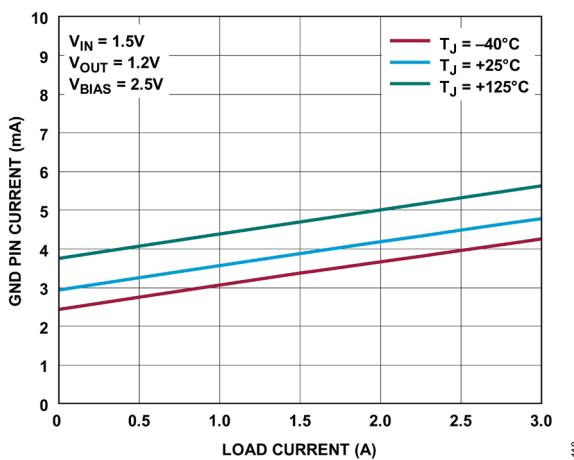


図 18. BIAS ピン電流

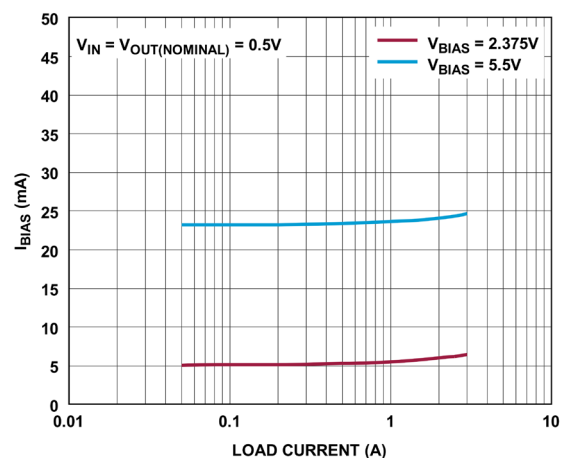


図 21. BIAS ピン電流 (ドロップアウト時)

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

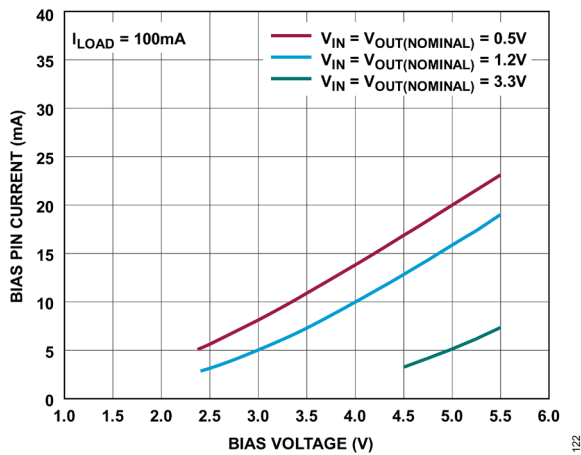


図 22. BIAS ピン電流 (ドロップアウト時)

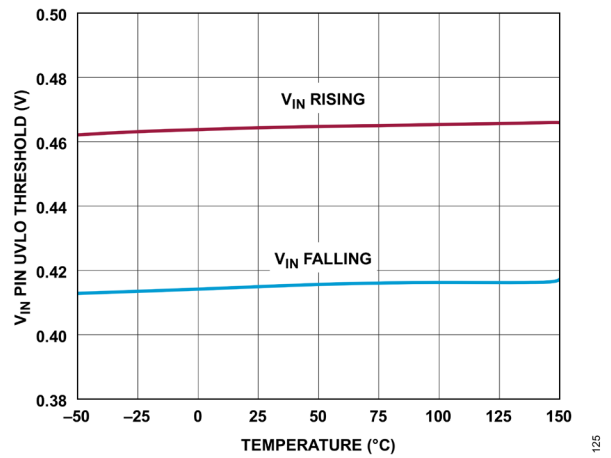


図 25. V_{IN} ピンの UVLO 閾値

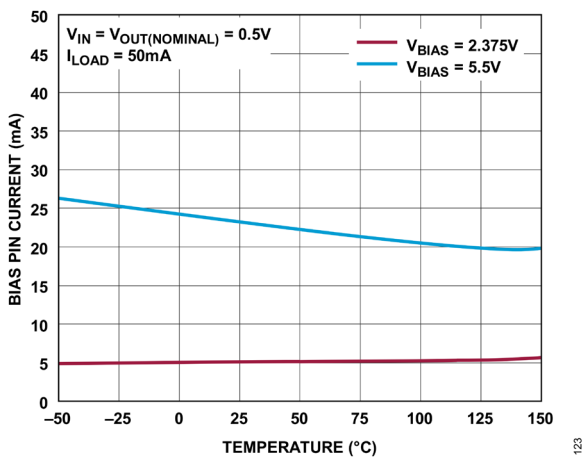


図 23. BIAS ピン電流 (ドロップアウト時)

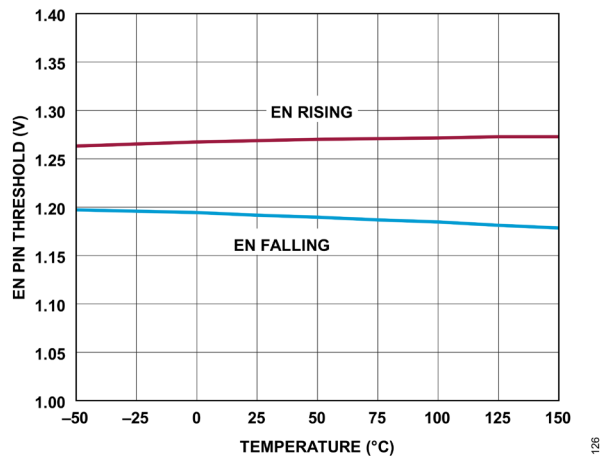


図 26. EN ピン閾値

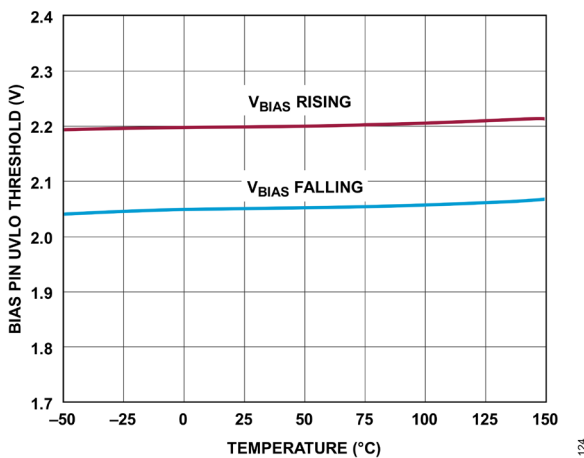


図 24. BIAS ピンの UVLO 閾値

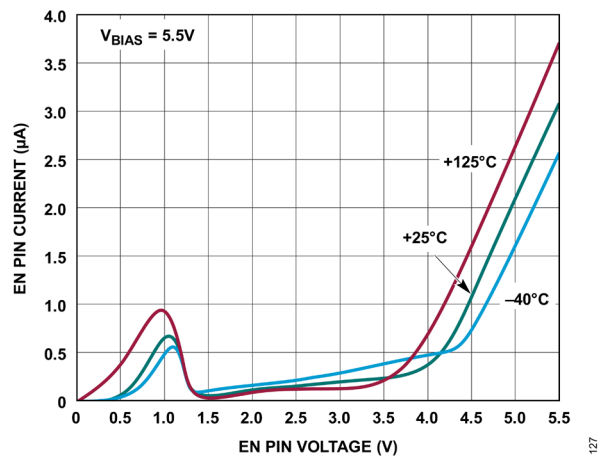


図 27. EN ピン電流

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

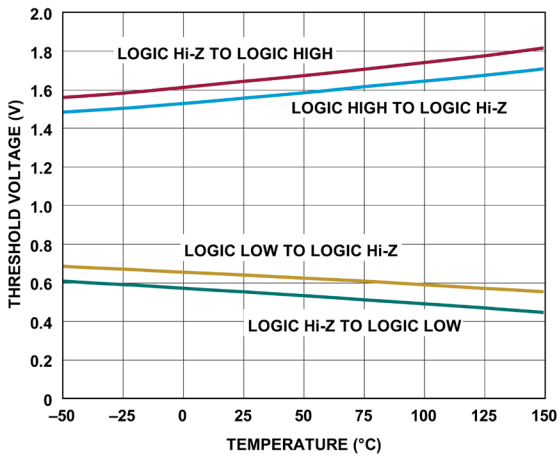


図 28. V_{00} 、 V_{01} 、 V_{02} ピンの閾値

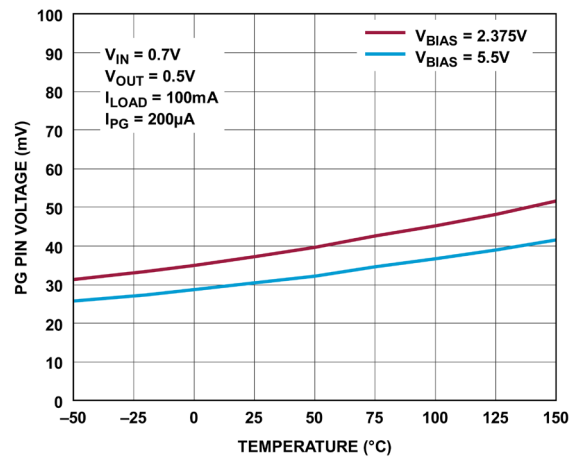


図 31. PG ピンの低電圧

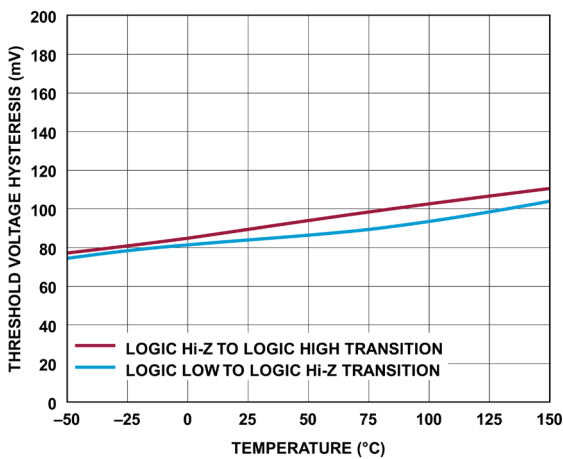


図 29. V_{00} 、 V_{01} 、 V_{02} ピンのヒステリシス

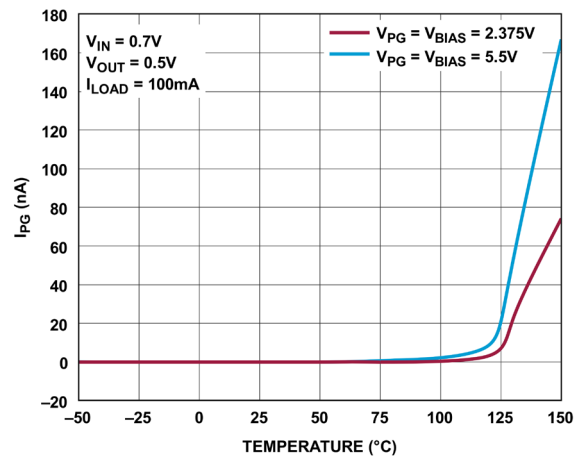


図 32. PG ピンのリーク電流

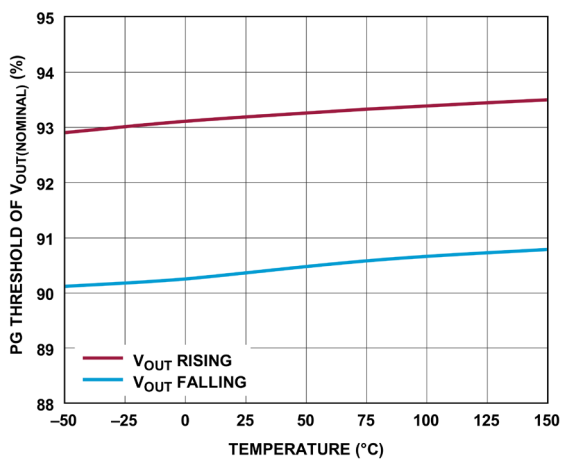


図 30. パワー・グッド閾値

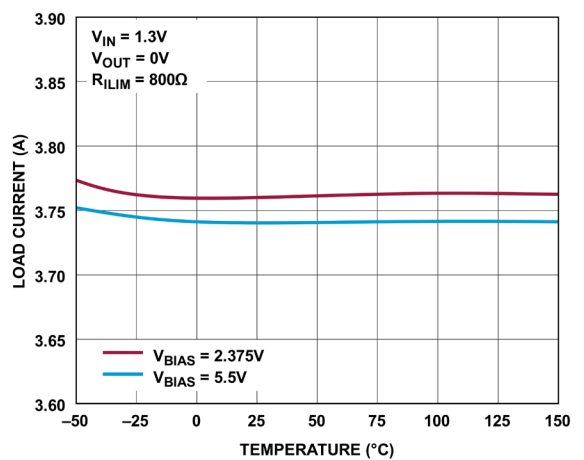


図 33. 外部電流制限値 (3.75A)

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

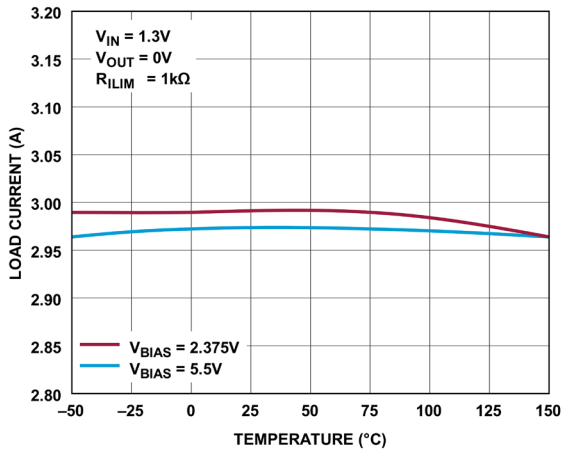


図 34. 外部電流制限値 (3A)

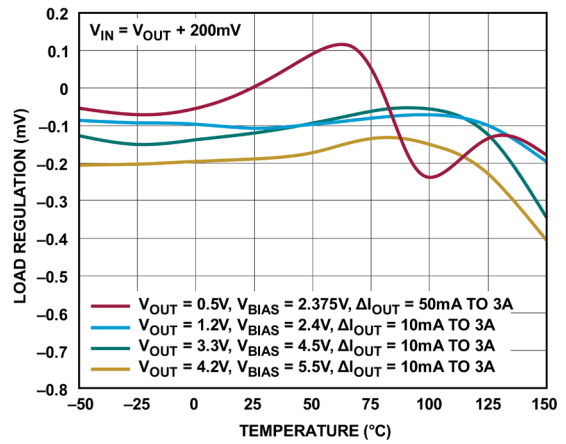


図 37. 負荷レギュレーション

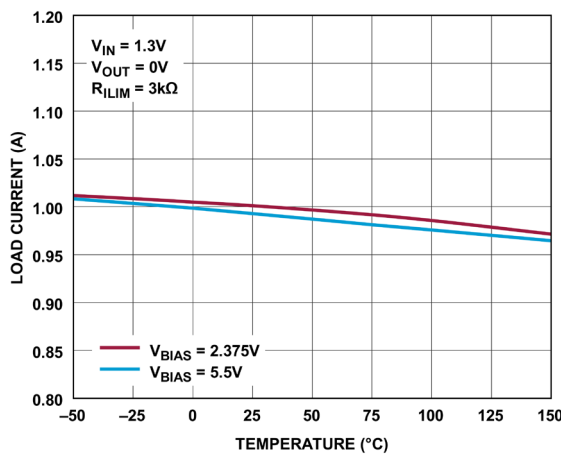


図 35. 外部電流制限値 (1A)

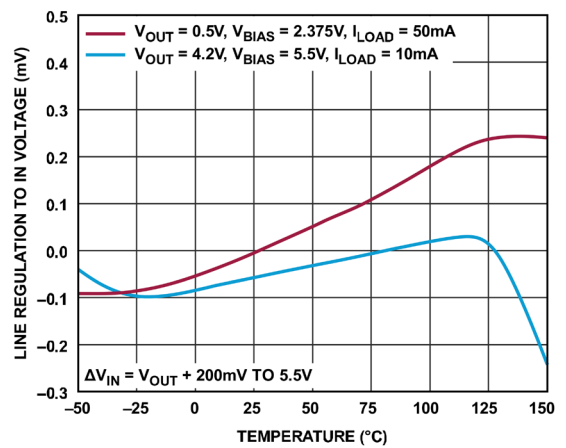


図 38. V_{IN} のライン・レギュレーション

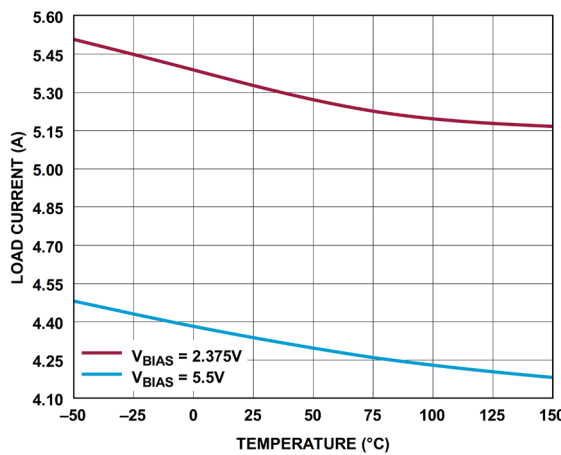


図 36. 内部電流制限値

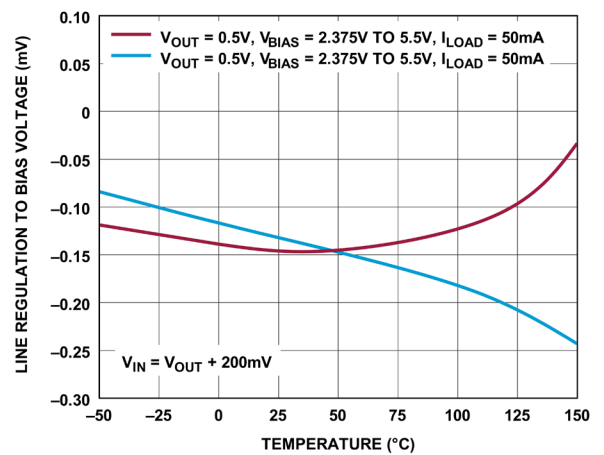


図 39. V_{BIAS} のライン・レギュレーション

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

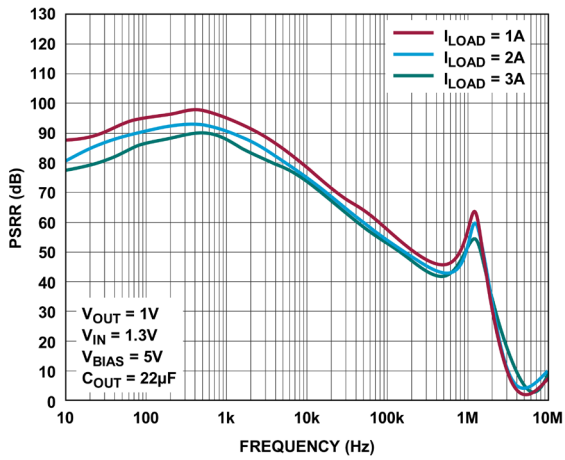


図 40. IN の PSRR

140

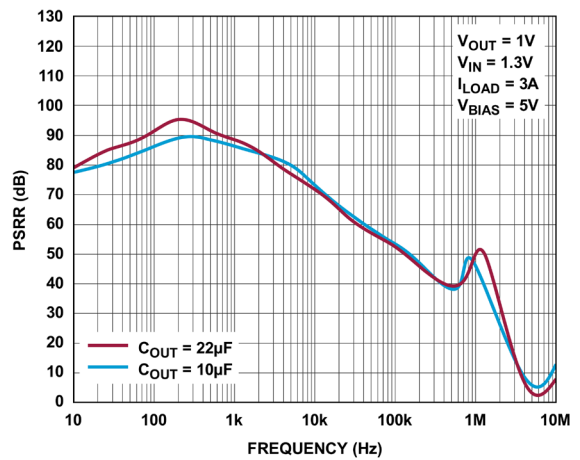


図 43. IN の PSRR

143

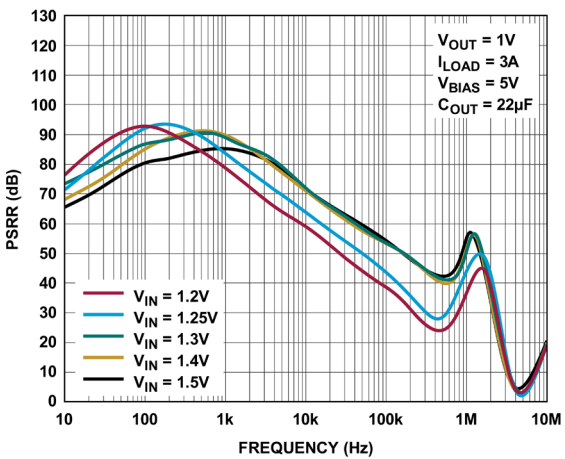


図 41. IN の PSRR

141

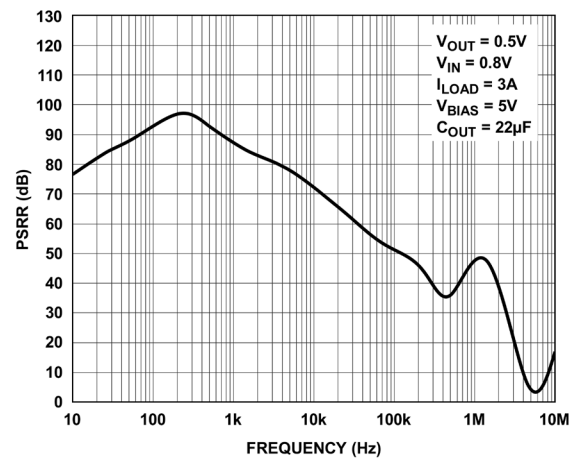


図 44. IN の PSRR

144

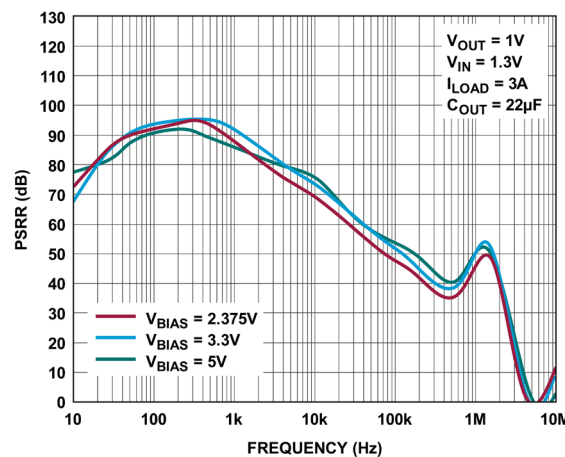


図 42. IN の PSRR

142

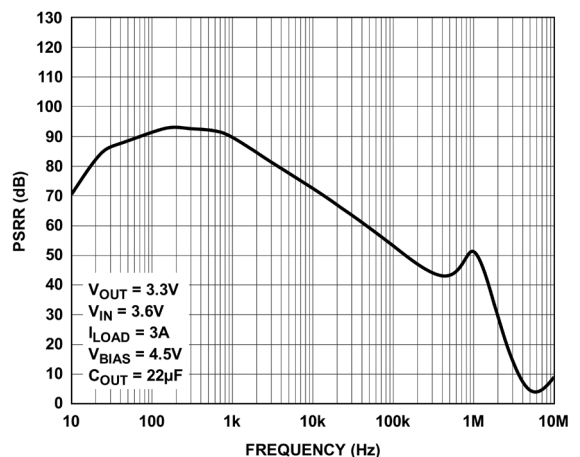


図 45. IN の PSRR

145

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

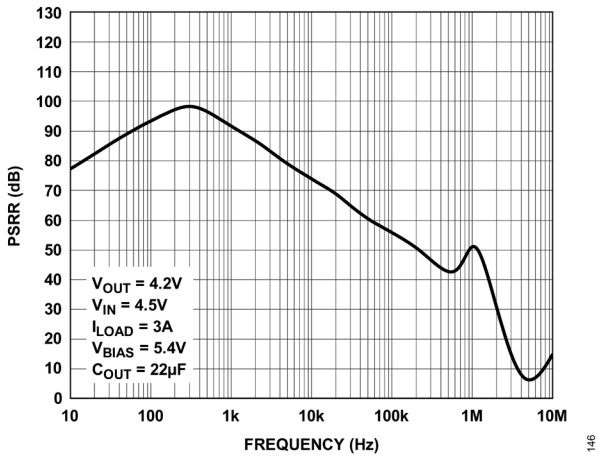


図 46. IN の PSRR

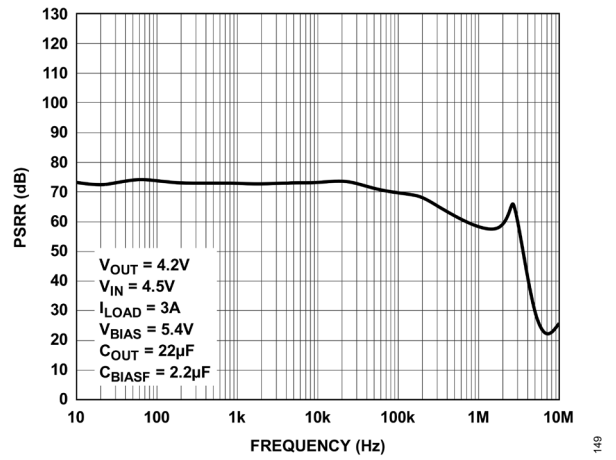


図 49. BIAS の PSRR

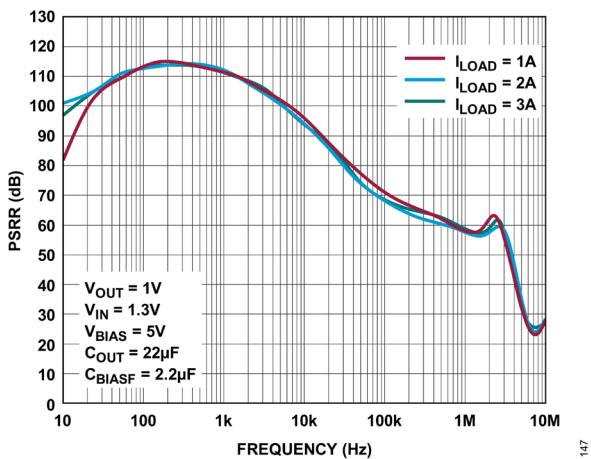


図 47. BIAS の PSRR

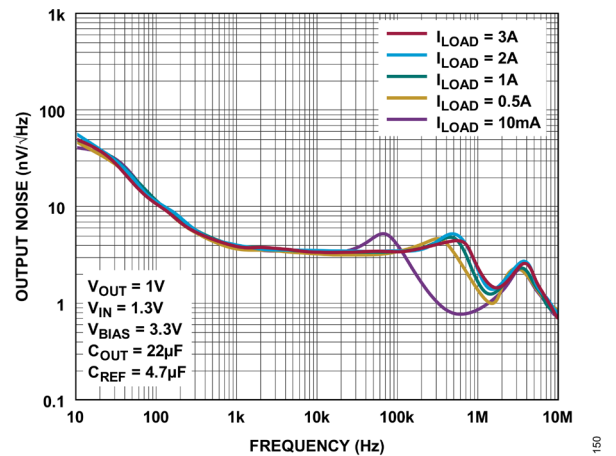


図 50. ノイズ・スペクトル密度

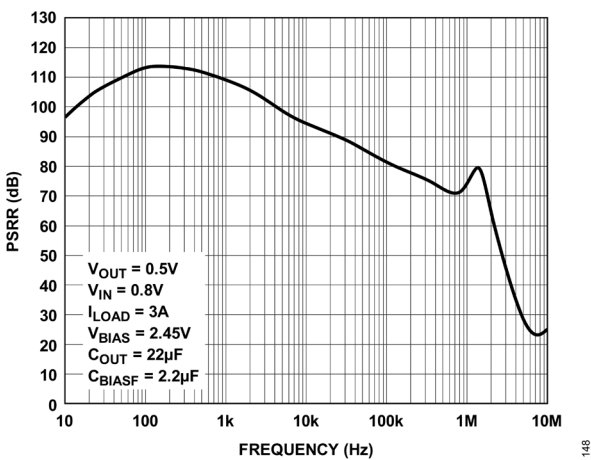


図 48. BIAS の PSRR

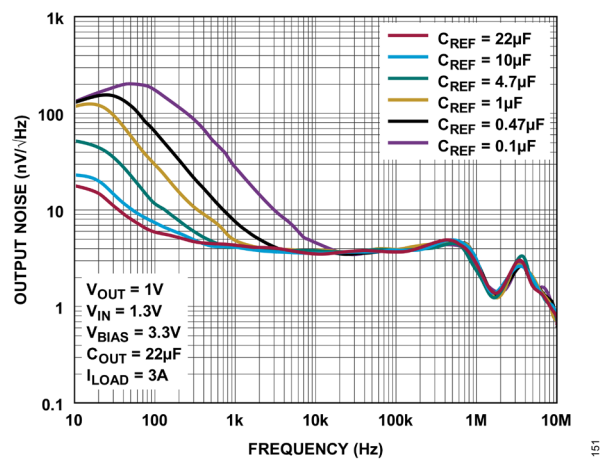


図 51. ノイズ・スペクトル密度

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

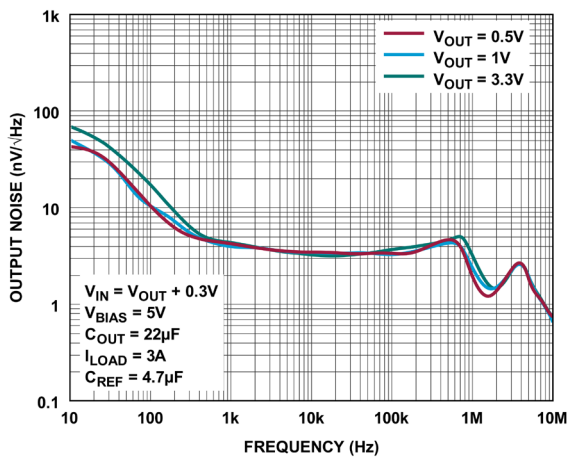


図 52. ノイズ・スペクトル密度

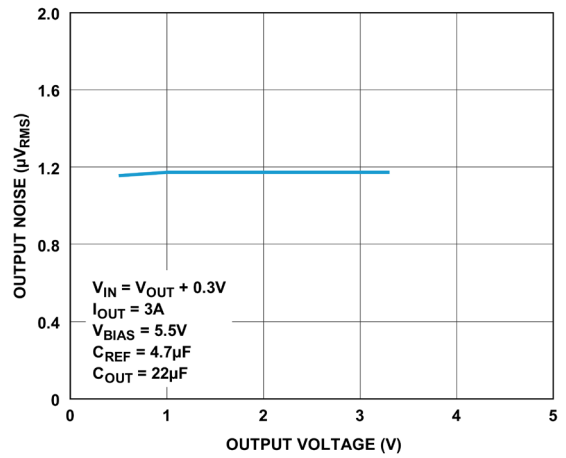


図 55. 積分実効値出力ノイズ (10Hz~100kHz)

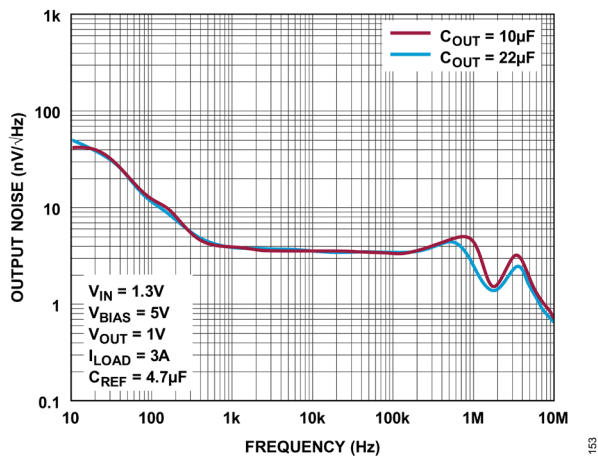


図 53. ノイズ・スペクトル密度

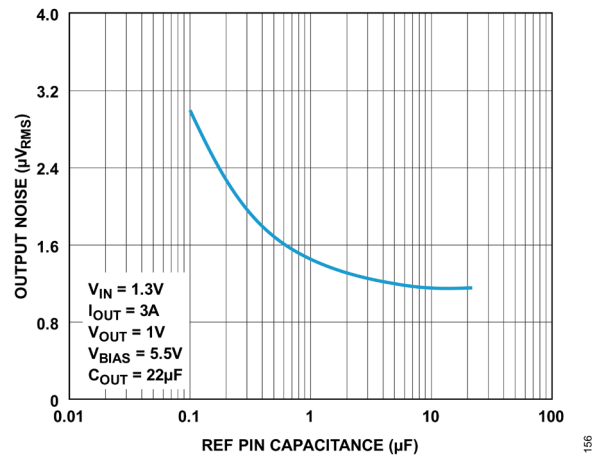


図 56. 積分実効値出力ノイズ (10Hz~100kHz)

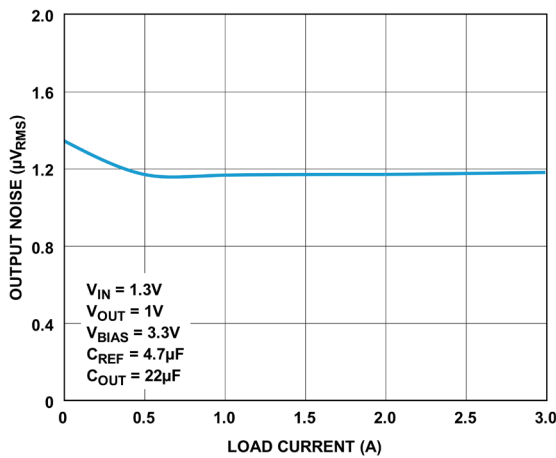


図 54. 積分実効値出力ノイズ (10Hz~100kHz)

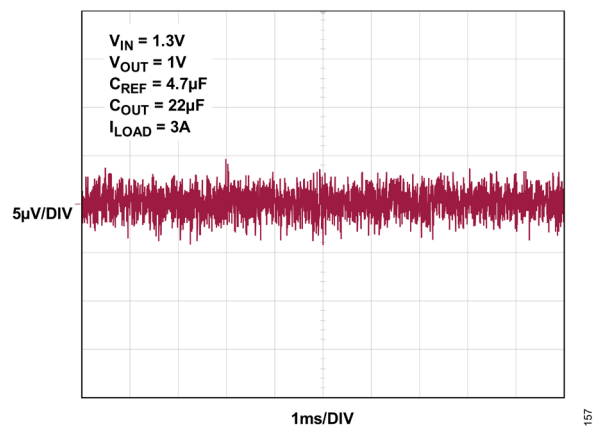


図 57. 出力ノイズ (10Hz~100kHz)

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

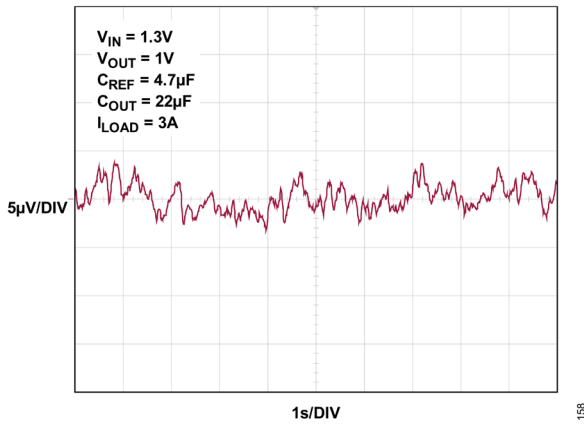


図 58. 出カノイズ (0.1Hz~10Hz)

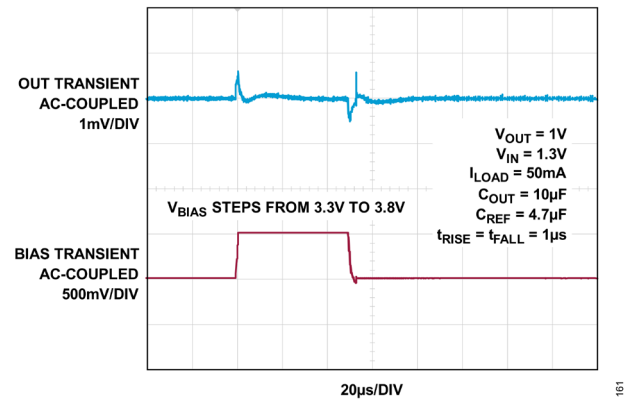


図 61. BIAS ピンのライン・トランジェント

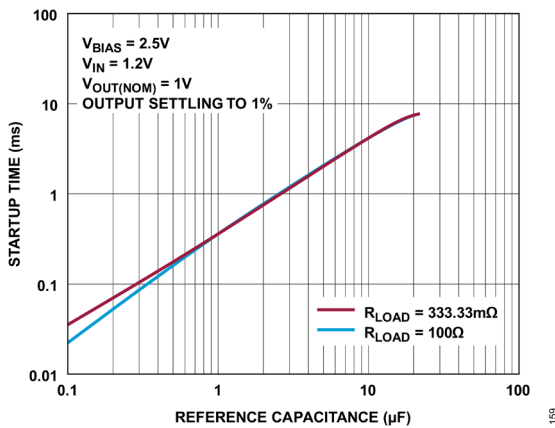


図 59. 起動時間

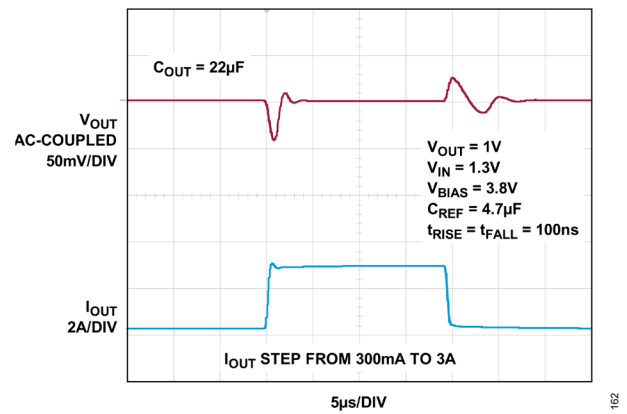


図 62. 負荷過渡応答

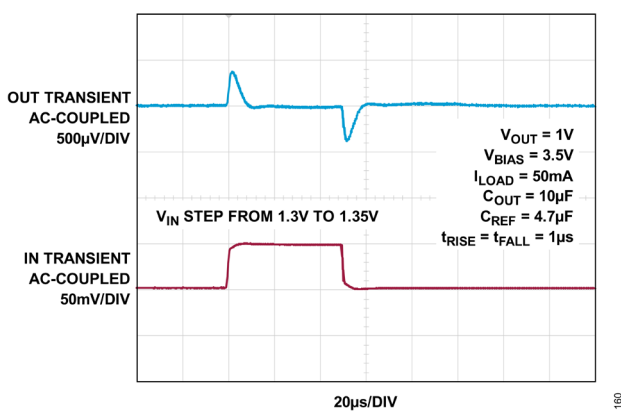


図 60. IN ピンのライン・トランジェント

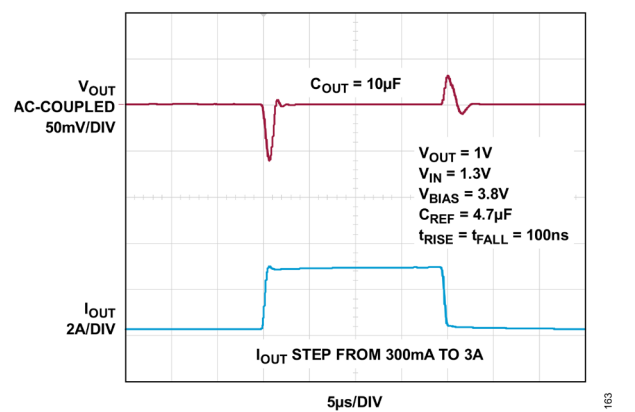


図 63. 負荷過渡応答

代表的な性能特性

特に指定のない限り、 $T_J = 25^\circ\text{C}$ 。

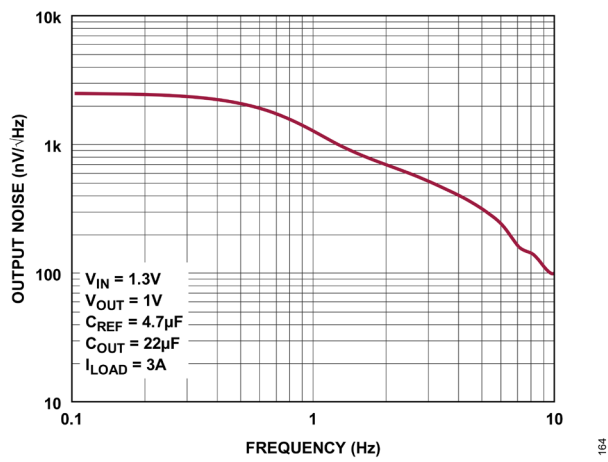
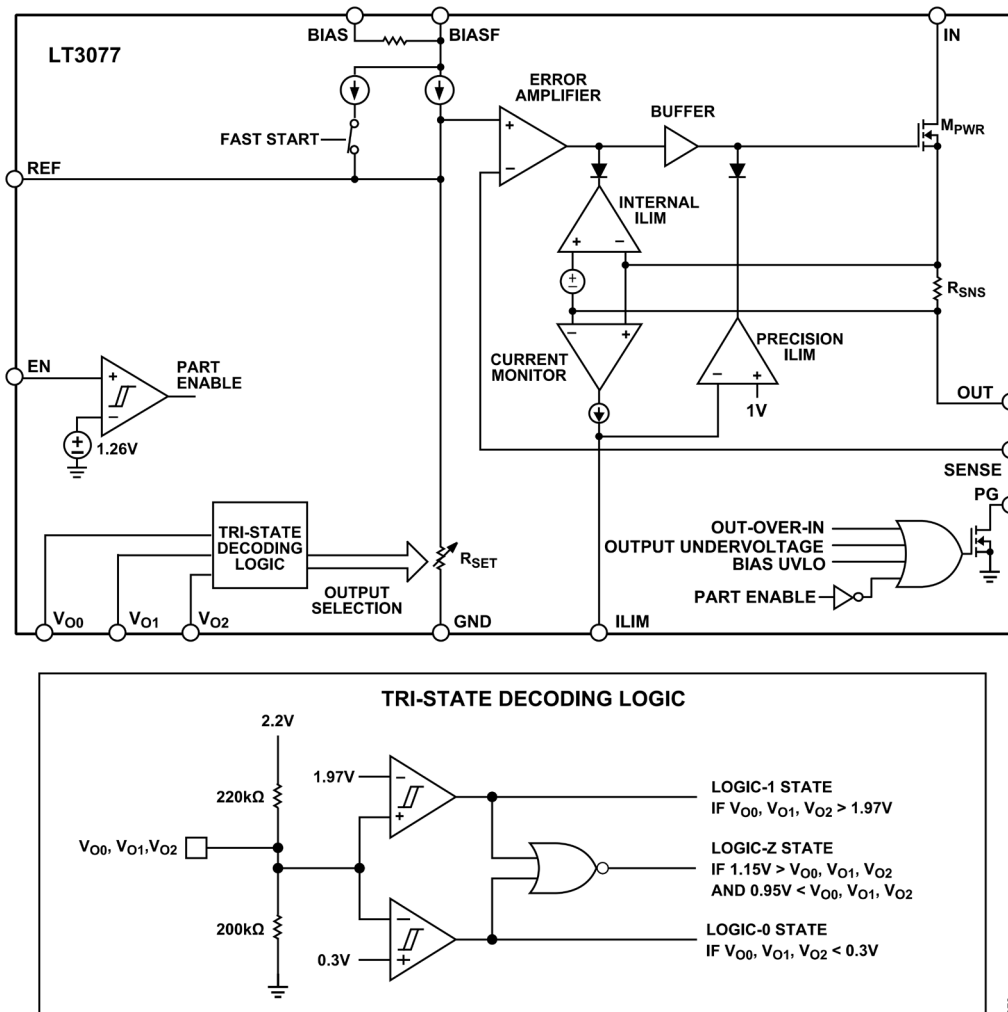


図 64. ノイズ・スペクトル密度

機能図



アプリケーション情報

LT3077 は、低電圧、超低ノイズ、超高速過渡応答のリニア・レギュレータです。このデバイスは、85mV（代表値）のドロップアウト電圧で最大 3A を供給します。4.7μF のリファレンス・バイパス・コンデンサにより、出力電圧ノイズは 1.2μV_{RMS} に低減されています。LDO の広い帯域幅と高い PSRR により、小型のセラミック・コンデンサを使用できるため、バルク容量とコストを削減できます。LT3077 は、高性能 FPGA、マイクロプロセッサ、RF 通信、ノイズに敏感な電源アプリケーションに最適なデバイスです。

出力電圧

LT3077 のユニティ・ゲイン動作は、出力電圧の設定値には依存せずに、実質的に一定の出力ノイズ、PSRR、帯域幅を提供します。出力電圧は、0.5V~1.2V では 50mV 刻みで、1.2V~1.8V では 100mV 刻みで、以降は 2V、2.5V、3V、3.3V、4.2V の離散的なレベルで、デジタル的に選択可能です。

V_{O0} 、 V_{O1} 、 V_{O2} の3つの3レベル入力ピンで出力電圧を選択します。表6に、これらのピンをハイまたはローに設定した場合、あるいはフローティング状態にした場合の3ビット・デジタル・ワードと出力電圧の関係を示します。入力ロジック・ロー状態は、GNDを基準にして300mV以下で確保され、ロジック・ハイ状態は1.97V以上で確保されます。ロジック Hi-Z (入力フローティング) 状態は、950mV～1.15Vの範囲で定義されます。これらのピンは、 V_{BIAS} にストラップすることにより、またはデジタル・ポートで駆動することにより、ハイに接続できます。フローティング状態のピンには、フローティング状態の場合か、Hi-Z 出力機能を持つロジックを必要とする場合のいずれかがあります。これにより、必要に応じて出力電圧を動的に変化させることができます。

表 6. V_{OUT} 選択マトリクス

V_{OUT} (V)	V_{O2}	V_{O1}	V_{O0}
0.50	0	0	0
0.55	0	0	Z
0.60	0	0	1
0.65	0	Z	0
0.70	0	Z	Z
0.75	0	Z	1
0.80	0	1	0
0.85	0	1	Z
0.90	0	1	1
0.95	Z	0	0
1.00	Z	0	Z
1.05	Z	0	1
1.10	Z	Z	0
1.15	Z	Z	Z
1.20	Z	Z	1
1.30	Z	1	0
1.40	Z	1	Z
1.50	Z	1	1
1.60	1	0	0
1.70	1	0	Z
1.80	1	0	1
2.00	1	Z	0
2.50	1	Z	Z
3.00	1	Z	1
3.30	1	1	0
4.20	1	1	Z
DO NOT USE	1	1	1

0 = ロー、Z = Hi-Z (フローティング)、1 = ハイ

REF – 電圧リファレンス

REF ピンは、抵抗 DAC に供給される内部電流リファレンスの電圧出力です。GND との間に 4.7μF の REF コンデンサを接続すると、リファレンス電圧ノイズが減少し、イネーブル時に OUT がソフトスタートします。ソフトスタート時間は、使用する REF コンデンサの値により決定されます。

REF ピンには、より高い出力電流を得るために他の LT3077 レギュレータを並列接続するアプリケーションを除いて、いかなる DC 負荷もかけてはなりません。詳細については、より高い出力電流を得るためのデバイスの並列化のセクションを参照してください。

REF ピンのオーバードライブ

V_{O0}、V_{O1}、V_{O2} の各ピンで設定できる値以外の値に出力電圧を設定する必要があるアプリケーションでは、外部ソースを用いて REF ピンをオーバードライブできます。LT3077 は、100μA（代表値）の電流源を用いて抵抗 DAC に電流を供給します。抵抗 DAC と電流源は半比例の関係にあり、IR 積が一定となるよう、最大±15%の変動が可能です。REF ピンを外部駆動する場合、内部電流および抵抗のこの変動を考慮する必要があります。

LT3077 が出力を安定化する際に高速の起動電流が確実にシャット・オフされるために、必要なオーバードライブ REF 電圧よりも低い REF ピン電圧を選択するように VOX ピンを設定することを推奨します。図 65 に示すように、REF は外部電圧源で直接オーバードライブすることができます。あるいは、図 66 に示すように、抵抗分圧器を後段に備えた電圧源を用いることもできます。後段に抵抗分圧器を備えた外部電圧源で REF ピンを駆動する場合、外部電圧源は固定電圧源とすることも、あるいは、精度を向上するためにサーボ・ループを用いた可変電圧源とすることもできます。

外部電圧源を抵抗分圧器と共に用いる場合、結果として生じる REF ピン電圧は、次式に示すように、重ね合わせの原理を用いて計算できます。

$$V_{REF} = V_{EXT} \times \left(\frac{(R_{INT} || R_{EXT2})}{(R_{INT} || R_{EXT2}) + R_{EXT1}} \right) + I_{INT} \times (R_{INT} || R_{EXT1} || R_{EXT2})$$

ここで、I_{INT} は内蔵 100μA 電流リファレンス、R_{INT} は対応する VOX 設定の公称抵抗値、R_{EXT1} および R_{EXT2} は抵抗分圧器を構成する外部抵抗、V_{EXT} は REF ピンをオーバードライブする外部電圧源です。

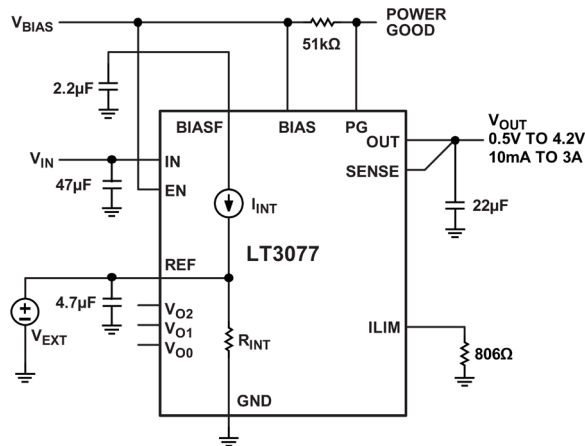


図 65. 外部電圧源により直接オーバードライブされる REF

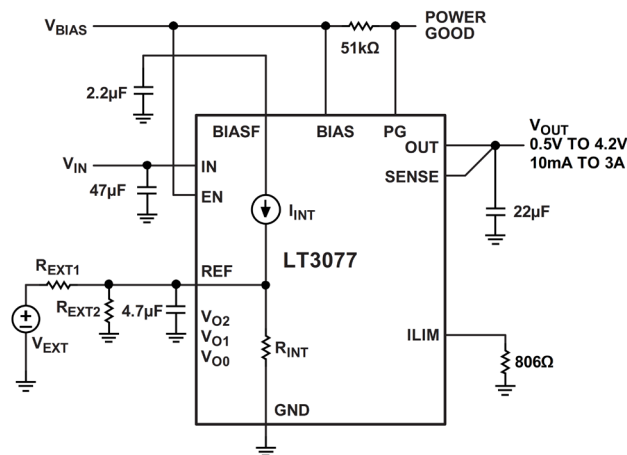


図 66. 抵抗分圧器を伴う電圧源によりオーバードライブされる REF

外部電圧源を抵抗分圧器と共に用いる場合、 R_{INT} のプロセス変動の範囲での正確さを確保するため、 R_{EXT2} の値が R_{INT} の公称値の最大でも10%となるよう、 R_{EXT1} および R_{EXT2} を選択してください。

例：1.25Vの外部リファレンスと抵抗分圧器を用いてREFを1.025Vに設定。

LT3077が1Vの出力設定を選択するようにVOXピンを設定します（ V_{00} および V_{02} がHi-Z、 V_{01} がGND）。

1Vの設定にするには：

$$R_{INT(NOMINAL)} = 1V/100\mu A = 10k\Omega$$

次のように選択します：

$$R_{EXT2} = R_{INT}/10 = 1k\Omega$$

これらの値を用いると、次式が成り立ちます：

$$R_{EXT2} || R_{INT} = 1k\Omega || 10k\Omega = 909.0909\Omega$$

前出の式に V_{REF} を代入すると、次式が成り立ちます：

$$1.025V = 1.25V \times \left(\frac{909.0909\Omega}{909.0909\Omega + R_{EXT1}} \right) + 100\mu A \times (909.0909\Omega || R_{EXT1})$$

R_{EXT1} について解くと、 $R_{EXT1} = 218.978\Omega$ となります。最も近い1%抵抗は221 Ω です。

REFピンをオーバードライブした場合、表1に記載されたパワー・グッドの V_{OUT} 閾値は確保されなくなります。

イネーブル機能 – ON と OFF の切り替え

ENピンを用いることで、リファレンスおよび出力トランジスタを有効化/無効化し、また、補助機能を無効化できます。ENをローにすると、レギュレータはナップ・モードになります。ナップ・モードでは、静止電流が10 μA 未満に減少します。LT3077には、ENピンに精密な1.26Vのターンオン閾値と80mVのヒステリシスが存在します。バイアス電源に対する抵抗分圧器と組み合わせてこの閾値を使用すると、レギュレータの正確なUVLO閾値を定義できます。この抵抗分圧ネットワークの計算では、表1に示す閾値でのENピンの電流(I_{EN})の算入が必要で、次式のようになります。

$$V_{BIAS(UVLO)} = 1.26V \times \left(1 + \frac{R_{EN2}}{R_{EN1}} \right) + I_{EN/UV} \times R_{EN2}$$

ここで、

R_{EN1} と R_{EN2} はそれぞれ、ENピンとGNDの間、ENピンとBIASの間に置かれる抵抗です。 R_{EN1} が100k Ω より低ければ、 I_{EN} は無視できます。ENピンを使用しない場合はこれをBIASに接続します。

BIAS 低電圧ロックアウト

内蔵の低電圧ロックアウト (UVLO) コンパレータが BIAS のレールをモニタします。V_{BIAS} が UVLO 閾値を下回ると、すべての機能が停止し、パス・トランジスタはゲートオフされ、出力電流はゼロに低下します。代表的な BIAS ピンの UVLO 閾値は、V_{BIAS} の立上がりエッジで 2.2V です。UVLO 回路には、V_{BIAS} の立下がりエッジに約 130mV のヒステリシスが組み込まれています。

パワー・グッド

PG ピンは、オープン・ドレインの NMOS 出力であり、EN がローの場合、または次のいずれかのフォルト・モードが検出された場合に、アクティブにローにプルダウンします。

- ▶ V_{OUT} が、V_{OUT} の立上がりエッジで V_{OUT(NOMINAL)} の 93% より低い。
- ▶ V_{OUT} が、V_{OUT} の立下がりエッジで V_{OUT(NOMINAL)} の 90% より低い。
- ▶ V_{BIAS} が、その低電圧ロックアウト閾値より低い。
- ▶ OUT-over-IN 電圧検出器が作動する。

安定性と出力容量

LT3077 のフィードバック・ループには、安定性の確保のために 10 μ F 以上の出力容量が必要です。アナログ・デバイセズでは、低 ESR の X5R または X7R セラミック・コンデンサを、LT3077 の OUT ピンと GND ピンの近くにマウントすることを推奨しています。OUT と GND 用に広い配線プレーンを設け、インダクタンスを最小化します。可能であれば、レギュレータをアプリケーション負荷のすぐ近くにマウントして、分布インダクタンスを最小化し、負荷過渡応答の性能を最適化します。ポイントオブロード・アプリケーションは、LT3077 の性能を最大限に引き出すための最適なレイアウト・シナリオを提供します。

負荷点で、隣接するデカップリング・コンデンサ以外にセラミック・コンデンサを追加して分散配置することは、許容可能であり、推奨します。これらのセラミック・コンデンサは、分散型 PCB インダクタンスによって一次補償コンデンサから分離されるためです。

FPGA、ASIC プロセッサ、DSP 電源など、LT3077 が得意とするアプリケーションの多くには通常、給電されるデバイス用の高周波デカップリング・コンデンサ・ネットワークが必要です。このネットワークは一般に、並列接続された値の低い多数のセラミック・コンデンサで構成されています。複数の低値コンデンサは、並列接続により、好ましい周波数特性を示し、コンデンサの寄生インダクタンスを減少させます。

セラミック・コンデンサの使用を推奨します。セラミック・コンデンサは、温度と印加電圧の挙動が異なる様々な誘電体を用いて作られています。最も一般的な誘電体は、EIA 温度特性コード Z5U、Y5V、X5R、X7R で仕様規定されています。誘電体 Z5U および Y5V は、小型パッケージで高い容量を確保するのには適していますが、[図 67](#) と [図 68](#) に示すように、電圧係数と温度係数が大きくなる傾向があります。16V 10 μ F のコンデンサ Y5V は、5V のレギュレータと共に用いると、印加した DC バイアス電圧に対して、また動作温度範囲全体で、実効値を 1 μ F ~ 2 μ F という低い値にできます。誘電体 X5R および X7R は、特性の安定性が高く、出力コンデンサとしての使用に適しています。

誘電体 X7R は温度に対する安定性が良好であり、一方、X5R はより低価格で、より高い値が得られます。ただし、コンデンサ X5R および X7R を使用する場合には注意が必要です。コード X5R および X7R は、動作温度範囲と最大容量の温度変化のみを規定するものだからです。コンデンサ X5R および X7R の DC バイアスによる容量の変化は、コンデンサ Y5V および Z5U よりも良好ですが、コンデンサの諸元を適切なレベルより下げるにはまだ大きすぎる場合があります。コンデンサの DC バイアス特性は、素子のケース・サイズが大きくなるにつれて向上する傾向がありますが、動作電圧での容量の予測値を検証することが必要です。こうした問題の原因は電圧係数と温度係数だけではありません。セラミック・コンデンサの中には圧電応答を示すものがあります。圧電素子では、圧電マイクの動作と同様、機械的なストレスによって端子間に電圧が発生します。セラミック・コンデンサの場合、この応力はシステム内の振動または熱トランジェントによって引き起こされることがあります。

上述の DC バイアスおよび温度の変動に加え、印加 AC 電圧に応じた実効容量の変動も考慮する必要があります。セラミック・コンデンサは、通常、1V の AC リップルに対し仕様規定されています。実効容量は AC リップル電圧の低下に応じて減少します。LT3077 の出力での非常に低い AC リップルに対しては、実効容量は 30%以上減少します。LT3077 の最小容量要件を満たせるよう、コンデンサを選択する際は、温度、DC バイアス電圧、AC リップル電圧のそれぞれの効果に関する詳細をセラミック・コンデンサのメーカーに問い合わせてください。

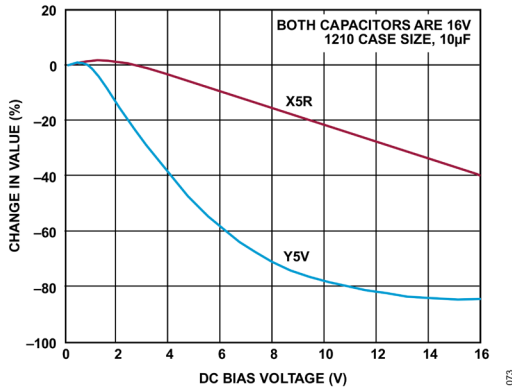


図 67. セラミック・コンデンサの DC バイアス特性

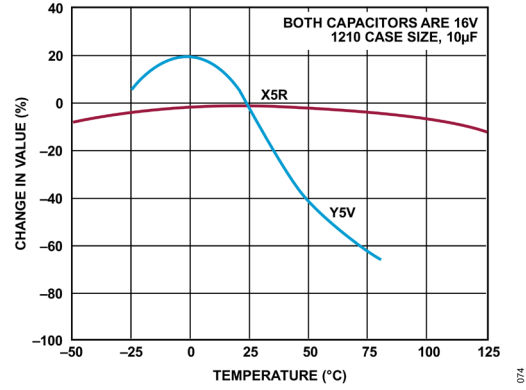


図 68. セラミック・コンデンサの温度特性

安定性と入力容量

LT3077 は、最小容量 4.7 μ F のコンデンサが IN ピンに接続された状態で安定します。低 ESR コンデンサを用いると、大負荷過渡応答状態での瞬時電圧降下を最小限に抑えることができます。大負荷過渡応答中に V_{IN} が大きく降下すると、レギュレータがドロップアウトに入り、それに対応して負荷過渡応答が劣化する可能性があります。このため、アプリケーションの条件によっては、入出力容量の値を上げる必要があります。この回路は、電力を最小化するためにドロップアウトに近い状態で意図的に動作されるため、十分な入力容量が不可欠です。理想的には、IN に給電する電源の出力インピーダンスを 20m Ω より低くして、トランジェントが大きい 3A の負荷に対応できるようにする必要があります。

ワイヤを用いて電源を LT3077 の入力（および LT3077 のグラウンドと電源のグラウンドの間）に接続する場合、アプリケーションが不安定になるのを回避するために大きい入力コンデンサを用いる必要があります。これは、ワイヤのインダクタンスが入力コンデンサと共に LC タンク回路を形成するためであり、LT3077 が不安定になっているためではありません。ワイヤの自己インダクタンス、すなわち孤立インダクタンスは、その長さに比例します。ただし、ワイヤの直径は、その自己インダクタンスには大きな影響を及ぼしません。例えば、長さ 1 インチ、直径 0.04 インチの 18-AWG ワイヤの自己インダクタンスは 28nH です。直径 0.26 インチの 2-AWG 孤立ワイヤの自己インダクタンスは、18-AWG ワイヤのインダクタンスの約半分です。ワイヤの自己インダクタンス全体は、2 つの方法で低減できます。1 つは、LT3077 に向かって流れる電流を、2 つの並列導体間で分割する方法です。この場合、ワイヤの間隔が広いほど、インダクタンスは減少し、数インチ離すと、最大で 50%減少します。ワイヤを分割すると、2 つの等しいインダクタが並列接続されます。ただし、互いに近接して配置される場合、相互インダクタンスが、ワイヤの自己インダクタンス全体に付加されます。インダクタンス全体を減少させる最も効果的な方法は、順方向電流導体とリターン電流導体（入力用のワイヤとリターン・グラウンド用のワイヤ）を非常に近接して配置することです。この場合、0.05 インチ離れた 2 本の 18-AWG ワイヤは、自己インダクタンス全体を、1 本の孤立ワイヤの約 4 分の 1 に減少させます。LT3077 が、同じ回路基板上のグラウンド・プレーンと電源プレーンの近くにマウントしたバッテリーから給電される場合、10 μ F の入力コンデンサで十分な安定性が得られます。離れた電源から LT3077 に給電する場合は、低 ESR で 220 μ F 程度の大容量入力コンデンサを使用します。電源の出力インピーダンスが変動すると、アプリケーションの安定性に必要な最小入力容量も変動します。

BIAS/BIASF ピンの要件

BIAS ピンは、内部制御回路の大半と出力段に電流を供給し、パス・トランジスタを駆動します。LT3077 で、安定性と適切な動作を確保するには、BIASF ピンに最低 2.2μF のバイパス・コンデンサを接続する必要があります。BIAS ピンにはバイパス・コンデンサは不要です。適切な動作を確保するために、BIAS 電圧は次の条件を満たす必要があります。2.375V ≤ V_{BIAS} ≤ 5.5V かつ V_{BIAS} ≥ (V_{OUT} + 1.2V)。V_{OUT} ≤ 1.15V の場合、最小 BIAS 電圧は 2.375V に制限されます。

負荷レギュレーション

LT3077 は寄生パッケージを補正し、SENSE ピンが出力コンデンサにケルビン接続されている場合は、PCB の I-R 電圧降下も補正します。LT3077 は中程度のレベルの出力ライン・インピーダンスを処理しますが、V_{OUT} と C_{OUT} の間の過大なインピーダンスはフィードバック・ループに過大な位相シフトを引き起こし、安定性に悪影響を及ぼします。

PCB レイアウト時の考慮事項

LT3077 の高い帯域幅と高い PSRR を考慮に入れると、デバイスの性能をフルに発揮させるには、PCB のレイアウトを綿密に行う必要があります。図 69 は、レギュレータの性能をフルに発揮するレイアウトの EVAL-LT3077-AZ 評価用ボードを示しています。詳細については、EVAL-LT3077-AZ 評価用ボードのユーザ・ガイドを参照してください。

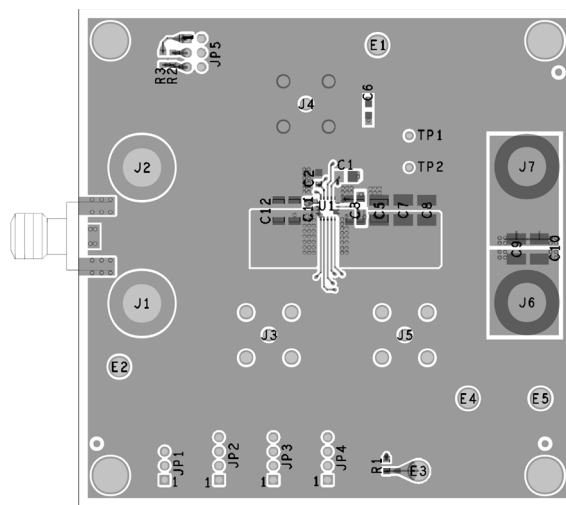


図 69. EVAL-LT3077-AZ 評価用ボード

保護機能

LT3077 には、出力電流を 4.5A に固定する内部電流制限機能があります。更に、LT3077 には、±10 パーセントの精度で設定可能な高精度電流制限機能もあります。周囲温度が十分に高い場合、ダイ・ジャンクション温度は 125°C の最大動作温度を超えることがあります。この場合、LT3077 は内部熱安全機能に依存します。通常、LT3077 では、168°C でサーマル・シャットダウンが作動し、IC 温度がその熱ヒステリシス限界を下回るまで出力がシャットダウンされます。

外部プログラマブルな電流制限

ILIM ピンの電流制限閾値は 1V です。ILIM と GND の間に抵抗を接続すると、ILIM ピンから流れ出る最大電流が設定され、LT3077 の電流制限値が設定されます。プログラミングのスケールリング・ファクタである 3A × kΩ を用いると、電流制限値は次のように計算できます。

$$\text{Current Limit} = \frac{3A \times k\Omega}{R_{ILIM}}$$

例えば、1kΩの抵抗では電流制限値は3Aに設定され、2kΩの抵抗では電流制限値は1.5Aに設定されます。精度を良くするには、この抵抗をLT3077のGNDピンにケルビン接続します。

電気的特性の表（表1）に示すように、ILIMピンは、出力電流に比例（1:3000）した電流を供給します。外部電流制限値を用いない場合は、ILIMをGNDに接続します。これにより、内部電流制限値が4.5Aに設定されます。

熱に関する考慮事項

周囲温度が高い場合は、PCBのレイアウトに注意を払い、LT3077が十分放熱できるようにします。パッケージ底面にあるINピンとOUTピンはそれぞれ、INプレーンとOUTプレーンにハンダ付けする必要があります。更に、INとOUTは、その下にある広い銅レイヤにサーマル・ビアで接続する必要があります。これらのレイヤはLT3077が放散する熱を拡散します。ビアを追加すれば、熱抵抗を更に小さくすることができます。ダイ温度は、LT3077の消費電力にジャンクションから周囲までの熱抵抗を乗算して計算します。

内蔵の過熱保護機能が、LT3077のジャンクション温度をモニタします。ジャンクション温度が約168°Cに達すると、温度が約7°C低下するまでLT3077出力がシャットダウンされます。

ジャンクション温度の計算

例：出力電圧が1.2V、入力電圧が1.5V、BIAS電圧が5V、出力電流の範囲が10mA～3A、最大周囲温度が50°Cとすると、最大ジャンクション温度は何度になるでしょうか。

LT3077の消費電力は次のとおりです。

$$I_{OUT(MAX)} \times (V_{IN} - V_{OUT}) + I_{GND} \times V_{BIAS}$$

ここで、

$$I_{OUT(MAX)} = 3A$$

$$V_{BIAS} = 5V$$

$$I_{GND} (at I_{OUT} = 3A \text{ and } V_{BIAS} = 5V) = 5mA$$

したがって：

$$P_{DISS} = 3A \times (1.5V - 1.2V) + 5mA \times 5V = 0.925W$$

3mm × 3mmのLFCSP-RTパッケージを用いた場合、熱抵抗は41°C/W～47°C/Wです。θ_{JA}の値は、ボードの構成とレイアウトに応じて、41°C/W～47°C/Wの範囲内で変化します。θ_{JA}の値が44°C/Wとすると、周囲温度からのジャンクション温度の上昇温度は、次の式にほぼ等しくなります。

$$0.925W \times 44°C/W = 40.7°C$$

最大ジャンクション温度は、最大周囲温度に、周囲温度からのジャンクション温度の最大の上昇温度分を加算したものに等しくなります。

$$T_{JMAX} = 50°C + 40.7°C = 90.7°C$$

より高い出力電流を得るためのデバイスの並列化

図70に示すように、複数のLT3077を並列接続すると、より高い出力電流が得られます。この並列化のコンセプトは、LT3080製品ファミリが採用している方式を流用したものです。

この並列接続を行うには、複数のデバイスのINピンとOUTピンをすべて接続します。また、複数のデバイスのREFピンを接続します。これにより、複数のリファレンス電圧源の平均値が効果的に得られます。各LT3077のOUTは、PCパターンの小片を、バラスト抵抗（≒2mΩ）として、または各レギュレータのフィードバックSENSEタップの先で実際の検出抵抗として用いて、共通の負荷に接続します。このバラスト抵抗は出力電流の分担を実現します。抵抗値を制御した状態を保つため、このバラスト抵抗となるパターン領域にはハンダを付けないようにします。

表 7 に、重量とパターン幅の関数としての PCB パターン抵抗の簡単なガイドラインを示します。

表 7. PC ボードのパターン抵抗¹

WEIGHT (oz)	10mil WIDTH	20mil WIDTH
1	54.3	27.1
2	27.1	13.6

¹ パターン抵抗の単位は $m\Omega/in$ です。

出力ノイズ

LT3077 には、ノイズ性能に関して多くの利点があります。従来型のリニア・レギュレータには、いくつかのノイズ源があります。従来型レギュレータの最も決定的なノイズ源としては、その電圧リファレンス、誤差アンプ、出力電圧の設定に使用される抵抗分圧器ネットワークからのノイズ、この抵抗分圧器が生成するノイズ・ゲインが挙げられます。

LT3077 のユニティ・ゲイン・フォロワのアーキテクチャでは、REF ピンから出力までゲインはありません。このため、コンデンサが REF ピンの内部抵抗 DAC をバイパスする場合、出力ノイズは出力電圧の設定値に依存しません。結果として生じる出力ノイズは、誤差アンプのノイズによってのみ設定されます。通常、10kHz~1MHz で $3.5nV/\sqrt{Hz}$ 、 $4.7\mu F$ の REF ピン・コンデンサを用いた場合は、10Hz~100kHz の帯域幅で $1.2\mu V_{RMS}$ です。複数の LT3077 を並列接続すると、N 個の並列レギュレータについて \sqrt{N} だけノイズが更に低減します。

高周波スパイクのフィルタリング

LT3077 をスイッチング・コンバータのポストレギュレーションに用いるアプリケーションの場合、その高い PSRR により、スイッチャのスイッチング周波数（通常は 100kHz~4MHz）に存在するあらゆるノイズが実質的に抑制されます。ただし、スイッチャの電源スイッチの遷移時間に関連する高周波数（数百 MHz）の（LT3077 の帯域幅を超えた）スパイクは、LT3077 をほぼそのまま通過します。出力コンデンサの目的の 1 つはこれらのスパイクを吸収することですが、その ESL はこれらの周波数での能力を制限します。フェライトビーズ、またはスイッチャの出力と LT3077 の入力との間の短い（例：0.5 インチ）PCB パターンに関連するインダクタンスは、これらの非常に高い周波数のスパイクを抑制する LC フィルタの代わりに使えます。

高速スタートアップ

低 $1/f$ ノイズが要求される（すなわち、100Hz 未満の周波数での）超低ノイズのアプリケーションでは、 $22\mu F$ に達する大容量の REF ピン・コンデンサが必要となります。これにより通常、レギュレータの起動時間が大幅に増加しますが、LT3077 には、起動中に REF ピン電流を約 2mA まで増加させる高速起動回路が組み込まれています。この回路により、 $22\mu F$ のコンデンサの場合、起動時間が 100ms から 5ms に短縮されます。

2mA の電流源は、REF が立上がりエッジでその最終値の 98.8%になるまで作動し続けます。レギュレータが電流制限値、サーマル・シャットダウン、UVLO のいずれかの状態にない限り、REF が立下がりエッジで出力設定値の 91%を下回ると、電流源は再起動します。

代表的なアプリケーション回路

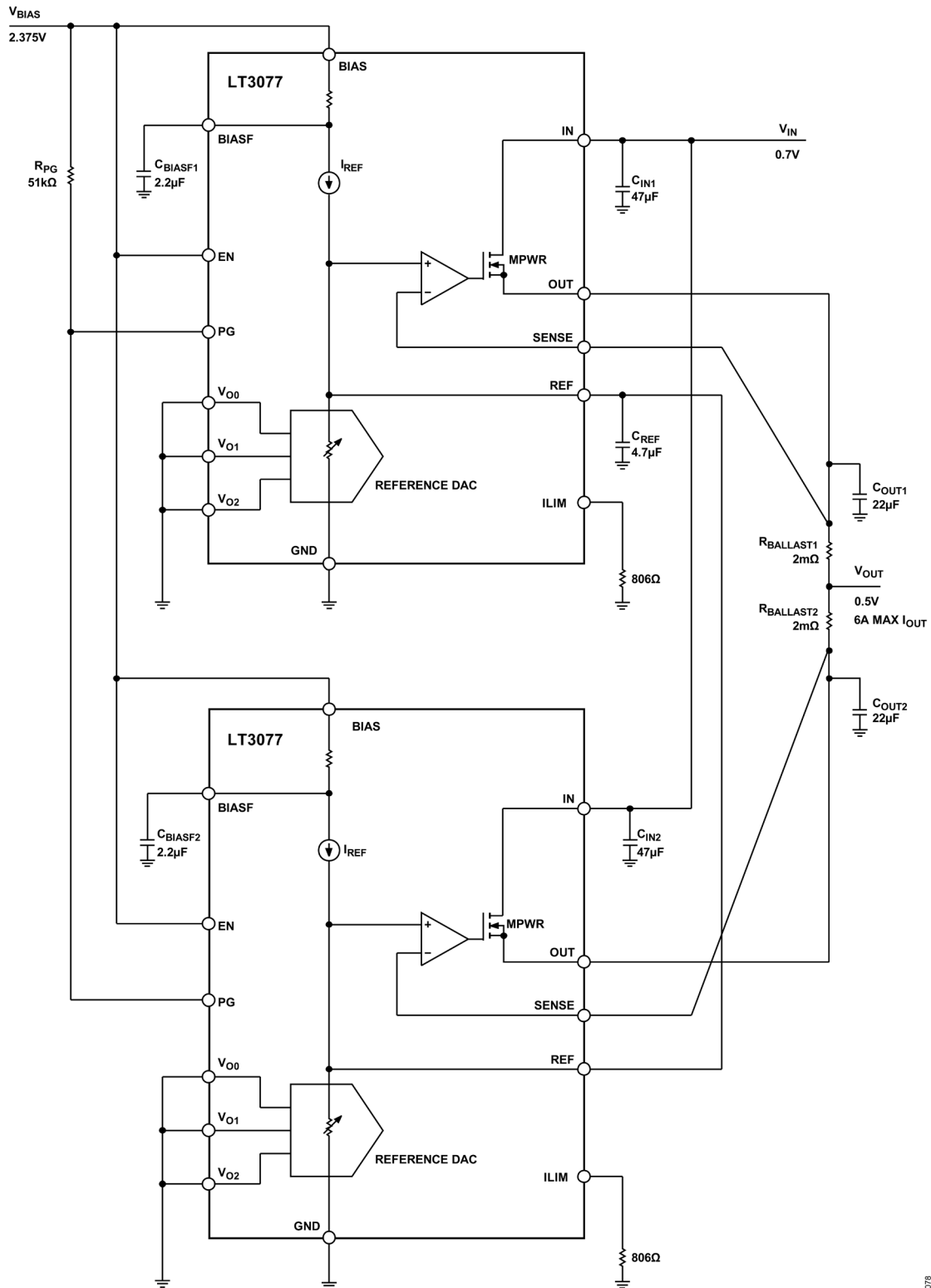


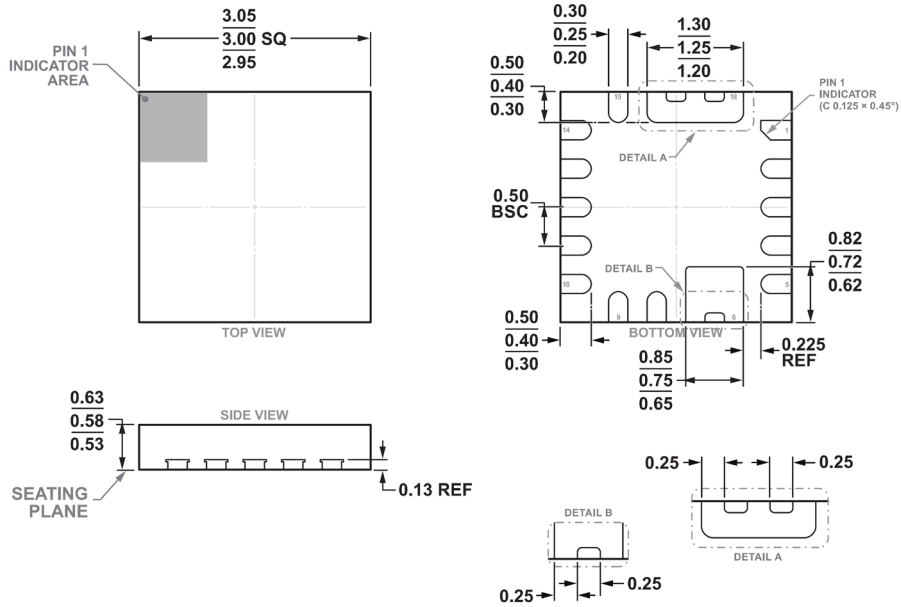
図 70. より高い出力電流を得るための複数の LT3077 の並列化

078

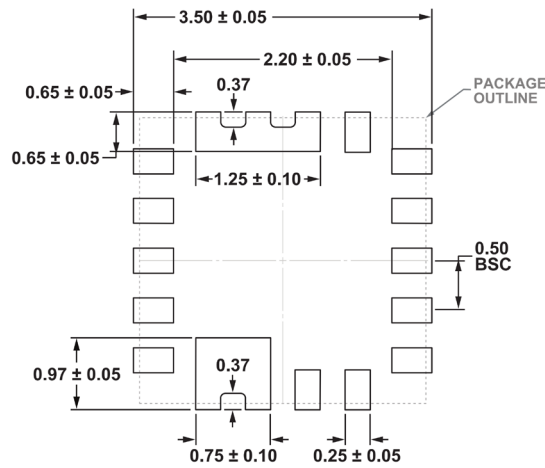
外形寸法



18-Lead Lead Frame Chip Scale Package, Routable, No Solder Spheres [LFCSP_RT]
 3 x 3 mm Body and 0.58 mm Package Height
 (CR-18-1)
 Dimensions shown in millimeters



RECOMMENDED SOLDER PAD LAYOUT
 (TOP VIEW)



オーダー・ガイド

表 8. オーダー・ガイド

MODEL ¹	TEMPERATURE RANGE	PACKAGE DESCRIPTION	MSL RATING	PACKING QUANTITY	PACKAGE OPTION
LT3077ACRZ	-40°C to 125°C	18-LEAD (3mm x 3mm LFCSP-RT)	3	Tray, 490	CR-18-1
LT3077ACRZ-R7	-40°C to 125°C	18-LEAD (3mm x 3mm LFCSP-RT)	3	Reel, 2500	CR-18-1

¹ すべてのモデルは RoHS 適合製品です。

評価用ボード

表 9. 評価用ボード

MODEL ¹	DESCRIPTION
EVAL-LT3077-AZ	Evaluation Board

¹ EVAL-LT3077-AZ は RoHS 適合製品です。

関連製品

表 10. 関連製品

製品番号	説明	注釈
LT3073	3A、超低ノイズ、高 PSRR、ドロップアウト電圧 45mV の超高速リニア・レギュレータ	45mV のドロップアウト、デジタル的にプログラマブルな V_{OUT} : 0.5V~4.2V、デジタル出力マーキング : $\pm 2.5\%$ 、超低出力ノイズ : $1.2\mu V_{RMS}$ 、高 PSRR : 52dB (1MHz 時)、直接並列化可能、ソフトスタート、低 ESR セラミック出力コンデンサ (10 μ F 以上) の使用により安定、22 ピン 3mm x 4mm LQFN パッケージ。
LT3078	5.5V、5A、超低ノイズ、高 PSRR、ドロップアウト電圧 55mV の超高速リニア・レギュレータ	55mV のドロップアウト、デジタル的にプログラマブルな V_{OUT} : 0.5V~4.2V、デジタル出力マーキング : $\pm 2.5\%$ 、超低出力ノイズ : $1.3\mu V_{RMS}$ 、高 PSRR : 49dB (1MHz 時)、直接並列化可能、ソフトスタート、低 ESR セラミック出力コンデンサ (22 μ F 以上) の使用により安定、22 ピン 3mm x 4mm LQFN パッケージ。
LT3070-1	5A、低ノイズ、プログラマブルな V_{OUT} 、デジタル・マーキング機能を備えたドロップアウト電圧 85mV のリニア・レギュレータ	85mV のドロップアウト電圧、デジタル的にプログラマブルな V_{OUT} : 0.8V~1.8V、デジタル出力マーキング : $\pm 1\%$ 、 $\pm 3\%$ 、または $\pm 5\%$ 、低出力ノイズ : $25\mu V_{RMS}$ 、直接並列化可能、ソフトスタート、低 ESR セラミック出力コンデンサ (15 μ F 以上) の使用により安定、28 ピン 4mm x 5mm QFN パッケージ。
LT3071	5A、低ノイズ、プログラマブルな V_{OUT} 、アナログ・マーキング機能を備えたドロップアウト電圧 85mV のリニア・レギュレータ	85mV のドロップアウト電圧、デジタル的にプログラマブルな V_{OUT} : 0.8V~1.8V、アナログ・マーキング : $\pm 10\%$ 、低出力ノイズ : $25\mu V_{RMS}$ 。直接並列化可能、出力電流モニタ、低 ESR セラミック出力コンデンサ (15 μ F 以上) の使用により安定、28 ピン 4mm x 5mm QFN パッケージ。

製品番号	説明	注釈
LT3072	デュアル、低ノイズ、2.5A のプログラマブル出力、80mV の低ドロップアウト電圧のリニア・レギュレータ	デュアル、独立した各 2.5A 出力、ドロップアウト電圧：80mV、低出力ノイズ：12 μ V _{RMS} （10Hz～100kHz）、デジタル的にプログラマブルな V _{OUT} ：0.6V～2.5V、出力公差：負荷、ライン、温度範囲にわたり \pm 1.25%/ \pm 1.5%、アナログ出力マージニング： \pm 10%の範囲、36ピン 4mm × 7mm QFN パッケージ。
ADP1763	3A、低 V _{IN} 、低ノイズの CMOS リニア電圧レギュレータ	95mV のドロップアウト、固定（0.9V～1.5V）および調整可能（0.5V～1.5V）V _{OUT} 、V _{IN} = 1.1V～1.98V、2 μ V _{RMS} のノイズ（100Hz～100kHz）、プログラマブルなソフトスタート、直接並列化可能、セラミック・コンデンサ（10 μ F 以上）の使用により安定化、AEC-Q100 適合、16 ピン 3mm × 3mm LFCSP パッケージ。
ADP1765	5A、低 V _{IN} 、低ノイズの CMOS リニア電圧レギュレータ	59mV のドロップアウト、固定（0.55V～1.5V）および調整可能（0.5V～1.5V）V _{OUT} 、V _{IN} = 1.1V～1.98V、2 μ V _{RMS} のノイズ（100Hz～100kHz）、プログラマブルなソフトスタート、直接並列化可能、セラミック・コンデンサ（22 μ F 以上）の使用により安定化、16 ピン 3mm × 3mm LFCSP パッケージ。
MAX38907	4A、高性能 LDO リニア・レギュレータ	79mV のドロップアウト、デジタル的にプログラマブルな V _{OUT} ：0.6V～5V、V _{IN} = 0.9V～5.5V、デジタル・マージニング： \pm 5%、プログラマブルなソフトスタート、逆電流保護、アクティブ放電、20 ピン 5mm × 5mm TQFN パッケージ。
LT3041	20V、1A、超低ノイズ、超高 PSRR、VIOC 制御付きリニア・レギュレータ	1 μ V _{RMS} のノイズ（10Hz～100kHz）、8 μ V _{P-P} のノイズ（0.1Hz～10Hz）、80dB の PSRR（1MHz 時）、V _{IN} = 2.2V～20V、V _{OUT} = 0.2V～15V、310mV のドロップアウト、直接並列化可能、プログラマブルな電流制限およびパワー・グッド、低 ESR セラミック・コンデンサ（2 × 10 μ F 以上）の使用により安定化、14 ピン 4mm × 3mm DFN パッケージ。
LT3045	500mA、超低ノイズおよび超高 PSRR LDO	0.8 μ V _{RMS} のノイズおよび 75dB の PSRR（1MHz 時）、V _{IN} = 1.8V～20V、260mV のドロップアウト電圧、3mm × 3mm DFN および MSOP パッケージ。
LT3042	200mA、超低ノイズおよび超高 PSRR LDO	0.8 μ V _{RMS} のノイズおよび 79dB の PSRR（1MHz 時）、V _{IN} = 1.8V～20V、350mV のドロップアウト電圧、プログラマブルな電流制限およびパワー・グッド、3mm × 3mm DFN および MSOP パッケージ。
LT3083	3A、並列化可能、低ノイズ、低ドロップアウト・リニア・レギュレータ	310mV のドロップアウト電圧（2 電源動作）、低ノイズ：40 μ V _{RMS} 、V _{IN} ：1.2V～23V、V _{OUT} ：0V～22.6V、1 個の抵抗で V _{OUT} を設定できる電流ベースのリファレンス、直接並列化可能（オペアンプ不要）、セラミック・コンデンサの使用により安定化。TO-220、DD-PAK、TSSOP、4mm × 4mm DFN-12 パッケージ。

改訂履歴

版数	改訂日	説明	改訂ページ
0	7/24	初版発行	-

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025年1月21日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年1月25日

製品名：LT3077

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：27頁、「イネーブル機能 - ON と OFF の切り替え」の項、下から4行目の式

【誤】

$$V_{BIAS(UVLO)} = 1.26V \times \left(1 + \frac{R_{EN2}}{R_{EN1}}\right) + I_{EN/UV} \times R_{EN2}$$

【正】

$$V_{BIAS(UVLO)} = 1.26V \times \left(1 + \frac{R_{EN2}}{R_{EN1}}\right) + I_{EN} \times R_{EN2}$$