

低ノイズ、低ドリフト、低消費電力 3軸 MEMS 加速度センサー

特長

- ▶ 0g オフセットの温度特性（全軸）：0.45mg/°C（代表値）
- ▶ 超低ノイズ密度（全軸）：80µg/√Hz
- ▶ 低消費電力、V_{SUPPLY}（LDO イネーブル）
 - ▶ 測定モード：200µA
 - ▶ スタンバイ・モード：21µA
- ▶ デジタル出力機能
 - ▶ デジタル SPI と限定 I²C インターフェースに対応
 - ▶ 20 ビット ADC
 - ▶ 同期サンプリングのデータ・インターポレーション・ルーチン
 - ▶ プログラマブルなハイパス/ローパス・デジタル・フィルタ
- ▶ 温度センサー内蔵
- ▶ 電圧範囲のオプション
 - ▶ 内部レギュレータ付き V_{SUPPLY}：2.25V~3.6V
 - ▶ 内部 LDO レギュレータをバイパスした V_{1PBANA}、V_{1PBDIG}：1.8V（代表値）±10%
- ▶ 動作温度範囲：-40°C~+125°C
- ▶ 14 端子、4mm × 4mm × 1.04mm、LGA パッケージ

アプリケーション

- ▶ IMU/姿勢方位基準装置（AHRS）
- ▶ プラットフォーム安定化装置
- ▶ 振動センシング
- ▶ 社会インフラの構造物モニタリング
- ▶ 傾斜検知
- ▶ ロボット
- ▶ 状態監視

機能ブロック図

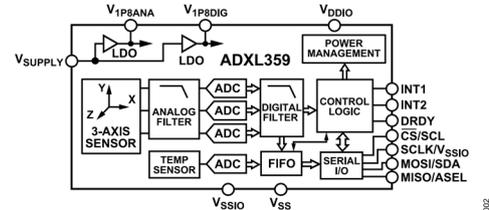


図 1. 機能ブロック図

概要

デジタル出力の ADXL359¹ は、低ノイズ密度、低 0g オフセット・ドリフト、低消費電力の 3 軸マイクロマシン（MEMS）加速度センサーで、測定範囲が選択可能です。ADXL359 は、±10g、±20g、±40g のレンジに対応します。

ADXL359 は、業界をリードする低ノイズ、全温度範囲にわたる最小オフセット・ドリフト、長時間安定性を提供し、最低限のキャリブレーションで高精度のアプリケーションを実現します。

低ドリフト、低ノイズ、低消費電力の ADXL359 は、飛行中の慣性計測のユニット（IMU）のような振動の大きな環境で高精度な傾斜計測が可能です。ADXL359 はより高い周波数まで低ノイズであるため、無線による状態監視に最適です。

ADXL359 の多機能ピンの名称は、シリアル・ペリフェラル・インターフェース（SPI）または限定 I²C インターフェースの該当する機能のみで表記されることがあります。

¹ 米国特許 8,472,270、9,041,462、8,665,627、8,917,099、6,892,576、9,297,825、および 7,956,621 により保護されています。

目次

特長	1	外部同期とインターポレーション	22
アプリケーション	1	レジスタ・マップ	25
機能ブロック図	1	レジスタの定義	26
概要	1	アナログ・デバイセズの ID レジスタ	26
仕様	3	アナログ・デバイセズの MEMS ID レジスタ	26
デジタル出力	3	デバイス ID レジスタ	26
SPI の特性	4	製品リビジョン ID レジスタ	26
I ² C デジタル・インターフェース特性	5	ステータス・レジスタ	26
絶対最大定格	7	FIFO エントリ・レジスタ	27
熱抵抗	7	温度データ・レジスタ	27
静電放電 (ESD) 定格	7	X 軸データ・レジスタ	27
ESD に関する注意	7	Y 軸データ・レジスタ	28
ピン配置およびピン機能の説明	8	Z 軸データ・レジスタ	28
代表的な性能特性	9	FIFO アクセス・レジスタ	29
動作原理	13	X 軸のオフセット・トリム・レジスタ	29
アプリケーション情報	14	Y 軸オフセット・トリム・レジスタ	29
デジタル出力	14	Z 軸オフセット・トリム・レジスタ	30
加速度検出軸	14	アクティビティ・イネーブル・レジスタ	30
電源シーケンス	14	アクティビティ閾値レジスタ	30
電源の説明	14	アクティビティ・カウント・レジスタ	31
オーバーレンジ保護	14	フィルタ設定レジスタ	31
セルフ・テスト	15	FIFO サンプル・レジスタ	31
フィルタ	15	割込みピン (INT _x) の機能マップ・レジスタ	32
シリアル通信	18	データ同期	32
SPI プロトコル	18	I ² C 速度、割込み極性、レンジ・レジスタ	32
I ² C プロトコル	19	パワー・コントロール・レジスタ	33
インターフェースからの加速度または温度データの読出し	19	セルフ・テスト・レジスタ	33
FIFO	21	リセット・レジスタ	33
割込み	22	推奨ハンダ付けプロファイル	34
DATA_RDY	22	PCB フットプリント・パターン	35
DRDY ピン	22	外形寸法	36
FIFO_FULL	22	オーダー・ガイド	36
FIFO_OVR	22	出力モード、測定レンジ、仕様規定電圧オプション	36
アクティビティ	22	評価用ボード	36
NVM_BUSY	22		

改訂履歴

6/2022—Revision 0: Initial Version

仕様

デジタル出力

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{\text{SUPPLY}} = 3.3\text{V}$ 、X軸加速度およびY軸加速度 = 0g、Z軸加速度 = 1g、フルスケール・レンジ = $\pm 10\text{g}$ 、出力データ・レート (ODR) = 500Hz。多機能ピンの名称は、該当する機能のみで表記されることがあります。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
SENSOR INPUT	各軸				
Output Full-Scale Range (FSR)	ユーザが選択可能		± 10 ± 20 ± 40		g g g
Nonlinearity	$\pm 10\text{g}$		0.1		% FSR
Cross Axis Sensitivity			1.5		%
SENSITIVITY	各軸				
X-Axis, Y-Axis, and Z-Axis Sensitivity	$\pm 10\text{g}$ $\pm 20\text{g}$ $\pm 40\text{g}$		51,200 25,600 12,800		LSB/g LSB/g LSB/g
X-Axis, Y-Axis, and Z-Axis Scale Factor	$\pm 10\text{g}$ $\pm 20\text{g}$ $\pm 40\text{g}$		19.5 39 78		$\mu\text{g}/\text{LSB}$ $\mu\text{g}/\text{LSB}$ $\mu\text{g}/\text{LSB}$
Sensitivity Change due to Temperature	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		± 0.015		%/ $^\circ\text{C}$
0 g OFFSET	各軸、 $\pm 10\text{g}$				
X-Axis, Y-Axis, and Z-Axis 0 g Output			± 125		mg
0 g Offset vs. Temperature (X-Axis, Y-Axis, and Z-Axis) ¹	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		± 0.45		mg/ $^\circ\text{C}$
Vibration Rectification Error (VRE) ²	7.5g 振動実効値によるオフセット、 $\pm 10\text{g}$ レンジ (1g 方向)		<0.1		g
NOISE DENSITY	$\pm 10\text{g}$				
X-Axis, Y-Axis, and Z-Axis			80		$\mu\text{g}/\sqrt{\text{Hz}}$
OUTPUT DATA RATE AND BANDWIDTH					
Analog-to-Digital Converter (ADC) Resolution			20		Bits
Low-Pass Filter (LPF) Pass Band Frequency	ユーザ・プログラマブル、レジスタ 0x28	1		1000	Hz
High-Pass Filter (HPF) Pass Band Frequency When Enabled (Disabled by Default)	ユーザ・プログラマブル、4kHz ODR でレジスタ 0x28	0.0095		10	Hz
SELF TEST					
Output Change					
X-Axis	$\pm 10\text{g}$ レンジ	0.05	0.23	0.4	g
Y-Axis	$\pm 10\text{g}$ レンジ	0.05	0.23	0.4	g
Z-Axis	$\pm 10\text{g}$ レンジ	1.0	1.64	2.2	g
POWER SUPPLY					
Voltage Range					
V_{SUPPLY} Operating ³		2.25	2.5	3.6	V
V_{DDIO}		V_{IP8DIG}	2.5	3.6	V
V_{IP8ANA} and V_{IP8DIG} with Internal Low Dropout (LDO) Regulator Bypassed	$V_{\text{SUPPLY}} = 0\text{V}$	1.62	1.8	1.98	V
Current					
Measurement Mode					
V_{SUPPLY} (LDO Enabled)			200		μA
V_{IP8ANA} (LDO Disabled)			160		μA
V_{IP8DIG} (LDO Disabled)			35.5		μA
Standby Mode					
V_{SUPPLY} (LDO Enabled)			21		μA

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
V _{IP8ANA} (LDO Disabled)			7		μA
V _{IP8DIG} (LDO Disabled)			10		μA
Turn-On Time ⁴	±10g レンジ 電源オフからスタンバイまで		<10		ms
			<10		ms
TEMPERATURE SENSOR					
Output at 25°C			1852		LSB
Scale Factor			-9.05		LSB/°C
TEMPERATURE					
Operating Range		-40		+125	°C

¹ 温度変化は-40°C~+25°Cまたは+25°C~+125°Cです。

² VRE 測定値は DC オフセットのシフトで、デバイスは 50Hz~2kHz のランダムな 12.5g 振動実効値の影響を受けます。テスト対象デバイス (DUT) では、±2g の範囲と 4kHz の ODR が設定されています。VRE はレンジ設定に比例します。

³ V_{IP8ANA} と V_{IP8DIG} が内部で発生する場合に、V_{SUPPLY} は有効です。LDO レギュレータを無効にして、V_{IP8ANA} と V_{IP8DIG} を外部から駆動するには、V_{SUPPLY} を V_{SS} に接続します。

⁴ 出力が最終値の 1mg 以内の場合、測定スタンバイ・モードになります。

SPI の特性

表 2.

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
DC INPUT LEVELS						
Input Voltage						
Low Level	V _{IL}				0.3 × V _{DDIO}	V
High Level	V _{IH}		0.7 × V _{DDIO}			V
Input Current						
Low Level	I _{IL}	入力電圧 (V _{IN}) = 0V	-0.1			μA
High Level	I _{IH}	V _{IN} = V _{DDIO}			0.1	μA
DC OUTPUT LEVELS						
Output Voltage						
Low Level	V _{OL}	I _{OL} = I _{OL, MIN}			0.2 × V _{DDIO}	V
High Level	V _{OH}	I _{OH} = I _{OH, MAX}	0.8 × V _{DDIO}			V
Output Current						
Low Level	I _{OL}	V _{OL} = V _{OL, MAX}	-10			mA
High Level	I _{OH}	V _{OH} = V _{OH, MIN}			4	mA
AC INPUT LEVELS						
SCLK Frequency			0.1		10	MHz
SCLK High Time	t _{HIGH}		40			ns
SCLK Low Time	t _{LOW}		40			ns
\overline{CS} Setup Time	t _{CSS}		20			ns
\overline{CS} Hold Time	t _{CSH}		20			ns
\overline{CS} Disable Time	t _{CSD}		40			ns
Rising SCLK Setup Time	t _{SCLKS}		20			ns
MOSI Setup Time	t _{SU}		20			ns
MOSI Hold Time	t _{HD}		20			ns
AC OUTPUT LEVELS						
Propagation Delay	t _p	負荷容量 (C _{LOAD}) = 30pF			30	ns
Enable MISO Time	t _{EN}		30			ns
Disable MISO Time	t _{DIS}				20	ns

仕様

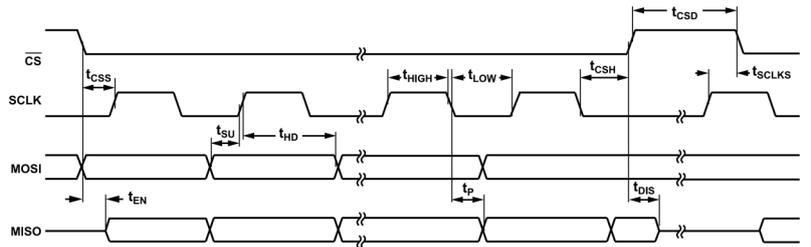


図 2. SPI タイミング図

I²C デジタル・インターフェース特性

多機能ピンの名称は、該当する機能のみで表記されることがあります。

表 3.

Parameter	Symbol	Test Conditions/ Comments	I2C_HS = 0 (Fast Mode)			I2C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
DC INPUT LEVELS									
Input Voltage									
Low Level	V _{IL}				0.3 × V _{DDIO}		0.3 × V _{DDIO}	V	
High Level	V _{IH}		0.7 × V _{DDIO}			0.7 × V _{DDIO}		V	
Hysteresis of Schmitt Triggered Inputs	V _{HYS}		0.05 × V _{DDIO}			0.1 × V _{DDIO}		V	
Input Current	I _{IL}	0.1 × V _{DDIO} < V _{IN} < 0.9 × V _{DDIO}	-10		+10			μA	
DC OUTPUT LEVELS									
Output Voltage									
Low Level	V _{OL1}	I _{OL} = 3 mA V _{DDIO} > 2 V			0.4		0.4	V	
	V _{OL2}	V _{DDIO} ≤ 2 V			0.2 × V _{DDIO}		0.2 × V _{DDIO}	V	
Output Current									
Low Level	I _{OL}	V _{OL} = 0.4 V	20			20		mA	
		V _{OL} = 0.6 V	6			6		mA	
AC INPUT LEVELS									
SCL Frequency			0		1	0	3.4	MHz	
SCL High Time	t _{HIGH}		260			60		ns	
SCL Low Time	t _{LOW}		500			160		ns	
Start Setup Time	t _{SUSTA}		260			160		ns	
Start Hold Time	t _{HDSTA}		260			160		ns	
SDA Setup Time	t _{SUDAT}		50			10		ns	
SDA Hold Time	t _{HDDAT}		0			0		ns	
Stop Setup Time	t _{SUSTO}		260			160		ns	
Bus Free Time	t _{BUF}		500					ns	
SCL Input Rise Time	t _{RCL}				120		80	ns	
SCL Input Fall Time	t _{FCL}				120		80	ns	
SDA Input Rise Time	t _{RDA}				120		160	ns	
SDA Input Fall Time	t _{FDA}				120		160	ns	
Width of Spikes to Suppress	t _{SP}	Not shown in Figure 3			50				
AC OUTPUT LEVELS									
Propagation Delay Data	t _{VDDAT}	C _{LOAD} = 500 pF	97		450	27	135	ns	

仕様

表 3.

Parameter	Symbol	Test Conditions/ Comments	I2C_HS = 0 (Fast Mode)			I2C_HS = 1 (High Speed Mode)			Unit
			Min	Typ	Max	Min	Typ	Max	
Acknowledge	t_{VDACK}				450			ns	
Output Fall Time	t_F	Not shown in Figure 3	$20 \times (V_{DDIO}/5.5)$		120			ns	

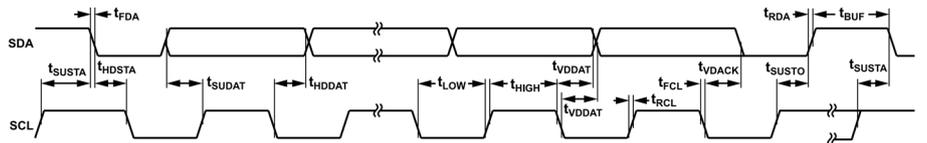


図 3. I²C タイミング図

絶対最大定格

表 4.

Parameter	Rating
Acceleration (Any Axis, 0.1 ms)	5000 g
V _{SUPPLY} and V _{DDIO}	5.4 V
V _{IPRANA} and V _{IPSDIG} Configured as Inputs	1.98 V
Digital Pins ($\overline{\text{CS}}$ /SCL, SCLK/V _{SSIO} , MOSI/SDA, MISO/ASEL, INT1, IN2, DRDY)	-0.3 V to V _{DDIO} + 0.3 V
Temperature Range	
Operating	-40°C to +125°C
Storage	-55°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを規定するものであり、本仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。 ψ_{JB} は、ジャンクションとボードの間の熱抵抗です。

表 5. 熱抵抗

Package Type ¹	θ_{JA}	ψ_{JB}	Unit
CC-14-2	79.10	41.76	°C/W

¹ 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JESD22-A114 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JESD22-C101 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADXL359 の ESD 定格

表 6. ADXL359、14 端子 LGA

ESD Model	Withstand Threshold (V)	Class
FICDM	±1250	IV
HBM	±3500	2

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

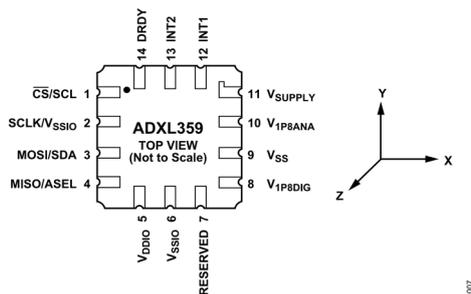


図 4. ピン配置

表 7. ピン機能の説明

ピン番号	記号	概要
1	$\overline{\text{CS}}/\text{SCL}$	SPI ($\overline{\text{CS}}$) のチップ選択。 I ² C 用のシリアル通信クロック (SCL)。
2	SCLK/V _{SSIO}	SPI 用のシリアル通信クロック (SCLK)。 I ² C モードの有効化 (V _{SSIO})。このピンをピン 6 (V _{SSIO}) に接続すると、I ² C モードが有効になります。
3	MOSI/SDA	SPI 用のコントローラ出力/スレーブ入力 (MOSI)。 I ² C 用のシリアル・データ (SDA)。
4	MISO/ASEL	SPI 用のコントローラ入力/スレーブ出力 (MISO)。 I ² C 用の代替 I ² C アドレス選択 (ASEL)。
5	V _{DDIO}	デジタル・インターフェースの電源電圧。
6	V _{SSIO}	デジタル・グラウンド。
7	RESERVED	予備。このピンはグラウンドに接続するか、オープンのままにできます。
8	V _{1P8DIG}	デジタル電源。このピンには、デカップリング・コンデンサが必要です。V _{SUPPLY} を V _{SS} に接続する場合、このピンに外部から電圧を供給します。
9	V _{SS}	アナログ・グラウンド。
10	V _{1P8ANA}	アナログ電源。このピンには、デカップリング・コンデンサが必要です。V _{SUPPLY} を V _{SS} に接続する場合、このピンに外部から電圧を供給します。
11	V _{SUPPLY}	電源電圧。V _{SUPPLY} が 2.25V~3.6V の場合、V _{SUPPLY} によって内部 LDO レギュレータが有効になり、V _{1P8DIG} と V _{1P8ANA} が発生します。V _{SUPPLY} = V _{SS} の場合、V _{1P8DIG} と V _{1P8ANA} は外部から供給されます。
12	INT1	割込みピン 1。
13	INT2	割込みピン 2。
14	DRDY	データ・レディ・ピン。

代表的な性能特性

複数のデバイスと複数のロットのデータが、すべての図に含まれています。特に指定のない限り、 $\pm 10g$ のレンジで測定されたものです。

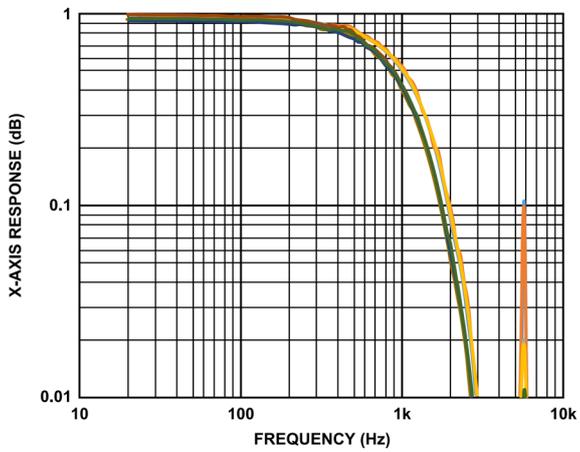


図 5. 4kHz ODR での X 軸の正規化された周波数応答

011

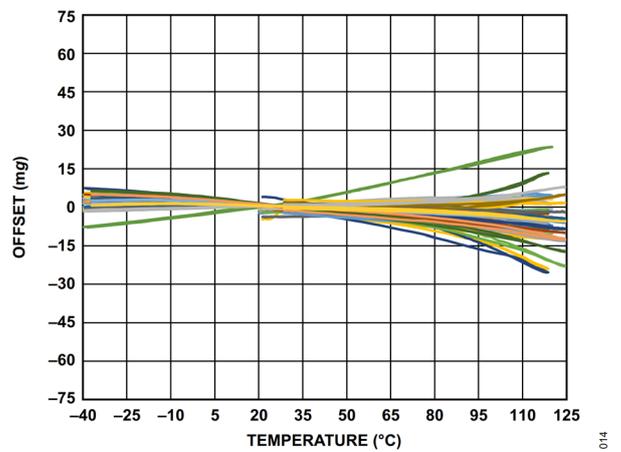


図 8. 25°C を基準として正規化された X 軸の 0g オフセットの温度特性

014

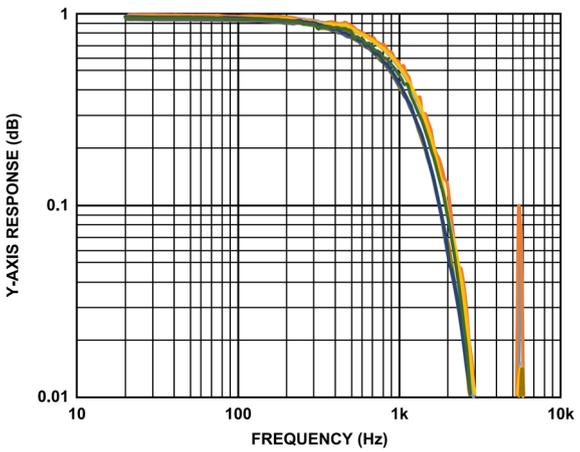


図 6. 4kHz ODR での Y 軸の正規化された周波数応答

012

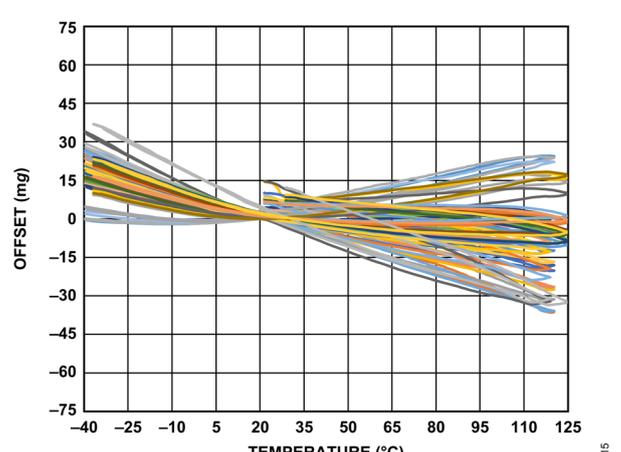


図 9. 25°C を基準として正規化された Y 軸の 0g オフセットの温度特性

015

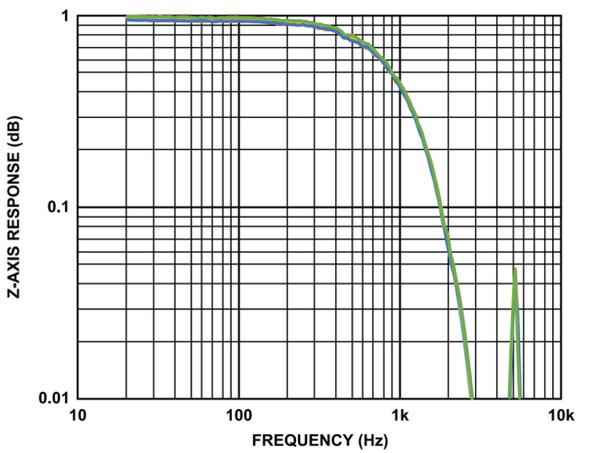


図 7. 4kHz ODR での Z 軸の正規化された周波数応答

013

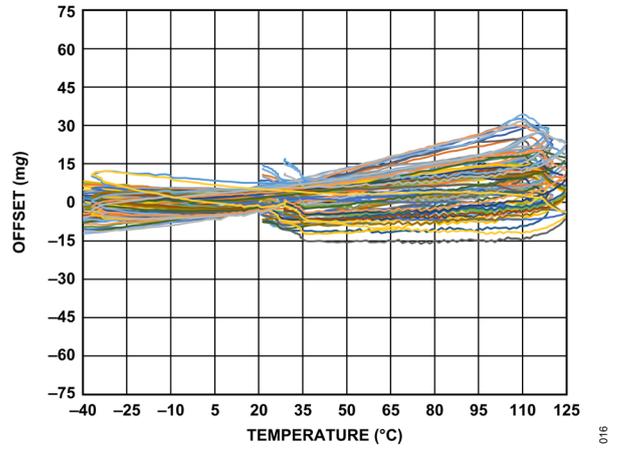


図 10. 25°C を基準として正規化された Z 軸の 0g オフセットの温度特性

016

代表的な性能特性

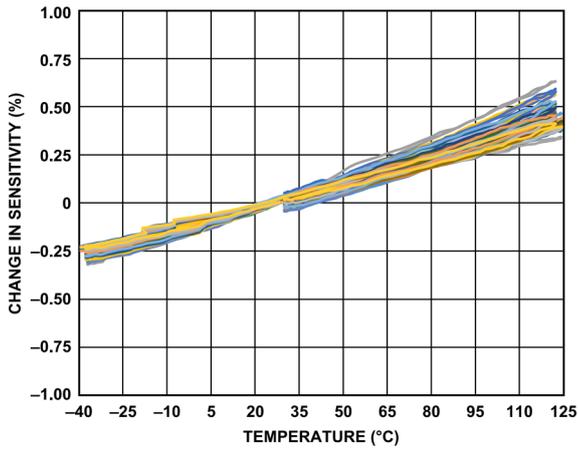


図 11. 25°C を基準とした X 軸感度の温度変化

017

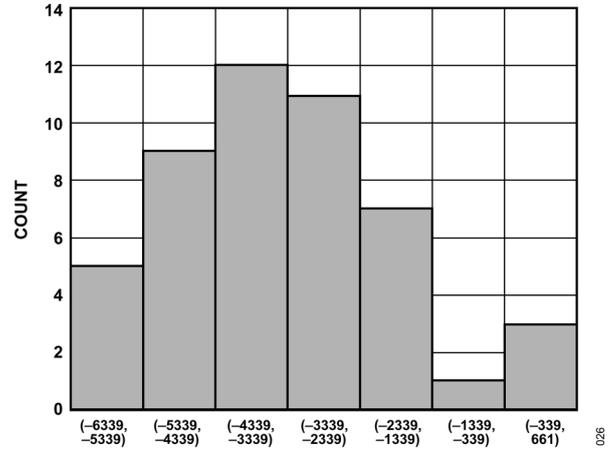


図 14. 25°C での 0g オフセット・ヒストグラム、X 軸

026

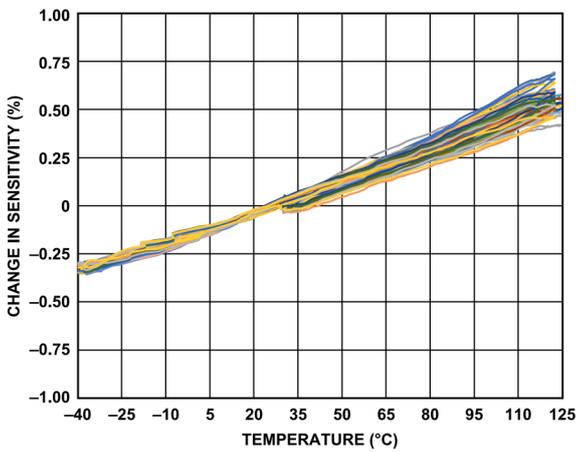


図 12. 25°C を基準とした Y 軸感度の温度変化

018

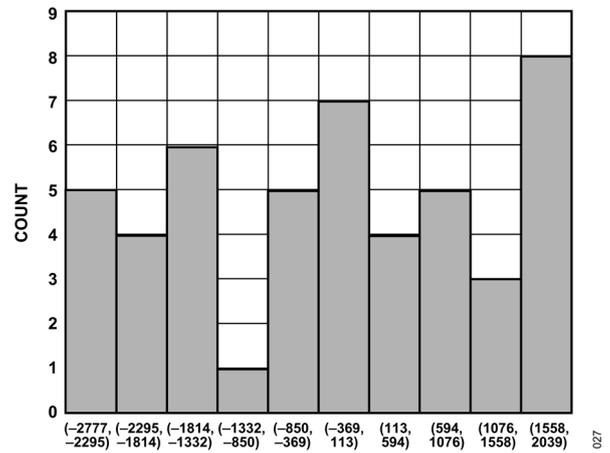


図 15. 25°C での 0g オフセット・ヒストグラム、Y 軸

027

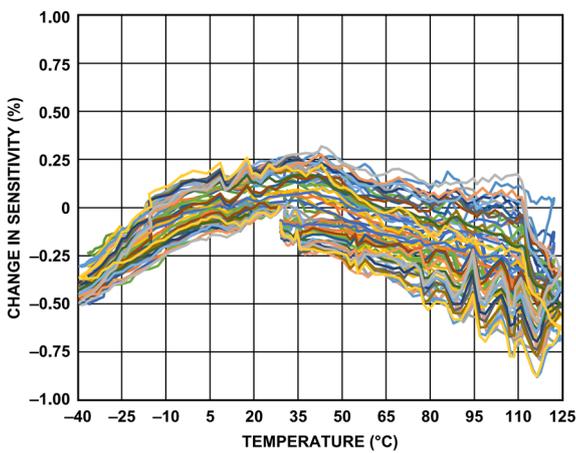


図 13. 25°C を基準とした Z 軸感度の温度変化

019

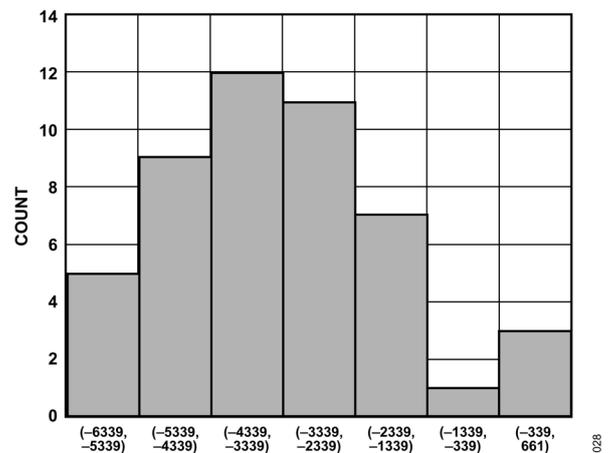


図 16. 25°C での 0g オフセット・ヒストグラム、Z 軸

028

代表的な性能特性

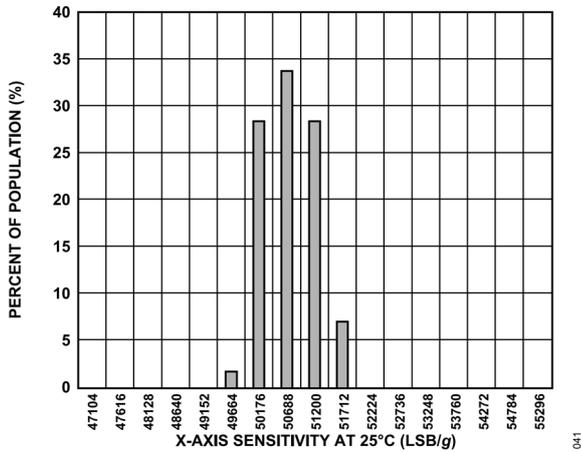


図 17. 25°C での感度ヒストグラム、X 軸

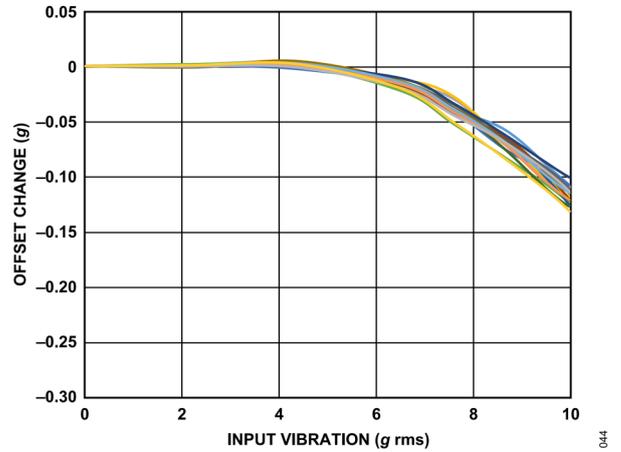


図 20. 振動整流誤差 (VRE)、+1g からの X 軸オフセット、±10g レンジ、X 軸方向 = -1g

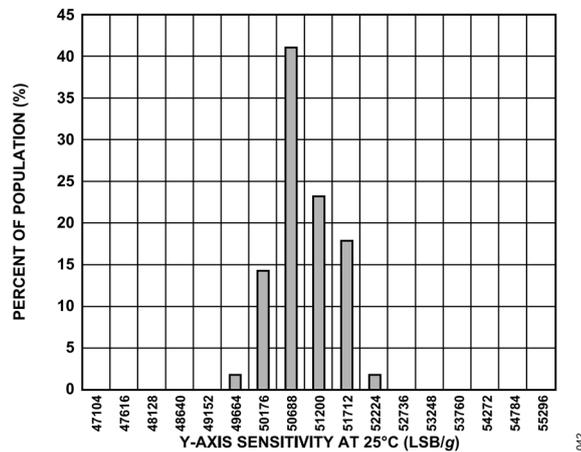


図 18. 25°C での感度ヒストグラム、Y 軸

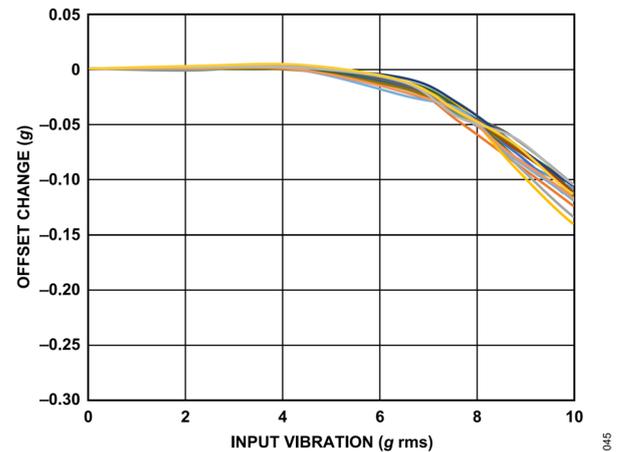


図 21. 振動整流誤差 (VRE)、+1g からの Y 軸オフセット、±10g 範囲、Y 軸方向 = -1g

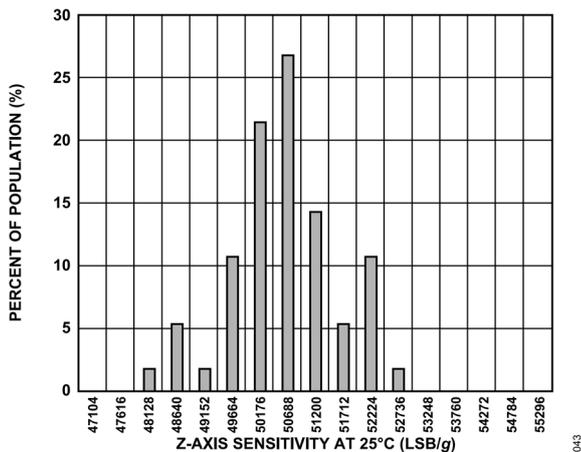


図 19. 25°C での感度ヒストグラム、Z 軸

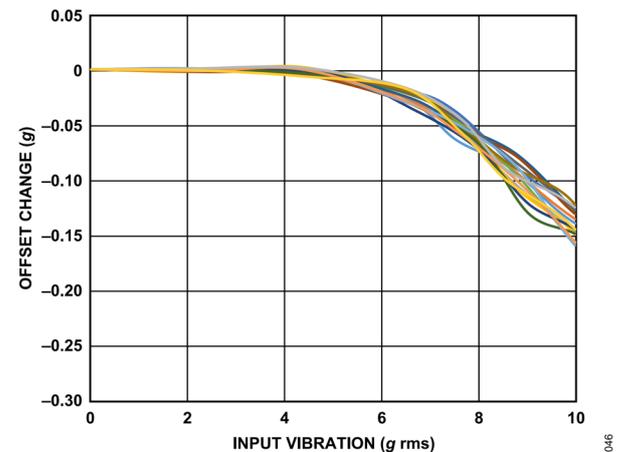


図 22. 振動整流誤差 (VRE)、+1g からの Z 軸オフセット、±10g 範囲、Z 軸方向 = -1g

代表的な性能特性

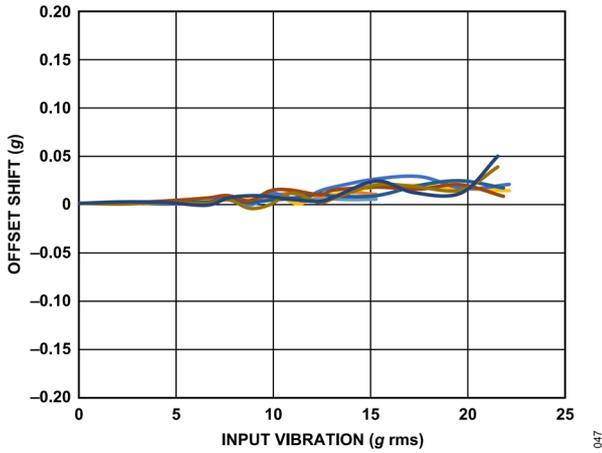


図 23. 振動整流誤差 (VRE)、+1g からの X 軸オフセット、 $\pm 40g$ 範囲、X 軸方向 = -1g

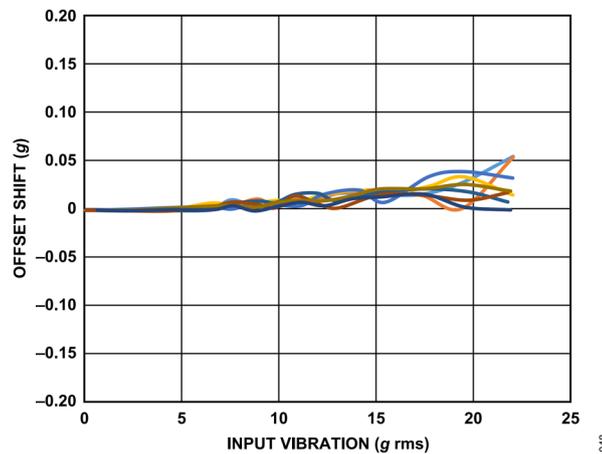


図 24. 振動整流誤差 (VRE)、+1g からの Y 軸オフセット、 $\pm 40g$ 範囲、Y 軸方向 = -1g

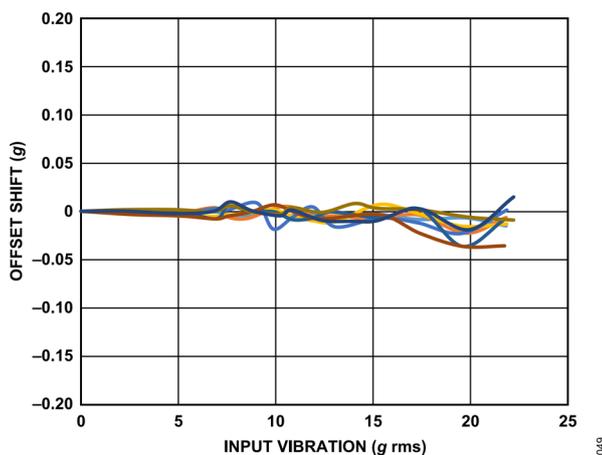


図 25. 振動整流誤差 (VRE)、+1g からの Z 軸オフセット、 $\pm 40g$ 範囲、Z 軸方向 = -1g

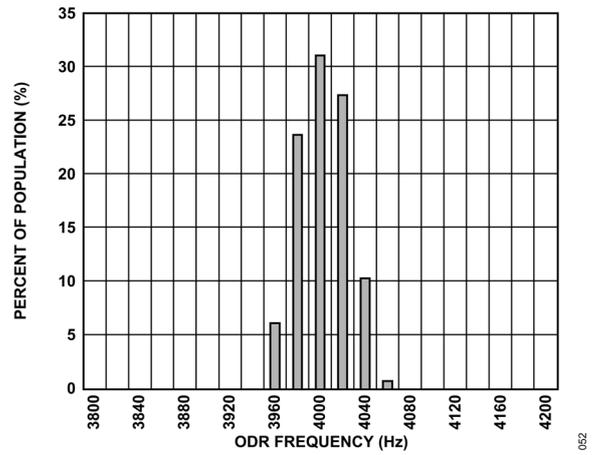


図 26. 内部 ODR 周波数ヒストグラム

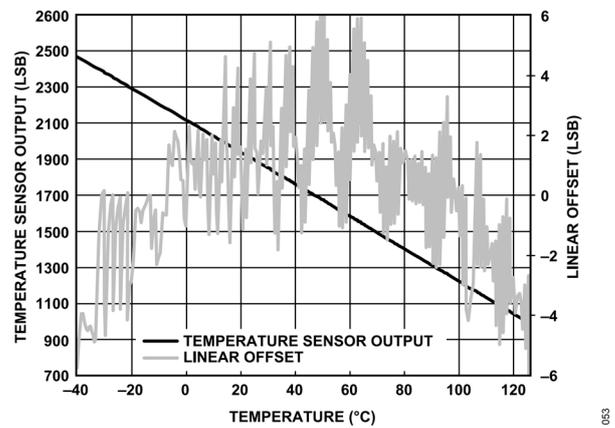


図 27. 温度センサーの出力と直線性オフセットの温度特性

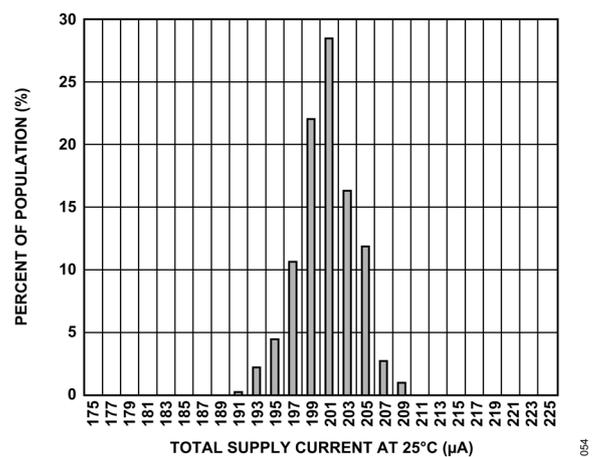


図 28. 合計電源電流 (25°C、3.3V)

動作原理

ADXL359 は、必要な機能をすべて備えた 3 軸で超低ノイズの非常に安定したオフセットを有する MEMS 加速度センサーです。このセンサーは、1.8V のアナログ電源電圧 V_{IP8ANA} に比例した測定値を出力します。ADXL359 は、1.8V のアナログ電源電圧をリファレンスとする 3 つの高分解能 ADC を搭載しており、電源電圧の影響を受けにくいデジタル出力を生成します。ADXL359 は、 $\pm 10g$ 、 $\pm 20g$ 、 $\pm 40g$ のフルスケールでプログラマブルです。ADXL359 は SPI と I²C の両方の通信ポートを備えています。

マイクロマシン構造の検出素子は完全差動型で、水平方向に X 軸と Y 軸センサー、垂直方向にシーソー Z 軸センサーを搭載しています。X 軸センサーと Y 軸センサー、および Z 軸センサーは、オフセット・ドリフトとノイズを最低限に抑える個別の信号経路に配置されています。信号経路は完全差動型です。

ADXL359 には、高分解能 Σ - Δ ADC の前後にアンチエイリアシング・フィルタが配置されています。出力データ・レートとフィルタ・コーナを選択できます。温度センサーの出力は、12 ビット逐次比較レジスタ (SAR) ADC でデジタル化されます。

アプリケーション情報

デジタル出力

ADXL359 には、内部構成可能なデジタル・バンドパス・フィルタが含まれます。フィルタ設定レジスタのセクションと表 42 で説明しているように、フィルタのハイパス極とローパス極の両方を調整できます。起動時のこれらのフィルタのデフォルト条件は、次のとおりです。

- ▶ HPF = dc (オフ)
- ▶ LPF = 1000Hz
- ▶ ODR = 4000Hz

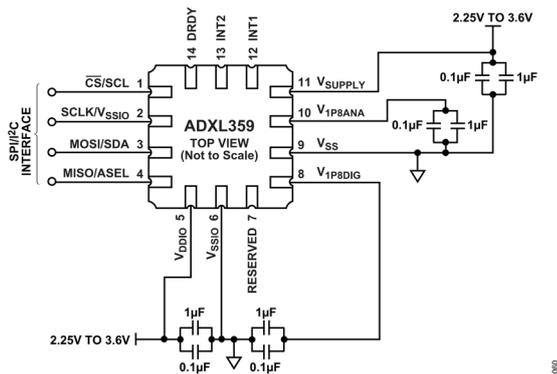


図 29. アプリケーション回路

加速度検出軸

図 30 に、加速度検出軸を示します。検出軸で加速が生じると、対応する出力電圧が増加します。

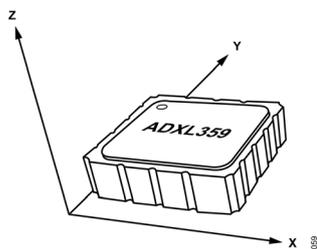


図 30. 加速度検出軸

電源シーケンス

デバイスに給電する方法は 2 つあります。通常、内部 LDO レギュレータは、アナログ電源電圧 V_{1P8ANA} とデジタル電源電圧 V_{1P8DIG} に 1.8V を給電します。オプションで、 V_{SUPPLY} を V_{SS} に接続し、 V_{1P8ANA} と V_{1P8DIG} を外部電源で駆動すると、 V_{1P8ANA} と V_{1P8DIG} に給電できます。

内部 LDO レギュレータを使用する場合は、 V_{SUPPLY} を 2.25V ~ 3.6V の電圧源に接続します。この場合、 V_{DDIO} と V_{SUPPLY} に並列で給電できます。 $V_{SUPPLY} - V_{DDIO}$ の電圧差が 0.5V を超えてはいけません。必要に応じて、 V_{SUPPLY} よりも前に V_{DDIO} に給電できます。

内部 LDO レギュレータを無効にし、外部 1.8V 電源を用いて V_{1P8ANA} と V_{1P8DIG} に給電する場合は、 V_{SUPPLY} をグラウンドに接続

し、 V_{1P8ANA} と V_{1P8DIG} の最終電圧を同じ値に設定します。LDO レギュレータをバイパスする場合に推奨される電源シーケンスを次に示します。まず、 V_{DDIO} に給電した後、約 10 μ s 経過してから V_{1P8DIG} に給電します。その後、約 10 μ s 経過してから V_{1P8ANA} に給電します。必要に応じて、同じ 1.8V 電源から V_{1P8DIG} と V_{DDIO} に給電できます。適切な絶縁を使用して、 V_{1P8ANA} に接続することもできます。この場合、センサーのノイズ性能を維持するため、適切なデカップリングと低周波絶縁が重要になります。

電源の説明

ADXL359 には、 V_{SUPPLY} 、 V_{1P8ANA} 、 V_{1P8DIG} 、 V_{DDIO} の 4 種類の電源領域があります。内部のアナログ回路とデジタル回路は、公称 1.8V で動作します。

 V_{SUPPLY}

V_{SUPPLY} は 2.25V ~ 3.6V です。これは、 V_{1P8ANA} と V_{1P8DIG} に公称 1.8V の出力を生成する 2 つの LDO レギュレータの入力範囲です。LDO レギュレータを無効にするには、 V_{SUPPLY} を V_{SS} に接続します。これにより、 V_{1P8ANA} と V_{1P8DIG} を外部電源から駆動できます。

 V_{1P8ANA}

すべてのセンサーとアナログ信号処理回路は、この領域で動作します。デジタル出力の ADXL359 には、 V_{1P8ANA} に比例する ADC が内蔵されています。このため、オフセットと感度が V_{1P8ANA} の影響を受けなくなります。 V_{1P8ANA} は、 V_{SUPPLY} 電圧の状態によって定義される入力と出力として使用できます。

 V_{1P8DIG}

V_{1P8DIG} は、内部ロジック回路の電源電圧です。個別の LDO レギュレータによって、アナログ信号経路からのデジタル電源ノイズがデカップリングされます。 V_{1P8ANA} は、 V_{SUPPLY} 電圧の状態によって定義される入力と出力として使用できます。外部駆動の場合、 V_{1P8DIG} は V_{1P8ANA} 電圧と同じ電圧にする必要があります。

 V_{DDIO}

V_{DDIO} 値は、ロジック・ハイ・レベルを決定します。ADXL359 のデジタル出力では、 V_{DDIO} により、通信インターフェース・ポートだけでなく、割込みと DRDY 出力のロジック・ハイ・レベルが設定されます。

LDO レギュレータは、 V_{SUPPLY} が 2.25V ~ 3.6V の場合に動作します。 V_{1P8ANA} と V_{1P8DIG} は、このモードのレギュレータ出力です。代わりに、 V_{SUPPLY} を V_{SS} に接続すると、 V_{1P8ANA} と V_{1P8DIG} は、1.62V ~ 1.98V の電源電圧入力になります。

オーバーレンジ保護

加速度センサーへの入力がフルスケール・レンジを超える場合に、プルアップ・マスを静電気が蓄積しないようにするため、すべてのセンサー・ドライブ・クロックは、0.5ms の間、オフになります。±10g のレンジ設定では、約 ±40g (±25%) を超える入力信号でオーバーレンジ保護が有効になります。±20g と ±40g のレンジ設定では、この閾値は約 ±80g (±25%) に対応します。

アプリケーション情報

オーバーレンジ保護が発生すると、ADXL359 出力はゼロに向かってフロート状態になり、先入れ先出し (FIFO) バッファが、このデータから満たされ始めます。

セルフ・テスト

ADXL359 には、機械システムと電子システムを効果的に検査するセルフ・テスト機能が組み込まれています。セルフ・テストを有効にすると、静電的にセンサーを駆動し、加えられた機械的な力だけでなく、印加されたテスト信号にも対応した出力が発生します。Z 軸の応答のみを指定して、デバイスの機能を検証します。

セルフ・テストを実行するには、SELF_TEST レジスタ (レジスタ 0x2E) で ST1 ビットを設定して、セルフ・テスト・モードを起動します。初期セルフ・テスト値の場合、ST2 ビットを Logic 0 (ロー) に設定して、出力を記録します。次に、ST2 ビットを Logic 1 (ハイ) に設定して、出力を記録し、2 番目のセルフ・テスト値を生成させます。ST2 ビットと ST1 を Logic 1 に設定すると、ADXL359 は静電気力を機械センサーに印加し、静電気力に応じた出力の変化を誘起します。ST2 がハイの状態と ST2 がローの状態の間で発生する Z 軸の出力の差が、セルフ・テスト・デルタ (または応答) になります。セルフ・テスト測定が完了したら、両方のレジスタ・ビットをローにクリアして、通常動作を再開します。

セルフ・テスト機能を使用すれば、外部で付加された加速度を除去し、セルフ・テストの力だけに応答できます。このため、外部に機械ノイズが存在する場合でも、セルフ・テストを正確に測定できます。

フィルタ

ADXL359 は、アナログのローパス・アンチエイリアシング・フィルタを使用して、帯域外ノイズを低減し、センサーの出力で帯域幅を制限します。ADXL359 には、各種 ODR で優れたノイズ性能を維持するため、詳細なデジタル・フィルタ処理オプションを用意しています。

ADXL359 の内蔵アナログ・ローパス・アンチエイリアシング・フィルタは、約 1.5kHz の固定帯域幅を備えています。この周波数での出力応答は約 50%減衰します。周波数領域でのフィルタ応答の形状は、sinc3 フィルタ応答の形状に一致します。

ADXL359 は、内部 20 ビット Σ - Δ ADC でフィルタ処理されたアナログ信号をデジタル化します。(アナログ・ローパス・アンチエイリアシング・フィルタを通過した後の) 補助的なデジタル・フィルタ処理は、ローパス・デジタル・デシメーション・フィルタと、4kHz~3.906Hz の出力データ・レートに対応するバイパス可能なハイパス・フィルタで構成されています。デシメーション・フィルタは 2 段構成になっています。1 段目は、1kHz の LPF カットオフ (出力応答で 50%除去) を使用した 4kHz ODR で実行する固定デシメーションです。2 段目の可変デシメーション・フィルタは、2kHz 以下の ODR で使用されます (4kHz ODR ではバイパスされます)。図 31 に、ADXL359 の 1kHz コーナ (4kHz ODR) を使用した LPF の応答を示します。図 31 には、固定帯域幅が約 1.5kHz の固定周波数アナログ・ローパス・アンチエイリアシング・フィルタは含まれません。

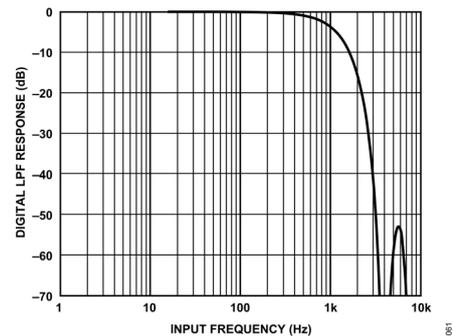


図 31. 4kHz ODR を用いた場合のデジタル LPF 応答

ADXL359 の信号経路の通過帯域は、前述のアナログ・フィルタやデジタル・デシメーション・フィルタ/ODR 設定を含む、複合フィルタの応答に関連があります。表 8 に、各設定のデシメーション・フィルタに関連付けられた遅延と、ODR/4 コーナでの減衰を示します。

ADXL359 には、プログラマブル・コーナ周波数を使用した、オプションのデジタル・ハイパス・フィルタも含まれます。デフォルトでは、ハイパス・フィルタは無効になります。出力が 50% 減衰するハイパス・コーナ周波数は、ODR と、フィルタ・レジスタ (レジスタ 0x28、ビット [6:4]) の HPF_CORNER 設定に関連があります。表 9 に、HPF_CORNER の応答を示します。図 32 と図 33 に、10Hz カットオフのハイパス・フィルタ応答と遅延のシミュレーション結果を示します。

ADXL359 は、デシメーション・フィルタの後段にインターポレーション・フィルタを搭載しており、これは、オーバーサンプリング/アップコンバートされたデータを生成し、外部同期オプションを提供します。詳細については、データ同期のセクションを参照してください。表 10 に、プログラマブル ODR に関連する遅延と減衰を示します。

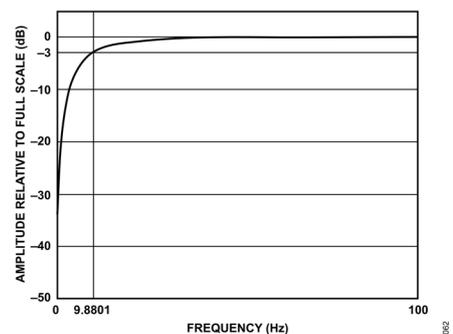


図 32. 4kHz ODR および HPF_CORNER 設定 001 (レジスタ 0x28、ビット [6:4]) の HPF パス・バンド応答

群遅延は、ADC への入力からデータがインターフェースで使用できるようになるまでのデジタル・フィルタ遅延です。

この遅延は、センサーからシリアル・インターフェースまでの遅延合計の最も大きい成分です。

アプリケーション情報

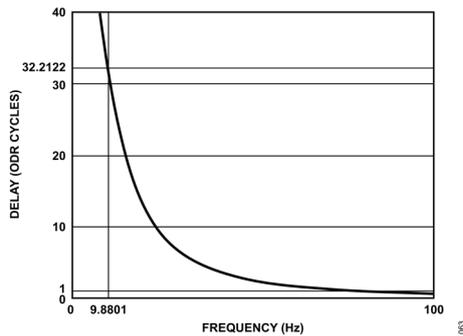


図 33. 4kHz ODR および HPF_CORNER 設定 001 (レジスタ 0x28、ビット [6:4]) の HPF 遅延応答

表 8. デジタル・フィルタの群遅延とプロファイル

Programmed ODR (Hz)	Delay		Attenuation	
	ODR (Cycles)	Time (ms)	Decimator at ODR/4 (dB)	Full Path at ODR/4 (dB)
4000	2.52	0.63	-3.44	-3.63
4000/2 = 2000	2.00	1.00	-2.21	-2.26
4000/4 = 1000	1.78	1.78	-1.92	-1.93
4000/8 = 500	1.63	3.26	-1.83	-1.83
4000/16 = 250	1.57	6.27	-1.83	-1.83
4000/32 = 125	1.54	12.34	-1.83	-1.83
4000/64 = 62.5	1.51	24.18	-1.83	-1.83
4000/128 ~ 31	1.49	47.59	-1.83	-1.83
4000/256 ~ 16	1.50	96.25	-1.83	-1.83
4000/512 ~ 8	1.50	189.58	-1.83	-1.83
4000/1024 ~ 4	1.50	384.31	-1.83	-1.83

表 9. デジタル・ハイパス・フィルタの応答

HPF_CORNER Register Setting (Register 0x28, Bits[6:4])	HPF_CORNER Frequency, -3 dB Point Relative to ODR Setting	-3 dB at 4 kHz ODR (Hz)
000	Not applicable, no high-pass filter enabled	Off
001	$24.7 \times 10^{-4} \times \text{ODR}$	9.88
010	$6.2084 \times 10^{-4} \times \text{ODR}$	2.48
011	$1.5545 \times 10^{-4} \times \text{ODR}$	0.62
100	$0.3862 \times 10^{-4} \times \text{ODR}$	0.1545
101	$0.0954 \times 10^{-4} \times \text{ODR}$	0.03816
110	$0.0238 \times 10^{-4} \times \text{ODR}$	0.00952

表 10. デジタル・インターポレーション・フィルタとデシメーション・フィルタの応答の結合

Interpolator Data Rate Resolution Relative to $64 \times \text{ODR}$ (Hz)	Combined Interpolator/Decimator Delay (ODR Cycles)	Combined Interpolator/Decimator Delay (ms)	Combined Interpolator/Decimator Output Attenuation at ODR/4 (dB)
$64 \times 4000 = 256000$	3.51661	0.88	-6.18
$64 \times 2000 = 128000$	3.0126	1.51	-4.93
$64 \times 1000 = 64000$	2.752	2.75	-4.66
$64 \times 500 = 32000$	2.6346	5.27	-4.58
$64 \times 250 = 16000$	2.5773	10.31	-4.55
$64 \times 125 = 8000$	2.5473	20.38	-4.55
$64 \times 62.5 = 4000$	2.53257	40.52	-4.55
$64 \times 31.25 = 2000$	2.52452	80.78	-4.55
$64 \times 15.625 = 1000$	2.52045	161.31	-4.55

アプリケーション情報

表 10. デジタル・インターポレーション・フィルタとデシメーション・フィルタの応答の結合

Interpolator Data Rate Resolution Relative to $64 \times \text{ODR}$ (Hz)	Combined Interpolator/Decimator Delay (ODR Cycles)	Combined Interpolator/ Decimator Delay (ms)	Combined Interpolator/Decimator Output Attenuation at ODR/4 (dB)
$64 \times 7.8125 = 500$	2.5194	322.48	-4.55
$64 \times 3.90625 = 250$	2.51714	644.39	-4.55

シリアル通信

4 線式シリアル・インターフェースは、SPI または I²C プロトコルで通信します。使用されたフォーマットを効果的に自動検出し、フォーマットを選択するための構成制御が不要です。

SPI プロトコル

ADXL359 の SPI 通信ケーブルは、図 34 の接続図に示すように配線します。SPI プロトコルのタイミングを図 35～図 38 に示します。タイミング方式は、クロック極性 (CPOL) = 0 とクロック位相 (CPHA) = 0 に従います。SPI クロック速度の範囲は 100kHz～10MHz です。

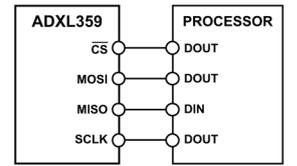


図 34. 4 線式 SPI 接続

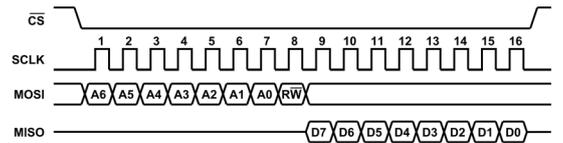


図 35. SPI のタイミング図 -1 バイト読出し

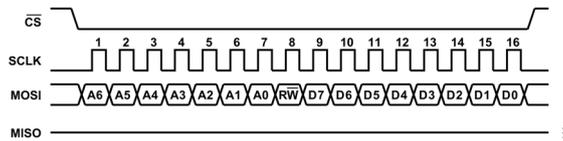


図 36. SPI のタイミング図 -1 バイト書込み

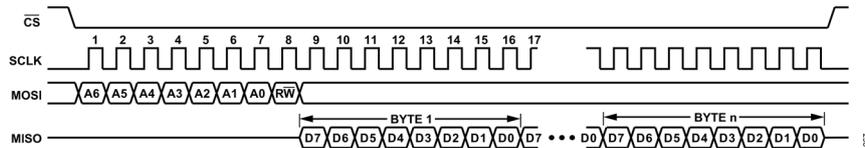


図 37. SPI のタイミング図 -複数バイト読出し

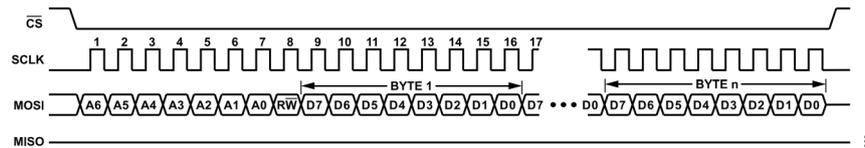


図 38. SPI のタイミング図 -複数バイト書込み

シリアル通信

I²C プロトコル

ADXL359 は、ポイント to ポイントの I²C 通信をサポートしています。しかし、SDA バスを共有している場合には、ADXL359 はそのバス上の他のデバイスとの通信を妨げてしまうことがあります。たとえ ADXL359 がアドレス指定されていない場合でも、0x3A および 0x3B バイト (ADXL359 のデバイス ID が 0x1D にセットされている場合)、または 0xA6 および 0xA7 バイト (ADXL359 のデバイス ID が 0x53 にセットされている場合) が SDA バスで送信された場合はいつでも、ADXL359 はアクノレッジ・ビットで応答し、SDA ラインをプル・ダウンします。例えば、バス上の他のセンサーに対してデータ・バイト (0x3A と 0x3B、または 0xA6 と 0xA7) を読み出したり書き込み中に、この応答が発生する可能性があります。ADXL359 が SDA ラインをプル・ダウンすると、バス上の他のデバイスとの通信が中断してしまうことがあります。これを解決するためには、ADXL359 を別の SDA バスに接続するか、ADXL359 と通信する必要がない場合には SCL ピンをハイに切り替える必要があります (通常は接地されています)。

表 3 に示されたバス・パラメータを満たしている場合、ADXL359 は、標準 (100kHz)、高速 (最大 1MHz)、ハイ・スピード (最大 3.4MHz) のデータ転送モードに対応します。最小の SCL 周波数はありませんが、データ読み出し時は例外で、クロックは、サンプル・セットが新しいデータで上書きされる前に、サンプル・セット全体を読み出すのに十分な速度のものでなければなりません。1 バイトまたは複数バイトの読み出しと書き込みをサポートしています。ASEL ピンがローの場合のデバイスの I²C アドレスは 0x1D で、ASEL ピンをハイにすると、別の I²C アドレス 0x53 を選択することができます。

未使用のピンには内部にプル・アップ抵抗もプル・ダウン抵抗もないため、フロート状態または未接続の場合は、これらのピンが既知の状態やデフォルト状態になることはありません。I²C を使用して ADXL359 と通信する場合には、SCLK/VSSIO を接地する必要があります。

通信速度に制限があるため、400kHz の I²C モードを使用している場合の最大出力データ・レートは 800Hz です。そして、最大出力データ・レートは I²C の通信速度に比例します。例えば、I²C を 100kHz で使用する場合、最大 ODR は 200Hz に制限されます。推奨最大 ODR を超えて動作させると、データ・サンプルの欠落やノイズの増加など、加速度データに望ましくない影響を与えることがあります。

図 39~図 41 に、I²C プロトコルのタイミングの詳細を示します。I²C インターフェースは、I²C 標準モード (100kHz)、高速モード (400kHz)、高速モード・プラス (1MHz)、ハイ・スピード・モード (3.4MHz) で動作する大半のバスで使用できます。ADXL359 の I²C デバイス ID は、次のとおりです。

- ▶ ASEL (ピン) = 0、デバイス・アドレス = 0x1D
- ▶ ASEL (ピン) = 1、デバイス・アドレス = 0x53

同じ I²C バスに他のデバイスが接続されている場合、他のデバイスの公称動作電圧レベルは V_{DDIO}+0.3V を超えることができません。適正な I²C の動作には、外部プル・アップ抵抗 (R_p) が必要です。

インターフェースからの加速度または温度データの読み出し

加速度データは左詰めで、レジスタ・アドレスの左端に最上位データが格納され、右端に最下位データが格納されます。これにより、複数バイトの転送を使用して、必要なデータ (8 ビット、16 ビット、20 ビットのいずれかとマーカー) だけを取得できます。温度データは、符号なし 12 ビットで右詰めでです。

ADXL359 の温度の値は 2 バイトに分割されますが、ダブル・バッファされていません。つまり、この値は 2 つのレジスタを読み出す間に更新されます。XDATA、YDATA、ZDATA の各レジスタのデータは、常に最新のものです。XDATA、YDATA、ZDATA は、特定のサンプル時点に対応するセットであるとは限りません。デバイスからデータを取得するために使用されるルーチンを使用して、このデータ・セットの連続性を制御します。DATA_RDY ビットがハイになると、データ転送が開始されます。1/ODR とほぼ等しい時間で転送が完了すると、XDATA、YDATA、ZDATA が同じデータ・セットに適用されます。

いずれかのシリアル・インターフェースからの複数バイトの読み出しまたは書き込みトランザクションでは、内部レジスタ・アドレスが自動的にインクリメントします。レジスタ・アドレス範囲の最上位 (0x3FF) に達すると、自動インクリメントは停止し、16 進数のアドレス 0x00 にラップ・バックしません。

FIFO アドレスを使用する場合、アドレス自動インクリメント機能は無効になります。このため、データは、複数バイトのトランザクションとして、FIFO から連続して読み出すことができます。複数バイト・トランザクションの開始アドレスが FIFO アドレスよりも小さい場合、アドレスは FIFO アドレスに到達するまで自動的にインクリメントし、FIFO アドレスで停止します。

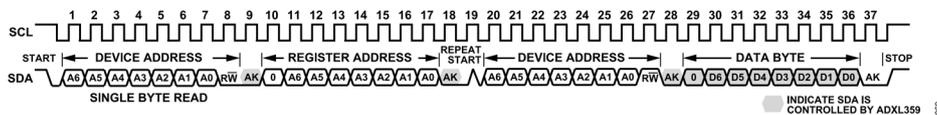


図 39. I²C のタイミング図 -1 バイト読み出し



図 40. I²C のタイミング図 -1 バイト書き込み

シリアル通信

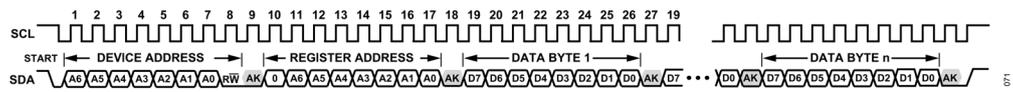


図 41. I²C のタイミング図 - 複数バイト書込み

FIFO

FIFOはストリーム・モードで動作します。つまり、FIFOでオーバーランが発生すると、FIFO内の最も古いデータが新しいデータで上書きされます。FIFOアドレスからの読出しでは、加速度測定に関連付けられた3バイトが、すべて同じ測定に関連付けられます。FIFOがオーバーフローしない限り、データは常にセット(3つのデータ・ポイントの倍数)で取得されます。

FIFOには、21ビットの格納位置が96個あります。各位置には、20ビットのデータと、X軸データのマーカ・ビットが含まれます。FIFOアドレスから1バイトを読み出すと、FIFOから1つの格納位置がポップされます。FIFOの格納位置から複数バイトを読み出す場合、最初のバイトの読出しと後続の3バイトごとの読出しで、FIFOがポップされます。

図42に、FIFOのデータの編成を示します。加速度データは、2の補数フォーマットの20ビット・データです。FIFOコントロール・ロジックでは、データ・ビットと空のインジケータ・ビットの間に2つの仮想ビット(0b00)を挿入します。ビット1は、空のFIFOの読出しが試行され、データが有効な加速度データではないことを示します。ビット0は、X軸を特定するマーカ・ビットで、FIFOデータが適切に読み出されたかどうかを確認するのに使用できます。特定の軸の加速度データ・ポイントがFIFOの格納位置を1つ占有します。読出しポインタRD_PTRは、インターフェースからの読出しが実行されていない、最も古い格納データを参照します(図42を参照)。物理的なX加速度、Y加速度、Z加速度のデータ・レジスタはありません。また、このデータは、FIFO内の最新のデータ・セットから直接取得され、ZポインタZ_PTRで参照されます(図42を参照)。

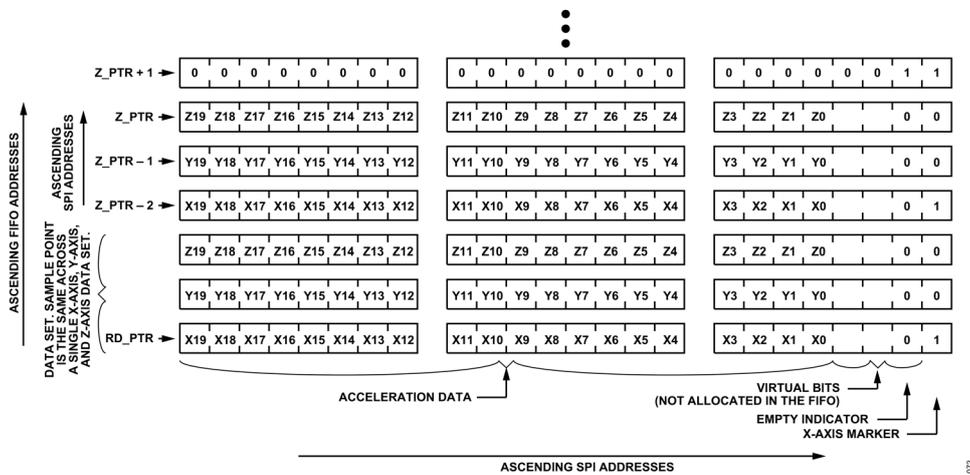


図 42. FIFO のデータ構成

割込み

ステータス・レジスタ（レジスタ 0x04）には、5 つの独立したビットが含まれます。このうち4つを、INT1 ピン、INT2 ピン、またはその両方にマッピングできます。割込み、アクティブ・ハイまたはアクティブ・ローの極性は、レンジ・レジスタ（レジスタ 0x2C）の INT_POL ビットからも選択できます。通常、ステータス・レジスタは読み出し時にクリアされます。ただし、レジスタの読み出し後も割込みが持続する場合、ステータス・レジスタはクリアされません。「持続」の定義はケースごとにならずかに異なりますが、DATA_RDY、DRDY ビン、FIFO_FULL、FIFO_OVR、およびアクティビティのセクションで説明します。

DRDY ビンは、割込みピン（INTx）に類似していますが、クリア方法が非常に異なります。この点についても説明します。

DATA_RDY

新しい加速度データがインターフェースで使用できるようになると、DATA_RDY ビット（レジスタ 0x04、ビット 0）が設定されます。ステータス・レジスタの読み出し時にクリアされます。ステータス・レジスタの読み出しよりも新しい加速度データが使用できるようになると、再度設定されます。

DATA_RDY ビットをクリアする特別なロジックは、ステータス・レジスタの読み出し中に新しいデータが到着するコーナの状況にも対応します。この場合、データのレディ条件は完全に失われます。このロジックにより、最大4つの512kHz サイクルのDATA_RDY ビットのクリアが遅延されます。

DRDY ピン

DRDY ピン（ピン 14）はステータス・レジスタ・ビットではありません。このピンは、その代わりに、マスク不能な割込みと同様に動作します。新しい加速度データがインターフェースで使用できるようになると、DRDY ビットが設定されます。このピンは、FIFO の読み出し時、XDATA レジスタ、YDATA レジスタ、ZDATA レジスタのいずれかの読み出し時、または出力加速度データ・セットのほぼ中間点で発生する自動クリア機能によってクリアされます。

DRDY は常にアクティブ・ハイです。INT_POL ビットは DRDY に影響を与えません。外部同期モード（EXT_SYNC = 01、EXT_SYNC = 10）では、初期同期後に最初の DRDY パルスが数個失われるか、破損することがあります。この破損の長さは、群遅延よりも短くなります。

FIFO_FULL

FIFO のエントリ数が FIFO_SAMPLES ビットの設定と同じになると、FIFO_FULL ビット（レジスタ 0x04、ビット 1）が設定されます。このビットは次の場合にクリアされます。

- ▶ FIFO のエントリ数が FIFO_SAMPLES で示されるサンプル数を下回っている場合（FIFO から十分なデータの読み出しを実行できる唯一のケース）。
- ▶ ステータス・レジスタの読み出し時（ただし、FIFO のエントリが FIFO_SAMPLES ビット未満の場合のみ）。

FIFO_OVR

FIFO がオーバーレンジになり、データが失われると、FIFO_OVR ビット（レジスタ 0x04、ビット 2）が設定されます。仕様規定された FIFO には、96 個の格納位置があります。96 番目の格納位置を超えて書き込みが試行された場合のみ、FIFO_OVR が設定されます。

ステータス・レジスタの読み出し時に FIFO_OVR がクリアされます。このデータ・レジスタの読み出し後に、データが失われるまで再設定されません。

アクティビティ

アクティビティ・ビット（レジスタ 0x04、ビット 3）は、任意の軸での加速度測定値が、ACT_COUNT のビット [7:0] で指定される連続測定数に対して ACT_THRESH のビット [15:0] の値を超えた場合に設定されます。閾値を超えると、連続測定が 1 つの軸からもう 1 つの軸にシフトし、ACT_COUNT で引き続きカウントされます。

ステータス・レジスタの読み出しでアクティビティ・ビットがクリアされますが、アクティビティ・ビット条件が引き続き満たされると、次の測定の最後に再設定されます。

NVM_BUSY

NVM_BUSY ビット（レジスタ 0x04、ビット 1）は、不揮発性メモリ（NVM）コントローラがビジーであり、それにアクセスして読み出し、書き込み、割込みの生成ができないことを示します。

NVM コントローラがビジーでなくなった後に発生したステータス・レジスタの読み出しで、NVM_BUSY はクリアされます。

外部同期とインターポレーション

図 43～図 45 に示すように、ADXL359 の同期化オプションは 3 つあります。わかりやすいように、クロック周波数と遅延は一定の縮尺率で描かれています。図 43～図 45 のラベルは、次のように定義されます。

- ▶ 内部 ODR は、内部クロックに基づいた 10 進法出力データのタイミングです。
- ▶ ADC CLK は、内部コントローラ・クロック・レートを示します。
- ▶ DRDY は、サンプルがレディであることを通知する出力インジケータです。

次の 3 つのモードがあります。

- ▶ 外部同期なし（内部クロックを使用）。
- ▶ インターポレーション・フィルタを有効にした同期。
- ▶ 外部同期とクロック信号による同期。インターポレーション・フィルタなし。

EXT_SYNC = 00 – 外部同期またはインターポレーションなし

この場合、同期コントローラとして機能する内部クロックがデータを生成します。外部信号は不要です。これは、外部プロセッサによってデバイスから非同期でデータを取得するときに使用されるので、外部ソースへの完全な同期は不要です。レジスタ 0x28 を使用して ODR をプログラミングします。

デバイスは DRDY（アクティブ・ハイ）を出力することで、新しいサンプルが使用できることを示す信号を供給します。この際、データはリアルタイム・レジスタまたは FIFO から取得されます。群遅延は、表 8 で示すデシメーション設定に基づきます。

割込み

EXT_SYNC = 10 – 外部同期とインターポレーション

この場合、内部クロックがデータを生成しますが、インターポレーション・フィルタによって時間分解能がプログラマブル ODR の 64 倍に向上します。通常、インターポレーション・フィルタと外部 ODR クロックを使用した同期は、外部プロセッサが目的の ODR で同期信号を提供できる（内部クロックに非同期）場合に使用されます。インターポレーション・フィルタを有効にした同期（EXT_SYNC = 10）により、非同期の外部クロックは、外部クロックの立上がりエッジと最も密接に関連付けられたデータの出力ができます。インターポレーション・フィルタは、ODR に関連する周波数分解能を提供します（表 10 を参照）。

このモードのメリットは、ユーザ定義のサンプル・レートでデータを使用でき、データが内部発振器に非同期であることです。このモードのデメリットは、群遅延が増え、バンド・エッジで減衰が増えることです。更に、時間分解能に制限があるため、内部発振器に対する外部同期の不一致に関連する歪みが発生します。この不一致が原因で、スペクトル性能が低下します。群遅延は、デシメーション設定とインターポレーション設定に基づきます（表 10 を参照）。表 11 は SYNC 信号（入力）から DRDY（出力）までの遅延を示します。

表 11. EXT_SYNC = 10、DRDY 遅延

ODR_LPF	SYNC to DRDY Delay (Oscillator Cycles)
0x0	8
0x1	10
0x2	14
0x3	22
0x4	38
0x5	70
0x6	134
0x7	262
0x8	1031
0x9	2054
0x10	4102

表 12. INT2 と DRDY のマルチプレクス

レジスタまたはビット・フィールド			ピン		
EXT_CLK	EXT_SYNC、 ビット [1:0]	INT_MAP、 ビット [7:4]	INT2 (ピン 13)	DRDY (ピン 14)	コメント
0	00	0000	Low	DRDY	内部クロックと同期し、外部クロック同期は行われません。
0	00	Not 0000	INT2	DRDY	
1	00	0000	EXT_CLK	DRDY	
1	00	Not 0000 ¹	EXT_CLK	DRDY	
0	01	0000	DRDY ²	SYNC	これらのオプションにより、すべての同期パルスのデジタル・フィルタはリセットされますが、推奨できません。
0	01 ³	Not 0000	INT2	SYNC	
1	01 ³	0000	EXT_CLK	SYNC	外部同期、インターポレーション・フィルタなし、データが用意されたことを示す DRDY（アクティブ・ハイ）信号。前の時点のサンプル・ポイント群遅延を表すデータ。
1	01 ³	Not 0000 ¹	EXT_CLK	SYNC	
0	10	0000	DRDY ²	SYNC	外部同期、インターポレーション・フィルタ、データが用意されたことを示す DRDY（アクティブ・ハイ）信号。前の時点のサンプル群遅延を表すデータ。
0	10 ³	Not 0000	INT2	SYNC	

EXT_SYNC = 01 – 外部同期と外部クロック、インターポレーション・フィルタなし

この場合、外部ソースは $4 \times 64 \times \text{ODR}$ の周波数で外部クロックを提供します。外部クロックは、デバイスのコントローラ・クロック源になります。更に、デシメーション・フィルタ出力を特定のクロック・エッジに揃えるために、外部同期信号が必要になります。これは、完全な外部同期を提供するもので、固定の外部クロックがデータを取得して処理し、非同期クロックを使用できない場合に、広く使用されています。複数のセンサーを使用する場合、外部マスタ・クロックとの同期が効果的で、時間的な整合が必要になります。

4kHz ODR で EXT_SYNC = 01 に設定する場合は、INT2 ピン（ピン 13）で 1024MHz ($64 \times 4 \times 4\text{kHz}$) の外部クロックと、DRDY ピン（ピン 14）で外部同期を提供する必要があります（表 12 を参照）。

このモードを使用する場合、次の特別な制限が適用されます。

- ▶ 外部クロック（EXT_CLK）と外部同期を提供する必要があります。
- ▶ EXT_CLK の周波数は、 $4 \times 64 \times \text{ODR}$ に設定する必要があります。
- ▶ 同期の幅は必ず、4 つの EXT_CLK 期間の最小値に設定する必要があります。
- ▶ 同期の位相は、EXT_CLK 立上がりエッジに対して約 25ns のセットアップ・タイムを満たす必要があります。

EXT_SYNC モードを使用し、同期を提供しない場合、デバイスは自身の同期で動作します。同様に、同期後、デバイスは、受信された最後の同期パルスに同期されて動作し続けます。つまり、EXT_SYNC = 01 モードは、1 つの同期パルスでのみ使用できます。

インターポレーション・フィルタは、ODR に関連する周波数分解能を提供します（表 10 を参照）。この場合、提供されるデータは外部信号に対応します（外部信号の周波数は、設定された ODR より速くても問題ありません）。ただし、出力通過帯域は、インターポレーション・フィルタと同じままです。

割込み

表 12. INT2 と DRDY のマルチプレクス

EXT_CLK	レジスタまたはビット・フィールド		ピン		コメント
	EXT_SYNC、 ビット [1:0]	INT_MAP、 ビット [7:4]	INT2 (ピン 13)	DRDY (ピン 14)	
1	10 ³	0000	EXT_CLK	SYNC	
1	10 ³	Not 0000	EXT_CLK	SYNC	

¹ INT2 が有効な場合でも、INT2 なし。

² 表 12 に従い、INT_MAP レジスタを介した DRDY の経路設定は、デフォルトより優先されます。

³ DRDY なし。

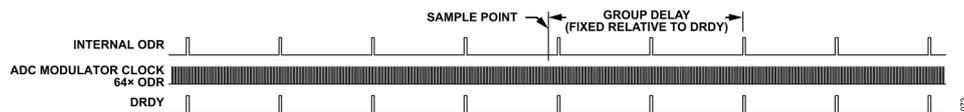


図 43. 外部同期オプション - EXT_SYNC = 00、内部同期

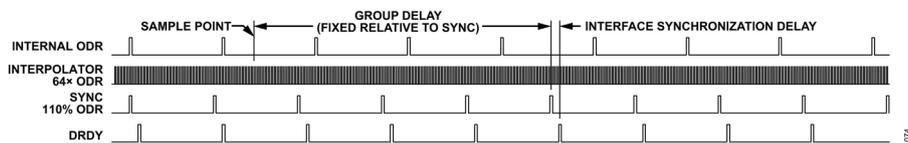


図 44. 外部同期オプション - EXT_SYNC = 10、外部同期、外部クロック、インターポレーション・フィルタ

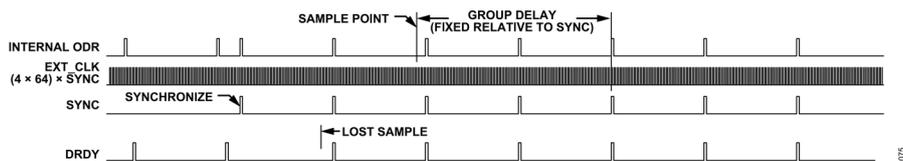


図 45. 外部同期オプション - EXT_SYNC = 01、外部同期、インターポレーション・フィルタなし

レジスタ・マップ

アプリケーションで ADXL359 を構成する場合は、すべての設定レジスタをプログラムしてから POWER_CTL レジスタで測定モードを有効にする必要があります。ADXL359 が測定モードの場合

は、次の設定だけの変更可能です。フィルタ・レジスタの HPF_CORNER ビット、INT_MAP レジスタ、SELF_TEST レジスタの ST1 ビットと ST2 ビット、リセット・レジスタ。

表 13. レジスタ・マップ

Hex. Addr.	Register Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x00	DEVID_AD	DEVID_AD								0xAD	R		
0x01	DEVID_MST	DEVID_MST								0x1D	R		
0x02	PARTID	PARTID								0xE9	R		
0x03	REVID	REVID								0x01	R		
0x04	Status	Reserved			NVM_BUSY	Activity	FIFO_OVR	FIFO_FULL	DATA_RDY	0x00	R		
0x05	FIFO_ENTRIES	Reserved	FIFO_ENTRIES								0x00	R	
0x06	TEMP2	Reserved				Temperature, Bits[11:8]				0x00	R		
0x07	TEMP1	Temperature, Bits[7:0]								0x00	R		
0x08	XDATA3	XDATA, Bits[19:12]								0x00	R		
0x09	XDATA2	XDATA, Bits[11:4]								0x00	R		
0x0A	XDATA1	XDATA, Bits[3:0]				Reserved				0x00	R		
0x0B	YDATA3	YDATA, Bits[19:12]								0x00	R		
0x0C	YDATA2	YDATA, Bits[11:4]								0x00	R		
0x0D	YDATA1	YDATA, Bits[3:0]				Reserved				0x00	R		
0x0E	ZDATA3	ZDATA, Bits[19:12]								0x00	R		
0x0F	ZDATA2	ZDATA, Bits[11:4]								0x00	R		
0x10	ZDATA1	ZDATA, Bits[3:0]				Reserved				0x00	R		
0x11	FIFO_DATA	FIFO_DATA								0x00	R		
0x1E	OFFSET_X_H	OFFSET_X, Bits[15:8]								0x00	R/W		
0x1F	OFFSET_X_L	OFFSET_X, Bits[7:0]								0x00	R/W		
0x20	OFFSET_Y_H	OFFSET_Y, Bits[15:8]								0x00	R/W		
0x21	OFFSET_Y_L	OFFSET_Y, Bits[7:0]								0x00	R/W		
0x22	OFFSET_Z_H	OFFSET_Z, Bits[15:8]								0x00	R/W		
0x23	OFFSET_Z_L	OFFSET_Z, Bits[7:0]								0x00	R/W		
0x24	ACT_EN	Reserved					ACT_Z	ACT_Y	ACT_X	0x00	R/W		
0x25	ACT_THRESH_H	ACT_THRESH, Bits[15:8]								0x00	R/W		
0x26	ACT_THRESH_L	ACT_THRESH, Bits[7:0]								0x00	R/W		
0x27	ACT_COUNT	ACT_COUNT								0x01	R/W		
0x28	Filter	Reserved	HPF_CORNER				ODR_LPF				0x00	R/W	
0x29	FIFO_SAMPLES	Reserved	FIFO_SAMPLES								0x60	R/W	
0x2A	INT_MAP	ACT_EN2	OVR_EN2	FULL_EN2	RDY_EN2	ACT_EN1	OVR_EN1	FULL_EN1	RDY_EN1	0x00	R/W		
0x2B	Sync	Reserved					EXT_CLK	EXT_SYNC			0x00	R/W	
0x2C	Range	I2C_HS	INT_POL	Reserved				Range			0x81	R/W	
0x2D	POWER_CTL	Reserved					DRDY_OFF	TEMP_OFF	Standby	0x01	R/W		
0x2E	SELF_TEST	Reserved								ST2	ST1	0x00	R/W
0x2F	Reset	Reset								0x00	W		

レジスタの定義

ここでは、ADXL359 レジスタの機能について説明します。
ADXL359 は、表 13 のリセット列に表示されているデフォルト
のレジスタ値で起動します。

アナログ・デバイセズの ID レジスタ

このレジスタには、アナログ・デバイセズ ID (0xAD) が含まれます。

アドレス : 0x00、リセット : 0xAD、レジスタ名 : DEVID_AD

表 14. DEVID_AD のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_AD		アナログ・デバイセズ ID	0xAD	R

アナログ・デバイセズの MEMS ID レジスタ

このレジスタには、アナログ・デバイセズ MEMS ID (0x1D) が格納されます。

アドレス : 0x01、リセット : 0x1D、レジスタ名 : DEVID_MST

表 15. DEVID_MST のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVID_MST		アナログ・デバイセズ MEMS ID	0x1D	R

デバイス ID レジスタ

このレジスタには、デバイス ID (0xE9、8 進 351) が格納されます。

アドレス : 0x02、リセット : 0xE9、レジスタ名 : PARTID

表 16. PARTID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PARTID		デバイス ID (8 進 351)	0xE9	R

製品リビジョン ID レジスタ

このレジスタは、0x00 から始まってリビジョンごとにインクリメントされる、製品リビジョン ID を含みます。

アドレス : 0x03、リセット : 0x01、レジスタ名 : REVID

表 17. REVID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	REVID		マスクのリビジョン	0x01	R

ステータス・レジスタ

このレジスタには、ADXL359 の様々な条件を説明するビットが含まれます。

アドレス : 0x04、リセット : 0x00、レジスタ名 : Status

表 18. Status のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	Reserved		予備。	0x0	R
4	NVM_BUSY		NVM コントローラは、リフレッシュ、プログラミング、内蔵セルフ・テスト (BIST) でビジーです。	0x0	R
3	Activity		ACT_THRESH_x レジスタと ACT_COUNT レジスタで定義されているアクティビティを検出します。	0x0	R
2	FIFO_OVR		FIFO にオーバーランが発生し、最も古いデータが失われます。	0x0	R

レジスタの定義

表 18. Status のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
1	FIFO_FULL		FIFO ウォーターマークに到達しました。	0x0	R
0	DATA_RDY		X 軸、Y 軸、Z 軸の測定が完了したら、結果の読出しを実行できます。	0x0	R

FIFO エントリ・レジスタ

このレジスタは、FIFO バッファ内に存在する有効なデータ・サンプルの数を示します。この数の範囲は、0~96 です。

アドレス：0x05、リセット：0x00、レジスタ名：FIFO_ENTRIES

表 19. FIFO_ENTRIES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備	0x0	R
[6:0]	FIFO_ENTRIES		FIFO に格納されているデータ・サンプルの数	0x0	R

温度データ・レジスタ

これらの 2 つのレジスタには、未校正の温度データが含まれます。公称インターセプトは 25°C で 1885LSB、公称スロープは -9.05LSB/°C です。TEMP2 には、4 つの最上位ビットが含まれ、TEMP1 には 12 ビット値のうちの 8 つの最下位ビットが含まれます。ADXL359 の温度の値はダブル・バッファされていません。つまり、この値は 2 つのレジスタを読み出す間に更新されることがあります。

アドレス：0x06、リセット：0x00、レジスタ名：TEMP2

表 20. TEMP2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備		
[3:0]	Temperature, Bits[11:8]		未校正の温度データ	0x0	R

アドレス：0x07、リセット：0x00、レジスタ名：TEMP1

表 21. TEMP1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	Temperature, Bits[7:0]		未校正の温度データ	0x00	R

X 軸データ・レジスタ

これら 3 つのレジスタには、X 軸加速度データが含まれます。データは左寄せされ、2 の補数としてフォーマットされます。

アドレス：0x08、リセット：0x00、レジスタ名：XDATA3

表 22. XDATA3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA, Bits[19:12]		X 軸データ	0x00	R

アドレス：0x09、リセット：0x00、レジスタ名：XDATA2

表 23. XDATA2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	XDATA, Bits[11:4]		X 軸データ	0x00	R

レジスタの定義

アドレス：0x0A、リセット：0x00、レジスタ名：XDATA1

表 24. XDATA1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	XDATA, Bits[3:0]		X 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

Y 軸データ・レジスタ

これら 3 つのレジスタには、Y 軸加速度データが含まれます。データは左寄せされ、2 の補数としてフォーマットされます。

アドレス：0x0B、リセット：0x00、レジスタ名：YDATA3

表 25. YDATA3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA, Bits[19:12]		Y 軸データ	0x00	R

アドレス：0x0C、リセット：0x00、レジスタ名：YDATA2

表 26. YDATA2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	YDATA, Bits[11:4]		Y 軸データ	0x00	R

アドレス：0x0D、リセット：0x00、レジスタ名：YDATA1

表 27. YDATA1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	YDATA, Bits[3:0]		Y 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

Z 軸データ・レジスタ

これら 3 つのレジスタには、Z 軸加速度データが含まれます。データは左寄せされ、2 の補数としてフォーマットされます。

アドレス：0x0E、リセット：0x00、レジスタ名：ZDATA3

表 28. ZDATA3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA, Bits[19:12]		Z 軸データ	0x00	R

アドレス：0x0F、リセット：0x00、レジスタ名：ZDATA2

表 29. ZDATA2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ZDATA, Bits[11:4]		Z 軸データ	0x00	R

アドレス：0x10、リセット：0x00、レジスタ名：ZDATA1

表 30. ZDATA1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	ZDATA, Bits[3:0]		Z 軸データ	0x0	R
[3:0]	Reserved		予備	0x0	R

レジスタの定義

FIFO アクセス・レジスタ

アドレス：0x11、リセット：0x00、レジスタ名：FIFO_DATA

FIFOに格納されたデータにアクセスするには、このレジスタを読み出します。

表 31. FIFO_DATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FIFO_DATA		FIFO データは、24 ビット (3 バイト) で、最上位バイトを先頭にフォーマットされます。このアドレスの読出し時に、軸データの 3 つの等しい有効バイト・ワードが FIFO からポップされます。後続の 2 回の読出または複数バイトの読出しで、このデータのインターフェースへのトランザクションが完了します。このフィールドの連続した読出または持続的なマルチバイトの読出しでは、FIFO が 3 バイトずつポップされます。このアドレスへの複数バイトの読出しでは、アドレス・ポインタはインクリメントされません。前のアドレスからの自動インクリメントにより、このアドレスが読み出されると、FIFO はポップされません。代わりに 0 が返され、次のアドレスにインクリメントされます。	0x0	R

X 軸のオフセット・トリム・レジスタ

アドレス：0x1E、リセット：0x00、レジスタ名：OFFSET_X_H

表 32. OFFSET_X_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_X, Bits[15:8]		すべての信号処理の後に X 軸データに追加されるオフセット。データは 2 の補数でフォーマットされています。OFFSET_X のビット [15:0] の上位性は、XDATA のビット [19:4] の上位性と一致します。	0x0	R/W

アドレス：0x1F、リセット：0x00、レジスタ名：OFFSET_X_L

表 33. OFFSET_X_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_X, Bits[7:0]		すべての信号処理の後に X 軸データに追加されるオフセット。データは 2 の補数でフォーマットされています。OFFSET_X のビット [15:0] の上位性は、XDATA のビット [19:4] の上位性と一致します。	0x0	R/W

Y 軸オフセット・トリム・レジスタ

アドレス：0x20、リセット：0x00、レジスタ名：OFFSET_Y_H

表 34. OFFSET_Y_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Y, Bits[15:8]		すべての信号処理の後に Y 軸データに追加されるオフセット。データは 2 の補数でフォーマットされています。OFFSET_Y のビット [15:0] の上位性は、YDATA のビット [19:4] の上位性と一致します。	0x0	R/W

アドレス：0x21、リセット：0x00、レジスタ名：OFFSET_Y_L

表 35. OFFSET_Y_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Y, Bits[7:0]		すべての信号処理の後に Y 軸データに追加されるオフセット。データは 2 の補数でフォーマットされています。OFFSET_Y のビット [15:0] の上位性は、YDATA のビット [19:4] の上位性と一致します。	0x0	R/W

レジスタの定義

Z 軸オフセット・トリム・レジスタ

アドレス：0x22、リセット：0x00、レジスタ名：OFFSET_Z_H

表 36. OFFSET_Z_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Z, Bits[15:8]		すべての信号処理の後に Z 軸データに追加されるオフセット。データは 2 の補数でフォーマットされています。OFFSET_Z のビット [15:0] の上位性は、ZDATA のビット [19:4] の上位性と一致します。	0x0	R/W

アドレス：0x23、リセット：0x00、レジスタ名：OFFSET_Z_L

表 37. OFFSET_Z_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_Z, Bits[7:0]		すべての信号処理の後に Z 軸データに追加されるオフセット。データは 2 の補数でフォーマットされています。OFFSET_Z のビット [15:0] の上位性は、ZDATA のビット [19:4] の上位性と一致します。	0x0	R/W

アクティビティ・イネーブル・レジスタ

アドレス：0x24、リセット：0x00、レジスタ名：ACT_EN

表 38. ACT_EN のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備。	0x0	R
2	ACT_Z		Z 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W
1	ACT_Y		Y 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W
0	ACT_X		X 軸データは、アクティビティ検出アルゴリズムの構成要素です。	0x0	R/W

アクティビティ閾値レジスタ

アドレス：0x25、リセット：0x00、レジスタ名：ACT_THRESH_H

表 39. ACT_THRESH_H のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ACT_THRESH, Bits[15:8]		アクティビティ検出の閾値。加速度の大きさは、アクティビティ・カウンタをトリガする ACT_THRESH 以上にする必要があります。ACT_THRESH は符号なしの大きさです。ACT_THRESH のビット [15:0] の上位性は、XDATA、YDATA、ZDATA のビット [18:3] の上位性と一致します。	0x0	R/W

アドレス：0x26、リセット：0x00、レジスタ名：ACT_THRESH_L

表 40. ACT_THRESH_L のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ACT_THRESH, Bits[7:0]		アクティビティ検出の閾値。加速度の大きさは、アクティビティ・カウンタをトリガする ACT_THRESH の値より大きい必要があります。ACT_THRESH は符号なしの大きさです。ACT_THRESH のビット [15:0] の上位性は、XDATA、YDATA、ZDATA のビット [18:3] の上位性と一致します。	0x0	R/W

レジスタの定義

アクティビティ・カウント・レジスタ

アドレス：0x27、リセット：0x01、レジスタ名：ACT_COUNT

表 41. ACT_COUNT のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ACT_COUNT		アクティビティを検出するために必要な閾値 (ACT_THRESH) 以上の連続したイベントの数	0x1	R/W

フィルタ設定レジスタ

アドレス：0x28、リセット：0x00、レジスタ名：Filter

このレジスタを使用して内部ハイパス・フィルタとローパス・フィルタのパラメータを指定します。

表 42. Filter のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備	0x0	R
[6:4]	HPF_CORNER		ODR に関連する一次ハイパス・フィルタの-3dB フィルタ・コーナ 該当なし。有効なハイパス・フィルタなし 000 24.7 × 10 ⁻⁴ × ODR 001 6.2084 × 10 ⁻⁴ × ODR 010 1.5545 × 10 ⁻⁴ × ODR 011 0.3862 × 10 ⁻⁴ × ODR 100 0.0954 × 10 ⁻⁴ × ODR 101 0.0238 × 10 ⁻⁴ × ODR 110	0x0	R/W
[3:0]	ODR_LPF		ODR とローパス・フィルタ・コーナ 0000 4000Hz と 1000Hz 0001 2000Hz と 500Hz 0010 1000Hz と 250Hz 0011 500Hz と 125Hz 0100 250Hz と 62.5Hz 0101 125Hz と 31.25Hz 0110 62.5Hz と 15.625Hz 0111 31.25Hz と 7.813Hz 1000 15.625Hz と 3.906Hz 1001 7.813Hz と 1.953Hz 1010 3.906Hz と 0.977Hz	0x0	R/W

FIFO サンプル・レジスタ

アドレス：0x29、リセット：0x60、レジスタ名：FIFO_SAMPLES

FIFO_SAMPLES の値を使用して、FIFO に格納するサンプルの数を指定します。FIFO ウォーターマーク割込みのトリガを回避するため、このレジスタのデフォルト値は 0x60 です。

表 43. FIFO_SAMPLES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備。	0x0	R
[6:0]	FIFO_SAMPLES		FIFO_FULL 条件をトリガする FIFO に格納されるサンプルのウォールマーク番号。値の範囲は 1~96 です。	0x60	R/W

レジスタの定義

割込みピン (INT_x) の機能マップ・レジスタ

アドレス : 0x2A、リセット : 0x00、レジスタ名 : INT_MAP

INT_MAP レジスタを使用して割込みピンを設定します。ビット [7:0] を使用して、ピン INT1 と INT2 に割込みを生成する機能を選択します。複数のイベントを設定できます。対応するビットを 1 に設定した場合、この機能によって割込みピンに割込みが生成されます。

表 44. INT_MAP のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	ACT_EN2		アクティブ割込みが INT2 で有効	0x0	R/W
6	OVR_EN2		FIFO_OVR 割込みが INT2 で有効	0x0	R/W
5	FULL_EN2		FIFO_FULL 割込みが INT2 で有効	0x0	R/W
4	RDY_EN2		DATA_RDY 割込みが INT2 で有効	0x0	R/W
3	ACT_EN1		アクティブ割込みが INT1 で有効	0x0	R/W
2	OVR_EN1		FIFO_OVR 割込みが INT1 で有効	0x0	R/W
1	FULL_EN1		FIFO_FULL 割込みが INT1 で有効	0x0	R/W
0	RDY_EN1		DATA_RDY 割込みが INT1 で有効	0x0	R/W

データ同期

アドレス : 0x2B、リセット : 0x00、レジスタ名 : Sync

このレジスタを使用して、外部タイミング・トリガを制御します。

表 45. Sync のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備。	0x0	R
2	EXT_CLK		外部クロックを有効にします。設定の詳細は、表 12 を参照してください。	0x0	R/W
[1:0]	EXT_SYNC		外部同期コントロールを有効にします。 00 内部同期 01 外部同期、インターポレーション・フィルタなし。同期後、仕様範囲内にある EXT_SYNC に対し、DATA_RDY が EXT_SYNC に基づいて発生します。 10 外部同期、インターポレーション・フィルタ、14~8204 回の発振器サイクル後に使用できることが DATA_RDY で示されるデータ (ODR_LPF 設定値が高いほど遅延が長い)、データは時間的に前のサンプル・ポイント群遅延を表します。 11 予備。	0x0	R/W

I²C 速度、割込み極性、レンジ・レジスタ

アドレス : 0x2C、リセット : 0x81、レジスタ名 : Range

表 46. Range のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	I2C_HS		I ² C 速度。 1 ハイスピード・モード。 0 高速モード。	0x1	R/W
6	INT_POL		割込み極性。 0 INT1 と INT2 は、アクティブ・ローです。 1 INT1 と INT2 は、アクティブ・ハイです。	0x0	R/W
[5:2]	Reserved		予備。	0x0	R
[1:0]	Range		範囲。 01 ±10g。 10 ±20g。	0x1	R/W

レジスタの定義

表 46. Range のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
			11 ±40g。		

パワー・コントロール・レジスタ

アドレス：0x2D、リセット：0x01、レジスタ名：POWER_CTL

表 47. POWER_CTL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備。	0x0	R
2	DRDY_OFF		1 に設定すると、通常の信号データの準備が整っているモードでは、DRDY 出力が強制的に 0 になります。	0x0	R/W
1	TEMP_OFF		1 に設定すると、温度処理が無効になります。STANDBY = 1 でも温度処理は無効になります。	0x0	R/W
0	Standby		スタンバイまたは測定モード。 1 スタンバイ・モード。スタンバイ・モードでは、デバイスは低消費電力状態になり、温度と加速度のデータパスは動作しません。更に、FIFO ボイラなどのデジタル機能はリセットされます。STANDBY = 1 の場合は、デバイスの構成設定を変更する必要があります。デバイスの動作時に変更できるハイパス・フィルタは例外です。 0 測定モード。	0x1	R/W

セルフ・テスト・レジスタ

アドレス：0x2E、リセット：0x00、レジスタ名：SELF_TEST

セルフ・テスト機能の動作の詳細については、[セルフ・テスト](#)のセクションを参照してください。

表 48. SELF_TEST のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	Reserved		予備。	0x0	R
1	ST2		セルフ・テスト力を有効にするには、1 に設定	0x0	R/W
0	ST1		セルフ・テスト・モードを有効にするには、1 に設定	0x0	R/W

リセット・レジスタ

アドレス：0x2F、リセット：0x00、レジスタ名：Reset

表 49. Reset のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	Reset		パワーオン・リセット (POR) と同様に、コード 0x52 を書き込んでデバイスをリセットします。	0x0	W

ソフトウェア・リセットを行った場合、REVID=0x01 以前の製品では、稀に競合状態が発生することがあります。競合状態が発生した場合、NVM 内の工場出荷時設定の一部がシャドウ・レジスタ（内部ロジックがセンサーを設定し、電源オンまたはソフトウェア・リセット後に出力を計算するためのレジスタ）に誤ってロードされます。NVM の不適切なロードは、0g バイアスが正しくなかったり、その他の性能上の問題が発生したりするなど、センサーの全体的な性能に影響を及ぼします。NVM の不適切なロードは、電源投入時やパワー・サイクル後に発生することはありません。ソフトウェア・リセット後のセンサーの信頼性の高い動作を確保するために、電源投入後にシャドウ・レジスタにアクセスし、値を読み出してホスト・マイクロプロセッサに保存し、ソフトウェア・リセット後に同じシャドウ・レジスタから読み出した値を比較することができます。この方法により、すべてのデバイスにおいて、すべての条件下で適切な動作が確保されます。推奨されるステップは次のとおりです。

1. 起動後、ただしソフトウェア・リセットの前に、レジスタ 0x50 からレジスタ 0x54 まで（5 つの 8 ビット・レジスタ）のシャドウ・レジスタを読み出します。
2. これらの値をホスト・デバイス（例えば、ホスト・マイクロプロセッサ）に保存します。
3. 各ソフトウェア・リセットの後、同じ 5 つのレジスタを読み出します。値が異なる場合は、一致するまで再度ソフトウェア・リセットを実行します。

推奨ハンダ付けプロファイル

図 46 と表 50 に、推奨するハンダ付けプロファイルの詳細を示します。

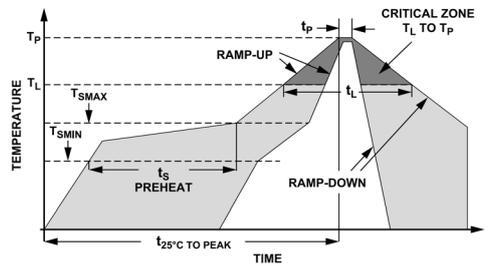


図 46. 推奨ハンダ付けプロファイル

表 50. 推奨ハンダ付けプロファイル

Profile Feature	Condition	
	Sn63/Pb37	Pb-Free
Average Ramp Rate from Liquid Temperature (T_L) to Peak Temperature (T_P)	3°C/sec maximum	3°C/sec maximum
Preheat		
Minimum Temperature (T_{SMIN})	100°C	150°C
Maximum Temperature (T_{SMAX})	150°C	200°C
Time from T_{SMIN} to T_{SMAX} (t_s)	60 sec to 120 sec	60 sec to 180 sec
T_{SMAX} to T_L Ramp-Up Rate	3°C/sec maximum	3°C/sec maximum
Liquid Temperature (T_L)	183°C	217°C
Time Maintained Above T_L (t_L)	60 sec to 150 sec	60 sec to 150 sec
Peak Temperature (T_P)	240°C + 0°C/-5°C	260°C + 0°C/-5°C
Time of Actual $T_P - 5^\circ\text{C}$ (t_p)	10 sec to 30 sec	20 sec to 40 sec
Ramp-Down Rate	6°C/sec maximum	6°C/sec maximum
Time from 25°C to Peak Temperature ($t_{25^\circ\text{C TO PEAK}}$)	6 minutes maximum	8 minutes maximum

PCB フットプリント・パターン

図 47 に、PCB フットプリント・パターンと寸法（単位：mm）を示します。

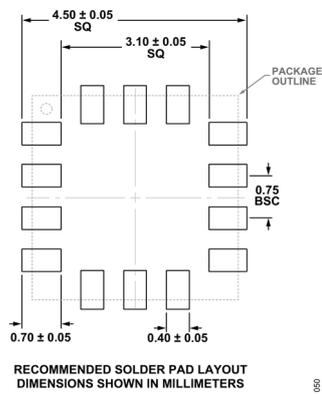


図 47. PCB フットプリント・パターンと寸法（単位：mm）

外形寸法

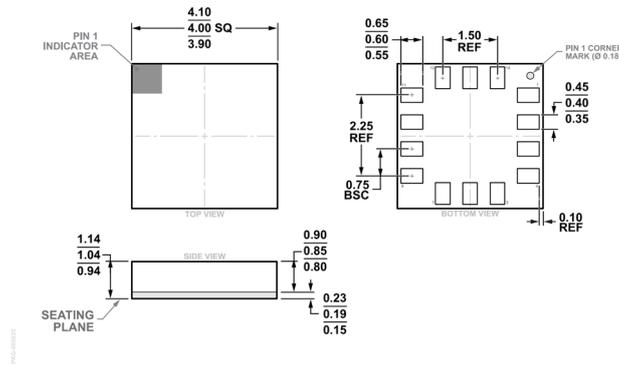


図 48.14 端子のランド・グリッド・アレイ [LGA]
(CC-14-2)
寸法 : mm

更新 : 2022 年 6 月 3 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADXL359BCCZ	-40°C to +125°C	14-Terminal Land Grid Array [LGA]		CC-14-2
ADXL359BCCZ-RL	-40°C to +125°C	14-Terminal Land Grid Array [LGA]	Reel, 4000	CC-14-2
ADXL359BCCZ-RL7	-40°C to +125°C	14-Terminal Land Grid Array [LGA]	Reel, 1000	CC-14-2

¹ Z = RoHS 準拠製品。

出力モード、測定レンジ、仕様規定電圧オプション

表 51. 出力モード、測定範囲、指定電圧オプション

Model ¹	Output Mode	Measurement Mode (g)	Specified Voltage (V)
ADXL359BCCZ	Digital	±10, ±20, ±40	3.3
ADXL359BCCZ-RL	Digital	±10, ±20, ±40	3.3
ADXL359BCCZ-RL7	Digital	±10, ±20, ±40	3.3

¹ Z = RoHS-準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADXL359Z	Evaluation Board

¹ Z = RoHS-準拠製品。

I²C は、Philips Semiconductors (現在の NXP Semiconductors) が独自に開発した通信プロトコルです。

