



## ADuM1254

## アイドルバス・ホットスワップと低VOLを備えた 双方向I<sup>2</sup>Cアイソレータ

### 概要

ADuM1254は、同じライン上で双方向にデータを伝送する必要のあるI<sup>2</sup>C等のアプリケーション向けに、2つの双方向オープンドレイン・チャンネルを備えています。ラッチアップ動作を防ぐため、サイド1の出力はロジックロー電圧を0.64Vに安定化する特殊なバッファで構成されており、入力ロジックローの閾値は、出力ロジックロー電圧より50mV以上低くなっています。サイド2の出力は従来型のバッファで構成されており、ロジックロー出力電圧の安定化は行いません。

ADuM1254は、アイソレータのサイド1とサイド2の両方に独立した2.25V~5.5Vの電源を備えています。このデバイスは最大2MHzで動作します。

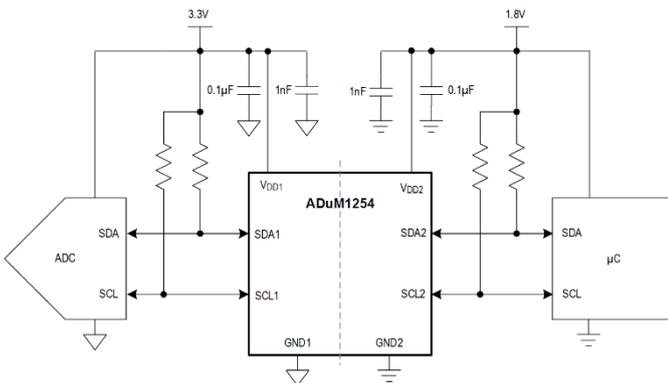
ADuM1254は、サイド2のホットプラグ接続で乱れのないバス接続を実現するため、まず、バス・ピンをプリチャージした後でバス状態をモニタし、バスがアイドル状態であるか、あるいはI<sup>2</sup>Cストップ条件を検出していることを確認した上で、サイド1とサイド2を接続します。

ADuM1254は、8ピン・ナロー・ボディSOICパッケージまたは8ピン・ワイド・ボディ・SOICパッケージを採用し、-40°C~+125°Cの周囲温度での動作が確保されています。

### 主なアプリケーション

- 絶縁型I<sup>2</sup>C/SMBusインターフェース
- バッテリー管理システム
- パワー・オーバー・イーサネット (PoE)
- モーター制御システム

### 簡略アプリケーション回路図



### 機能と利点

- 低V<sub>OL(MAX)</sub>による優れたI<sup>2</sup>Cデバイス互換性
  - サイド1 : 0.69V
  - サイド2 : 0.4V
- 3.3Vおよび5Vのロジック電圧レベルをサポートし、レベル・シフトを可能にする独立したV<sub>DD1</sub>/V<sub>DD2</sub>電源
  - どちらのサイドも、2.25V~5.5V
- サイド2のI/Oのホットスワップ機能を強化
  - バスのアイドル状態またはストップ状態で最初のサイド2接続を行うことでデータの破損を防止
- 最大2MHzのSCLでの双方向I<sup>2</sup>Cデータ転送
- 先進的なバス・トポロジによる双方向SCL
  - クロック・ストレッチングと絶縁バリアをまたぐ複数のコントローラに対応可能
- 強力な電流シンクによりR<sub>PULL-UP</sub>値を低くすることでバスを高速化
  - サイド1 : 5mA
  - サイド2 : 50mA
- デジタル信号の堅牢なガルバニック絶縁
  - 連続耐圧 (V<sub>IOVM</sub>)
    - 8ピン・ナローSOIC : 445V<sub>RMS</sub>
    - 8ピン・ワイドSOIC : 848 V<sub>RMS</sub>
  - ±10kVのサージ耐圧 (IEC 61000-4-5準拠)
  - 沿面距離とクリアランス
    - 8ピン・ナローSOIC : 4 mm
    - 8ピン・ワイドSOIC : 8 mm
- 安全性と規制に関する認定 (申請中)
  - IEC 60747-17 (申請中)
    - V<sub>IORM</sub>が強化されたナローSOIC : 630V<sub>PEAK</sub>
    - V<sub>IORM</sub>が強化されたワイドSOIC : 1200V<sub>PEAK</sub>
  - UL 1577 (申請中)
    - 8ピン・ナローSOIC : 3000V<sub>RMS</sub> (1分間)
    - 8ピン・ワイドSOIC : 5000V<sub>RMS</sub> (1分間)
  - IEC/EN/CSA 62368-1 (申請中)
  - IEC/EN/CSA 61010-1 (申請中)
  - CAN/CSA-C22.2 No. 14~18 (申請中)

[オーダー情報](#)はデータシート末尾に記載されています。

## 絶対最大定格

V <sub>DD1</sub> ~GND1 .....	-0.3V~+6.0V	8 NSOIC (+70°Cを超えると、5.49mW/°Cで ディレーティング) .....	+440mW
V <sub>DD2</sub> ~GND2 .....	-0.3V~+6.0V	8 WSOIC (+70°Cを超えると、5.88mW/°Cで ディレーティング) .....	+471mW
SDA1、SCL1~GND1 .....	-0.3V~+6.0V	温度	
SDA2、SCL2~GND2 .....	-0.3V~+6.0V	動作温度範囲 .....	-40°C~+125°C
短絡連続電流		ジャンクション温度 .....	+150°C
SDA1、SCL1~VDD1 .....	20mA	保存温度 .....	-65°C~+150°C
SDA2、SCL2~VDD2 .....	100mA	リード温度 (はんだ処理、10秒) .....	+300°C
連続消費電力		はんだ処理温度 (リフロー) .....	+260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## パッケージ情報

### 8ピン・ナローSOIC

Outline Number	<a href="#">21-0041</a>
Land Pattern Number	<a href="#">90-0096</a>
Junction-to-Ambient Thermal Resistance ( $\theta_{JA}$ )	182°C/W
Junction-to-Case Top Thermal Resistance ( $\theta_{JC(TOP)}$ )	50°C/W
Junction-to-Board Thermal Resistance ( $\theta_{JB}$ )	63.6°C/W
Junction-to-Case Top Thermal Characterization Parameter ( $\psi_{JT}$ )	8°C/W
Junction-to-Board Thermal Characterization Parameter ( $\psi_{JB}$ )	60°C/W
Moisture Sensitivity Level	3

## 8ピン・ワイドSOIC

Outline Number	<a href="#">21-100415</a>
Land Pattern Number	<a href="#">90-100146</a>
Junction-to-Ambient Thermal Resistance ( $\theta_{JA}$ )	170°C/W
Junction-to-Case Top Thermal Resistance ( $\theta_{JC(TOP)}$ )	64°C/W
Junction-to-Board Thermal Resistance ( $\theta_{JB}$ )	60.9°C/W
Junction-to-Case Top Thermal Characterization Parameter ( $\psi_{JT}$ )	12°C/W
Junction-to-Board Thermal Characterization Parameter ( $\psi_{JB}$ )	62°C/W
Moisture Sensitivity Level	3

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[www.analog.com/jp/design-center/packaging-quality-symbols-footprints/package-index.html](http://www.analog.com/jp/design-center/packaging-quality-symbols-footprints/package-index.html)を参照してください。パッケージ・コードの「+」、「#」、「-」は、RoHSステータスのみを示しています。パッケージ図面には異なるサフィックスが表示される場合がありますが、図面はRoHSステータスに関係なくパッケージに固有のものであります。

パッケージの熱抵抗は、JEDEC仕様JESD51-7に記載の方法により、4層基板を用いて求めたものです。パッケージの熱に関する考慮事項については、[www.analog.com/jp/technical-articles/thermal-characterization-of-ic-packages.html](http://www.analog.com/jp/technical-articles/thermal-characterization-of-ic-packages.html)を参照してください。

## 電気的特性

（特に指定のない限り、 $V_{DD1} - V_{GND1} = +2.25V \sim +5.5V$ 、 $V_{DD2} - V_{GND2} = +2.25V \sim +5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ （[Note 1](#)、[Note 2](#)）。特に指定のない限り、代表値は $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$ での値です。）

パラメータ	記号	条件	最小値	代表値	最大値	単位
POWER SUPPLY						
Supply Voltage	$V_{DD1}$	GND1基準	2.25		5.5	V
	$V_{DD2}$	GND2基準	2.25		5.5	
Undervoltage-Lockout Threshold Side_	$V_{UVLO\_}$	$V_{DD\_}$ 上昇中	1.48	1.6	1.65	V
Undervoltage-Lockout Threshold Hysteresis	$V_{UVLO\_HYST}$	( <a href="#">Note 5</a> )		30		mV
SUPPLY CURRENT ( <a href="#">Note 2</a> , <a href="#">Note 3</a> )						
Supply Current Side 1	$I_{DD1}$	$V_{DD1} = V_{DD2} = 2.25V \sim 5V$			1	mA
Supply Current Side 2	$I_{DD2}$	$V_{DD1} = V_{DD2} = 2.25V \sim 5V$			1	mA
LOGIC INPUTS AND OUTPUTS						
Input High Voltage, SDA1/SCL1	$V_{IH1}$	GND1基準	0.52	0.56	0.62	V
Input Low Voltage, SDA1/SCL1	$V_{IL1}$	GND1基準	0.47	0.51	0.56	V
Input Hysteresis, Side 1	$V_{HYS1}$	$V_{IH1} - V_{IL1}$		50		mV
Output Low Voltage, SDA1/SCL1	$V_{OL1}$	GND1基準	0.59	0.64	0.69	V
Low-level Output Voltage to High-Level Input Voltage Threshold Difference, Side 1	$\Delta V_{O/IT}$	SDA1/SCL1、 $V_{OL} - V_{IH}$	45			mV
Input High Voltage, Side 2	$V_{IH2}$	SDA2/SCL2~GND2	0.52 x $V_{DD2}$	0.45 x $V_{DD2}$		V

# アイドルバス・ホットスワップと低VOLを備えた 双方向I<sup>2</sup>Cアイソレータ

ADuM1254

(特に指定のない限り、 $V_{DD1} - V_{GND1} = +2.25V \sim +5.5V$ 、 $V_{DD2} - V_{GND2} = +2.25V \sim +5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$  (Note 1、Note 2)。  
特に指定のない限り、代表値は $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$ での値です。)

パラメータ	記号	条件		最小値	代表値	最大値	単位
Input Low Voltage, Side 2	$V_{IL2}$	SDA2/SCL2~GND2			$0.38 \times V_{DD2}$	$0.3 \times V_{DD2}$	V
Input Hysteresis, Side 2	$V_{HYS2}$	$V_{IH2} - V_{IL2}$			$0.07 \times V_{DD2}$		V
Output Low Voltage, Side 2	$V_{OL2}$	SDA2/SCL2~GND2	$I = 50mA$ のシンク			0.4	V
Static Output Loading	$I_{SDA1/SCL1}$	サイド1		0.1		5	mA
	$I_{SDA2/SCL2}$	サイド2		0.1		50	
Leakage Current	$I_L$	デバイスに電源供給なし	$SDA1/SCL1 = 5.5V$ 、 $V_{DD1} = 0V$	-10		+10	$\mu A$
			$SDA2/SCL2 = 5.5V$ 、 $V_{DD2} = 0V$	-10		+10	
		デバイスに電源供給中	$SDA1 = SCL1 = V_{DD1} = 5.5V$	-10		+10	
			$SDA2 = SCL2 = V_{DD2} = 5.5V$	-10		+10	
Input Capacitance	$C_{IN}$	$f = 1MHz$	(Note 5)		5		pF
<b>ESD Protection (Note 5)</b>							
ESD		人体モデル	$V_{DD1}$ ~同サイドのピン、 $V_{DD2}$ ~同サイドのピン		$\pm 8$		kV
			SDA1/SCL1~GND1		$\pm 17$		
			SDA2/SCL2~GND2		$\pm 17$		
		IEC 61000-4-2接触放電	SDA1/SCL1~GND1(電源供給なし)		$\pm 8$		
			SDA2/SCL2~GND2(電源供給なし)		$\pm 8$		
		IEC 61000-4-2接触放電 (GND2~GND1)	8ピン・ワイドSOIC		$\pm 5$		
8ピン・ナローSOIC			$\pm 5$				

## 動的特性

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 2.25V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 2.25V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$  (Note 5)。  
特に指定のない限り、代表値は $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$ での値です。)

パラメータ	記号	条件		最小値	代表値	最大値	単位
Common-Mode Transient Immunity	CMTI	(Note 6)		100			kV/ $\mu s$
Maximum Data Rate	$DR_{MAX}$			2			MHz
Fall Time	$t_{F1}$	$SDA1/SCL1 = 0.7 \times V_{DD1} \sim 0.3 \times V_{DD1}$	$4.5V \leq V_{DD1} \leq 5.5V$ 、 $C_{L1} = 40pF$ 、 $R_1 = 1.6k\Omega$	8.8	20.3	36.1	ns
			$3.0V \leq V_{DD1} \leq 3.6V$ 、 $C_{L1} = 40pF$ 、 $R_1 = 1k\Omega$	6.1	13.7	24.1	
			$2.25V \leq V_{DD1} \leq 2.75V$ 、 $C_{L1} = 40pF$ 、 $R_1 = 810\Omega$	4.6	10.4	18.5	

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 2.25V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 2.25V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$  (Note 5)。特に指定のない限り、代表値は $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^{\circ}C$ での値です。)

パラメータ	記号	条件	最小値	代表値	最大値	単位			
	$t_{F2}$	SDA1/SCL1 = $0.9 \times V_{DD1} \sim 0.9V$	$4.5V \leq V_{DD1} \leq 5.5V$ 、 $C_{L1} = 40pF$ 、 $R_1 = 1.6k\Omega$	15.4	34.7	64.7			
			$3.0V \leq V_{DD1} \leq 3.6V$ 、 $C_{L1} = 40pF$ 、 $R_1 = 1k\Omega$	9.1	19.7	35.9			
			$2.25V \leq V_{DD1} \leq 2.75V$ 、 $C_{L1} = 40pF$ 、 $R_1 = 810\Omega$	6.0	12.2	23.3			
		SDA2/SCL2 = $0.7 \times V_{DD2} \sim 0.3 \times V_{DD2}$	$4.5V \leq V_{DD2} \leq 5.5V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 180\Omega$	$4.5V \leq V_{DD2} \leq 5.5V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 180\Omega$	11.8	18.6	30.0		
				$3.0V \leq V_{DD2} \leq 3.6V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 120\Omega$	9.0	13.8	21.0		
				$2.25V \leq V_{DD2} \leq 2.75V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 91\Omega$	7.6	11.6	17.0		
			SDA2/SCL2 = $0.9 \times V_{DD2} \sim 0.4V$	$4.5V \leq V_{DD2} \leq 5.5V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 180\Omega$	$4.5V \leq V_{DD2} \leq 5.5V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 180\Omega$	25.7	41.0	63.0	
					$3.0V \leq V_{DD2} \leq 3.6V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 120\Omega$	19.0	29.0	44.4	
					$2.25V \leq V_{DD2} \leq 2.75V$ 、 $C_{L2} = 400pF$ 、 $R_2 = 91\Omega$	15.5	24.0	36.3	
	Propagation Delay	$t_{PLH12}$	SDA1/SCL1 = $0.66V \sim$ SDA2/SCL2 = $0.7 \times V_{DD2}$	$4.5V \leq V_{DD\_} \leq 5.5V$ 、 $C_{L1} = 20pF$ 、 $R_1 = 1.6k\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 180\Omega$		37.6	50.0	ns	
				$3.0V \leq V_{DD\_} \leq 3.6V$ 、 $C_{L1} = 20pF$ 、 $R_1 = 1k\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 120\Omega$		35.9	48.0		
				$2.25V \leq V_{DD\_} \leq 2.75V$ 、 $C_{L1} = 20pF$ 、 $R_1 = 810\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 91\Omega$		35.2	47.0		
SDA1/SCL1 = $0.425V \sim$ SDA2/SCL2 = $0.3 \times V_{DD2}$			$4.5V \leq V_{DD\_} \leq 5.5V$ 、 $C_{L1} = 20pF$ 、 $R_1 = 1.6k\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 180\Omega$	$4.5V \leq V_{DD\_} \leq 5.5V$ 、 $C_{L1} = 20pF$ 、 $R_1 = 1.6k\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 180\Omega$		93.7	133.3		
				$3.0V \leq V_{DD1\_} \leq 3.6V$ 、 $C_{L1} = 20pF$ 、 $R_1 = 1k\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 120\Omega$		84.2	116.4		
				$2.25V \leq V_{DD\_} \leq 2.75V$ 、 $C_{L1} = 10pF$ 、 $R_1 = 810\Omega$ 、 $C_{L2} = 20pF$ 、 $R_2 = 91\Omega$		78.8	107.3		

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 2.25V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 2.25V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$  (Note 5)。特に指定のない限り、代表値は $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^{\circ}C$ での値です。)

パラメータ	記号	条件	最小値	代表値	最大値	単位
	t <sub>PLH21</sub>	SDA2/SCL2 = 0.5 x V <sub>DD2</sub> ~ SDA1/SCL1 = 0.7 x V <sub>DD1</sub>	4.5V ≤ V <sub>DD_</sub> ≤ 5.5V、 C <sub>L1</sub> = 20pF、R <sub>1</sub> = 1.6kΩ、C <sub>L2</sub> = 20pF、R <sub>2</sub> = 180Ω	86.7	95.8	
			3.0V ≤ V <sub>DD_</sub> ≤ 3.6V、 C <sub>L1</sub> = 20pF、R <sub>1</sub> = 1kΩ、C <sub>L2</sub> = 20pF、R <sub>2</sub> = 120Ω	67.3	76.3	
			2.25V ≤ V <sub>DD_</sub> ≤ 2.75V、 C <sub>L1</sub> = 20pF、R <sub>1</sub> = 810Ω、C <sub>L2</sub> = 20pF、R <sub>2</sub> = 91Ω	61.0	70.1	
	t <sub>PHL21</sub>	SDA2/SCL2 = 0.3 x V <sub>DD2</sub> ~ SDA1/SCL1 = 0.3 x V <sub>DD1</sub>	4.5V ≤ V <sub>DD_</sub> ≤ 5.5V、 C <sub>L1</sub> = 20pF、R <sub>1</sub> = 1.6kΩ、C <sub>L2</sub> = 20pF、R <sub>2</sub> = 180Ω	82.6	128.4	
			3.0V ≤ V <sub>DD_</sub> ≤ 3.6V、 C <sub>L1</sub> = 20pF、R <sub>1</sub> = 1kΩ、C <sub>L2</sub> = 20pF、R <sub>2</sub> = 120Ω	69.9	101.0	
			2.25V ≤ V <sub>DD_</sub> ≤ 2.75V、 C <sub>L1</sub> = 20pF、R <sub>1</sub> = 810Ω、C <sub>L2</sub> = 20pF、R <sub>2</sub> = 91Ω	65.1	88.9	
Pulse-Width Distortion	PWD <sub>12</sub>	t <sub>PLH12</sub> - t <sub>PHL12</sub>	4.5V ≤ V <sub>DD_</sub> ≤ 5.5V	56.1	94.2	ns
			3.0V ≤ V <sub>DD_</sub> ≤ 3.6V	48.3	79.0	
			2.25V ≤ V <sub>DD_</sub> ≤ 2.75V	43.6	70.6	
	PWD <sub>21</sub>	t <sub>PLH21</sub> - t <sub>PHL21</sub>	4.5V ≤ V <sub>DD_</sub> ≤ 5.5V	5.9	50.7	
			3.0V ≤ V <sub>DD_</sub> ≤ 3.6V	12.6	43.1	
			2.25V ≤ V <sub>DD_</sub> ≤ 2.75V	14.1	37.6	
Round-Trip Propagation Delay on Side 1	t <sub>LOOP1</sub>	SDA1/SCL1 = 0.425V ~ SDA1/SCL1 = 0.3 x V <sub>DD1</sub>	4.5V ≤ V <sub>DD_</sub> ≤ 5.5V、 C <sub>L1</sub> = 40pF、R <sub>1</sub> = 1.6kΩ、C <sub>L2</sub> = 400pF、 R <sub>2</sub> = 180Ω	142.2	163.2	ns
			3.0V ≤ V <sub>DD_</sub> ≤ 3.6V、 C <sub>L1</sub> = 40pF、R <sub>1</sub> = 1kΩ、 C <sub>L2</sub> = 400pF、R <sub>2</sub> = 120Ω	114.1	133.5	
			2.25V ≤ V <sub>DD_</sub> ≤ 2.75V、 C <sub>L1</sub> = 40pF、R <sub>1</sub> = 810Ω、 C <sub>L2</sub> = 400pF、R <sub>2</sub> = 91Ω	101.3	122.8	
Side 1 Time from UVLO to Active State	t <sub>ACT</sub>	V <sub>DD1</sub> が上昇中、V <sub>DD2</sub> が電源投入されてからt <sub>HS_EN</sub> 以上経過、SDA_/SCL_がハイ	1.1	1.7	ms	

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 2.25V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 2.25V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$  (Note 5)。特に指定のない限り、代表値は $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^{\circ}C$ での値です。)

パラメータ	記号	条件		最小値	代表値	最大値	単位
Input Power Loss to Output High-Z	$t_{Hi-Z}$	反対側の $V_{DD\_}$ が $V_{UVLO\_}$ を下回る				0.4	ms
<b>HOT SWAP/BUS STUCK TIMER, SIDE 2</b>							
Precharge Voltage	$V_{PRECHG}$	SDA2/SCL2がオープン、 $V_{DD2} > 0.6V$	電源投入時		$0.3 \times V_{DD2}$		V
Precharge Thevenin Equivalent Impedance	$R_{PRECHG}$	SDA2/SCL2がオープン、 $V_{DD2} > 0.6V$	電源投入時		140		k $\Omega$
Precharge Glitch Filter on SDA2/SCL2	$t_{PRE\_GLITCH}$	$V_{DD2}$ が $V_{UVLO\_}$ を上回る	電源投入時		220		ns
Hot-Swap Detection Enable Time	$t_{HS\_EN}$	電源投入時			102		ms
SDA2/SCL2 Idle Detection Time	$t_{IDLE}$	$t_{HS\_EN}$ 後	電源投入時		75		$\mu s$
Bus Stuck Timeout	$t_{STUCK}$	SDA1またはSCL1がロー			102		ms

**Note 1:** すべてのデバイスは $T_A = +25^{\circ}C$ で100%製造テスト済みです。温度範囲全体に対する仕様は設計により確保されています。

**Note 2:** 本デバイスに流れ込む電流はすべて正です。本デバイスから流れ出る電流はすべて負です。特に指定のない限り、すべての電圧は、それぞれのグラウンド (GND1またはGND2) を基準としています。

**Note 3:** 電源電流には、SDA\_/SCL\_ ピンに流入する電流は含まれません。電流値は、ホットスワップ接続成功後の値です。 $R_1 = R_2 = 1k\Omega$ 、 $C_{L1} = C_{L2} = 10pF$ 。

**Note 4:** この値は、出力ロジックロー・レベルと入力ロジック閾値の差の最小値です。これによって、本デバイスに接続したバスのラッチアップが確実に生じないようにします。

**Note 5:** 製造テストの対象外です。設計により性能を確保しています。

**Note 6:** CMTIは、動作を維持しながら持続できる最大の共通モード電圧スルー・レートです。CMTIは、共通モード電圧の上がりエッジと立下がりエッジの両方に適用されます。テストは、トランジェント発生器をGND1とGND2の間に接続して行っています ( $V_{CM} = 1000V$ )。

## タイミング図

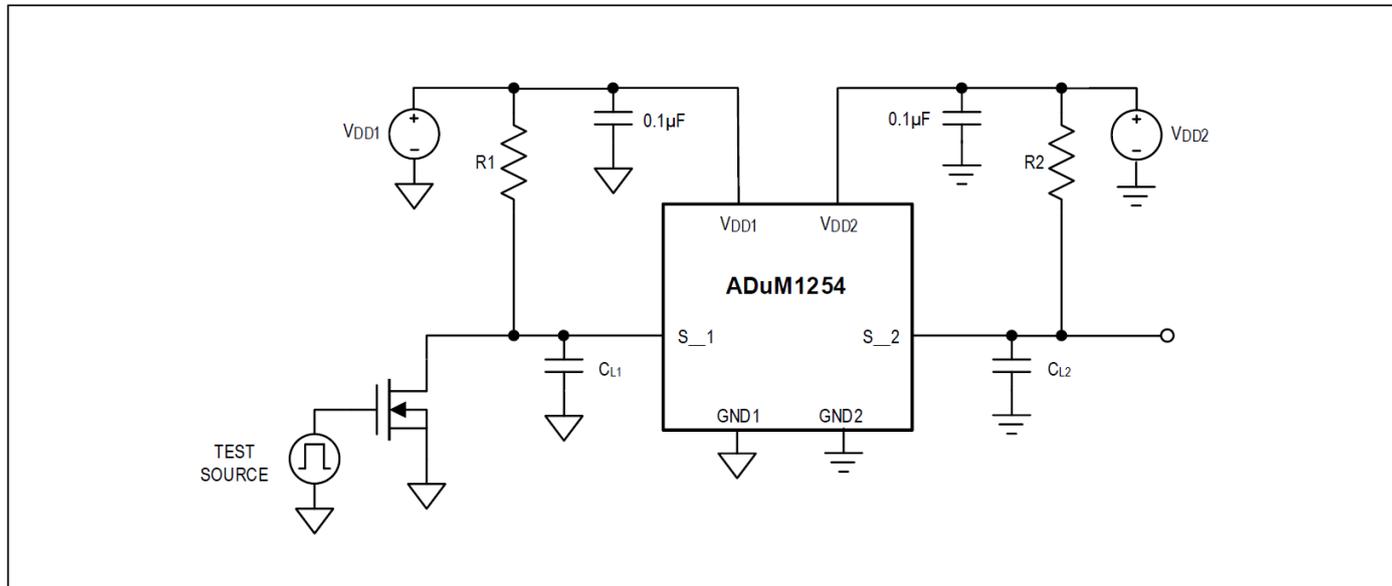


図 1. タイミング・テストの図

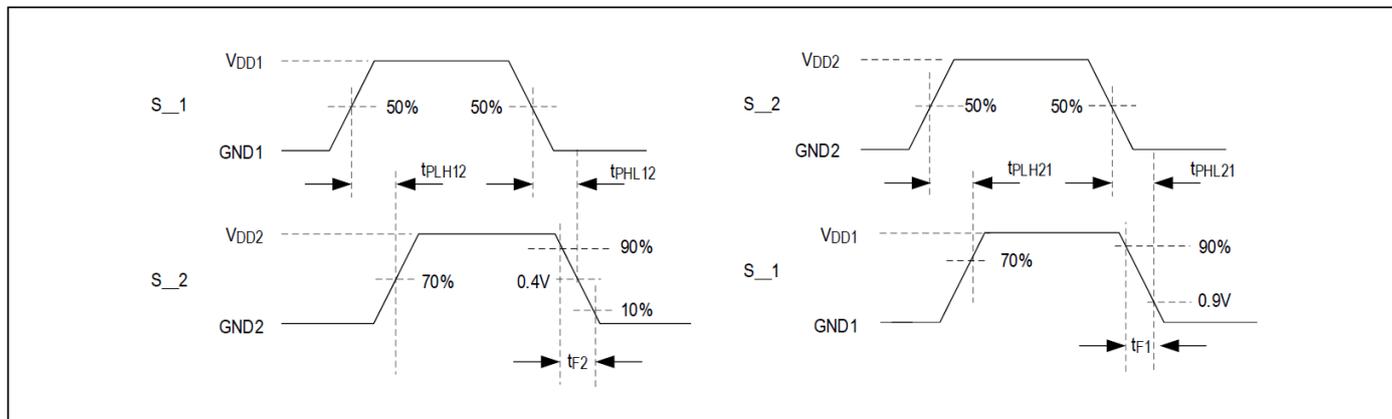


図 2. タイミング・パラメータの定義

## 安全限界

ICが損傷すると、グラウンドまたは電源への経路が低抵抗になる可能性があります。また、電流制限がないと、ADuM1254は過大な電力を消費する可能性があります。過大な消費電力は、ダイに損傷を与え、その結果として絶縁バリアに損傷を与え、下流側で問題を引き起こす可能性があります。ADuM1254の安全限界は、パッケージ固有の[絶縁特性](#)の表に記載されています。

このデバイスの最高安全温度（Ts）は、[絶対最大定格](#)のセクションに記載されている最高ジャンクション温度150°Cです。ジャンクション温度の求め方については、[熱に関する考慮事項](#)のセクションを参照してください。

図3と図4に、8ピン・ナローSOIC (21-0041) パッケージをJEDEC 2S2Pテスト・ボードに実装したときの、デバイスの電力と電流の安全限界に関する熱ディレーティング曲線を示します。ジャンクション温度は+150°Cを超えないようにしてください。

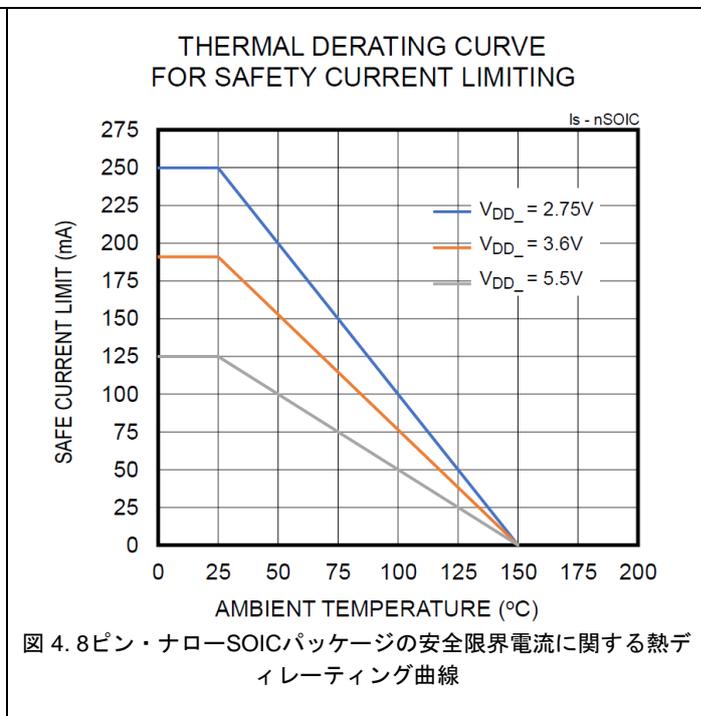
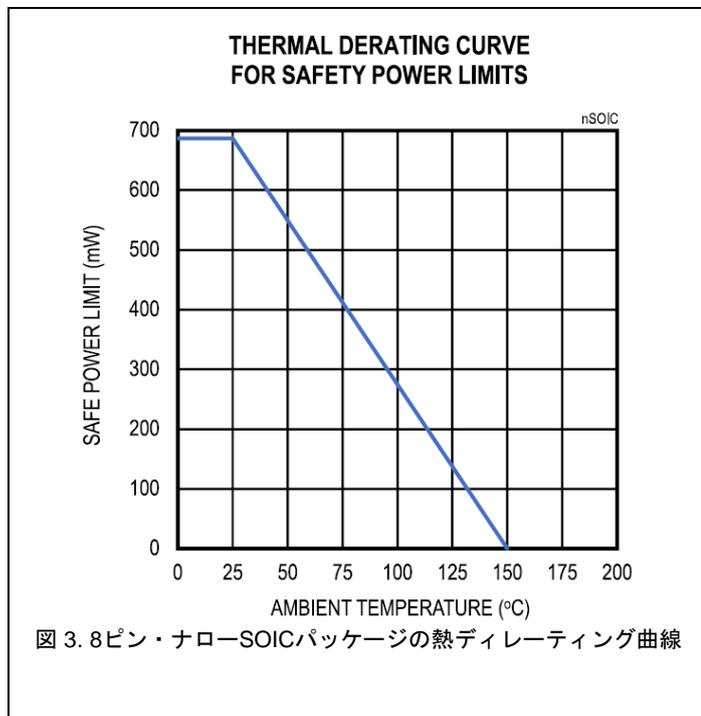
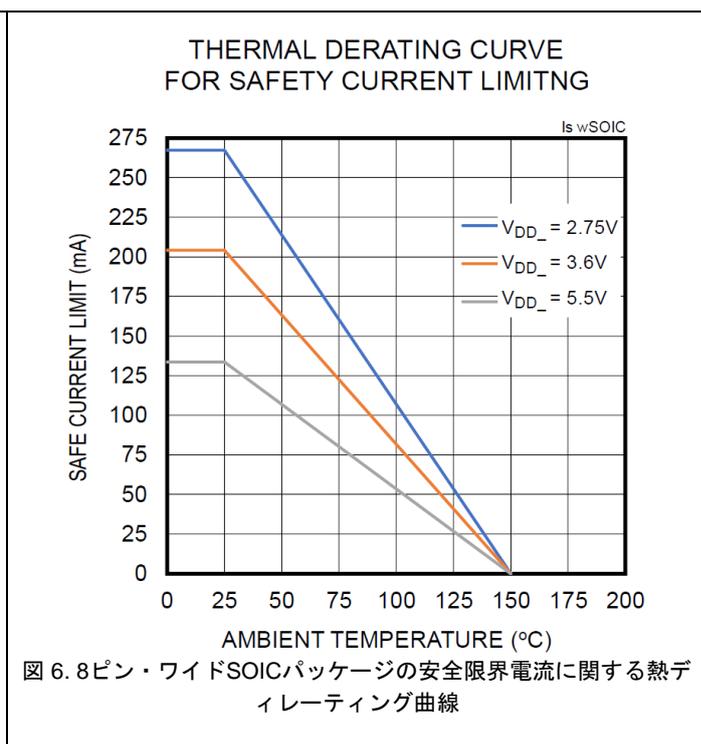
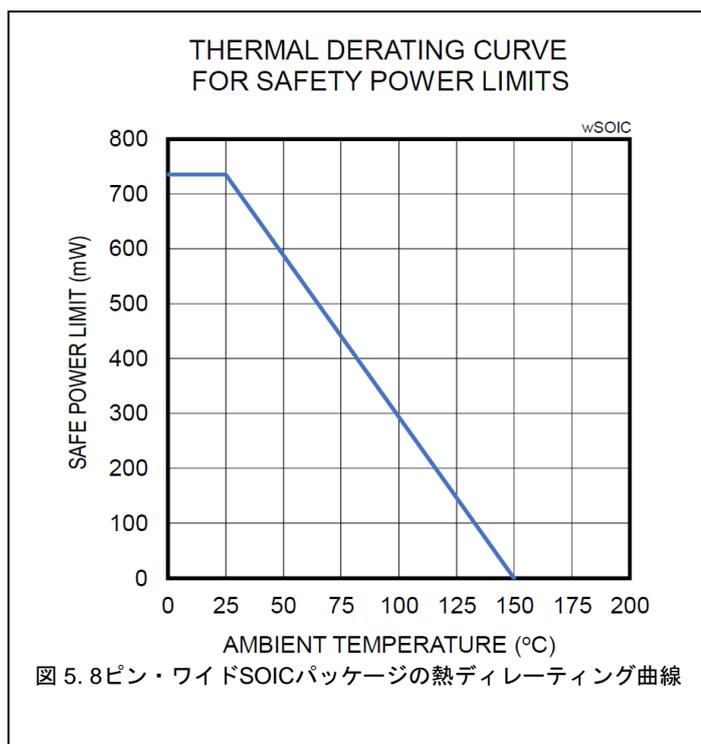


図5と図6に、8ピン・ワイドSOIC (21-100415) パッケージをJEDEC 2S2Pテスト・ボードに実装したときの、デバイスの電力と電流の安全限界に関する熱ディレーティング曲線を示します。ジャンクション温度は150°Cを超えないようにしてください。



## 絶縁特性

### 8ピン・ナローSOIC (21-0041) の絶縁特性

パラメータ	記号	条件	値	単位
<b>CLASSIFICATIONS</b>				
Overvoltage Category per IEC60664-1		定格主電源電圧 ≤ 150V <sub>RMS</sub> の場合	I to IV	—
		定格主電源電圧 ≤ 300V <sub>RMS</sub> の場合	I to III	—
Climatic Classification			40/125/21	—
Pollution Degree		DIN VDE V 0110に準拠 (DIN VDE規格の表1を参照)	2	—
<b>VOLTAGE</b>				
Maximum Working Isolation Voltage	V <sub>IOWM</sub>	連続RMS電圧 (Note 1)	445	V <sub>RMS</sub>
Maximum Repetitive Isolation Voltage	V <sub>IORM</sub>	(Note 1)	630	V <sub>PEAK</sub>
Maximum Transient Isolation Voltage	V <sub>IOTM</sub>	t = 1秒	4242	V <sub>PEAK</sub>
Maximum Withstanding Isolation Voltage	V <sub>ISO</sub>	f <sub>TEST</sub> = 60Hz、持続時間 = 60秒 (Note 1、Note 2)	3000	V <sub>RMS</sub>
Maximum Surge Isolation Voltage, Reinforced	V <sub>IOSM</sub>	IEC 60065に準拠したテスト方法、V <sub>TEST</sub> = 1.6 × V <sub>IOSM</sub> = 10000V <sub>PEAK</sub> (Note 1、Note 4)	6250	V <sub>PEAK</sub>
Maximum Impulse Voltage	V <sub>IMP</sub>	気中テスト、IEC 62368-1に準拠した1.2μs/50μs波形	6000	V <sub>PEAK</sub>
Input to Output Test Voltage	V <sub>PR</sub>		1182	V <sub>PEAK</sub>
Apparent Charge	q <sub>pd</sub>	方法 B1、V <sub>PR</sub> = 1.875 × V <sub>IORM</sub> 、t = 1秒	5	pC
<b>PACKAGE CHARACTERISTICS</b>				
External Clearance	CLR	入力端子から出力端子までを測定、空気中の最短距離	4	mm
External Creepage	CPG	入力端子から出力端子までを測定、ボディに沿った最短距離	4	mm
Internal Clearance	DTI	絶縁材を通過する距離	21	μm
Comparative Tracking Index	CTI		> 600	V
Material Group		材料グループ(IEC 60112)	I	—
Resistance (Input to Output)	R <sub>IO</sub>	V <sub>IO</sub> = 500V、T <sub>A</sub> = +25°C (Note 3)	10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500V、+100°C ≤ T <sub>A</sub> ≤ +125°C (Note 3)	10 <sup>11</sup>	Ω
	R <sub>IO-S</sub>	V <sub>IO</sub> = 500V、T <sub>S</sub> = +150°C (Note 3)	10 <sup>9</sup>	Ω
Capacitance (Input to Output)	C <sub>IO</sub>	f <sub>TEST</sub> = 1MHz (Note 3)	1.5	pF
<b>SAFETY LIMITING VALUES</b>				
Maximum Ambient Safety Temperature	T <sub>S</sub>		150	°C
Maximum Input Power Dissipation	P <sub>SI</sub>	θ <sub>JA</sub> = 182°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C	687	mW
Maximum Output Power	P <sub>SO</sub>	T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C		mW
Maximum Output Current	I <sub>SO</sub>	θ <sub>JA</sub> = 182°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C、V <sub>DD</sub> = 5.5V	124	mA
		θ <sub>JA</sub> = 182°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C、V <sub>DD</sub> = 3.6V	190	mA
		θ <sub>JA</sub> = 182°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C、V <sub>DD</sub> = 2.75V	249	mA

**Note 1** : V<sub>ISO</sub>、V<sub>IOTM</sub>、V<sub>IOWM</sub>、V<sub>IORM</sub>、V<sub>IOSM</sub>は、IEC 60747-17規格によって定義されています。

**Note 2** : 製品は、V<sub>ISO</sub> (60秒) に準拠しており、V<sub>ISO</sub>の120% (1秒) の条件で製造テストを100%実施しています。

**Note 3** : デバイスは、1番ピンから4番ピンまで、および5番ピンから8番ピンまでを接続し、2端子のデバイスとして測定しています。

**Note 4** : サージ特性評価では、デバイスは油浸されています。

8ピン・ワイドSOIC (21-100415) の絶縁特性

パラメータ	記号	条件	値	単位
<b>CLASSIFICATIONS</b>				
Overvoltage Category per IEC60664-1		定格主電源電圧 ≤ 150V <sub>RMS</sub> の場合	I to IV	—
		定格主電源電圧 ≤ 300V <sub>RMS</sub> の場合	I to IV	—
		定格主電源電圧 ≤ 600V <sub>RMS</sub> の場合	I to IV	—
Climatic Classification			40/125/21	—
Pollution Degree		DIN VDE V 0110に準拠 (DIN VDE規格の表1を参照)	2	—
<b>VOLTAGE</b>				
Maximum Working Isolation Voltage	V <sub>IOWM</sub>	連続RMS電圧 (Note 1)	848	V <sub>RMS</sub>
Maximum Repetitive Isolation Voltage	V <sub>IORM</sub>	(Note 1)	1200	V <sub>PEAK</sub>
Maximum Transient Isolation Voltage	V <sub>IOTM</sub>	t = 1秒	7070	V <sub>PEAK</sub>
Maximum Withstanding Isolation Voltage	V <sub>ISO</sub>	f <sub>TEST</sub> = 60Hz、持続時間 = 60秒 (Note 1、Note 2)	5000	V <sub>RMS</sub>
Maximum Surge Isolation Voltage, Reinforced	V <sub>IOSM</sub>	IEC 60065に準拠したテスト方法、V <sub>TEST</sub> = 1.6 × V <sub>IOSM</sub> = 10000V <sub>PEAK</sub> (Note 1、Note 4)	6250	V <sub>PEAK</sub>
Maximum Impulse Voltage	V <sub>IMP</sub>	気中テスト、IEC 62368-1に準拠した1.2μs/50μs波形	8000	V <sub>PEAK</sub>
Input to Output Test Voltage	V <sub>PR</sub>		2250	V <sub>PEAK</sub>
Apparent Charge	q <sub>pd</sub>	方法 B1、V <sub>PR</sub> = 1.875 × V <sub>IORM</sub> 、t = 1秒	5	pC
<b>PACKAGE CHARACTERISTICS</b>				
External Clearance	CLR	入力端子から出力端子までを測定、空気中の最短距離	8	mm
External Creepage	CPG	入力端子から出力端子までを測定、ボディに沿った最短距離	8	mm
Internal Clearance	DTI	絶縁材を通過する距離	21	μm
Comparative Tracking Index	CTI		> 600	V
Material Group		材料グループ(IEC 60112)	I	—
Resistance (Input to Output)	R <sub>IO</sub>	V <sub>IO</sub> = 500V、T <sub>A</sub> = +25°C (Note 3)	10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500V、+100°C ≤ T <sub>A</sub> ≤ +125°C (Note 3)	10 <sup>11</sup>	Ω
	R <sub>IO-S</sub>	V <sub>IO</sub> = 500V、T <sub>S</sub> = +150°C (Note 3)	10 <sup>9</sup>	Ω
Capacitance (Input to Output)	C <sub>IO</sub>	f <sub>TEST</sub> = 1MHz (Note 3)	1.5	pF
<b>SAFETY LIMITING VALUES</b>				
Maximum Ambient Safety Temperature	T <sub>S</sub>		150	°C
Maximum Input Power Dissipation	P <sub>SI</sub>	θ <sub>JA</sub> = 170°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C	735	mW
Maximum Output Current	I <sub>SO</sub>	θ <sub>JA</sub> = 170°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C、V <sub>DD</sub> = 5.5V	133	mA
		θ <sub>JA</sub> = 170°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C、V <sub>DD</sub> = 3.6V	204	mA
		θ <sub>JA</sub> = 170°C/W、T <sub>J</sub> = +150°C、T <sub>A</sub> = +25°C、V <sub>DD</sub> = 2.75V	267	mA

**Note 1** : V<sub>ISO</sub>、V<sub>IOTM</sub>、V<sub>IOWM</sub>、V<sub>IORM</sub>、V<sub>IOSM</sub>は、IEC 60747-17規格によって定義されています。

**Note 2** : 製品は、V<sub>ISO</sub> (60秒) に準拠しており、V<sub>ISO</sub>の120% (1秒) の条件で製造テストを100%実施しています。

**Note 3** : デバイスは、1番ピンから4番ピンまで、および5番ピンから8番ピンまでを接続し、2端子のデバイスとして測定しています。

**Note 4** : サージ特性評価では、デバイスは油浸されています。

## 適用規格

ADuM1254は下記の組織による認定を申請中です。認定証明書は、[デジタル・アイソレーションの安全および規制認証](#)で入手できます。

### 8ピン・ナローSOIC (21-0041) パッケージの認証

REGULATORY AGENCY	STANDARD CERTIFICATION/APPROVAL	FILE
UL	UL 1577 component recognition program ( <a href="#">Note 1</a> ): Single/basic 3000V <sub>RMS</sub> isolation voltage.	(Pending)
CSA	CSA No 14-18 ( <a href="#">Note 2</a> and <a href="#">Note 3</a> ): CSA 62368-1:19, IEC 62368-1:2018 Ed. 3 and EN62368-1:2020+A11:2020: Basic insulation at 400V <sub>RMS</sub> . CSA 61010-1-12+A1 and IEC 61010-1 3rd Ed.: Basic insulation at 300V <sub>RMS</sub> from mains, 400V <sub>RMS</sub> from secondary circuit.	(Pending)
VDE	IEC 60747-17 ( <a href="#">Note 4</a> ): Reinforced insulation, maximum transient isolation voltage 4242V <sub>PK</sub> , maximum repetitive peak isolation voltage 630V <sub>PK</sub> .	(Pending)
CQC	GB 4943.1-2022: Basic insulation at 400V <sub>RMS</sub> (565V <sub>PEAK</sub> ) maximum working voltage, tropical climate, altitude < 5000m	(Pending)
TUV Sud	IEC 62368-1:2018 Ed. 3 and EN62368-1:2020+A11:2020: Basic insulation at 400V <sub>RMS</sub>	(Pending)

**Note 1 :** UL 1577に従い、個々のADuM1254ASA+に3600V<sub>RMS</sub>以上の絶縁テスト電圧を1秒間加える耐電圧テストを実施しています（電流リーク検出限界= 5μA）。

**Note 2 :** 動作電圧は汚染度2、材料グループIIIについて見積もられた値です。ADuM1254ASA+のケース材料は、CSAにより材料グループIとして評価されています。

**Note 3 :** 沿面距離とクリアランス距離は、上記で仕様規定されているものを除き、汚染度2および過電圧カテゴリIIで、標高2000m未満、材料グループIIIとして評価されています。

**Note 4 :** IEC 60747-17に従い、個々のADuM1254に1182V peak以上の絶縁テスト電圧を1秒間加える耐電圧テストを実施しています（部分放電検出限界= 5pC）。このカブラは、安全定格範囲内においてのみ「安全な電気絶縁」に適しています。安全定格の遵守は必ず、適切な保護回路を用いて確保する必要があります。

### 8ピン・ワイドSOIC (21-00415) パッケージの認証

REGULATORY AGENCY	STANDARD CERTIFICATION/APPROVAL	FILE
UL	UL 1577 component recognition program ( <a href="#">Note 1</a> ): Single/basic 5000V <sub>RMS</sub> isolation voltage.	(Pending)
CSA	CSA No 14-18 ( <a href="#">Note 2</a> and <a href="#">Note 3</a> ): CSA 62368-1:19, IEC 62368-1:2018 Ed. 3 and EN62368-1:2020+A11:2020: Basic insulation at 800V <sub>RMS</sub> . CSA 61010-1-12+A1 and IEC 61010-1 3rd Ed.: Basic insulation at 600V <sub>RMS</sub> from mains, 800V <sub>RMS</sub> from secondary circuit	(Pending)

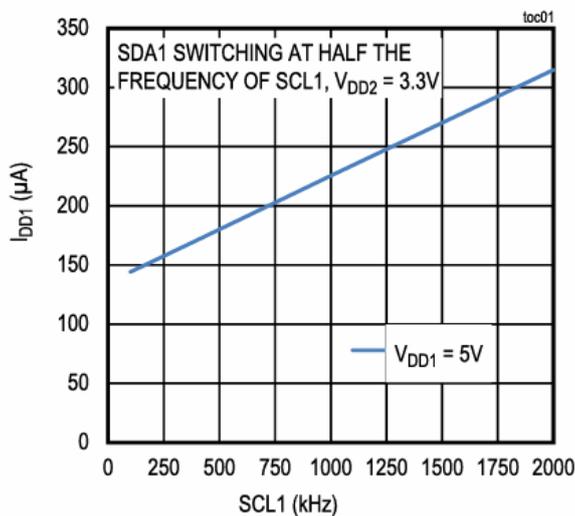
VDE	IEC 60747-17 (Note 4): Reinforced insulation, maximum transient isolation voltage 7070V <sub>PK</sub> , maximum repetitive peak isolation voltage 1200V <sub>PK</sub> .	(Pending)
CQC	GB 4943.1-2022: Basic insulation at 800V <sub>RMS</sub> (1131V <sub>PEAK</sub> ) maximum working voltage, tropical climate, altitude < 5000m	(Pending)
TUV Sud	IEC 62368-1:2018 Ed. 3 and EN62368-1:2020+A11:2020: Basic insulation at 800V <sub>RMS</sub>	(Pending)

- Note 1 :** UL 1577に従い、個々のADuM1254AWA+に6000V<sub>RMS</sub>以上の絶縁テスト電圧を1秒間加える耐電圧テストを実施しています（電流リーク検出限界= 5μA）。
- Note 2 :** 動作電圧は汚染度2、材料グループIIIについて見積もられた値です。ADuM1254AWA+のケース材料は、CSAにより材料グループIとして評価されています。
- Note 3 :** 沿面距離とクリアランス距離は、上記で仕様規定されているものを除き、汚染度2および過電圧カテゴリIIで、標高2000m未満、材料グループIIIとして評価されています。
- Note 4 :** IEC 60747-17に従い、個々のADuM1254Iに2250V peak以上の絶縁テスト電圧を1秒間加える耐電圧テストを実施しています（部分放電検出限界= 5pC）。このカブラは、安全定格範囲内においてのみ「安全な電気絶縁」に適しています。安全定格の遵守は必ず、適切な保護回路を用いて確保する必要があります。

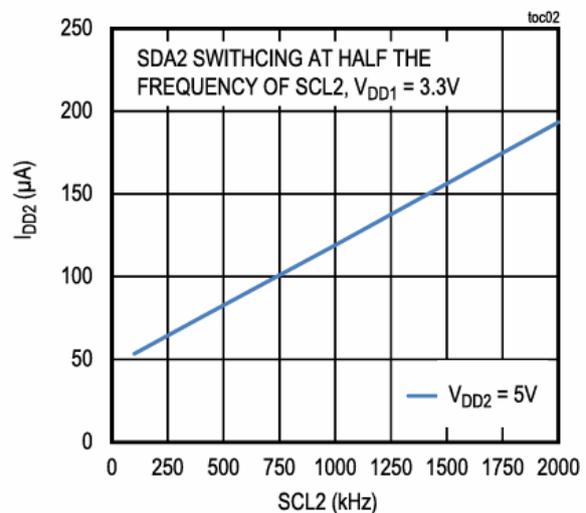
## 代表的な動作特性

(特に指定のない限り、代表値は、V<sub>DD1</sub> = V<sub>DD2</sub> = 3.3V、GND1 = GND2、T<sub>A</sub> = +25°Cでの値です。C<sub>L</sub> = 20pF、R<sub>PULLUP</sub> = 1kΩ、および1nF、100nF、1μFのデカップリング・コンデンサがV<sub>DD1</sub>とV<sub>DD2</sub>に接続されています。すべてのテストは、ADuM1252SEVKIT#を使用して実施されています。)

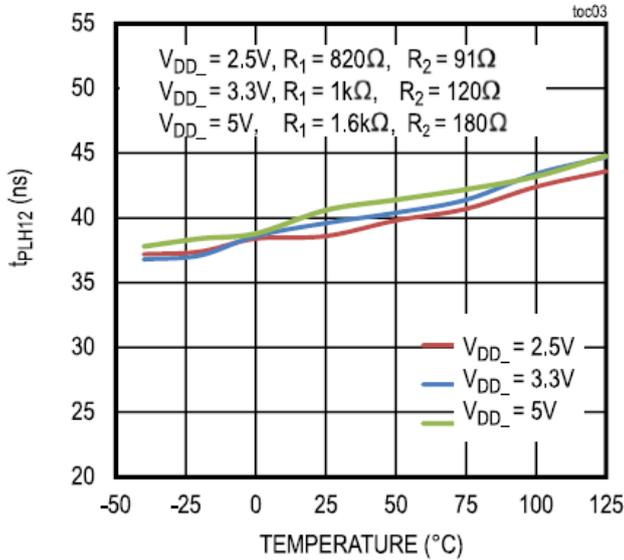
**SIDE 1 SUPPLY CURRENT  
vs. DATA RATE**



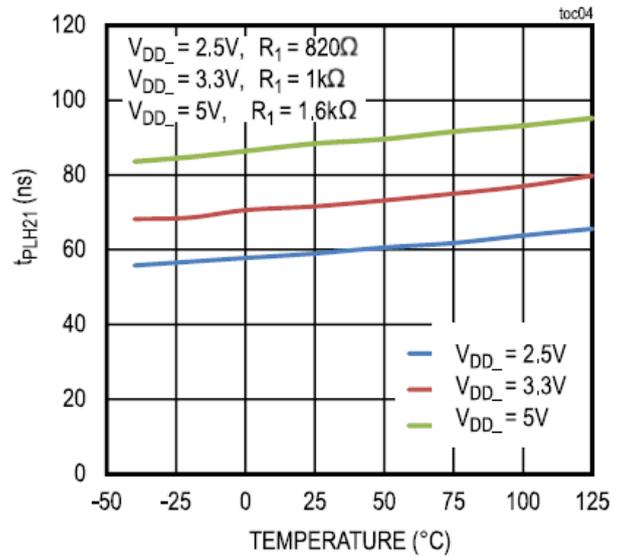
**SIDE 2 SUPPLY CURRENT  
vs. DATA RATE**



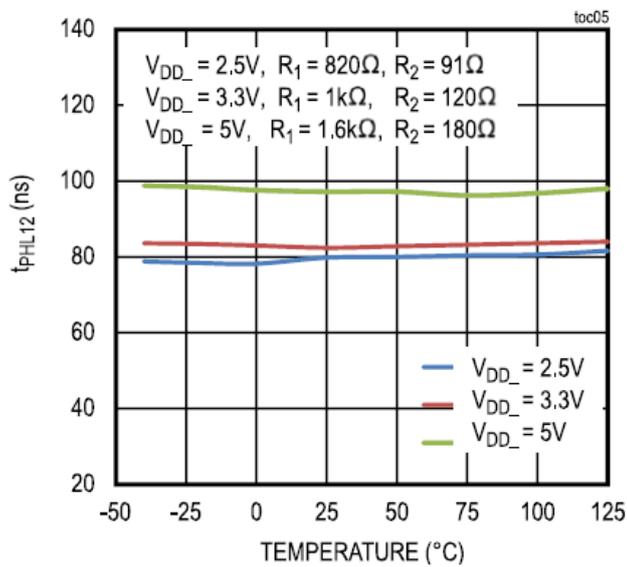
PROPAGATION DELAY  $t_{PLH12}$   
vs. TEMPERATURE



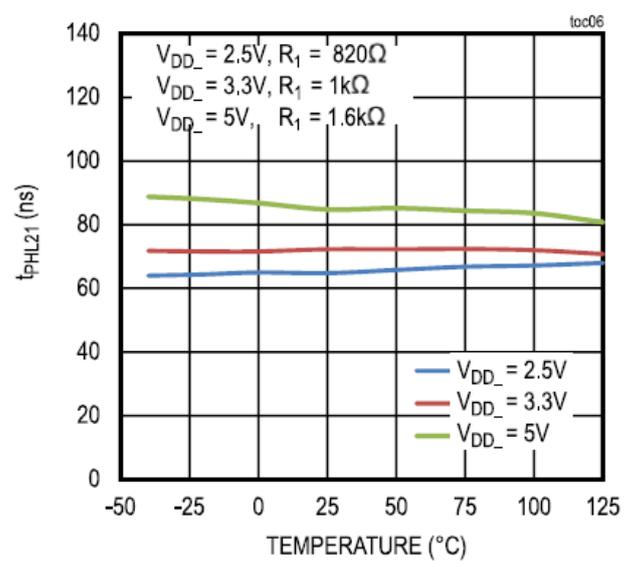
PROPAGATION DELAY  $t_{PLH21}$   
vs. TEMPERATURE



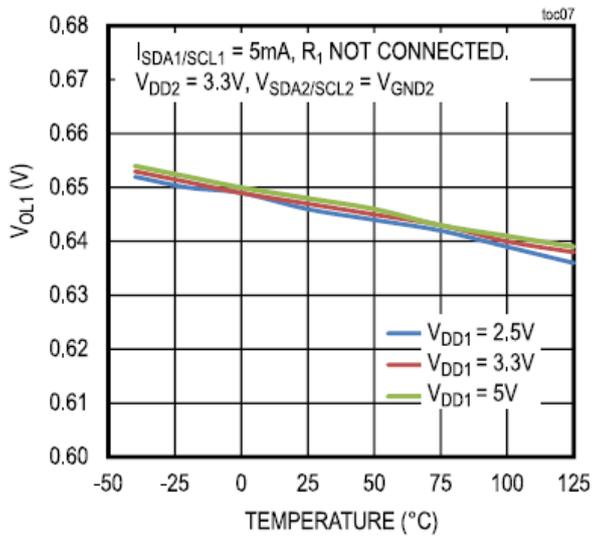
PROPAGATION DELAY  $t_{PHL12}$   
vs. TEMPERATURE



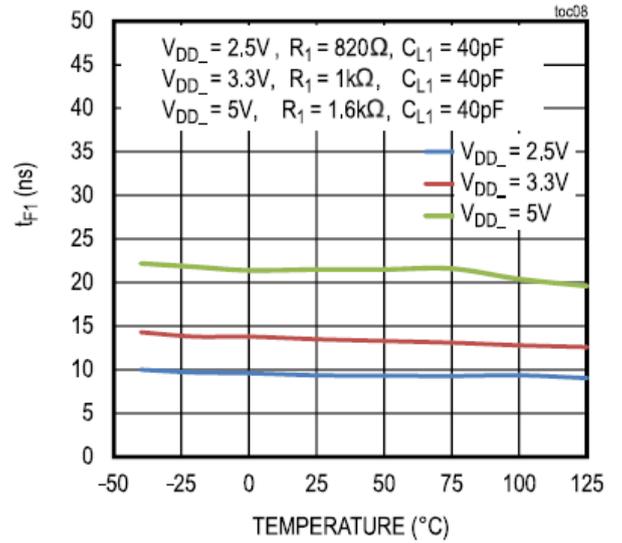
PROPAGATION DELAY  $t_{PHL21}$   
vs. TEMPERATURE



**SIDE 1 OUTPUT LOW VOLTAGE  
vs. TEMPERATURE**

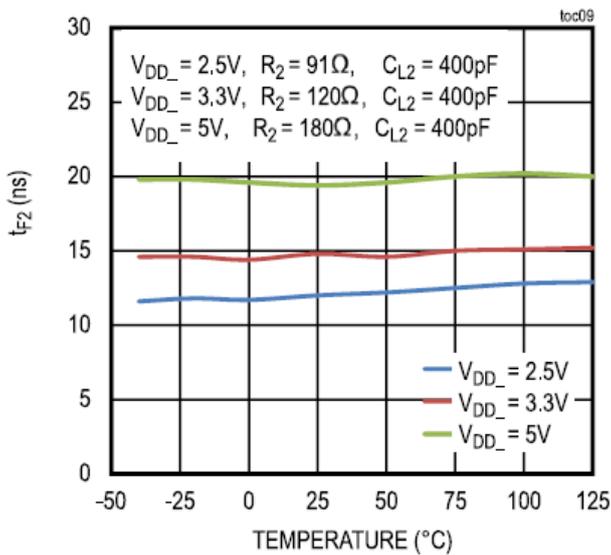


**SIDE 1 OUTPUT FALL TIME  
vs. TEMPERATURE**



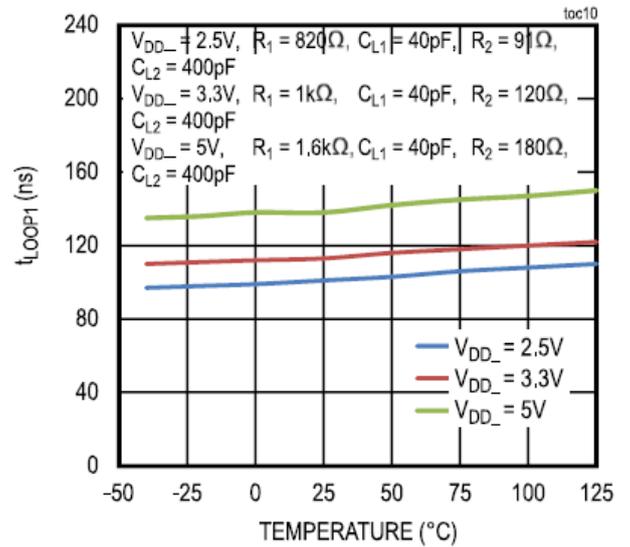
$t_{F1}$  MEASURED FROM  $0.7V_{DD1}$  TO  $0.3V_{DD1}$

**SIDE 2 OUTPUT FALL TIME  
vs. TEMPERATURE**

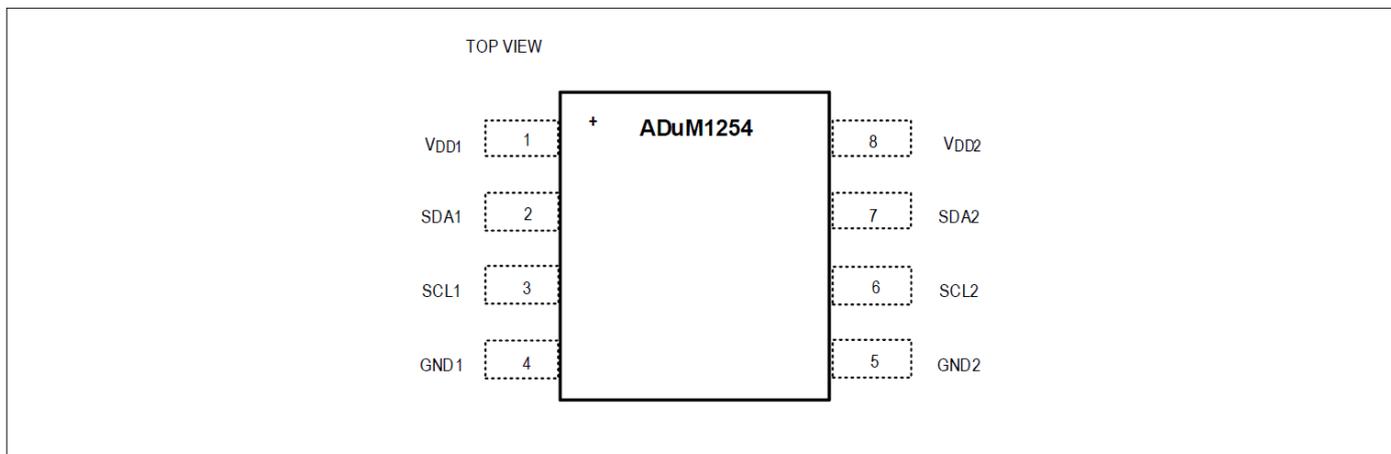


$t_{F2}$  MEASURED FROM  $0.7V_{DD2}$  TO  $0.3V_{DD2}$

**$t_{LOOP1}$  vs. TEMPERATURE**



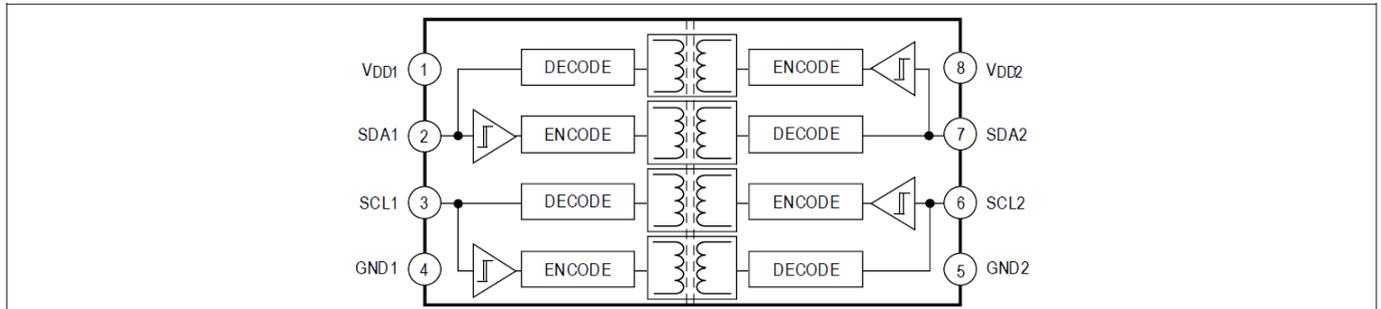
## ピン配置



## 端子説明

ピン	名称	機能
1	V <sub>DD1</sub>	サイド1の電源電圧。V <sub>DD1</sub> は、1nFと0.1μFのセラミック・コンデンサをピンのできるだけ近くに接続してバイパスします。
2	SDA1	サイド1のシリアル・データ入出力。SDA1はオープンドレイン出力で、SDA2への変換、およびSDA2からの変換が行われます。
3	SCL1	サイド1のシリアル・クロック入出力。SCL1はオープンドレイン出力で、SCL2への変換、およびSCL2からの変換が行われます。
4	GND1	サイド1のグラウンド・リファレンス。
5	GND2	サイド2のグラウンド・リファレンス。
6	SCL2	サイド2のシリアル・クロック入出力。SCL2はオープンドレイン出力で、SCL1への変換、およびSCL1からの変換が行われます。
7	SDA2	サイド2のシリアル・データ入出力。SDA2はオープンドレイン出力で、SDA1への変換、およびSDA1からの変換が行われます。
8	V <sub>DD2</sub>	サイド2の電源電圧。V <sub>DD2</sub> は、1nFと0.1μFのセラミック・コンデンサをピンのできるだけ近くに接続してバイパスします。

## 機能図



## 詳細

ADuM1254は、アナログ・デバイセズ独自のプロセス技術を使用した2チャンネルのI<sup>2</sup>Cアイソレータです。このデバイスは、電源ドメインの異なる回路間でデジタル信号を転送し、最大+125°Cの周囲温度で動作します。

このデバイスは、同じライン上で双方向にデータを伝送する必要があるI<sup>2</sup>C等のアプリケーション向けに、2つの双方向オープンドレイン・チャンネルを備えています。双方向のクロック・チャンネルにより、絶縁バリアの両サイドに複数のI<sup>2</sup>Cコントローラを配置したアプリケーションや、絶縁バリアやコントローラに対する位置に関係なく、I<sup>2</sup>Cターゲット・デバイスによるクロック・ストレッチングを行うアプリケーションが可能です。

このデバイスは、アイソレータの両側に2.25V~5.5Vの電源を個別に備えています。最大2MHzのSCL周波数で動作し、幅広い温度範囲と高い絶縁電圧を備えているため、過酷な工業環境下での使用に最適です。

## デジタル・アイソレーション

ADuM1254は、2つのグラウンド・ドメイン間で伝送されるデジタル信号に対する、強化されたガルバニック絶縁機能を備えています。

8ピン・ナローSOICパッケージ (21-0041) で提供されるADuM1254は、最大3kV<sub>RMS</sub>の電圧差に最大60秒間耐えることができます。また、最大630V<sub>PEAK</sub>の連続絶縁電圧に耐えることができます。

8ピン・ワイドSOICパッケージ (21-100415) で提供されるADuM1254は、最大5kV<sub>RMS</sub>の電圧差に最大60秒間耐えることができます。また、最大1200V<sub>PEAK</sub>の連続絶縁電圧に耐えることができます。

## 双方向チャンネル

ADuM1254は、オープン・ドレイン出力を持つ2つの双方向チャンネルを備えています。

双方向チャンネルに方向制御入力は不要です。一方の側がロジックローになると、これに対応した反対側のピンがローになると共に、サイド1の出力ロジックロー電圧 (V<sub>OL1</sub>) と入力ロジックロー閾値 (V<sub>IL1</sub>) の組み合わせによってデバイス内でのデータ・ラッチを防止します。サイド1出力は、V<sub>OL1</sub>を約0.64Vに安定化する特殊なバッファを使用し、V<sub>IL1</sub>がV<sub>OL1</sub>より50mV以上低くなるように維持します。この電圧差によって、サイド1の出力ロジックローが入力ローとして受け取られてサイド2に伝送されるのを防ぎ、これによりラッチ動作を防止します。SDA2とSCL2は従来型の出力となっており、ロジックロー出力電圧の安定化は行いません。

このような特別な特性を持っているため、異なるADuM1254デバイス間でサイド1のSDA/SCLピン同士を互いに接続することはできません。また、同様のバッファや立ち上がり時間アクセラレータを持つデバイスのピンについても、この制約が当てはまります。サイド2のピンには、この制約はありません。そのため、ADuM1254のサイド2のピンは、ピン同士を互いに接続することも、他の双方向バッファやレベル変換器のピンと接続することもできます。ADuM1254のサイド1のピンと接続することも可能です。

ADuM1254の出力はすべてオープンドレインで、ロジック・ハイ出力電圧を生成するために各電源との間にプルアップ抵抗が必要です。出力ロー電圧は、最大50mA (サイド2) および最大5mA (サイド1) のシンク電流で確保されます ([電気的特性](#)を参照)。

ADuM1254の双方向SCLチャンネルは、I<sup>2</sup>Cのクロック・ストレッチングをサポートしています。

## スタートアップおよび低電圧ロックアウト

V<sub>DD1</sub>電源およびV<sub>DD2</sub>電源は、どちらも内部で低電圧状態をモニタされています。低電圧状態は、電源投入時、電源切断時、または電源電圧の低下により通常動作時に発生することがあります。どちらかの電源で低電圧状態が検出されると、[表1](#)に示すように、入力の状態に関わらず全ての出力がデフォルト状態になります。

表1. 低電圧状態における出力の挙動

V <sub>DD1</sub>	V <sub>DD2</sub>	INPUT	V <sub>OUT1</sub>	V <sub>OUT2</sub>
Powered	Powered	High	High-Z	High-Z
Powered	Powered	Low	Low	Low
Undervoltage	Powered	Don't care	High-Z	High-Z
Powered	Undervoltage	Don't care	High-Z	High-Z

### レベル・シフト

V<sub>DD1</sub>とV<sub>DD2</sub>の両方が広い電源電圧範囲を備えているため、ADuM1254はアイソレーションだけでなくレベル変換にも使用できます。V<sub>DD1</sub>とV<sub>DD2</sub>は、2.25V~5.5Vの範囲で電圧を個別に設定できます。電源電圧は、アイソレータの対応する側のロジック・レベルを設定します。

### ホットスワップ

ADuM1254のSDA2/SCL2には、特殊なプリチャージ回路が内蔵されており、電源が加わっていないとき、あるいは電源が起動中のときにI<sup>2</sup>Cバス・ラインに負荷がかからないようにします。電源電圧がUVLO閾値より低い場合、ADuM1254のバス・ラインは、アクティブなI<sup>2</sup>Cバスの中断や破損を生じさせないように、バスに負荷をかけません。スタガード・コネクタを使用してアイソレータを通電状態のバックプレーンに接続した場合、電源とグラウンドが最初に接続され、次にバス・ラインが接続されます。この場合、SDA2ラインとSCL2ラインにV<sub>DD2</sub>/3までのプリチャージを行うことでデバイスの寄生容量を充電するために必要となる電流を最小限に抑えます。デバイスが完全に起動すると、デバイスのI/Oピンはアクティブになります。ただし、サイド1とサイド2は、サイド2のバスがI<sup>2</sup>Cストップ条件を検出するか、バスが125μsの間アイドル状態になってからしか接続されません。図7を参照してください。

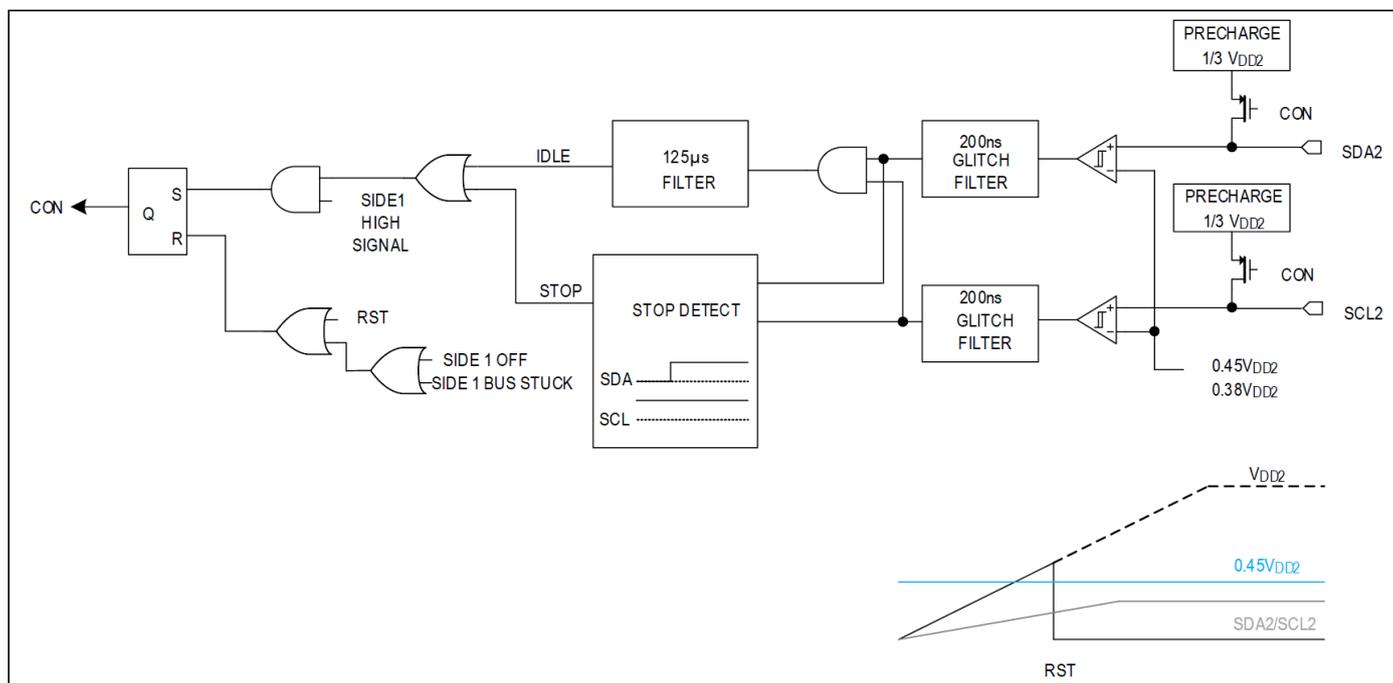


図 7. バス接続のロジック

## バス接続

ADuM1254は、両側のバスがアイドル状態の場合、または、サイド1がハイのときにサイド2でI<sup>2</sup>Cストップ条件が検出された場合にサイド1とサイド2のバスを接続します。サイド1でスタック・バス条件が検出された場合、ADuM1254は2つのバスを切断し、外部システムから回復を試行できるようにします。

## アプリケーション情報

### 電源シーケンス

ADuM1254には、特別な電源シーケンスは不要です。ロジック・レベルは、V<sub>DD1</sub>とV<sub>DD2</sub>によってそれぞれのサイドで個別に設定されます。各電源は、他の電源のレベルまたは印加の有無に関わらず、指定された範囲全体にわたって印加できます。

### 電源のデカップリング

特に、大きなコモン・モード・トランジェントの発生が予想されるアプリケーションでは、リップル、およびデータ・エラーが混入する可能性を低減するため、100nFと1nFの低ESRセラミック・コンデンサを使用してV<sub>DD1</sub>をGND1に、V<sub>DD2</sub>をGND2に、それぞれバイパスします。バイパス・コンデンサはできる限り電源入力ピンの近くに配置します。

### 熱に関する考慮事項

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

熱パラメータの値は、[パッケージ情報](#)のセクションで仕様規定されています。記載されているすべてのテスト条件が同様の場合、 $\theta_{JA}$ と $\theta_{JB}$ を主に使用して、本デバイスのパッケージの熱性能を他の半導体パッケージと比較できます。ボード温度の正確な熱測定結果が得られる場合は、 $\Psi_{JB}$ または $\Psi_{JT}$ を使用してジャンクション温度を推定することができます。温度は、システム環境で動作しているテスト対象デバイス (DUT) の近くで測定するか、パッケージの上面を直接測定する必要があります。

$\theta_{JA}$ は、システム環境におけるジャンクション温度を計算するための一次近似として使用できます。消費電力 ( $P_D$ )、ジャンクション-周囲環境間熱抵抗 ( $\theta_{JA}$ )、周囲温度 ( $T_A$ ) を使用して、次式よりジャンクション温度 ( $T_J$ ) を求めることができます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

ジャンクション温度を更に正確に見積もるには $\Psi_{JT}$ を使用します。デバイスのパッケージ温度 ( $T_{PACKAGE}$ ) は、IRカメラか熱電対を使用して、パッケージの中央で測定してください。その後、次式を使用して算出します。

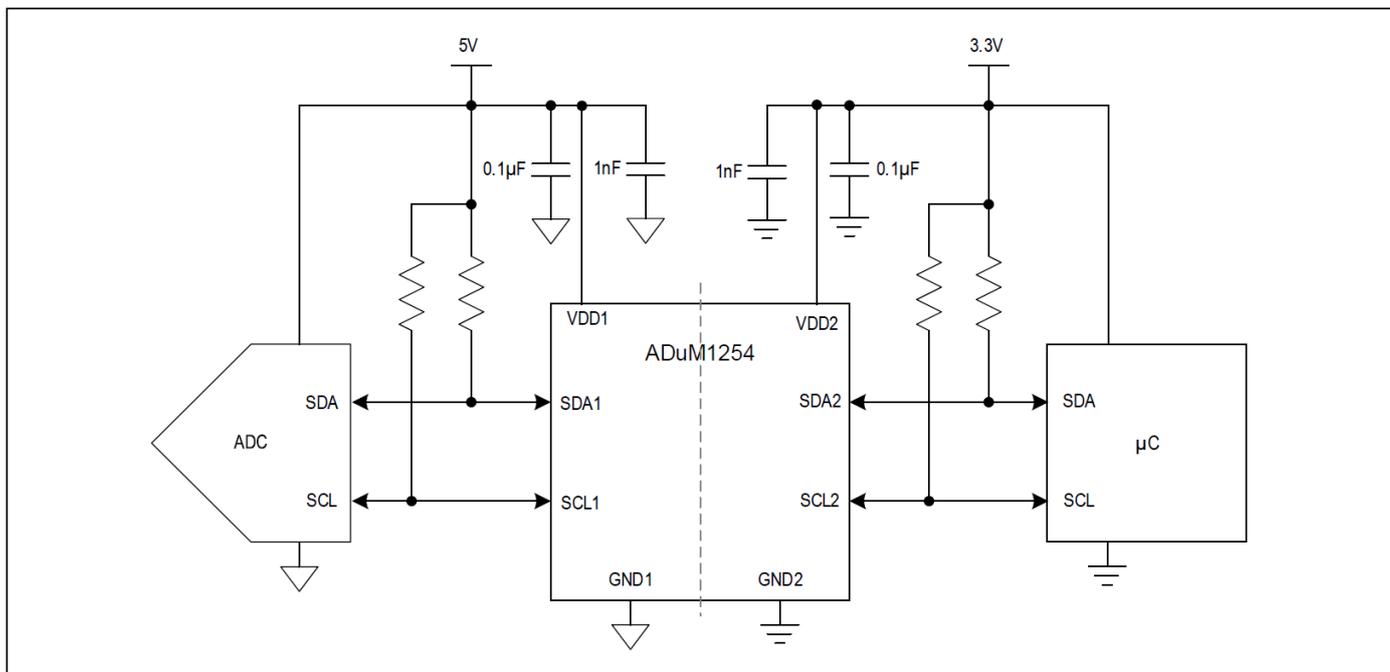
$$T_J = T_{PACKAGE} + \Psi_{JT} \times P_D$$

### レイアウトに関する考慮事項

PCB設計者は、設計から最高のパフォーマンスを得るために、いくつかの重要な推奨事項に従う必要があります。

- 入出力パターンはできるだけ短くします。信号バスは低インダクタンスを保ち、ビアの使用を避けます。
- 強固なグラウンド・プレーンを高速信号層の下に配置します。
- ADuM1254の下には、グラウンド・プレーンと信号プレーンを設けないようにします。サイド1とサイド2の間でガルバニック接続または金属接続を行うと、アイソレーションが破壊されます。

## 標準アプリケーション回路



## オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE
<b>ADuM1254ASA+</b>	-40°C to +125°C	8 Narrow SOIC
ADuM1254ASA+T	-40°C to +125°C	8 Narrow SOIC
<b>ADuM1254AWA+</b>	-40°C to +125°C	8 Wide SOIC
ADuM1254AWA+T	-40°C to +125°C	8 Wide SOIC

+は鉛 (Pb) フリー／RoHS準拠のパッケージであることを示します。

T = テープ&リール

## チップ情報

プロセス : BiCMOS

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/23	初版発行	-
1	5/24	ワイドSOICパッケージを追加、ナローSOICの安全限界電流のVDDを5.6Vから5.5Vに変更、ESD特性を電气的特性の表に移動、どのパラメータが設計によって確保されているかを明確化、デバイス表面のアスタリスク(*) マークがDIN IEC60747-17認定品であることを示す、という記述を削除、パッケージの認証の表の注4に安全な電気絶縁に関する記述を追加。	1-13, 17, 20