

## 広い $V_{DD}$ 範囲、アイドル・バスの ホットスワップ、および低 $V_{OL}$ を備えた 超低消費電力、双方向 I<sup>2</sup>C アイソレータ

### 概要

ADuM1252 は、同じライン上で双方向にデータを伝送する必要のある I<sup>2</sup>C 等のアプリケーションに、双方向、オープン・ドレインのチャンネルを 2 つ提供します。ラッチアップ動作を防ぐため、サイド 1 の出力はロジック・ロー電圧を 0.64V に安定化する専用バッファで構成されており、入力ロジック・ローの閾値は、出力ロジック・ロー電圧より 50mV 以上低くなっています。サイド 2 は従来型のバッファで構成されており、ロジック・ロー出力電圧の安定化は行いません。

ADuM1252 は、1.71V~5.5V の電源をアイソレータのサイド 1 とサイド 2 の両方で個別に備えています。このデバイスは最大 2MHz で動作します。サイドあたり 21 $\mu$ A の超低スタンバイ電流を実現しているため、バッテリー駆動のシステムに最適です。

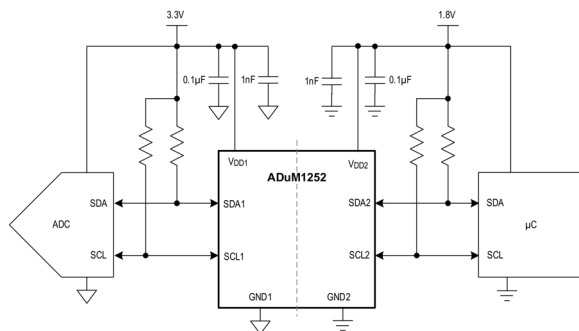
ADuM1252 は、サイド 1 とサイド 2 を接続する前に、最初にバス・ピンをプリチャージし、次に、バス状態をモニタリングして、アイドル・バスとなっているか、I<sup>2</sup>C ストップ条件を検出していることを確認することによって、サイド 2 のホットプラグ接続に対して障害のないバス接続を実現します。

ADuM1252 は、8 ピンのナロー-SOIC パッケージを採用し、-40°C~+125°C の周囲温度での動作が確保されています。

### 主なアプリケーション

- 絶縁型 I<sup>2</sup>C/SMBus インターフェイス
- バッテリー管理システム
- パワー・オーバー・イーサネット (PoE)
- モータ制御システム

### 簡略アプリケーション回路図



### 特長と利点

- 低  $V_{OL(MAX)}$  による優れた I<sup>2</sup>C デバイス互換性
  - サイド 1 : 0.69V
  - サイド 2 : 0.4V
- 超低消費電力により長いバッテリー寿命を実現
  - チャンネルあたり 142 $\mu$ A (400kHz 時の代表値)
- より多くのロジック電圧レベル、およびレベル・シフトを可能にする広範な個別  $V_{DD1}/V_{DD2}$  電源
  - どちらのサイドも、1.71V~5.5V
- 強化されたホットスワップ機能を備えたサイド 2 I/O
  - バス・アイドル、またはストップ状態で最初のサイド 2 接続を行うことでデータの破損を防止
- 最大 2MHz の SCL による双方向 I<sup>2</sup>C データ転送
- 先進的なバス・トポロジによる双方向 SCL
  - クロック・ストレッチングと絶縁バリアをまたぐ複数のコントローラに対応可能
- 強力な電流シンクにより  $R_{PULL-UP}$  値を低くすることでバスを高速化
  - サイド 1 : 5mA
  - サイド 2 : 50mA
- デジタル信号の堅牢なガルバニック絶縁
  - 連続耐圧 ( $V_{IORM}$ )
    - 8 ピン、ナロー-SOIC : 445V<sub>RMS</sub>
  - $\pm 10$ kV のサージ耐圧 (IEC 61000-4-5 準拠)
  - 沿面距離とクリアランス
    - 8 ピン、ナロー-SOIC : 4mm
- 安全性と規制に関する認定 (申請中)
  - IEC60747-17 (申請中)
    - $V_{IORM}$  が強化されたナロー-SOIC : 630V<sub>PEAK</sub>
  - UL 1577 (申請中)
    - 8 ピン、ナロー-SOIC : 3000V<sub>RMS</sub> (1 分間)
  - IEC/EN/CSA 62368-1 (申請中)
  - IEC/EN/CSA 61010-1 (申請中)
  - CAN/CSA-C22.2 No. 14-18 (申請中)

オーダー情報はデータシート末尾に記載されています。

### 絶対最大定格

$V_{DD1}$ to GND1 .....	-0.3V~+6.0V
$V_{DD2}$ to GND2 .....	-0.3V~+6.0V
SDA1, SCL1 to GND1 .....	-0.3V~+6.0V
SDA2, SCL2 to GND2 .....	-0.3V~+6.0V
短絡連続電流	
SDA1, SCL1 to $V_{DD1}$ .....	20mA
SDA2, SCL2 to $V_{DD2}$ .....	100mA

### 連続消費電力

8 NSOIC (+70°C 以上では 5.49mW/°C で ディレーティング) .....	+440mW
温度	
動作温度範囲 .....	-40°C~+125°C
ジャンクション温度 .....	+150°C
保存温度 .....	-65°C~+150°C
リード温度 (ハンダ付け処理、10 秒) .....	300°C
ハンダ処理温度 (リフロー) .....	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。これらの規定はストレス定格のみを定めたものであり、この仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### パッケージ情報

#### 8 ピン、ナロー-SOIC

Outline Number	21-0041
Land Pattern Number	90-0096
Junction-to-Ambient Thermal Resistance ( $\theta_{JA}$ )	182°C/W
Junction-to-Case Top Thermal Resistance ( $\theta_{JC(TOP)}$ )	50°C/W
Junction-to-Board Thermal Resistance ( $\theta_{JB}$ )	63.6°C/W
Junction-to-Case Top Thermal Characterization Parameter ( $\psi_{JT}$ )	8°C/W
Junction-to-Board Thermal Characterization Parameter ( $\psi_{JB}$ )	60°C/W
Moisture Sensitivity Level	3

最新のパッケージ外形図とランド・パターン (フットプリント) に関しては、[www.maximintegrated.com/packages](http://www.maximintegrated.com/packages) で確認してください。パッケージ・コードの「+」、「#」、「-」は RoHS 対応状況のみを示します。パッケージ図面は異なる末尾記号が示されている場合がありますが、図面は RoHS 状況に関わらず該当のパッケージについて図示しています。

パッケージの熱抵抗は、JEDEC 規格 JESD51-7 に記載の方法で 4 層基板を使用して求めたものです。パッケージの熱に対する考慮事項の詳細については、[www.maxim-ic.com/thermal-tutorial](http://www.maxim-ic.com/thermal-tutorial) を参照してください。

### 電気的特性

(特に指定のない限り、 $V_{DD1} - V_{GND1} = +1.71V \sim +5.5V$ 、 $V_{DD2} - V_{GND2} = +1.71V \sim +5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。  
特に指定のない限り、代表値は  $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$  での値です。(Note 1 および Note 2) )

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SUPPLY</b>						
Supply Voltage	$V_{DD1}$	Relative to GND1	1.71		5.5	V
	$V_{DD2}$	Relative to GND2	1.71		5.5	
Undervoltage-Lockout Threshold Side_	$V_{UVLO\_}$	$V_{DD\_}$ rising	1.48	1.6	1.65	V
Undervoltage-Lockout Threshold Hysteresis	$V_{UVLO\_HYST}$			30		mV
<b>SUPPLY CURRENT (Note 3)</b>						
Supply Current–Side 1	$I_{DD1}$	$V_{DD1} = V_{DD2} = 1.8V - 5V$		20	34	$\mu A$

(特に指定のない限り、 $V_{DD1} - V_{GND1} = +1.71V \sim +5.5V$ 、 $V_{DD2} - V_{GND2} = +1.71V \sim +5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。  
特に指定のない限り、代表値は  $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$  での値です。(Note 1 および Note 2) )

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			SDA1/SCL1 = 400kHz square wave		200	250	
			SDA1/SCL1 = 1MHz square wave		270	340	
Supply Current—Side 2	$I_{DD2}$	$V_{DD1} = V_{DD2} =$ 1.8V - 5V	SDA2/SCL2 = $V_{DD2}$		21	35	$\mu A$
			SDA2/SCL2 = GND2		49	70	
			SDA2/SCL2 = 400kHz square wave		84	110	
			SDA2/SCL2 = 1MHz square wave		146	180	
<b>LOGIC INPUTS AND OUTPUTS</b>							
Input High Voltage, SDA1/SCL1	$V_{IH1}$	Relative to GND1		0.52	0.56	0.62	V
Input Low Voltage, SDA1/SCL1	$V_{IL1}$	Relative to GND1		0.47	0.51	0.56	V
Input Hysteresis, Side 1	$V_{HYS1}$	$V_{IH1} - V_{IL1}$			50		mV
Output Low Voltage, SDA1/SCL1	$V_{OL1}$	Relative to GND1	$I = 0.1mA - 5mA$ sink	0.59	0.64	0.69	V
Low-level Output Voltage to High-Level Input Voltage Threshold Difference, Side 1	$\Delta V_{O/IT}$	SDA1/SCL1, $V_{OL} -$ $V_{IH}$	(Note 4)	45			mV
Input High Voltage, Side 2	$V_{IH2}$	SDA2/SCL2 to GND2		$0.52 \times$ $V_{DD2}$	$0.45 \times$ $V_{DD2}$		V
Input Low Voltage, Side 2	$V_{IL2}$	SDA2/SCL2 to GND2			$0.38 \times$ $V_{DD2}$	$0.3 \times$ $V_{DD2}$	V
Input Hysteresis, Side 2	$V_{HYS2}$	$V_{IH2} - V_{IL2}$			$0.07 \times$ $V_{DD2}$		V
Output Low Voltage, Side 2	$V_{OL2}$	SDA2/SCL2 to GND2	$I = 50mA$ sink			0.4	V
Static Output Loading	$I_{SDA1/SCL1}$	Side 1		0.1		5	mA
	$I_{SDA2/SCL2}$	Side 2		0.1		50	
Leakage Current	$I_L$	Device unpowered	SDA1/SCL1 = 5.5V, $V_{DD1} = 0V$	-10		+10	$\mu A$
			SDA2/SCL2 = 5.5V, $V_{DD2} = 0V$	-10		+10	
		Device powered	SDA1 = SCL1 = $V_{DD1} = 5.5V$	-10		+10	
		Device powered and not in precharge	SDA2 = SCL2 = $V_{DD2} = 5.5V$	-10		+10	
Input Capacitance	$C_{IN}$	f = 1MHz			5		pF

### 動的特性

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 1.71V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 1.71V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。  
特に指定のない限り、代表値は  $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$  での値です。(Note 1、Note 2、および Note 5) )

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS	
Common-Mode Transient Immunity	CMTI	(Note 6)		200			kV/ $\mu$ s	
Maximum Data Rate	DR <sub>MAX</sub>			2			MHz	
Fall Time	t <sub>F1</sub>	SDA1/SCL1 = 0.7 x V <sub>DD1</sub> to 0.3 x V <sub>DD1</sub>	4.5V ≤ V <sub>DD1</sub> ≤ 5.5V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 1.6kΩ	8.8	20.3	36.1	ns	
			3.0V ≤ V <sub>DD1</sub> ≤ 3.6V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 1kΩ	6.1	13.7	24.1		
			2.25V ≤ V <sub>DD1</sub> ≤ 2.75V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 810Ω	4.6	10.4	18.5		
		SDA1/SCL1 = 0.7 x V <sub>DD1</sub> to 0.75V	1.71V ≤ V <sub>DD1</sub> ≤ 1.89V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 470Ω	2.4	4.7	11.5		
		SDA1/SCL1 = 0.9 x V <sub>DD1</sub> to 0.9V	4.5V ≤ V <sub>DD1</sub> ≤ 5.5V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 1.6kΩ	15.4	34.7	64.7		
			3.0V ≤ V <sub>DD1</sub> ≤ 3.6V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 1kΩ	9.1	19.7	35.9		
			2.25V ≤ V <sub>DD1</sub> ≤ 2.75V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 810Ω	6.0	12.2	23.3		
			1.71V ≤ V <sub>DD1</sub> ≤ 1.89V, C <sub>L1</sub> = 40pF, R <sub>1</sub> = 470Ω	3.8	6.5	11.1		
			SDA2/SCL2 = 0.7 x V <sub>DD2</sub> to 0.3 x V <sub>DD2</sub>	4.5V ≤ V <sub>DD2</sub> ≤ 5.5V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 180Ω	11.8	18.6		30.0
		3.0V ≤ V <sub>DD2</sub> ≤ 3.6V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 120Ω		9.0	13.8	21.0		
		2.25V ≤ V <sub>DD2</sub> ≤ 2.75V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 91Ω		7.6	11.6	17.0		
		1.71V ≤ V <sub>DD2</sub> ≤ 1.89V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 81Ω		6.5	9.5	13.4		
		SDA2/SCL2 = 0.9 x V <sub>DD2</sub> to 0.4V		4.5V ≤ V <sub>DD2</sub> ≤ 5.5V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 180Ω	25.7	41.0		63.0
				3.0V ≤ V <sub>DD2</sub> ≤ 3.6V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 120Ω	19.0	29.0		44.4
2.25V ≤ V <sub>DD2</sub> ≤ 2.75V, C <sub>L2</sub> = 400pF, R <sub>2</sub> = 91Ω	15.5			24.0	36.3			

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 1.71V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 1.71V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。  
特に指定のない限り、代表値は  $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^{\circ}C$  での値です。(Note 1、Note 2、および Note 5) )

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
			$1.71V \leq V_{DD2} \leq 1.89V$ , $C_{L2} = 400pF$ , $R_2 = 81\Omega$	12.4	18.0	26.1	
Propagation Delay	$t_{PLH12}$	SDA1/SCL1 = 0.66V to SDA2/SCL2 = 0.7 x $V_{DD2}$	$4.5V \leq V_{DD\_} \leq 5.5V$ , $C_{L1} = 20pF$ , $R_1 = 1.6k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 180\Omega$		37.6	50.0	ns
			$3.0V \leq V_{DD\_} \leq 3.6V$ , $C_{L1} = 20pF$ , $R_1 = 1k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 120\Omega$		35.9	48.0	
			$2.25V \leq V_{DD\_} \leq 2.75V$ , $C_{L1} = 20pF$ , $R_1 = 810\Omega$ , $C_{L2} = 20pF$ , $R_2 = 91\Omega$		35.2	47.0	
			$1.71V \leq V_{DD\_} \leq 1.89V$ , $C_{L1} = 20pF$ , $R_1 = 470\Omega$ , $C_{L2} = 20pF$ , $R_2 = 81\Omega$		36.5	51.6	
	$t_{PHL12}$	SDA1/SCL1 = 0.425V to SDA2/SCL2 = 0.3 x $V_{DD2}$	$4.5V \leq V_{DD\_} \leq 5.5V$ , $C_{L1} = 20pF$ , $R_1 = 1.6k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 180\Omega$		93.7	133.3	
			$3.0V \leq V_{DD1\_} \leq 3.6V$ , $C_{L1} = 20pF$ , $R_1 = 1k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 120\Omega$		84.2	116.4	
			$2.25V \leq V_{DD\_} \leq 2.75V$ , $C_{L1} = 10pF$ , $R_1 = 810\Omega$ , $C_{L2} = 20pF$ , $R_2 = 91\Omega$		78.8	107.3	
			$1.71V \leq V_{DD\_} \leq 1.89V$ , $C_{L1} = 20pF$ , $R_1 = 470\Omega$ , $C_{L2} = 20pF$ , $R_2 = 81\Omega$		75.6	100.1	
	$t_{PLH21}$	SDA2/SCL2 = 0.5 x $V_{DD2}$ to SDA1/SCL1 = 0.7 x $V_{DD1}$	$4.5V \leq V_{DD\_} \leq 5.5V$ , $C_{L1} = 20pF$ , $R_1 = 1.6k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 180\Omega$		86.7	95.8	
			$3.0V \leq V_{DD\_} \leq 3.6V$ , $C_{L1} = 20pF$ , $R_1 = 1k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 120\Omega$		67.3	76.3	
			$2.25V \leq V_{DD\_} \leq 2.75V$ , $C_{L1} = 20pF$ , $R_1 = 810\Omega$ , $C_{L2} = 20pF$ , $R_2 = 91\Omega$		61.0	70.1	
			$1.71V \leq V_{DD\_} \leq 1.89V$ , $C_{L1} = 20pF$ ,		41.3	53.0	

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 1.71V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 1.71V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。  
特に指定のない限り、代表値は  $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$  での値です。(Note 1、Note 2、および Note 5) )

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
	$t_{PHL21}$	$R_1 = 470\Omega$ , $C_{L2} = 20pF$ , $R_2 = 81\Omega$				
		$4.5V \leq V_{DD\_} \leq 5.5V$ , $C_{L1} = 20pF$ , $R_1 = 1.6k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 180\Omega$		82.6	128.4	
		$3.0V \leq V_{DD\_} \leq 3.6V$ , $C_{L1} = 20pF$ , $R_1 = 1k\Omega$ , $C_{L2} = 20pF$ , $R_2 = 120\Omega$		69.9	101.0	
		$2.25V \leq V_{DD\_} \leq 2.75V$ , $C_{L1} = 20pF$ , $R_1 = 810\Omega$ , $C_{L2} = 20pF$ , $R_2 = 91\Omega$		65.1	88.9	
		$SDA2/SCL2 = 0.3 \times V_{DD2}$ to $SDA1/SCL1 = 0.3 \times V_{DD1}$				
		$SDA2/SCL2 = 0.3 \times V_{DD2}$ to $SDA1/SCL1 = 0.75V$		59.3	79.7	
Pulse-Width Distortion	$PWD_{12}$	$ t_{PLH12} - t_{PHL12} $	$4.5V \leq V_{DD\_} \leq 5.5V$	56.1	94.2	ns
			$3.0V \leq V_{DD\_} \leq 3.6V$	48.3	79.0	
			$2.25V \leq V_{DD\_} \leq 2.75V$	43.6	70.6	
			$1.71V \leq V_{DD\_} \leq 1.89V$	39.1	59.8	
	$PWD_{21}$	$ t_{PLH21} - t_{PHL21} $	$4.5V \leq V_{DD\_} \leq 5.5V$	5.9	50.7	
			$3.0V \leq V_{DD\_} \leq 3.6V$	12.6	43.1	
			$2.25V \leq V_{DD\_} \leq 2.75V$	14.1	37.6	
			$1.71V \leq V_{DD\_} \leq 1.89V$	18.0	35.1	
Round-Trip Propagation Delay on Side 1	$t_{LOOP1}$	$SDA1/SCL1 = 0.425V$ to $SDA1/SCL1 = 0.3 \times V_{DD1}$	$4.5V \leq V_{DD\_} \leq 5.5V$ , $C_{L1} = 40pF$ , $R_1 = 1.6k\Omega$ , $C_{L2} = 400pF$ , $R_2 = 180\Omega$	142.2	163.2	ns
			$3.0V \leq V_{DD\_} \leq 3.6V$ , $C_{L1} = 40pF$ , $R_1 = 1k\Omega$ , $C_{L2} = 400pF$ , $R_2 = 120\Omega$	114.1	133.5	
			$2.25V \leq V_{DD\_} \leq 2.75V$ , $C_{L1} = 40pF$ , $R_1 = 810\Omega$ , $C_{L2} = 400pF$ , $R_2 = 91\Omega$	101.3	122.8	
			$1.71V \leq V_{DD\_} \leq 1.89V$ , $C_{L1} = 40pF$ , $R_1 = 470\Omega$ , $C_{L2} = 400pF$ , $R_2 = 81\Omega$	100.5	128.4	
Side 1 Time from UVLO to Active State	$t_{ACT}$	$V_{DD1}$ rising, $V_{DD2}$ powered up for more than $t_{HS\_EN}$ and $SDA\_ / SCL\_ high$		1.1	1.7	ms

(特に指定のない限り、 $V_{DD1} - V_{GND1} = 1.71V \sim 5.5V$ 、 $V_{DD2} - V_{GND2} = 1.71V \sim 5.5V$ 、 $C_L = 20pF$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 。  
特に指定のない限り、代表値は  $V_{DD1} - V_{GND1} = 3.3V$ 、 $V_{DD2} - V_{GND2} = 3.3V$ 、 $T_A = +25^\circ C$  での値です。(Note 1、Note 2、および Note 5) )

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Power Loss to Output High-Z	$t_{Hi-Z}$	Opposite $V_{DD}$ falling below $V_{UVLO}$				0.4	ms
<b>HOT SWAP/BUS STUCK TIMER, SIDE 2</b>							
Precharge Voltage	$V_{PRECHG}$	SDA2/SCL2 open, $V_{DD2} > 0.6V$	At power-up		$0.3 \times V_{DD2}$		V
Precharge Thevenin Equivalent Impedance	$R_{PRECHG}$	SDA2/SCL2 open, $V_{DD2} > 0.6V$	At power-up		140		k $\Omega$
Precharge Glitch Filter on SDA2/SCL2	$t_{PRE\_GLITCH}$	$V_{DD2}$ rising above $V_{UVLO}$	At power-up		220		ns
Hot-Swap Detection Enable Time	$t_{HS\_EN}$	At power-up			102		ms
SDA2/SCL2 Idle Detection Time	$t_{IDLE}$	After $t_{HS\_EN}$	At power-up		75		$\mu s$
Bus Stuck Timeout	$t_{STUCK}$	Either SDA1 or SCL1 low			102		ms
<b>ESD Protection</b>							
ESD		Human Body Model	$V_{DD1}$ to same side pins, $V_{DD2}$ to same side pins		$\pm 8$		kV
			SDA1/SCL1 to GND1		$\pm 17$		
			SDA2/SCL2 to GND2		$\pm 17$		
		IEC 61000-4-2 contact discharge	SDA1/SCL1 to GND1 unpowered		$\pm 8$		
			SDA2/SCL2 to GND2 unpowered		$\pm 8$		
		IEC 61000-4-2 contact discharge (GND2 to GND1)	8 Narrow SOIC		$\pm 5$		

Note 1 : すべてのデバイスは  $T_A = +25^\circ C$  で 100% 出荷テスト済みです。温度範囲全体に対する仕様は設計により確保されています。

Note 2 : 本デバイスに流れ込む電流はすべて正です。本デバイスから流れ出る電流はすべて負です。特に指定のない限り、すべての電圧は、それぞれのグラウンド (GND1 または GND2) を基準としています。

Note 3 : 電源電流には、SDA/SCL ピンに流入する電流は含まれません。電流値は、ホットスワップ接続成功後の値です。  
 $R_1 = R_2 = 1k\Omega$ 、 $C_{L1} = C_{L2} = 10pF$  です。

Note 4 : この値は、出力ロジック・ロー・レベルと入力ロジック閾値の差の最小値です。これによって、本デバイスに接続したバスのラッチアップが確実に生じないようにします。

Note 5 : 出荷テストの対象外です。性能は設計により確保されています。

Note 6 : CMTI は、動作を維持しながら持続できる最大の共通モード電圧スルー・レートです。CMTI は、共通モード電圧の立上がりエッジと立下がりエッジの両方に適用されます。試験は、トランジェント発生器を GND1 と GND2 の間に接続して行っています ( $V_{CM} = 1000V$ ) 。

## タイミング図

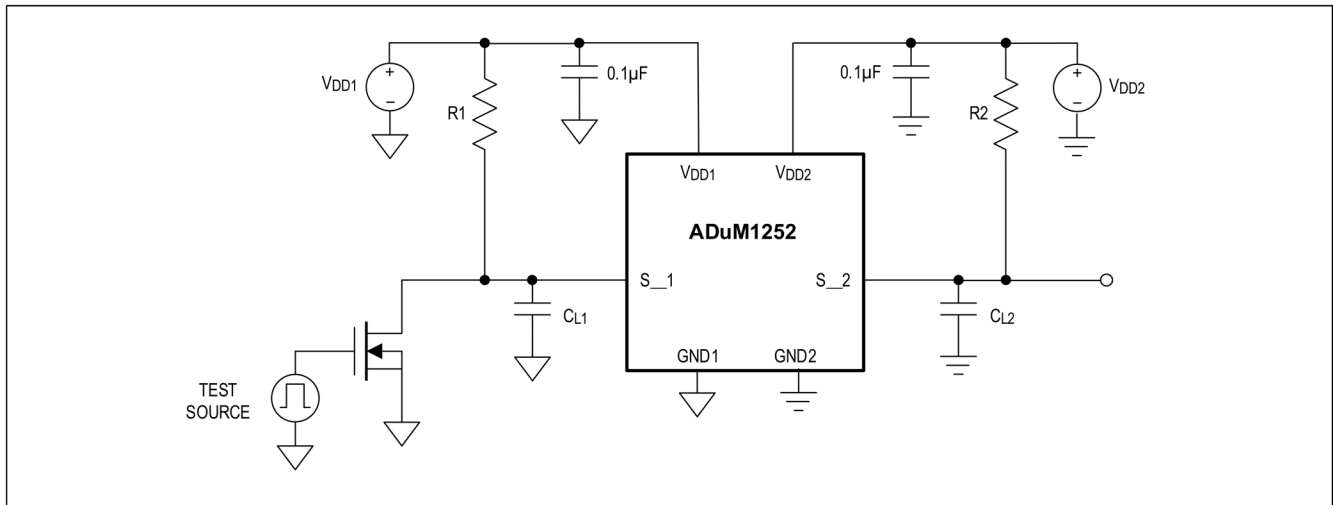


図 1. タイミング・テストの図

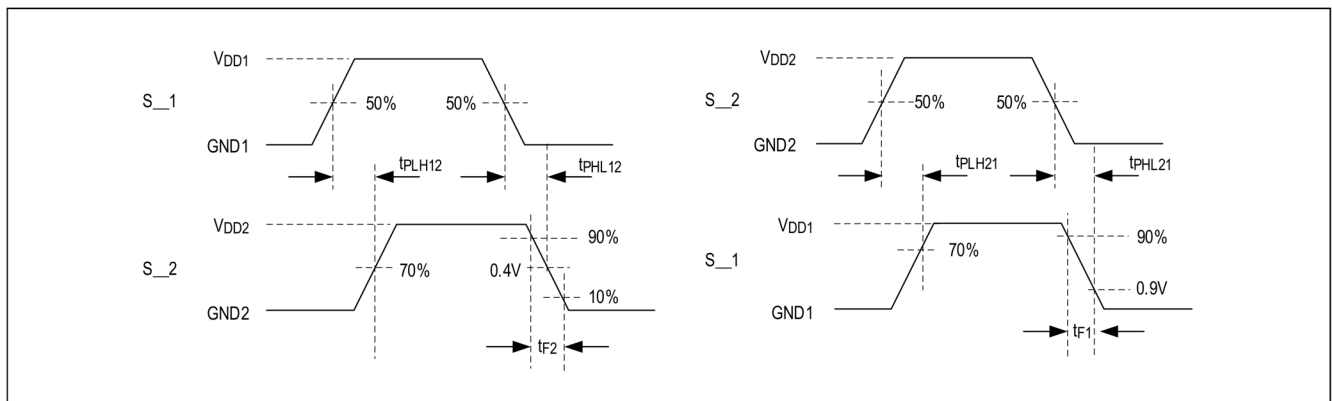


図 2. タイミング・パラメータの定義

## 安全限界

IC が損傷すると、グラウンドまたは電源への経路が低抵抗になる可能性があります。また、電流制限がないと、ADuM1252 は過大な電力を消費する可能性があります。過大な消費電力は、ダイに損傷を与え、その結果として絶縁バリアに損傷を与え、下流側で問題を引き起こす可能性があります。ADuM1252 の安全限界は、パッケージ固有の絶縁特性の表に記載されています。

本デバイスの最大安全温度 ( $T_s$ ) は、絶対最大定格のセクションで仕様規定されている最大ジャンクション温度の +150°C です。ジャンクション温度の求め方については、熱に関する考慮事項のセクションを参照してください。

図 3 と図 4 に、8 ピン、ナロー-SOIC (21-0041) パッケージを JEDEC 2S2P テスト・ボードに実装したときの、デバイスの電力と電流の安全限界に関する熱デレーティング曲線を示します。ジャンクション温度は +150°C を超えないようにしてください。



広い  $V_{DD}$  範囲、アイドル・バスの  
ホットスワップ、および低  $V_{OL}$  を備えた  
超低消費電力、双方向 I<sup>2</sup>C アイソレータ

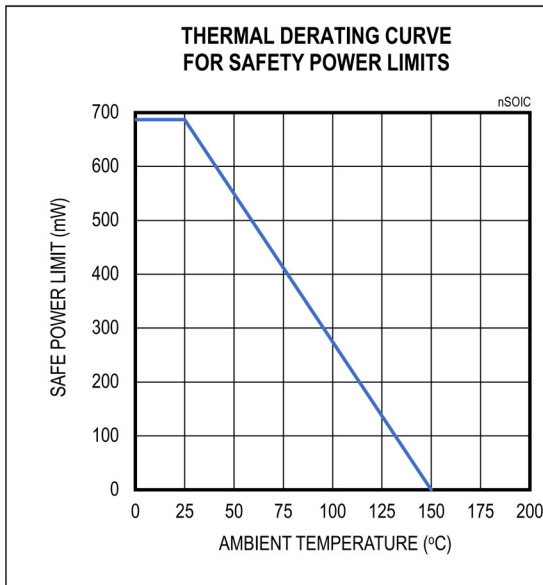


図 3. 8 ピン、ナロー-SOIC (21-0041) パッケージの  
熱デレーティング曲線

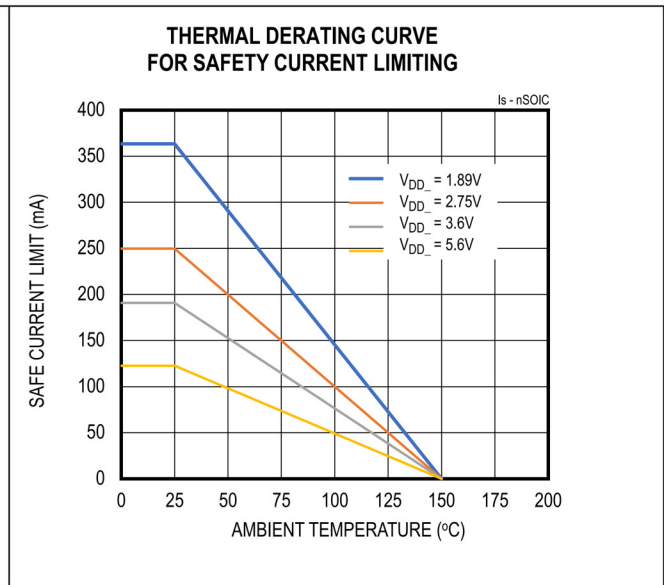


図 4. 8 ピン、ナロー-SOIC (21-0041) パッケージの  
安全限界電流に関する熱デレーティング曲線

## 絶縁特性

### 8 ピン、ナロー-SOIC (21-0041) の絶縁特性

PARAMETER	SYMBOL	CONDITIONS	VALUE	UNITS
<b>CLASSIFICATIONS</b>				
Overvoltage Category per IEC60664-1		For rated mains voltage $\leq 150V_{RMS}$	I to IV	—
Overvoltage Category per IEC60664-1		For rated mains voltage $\leq 300V_{RMS}$	I to III	—
Climatic Classification			40/125/21	—
Pollution Degree		Per DIN VDE V 0110 (refer to Table 1 of the DIN VDE standard)	2	—
<b>VOLTAGE</b>				
Maximum Working Isolation Voltage	$V_{IOWM}$	Continuous RMS voltage (Note 1)	445	$V_{RMS}$
Maximum Repetitive Isolation Voltage	$V_{IORM}$	(Note 1, Note 3)	630	$V_{PEAK}$
Maximum Transient Isolation Voltage	$V_{IOTM}$	$t = 1s$ (Note 1, Note 3)	4242	$V_{PEAK}$
Maximum Withstanding Isolation Voltage	$V_{ISO}$	$f_{TEST} = 60Hz$ , duration = 60s (Note 1, Note 2)	3000	$V_{RMS}$
Maximum Surge Isolation Voltage, Reinforced	$V_{IOSM}$	Test method per IEC 60065, $V_{TEST} = 1.6 \times V_{IOSM} = 10000V_{PEAK}$ (Note 1, Note 4)	6250	$V_{PEAK}$
Maximum Impulse Voltage	$V_{IMP}$	Tested in air, 1.2 $\mu s$ /50 $\mu s$ waveform per IEC 62368-1	6000	$V_{PEAK}$
Input to Output Test Voltage	$V_{PR}$		1182	$V_{PEAK}$
Apparent Charge	$q_{pd}$	Method B1, $V_{PR} = 1.875 \times V_{IORM}$ , $t = 1s$	5	pC
<b>PACKAGE CHARACTERISTICS</b>				
External Clearance	CLR	Measured from input terminals to output terminals, shortest distance through air	4	mm
External Creepage	CPG	Measured from input terminals to output terminals, shortest distance along body	4	mm
Internal Clearance	DTI	Distance through insulation	21	$\mu m$
Comparative Tracking Index	CTI		> 600	V

PARAMETER	SYMBOL	CONDITIONS	VALUE	UNITS
Material Group		Material group (IEC 60112)	I	—
Resistance (Input to Output)	$R_{IO}$	$V_{IO} = 500V, T_A = +25^{\circ}C$ (Note 3)	$10^{12}$	$\Omega$
Resistance (Input to Output)	$R_{IO}$	$V_{IO} = 500V, +100^{\circ}C \leq T_A \leq +125^{\circ}C$ (Note 3)	$10^{11}$	$\Omega$
Resistance (Input to Output)	$R_{IO\_S}$	$V_{IO} = 500V, T_S = +150^{\circ}C$ (Note 3)	$10^9$	$\Omega$
Capacitance (Input to Output)	$C_{IO}$	$f_{TEST} = 1MHz$ (Note 3)	1.5	pF
<b>SAFETY LIMITING VALUES</b>				
Maximum Ambient Safety Temperature	$T_S$		+150	$^{\circ}C$
Maximum Input Power Dissipation	$P_{SI}$	$\theta_{JA} = 182^{\circ}C/W, T_J = +150^{\circ}C, T_A = +25^{\circ}C$	687	mW
Maximum Output Current	$I_{SO}$	$\theta_{JA} = 182^{\circ}C/W, T_J = +150^{\circ}C, T_A = +25^{\circ}C, V_{DD} = 5.6V$	122	mA
Maximum Output Current	$I_{SO}$	$\theta_{JA} = 182^{\circ}C/W, T_J = +150^{\circ}C, T_A = +25^{\circ}C, V_{DD} = 3.6V$	190	mA
Maximum Output Current	$I_{SO}$	$\theta_{JA} = 182^{\circ}C/W, T_J = +150^{\circ}C, T_A = +25^{\circ}C, V_{DD} = 2.75V$	249	mA
Maximum Output Current	$I_{SO}$	$\theta_{JA} = 182^{\circ}C/W, T_J = +150^{\circ}C, T_A = +25^{\circ}C, V_{DD} = 1.89V$	363	mA

Note 1:  $V_{ISO}$ 、 $V_{IOTM}$ 、 $V_{IOWM}$ 、 $V_{IORM}$ 、 $V_{IOSM}$  は IEC 60747-17 規格によって定義されています。

Note 2: 製品は、 $V_{ISO}$  (60 秒) に準拠しており、 $V_{ISO}$  の 120% (1 秒) の条件で出荷テストを 100% 実施しています。

Note 3: デバイスは、1 番ピンから 4 番ピンまで、および 5 番ピンから 8 番ピンまでを接続し、2 端子のデバイスとして測定しています。

Note 4: サージ特性評価では、デバイスは油浸されています。

## 適用規格

ADuM1252 は下記の組織による認定を申請中です。認定証明書は、[デジタル・アイソレーションの安全および規制認証](#)で入手できます。

### 8 ピン、ナロー-SOIC (21-0041) パッケージの認証

REGULATORY AGENCY	STANDARD CERTIFICATION/APPROVAL	FILE
UL	Recognized under UL 1577 component recognition program (Note 1): Single/basic 3000V <sub>RMS</sub> isolation voltage.	(Pending)
CSA	Tested under CSA No 14-18 (Note 2 and Note 3): CSA 62368-1:19, IEC 62368-1:2018 Ed. 3 and EN62368-1:2020+A11:2020: Basic insulation at 400V <sub>RMS</sub> . CSA 61010-1-12+A1 and IEC 61010-1 3rd Ed.: Basic insulation at 300V <sub>RMS</sub> from mains, 400V <sub>RMS</sub> from secondary circuit.	(Pending)
VDE	Certified according to IEC 60747-17 (Note 4): Reinforced insulation, maximum transient isolation voltage 4242V <sub>PK</sub> , maximum repetitive peak isolation voltage 630V <sub>PK</sub> .	(Pending)
CQC	Certified to GB 4943.1-2022: Basic insulation at 400V <sub>RMS</sub> (565V <sub>PEAK</sub> ) maximum working voltage, tropical climate, altitude < 5000m	(Pending)
TUV Sud	IEC 62368-1:2018 Ed. 3 and EN62368-1:2020+A11:2020: Basic insulation at 400V <sub>RMS</sub>	(Pending)

Note 1: UL 1577 に従い、ADuM1252ASA+のそれぞれに 3600V<sub>RMS</sub> 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています (電流リーク検出限界=5 $\mu$ A)。

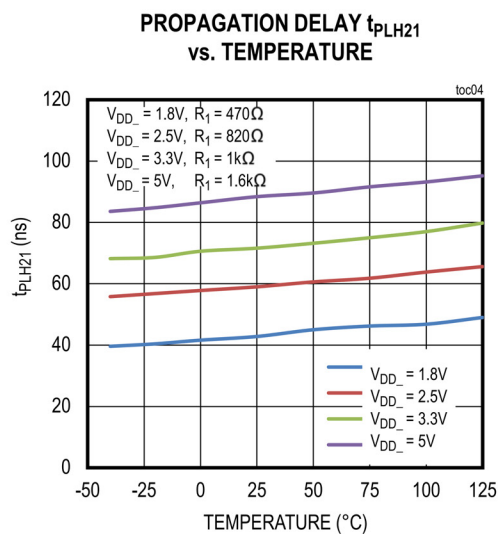
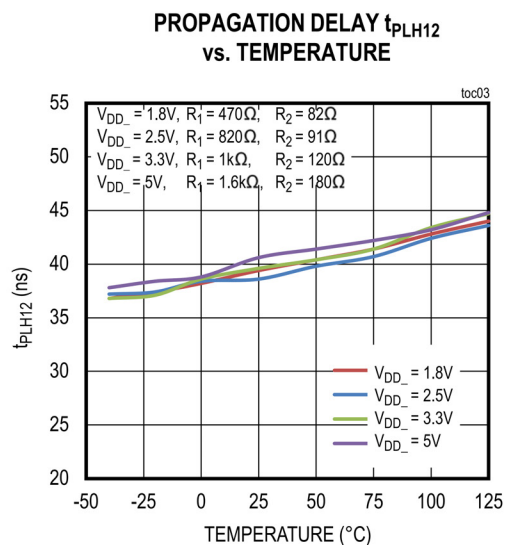
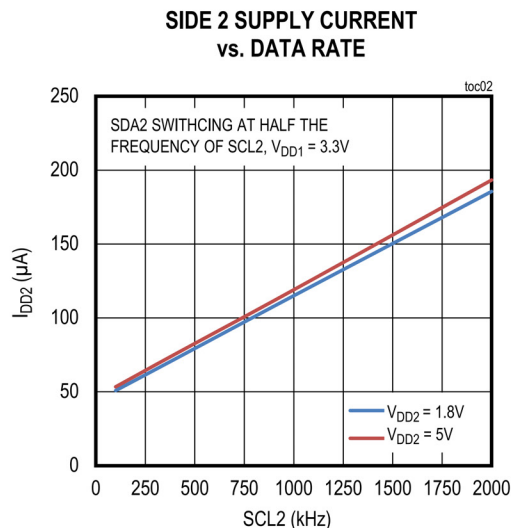
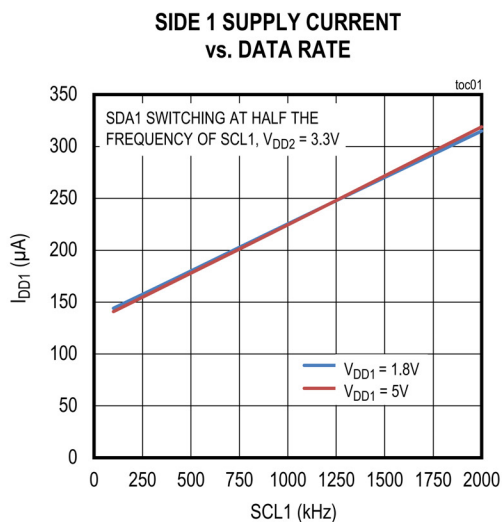
Note 2: 動作電圧は汚染度 2、材料グループ III について見積もられた値です。ADuM1252ASA+のケース材料は、CSA により材料グループ I として評価されています。

Note 3: 沿面距離とクリアランス距離は、上記で仕様規定されているものを除き、汚染度 2 および過電圧カテゴリ II で、標高 2000m 未満、材料グループ III として評価されています。

Note 4: IEC 60747-17 に従い、個々の ADuM1252 は 1182V<sub>peak</sub> 以上の絶縁テスト電圧を 1 秒間加える耐電圧テストを実施しています (部分放電検出限界=5pC)。デバイス表面のアスタリスク (\*) マークは、DIN IEC 60747-17 の認定製品であることを表します。

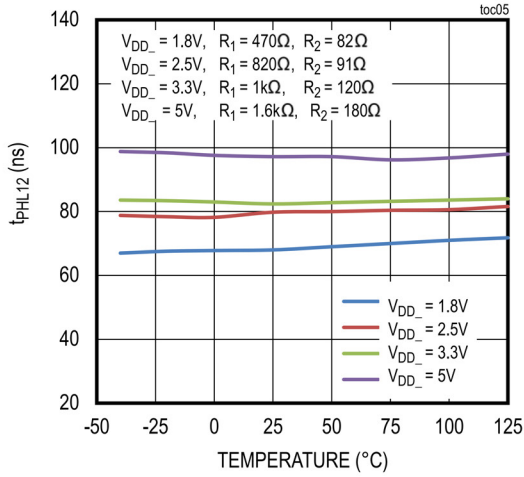
### 代表的な動作特性

(特に指定のない限り、代表値は、 $V_{DD1} = V_{DD2} = 3.3V$ 、 $GND1 = GND2$ 、 $T_A = +25^\circ C$  での値です。 $C_L = 20pF$ 、 $R_{PULLUP} = 1k\Omega$ 、および  $1nF$ 、 $100nF$ 、 $1\mu F$  のデカップリング・コンデンサが  $V_{DD1}$  と  $V_{DD2}$  に接続されています。すべてのテストは、ADuM1252SEVKIT#を使用して実施されています。)

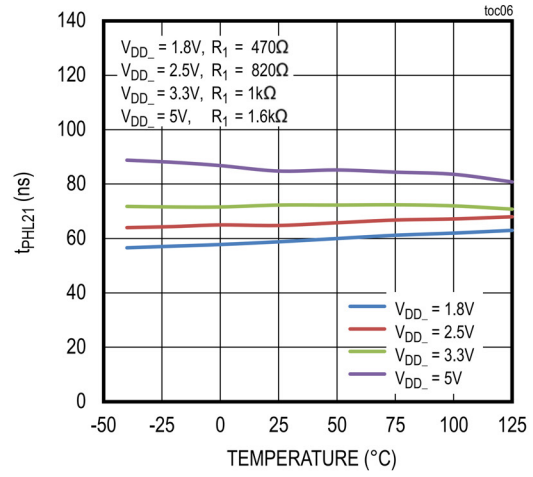


広い  $V_{DD}$  範囲、アイドル・バスの  
 ホットスワップ、および低  $V_{OL}$  を備えた  
 超低消費電力、双方向 I<sup>2</sup>C アイソレータ

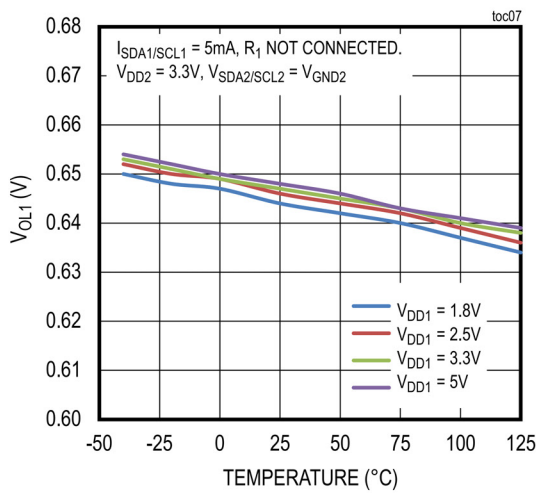
PROPAGATION DELAY  $t_{PHL12}$   
 vs. TEMPERATURE



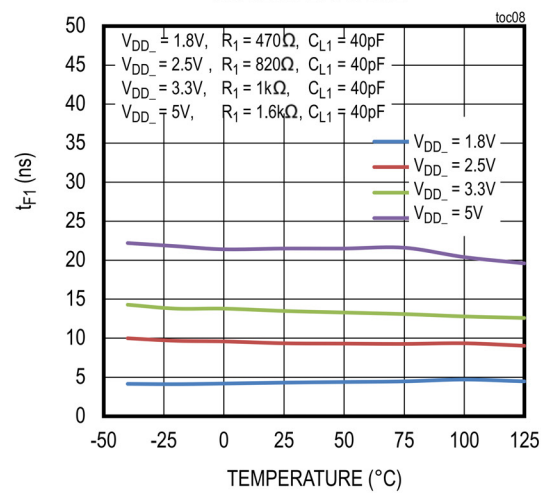
PROPAGATION DELAY  $t_{PHL21}$   
 vs. TEMPERATURE



SIDE 1 OUTPUT LOW VOLTAGE  
 vs. TEMPERATURE



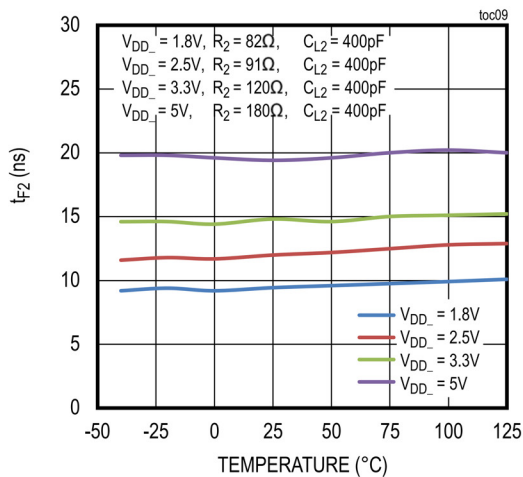
SIDE 1 OUTPUT FALL TIME  
 vs. TEMPERATURE



$t_{F1}$  MEASURED FROM:  
 $V_{DD} = 1.8V: 0.7V_{DD1} \text{ TO } 0.75V$   
 $V_{DD} = 2.5V, 3.3V, \text{ OR } 5V: 0.7V_{DD1} \text{ TO } 0.3V_{DD1}$

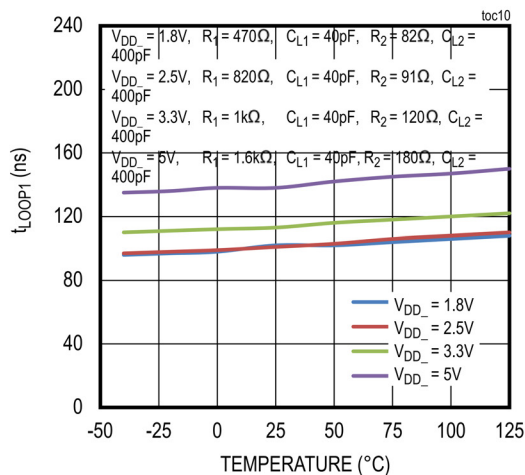
広い  $V_{DD}$  範囲、アイドル・バスの  
ホットスワップ、および低  $V_{OL}$  を備えた  
超低消費電力、双方向 I<sup>2</sup>C アイソレータ

SIDE 2 OUTPUT FALL TIME  
vs. TEMPERATURE

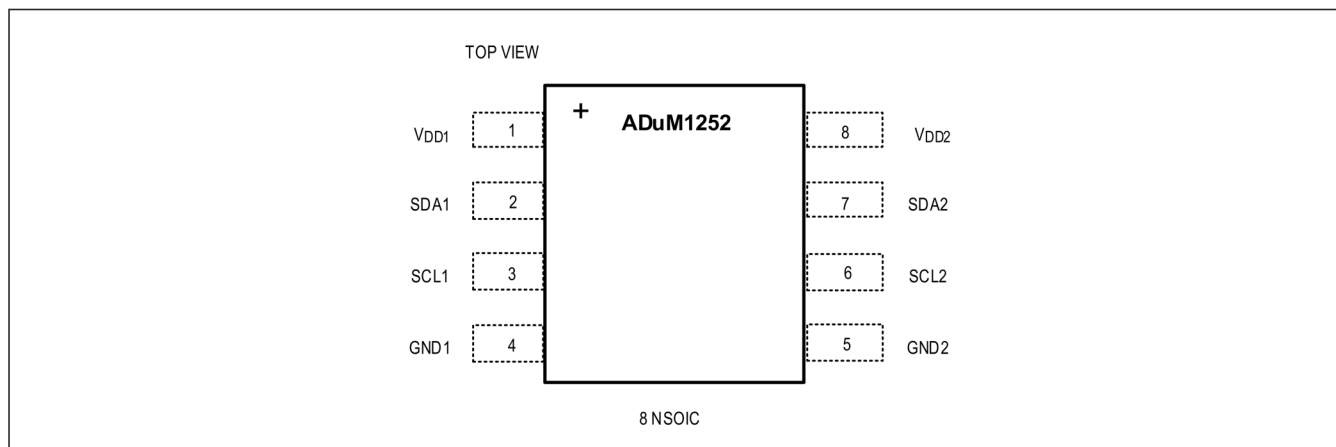


$t_{F2}$  MEASURED FROM:  $0.7V_{DD2}$  TO  $0.3V_{DD2}$

$t_{LOOP1}$  vs. TEMPERATURE



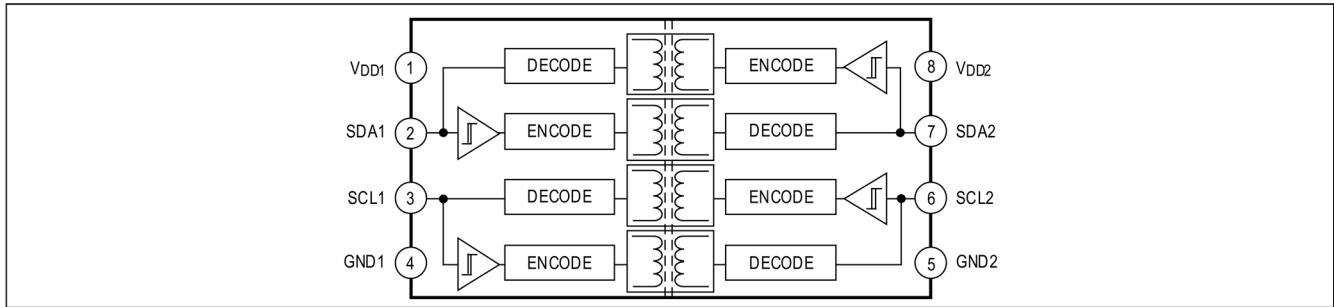
## ピン配置



## 端子説明

ピン	名称	説明
1	$V_{DD1}$	サイド1の電源電圧。 $V_{DD1}$ は、1nFと0.1 $\mu\text{F}$ のセラミック・コンデンサをピンのできるだけ近くに接続してバイパスしてください。
2	SDA1	サイド1のシリアル・データ入出力。SDA1はオープン・ドレイン出力で、SDA2への変換、およびSDA2からの変換が行われます。
3	SCL1	サイド1のシリアル・クロック入出力。SCL1はオープン・ドレイン出力で、SCL2への変換、およびSCL2からの変換が行われます。
4	GND1	サイド1のグラウンド・リファレンス。
5	GND2	サイド2のグラウンド・リファレンス。
6	SCL2	サイド2のシリアル・クロック入出力。SCL2はオープン・ドレイン出力で、SCL1への変換、およびSCL1からの変換が行われます。
7	SDA2	サイド2のシリアル・データ入出力。SDA2はオープン・ドレイン出力で、SDA1への変換、およびSDA1からの変換が行われます。
8	$V_{DD2}$	サイド2の電源電圧。 $V_{DD2}$ は、1nFと0.1 $\mu\text{F}$ のセラミック・コンデンサをピンのできるだけ近くに接続してバイパスしてください。

## 機能図



## 詳細

ADuM1252 は、アナログ・デバイセズ独自のプロセス技術を使用した 2 チャンネルの I<sup>2</sup>C アイソレータです。このデバイスは、電源ドメインの異なる回路間でデジタル信号を転送し、最大+125°Cの周囲温度で動作します。

このデバイスは、同じライン上で双方向にデータを伝送する必要がある I<sup>2</sup>C 等のアプリケーションに、双方向、オープン・ドレインのチャンネルを 2 つ提供します。双方向のクロック・チャンネルにより、絶縁バリアの両サイドに複数の I<sup>2</sup>C コントローラを配置したアプリケーションや、絶縁バリアやコントローラに対する位置に関係なく、I<sup>2</sup>C ターゲット・デバイスによるクロック・ストレッチングを行うアプリケーションが可能です。

このデバイスは、アイソレータの両側に 1.71V~5.5V の電源を個別に備えています。最大 2MHz の SCL 周波数で動作し、幅広い温度範囲と高い絶縁電圧を備えているため、過酷な工業環境下での使用に最適です。

## デジタル・アイソレーション

ADuM1252 は、2 つのグラウンド・ドメイン間で伝送されるデジタル信号に対する、強化されたガルバニック絶縁機能を備えています。

8 ピン、ナロー SOIC パッケージ (21-0041) で提供される ADuM1252 は、最大 3kV<sub>RMS</sub> の電圧差に最大 60 秒間耐えることができます。また、最大 630V<sub>PEAK</sub> の連続電圧に耐えることができます。

## 双方向チャンネル

ADuM1252 は、オープン・ドレイン出力を持つ 2 つの双方向チャンネルを備えています。

双方向チャンネルに方向制御入力は不要です。一方の側がロジック・ローになると、これに対応した反対側のピンがローになると共に、サイド 1 の出力ロジック・ロー電圧 ( $V_{OL1}$ ) と入力ロジック・ロー閾値 ( $V_{IL1}$ ) の組み合わせによってデバイス内でのデータ・ラッチを防止します。サイド 1 出力は、 $V_{OL1}$  をほぼ 0.64V に安定化する専用バッファを使用し、 $V_{IL1}$  が  $V_{OL1}$  より 50mV 以上低くなるように維持します。この電圧差によって、サイド 1 の出力ロジック・ローが入力ローとして受け取られてサイド 2 に伝送されるのを防ぎ、これによりラッチ動作を防止します。SDA2 と SCL2 は従来型の出力となっており、ロジック・ロー出力電圧の安定化は行いません。

このような特別な特性を持っているため、異なる ADuM1252 デバイスの間でサイド 1 の SDA/SCL ピン同士を互いに接続することはできません。また、同様のバッファや立上がり時間アクセラレータを持つデバイスのピンについても、この制約が当てはまります。サイド 2 のピンには、この制約はありません。そのため、ADuM1252 のサイド 2 のピンは、ピン同士を互いに接続することも、他の双方向バッファやレベル変換器のピンと接続することもできます。ADuM1252 のサイド 1 のピンと接続することも可能です。

ADuM1252 の出力はすべてオープン・ドレインで、ロジック・ハイ出力電圧を生成するために各電源との間にプルアップ抵抗が必要です。出力ロー電圧は、最大 50mA (サイド 2) および最大 5mA (サイド 1) のシンク電流で確保されます (電気的特性の表を参照)。

ADuM1252 の双方向 SCL チャンネルは、I<sup>2</sup>C のクロック・ストレッチングをサポートしています。

## スタートアップおよび低電圧ロックアウト

$V_{DD1}$  および  $V_{DD2}$  電源は、どちらも内部で低電圧状態をモニタされています。低電圧イベントは、パワーアップ時、パワーダウン時、または電源電圧の低下により通常動作時に発生することがあります。どちらかの電源で低電圧状態が検出されると、表 1 に示すように、入力の状態に関わらず両方の出力はデフォルト状態になります。

表 1. 低電圧状態における出力の挙動

$V_{DD1}$	$V_{DD2}$	INPUT	$V_{OUT1}$	$V_{OUT2}$
Powered	Powered	High	High-Z	High-Z
Powered	Powered	Low	Low	Low
Undervoltage	Powered	Don't care	High-Z	High-Z
Powered	Undervoltage	Don't care	High-Z	High-Z

## レベル・シフト

$V_{DD1}$  と  $V_{DD2}$  の両方が広い電源電圧範囲を備えているため、ADuM1252 はアイソレーションだけでなくレベル変換にも使用できます。 $V_{DD1}$  と  $V_{DD2}$  は、1.71V~5.5V の範囲で電圧を個別に設定できます。電源電圧は、アイソレータの対応する側のロジック・レベルを設定します。

## ホットスワップ

ADuM1252 の SDA2/SCL2 には、専用のプリチャージ回路が内蔵されており、電源が加わっていないとき、あるいは電源が起動中のときに I<sup>2</sup>C バス・ラインに負荷がかからないようにします。電源が UVLO 閾値より低い場合、ADuM1252 のバス・ラインは、アクティブな I<sup>2</sup>C バスの中断や破損を生じさせないように、バスに負荷をかけません。スタガード・コネクタを使用してアイソレータを通電状態のバックプレーンに接続した場合、電源とグラウンドが最初に接続され、次にバス・ラインが接続されます。この場合、SDA2 および SCL2 ラインに  $V_{DD2}/3$  までのプリチャージを行うことでデバイスの寄生容量を充電するために必要となる電流を最小限に抑えます。デバイスが完全に起動すると、デバイスの I/O ピンはアクティブになります。ただし、サイド 1 とサイド 2 は、サイド 2 のバスが I<sup>2</sup>C 停止条件を検出するか、バスが 125 $\mu$ s 間アイドル状態になってからしか接続されません。図 5 を参照してください。

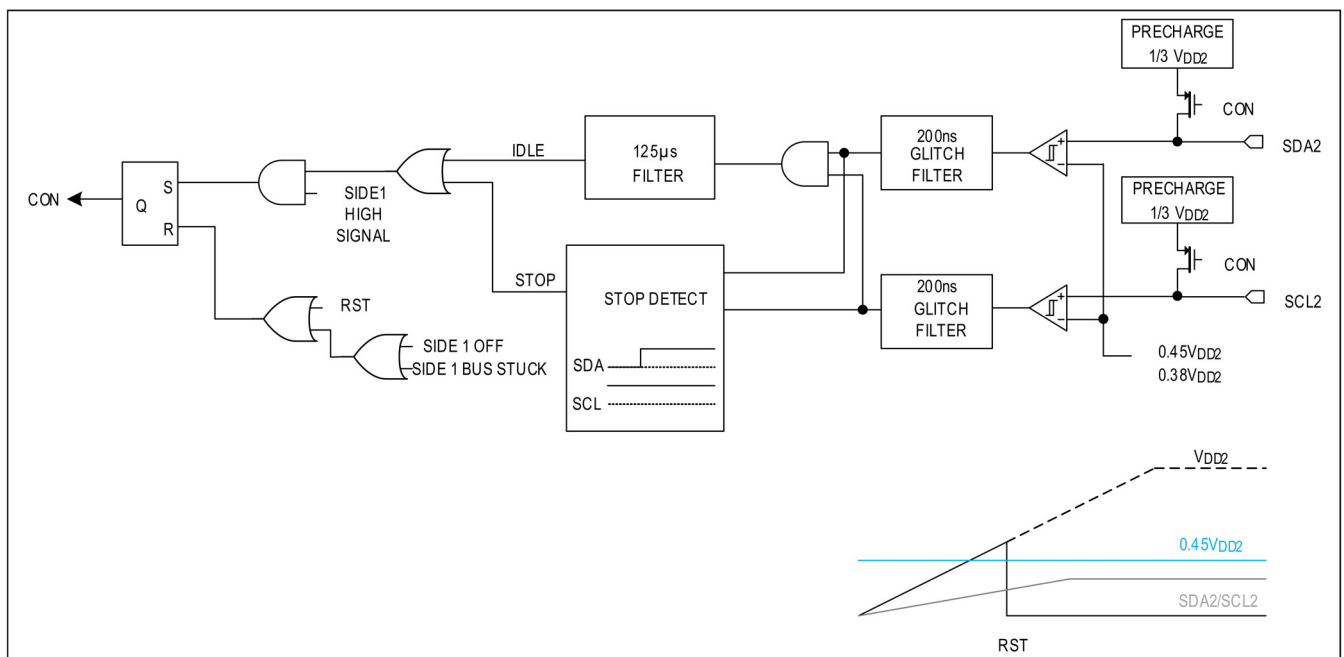


図 5. バス接続のロジック

## バス接続

ADuM1252 は、両側のバスがアイドル状態の場合、または、サイド 1 がハイのときにサイド 2 で I<sup>2</sup>C 停止条件が検出された場合にサイド 1 とサイド 2 のバスを接続します。サイド 1 でスタック・バス条件が検出された場合、ADuM1252 は 2 つのバスを切断し、外部システムから回復を試行できるようにします。

## アプリケーション情報

### 電源シーケンス

ADuM1252 には、特別な電源シーケンスは不要です。ロジック・レベルは、 $V_{DD1}$  と  $V_{DD2}$  によってそれぞれのサイドで個別に設定します。各電源は、他の電源のレベルまたは印加の有無に関わらず、指定された範囲全体にわたって印加できます。

### 電源のデカップリング

特に、大きなコモン・モード・トランジェントの発生が予想されるアプリケーションでは、リップル、およびデータ・エラーが混入する可能性を低減するため、100nF と 1nF の低 ESR セラミック・コンデンサを使用して  $V_{DD1}$  を GND1 に、 $V_{DD2}$  を GND2 に、それぞれバイパスします。バイパス・コンデンサはできる限り電源入力ピンの近くに配置します。

### 熱に関する考慮事項

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

熱パラメータの値は、[パッケージ情報](#)のセクションで仕様規定されています。記載されているすべてのテスト条件が同様の場合、 $\theta_{JA}$  と  $\theta_{JB}$  を主に使用して、本デバイスのパッケージの熱性能を他の半導体パッケージと比較できます。ボード温度の正確な測定結果が得られる場合は、 $\Psi_{JB}$  と  $\Psi_{JT}$  を使用してジャンクション温度を推定することができます。温度は、システム環境で動作しているテスト対象デバイス (DUT) の近く、またはパッケージの上面を直接測定する必要があります。

$\theta_{JA}$  は、システム環境におけるジャンクション温度を計算するための一次近似として使用できます。消費電力 ( $P_D$ )、ジャンクション-周囲間熱抵抗 ( $\theta_{JA}$ )、周囲温度 ( $T_A$ ) を使用して、次式よりジャンクション温度 ( $T_J$ ) を求めることができます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

ジャンクション温度を更に正確に見積もるには  $\Psi_{JT}$  を使用します。デバイスのパッケージ温度 ( $T_{PACKAGE}$ ) は、IR カメラか熱電対を使用し、パッケージの中央で測定してください。その後、次式を使用して算出します。

$$T_J = T_{PACKAGE} + \Psi_{JT} \times P_D$$

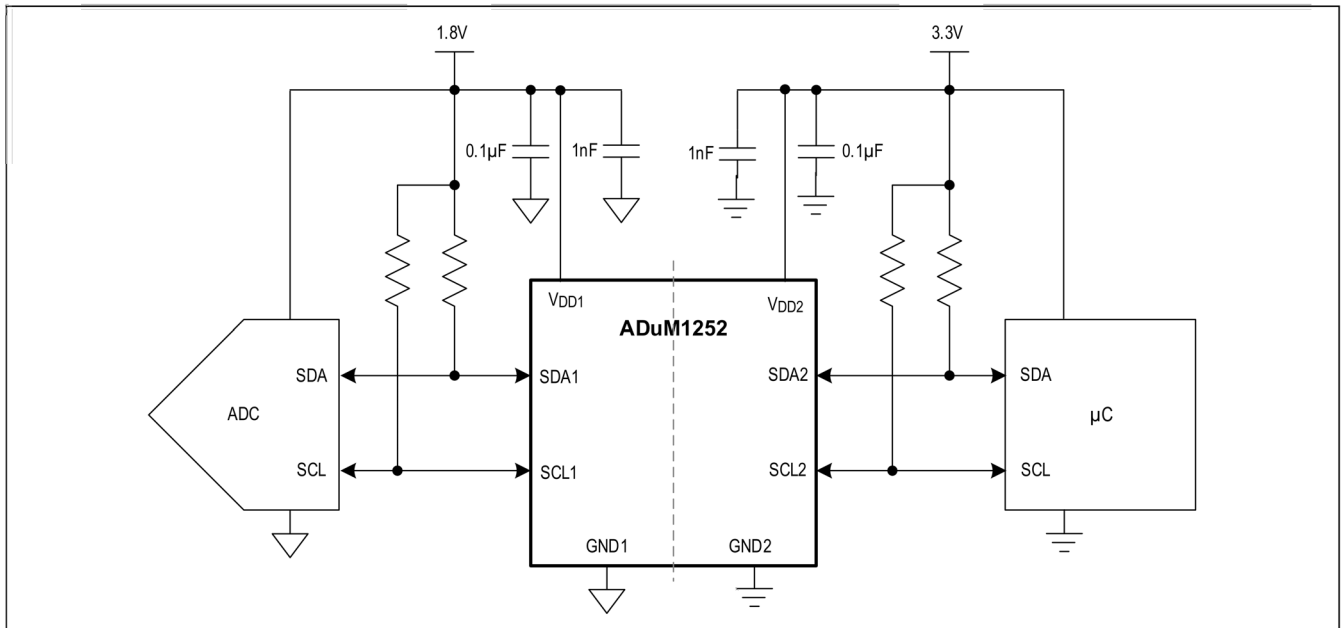
### レイアウトに関する考慮事項

PCB 設計者は、設計から最高のパフォーマンスを得るために、いくつかの重要な推奨事項に従う必要があります。

- 入出力パターンはできるだけ短くします。信号パスは低インダクタンスを保ち、ビアの使用を避けます。
- 連続したグラウンド・プレーンを高速信号層の下に配置します。
- ADuM1252 の下には、グラウンド・プレーンと信号プレーンを設けないようにします。サイド 1 とサイド 2 の間でガルバニック接続または金属接続を行うと、アイソレーションが破壊されます。



### 代表的なアプリケーション回路



### オーダー情報

PART NUMBER	TEMP RANGE	PIN-PACKAGE
ADuM1252ASA+	-40°C to +125°C	8 Narrow SOIC
ADuM1252ASA+T	-40°C to +125°C	8 Narrow SOIC

+は鉛 (Pb) フリー/RoHS 準拠のパッケージであることを示します。

T = テープ&リール。

### チップ情報

プロセス : BiCMOS

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	10/23	初版発行	-