

1 ビット、100MHz~30GHz の シリコン・デジタル・アッテネータ

特長

- ▶ 超広帯域周波数範囲：100MHz~30GHz
- ▶ 1ステップあたりの減衰量：16dB
- ▶ 低挿入損失
 - ▶ 0.7dB (8GHz 時)
 - ▶ 0.9dB (18GHz 時)
 - ▶ 1.3dB (30GHz 時)
- ▶ 減衰精度：±0.20dB (代表値、30GHz まで)
- ▶ 高入力直線性
 - ▶ P0.1dB (挿入損失状態)：33dBm (代表値)
 - ▶ P0.1dB (16dB 減衰状態)：30dBm (代表値)
 - ▶ IP3 (挿入損失状態)：51dBm (代表値)
 - ▶ IP3 (16dB 減衰状態)：49dBm (代表値)
- ▶ 大 RF 電力処理
 - ▶ 30dBm (代表値、定常状態での平均値)
 - ▶ 33dBm (代表値、定常状態でのピーク値)
- ▶ RF 振幅のセトリング・タイム (最終 RF_{OUT} の 0.1dB)：110ns (代表値)
- ▶ 単電源動作をサポート
- ▶ リアクティブ・フェーズの分布が緊密
- ▶ 低周波数スプリアス・シグナルなし
- ▶ CMOS/LVTTL に対応
- ▶ 12 端子、2.25mm × 2.25mm、ランド・グリッド・アレイ [LGA] パッケージ

アプリケーション

- ▶ 工業用スキャナ
- ▶ 試験および計測器
- ▶ セルラ・インフラストラクチャ：5G 用ミリ波
- ▶ 防衛用無線、レーダー、電子対抗手段 (ECM)
- ▶ マイクロ波無線機、超小型地球局 (VSAT)

機能ブロック図

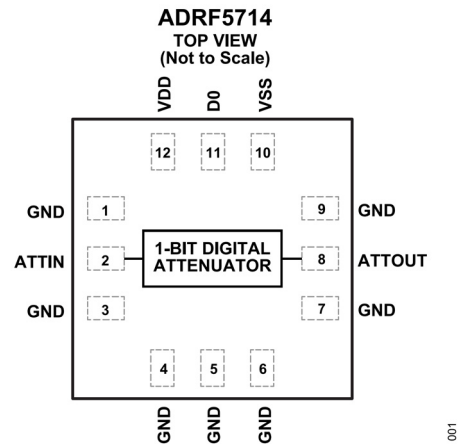


図 1. 機能ブロック図

概要

ADRF5714 は、グリッチフリーの動作をサポートする減衰量 16dB の 1 ビット・シリコン・デジタル・アッテネータです。

このデバイスは 100MHz~30GHz で動作し、1.3dB 未満の低挿入損失と優れた減衰精度を実現します。ATTIN および ATTOUT ポートには、平均 30dBm、ピーク 33dBm の RF 入力電力処理能力があります。

ADRF5714 は、+3.3V と -3.3V の両電源電圧を必要とし、CMOS/低電圧トランジスタ・ロジック (LVTTTL) 互換の制御を備えています。

また、ADRF5714 は、正単電源電圧 (V_{DD}) を印加し、負電源電圧 (V_{SS}) をグラウンドに接続した状態でも、動作できます。詳細については動作原理のセクションを参照してください。

ADRF5714 の RF ポートは、50Ω の特性インピーダンスにマッチするように設計されています。ADRF5714 は、12 端子、2.25mm × 2.25mm の RoHS 準拠ランド・グリッド・アレイ (LGA) パッケージで提供され、-40°C~+105°C で動作可能です。

目次

特長	1	代表的な性能特性	10
アプリケーション	1	挿入損失、リターン・ロス、状態誤差、 ステップ誤差、リアクティブ・フェーズ	10
機能ブロック図	1	入力電力圧縮と3次インターセプト	11
概要	1	動作原理	12
仕様	3	RF入出力	12
単電源動作	5	電源	12
絶対最大定格	6	アプリケーション情報	13
熱抵抗	6	PCB設計のための推奨事項	13
パワー・ディレーティング曲線	6	外形寸法	14
静電放電 (ESD) 定格	7	オーダー・ガイド	14
ESDに関する注意	7	評価用ボード	14
ピン配置およびピン機能の説明	8		
インターフェイス回路図	9		

改訂履歴

12/2023—Revision 0: Initial Version

仕様

特に指定のない限り、50Ωシステムに対し、正電源電圧 (V_{DD}) = 3.3V、負電源電圧 (V_{SS}) = -3.3V、制御電圧 (V_{CTRL}) = 0V または V_{DD} 、ケース温度 (T_{CASE}) = 25°C。 V_{CTRL} は D0 ピンの制御電圧を表します。

表 1. 仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit		
FREQUENCY RANGE	f		100		30,000	MHz		
INSERTION LOSS		100 MHz to 8 GHz		0.7		dB		
		8 GHz to 18 GHz		0.9		dB		
		18 GHz to 30 GHz		1.3		dB		
RETURN LOSS		ATTIN and ATTOUT pins, attenuation state						
		100 MHz to 8 GHz		25		dB		
		8 GHz to 18 GHz		22		dB		
		18 GHz to 30 GHz		17		dB		
ATTENUATION		Between minimum and maximum attenuation states		16		dB		
		Between any successive attenuation states		16		dB		
		Referenced to insertion loss						
		100 MHz to 8 GHz		±0.10		dB		
		8 GHz to 18 GHz		±0.15		dB		
		18 GHz to 30 GHz		±0.20		dB		
RELATIVE PHASE		Referenced to insertion loss						
		100 MHz to 8 GHz		12		Degrees		
		8 GHz to 18 GHz		25		Degrees		
		18 GHz to 30 GHz		45		Degrees		
SWITCHING		All attenuation states at input power (P_{IN}) = 10 dBm						
		Rise Time and Fall Time	t_{RISE}, t_{FALL}	10% to 90% of RF output (RF_{OUT})	20		ns	
		On Time and Off Time	t_{ON}, t_{OFF}	50% triggered control to 90% of RF_{OUT}	50		ns	
		RF Amplitude Settling Time						
		0.1 dB		50% triggered control to 0.1 dB of final RF_{OUT}	110		ns	
		0.05 dB		50% triggered control to 0.05 dB of final RF_{OUT}	140		ns	
RF Phase Settling Time		f = 1 GHz						
		50% triggered control to 1° of final RF_{OUT}	65			ns		
INPUT LINEARITY ¹		100 MHz to 30 GHz						
		0.1 dB Power Compression	PO.1dB					
		Insertion Loss State			33		dBm	
		16 dB Attenuation State			30		dBm	
		Third-Order Intercept	IP3	Two-tone P_{IN} = 20 dBm per tone, Δf = 1 MHz, all attenuation states				
		Insertion Loss State		51		dBm		
		16 dB Attenuation State		49		dBm		
DIGITAL CONTROL INPUT		D0 pin						
		Voltage						
		Low	V_{INL}		0	0.8	V	
		High	V_{INH}		1.2	3.3	V	
		Current						
		Low	I_{INL}			-33	μA	
High	I_{INH}			<1	μA			

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLY CURRENT						
Positive Supply Current		VDD and VSS pins				
D0 = 0 V				150		μA
D0 = 3.3 V				120		μA
Negative Supply Current				500		μA
RECOMMENDED OPERATING CONDITIONS						
Supply Voltage						
Positive	V _{DD}		3.15		3.45	V
Negative	V _{SS}		-3.45		-3.15	V
Digital Control Voltage			0		V _{DD}	V
RF Power Handling ²		f = 100 MHz to 30 GHz, T _{CASE} = 85°C ³				
Input at ATTIN or ATTOUT		Steady state average		30		dBm
		Steady state peak		33		dBm
		Hot switching		30		dBm
Case Temperature	T _{CASE}		-40		+105	°C

¹ 入力直線性の性能は周波数の増加と共に低下します (図 15~図 18 を参照)。

² パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。ATTIN および ATTOUT のすべての電力仕様に適用されます。

³ 105°C での動作の場合、電力処理能力は T_{CASE} = 85°C の仕様から 3dB 低下します。

仕様

単電源動作

特に指定のない限り、 50Ω システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^\circ C$ 。小信号特性およびバイアス特性は、単電源動作に対し維持されます。

表 2. 単電源動作の仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		100		30,000	MHz
SWITCHING		All attenuation states at $P_{IN} = 10$ dBm				
Rise Time and Fall Time	t_{RISE} , t_{FALL}	10% to 90% of RF_{OUT}		130		ns
On Time and Off Time	t_{ON} , t_{OFF}	50% triggered control to 90% of RF_{OUT}		150		ns
RF Amplitude Settling Time						
0.1 dB		50% triggered control to 0.1 dB of final RF_{OUT}		350		ns
0.05 dB		50% triggered control to 0.05 dB of final RF_{OUT}		400		ns
RF Phase Settling Time		f = 1 GHz				
1°		50% triggered control to 1° of final RF_{OUT}		165		ns
INPUT LINEARITY		100 MHz to 30 GHz				
0.1 dB Power Compression	P0.1dB			21		dBm
Insertion Loss State				19		dBm
16 dB Attenuation State						
Third-Order Intercept	IP3	Two-tone $P_{IN} = 20$ dBm per tone, $\Delta f = 1$ MHz, all attenuation states				
Insertion Loss State				37		dBm
16 dB Attenuation State				42		dBm
RECOMMENDED OPERATING CONDITIONS		f = 100 MHz to 30 GHz, $T_{CASE} = 85^\circ C$				
RF Power Handling				19		dBm
Input at ATTIN and ATTOUT				19		dBm
Average				19		dBm
Peak						
Hot Switching						
Case Temperature	T_{CASE}		-40		+105	$^\circ C$

絶対最大定格

推奨動作条件については、表1および表2を参照してください。

表 3. 絶対最大定格

Parameter	Rating
V _{DD}	-0.3 V to +3.6 V
V _{SS}	-3.6 V to +0.3 V
Digital Control Inputs	
Voltage	-0.3 V to V _{DD} + 0.3 V
Current	3 mA
RF Input Power ¹	
Dual Supply (V _{DD} = 3.3 V, V _{SS} = -3.3 V, f = 100 MHz to 30 GHz, T _{CASE} = 85°C ²)	
Average	31 dBm
Peak	34 dBm
Hot Switching	31 dBm
Single Supply (V _{DD} = 3.3 V, V _{SS} = 0 V, f = 100 MHz to 30 GHz, T _{CASE} = 85°C ²)	
Average	20 dBm
Peak	20 dBm
Hot Switching	20 dBm
Unbiased Condition (V _{DD} , V _{SS} = 0 V)	15 dBm
Temperature	
Junction (T _J)	135°C
Storage	-65°C to +150°C
Reflow	260°C

¹ パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。ATTINおよびATTOUTのすべての電力仕様に適用されます。

² 105°Cでの動作の場合、電力処理能力はT_{CASE} = 85°Cでの仕様から3dB低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JC}は、ジャンクションとケース底部（チャンネルとパッケージ底部）の間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JC} ¹	Unit
CC-12-6	50	°C/W

¹ θ_{JC}は、以下の条件でのシミュレーションによって決まります。すなわち、熱伝達は、チャンネルからグラウンド・パッドを通してPCBまで熱伝導のみに起因し、グラウンド・パッドは85°Cの動作温度で一定に保たれるものとしします。

パワー・ディレーティング曲線

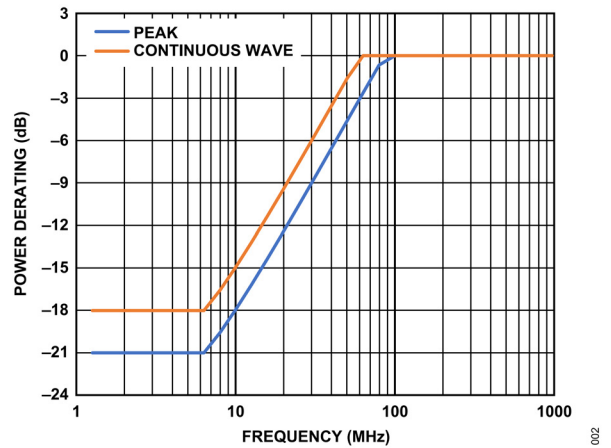


図 2. パワー・ディレーティングと周波数の関係、低周波数領域の詳細、T_{CASE} = 85°C

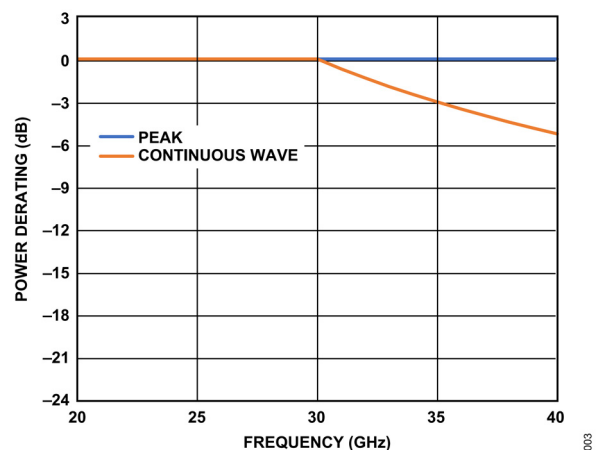


図 3. パワー・ディレーティングと周波数の関係、高周波数領域の詳細、T_{CASE} = 85°C

絶対最大定格**静電放電 (ESD) 定格**

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRF5714 の ESD 定格

表 5. ADRF5714、12 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM		
ATTIN and ATTOUT Pins	1000	1C
Supply and Control Pins	2000	2
CDM	500	G2A

ESD に関する注意

ESD (静電放電) の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

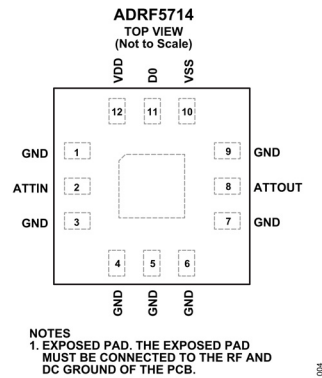


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 3 to 7, 9	GND	グラウンド。GND ピンは、PCB の RF グラウンドおよび DC グラウンドに接続する必要があります。
2	ATTIN	減衰器入力。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェイス回路図については図 5 を参照してください。
8	ATTOUT	減衰器出力。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。インターフェイス回路図については図 5 を参照してください。
10	VSS	負電源入力。インターフェイス回路図については図 8 を参照してください。
11	D0	16dB 減衰ビット用制御入力。詳細については、動作原理のセクションを参照してください。インターフェイス回路図については図 6 を参照してください。
12	VDD	正電源入力。インターフェイス回路図については図 7 を参照してください。
	EPAD	露出パッド。露出パッドは、PCB の RF グラウンドおよび DC グラウンドに接続する必要があります。

ピン配置およびピン機能の説明

インターフェイス回路図

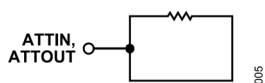


図 5. ATTIN および ATTOUT のインターフェイス回路図

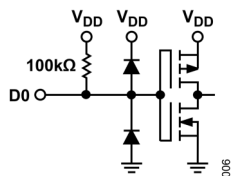


図 6. D0 ピンのインターフェイス回路図

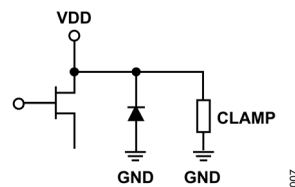


図 7. VDD ピンのインターフェイス回路図

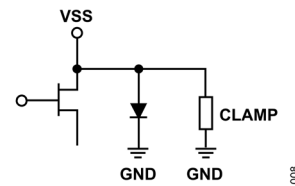


図 8. VSS ピンのインターフェイス回路図

代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、リアクティブ・フェーズ

特に指定のない限り、50Ωシステムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 。

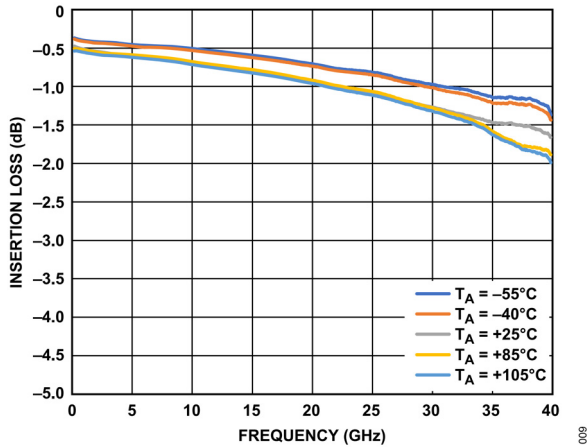


図 9. 各種温度での挿入損失と周波数の関係

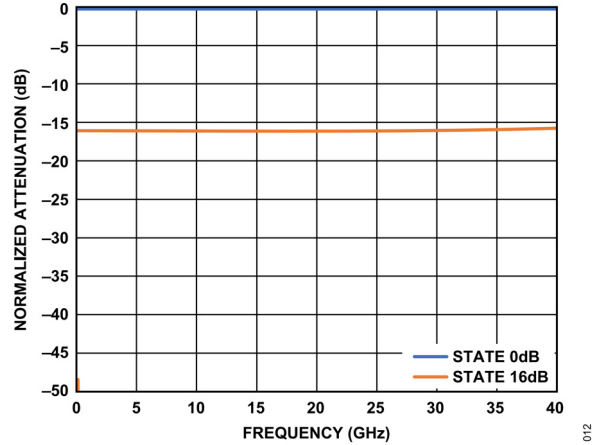


図 12. 全状態での規格化減衰量と周波数の関係

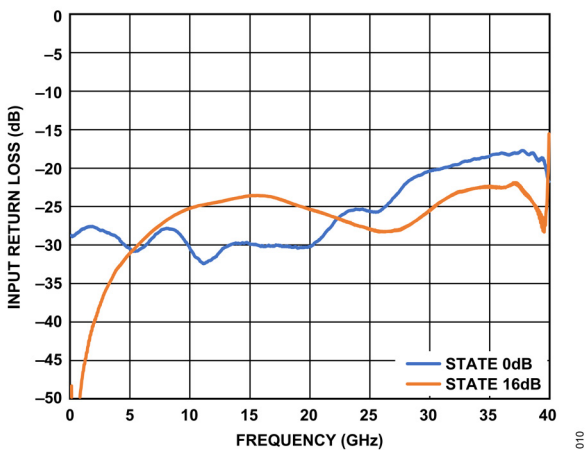


図 10. 入力リターン・ロスと周波数の関係

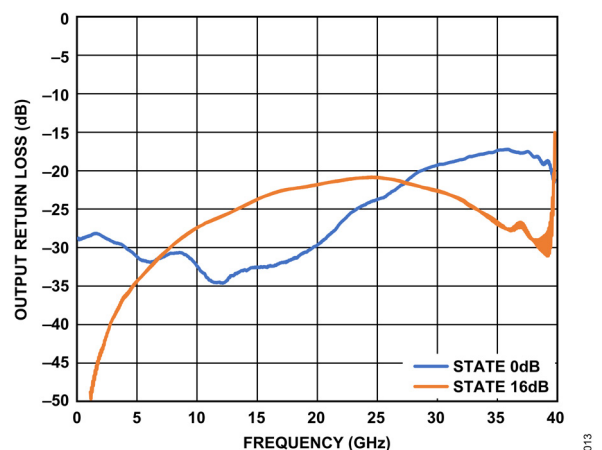


図 13. 出力リターン・ロスと周波数の関係

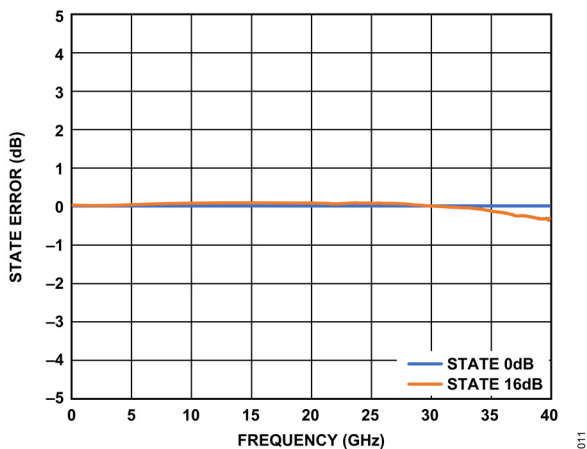


図 11. 状態誤差と周波数の関係

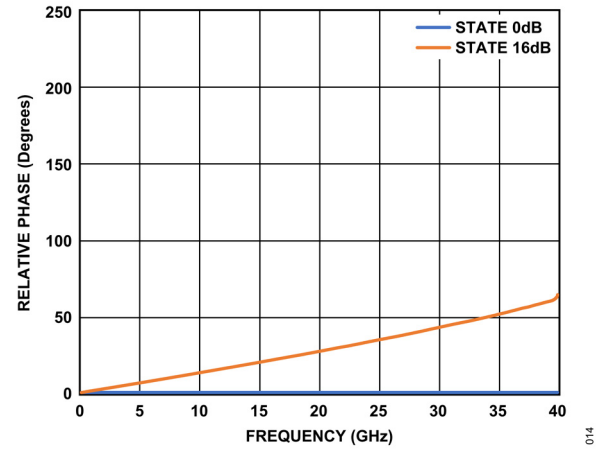


図 14. リアクティブ・フェーズと周波数の関係

代表的な性能特性

入力電力圧縮と 3 次インターセプト

特に指定のない限り、50Ω システムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 。

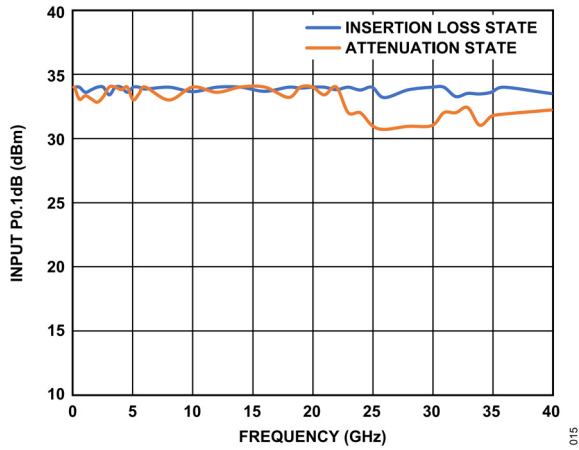


図 15. 入力 P0.1dB と周波数の関係

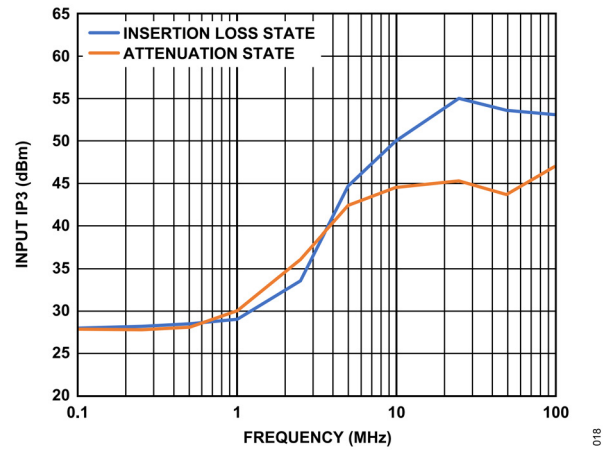


図 18. 入力 IP3 と周波数の関係、低周波数領域の詳細

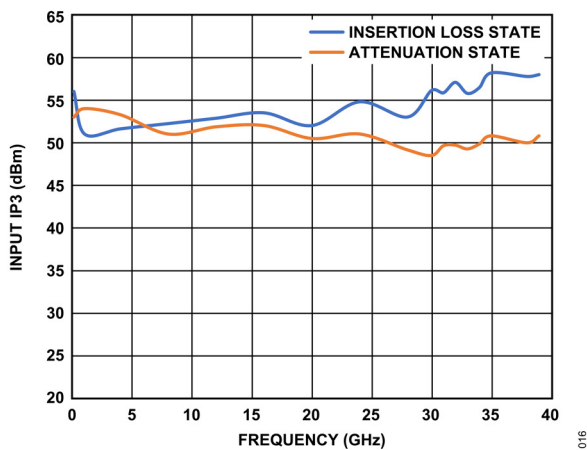


図 16. 入力 IP3 と周波数の関係

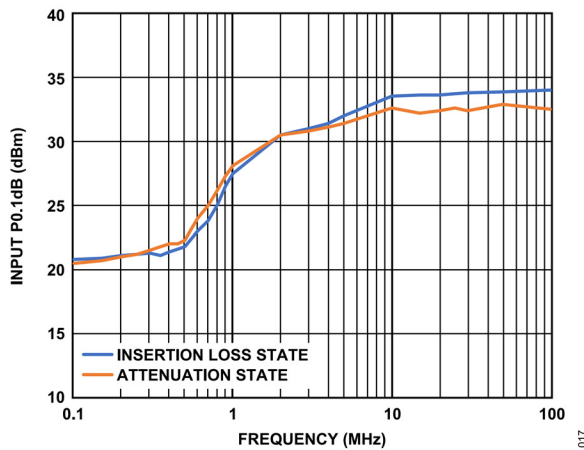


図 17. 入力 P0.1dB と周波数の関係、低周波数領域の詳細

動作原理

ADRF5714 は、16dB の減衰範囲を備えた 1 ビットのアッテネータを内蔵しています。デジタル制御入力 (D0) を備えており、希望の状態を選択できます (図 19 参照)。真理値表については表 7 を参照してください。

表 7. 真理値表

Digital Control Input (D0)	Attenuation State (dB)
Low	0 (reference)
High	16

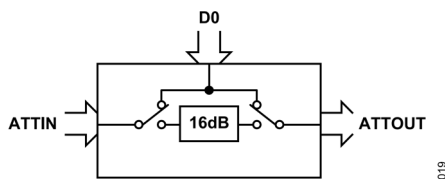


図 19. 簡素化した回路図

RF 入出力

両 RF ポート (ATTIN および ATTOUT) は 0V に DC 結合しており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

RF ポートは内部で 50Ω に整合しています。そのため、外付けのマッチング部品は不要です。

ADRF5714 は、同じ電力レベルでは双方向動作に対応できます。ATTIN ポートと ATTOUT ポートの電力処理は同一です。表 1 の RF 入力電力の各仕様を参照してください。

ADRF5714 は、単一の正電源電圧を VDD ピンに印加し、VSS ピンをグラウンドに接続した状態でも動作できます。ただし、入力圧縮と入力 3 次インターセプト (表 2 を参照) ポイントにおいて若干の性能低下が生じる可能性があります。

電源

ADRF5714 には、VDD ピンに印加する正電源電圧と、VSS ピンに印加する負電源電圧が必要です。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを接続することを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GND を接続します。
2. VDD と VSS に電源を入れます。ランプアップ中に VDD で電流トランジェントが発生しないように、VDD の電源投入後に VSS を電源投入します。
3. デジタル制御入力を印加します。ただし、VDD への給電前にデジタル制御入力に給電すると、内部 ESD 保護構造が意図せず順方向にバイアスされ、損傷する可能性があります。この損傷を防ぐため、1kΩ の抵抗を直列に接続して制御ピンに流入する電流を制限してください。VDD のパワー・アップ後にコントローラ出力が高インピーダンス状態になり、制御ピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を接続します。
4. RF 入力信号を ATTIN と ATTOUT に印加します。

理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

アプリケーション情報

RF 伝送ラインはコプレーナ導波路 (CPWG) モデルを使用して設計されており、パターン幅を 16 ミル、グラウンド・クリアランスを 6 ミルとし、特性インピーダンスが 50Ω になるようにしています。RF 接地と熱接地を最適化するため、伝送ラインの周囲とパッケージの露出パッド下には、可能な限り多くのスルー・ビアが配置されています。

RF 入出力ポート (ATTIN および ATTOUT) は、 50Ω の伝送ラインに接続されています。VDD と VSS の電源パターンでは、 100pF のバイパス・コンデンサによって高周波ノイズが除去されます。

図 20 に、ADRF5714 の簡略化されたアプリケーション回路を示します。

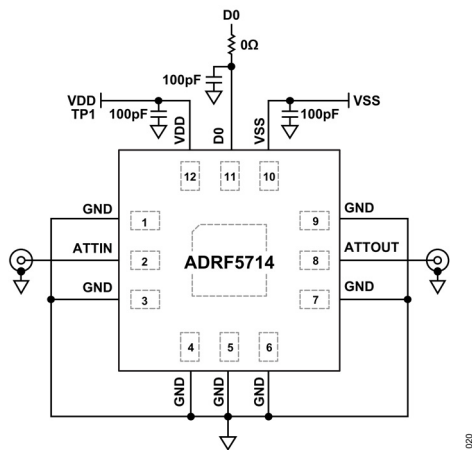


図 20. 簡略アプリケーション回路

PCB 設計のための推奨事項

RF ポートは内部で 50Ω に整合しており、ピン配置は、PCB にある特性インピーダンスが 50Ω の CPWG に接合できるよう設計されています。図 21 に、12 ミル厚の Rogers RO4003 誘電体材料を用いた RF 基板のための基準 CPWG RF パターン設計を示します。幅 16 ミル、クリアランス 6 ミルの RF パターンは、2.2 ミルの銅仕上げ厚さに推奨されます。

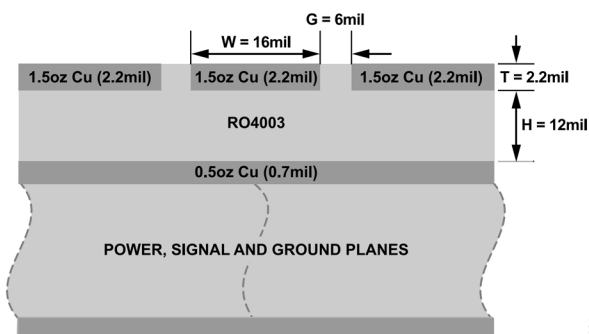


図 21. PCB 層構成例

図 22 に、ADRF5714 からの RF パターン、電源、制御信号のルーティングを示します。グラウンド・プレーンは、できる限り多数の埋め込みスルー・ビアで接続されており、最適な RF 性能および熱性能を発揮できます。デバイスの主な熱経路は裏面です。

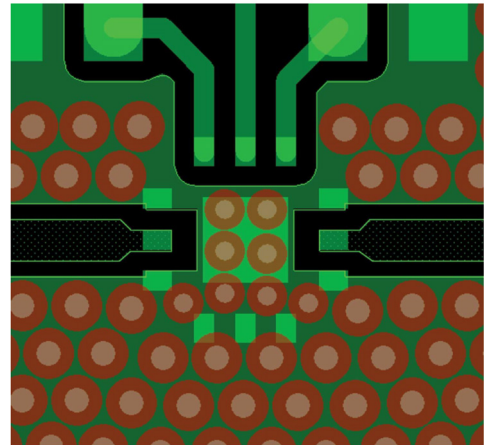


図 22. PCB 配線

ADRF5714 の ATTIN および ATTOUT ピンからリファレンス層構成の 50Ω CPWG までの間の推奨レイアウトを図 23 に示します。PCB パッドは、デバイス・パッドと 1 対 1 に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCB パッドからの RF パターンは、同じ 2 ミル幅で延長され、その後 90° の角度でテーパ状になっています。ペースト・マスクも、アパーチャが減少することなくパッドと一致するよう設計されています。ペーストは、複数の開口に分割されパドルを形成しています。

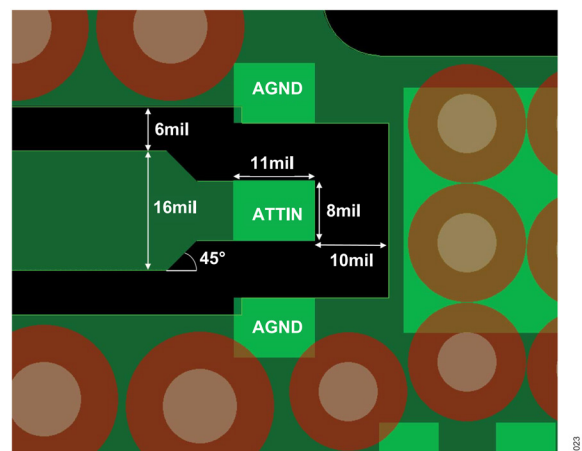


図 23. ATTIN および ATTOUT ピンの推奨される遷移

異なる誘電体厚さや CPWG 設計の代替 PCB 層構成に関する推奨事項は、アナログ・デバイセズのテクニカル・サポート・リクエストにお問い合わせください。

外形寸法

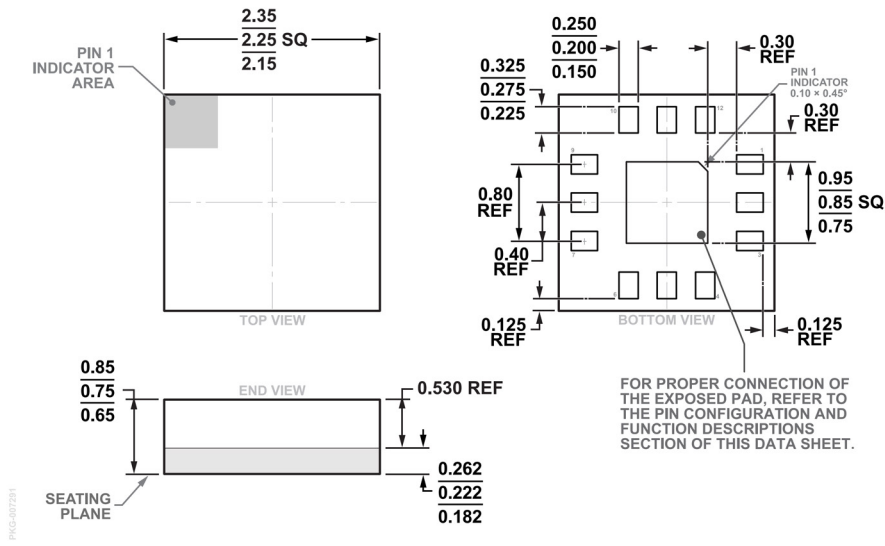


図 24. 12 端子のランド・グリッド・アレイ [LGA]
(CC-12-6)
単位：mm

更新：2023年9月15日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADRF5714BCCZN	-40°C to +105°C	12-Terminal Land Grid Array [LGA]	Reel, 500	CC-12-6
ADRF5714BCCZN-R7	-40°C to +105°C	12-Terminal Land Grid Array [LGA]	Reel, 500	CC-12-6

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
ADRF5714-EVALZ	Evaluation Board

¹ Z = RoHS 準拠製品。