

キャリア配置ダイ、シリコン・デジタル減衰器、 0.5dB LSB、6ビット、100MHz～40GHz

特長

- ▶ 超広帯域周波数範囲：100MHz～40GHz
- ▶ 減衰範囲：31.5dB（0.5dBステップ）
- ▶ ワイヤ・ボンドおよびリボン・ボンド用のボンド・パッド
- ▶ 低挿入損失
 - ▶ 1.7dB（代表値、18GHzまで）
 - ▶ 2.2dB（代表値、26GHzまで）
 - ▶ 3.2dB（代表値、40GHzまで）
- ▶ 減衰精度
 - ▶ $\pm(0.10 + \text{設定値の}2.0\%)$ dB（代表値、26GHzまで）
 - ▶ $\pm(0.13 + \text{設定値の}1.5\%)$ dB（代表値、35GHzまで）
 - ▶ $\pm(0.30 + \text{設定値の}1.5\%)$ dB（代表値、40GHzまで）
- ▶ ステップ誤差（代表値）：
 - ▶ ± 0.12 dB（代表値、26GHzまで）
 - ▶ ± 0.30 dB（代表値、35GHzまで）
 - ▶ ± 0.60 dB（代表値、40GHzまで）
- ▶ 高入力直線性
 - ▶ P0.1dB（挿入損失状態）：31dBm（代表値）
 - ▶ P0.1dB（他の減衰状態）：28dBm（代表値）
 - ▶ IP3：50dBm（代表値）
- ▶ 大RF電力処理
 - ▶ 26dBm（定常状態、平均値）
 - ▶ 31dBm（定常状態、ピーク値）
- ▶ 相対位相の分布が緊密
- ▶ 低周波数スプリアス・シグナルなし
- ▶ SPIおよびパラレル・モード制御、CMOS/LVTTL互換
- ▶ RF振幅のセトリング・タイム（最終RF出力の0.1dBまで）：250ns
- ▶ 18パッド、3.171mm×1.616mm、キャリア配置ダイ [CHIP]

アプリケーション

- ▶ 試験および計測器
- ▶ セルラ・インフラ：5G用ミリ波
- ▶ 防衛用無線、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線および超小型地球局（VSAT）

機能ブロック図

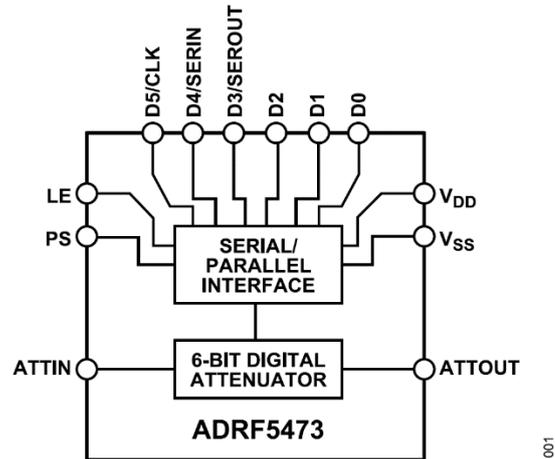


図 1.

概要

ADRF5473は、シリコン・プロセスで作製した0.5dBステップで31.5dBの減衰範囲を持つ6ビット・デジタル減衰器で、ガリウム砒素（GaAs）キャリア基板に取り付けられています。基板には、チップおよびワイヤ・アセンブリのためのボンド・パッドが備わっており、デバイスの底面は金属被覆されてグラウンドに接続されています。

このデバイスは100MHz～40GHzで動作し、3.2dB未満の低挿入損失と優れた減衰精度を実現します。ADRF5473のRF入力電力処理能力は、すべての状態において、平均値で26dBm、ピーク値で31dBmです。

ADRF5473には、+3.3Vと-3.3Vの両電源電圧が必要です。シリアル・ペリフェラル・インターフェース（SPI）、パラレル・モード制御、CMOS（相補型金属酸化膜半導体）/LVTTL（低電圧トランジスタ・トランジスタ・ロジック）互換制御が可能です。

ADRF5473は、50Ωの特性インピーダンスに適合するように設計されています。

このデータシートでは、多機能パッドが持つ機能のうちの1つに言及する場合は、そのパッド名の関連する部分のみを記載しています。多機能パッドの完全な名称については、該当のセクションを参照してください。

目次

特長.....	1	挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相.....	10
アプリケーション.....	1	入力電力圧縮と3次インターセプト.....	12
機能ブロック図.....	1	動作原理.....	13
概要.....	1	電源.....	13
仕様.....	3	RF入出力.....	13
電気仕様.....	3	シリアル・モードまたはパラレル・モードの選択.....	14
タイミング仕様.....	5	シリアル・モード・インターフェース.....	14
絶対最大定格.....	6	パラレル・モード・インターフェース.....	15
熱抵抗.....	6	アプリケーション情報.....	16
パワー・ディレーティング曲線.....	6	ダイのアセンブリ.....	16
静電放電（ESD）定格.....	7	ハンドリング、マウンティングおよびエポキシ樹脂によるダイ接着.....	16
ESDに関する注意.....	7	外形寸法.....	17
ピン配置およびピン機能の説明.....	8	オーダー・ガイド.....	17
インターフェース回路図.....	9		
代表的な性能特性.....	10		

改訂履歴

12/2021—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、 $V_{DD} = +3.3V$ 、 $V_{SS} = -3.3V$ 、制御電圧 = 0Vまたは V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 、 50Ω システム。

Sパラメータは、マイクロストリップ・ランチャと3ミル幅リボン・ボンドを用いて、グラウンド-信号-グラウンド (GSG) プローブで測定。このランチャはディエンベディングされています。アセンブリの詳細については、[アプリケーション情報](#)のセクションを参照してください。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位	
FREQUENCY RANGE		100		40,000	MHz	
INSERTION LOSS	100MHz~10GHz		1.3		dB	
	10GHz~18GHz		1.7		dB	
	18GHz~26GHz		2.2		dB	
	26GHz~35GHz		2.8		dB	
	35GHz~40GHz		3.2		dB	
RETURN LOSS	ATTINおよびATTOUT、全減衰状態					
	100MHz~10GHz		17		dB	
	10GHz~18GHz		18		dB	
	18GHz~26GHz		17		dB	
	26GHz~35GHz		15		dB	
35GHz~40GHz		15		dB		
ATTENUATION	Range	最小減衰状態と最大減衰状態の間	31.5		dB	
		連続する任意の減衰状態の間	0.5		dB	
	Accuracy	挿入損失を基準				
		100MHz~10GHz		$\pm(0.05 + 1.5\% \text{ of state})$		dB
		10GHz~18GHz		$\pm(0.07 + 2.0\% \text{ of state})$		dB
		18GHz~26GHz		$\pm(0.10 + 2.0\% \text{ of state})$		dB
		26GHz~35GHz		$\pm(0.13 + 1.5\% \text{ of state})$		dB
	35GHz~40GHz		$\pm(0.30 + 1.5\% \text{ of state})$		dB	
	Step Error	連続する任意の状態の間				
		100MHz~10GHz		± 0.11		dB
10GHz~18GHz			± 0.12		dB	
18GHz~26GHz			± 0.12		dB	
26GHz~35GHz			± 0.30		dB	
35GHz~40GHz		± 0.60		dB		
RELATIVE PHASE	挿入損失を基準					
	10 GHz		18		Degrees	
	18 GHz		33		Degrees	
	26 GHz		50		Degrees	
	35 GHz		75		Degrees	
	40 GHz		80		Degrees	
SWITCHING CHARACTERISTICS	全減衰状態 (入力電力 $P_{IN} = 10\text{dBm}$)					
	Rise and Fall Time (t_{RISE} and t_{FALL})	RF出力の10~90%	35		ns	
	On and Off Time (t_{ON} and t_{OFF})	50%でトリガ制御されてからRF出力の90%に達するまでの時間	125		ns	
	RF Amplitude Settling Time	50%でトリガ制御されてから最終RF出力の0.1dBに達するまでの時間	250		ns	
		0.1 dB				
	0.05 dB	50%でトリガ制御されてから最終RF出力の0.05dBに達するまでの時間	350		ns	
	Overshoot		1		dB	
	Undershoot		-2.5		dB	
RF Phase Settling Time	周波数 = 5GHz					

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
5°	50%でトリガ制御されてから最終RF出力の5°に達するまでの時間		160		ns
1°	50%でトリガ制御されてから最終RF出力の1°に達するまでの時間		180		ns
INPUT LINEARITY ¹	周波数 = 100MHz~30GHz				
0.1 dB Power Compression (P0.1dB)			31		dBm
Insertion Loss State			28		dBm
Other Attenuation States			50		dBm
Third-Order Intercept (IP3)	ツートーンP _{IN} = 1トーンあたり14dBm、Δf = 1MHz、全減衰状態				dBm
DIGITAL CONTROL INPUTS	LE、PS、D0、D1、D2、D3/SEROUT ² 、D4/SERIN、D5/CLK				
Voltage					
Low (V _{INL})		0		0.8	V
High (V _{INH})		1.2		3.3	V
Current					
Low (I _{INL})			<1		μA
High (I _{INH})	D0、D1、D2		33		μA
	LE、PS、D3/SEROUT ² 、D4/SERIN、D5/CLK		<1		μA
DIGITAL CONTROL OUTPUT	D3/SEROUT ²				
Voltage					
Low (V _{OUTL})			0 ± 0.3		V
High (V _{OUTH})			V _{DD} ± 0.3		V
Low and High Current (I _{OUTL} and I _{OUTH})				0.5	mA
SUPPLY CURRENT	V _{DD} と V _{SS}				
Positive Supply Current			117		μA
Negative Supply Current			-117		μA
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage					
Positive (V _{DD})		3.15		3.45	V
Negative (V _{SS})		-3.45		-3.15	V
Digital Control Voltage		0		V _{DD}	V
RF Power Handling ³	周波数 = 100MHz~30GHz、T _{DIE} ⁴ = 85°C ⁵ 、全減衰状態				
Input at ATTIN	定常状態、平均値			26	dBm
	定常状態、ピーク値			31	dBm
	ホット・スイッチング、平均値			23	dBm
	ホット・スイッチング、ピーク値			27	dBm
Input at ATTOUT	定常状態、平均値			17	dBm
	定常状態、ピーク値			21	dBm
	ホット・スイッチング、平均値			14	dBm
	ホット・スイッチング、ピーク値			18	dBm
Die Temperature (T _{DIE}) ⁴		-40		+105 °	°C

1 入力直線性は周波数の増加と共に低下します (図20~図23を参照)。

2 D3/SEROUT ピンは、パラレル制御モードでは入力、シリアル制御モードでは出力です。パッド機能の説明については、表6を参照してください。

3 パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。ATTINおよびATTOUTのすべての電力仕様に適用されます。

4 TDIEはキャリア配置ダイの底面の温度です。

5 105°Cでの動作の場合、電力処理能力はT_{DIE} = 85°Cでの仕様より3dB低下します。

仕様

タイミング仕様

タイミング図については図25、図26、図27を参照してください。

表2.

Parameter	Description	Min	Typ	Max	Unit
t_{SCK}	Minimum serial period, see Figure 25	70			ns
t_{CS}	Control setup time, see Figure 25	15			ns
t_{CH}	Control hold time, see Figure 25		3	5	ns
t_{LN}	LE setup time, see Figure 25	15			ns
t_{LEW}	Minimum LE pulse width, see Figure 25 and Figure 27		10		ns
t_{LES}	Minimum LE pulse spacing, see Figure 25		630		ns
t_{CKN}	Serial clock hold time from LE, see Figure 25		0		ns
t_{PH}	Hold time, see Figure 27		10		ns
t_{PS}	Setup time, see Figure 27		2		ns
t_{CO}	Clock to output (SEROUT) time, see Figure 26	15	20	25	ns

絶対最大定格

表 3.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Inputs	
Voltage	-0.3 V to $V_{DD} + 0.3$ V
Current	3 mA
RF Input Power ¹ (f = 100 MHz to 30 GHz, $T_{DIE} = 85^{\circ}\text{C}^2$)	
ATTIN	
Steady State Average	27 dBm
Steady State Peak	32 dBm
Hot Switching Average	24 dBm
Hot Switching Peak	28 dBm
ATTOUT	
Steady State Average	18 dBm
Steady State Peak	22 dBm
Hot Switching Average	15 dBm
Hot Switching Peak	19 dBm
RF Power Under Unbiased Condition (V_{DD} and $V_{SS} = 0$ V)	
Input at ATTIN	21 dBm
Input at ATTOUT	15 dBm
Temperature	
Junction (T_J)	135°C
Storage	-55°C to +150°C
Processing	170°C
Continuous Power Dissipation (P_{DISS})	0.4 W

1 パワー・ディレーティングと周波数の関係については、[図2](#)と[図3](#)を参照してください。ATTINおよびATTOUTのすべての電力仕様に適用されます。

2 105°Cでの動作の場合、電力処理能力は $T_{DIE} = 85^{\circ}\text{C}$ での仕様より3dB低下します。

絶対最大定格に記載された値以上のストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部（チャンネルとキャリア底部）の間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JC}	Unit
C-18-1	125	°C/W

パワー・ディレーティング曲線

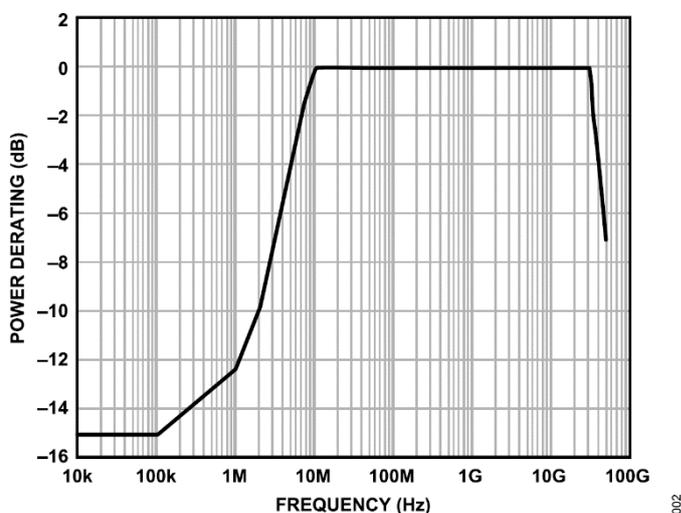


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、 $T_{DIE} = 85^{\circ}\text{C}$

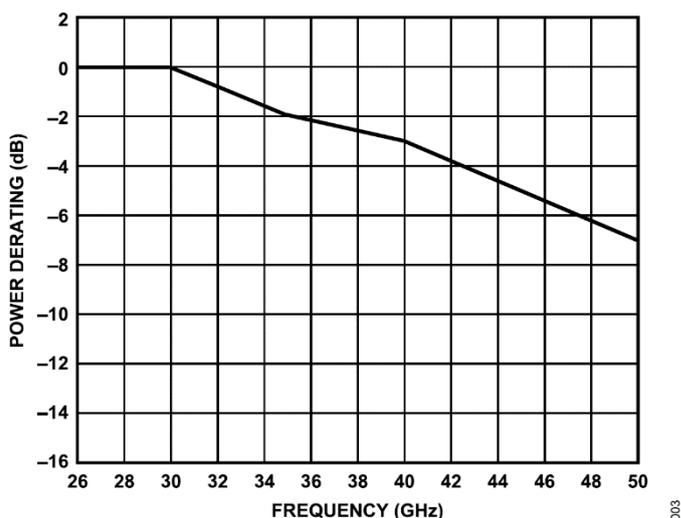


図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、 $T_{DIE} = 85^{\circ}\text{C}$

絶対最大定格

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル（CDM）。

ADRF5473のESD定格

表5. ADRF5473、18パッド・キャリア配置ダイ [CHIP]

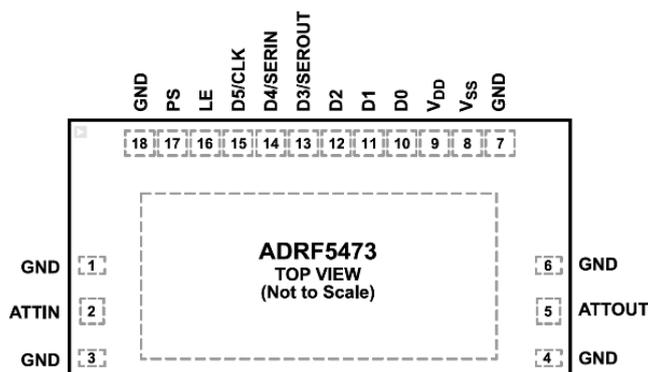
ESD Model	Withstand Threshold (V)
Human Body Model (HBM)	
ATTIN and ATTOUT Pads	±500
Supply and Control Pads	±2000

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. THE CARRIER BOTTOM IS GOLD METALIZED AND MUST BE DIRECTLY ATTACHED TO THE GROUND PLANE USING CONDUCTIVE EPOXY.

004

図 4. パッド配置

表 6. パッド機能の説明

ピン番号	記号	説明
1, 3, 4, 6, 7, 18	GND	グラウンド。これらのGNDパッドのボンディングは任意です。アプリケーション情報のセクションを参照してください。
2	ATTIN	減衰器入力。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、図7を参照してください。
5	ATTOUT	減衰器出力。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、図7を参照してください。
8	V _{SS}	負電源入力。インターフェース回路図については、図9を参照してください。
9	V _{DD}	正電源入力。インターフェース回路図については、図8を参照してください。
10	D0	0.5dB減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図6を参照してください。
11	D1	1dB減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図6を参照してください。
12	D2	2dB減衰器ビット用パラレル制御入力。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図6を参照してください。
13	D3/SEROUT	4dB減衰器ビット用パラレル制御入力 (D3)。シリアル・データ出力 (SEROUT)。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図5を参照してください。
14	D4/SERIN	8dB減衰器ビット用パラレル制御入力 (D4)。シリアル・データ入力 (SERIN)。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図5を参照してください。
15	D5/CLK	16dB減衰器ビット用パラレル制御入力 (D5)。シリアル・クロック入力 (CLK)。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図5を参照してください。
16	LE	ラッチ・イネーブル入力。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図5を参照してください。
17	PS	パラレルまたはシリアル制御インターフェースの選択入力。詳細については、動作原理のセクションを参照してください。インターフェース回路図については、図5を参照してください。
	Carrier Bottom	キャリア底部は金で金属被覆されており、導電性エポキシ樹脂を使用してグラウンド・プレーンに直接接着する必要があります。

ピン配置およびピン機能の説明

インターフェース回路図

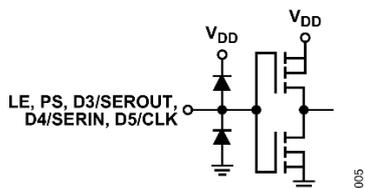


図 5. デジタル入カインターフェース回路図 (LE、PS、D3/SEROUT、D4/SERIN、D5/CLK)

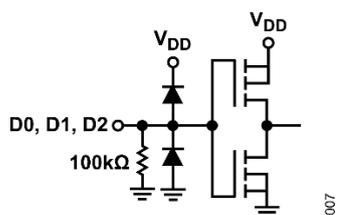


図 6. デジタル入カインターフェース回路図 (D0、D1、D2)

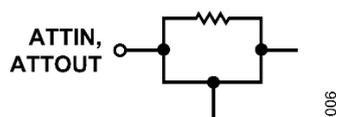


図 7. ATTINおよびATTOUTのインターフェース回路図

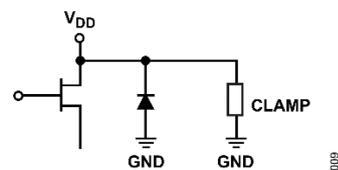


図 8. V_{DD} のインターフェース回路図

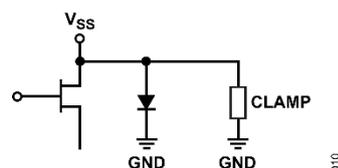


図 9. V_{SS} のインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相

特に指定のない限り、 $V_{DD} = +3.3V$ 、 $V_{SS} = -3.3V$ 、制御電圧 = 0Vまたは V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 、 50Ω システム。

Sパラメータは、マイクロストリップ・ランチャと3ミル幅リボン・ボンドを用いて、グラウンド-信号-グラウンド (GSG) プローブで測定。このランチャはディエンベディングされています。アセンブリの詳細については、[アプリケーション情報](#)のセクションを参照してください。

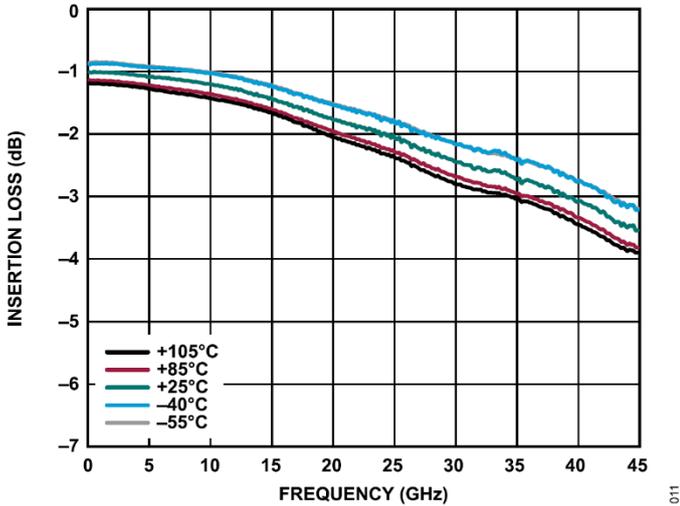


図 10. 各種温度での挿入損失と周波数の関係

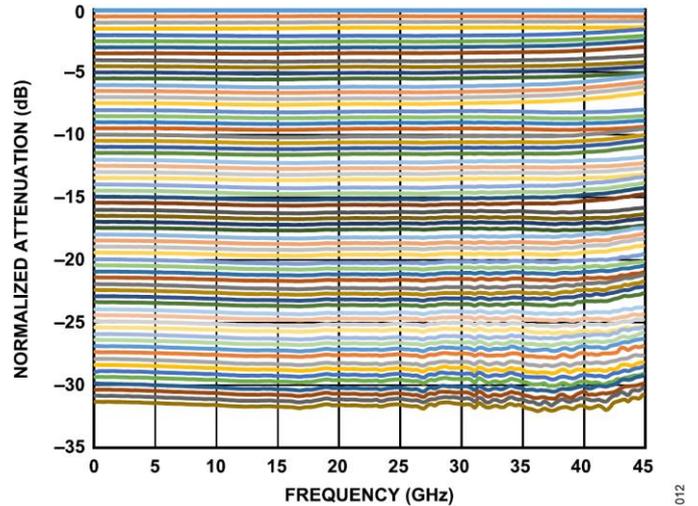


図 12. 全状態での規格化減衰量と周波数の関係

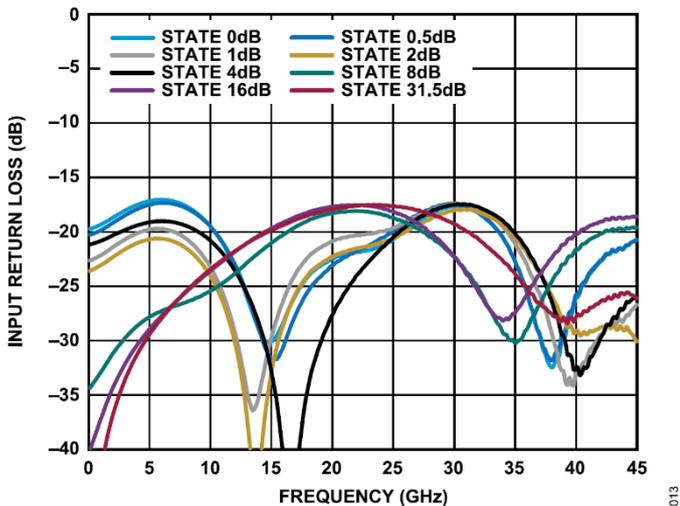


図 11. 入力リターン損失と周波数の関係

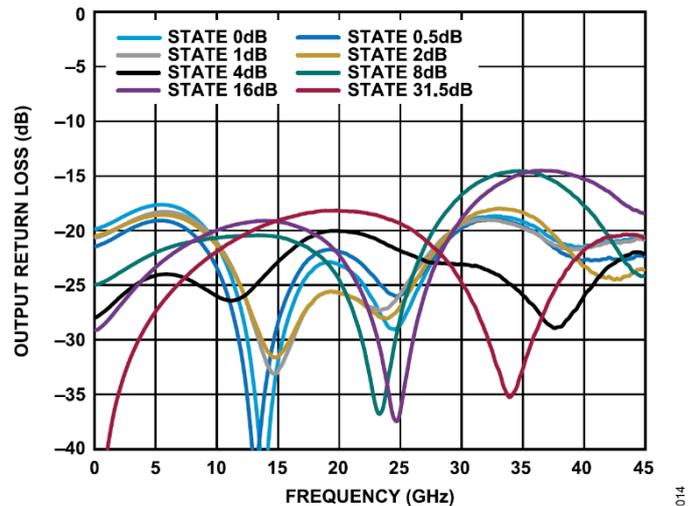


図 13. 出力リターン損失と周波数の関係

仕様

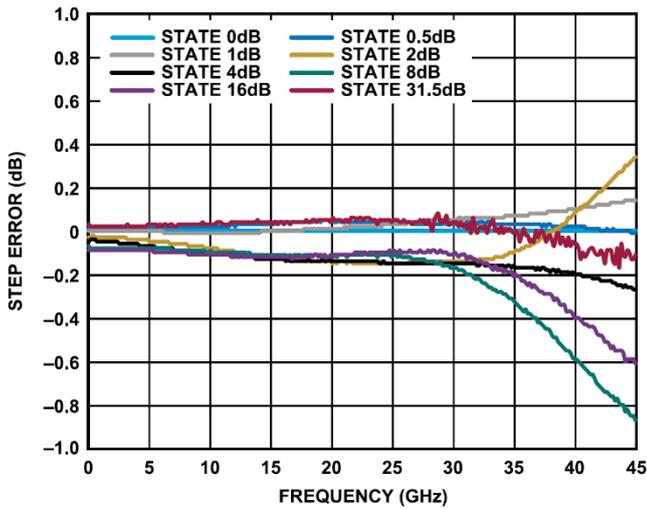


図 14. ステップ誤差と周波数の関係

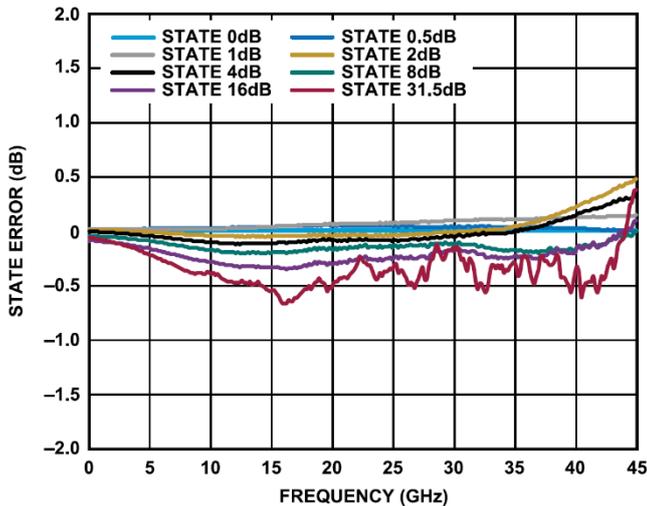


図 15. 状態誤差と周波数の関係

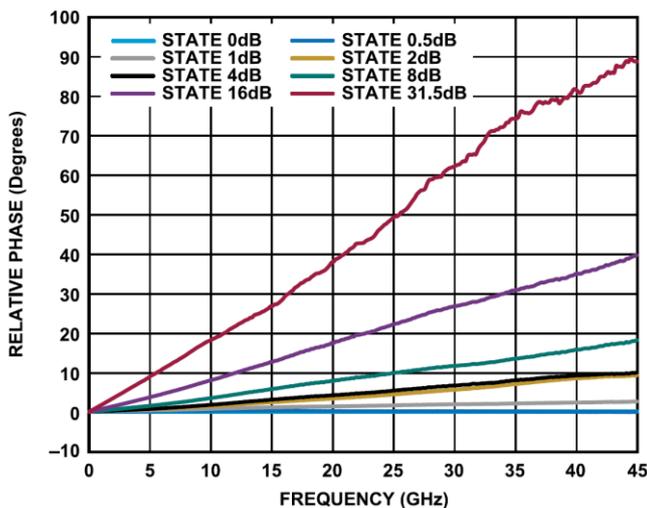


図 16. 相対位相と周波数の関係

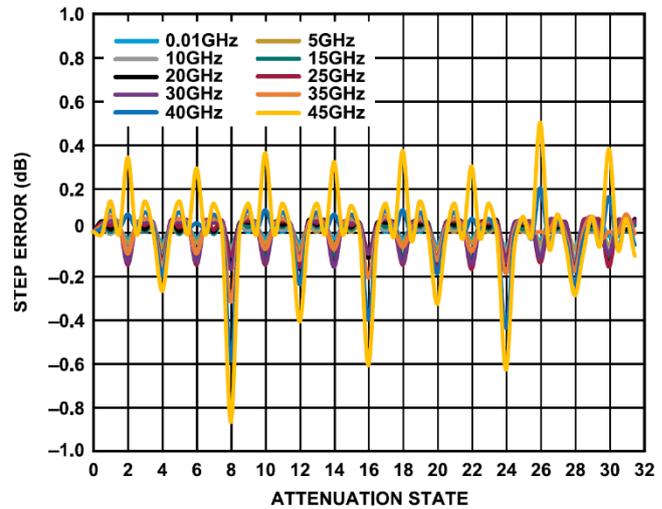


図 17. 各種周波数でのステップ誤差と減衰状態の関係

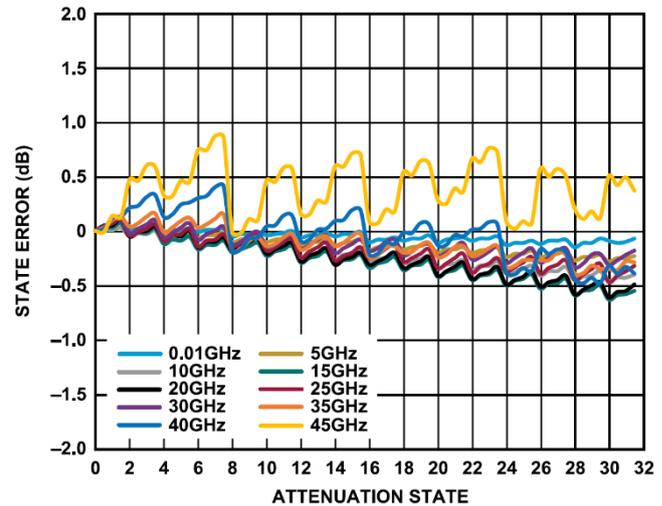


図 18. 各種周波数での状態誤差と減衰状態の関係

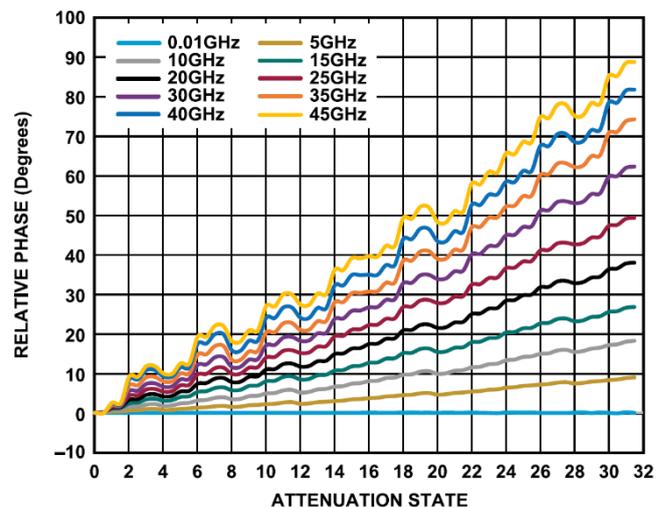


図 19. 各種周波数での相対位相と減衰状態の関係

仕様

入力電力圧縮と3次インターセプト

特に指定のない限り、 $V_{DD} = +3.3V$ 、 $V_{SS} = -3.3V$ 、制御電圧 = 0VまたはVDD、 $T_{DIE} = 25^{\circ}C$ 、50Ωシステム。

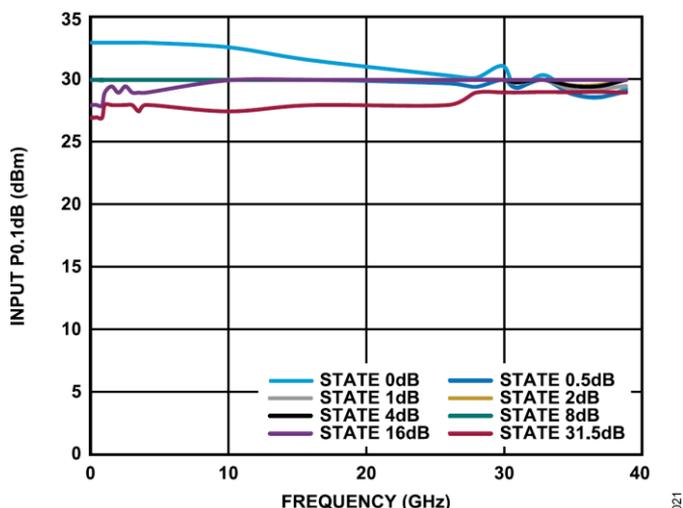


図 20. 入力P0.1dBと周波数の関係

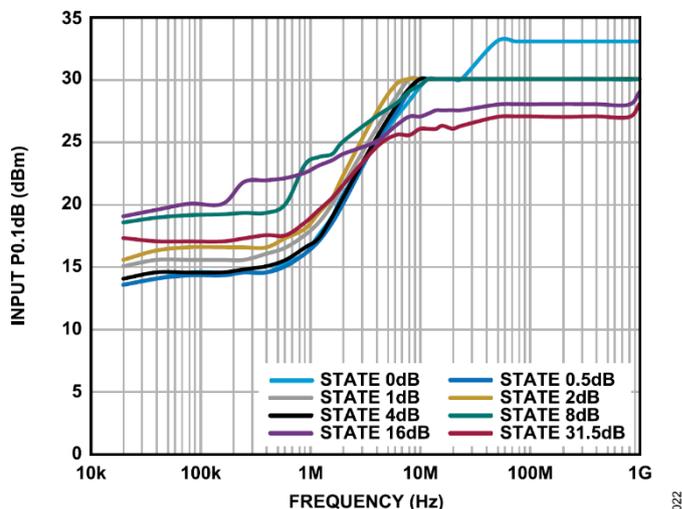


図 22. 入力P0.1dBと周波数の関係、低周波数の詳細

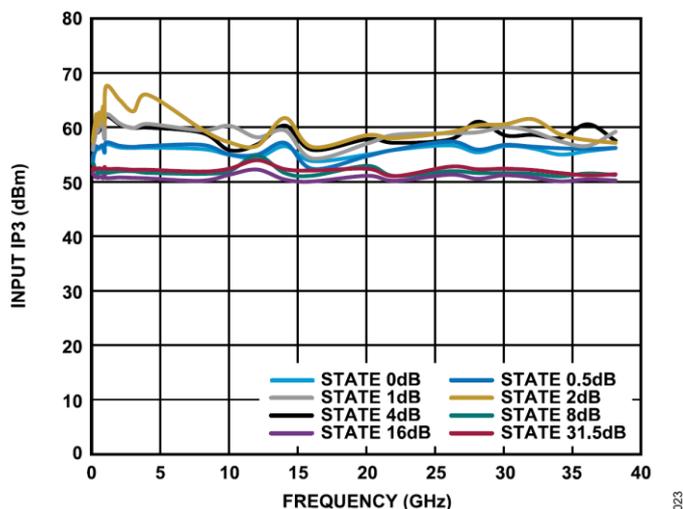


図 21. 入力IP3と周波数の関係

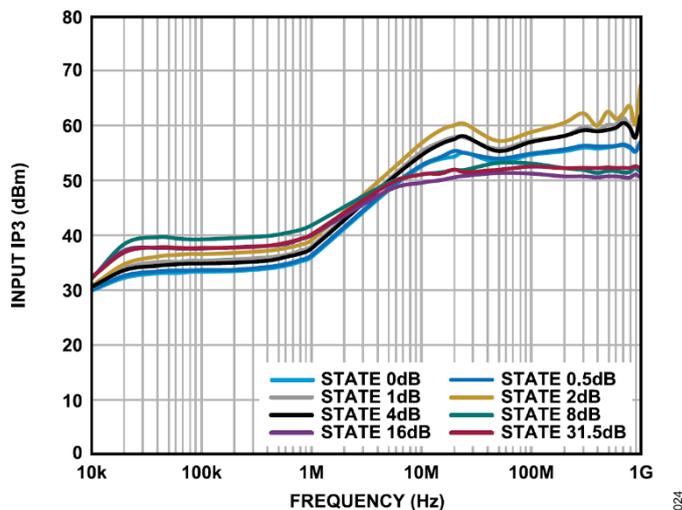


図 23. 入力IP3と周波数の関係、低周波数の詳細

動作原理

ADRF5473は、0.5dBステップで31.5dBの減衰範囲を備えた6ビット固定の減衰器アレイを内蔵しています。内蔵のドライバが減衰器アレイのシリアル・モード制御とパラレル・モード制御を行います（図24参照）。

このデータシートでは多機能パッドが持つ機能のうちの1つに言及する場合は、そのパッド名の関連する部分のみを記載していません。多機能パッドの完全な名称については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

電源

ADRF5473には、V_{DD}パッドに印加する正電源電圧と、V_{SS}パッドに印加する負電源電圧が必要です。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを接続することを推奨します。

パワーアップ・シーケンスは次のとおりです。

1. GNDを接続します。
2. V_{DD}電圧とV_{SS}電圧に電源投入します。ランプアップ中にV_{DD}で電流トランジェントが発生しないように、V_{DD}の電源投入後にV_{SS}を電源投入します。
3. デジタル制御入力に電源を投入します。デジタル制御入力の順序は重要ではありません。ただし、V_{DD}への電源投入の前にデジタル制御入力に電源を投入すると、意図せぬ順方向バイ

表7. 真理値表

Digital Control Input ¹						Attenuation State (dB)
D5	D4	D3	D2	D1	D0	
Low	Low	Low	Low	Low	Low	0 (reference)
Low	Low	Low	Low	Low	High	0.5
Low	Low	Low	Low	High	Low	1.0
Low	Low	Low	High	Low	Low	2.0
Low	Low	High	Low	Low	Low	4.0
Low	High	Low	Low	Low	Low	8.0
High	Low	Low	Low	Low	Low	16.0
High	High	High	High	High	High	31.5

1 この表に示す制御電圧入力状態をどのように組み合わせても、選択したビットの和に等しい減衰量が得られます。

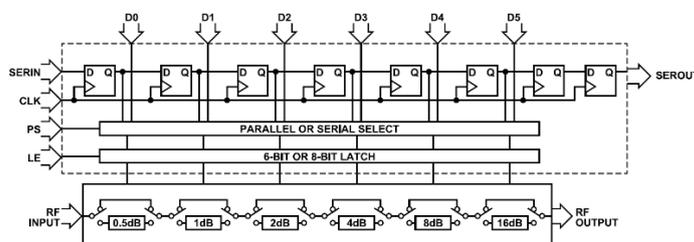


図 24. 簡素化した回路図

アスの原因となり、内部のESD構造に損傷を与えるおそれがあります。この損傷を防ぐため、1k Ω の直列抵抗を用いて、制御パッドに流入する電流を制限します。V_{DD}への電源投入後にコントローラ出力が高インピーダンス状態になり、制御パッドが有効なロジック状態に駆動されない場合には、プルアップ抵抗またはプルダウン抵抗を使用してください。

4. RF入力信号をATTINとATTOUTに印加します。

パワーダウン・シーケンスは、パワーアップ・シーケンスと逆の順序です。

パワーアップ状態

デバイスはパワーオン・リセット回路を内蔵しています。V_{DD}電圧とV_{SS}電圧が印加され、LEがローになると、この回路によって、減衰器が最大減衰状態（31.5dB）に設定されます。

RF入出力

両方のRFポート（ATTINおよびATTOUT）は0VにDC結合しており、RFラインの電位が0Vに等しい場合、RFポートでのDC阻止は不要です。

ADRF5473は、低消費電力レベルでは双方向動作に対応します。ATTINポートとATTOUTポートの電力処理は異なります。そのため、双方向の電力処理はATTOUTポートで定義されます。表1のRF入力電力の各仕様を参照してください。

動作原理

シリアル・モードまたはパラレル・モードの選択

ADRF5473は、PSパッドをハイに設定することでシリアル・モード制御、ローに設定することでパラレル・モード制御が可能です（表8参照）。

表8.モード選択

PS	Control Mode
Low	Parallel
High	Serial

シリアル・モード・インターフェース

ADRF5473は、シリアル・データ入力（SERIN）、クロック（CLK）、シリアル・データ出力（SEROUT）、ラッチ・イネーブル（LE）の4線式SPIに対応します。シリアル制御インターフェースは、PSをハイに設定することでアクティブ化できます。

ADRF5473の減衰状態は、6ビットまたは8ビットのSERINデータで制御できます。8ビット・ワードを使用して減衰器の状態を制御する場合、最初の2ビット（D7とD6）はドント・ケア・ビットとなります。これらの2ビットはローのままでもハイのままでも、あるいは完全に省略されてもかまいません。減衰器の状態はビット [D0 : D5] のみで設定されます。

シリアル・モードでは、SERINデータはCLKの立上がりエッジでクロックされ、シフト・レジスタにMSBファーストで入力されます。その後、新しい減衰状態をデバイスにラッチするため、LEをハイにトグルする必要があります。LEがハイのままではCLKがマスクされて減衰器の値を変更できないので、新しいSERINデータをクロックしてシフト・レジスタに入力するには、LEをローにする必要があります。詳細については、図25、表2、表7を参照してください。

SEROUTの使用

ADRF5473にはシリアル・データ出力（SEROUT）も備わっています。SEROUTは8番目のクロック・サイクルでシリアル入力データを出力し、1つのSPIバスを使用してカスケード接続された減衰器を制御できます。図26にシリアル出力のタイミング図を示します。

減衰器をデジチェーン動作で使用する場合、SERINとSEROUTの間に8クロック・サイクル分の遅延があるため、8ビットのSERINデータを使用する必要があります。SEROUTパッドは高インピーダンス・モードには対応していません。共有バスとのインターフェースにはトライステート・バッファを使用できます。

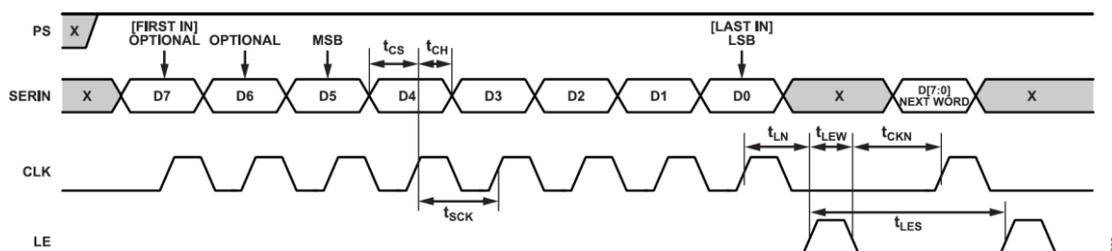


図 25. シリアル制御のタイミング図

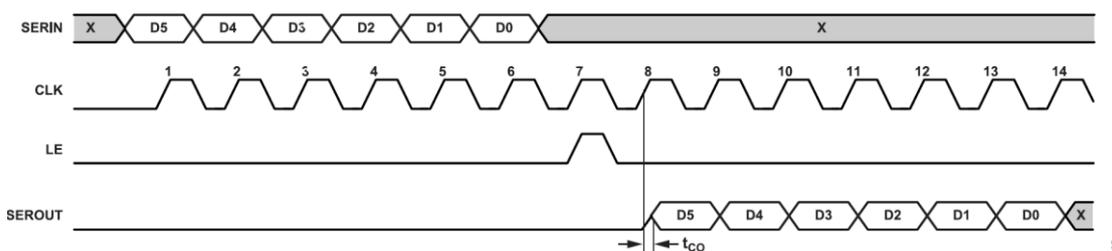


図 26. シリアル出力のタイミング図

動作原理

パラレル・モード・インターフェース

ADRF5473には、D0 (LSB) ~D5 (MSB) の6つのデジタル制御入力があり、パラレル・モードで目的の減衰状態を選択できます (表7参照)。パラレル制御インターフェースは、PSをローに設定することでアクティブ化できます。

パラレル動作には、直接パラレルとラッチド・パラレルの2つのモードがあります。

直接パラレル・モード

直接パラレル・モードを有効にするには、LEパッドをハイのままにします。減衰状態は、制御電圧入力 (D0~D5) を使って直接変更できます。このモードは減衰器の手動制御に最適です。

ラッチド・パラレル・モード

ラッチド・パラレル・モードを有効にするには、制御電圧入力 (D0~D5) を変更して減衰状態を設定する際に、LEパッドをロ

ーのままにします。目的の状態を設定したら、LEをハイにトグルして、6ビット・データを減衰器アレイのバイパス・スイッチに転送し、次にLEをローにトグルして、次の目的の減衰変更までデバイスに変更をラッチします (追加情報については図27と表2を参照)。

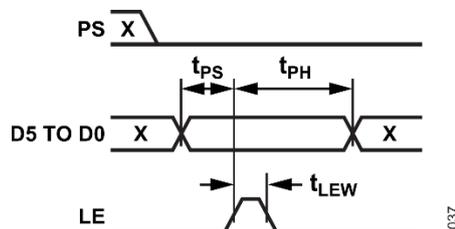


図 27. ラッチド・パラレル・モードのタイミング図

アプリケーション情報

ダイのアセンブリ

ADRF5473のアセンブリ図を図28に示します。

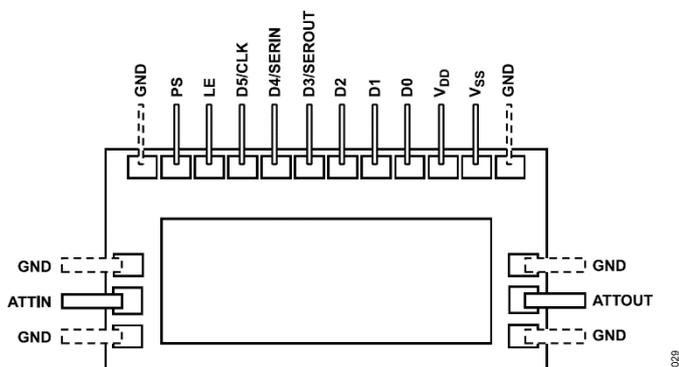


図 28. アセンブリ図

ADRF5473は、3ミル×0.5ミルの金リボン・ワイヤと3ミルのループ高さ（代表値）で、最適なRF入力および出力インピーダンスが整合するように設計されています。図29と図30に、そのボンディング図を示します。また、同等のインダクタンスを有する複数のワイヤ・ボンドを使用しても、同様の性能が得られます。デバイスからのRFルーティングには、コプラナ導波路またはマイクロストリップ伝送線を使用することができます。デバイスは推奨リボン・ボンドに内部で整合するように設計されているため、伝送線パッド上でのインピーダンス整合は不要です。最適な性能を得るには、RF伝送ラインとデバイス・エッジの間隔を3ミルにすることを推奨します。

DCパッドは、配線長をできるだけ短くして寄生インダクタンスを最小限に抑えることにより、標準的な1ミル径のワイヤを使用して接続できます。DCパッドは十分な大きさがあるため、必要に応じて、リボン・ボンドを使用できます。

すべてのボンドは、150°Cの公称ステージ温度でサーモニック・ボンディングする必要があり、信頼性の高いボンドを実現するには最小量の超音波エネルギーを印加する必要があります。

デバイスは裏面が金属被覆されているため、グラウンド接続は、導電性エポキシ樹脂を用いてデバイスをRFグランド・プレーンに直接接着して行うことができます。この場合、グラウンド・パッドの接続は任意ですが、確実なグラウンド接続を確保するために推奨します。

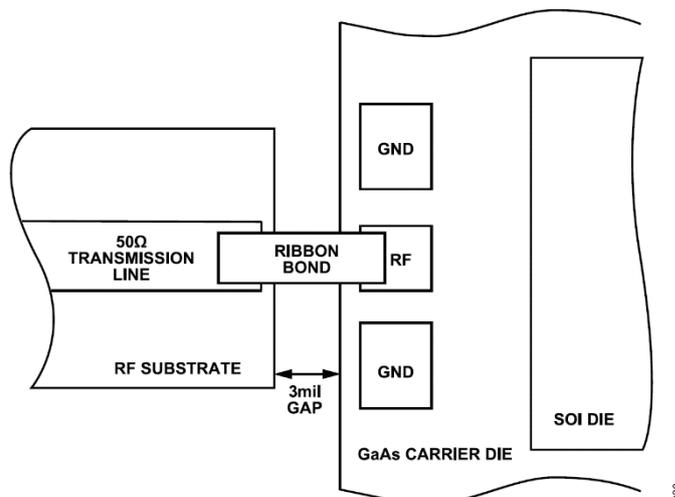


図 29. ボンディングの上面図

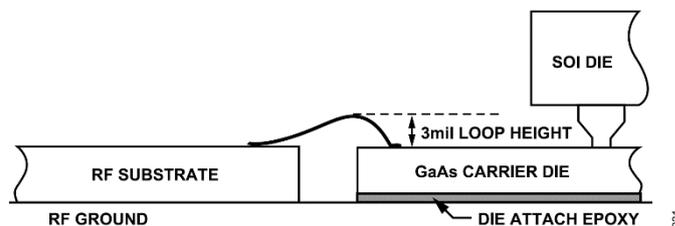


図 30. ボンディングの側面図

ハンドリング、マウンティングおよびエポキシ樹脂によるダイ接着

デバイスは、出荷用のESD保護密封袋に入れて保管し、すべてのベア・ダイは乾燥窒素環境で保管してください。

手作業でピッキングする場合、GaAsデバイス用のピンセットを使用することが一般的です。しかし、キャリア配置ダイのデバイスについては、デバイス基板上への損傷を避けるために、真空ツールの使用を推奨します。これらのデバイスのハンドリングは清浄な環境下で行ってください。

ダイをエポキシ樹脂で接着するには、チップを所定の位置に配置してから、チップ周辺に薄いエポキシ樹脂のフィレットが観察される程度に、一定量のエポキシ樹脂をマウント面に塗布します。エポキシ樹脂の硬化温度は、メーカーの推奨値およびデバイスの最大定格に従って設定して、アセンブリ後の機械的ストレスの蓄積を最小限に抑えます。

両方のダイがハンダ接合部で接着されるため、ユーザは、モジュール・アセンブリの熱機械的設計の最良のやり方に従う必要があります。基板材料の熱膨張係数は、GaAsおよびシリコン (Si) ダイの熱膨張係数と一致する必要があります。基板には反りなどの機械的変形がないようにしてください。ダイ接着工程とエポキシ樹脂硬化温度は、アセンブリ後のストレスの蓄積が低くなるように設定します。

外形寸法

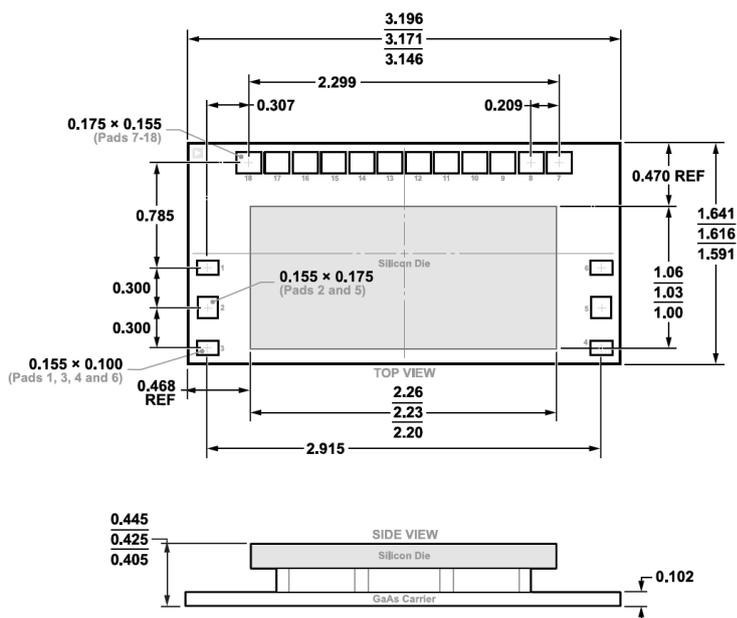


図 31. 18パッド・キャリア配置ダイ [CHIP]
(C-18-1)
寸法単位 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Information	Package Option
ADRF5473BCZ	-40°C to +105°C	18-Pad Die on Carrier [CHIP]	Waffle Pack, 50	C-18-1
ADRF5473BCZ-GP	-40°C to +105°C	18-Pad Die on Carrier [CHIP]	Gel Pack, 50	C-18-1
ADRF5473BCZ-SX	-40°C to +105°C	18-Pad Die on Carrier [CHIP]	Waffle Pack, 2	C-18-1

1 Z = RoHS準拠製品。

06-03-2021-A