

キャリア配置ダイ、シリコンSPDTスイッチ、100MHz～60GHz

特長

- ▶ 超広帯域周波数範囲：100MHz～60GHz
- ▶ 反射設計
- ▶ ワイヤ・ボンドおよびリボン・ボンド用のボンド・パッド
- ▶ 低挿入損失
 - ▶ 1.0dB（代表値、18GHzまで）
 - ▶ 1.3dB（代表値、44GHzまで）
 - ▶ 1.5dB（代表値、55GHzまで）
- ▶ 高入力直線性
 - ▶ P1dB：28dBm（代表値）
 - ▶ IP3：50dBm（代表値）
- ▶ 大RF電力処理
 - ▶ スルー・パス：27dBm（40GHzまで）
 - ▶ ホット・スイッチング：27dBm（40GHzまで）
- ▶ 低周波数スプリアス信号なし
- ▶ RFセトリング・タイム（ V_{CTRL} の50%から最終RF出力の0.1dBまで）：17ns
- ▶ 14パッド、2.471mm × 2.571mm、キャリア配置ダイ [CHIP]

アプリケーション

- ▶ 試験および計測器
- ▶ セルラ・インフラ：5Gミリ波
- ▶ 防衛用無線、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線および超小型地球局（VSAT）

機能ブロック図

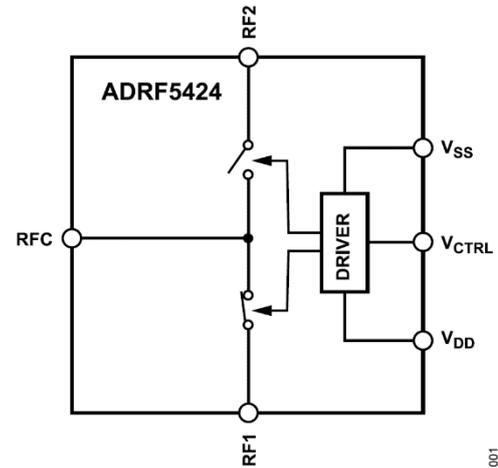


図 1.

概要

ADRF5424は、シリコン・プロセスを使って製造した反射単極双投（SPDT）スイッチで、ガリウム砒素（GaAs）キャリア基板上に取り付けられています。基板には、チップおよびワイヤ・アセンブリのためのボンド・パッドが備わっており、デバイスの底面は金属被覆されてグラウンドに接続されています。

このデバイスは、1.5dBの挿入損失および35dBのアイソレーション（55GHz）を上回る特性を持ち、100MHz～60GHzで動作します。また、スルー・パスとホット・スイッチングの両方に対応する27dBmのRF入力電力処理能力が、最大40GHzまで可能です。

ADRF5424の消費電流は、+3.3Vの正側電源で14 μ A、-3.3Vの負側電源で120 μ Aと、低い値になっています。相補型金属酸化膜半導体（CMOS）／低電圧トランジスタ・トランジスタ・ロジック（LVTTL）互換の制御が採用されています。

ADRF5424は、50 Ω の特性インピーダンスに一致するように設計されています。

目次

特長.....	1	代表的な性能特性	8
アプリケーション.....	1	挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相.....	8
機能ブロック図.....	1	入力電力圧縮と3次インターセプト.....	9
概要.....	1	動作原理.....	10
仕様.....	3	RF入出力.....	10
電気仕様.....	3	電源.....	10
絶対最大定格.....	5	アプリケーション情報.....	11
熱抵抗.....	5	ダイのアセンブリ.....	11
パワー・ディレーティング曲線.....	5	ハンドリング、マウンティングおよびエポキシ樹脂によるダイ接着.....	11
静電放電（ESD）定格.....	6	外形寸法.....	12
ESDに関する注意.....	6	オーダー・ガイド.....	12
ピン配置およびピン機能の説明.....	7		
インターフェース回路図.....	7		

改訂履歴

12/2021—Revision 0: Initial Version

仕様

電気仕様

特に指定のない限り、50Ωシステムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 。

Sパラメータは、マイクロストリップ・ランチャと2ミル幅リボン・ボンドを用いて、グラウンド-信号-グラウンド（GSG）プローブで測定します。このランチャはディエンベディングされています。アセンブリの詳細については[アプリケーション情報](#)のセクションを参照してください。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE		100		60,000	MHz
INSERTION LOSS					
Between RFC and RF1 or RF2 (On)	100MHz~18GHz		1.0		dB
	18GHz~44GHz		1.3		dB
	44GHz~55GHz		1.5		dB
	55~60GHz		1.9		dB
RETURN LOSS					
RFC and RF1 or RF2 (On)	100MHz~18GHz		15		dB
	18GHz~44GHz		13		dB
	44GHz~55GHz		15		dB
	55~60GHz		15		dB
ISOLATION					
Between RFC and RF1 or RF2 or between RF1 and RF2	100MHz~18GHz		44		dB
	18GHz~44GHz		35		dB
	44GHz~55GHz		35		dB
	55~60GHz		30		dB
SWITCHING CHARACTERISTICS					
Rise and Fall Time (t_{RISE} and t_{FALL})	RF出力の10~90%		2		ns
On and Off Time (t_{ON} and t_{OFF})	V_{CTRL} の50%~RF出力の90%		10		ns
RF Settling Time					
0.1 dB	V_{CTRL} の50%~最終RF出力の0.1dB		17		ns
0.05 dB	V_{CTRL} の50%~最終RF出力の0.05dB		22		ns
INPUT LINEARITY ¹	周波数 = 200MHz~40GHz				
0.1 dB Power Compression (P0.1dB)					
RFC to RF1 or RF2			27		
RF1 or RF2 to RFC			26		
1 dB Power Compression (P1dB)					
RFC to RF1 or RF2			28		
RF1 or RF2 to RFC			27		
Third-Order Intercept (IP3)	ツーン・トーン入力電力 (PIN) = トーンあたり 12dBm、 $\Delta f = 1MHz$		50		
SUPPLY CURRENT	V_{DD} and V_{SS}				
Positive Supply Current (I_{DD})			14		μA
Negative Supply Current (I_{SS})			120		μA
DIGITAL CONTROL INPUTS	V_{CTRL}				
Voltage					
Low (V_{INL})		0		0.8	V
High (V_{INH})		1.2		3.3	V
Current					
Low and High (I_{INL} and I_{INH})			<1		μA

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RECOMMENDED OPERATING CONDITIONS					
Supply Voltage					
Positive (V _{DD})		3.15		3.45	V
Negative (V _{SS})		-3.45		-3.15	V
Digital Control Voltage (V _{CTRL})		0		VDD	V
RF Power Handling ²	周波数 = 200MHz~40GHz、T _{DIE} ³ = 85°C ⁴				
Input at RFC					
Through Path	RFCからRF1またはRF2へ			27	dBm
Hot Switching	RF1とRF2の間での切り替わり時にRFCにRF信号が存在			27	dBm
Input at RF1 or RF2					
Through Path	RF1またはRF2からRFCへ			26	dBm
Die Temperature (T _{DIE}) ³		-40		+105	°C

1 入力直線性と周波数の関係については、[図13](#)~[図16](#)を参照してください。

2 パワー・ディレーティングと周波数の関係については、[図2](#)と[図3](#)を参照してください。

3 TDIEはキャリア配置ダイの底面の温度です。

4 105°Cでの動作の場合、電力処理能力はTDIE = 85°Cの仕様から3dB低下します。

絶対最大定格

推奨動作条件については、表1を参照してください。

表 2.

Parameter	Rating
Positive Supply Voltage	-0.3 V to +3.6 V
Negative Supply Voltage	-3.6 V to +0.3 V
Digital Control Input Voltage	
Voltage	-0.3 V to $V_{DD} + 0.3$ V
Current	3 mA
RF Power ¹ (f = 200 MHz to 40 GHz, $T_{DIE} = 85^{\circ}C$)	
Input at RFC	
Through Path	27.5 dBm
Hot Switching	27.5 dBm
Input at RF1 or RF2	
Through Path	26.5 dBm
RF Input Power Under Unbiased Condition (V_{DD} and $V_{SS} = 0$ V)	
Input at RFC	21 dBm
Input at RF1 or RF2	20 dBm
Temperature	
Junction, T_J	135°C
Storage Range	-55°C to +150°C
Processing	170°C

- 1 パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。このパワー・ディレーティングは、挿入損失パスおよびホット・スイッチングの各電力仕様にて当てはまります。
- 2 105°Cでの動作の場合、電力処理能力は $T_{DIE} = 85^{\circ}C$ の仕様から3dB低下します。

絶対最大定格に記載された値以上のストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部 (チャンネルとキャリア底部) の間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JC}	Unit
C-14-8	352	°C/W

パワー・ディレーティング曲線

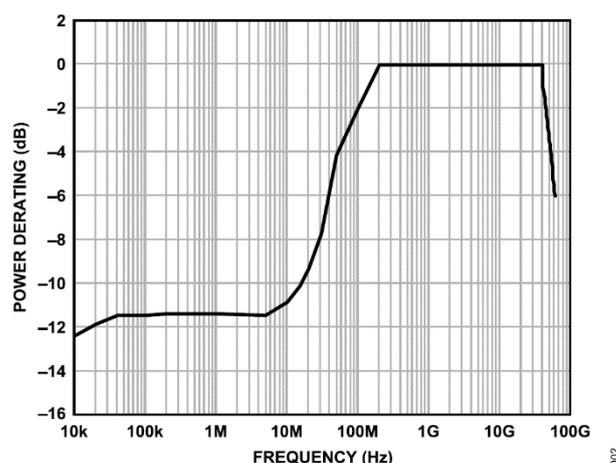


図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、 $T_{DIE} = 85^{\circ}C$

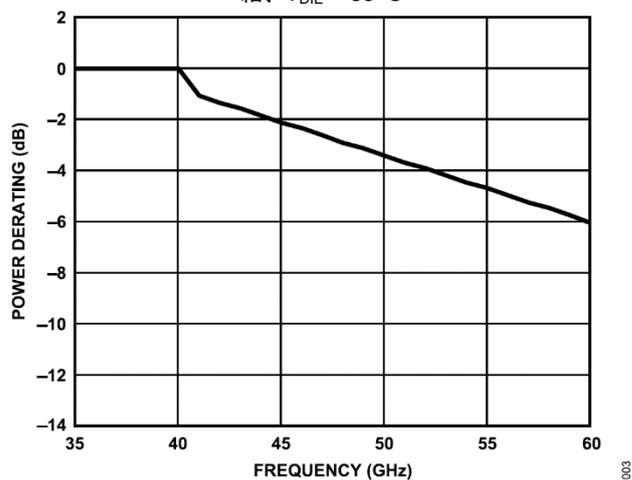


図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、 $T_{DIE} = 85^{\circ}C$

絶対最大定格

静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ADRF5345のESD定格

表4. ADRF5345、22端子LGA

ESD Model	Withstand Threshold (V)
Human Body Model (HBM)	
RFC, RF1, and RF2 Pads	±500
Supply and Control Pads	±2000

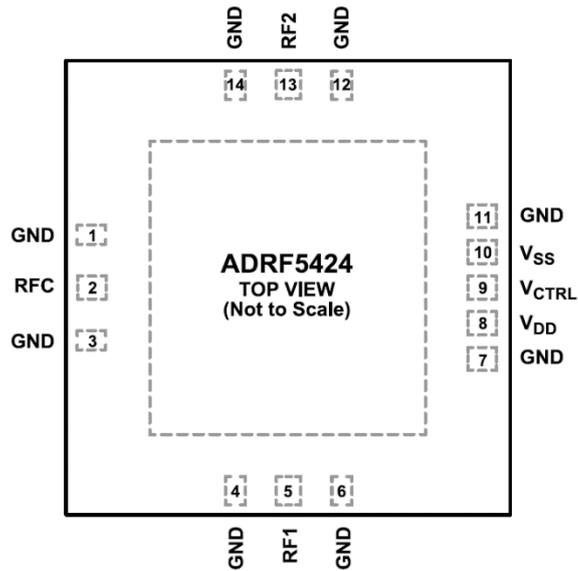
ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. THE CARRIER BOTTOM IS GOLD METALIZED AND MUST BE DIRECTLY ATTACHED TO THE GROUND PLANE USING CONDUCTIVE EPOXY.

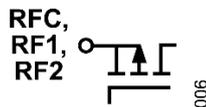
005

図 4. パッド配置（上面図）

表 5. ピン機能の説明

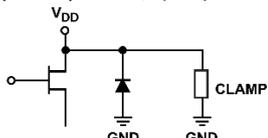
ピン番号	記号	説明
1, 3, 4, 6, 7, 11, 12, 14	GND	グラウンド。これらのGNDパッドのボンディングは任意です。アプリケーション情報のセクションを参照してください。
2	RFC	RF共通ポート。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、図5を参照してください。
5	RF1	RFポート1。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、図5を参照してください。
8	VDD	正側電源電圧。インターフェース回路図については、図6を参照してください。
9	VCTRL	制御入力電圧。インターフェース回路図については、図7を参照してください。
10	VSS	負側電源電圧。インターフェース回路図については、図8を参照してください。
13	RF2	RFポート2。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、図5を参照してください。
	Carrier Bottom	キャリア底部は金で金属被覆されており、導電性エポキシ樹脂を使用してグラウンド・プレーンに直接接着する必要があります。

インターフェース回路図



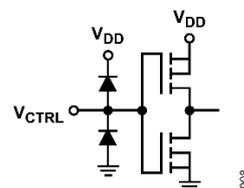
006

図 5. RFC、RF1、RF2のインターフェース回路図



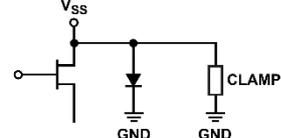
007

図 6. VDDのインターフェース回路図



008

図 7. VCTRLのインターフェース回路図



009

図 8. VSSのインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、状態誤差、ステップ誤差、相対位相

特に指定のない限り、50Ωシステムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 。

Sパラメータは、マイクロストリップ・ランチャと2ミル幅リボン・ボンドを用いて、グラウンド-信号-グラウンド (GSG) プロブで測定します。このランチャはディエンベディングされています。アセンブリの詳細については[アプリケーション情報](#)のセクションを参照してください。

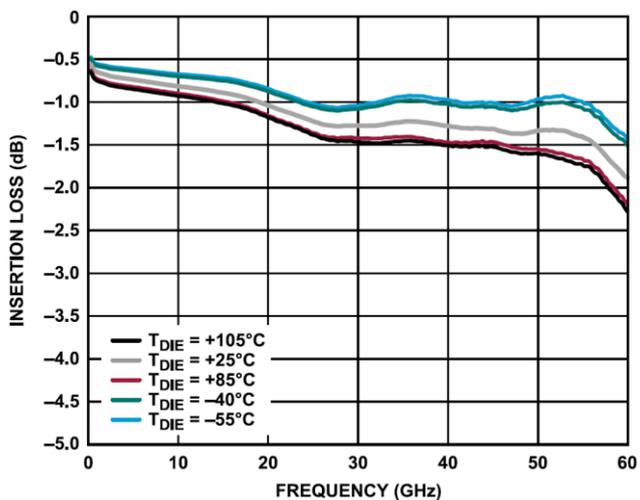


図 9. 各種温度での挿入損失と周波数の関係

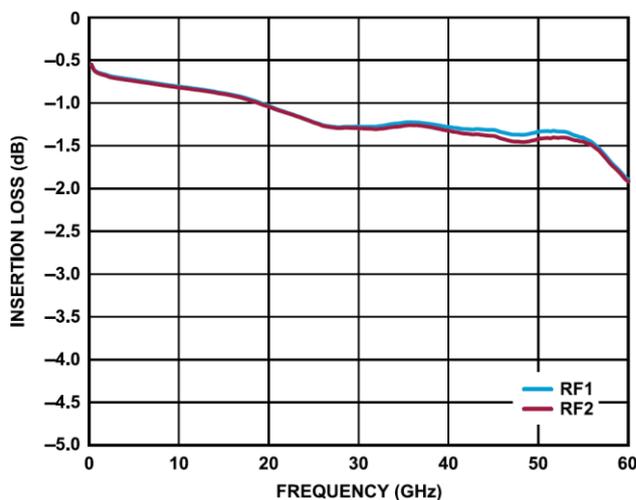


図 11. RF1およびRF2の挿入損失と周波数の関係

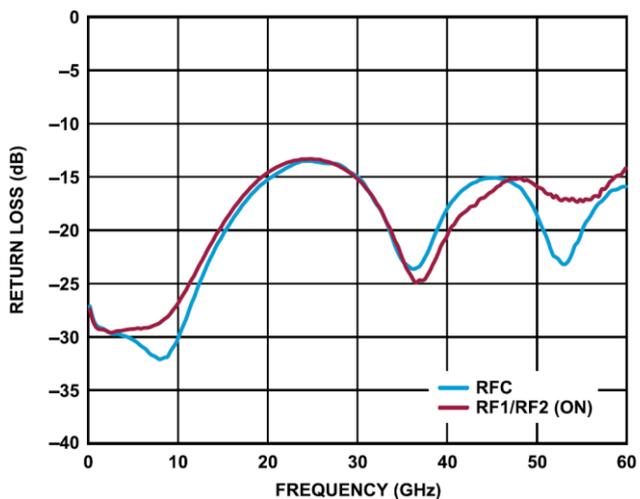


図 10. RFCおよびRFx (オン) のリターン損失と周波数の関係

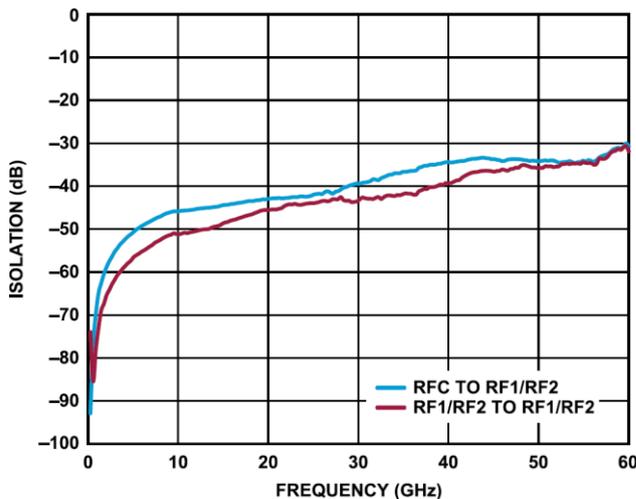


図 12. アイソレーションと周波数の関係

代表的な性能特性

入力電力圧縮と3次インターセプト

特に指定のない限り、50Ωシステムに対し、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{DIE} = 25^{\circ}C$ 。

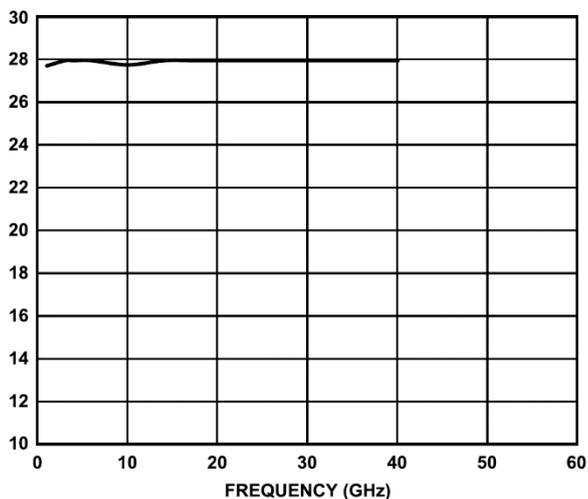


図 13. 入力P1dBと周波数の関係

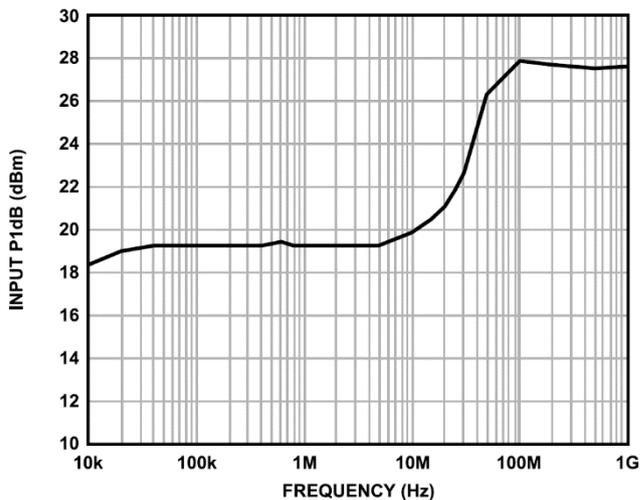


図 15. 入力P1dBと周波数の関係（低周波数の詳細）

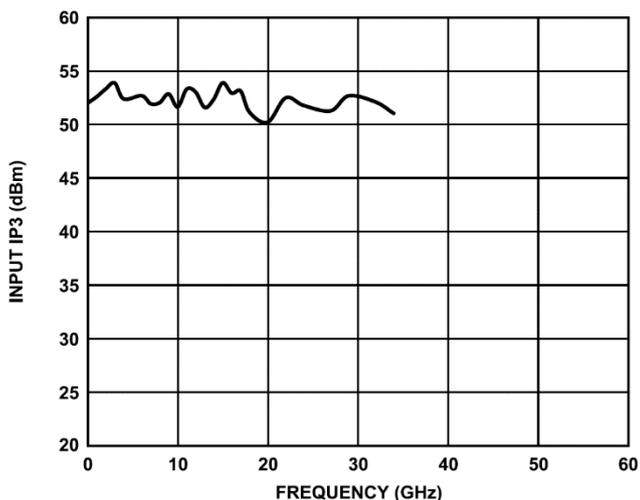


図 14. 入力IP3と周波数の関係

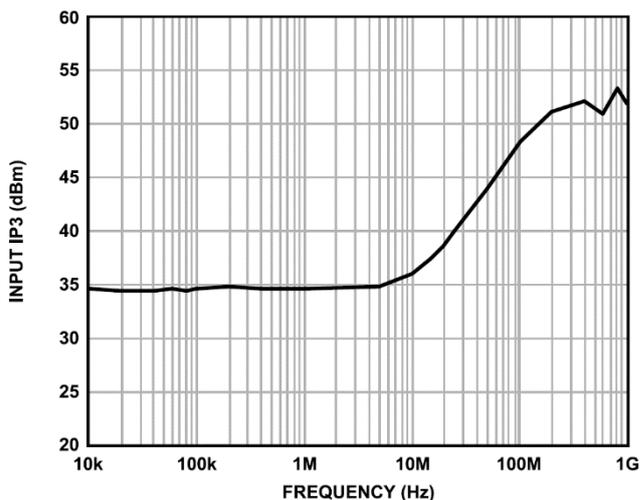


図 16. 入力IP3と周波数の関係（低周波数の詳細）

動作原理

ADRF5424にはロジック機能を内部で実行するためのドライバが内蔵されているため、CMOS/LVTTL互換の制御インターフェースを簡素化できるメリットがあります。このドライバには単一のデジタル制御入力パッド V_{CTRL} が備わっています。 V_{CTRL} パッドに印加されたロジック・レベルに応じて、どのRFポートが挿入損失状態になり、どのポートがアイソレーション状態になるかが決まります（表6参照）。ADRF5424の未選択のRFポートは反射状態となります。アイソレーション・パスは、未選択のポートと挿入損失パスとの間に高いアイソレーションを提供します。

RF入出力

すべてのRFポート（RFC、RF1、RF2）は0VにDCカップリングしており、RFラインの電位が0Vに等しい場合、RFポートでのDC阻止は不要です。

電源

ADRF5424には、 V_{DD} パッドに印加する正側電源電圧と、 V_{SS} パッドに印加する負側電源電圧が必要です。高周波ノイズをフィルタリングするため、電源ラインにバイパス用コンデンサを接続することを推奨します。

表6. 制御電圧の真理値表

Digital Control Input (V_{CTRL})	RF Path	
	RF1 to RFC	RF2 to RFC
Low	Isolation (off)	Insertion loss (on)
High	Insertion loss (on)	Isolation (off)

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GNDに接続します。
2. V_{DD} 電圧と V_{SS} 電圧に電源投入します。ランプ上昇する間に V_{DD} で電流トランジェントが発生しないように、 V_{DD} に電源投入してから V_{SS} に電源投入してください。
3. デジタル制御入力に電源を投入します。デジタル制御入力に電源投入してから V_{DD} に電源投入するという順序にすると、意図せぬ順方向バイアスの原因となり、内部ESD保護構造に損傷を与えるおそれがあります。この損傷を防ぐため、 $1k\Omega$ の直列抵抗を用いて、制御パッドに流入する電流を制限します。 V_{DD} への電源投入後にコントローラ出力が高インピーダンス状態になり、制御パッドが有効なロジック状態に駆動されない場合には、プルアップ抵抗またはプルダウン抵抗を使用してください。
4. RF入力信号をRFC、RF1、またはRF2に印加します。

理想的なパワーダウン・シーケンスはこのパワーアップ・シーケンスの逆順序です。

アプリケーション情報

ダイのアセンブリ

ADRF5424のアセンブリ図を図17に示します。

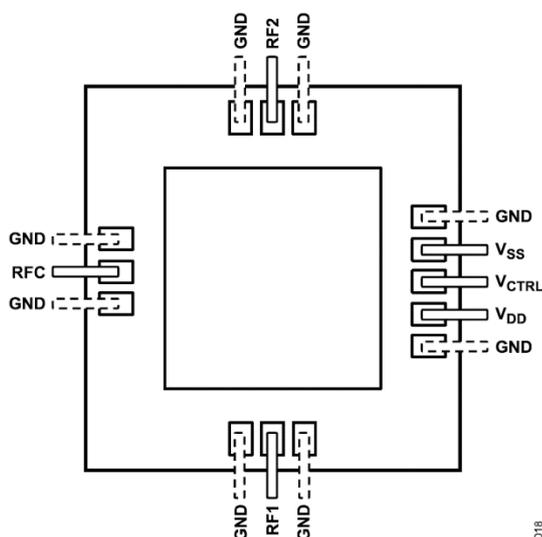


図 17. ダイのアセンブリ図

ADRF5424は、2ミル×0.5ミルの金リボン・ワイヤと3ミルのループ高さ（代表値）で、最適なRF入力および出力インピーダンス整合が実現するように設計されています。図18と図19に、そのボンディング図を示します。また、同等のインダクタンスを有する複数のワイヤ・ボンドを使用しても、同様の性能が得られます。デバイスからのRFルーティングには、コプラナ導波路またはマイクロストリップ伝送線を使用できます。デバイスは推奨リボン・ボンドに内部で整合するよう設計されているため、伝送線パッド上でのインピーダンス整合は不要です。最適なパフォーマンスを得るために、RF伝送ラインとデバイス・エッジの間隔を3ミルにすることを推奨します。

DCパッドは、配線長をできるだけ短くして寄生インダクタンスを最小限に抑えることにより、標準的な1ミル径のワイヤを使用して接続できます。DCパッドは十分な大きさがあるため、必要に応じてリボン・ボンドを使用できます。

すべてのボンドは、150°Cの公称ステージ温度でサーモニック・ボンディングする必要があり、信頼性の高いボンドを実現するには最小量の超音波エネルギーを印加する必要があります。

デバイスは裏面が金属被覆されているため、グラウンド接続は、導電性エポキシ樹脂を用いてデバイスをRFグランド・プレーンに直接接着して行うことができます。この場合、グラウンド・パッドの接続は任意ですが、確実なグラウンド接続を確保するためにこれを行うことを推奨します。

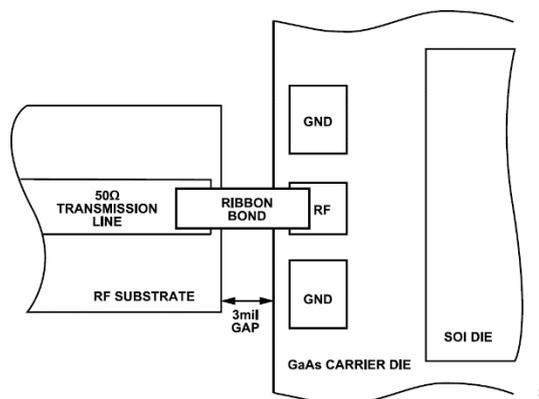


図 18. ボンディングの上面図

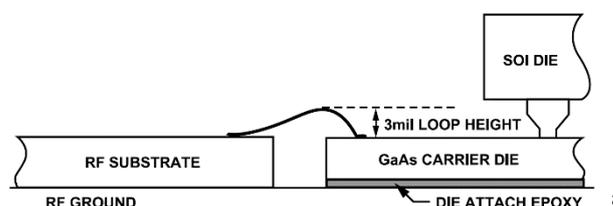


図 19. ボンディングの側面図

ハンドリング、マウンティングおよびエポキシ樹脂によるダイ接着

デバイスは、出荷用のESD保護密封袋に入れて保管し、すべてのベア・ダイは乾燥窒素環境で保管してください。

手作業でピッキングする場合、GaAsデバイス用のピンセットを使用することが一般的です。しかし、キャリア配置ダイのデバイスについては、デバイス基板上への損傷を避けるために、真空ツールの使用を推奨します。これらのデバイスのハンドリングは清浄な環境下で行ってください。

ダイをエポキシ樹脂で接着するには、チップを所定の位置に配置してから、チップ周辺に薄いエポキシ樹脂のフィレットが観察される程度に、一定量のエポキシ樹脂をマウント面に塗布します。エポキシ樹脂の硬化温度は、メーカーの推奨値およびデバイスの最大定格に従って設定して、アセンブリ後の機械的ストレスの蓄積を最小限に抑えます。

両方のダイがハンダ接合部で接着されるため、ユーザは、モジュール・アセンブリの熱機械的設計の最良のやり方に従う必要があります。基板材料の熱膨張係数は、GaAsおよびシリコン (Si) ダイの熱膨張係数と一致する必要があります。基板には反りなどの機械的変形がないようにしてください。ダイ接着工程とエポキシ樹脂硬化温度は、アセンブリ後のストレスの蓄積が低くなるように設定します。

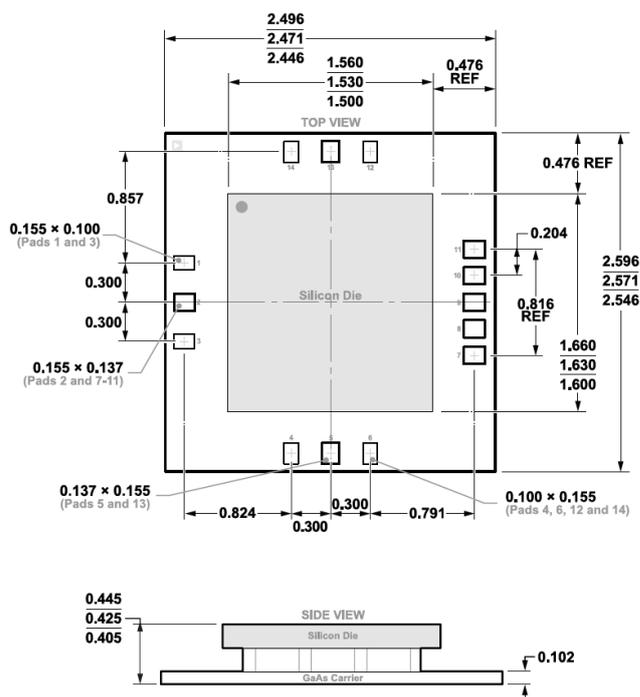


図 20. 14パッド・キャリア配置ダイ [CHIP]、
(C-14-8)、
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Information	Package Option
ADRF5424BCZ	-40°C to +105°C	14-Pad Die on Carrier [CHIP]	Waffle Pack, 50	C-14-8
ADRF5424BCZ-GP	-40°C to +105°C	14-Pad Die on Carrier [CHIP]	Gel Pack, 50	C-14-8
ADRF5424BCZ-SX	-40°C to +105°C	14-Pad Die on Carrier [CHIP]	Waffle Pack, 2	C-14-8

¹ Z = RoHS準拠製品。