

高出力、100W ピーク、シリコン SPDT、 反射型スイッチ、0.4GHz~8GHz

特長

- ▶ 周波数範囲：0.4GHz~8GHz
- ▶ 低挿入損失：4GHz まで 0.6dB（代表値）
- ▶ 高アイソレーション：4GHz まで 45dB（代表値）
- ▶ 高入力直線性
 - ▶ 0.1dB 圧縮ポイント（P0.1dB）：50dBm
 - ▶ 3次インターセプト・ポイント（IP3）：>76dBm
- ▶ $T_{CASE} = 85^{\circ}C$ で高出力に対応：
 - ▶ 挿入損失パス
 - ▶ 平均：45.5dBm
 - ▶ パルス（>100ns のパルス幅、15%デューティサイクル）：48.5dBm
 - ▶ ピーク（ $\leq 100ns$ のピーク時間、5%デューティサイクル）：50dBm
 - ▶ RFC でのホット・スイッチング：43dBm
- ▶ 0.1dB RF セットリング・タイム（ $P_{IN} \leq 43dBm$ ）：1.2 μs
- ▶ 低周波数スプリアスなし
- ▶ 正電圧制御インターフェース：CMOS/LVTTL に対応
- ▶ 24ピン、4.0mm × 4.0mm LFCSP パッケージ

アプリケーション

- ▶ 防衛用無線機、レーダー、電子対抗手段
- ▶ セルラ・インフラストラクチャ
- ▶ 試験および計測器
- ▶ 窒化ガリウム（GaN）および PIN ダイオードの置き換えデバイス

機能ブロック図

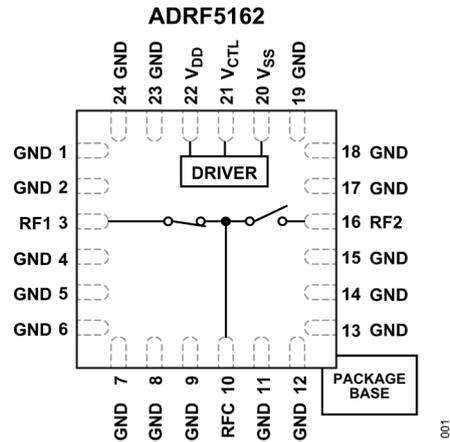


図 1. 機能ブロック図

概要

ADRF5162 は、シリコン・プロセスで製造された反射型単極双投（SPDT）スイッチです。

このデバイスは、0.4GHz~8GHz で動作し、挿入損失は 0.6dB、アイソレーションは 45dB です（それぞれ代表値）。挿入損失パスで平均電力 45.5dBm、ピーク電力 50dBm の無線周波数（RF）入力電力処理能力を備えています。

ADRF5162 は、+3.3V の正電源で 130 μA 、-3.3V の負電源で 500 μA のわずかな電流が流れます。また、相補型金属酸化膜半導体（CMOS）/低電圧トランジスタ・トランジスタ・ロジック（LVTTL）対応の制御が採用されています。ADRF5162 は、ドライバ回路を追加する必要がなく、窒化ガリウム（GaN）や PIN ダイオードをベースとしたスイッチを置き換える理想的な製品です。

ADRF5162 は、24ピン、4.0mm × 4.0mm、RoHS 適合のリード・フレーム・チップ・スケール・パッケージ（LFCSP）で提供され、動作可能温度は-40 $^{\circ}C$ ~+105 $^{\circ}C$ です。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	挿入損失、リターン・ロス、アイソレーション.....	8
機能ブロック図.....	1	動作原理.....	9
概要.....	1	電源.....	9
電気仕様.....	3	RF 入出力.....	9
絶対最大定格.....	5	タイミング仕様.....	9
熱抵抗.....	5	アプリケーション情報.....	10
パワー・ディレーティング曲線.....	5	PCB 設計のための推奨事項.....	10
静電放電 (ESD) 定格.....	6	外形寸法.....	11
ESD に関する注意.....	6	オーダー・ガイド.....	11
ピン配置およびピン機能の説明.....	7	評価用ボード.....	11
インターフェース回路図.....	7		

改訂履歴

7/2024—Revision 0: Initial Version

電気仕様

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または V_{DD} 、 $T_{CASE} = 25^{\circ}C$ 、 50Ω システム。

表 1. 電気仕様

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE	f		400		8,000	MHz
INSERTION LOSS						
Between RFC and RF1/RF2 (ON)		400 MHz to 4 GHz		0.6		dB
		4 GHz to 6 GHz		0.7		dB
		6 GHz to 8 GHz		0.8		dB
RETURN LOSS						
RFC and RF1/RF2 (ON)		400 MHz to 4 GHz		25		dB
		4 GHz to 6 GHz		20		dB
		6 GHz to 8 GHz		20		dB
ISOLATION						
Between RFC and RF1/RF2 (OFF)		400 MHz to 4 GHz		45		dB
		4 GHz to 6 GHz		35		dB
		6 GHz to 8 GHz		30		dB
Between RF1 and RF2		400 MHz to 4 GHz		40		dB
		4 GHz to 6 GHz		35		dB
		6 GHz to 8 GHz		30		dB
SWITCHING CHARACTERISTICS						
Rise and Fall Time	t_{RISE}, t_{FALL}	10% to 90% of RF output		200		ns
On and Off Time	t_{ON}, t_{OFF}	50% V_{CTRL} to 90% of RF output		800		ns
RF Settling Time						
0.1 dB RF Settling Time		50% V_{CTRL} to 0.1 dB of final RF output, $P_{IN} \leq 43$ dBm		1.2		μ s
INPUT LINEARITY						
0.1 dB Power Compression	P0.1dB	f = 1 GHz to 5 GHz		50		dBm
Input Third-Order Intercept	IIP3	Two tone input power = 30 dBm each tone, $\Delta f = 1$ MHz		>76		dBm
SUPPLY CURRENT		V_{DD}, V_{SS} pins				
Positive Supply Current	I_{DD}			130		μ A
Negative Supply Current	I_{SS}			500		μ A
DIGITAL CONTROL INPUTS		CTRL pin				
Voltage						
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.2		3.3	V
Current						
Low and High	I_{INL}, I_{INH}			<0.1		μ A
RECOMMENDED OPERATING CONDITONS						
Positive Supply Voltage	V_{DD}		3.15		3.45	V
Negative Supply Voltage	V_{SS}		-3.45		-3.15	V
Digital Control Input Voltage	V_{CTRL}		0		V_{DD}	V
RF Input Power Wait Time ¹	t_{Wait}	$P_{IN} \leq 43$ dBm	0			μ s
		43 dBm < $P_{IN} \leq 45$ dBm	1.0			μ s
		45 dBm < $P_{IN} \leq 46$ dBm	1.5			μ s
		46 dBm < $P_{IN} \leq 47$ dBm	2.0			μ s
		47 dBm < $P_{IN} \leq 48$ dBm	3.0			μ s
		48 dBm < $P_{IN} \leq 48.5$ dBm	4.0			μ s
RF Input Power ²	P_{IN}	f = 1 GHz to 5 GHz, $T_{CASE} = 85^{\circ}C$ ³				

電気仕様

表 1. 電気仕様（続き）

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
Insertion Loss Path		RF signal applied to the RFC or through connected RF1/RF2				
Average					45.5	dBm
Pulsed ⁴		>100 ns pulse width, 15% duty cycle			48.5	dBm
Peak		≤100 ns peak duration, 5% duty cycle			50	dBm
Hot Switching		RF signal applied to the RFC			43	dBm
LTE Signal		T _{CASE} = 105°C				
Average		8.5 dB PAR, long-term (>10 years)			41.5	dBm
Average		8.5 dB PAR, single event (<10sec)			42.5	dBm
Case Temperature	T _{CASE}		-40		+105	°C

¹ 詳細については動作原理のセクションを参照してください。

² パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

³ 105°C での動作の場合、電力処理能力は T_{CASE} = 85°C の仕様から 3dB 低下します。

⁴ 異なるパルス条件については、アプリケーション・サポートまでお問い合わせください。

絶対最大定格

推奨動作条件については、表 1 を参照してください。

表 2. 絶対最大定格

Parameter	Rating
Supply Voltage	
Positive	-0.3 V to +3.6 V
Negative	-3.6 V to +0.3 V
Digital Control Input Voltage	
Voltage	-0.3 V to $V_{DD} + 0.3$ V
Current	3 mA
RF Input Power ¹ (f = 1 GHz to 5 GHz, T _{CASE} = 85°C)	
Insertion Loss Path	
Average	46.0 dBm
Pulsed	49.0 dBm
Peak	50.5 dBm
Hot Switching	43.5 dBm
RF Power Under Unbiased Condition ($V_{DD}, V_{SS} = 0$ V)	
Input at RFC	33 dBm
Input at RFx	27 dBm
Temperature	
Junction (T _J)	135°C
Storage	-65°C to +150°C
Reflow	260°C

¹ パワー・ディレーティングと周波数の関係については、図 2 と図 3 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケース底部 (チャンネルとパッケージ底部) の間の熱抵抗です。

表 3. 熱抵抗

Package Type	θ_{JC} ¹	Unit
CP-24-22	8.6	°C/W

¹ θ_{JC} は、以下の条件でのシミュレーションによって求めました。すなわち、熱伝達は、チャンネルからグラウンド・パッドを通じて PCB までの熱伝導のみに起因し、グラウンド・パッドは 85°C の動作温度で一定に保たれるものとします。

パワー・ディレーティング曲線

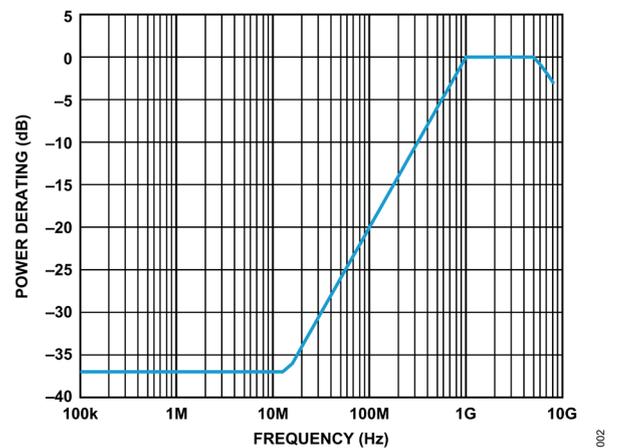


図 2. パワー・ディレーティングと周波数の関係、低周波数領域の詳細、T_{CASE} = 85°C

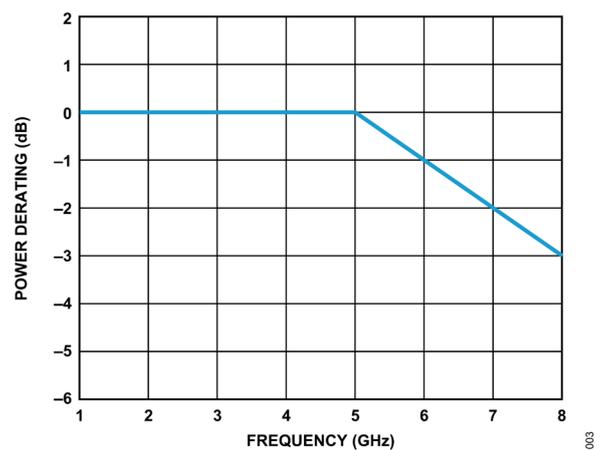


図 3. パワー・ディレーティングと周波数の関係、高周波数領域の詳細、T_{CASE} = 85°C

絶対最大定格

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したのですが、対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRF5162 の ESD 定格

表 4. ADRF5162、24 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±2000 for all pins	2
CDM	±500 for all pins	C2A

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

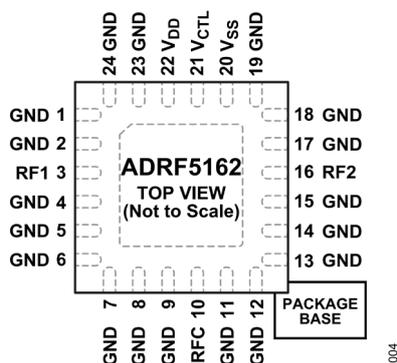


図 4. ピン配置（上面図）

表 5. ピン機能の説明

ピン番号	記号	説明
1, 2, 4 to 9, 11 to 15, 17 to 19, 23, 24	GND	グラウンド。これらのピンは、PCB の RF/DC グラウンドに接続する必要があります。
3	RF1	RF 投ポート 1。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。
10	RFC	RF 共通ポート。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。
16	RF2	RF 投ポート 2。このピンは 0V に DC カップリングされ、50Ω に AC 整合されています。RF ラインの電位が 0V DC に等しい場合は、DC 阻止コンデンサは不要です。
20	VSS	負電源電圧。
21	CTRL	制御入力。真理値表については、表 6 を参照してください。
22	VDD	正電源電圧。
	EPAD	露出パッド。露出パッドは RF グラウンドまたは DC グラウンドに接続する必要があります。

インターフェース回路図

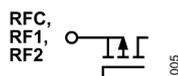


図 5. RF ピン（RFC、RF1、RF2）

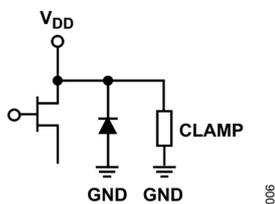


図 6. V_{DD} ピン

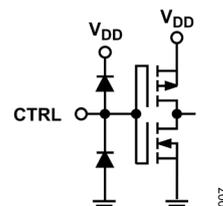


図 7. デジタル・ピン（CTRL）

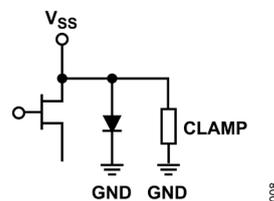


図 8. V_{SS} ピン

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、50Ωシステムに対し、 $V_{DD}=3.3V$ 、 $V_{SS}=-3.3V$ または $0V$ 、 $V_{CTRL}=0V$ または V_{DD} 、 $T_{CASE}=25^{\circ}C$ 。ADRF5162-EVALZ 上で測定。

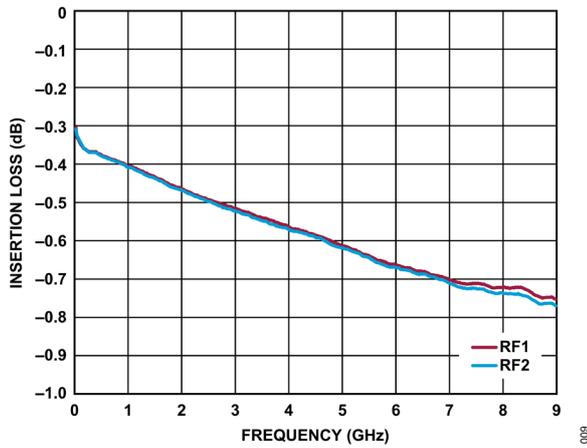


図 9. 室温での RF1 と RF2 の挿入損失と周波数の関係

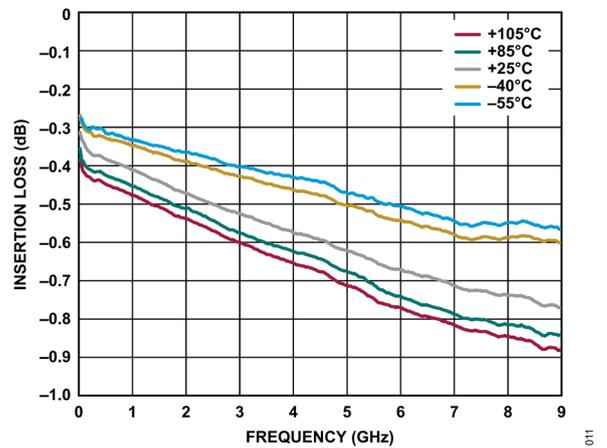


図 11. 各種温度での挿入損失と周波数の関係

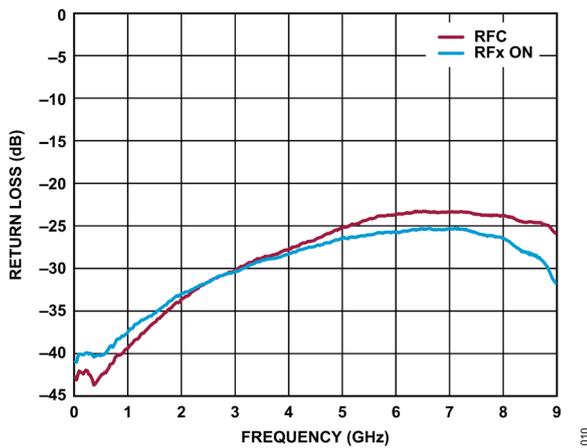


図 10. リターン・ロスと周波数の関係

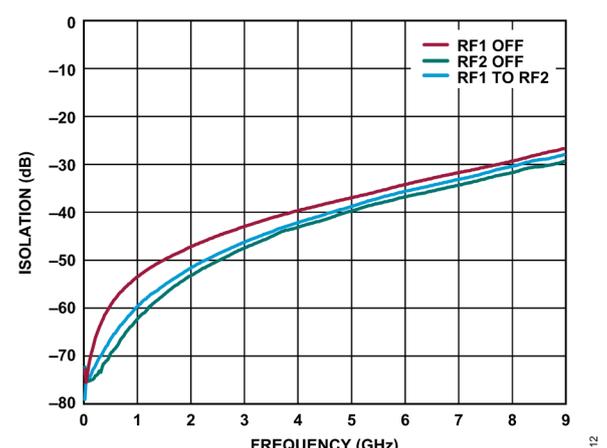


図 12. アイソレーションと周波数の関係

動作原理

ADRF5162 にはドライバが内蔵されており、ロジック機能を内部で実行し制御インターフェースを簡素化できます。このドライバは、RF パスの状態を制御する制御入力用の CTRL ピンを 1 つ備えており、どの RF ポートを挿入損失状態にして、どの RF ポートをアイソレーション状態にするかを決定します (表 6 を参照)。

電源

ADRF5162 には、V_{DD} ピンに印加する正電源電圧と V_{SS} ピンに印加する負電源電圧が必要です。RF カップリングを最小限に抑えるため、電源ラインにはバイパス・コンデンサを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. グラウンドに接続します。
2. V_{DD} と V_{SS} に電源を投入します。ランプアップ中に V_{DD} で電流トランジェントが発生しないように、V_{DD} の電源投入後に V_{SS} に電源を投入してください。
3. デジタル制御入力に電源を投入します。V_{DD} への電源投入の前にデジタル制御入力に電源投入すると、意図せぬ順方向バイアスの原因となり、内蔵 ESD 保護構造に損傷を与える可能性があります。この損傷を防ぐには、1kΩ 抵抗を直列接続して、制御ピンに流入する電流を制限します。V_{DD} への電源投入後にコントローラ出力が高インピーダンス状態になり、制御ピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を接続します。
4. RF 入力信号を印加します。
5. 理想的なパワーダウン・シーケンスはこの電源投入シーケンスの逆順序です。

RF 入出力

すべての RF ポート (RFC、RF1、RF2) は 0V に DC カップリングされており、RF ラインの電位が 0V に等しい場合、RF ポートでの DC 阻止は不要です。

RF ポートは内部で 50Ω に整合されています。そのため、外付けのマッチング回路は不要です。

挿入損失パスでは、選択された RF 投ポートと RF 共通ポートの間で RF 信号が導通します。アイソレーション・パスでは、挿入損失パスと選択していない RF 投ポートの間に大きな損失が発生します。ADRF5162 の未選択の RF ポートは反射状態となります。

スイッチの設計は、均等な電力処理機能を備えた双方向なものとなっています。RF 入力信号は RFC ポートに印加することも、選択した RF 投ポートに印加することもできます。

表 6. 制御電圧の真理値表

Digital Control Input, V _{CTRL}	RF Paths	
	RF1 to RFC	RF2 to RFC
Low	Insertion loss (on)	Isolation (off)
High	Isolation (off)	Insertion loss (on)

タイミング仕様

RF 入力電力がホット・スイッチングの電力レベルの最大推奨値を超える場合には、RF 投ポート間のスイッチング後に待ち時間 t_{WAIT} を置く必要があります (図 13 を参照)。

RF 電力レベルがホット・スイッチング電力レベルの最大推奨値以下の場合、待ち時間を置く必要はありません (表 1 を参照)。

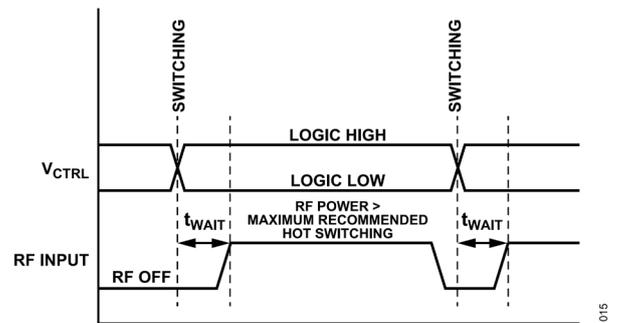


図 13. RF 入力電力の待ち時間

アプリケーション情報

ADRF5162には、2つの電源ピン (V_{DD} および V_{SS}) と 1つの制御ピン (CTRL) があります。電源ピンと制御ピンの外付け部品および接続方法を図 14 に示します。

V_{DD} ピンと V_{SS} ピンは、それぞれが 100pF と 0.1μF の多層セラミック・コンデンサでデカップリングされています。また、制御ピンは 100pF の多層セラミック・コンデンサでデカップリングされています。このデバイスのピン配置により、デカップリング・コンデンサをデバイスの近くに配置することができます。RF ラインが 0V 以外の電圧でバイアスする場合に RF ピンに接続する DC 阻止コンデンサを除いて、バイアスおよび動作には他の外付け部品は不要です。詳細については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

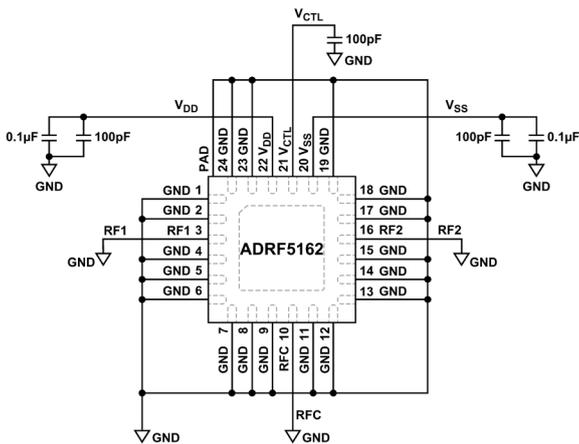


図 14. 推奨回路図

PCB 設計のための推奨事項

RF ポートは内部で 50Ω に整合されており、ピン配置は、特性インピーダンスが 50Ω のコプレーナ導波路 (CPWG) に PCB 上で接合できるように設計されています。図 15 に、10 ミル厚の Rogers RO4350 誘電体材料を用いた RF 基板のための標準 CPWG RF パターン設計を示します。幅 18 ミル、クリアランス 13 ミル、銅仕上げ厚さ 2.8 ミルの RF パターンを推奨します。

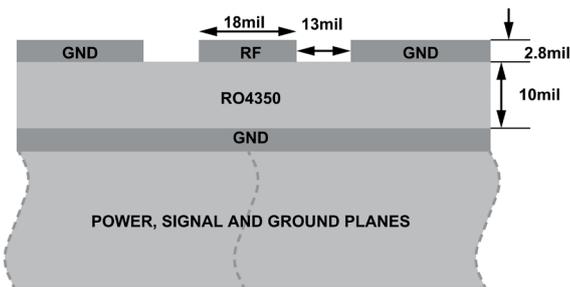


図 15. PCB の層構成例

図 16 に、デバイスからの RF パターン、電源、制御信号のルーティングを示します。グラウンド・プレーンは、RF および熱性能を最適化するため、できる限り多数の充填スルー・ビアで接続

されています。デバイスの主な熱経路は裏面です。そのため、高出力アプリケーションでは、最大限の放熱を確保して PCB の熱上昇を低減するため、PCB の下面にヒートシンクを用いる必要があります。

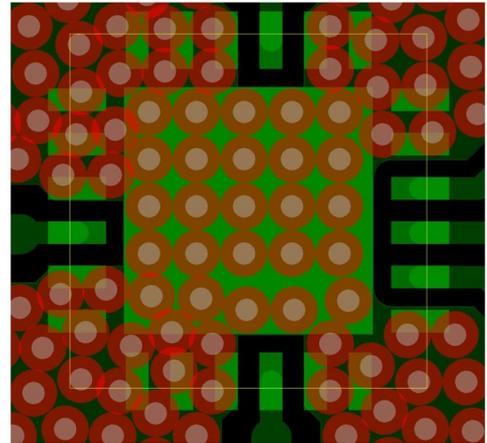


図 16. PCB 配線

例に示した層構成での、デバイスの RF ピンから 50Ω CPWG までの推奨レイアウトを図 17 に示します。PCB パッドは、デバイス・パッドと 1 対 1 に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCB パッドからの RF パターンは、同じ幅で延長され、RF パターンに向けてテーパ状になっています。ペースト・マスクも、アパーチャが減少することなくパッドと一致するよう設計されています。ペーストは、複数の開口に分割されパドルを形成しています。

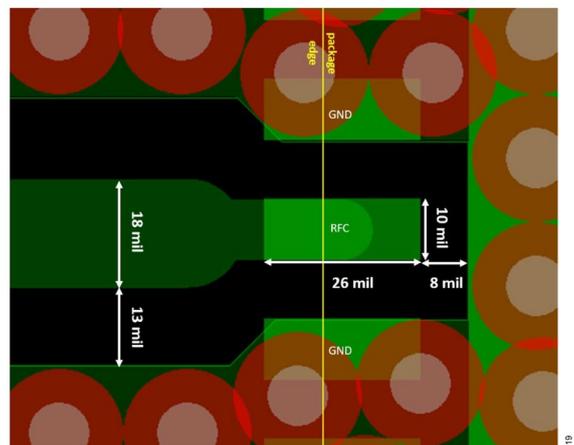


図 17. 推奨 RF ピン遷移

異なる誘電体厚さや CPWG 設計の代替 PCB 層構成、およびその他の推奨事項に関する推奨事項は、[アナログ・デバイセズのテクニカル・サポート](#)にお問い合わせください。

外形寸法

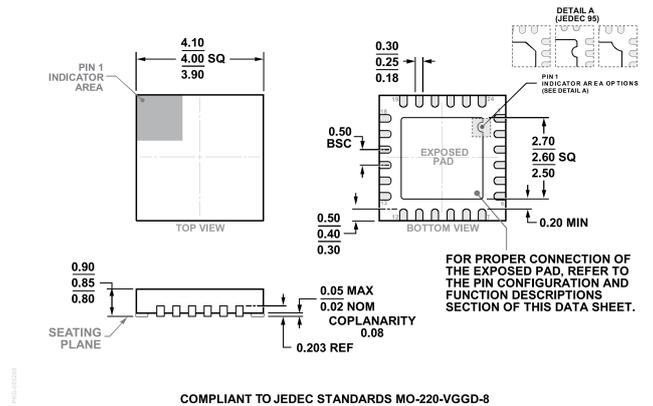


図 18. 24 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 4.0mm × 4.0mm ボディ、0.85mm パッケージ高
 (CP-24-22)
 単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Quantity	Package Option
ADRF5162BCPZN	-40°C to +105°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	Reel, 500	CP-24-22
ADRF5162BCPZN-R7	-40°C to +105°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	Reel, 500	CP-24-22

¹ Z = RoHS 準拠製品。

評価用ボード

表 7. 評価用ボード

Model ¹	Description
ADRF5162-EVALZ	Evaluation Board

¹ Z = RoHS 準拠製品。