

## 高出力、40Wピーク、シリコンSPDT、反射スイッチ、8GHz~11GHz

### 特長

- ▶ 周波数範囲：8GHz~11GHz
- ▶ 低インサクション・ロス：1.2dB（代表値）
- ▶ 高アイソレーション：40dB（代表値）
- ▶ 高入力直線性
  - ▶ 0.1dB電力圧縮ポイント（P0.1dB）：46dBm
  - ▶ 3次インターセプト・ポイント（IP3）：70dBm
- ▶ T<sub>CASE</sub> = 85°Cで高電力に対応
- ▶ インサクション・ロス経路
  - ▶ 平均：41dBm
  - ▶ パルス（100nsを超えるパルス幅、15%のデューティサイクル）：44dBm
  - ▶ ピーク（100ns以下のピーク継続時間、5%のデューティサイクル）：46dBm
- ▶ RFC（3番ピン）でのホット・スイッチング：41dBm
- ▶ 高速スイッチング時間：60ns
- ▶ 0.1dB RFセトリング・タイム：65ns
- ▶ 低周波数スプリアスなし
- ▶ 正電圧制御インターフェース：CMOS/LVTTLに対応
- ▶ 20ピン、3.0mm × 3.0mm LGAパッケージ
- ▶ ADRF5141およびADRF5144とピン互換

### アプリケーション

- ▶ X帯通信およびレーダー
- ▶ 電子戦
- ▶ 衛星通信
- ▶ 窒化ガリウム（GaN）およびPINダイオードの置き換え

### 機能ブロック図

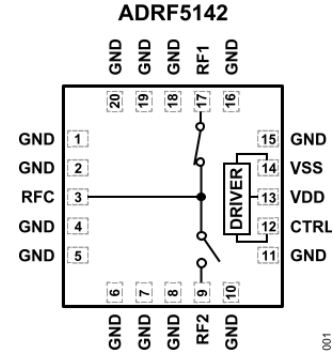


図 1. 機能ブロック図

### 概要

ADRF5142は、シリコン・プロセスを使って製造された反射型単極双投（SPDT）スイッチです。

1.2dB（代表値）のインサクション・ロスおよび40dB（代表値）のアイソレーションを実現し、8GHz~11GHzで動作します。また、インサクション・ロス経路に対し、平均電力41dBm、ピーク電力46dBmの無線周波数（RF）入力電力処理能力を備えています。

ADRF5142では、+3.3Vの正電源で130μA、-3.3Vの負電源で500μAの低電流が流れます。また、相補型金属酸化膜半導体（CMOS）/低電圧トランジスタ・トランジスタ・ロジック（LVTTL）対応の制御が採用されています。ADRF5142は追加のドライバ回路が不要なため、窒化ガリウム（GaN）およびPINダイオードベースのスイッチに代わる最適なソリューションとなります。

ADRF5142は、20端子、3.0mm × 3.0mmのRoHS適合ランド・グリッド・アレイ（LGA）パッケージで提供され、-40°C~+85°Cで動作可能です。

## 目次

特長.....	1	挿入損失、リターン・ロス、アイソレーション.....	6
アプリケーション.....	1	入力電力圧縮と3次インターセプト.....	7
機能ブロック図.....	1	動作原理.....	8
概要.....	1	電源.....	8
仕様.....	3	RF入出力.....	8
絶対最大定格.....	4	アプリケーション情報.....	9
熱抵抗.....	4	PCB設計のための推奨事項.....	9
パワー・ディレーティング曲線.....	4	外形寸法.....	10
静電放電（ESD）定格.....	4	オーダー・ガイド.....	10
ESDに関する注意.....	4	評価用ボード.....	10
ピン配置およびピン機能の説明.....	5		
インターフェース回路図.....	5		
代表的な性能特性.....	6		

## 改訂履歴

4/2024—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または $V_{DD} V$ 、 $T_{CASE} = 25^{\circ}C$ 、 $50\Omega$ システム。

表 1. 電気仕様

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE	f		8		11	GHz
INSERTION LOSS						
Between RFC and RF1/RF2 (ON)		8GHz~11GHz		1.2		dB
RETURN LOSS						
RFC and RF1/RF2 (ON)		8GHz~11GHz		20		dB
ISOLATION						
Between RFC and RF1/RF2 (OFF)		8GHz~11GHz		40		dB
Between RF1 and RF2		8GHz~11GHz		40		dB
SWITCHING CHARACTERISTICS						
Rise Time and Fall Time	$t_{RISE}$ , $t_{FALL}$	RF出力の10~90%		40		ns
On Time and Off Time	$t_{ON}$ , $t_{OFF}$	$V_{CTRL}$ の50%~RF出力の90%		60		ns
RF Settling Time						
0.1 dB RF Settling Time		$V_{CTRL}$ の50%~最終RF出力の0.1dB		65		ns
INPUT LINEARITY <sup>1</sup>		f = 8GHz~11GHz				
0.1 dB Power Compression	P0.1dB			46		dBm
Input Third-Order Intercept	IIP3	ツーン・トーン入力電力 = トーンあたり 26dBm、 $\Delta f = 1MHz$		70		dBm
SUPPLY CURRENT		$V_{DD}$ ピン、 $V_{SS}$ ピン				
Positive Supply Current	$I_{DD}$			130		$\mu A$
Negative Supply Current	$I_{SS}$			500		$\mu A$
DIGITAL CONTROL INPUTS		CTRLピン				
Voltage						
Low	$V_{INL}$		0		0.8	V
High	$V_{INH}$		1.2		3.3	V
Current						
Low and High	$I_{INL}$ , $I_{INH}$			<0.1		$\mu A$
RECOMMENDED OPERATING CONDITIONS						
Positive Supply Voltage	$V_{DD}$		3.15		3.45	V
Negative Supply Voltage	$V_{SS}$		-3.45		-3.15	V
Digital Control Input Voltage	$V_{CTRL}$		0		$V_{DD}$	V
RF Input Power <sup>1</sup>	$P_{IN}$	f = 8GHz~11GHz、 $T_{CASE} = 85^{\circ}C$				
Insertion Loss Path		RF信号はRFCに印加、または接続されたRFxを通じて印加				
Average					41	dBm
Pulsed <sup>2</sup>		100nsを超えるパルス幅、15%のデューティサイクル			44	dBm
Peak		100ns以下のピーク継続時間、5%のデューティサイクル			46	dBm
Hot Switching						
Input at RFC					41	dBm
Input at RFx					27	dBm
Case Temperature	$T_{CASE}$		-40		+85	$^{\circ}C$

1 パワー・ディレーティングと周波数の関係については、図2を参照してください。

2 異なるパルス条件については、アプリケーション・サポートにお問い合わせください。

絶対最大定格

推奨動作条件については、表1を参照してください。

表 2. 絶対最大定格

Parameter	Rating
Supply Voltage	
Positive	-0.3 V to +3.6 V
Negative	-3.6 V to +0.3 V
Digital Control Input Voltage	
Voltage	-0.3 V to $V_{DD} + 0.3 V$
Current	3 mA
RF Input Power <sup>1</sup> (f = 8 GHz to 11 GHz, T <sub>CASE</sub> = 85°C)	
Insertion Loss Path	
Average	41.5 dBm
Pulsed	44.5 dBm
Peak	46.5 dBm
Hot Switching	
Input at RFC	41.5 dBm
Input at RFx	27.5 dBm
RF Power Under Unbiased Condition ( $V_{DD}, V_{SS} = 0 V$ )	
Input at RFC or RFx	
Average	38 dBm
Pulsed	38 dBm
Peak	38 dBm
Temperature	
Junction (T <sub>J</sub> )	135°C
Storage	-65°C to +150°C
Reflow	260°C

1 パワー・ディレーティングと周波数の関係については、図2を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JC}$ は、ジャンクションからケース底部 (チャンネルからパッケージ底部) への熱抵抗です。

表 3. 熱抵抗

Package Type	$\theta_{JC}$ <sup>1</sup>	Unit
CC-20-9	18.5	°C/W

1  $\theta_{JC}$ は、次の条件によるシミュレーション値です。  
熱伝達：チャンネルからグラウンド・パッドを通してPCBまでの熱伝導のみ起因  
グラウンド・パッド：85°Cの動作温度で一定保持

パワー・ディレーティング曲線

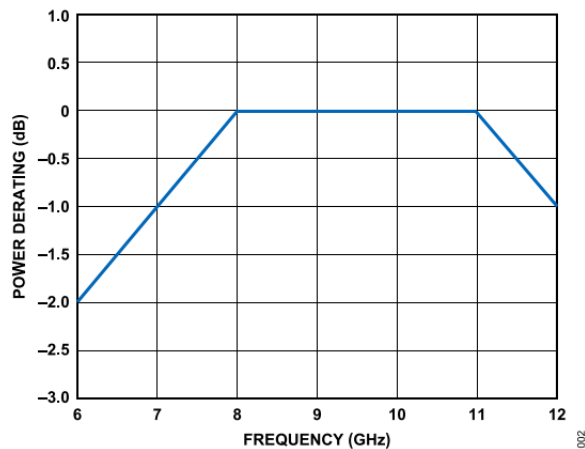


図 2. パワー・ディレーティングと周波数の関係、T<sub>CASE</sub> = 85°C

静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。


ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADRF5142のESD定格

表 4. ADRF5142、20端子LGA

ESD Model	Withstand Threshold (V)	Class
HBM	±2000 for all pins	2
CDM	±500 for all pins	C2A

ESDに関する注意



**ESD (静電放電) の影響を受けやすいデバイスです。**  
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

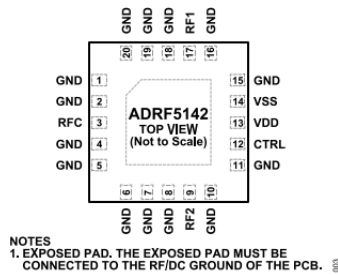


図 3. ピン配置（上面図）

表 5. ピン機能の説明

ピン番号	記号	説明
1, 2, 4 to 8, 10, 11, 15, 16, 18 to 20	GND	グラウンド。これらのピンは、PCBのRF/DCグラウンドに接続されている必要があります。
3	RFC	RF共通ポート。このピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。
9	RF2	RF投ポート2。このピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。
12	CTRL	制御入力。真理値表については表6を参照してください。
13	VDD	正側電源電圧。
14	VSS	負側電源電圧。
17	RF1	RF投ポート1。このピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。
	EPAD	露出パッド。露出パッドは、PCBのRF/DCグラウンドに接続されている必要があります。

インターフェース回路図

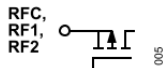


図 4. RFピン（RFC、RF1、RF2）のインターフェース回路図

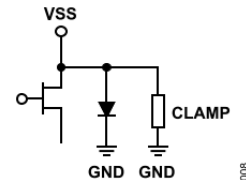


図 7. VSSピンのインターフェース回路図

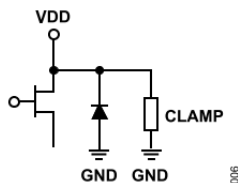


図 5. VDDピンのインターフェース回路図

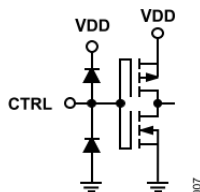


図 6. デジタル・ピン（CTRL）のインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、50Ωシステムにおいて、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または $V_{DD} V$ 、 $T_{CASE} = 25^{\circ}C$ 。ADRF5142-EVALZで測定

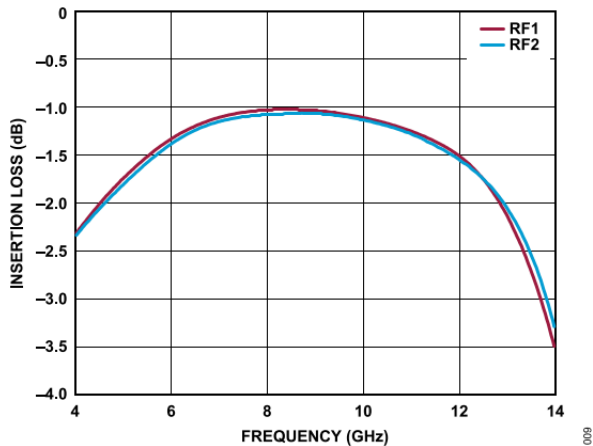


図 8. 室温でのRF1とRF2のインサージョン・ロスと周波数の関係

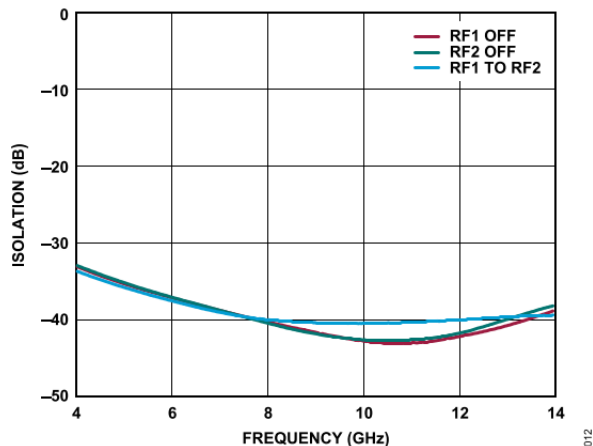


図 11. アイソレーションと周波数の関係

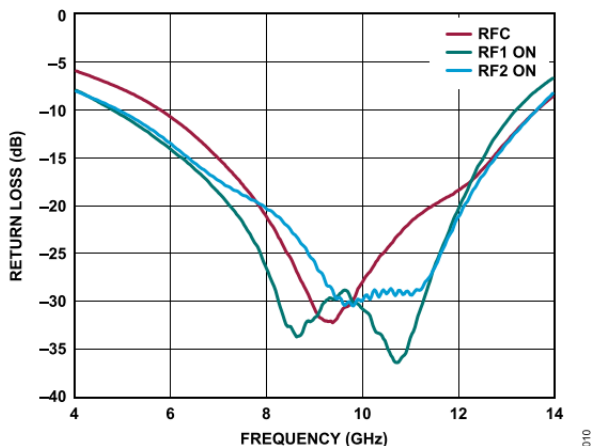


図 9. リターン・ロスと周波数の関係

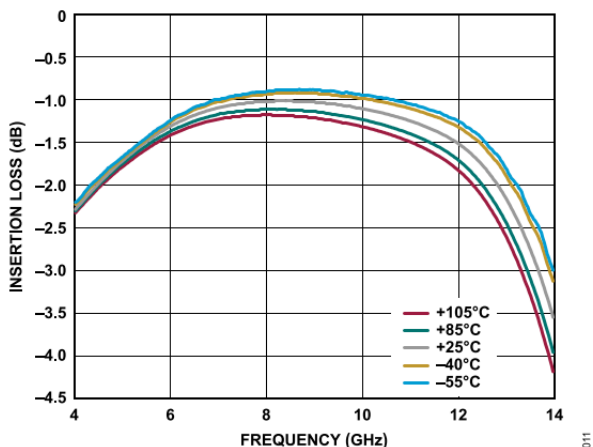


図 10. 様々な温度でのインサージョン・ロスと周波数の関係

## 代表的な性能特性

## 入力電力圧縮と3次インターセプト

特に指定のない限り、50Ωシステムにおいて、 $V_{DD} = 3.3V$ 、 $V_{SS} = -3.3V$ 、 $V_{CTRL} = 0V$ または $V_{DD} V$ 、 $T_{CASE} = 25^{\circ}C$ 。 [ADRF5142-EVALZ](#)で測定

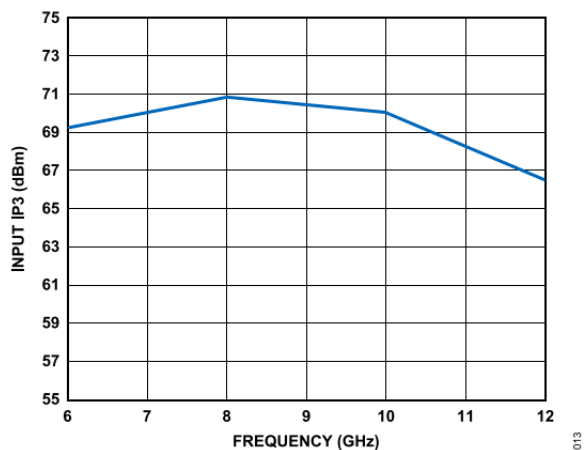


図 12. 入力IP3と周波数の関係

## 動作原理

ADRF5142にはドライバが内蔵されており、ロジック機能を内部で実行できるため、制御インターフェースを簡素化できます。ドライバに接続された1本の制御入力ピンCTRLによってRF経路の状態を制御することで、どのRFポートがインサクション・ロス状態になり、どのポートがアイソレーション状態になるかが決まります（表6参照）。

## 電源

ADRF5142は、VDDピンに供給する正電源電圧と、VSSピンに供給する負電源電圧を必要とします。RFカップリングを最小限に抑えるために、電源ラインにはバイパス・コンデンサを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. グラウンドに接続します。
2. VDDとVSSに電源を入れます。ランプアップ中にVDDで電流トランジェントが発生しないように、VDDをパワーアップしてからVSSをパワーアップします。
3. デジタル制御入力に電源を投入します。VDDへの電源投入の前にデジタル制御入力に電源を投入すると、意図せぬ順方向バイアスの原因となり、内蔵ESD保護構造に損傷を与えるおそれがあります。この損傷を防ぐには、1kΩの抵抗を直列接続して、制御ピンに流入する電流を制限します。VDDへの電源投入後にコントローラ出力が高インピーダンス状態になり、制御ピンが有効なロジック状態に駆動されない場合は、プルアップ抵抗またはプルダウン抵抗を接続します。
4. RF入力信号を印加します。

5. 理想的なパワーダウン・シーケンスはこのパワーアップ・シーケンスの逆順序です。

## RF入出力

すべてのRFポート（RFC、RF1、RF2）は0VにDCカップリングされており、RFラインの電位が0Vに等しい場合、RFポートでのDC阻止は不要です。

RFポートは内部で50Ωに整合されています。そのため、外付けのマッチング回路は不要です。

インサクション・ロス経路では、選択したRF投ポートとRF共通ポートの間でRF信号が導通します。アイソレーション経路では、インサクション・ロス経路と未選択のRF投ポートの間に大きな損失が発生します。ADRF5142の未選択のRFポートは反射状態となります。

スイッチの設計は、均等な電力処理機能を備えた双方向的なものとなっています。RF入力信号はRFCポートに印加することも、選択したRF投ポートに印加することもできます。

表 6. 制御電圧の真理値表

Digital Control Input, V <sub>CTRL</sub>	RF Paths	
	RF1 to RFC	RF2 to RFC
Low	Insertion loss (on)	Isolation (off)
High	Isolation (off)	Insertion loss (on)



アプリケーション情報

ADRF5142には、2本の電源ピン（VDDとVSS）と1本の制御ピン（CTRL）があります。電源ピンおよび制御ピンの外付け部品との接続方法を図13に示します。VDDピンは、100pFおよび100nFの多層セラミック・コンデンサでデカップリングされています。VSSピンと制御ピンは、100pFの多層セラミック・コンデンサでデカップリングされています。このようなデバイスのピン配置になっていることで、デカップリング・コンデンサをデバイスの近くに配置することができます。バイアスおよび動作に他の外付け素子は不要です。ただし、RFラインを0V以外の電圧にバイアスする場合にはRFピンにDC阻止コンデンサを接続する必要があります。詳細については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

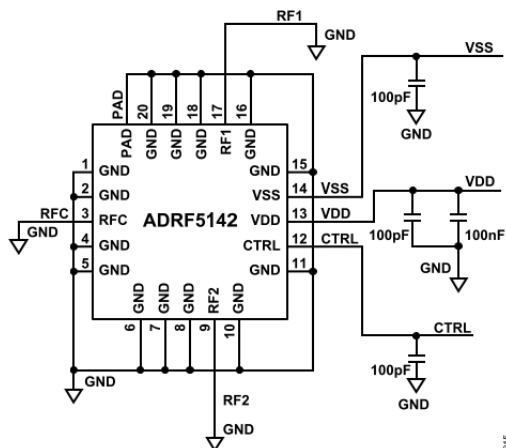


図 13. 推奨回路図

PCB設計のための推奨事項

RFポートは内部で50Ωに整合されており、ピン配置は、特性インピーダンスが50Ωの、PCB上のコプレーナ導波路（CPWG）に接続できるように設計されています。図14に、厚さ8milのRogers RO4003誘電体材料を用いたRF基板のCPWG RFパターン設計の参考例を示します。銅仕上げ厚さが1.5milの場合には、幅14mil、クリアランス7milのRFパターンが推奨されます。

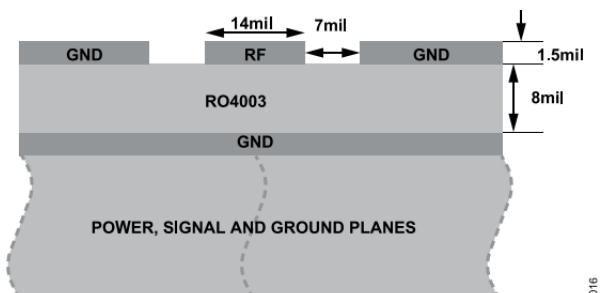


図 14. PCBの層構成例

図15に、RFパターン、電源、制御信号のデバイスからの配線を示します。グラウンド・プレーンは、RFおよび熱性能を最適化するため、できる限り多くの充填された貫通ビアに接続されています。デバイスの主な熱経路は裏面にあります。そのため、大電力印加時に、最大の熱放散を確保しながらPCBの温度上昇を防ぐには、PCBの下にヒートシンクが必要です。

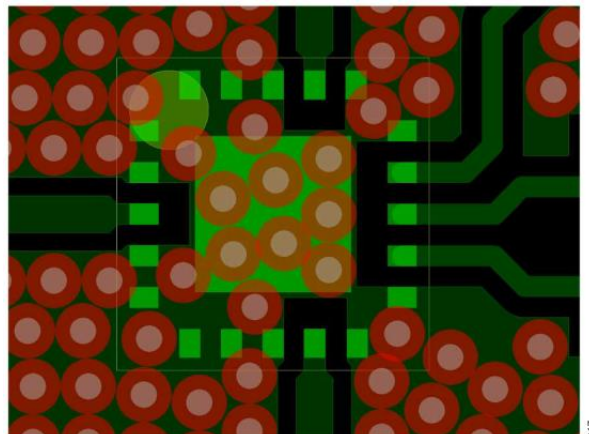


図 15. PCB配線

デバイスのRFピンから参照層構成の50Ω CPWGへの推奨レイアウトを、図16に示します。PCBパッドは、デバイス・パッドと1対1に対応します。グラウンド・パッドはハンダマスク定義で描かれており、信号パッドはパッド定義で描かれています。PCBパッドからのRFパターンは、パッケージ端に向かって、同じ幅で延びた後45°の角度でテーパ状になり、RFCに至ります。ペースト・マスクも、アパーチャが減少することなくパッドと一致するよう設計されています。ペーストは、複数の開口部に分割されパドルを形成しています。

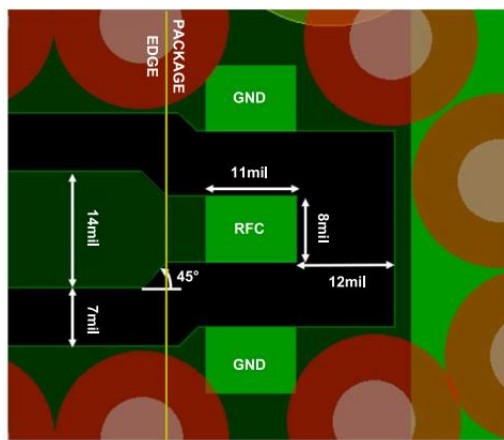


図 16. 推奨RFピン遷移

更なる推奨事項や、異なる誘電体厚さおよびCPWG設計を用いる代替PCB層構成については、[アナログ・デバイスのテクニカル・サポート](#)にお問い合わせください。

## 外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-20-9	LGA	20-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Quantity	Package Option
ADRF5142BCCZN	-40°C to +85°C	20-Terminal Land Grid Array [LGA]	Reel, 500	CC-20-9
ADRF5142BCCZN-R7	-40°C to +85°C	20-Terminal Land Grid Array [LGA]	Reel, 500	CC-20-9

1 Z = RoHS適合製品。

## 評価用ボード

Model <sup>1</sup>	Description
ADRF5142-EVALZ	Evaluation Board

1 Z = RoHS適合製品。