

反射型シリコンSP8Tスイッチ、100MHz～20GHz

特長

- ▶ 超広帯域周波数範囲：100MHz～20GHz
- ▶ 低挿入損失
 - ▶ 1.3dB（6GHzまで）
 - ▶ 1.6dB（12GHzまで）
 - ▶ 2.0dB（20GHzまで）
- ▶ 高アイソレーション
 - ▶ 46dB（6GHzまで）
 - ▶ 45dB（12GHzまで）
 - ▶ 40dB（20GHzまで）
- ▶ 高入力直線性
 - ▶ P0.1dB：33dBm（代表値）
 - ▶ IP3：55dBm（代表値）
- ▶ 大RF電力処理
 - ▶ 挿入損失パス：33dBm
 - ▶ ホット・スイッチング：30dBm
- ▶ オンとオフの高速スイッチング時間：55ns
- ▶ 0.1dBセトリング・タイム（50% V_{CTRL}から最終RF_{OUT}出力の0.1dBまで）：100ns
- ▶ 単電源動作可能
- ▶ オール・オフ状態コントロール
- ▶ ロジック・セレクト制御
- ▶ 低周波数スプリアスなし
- ▶ 36端子、5.50mm × 5.50mmのLGAパッケージ

アプリケーション

- ▶ 試験および計測器
- ▶ 防衛用無線、レーダー、電子対抗手段（ECM）
- ▶ マイクロ波無線および超小型地球局（VSAT）

機能ブロック図

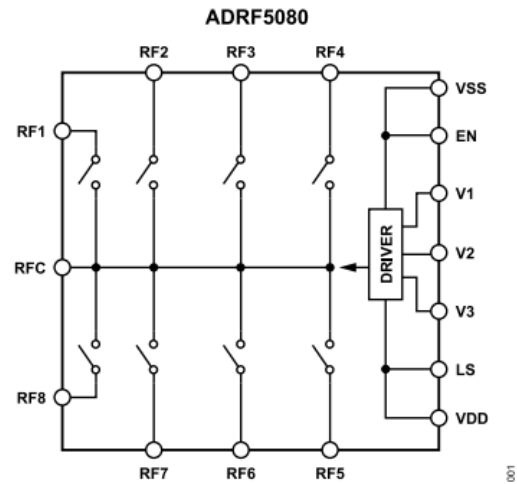


図 1. 機能ブロック図

概要

ADRF5080は、シリコン・プロセスで製造された反射型SP8Tスイッチです。このデバイスは、100MHz～20GHzで動作し、挿入損失は2.0dB未満、絶縁は40dBを上回ります。また、挿入損失パスに対し、連続波電力30dBmのRF入力電力処理能力を備えています。

ADRF5080は、+3.3Vと-3.3Vの両電源電圧で動作します。更に、負電源ピン（VSS）をグラウンドに接続し、単電源電圧（VDD）を印加しても動作できます。単電源動作条件では、優れた小信号性能を維持しながら低動作電力であることが求められます。詳細については、表2を参照してください。

ADRF5080の制御は、相補型金属酸化膜半導体（CMOS）／低電圧トランジスタ・トランジスタ・ロジック（LVTTTL）に対応しています。

ADRF5080は、36端子、5.50mm × 5.50mmのRoHS準拠ランド・グリッド・アレイ（LGA）パッケージで提供され、-40°C～+105°Cで動作可能です。

目次

特長.....	1	代表的な性能特性.....	9
アプリケーション.....	1	挿入損失、リターン・ロス、アイソレーション.....	9
機能ブロック図.....	1	入力電力圧縮と3次インターセプト.....	12
概要.....	1	動作原理.....	13
仕様.....	3	RF入出力.....	13
単電源動作の仕様.....	4	電源.....	13
絶対最大定格.....	5	単電源動作.....	13
熱抵抗.....	5	アプリケーション情報.....	14
パワー・ディレーティング曲線.....	5	PCB設計のための推奨事項.....	14
静電放電（ESD）定格.....	6	外形寸法.....	15
ESDに関する注意.....	6	オーダー・ガイド.....	15
ピン配置およびピン機能の説明.....	7	評価用ボード.....	15
インターフェース回路図.....	8		

改訂履歴

7/2023—Revision 0: Initial Version

仕様

特に指定のない限り、50Ωシステムに対し、正電源電圧 (V_{DD}) = 3.3V、負電源電圧 (V_{SS}) = -3.3V、LS電圧 (V_{LS})、EN電圧 (V_{EN})、V1、V2、またはV3 = 0VまたはVDD、 $T_{CASE} = 25^{\circ}C$ 。RFxはRF1~RF8を意味します。また、 V_{CTRL} はV1、V2、V3ピンのデジタル制御入力電圧です。

表 1. 仕様

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE	f		100		20,000	MHz
INSERTION LOSS						
Between RFC and RFx (On)		100MHz~6GHz		1.3		dB
		6GHz~12GHz		1.6		dB
		12GHz~20GHz		2.0		dB
ISOLATION						
Between RFC and RFx		100MHz~6GHz		50		dB
		6GHz~12GHz		50		dB
		12GHz~20GHz		44		dB
Between RFx and RFx		100MHz~6GHz		46		dB
		6GHz~12GHz		45		dB
		12GHz~20GHz		40		dB
RETURN LOSS						
RFC (On)		100MHz~6GHz		20		dB
		6GHz~12GHz		18		dB
		12GHz~20GHz		18		dB
RFx (On)		100MHz~6GHz		20		dB
		6GHz~12GHz		18		dB
		12GHz~20GHz		18		dB
SWITCHING CHARACTERISTICS						
Rise Time and Fall Time	t_{RISE}, t_{FALL}	RF出力 (RF_{OUT}) の10%~90%		15		ns
On Time and Off Time	t_{ON}, t_{OFF}	V_{CTRL} の50%~ RF_{OUT} の90%		55		ns
RF Settling Time 0.1 dB		V_{CTRL} の50%~最終 RF_{OUT} の0.1dB		100		ns
INPUT LINEARITY ¹						
Compression Point						
0.1 dB	P0.1dB	f = 100MHz~20GHz		33		dBm
1 dB	P1dB	f = 100MHz~20GHz		33.5		dBm
Third-Order Intercept	IIP3	ツー・トーン入力電力 = トーンあたり 15dBm、f = 100MHz~20GHz、 $\Delta f = 1MHz$		55		dBm
SUPPLY CURRENT		VDDピンとVSSピン				
Positive Supply Current	I_{DD}			220		μA
Negative Supply Current	I_{SS}			580		μA
DIGITAL CONTROL INPUTS		LS、EN、V1、V2、V3の各ピン				
Voltage						
Low	V_{INL}		0		0.8	V
High	V_{INH}		1.2		3.3	V
Current						
Low	I_{INL}			<1		μA
High	I_{INH}	V1、V2、V3の各ピン ENピンとLSピン		<1		μA
				33		μA
RECOMMENDED OPERATING CONDITONS						
Supply Voltage						
Positive	V_{DD}		3.15		3.45	V
Negative	V_{SS}		-3.45		-3.15	V

仕様

表 1. 仕様 (続き)

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
Digital Control Input Voltage	V _{CTRL}	f = 100MHz~20GHz、T _{CASE} = 85°C ³	0		VDD	V
RF Power Handling ²	P _{IN}	RF信号はRFCに印加、または接続されたRFxを通じて印加			33	dBm
Insertion Loss Path		RF信号はRFCに印加、または接続されたRFxを通じて印加			30	dBm
Hot Switching		RF信号はRFCに印加、または接続されたRFxを通じて印加				
Case Temperature	T _{CASE}		-40		+105	°C

1 入力直線性性能と周波数の関係については、[入力電力圧縮と3次インターセプト](#)のセクションを参照してください。

2 パワー・ディレーティングと周波数の関係については、[図2](#)と[図3](#)を参照してください。

3 105 °Cでの動作の場合、電力処理能力はT_{CASE} = 85°Cの仕様から3dB低下します。

単電源動作の仕様

特に指定のない限り、50Ωシステムに対し、正電源電圧 (V_{DD}) = 3.3V、負電源電圧 (V_{SS}) = 0V、LS電圧 (V_{LS})、EN電圧 (V_{EN})、V1、V2、またはV3 = 0VまたはVDD、T_{CASE} = 25°C。RFxはRF1~RF8を意味します。また、V_{CTRL}はV1、V2、V3ピンのデジタル制御入力電圧です。

小信号特性およびバイアス特性は、単電源動作に対し維持されます。

表 2. 単電源動作の仕様

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE			100		20,000	MHz
SWITCHING						
Rise Time and Fall Time	t _{RISE} , t _{FALL}	RF _{OUT} の10%~90%		50		ns
On Time and Off Time	t _{ON} , t _{OFF}	V _{CTRL} の50%~RF _{OUT} の90%		150		ns
0.1 dB Settling Time		V _{CTRL} の50%~最終RF _{OUT} の0.1dB		300		ns
INPUT LINEARITY						
0.1 dB Power Compression	P0.1dB	f = 100MHz~20GHz		18		dBm
Third-Order Intercept	IP3	ツーン・トーン入力電力 = トーンあたり20dB、f = 15GHz、Δf = 1MHz		37		dBm
RECOMMENDED OPERATING CONDITIONS						
RF Power Handling		f = 100MHz~20GHz、T _{CASE} = 85°C				
Insertion Loss Path		RF信号はRFCに印加、または接続されたRFxを通じて印加			15	dBm
Hot Switching		RF信号はRFCに印加、または接続されたRFxを通じて印加			9	dBm
Case Temperature	T _{CASE}		-40		+105	°C

絶対最大定格

推奨動作条件については、表1および表2を参照してください。

表 3. 絶対最大定格

Parameter	Rating
Supply Voltage	
VDD	-0.3 V to +3.6 V
VSS	-3.6 V to +0.3 V
Digital Control Input ¹	
Voltage	-0.3 V to VDD + 0.3 V
Current	3 mA
RF Input Power ²	
Dual Supply (VDD = 3.3 V, VSS = -3.3 V, f = 100 MHz to 20 GHz, T _{CASE} = 85°C ³)	
Through Path	33.5 dBm
Hot Switching	30.5 dBm
Single Supply (VDD = 3.3 V, VSS = 0 V, f = 100 MHz to 20 GHz, T _{CASE} = 85°C ³)	
Through Path	15.5 dBm
Hot Switching	9.5 dBm
Unbiased (VDD, VSS = 0V)	10.5 dBm
Temperature	
Junction (T _J)	135°C
Storage	-65°C to +150°C
Reflow	260°C

1 デジタル制御ピンの過電圧は、内蔵ダイオードによりクランプされます。電流は所定の最大定格に制限する必要があります。

2 パワー・ディレーティングと周波数の関係については、図2と図3を参照してください。

3 105°Cでの動作の場合、電力処理能力はT_{CASE} = 85°Cの仕様から3dB低下します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

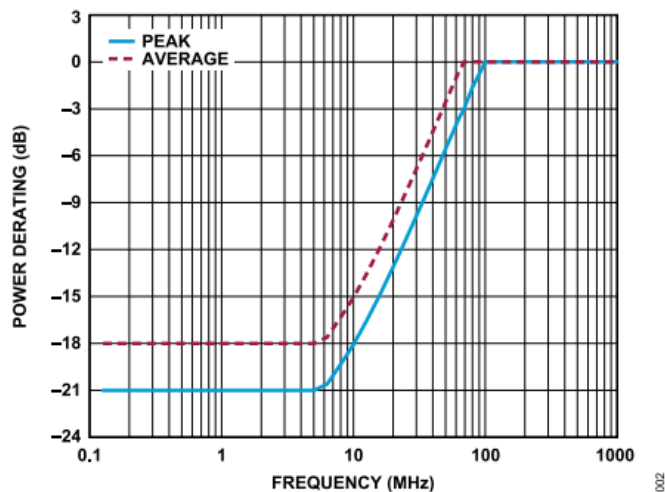
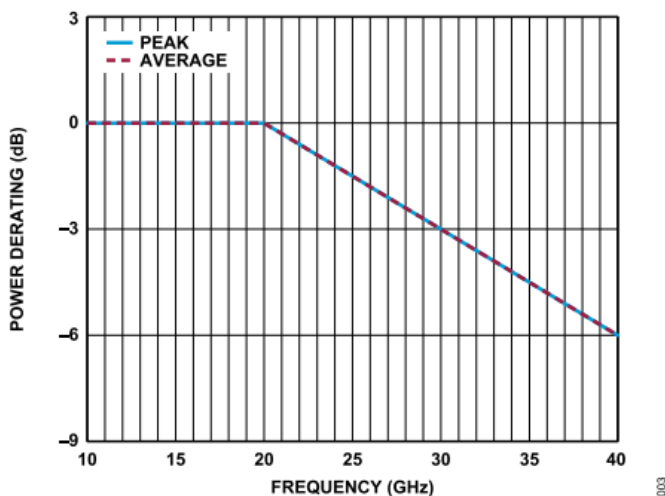
熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。θ_{JC}は、ジャンクションとケース底面の間 (パッケージ底面へのチャンネル) の熱抵抗です。

表 4. 熱抵抗

Package Type	θ _{JC} ¹	Unit
CC-36-2		
Insertion Loss Path	130	°C/W

1 θ_{JC}は、次の条件によるシミュレーション値です。
熱伝達：チャンネルからグラウンド・パッドを通してPCBまでの熱伝導のみ起因
グラウンド・パッド：85°Cの動作温度で一定保持

パワー・ディレーティング曲線

図 2. パワー・ディレーティングと周波数の関係、低周波数の詳細、T_{CASE} = 85°C図 3. パワー・ディレーティングと周波数の関係、高周波数の詳細、T_{CASE} = 85°C

絶対最大定格

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル（CDM）。

ADRF5080のESD定格

表 5. ADRF5080、36端子LGA

ESD Model	Withstand Threshold (V)	Class
HBM		
RFx and RFC Pins	2000	2
Supply and Control Pins	2000	2
CDM	500	C2A

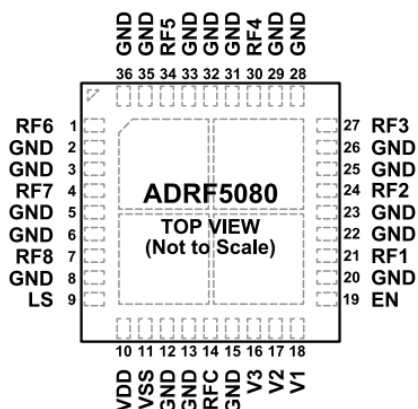
ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE RF AND DC GROUND OF THE PCB.

004

図 4. ピン配置（上面図）

表 6. パッド機能の説明

ピン番号	記号	説明
1	RF6	RF投ポート6. RF6ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
2, 3, 5, 6, 8, 12, 13, 15, 20, 22, 23, 25, 26, 28, 29, 31 to 33, 35, 36	GND	グラウンド。GNDピンは、PCBのRFグラウンドおよびDCグラウンドに接続する必要があります。
4	RF7	RF投ポート7. RF7ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
7	RF8	RF投ポート8. RF8ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
9	LS	ロジック・セレクト。真理値表については 表7 を参照してください。インターフェース回路図については、 図7 を参照してください。
10	VDD	正側電源電圧。
11	VSS	負側電源電圧。
14	RFC	RF共通ポート。RFCピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
16	V3	デジタル入力3真理値表については 表7 を参照してください。インターフェース回路図については、 図6 を参照してください。
17	V2	デジタル入力2真理値表については 表7 を参照してください。インターフェース回路図については、 図6 を参照してください。
18	V1	デジタル入力1真理値表については 表7 を参照してください。インターフェース回路図については、 図6 を参照してください。
19	EN	イネーブル入力。真理値表については 表7 を参照してください。インターフェース回路図については、 図7 を参照してください。
21	RF1	RF投ポート1. RF1ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
24	RF2	RF投ポート2. このピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
27	RF3	RF投ポート3. RF3ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
30	RF4	RF投ポート4. RF4ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
34	RF5	RF投ポート5. RF5ピンは0VにDCカップリングされ、50ΩにAC整合されています。RFラインの電位が0V DCに等しい場合は、DC阻止コンデンサは不要です。インターフェース回路図については、 図5 を参照してください。
	EPAD	露出パッド。露出パッドは、PCBのRFグラウンドおよびDCグラウンドに接続する必要があります。

ピン配置およびピン機能の説明

インターフェース回路図



図 5. RFx (RFC、RF1～RF8) のインターフェース回路図

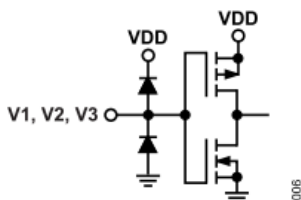


図 6. V1～V3のインターフェース回路図

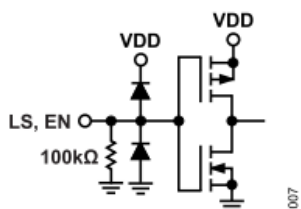


図 7. LSおよびENのインターフェース回路図

代表的な性能特性

挿入損失、リターン・ロス、アイソレーション

特に指定のない限り、50Ωシステムに対し、VDD = 3.3V、VSS = -3.3V、V_{LS}、V_{EN}、V₁、V₂、またはV₃ = 0VまたはV_{DD}、T_{CASE} = 25°C。

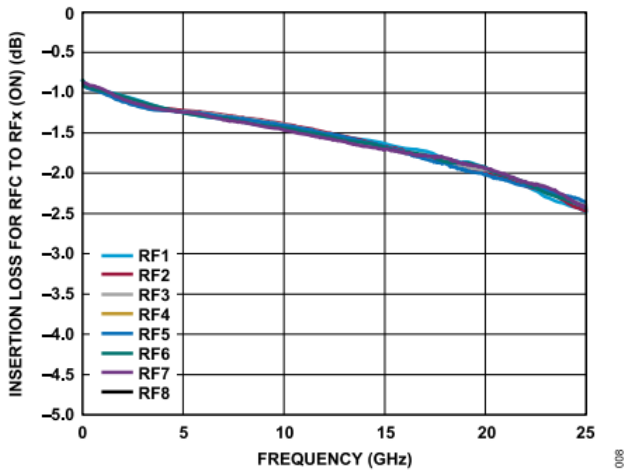


図 8. RFCからRFx (オン) への挿入損失と周波数の関係

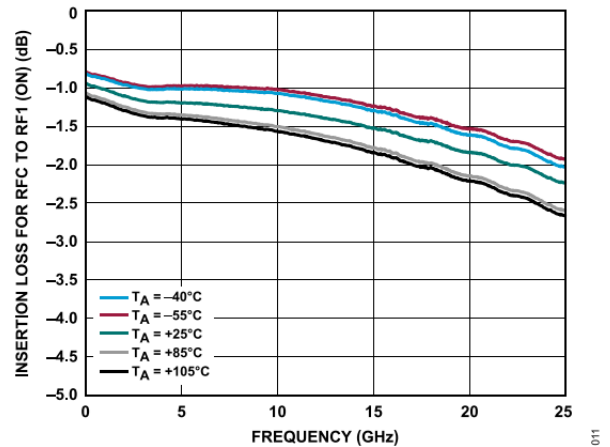


図 11. 様々な温度における、RFCからRF1 (オン) への挿入損失と周波数の関係

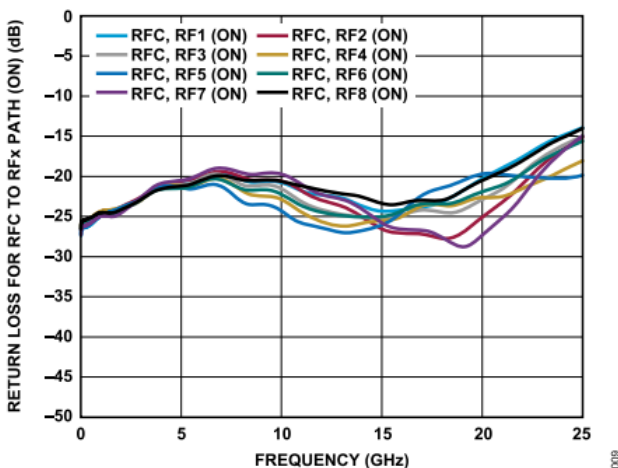


図 9. RFCからRFxパス (オン) へのリターン・ロスと周波数の関係

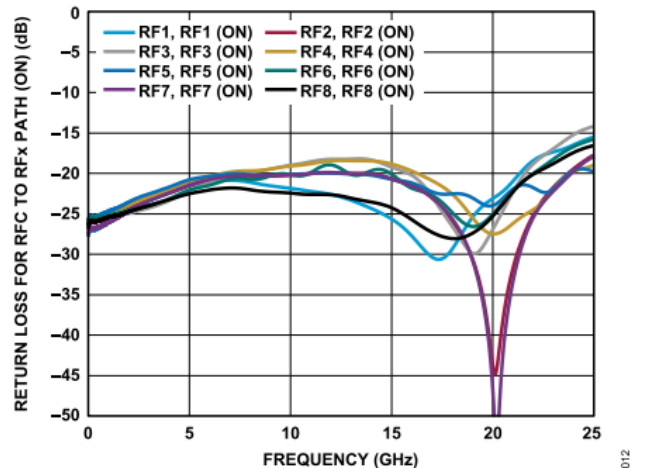


図 12. RFCからRFxパス (オン) へのリターン・ロスと周波数の関係

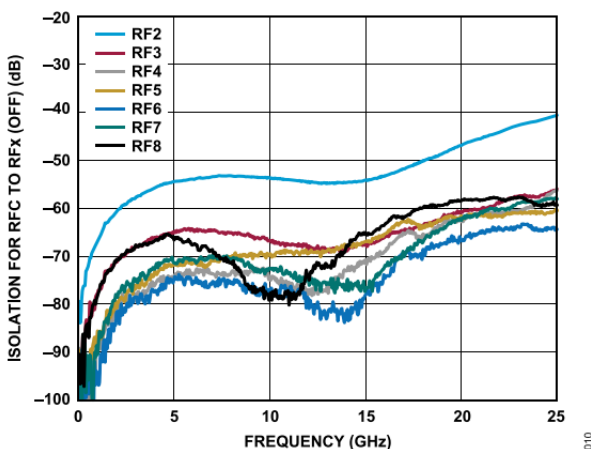


図 10. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF1へのパスがオン

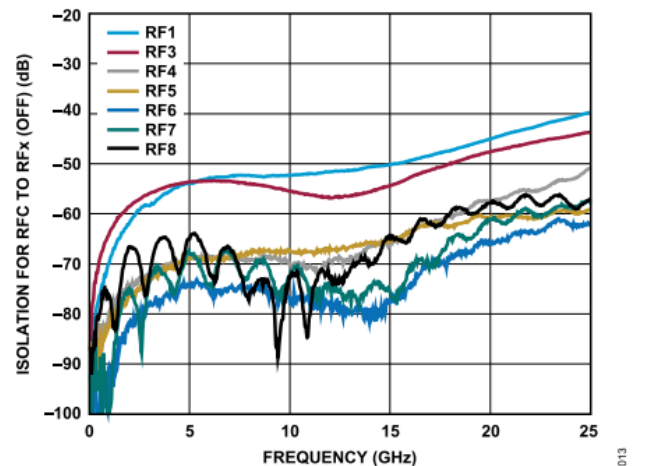


図 13. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF2へのパスがオン

代表的な性能特性

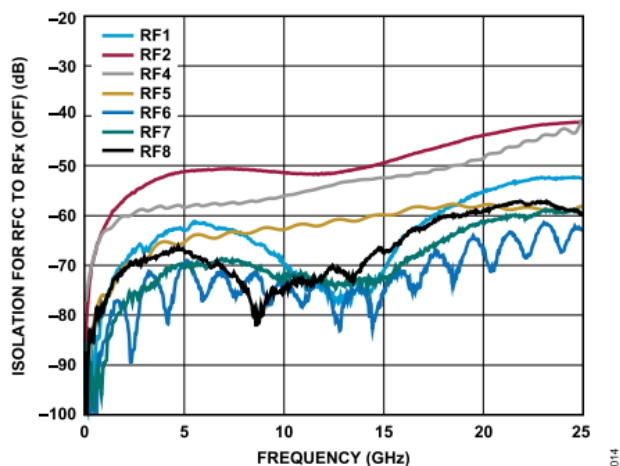


図 14. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF3へのパスがオン

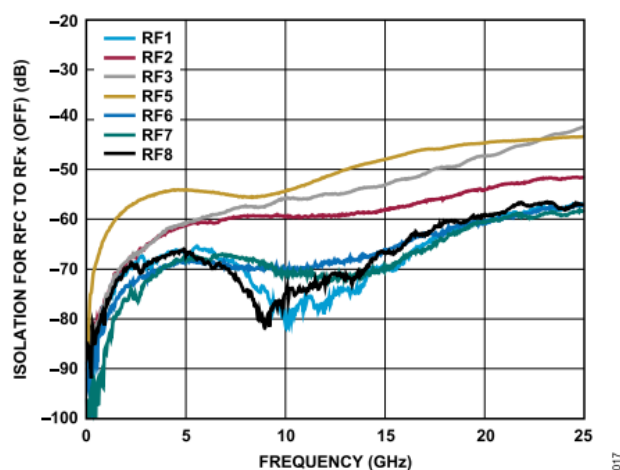


図 17. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF4へのパスがオン

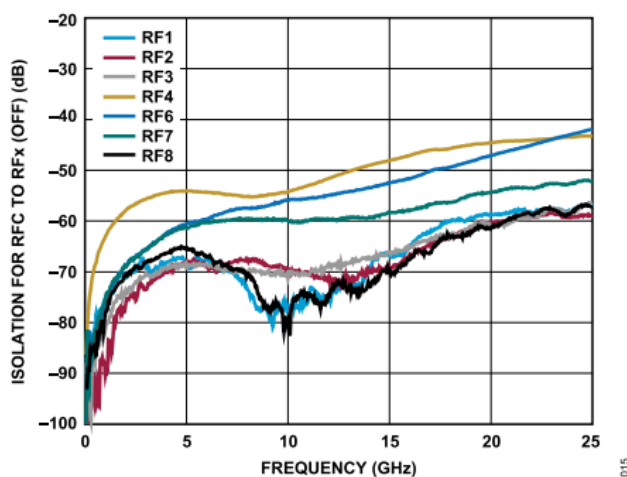


図 15. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF5へのパスがオン

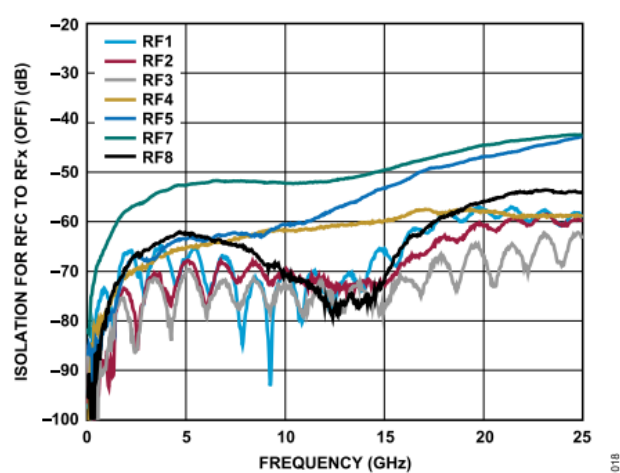


図 18. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF6へのパスがオン

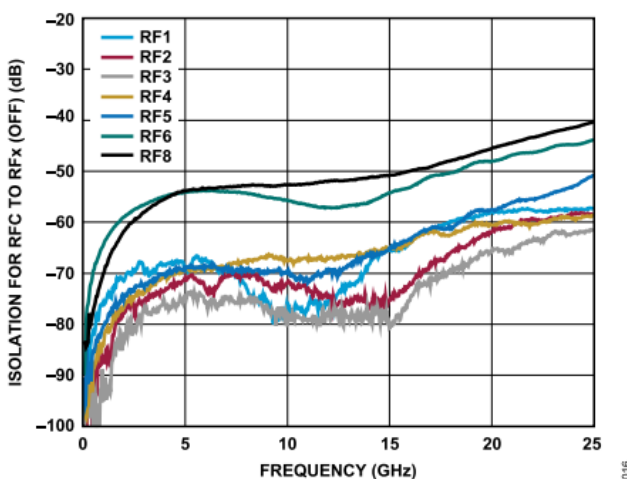


図 16. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF7へのパスがオン

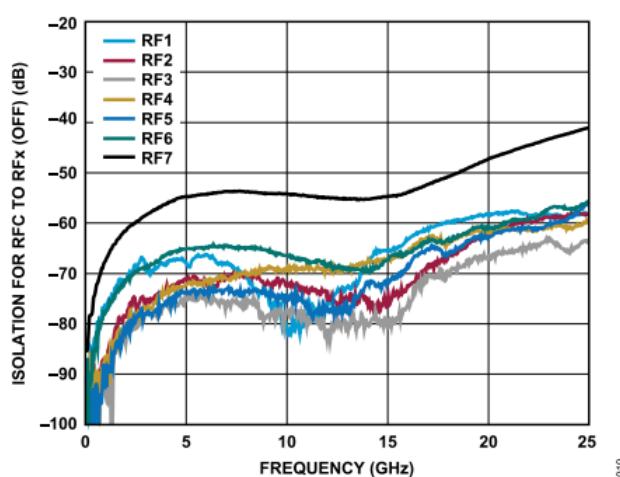


図 19. RFCとRFx (オフ) とのアイソレーションと周波数の関係、RFCからRF8へのパスがオン

代表的な性能特性

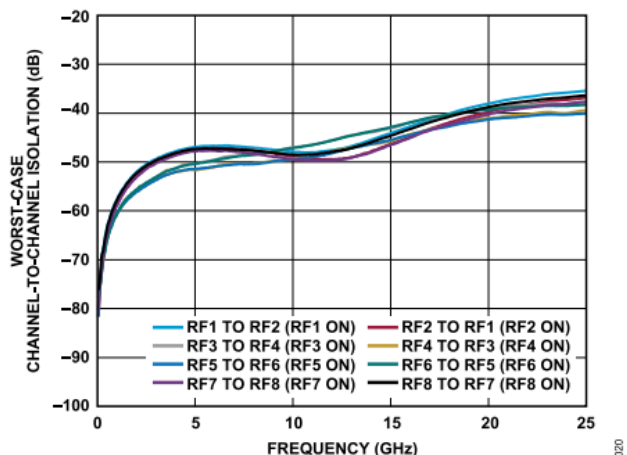


図 20. 最も厳しい場合のチャンネル間アイソレーションと周波数の関係、RFCからRFxへのパスがオン

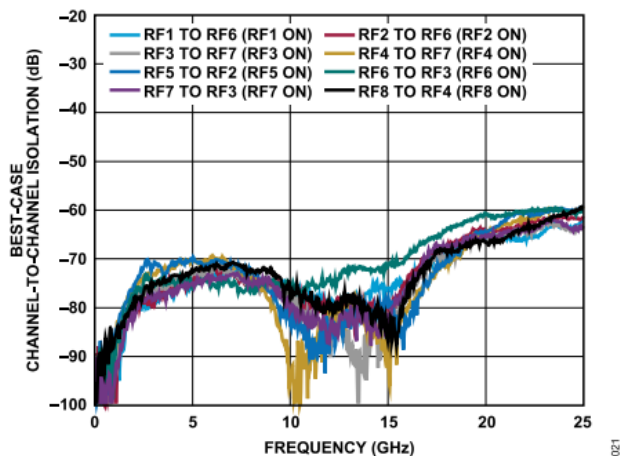


図 21. 最も良好な場合のチャンネル間アイソレーションと周波数の関係、RFCからRFxへのパスがオン

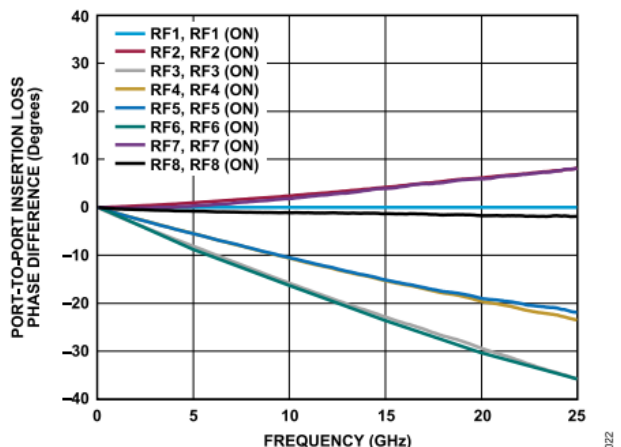


図 22. ポート間挿入損失の位相差（RFCからRFxへのパスがオン）と周波数の関係、RF1に対し正規化

代表的な性能特性

入力電力圧縮と3次インターセプト

特に指定のない限り、50Ωシステムに対し、VDD = 3.3V、VSS = -3.3V、VLS、VEN、V1、V2、またはV3 = 0VまたはVDD、TCASE = 25°C。

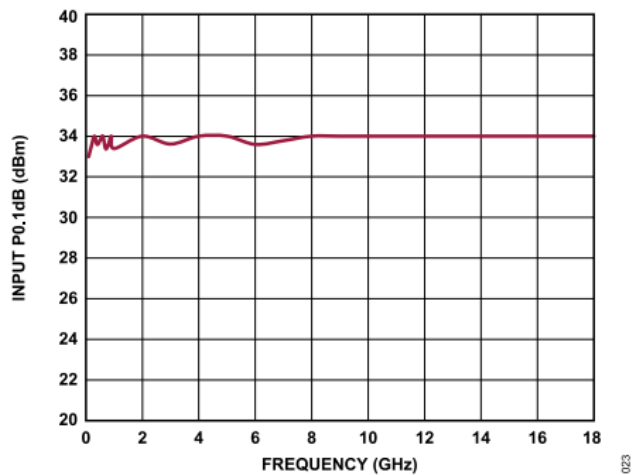


図 23. 入力P0.1dBと周波数の関係

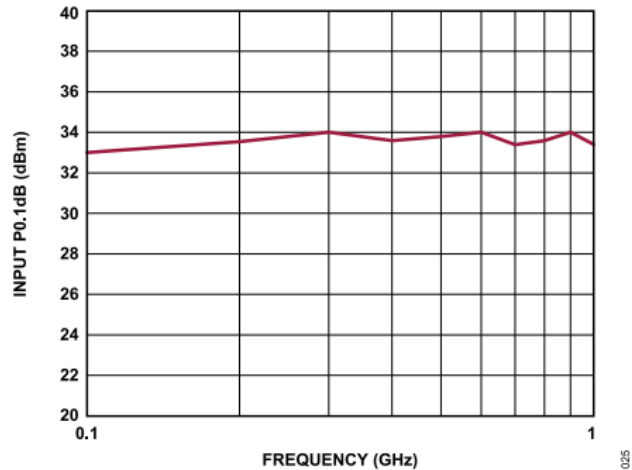


図 25. 入力P0.1dBと周波数の関係、低周波数の詳細

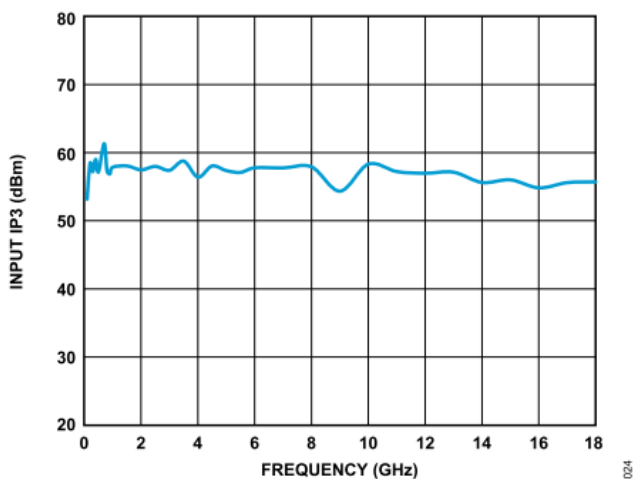


図 24. 入力IP3と周波数の関係

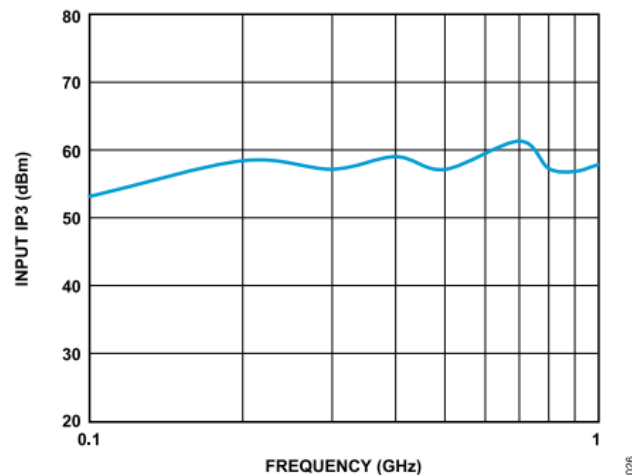


図 26. 入力IP3と周波数の関係、低周波数の詳細

動作原理

ADRF5080には、ロジック機能を内部で実行し、CMOS/LVTTL対応の制御インターフェースを簡素化できる利点を備えたドライバが組み込まれています。このドライバは、RFxパスの状態を制御する5つのデジタル制御入力ピン（LS、EN、V1、V2、V3）を備えています（表7参照）。

LS入力を使用すると、制御入力ロジック・シーケンスを定義してRFパスの選択ができます。V1、V2、V3の各ピンに加えられたロジック・レベルに応じて、どのRFポートが挿入損失状態になり、それ例外の3本のパスがアイソレーション状態になるかが決まります。

ENピンがロジック・ローの場合、CMOS制御入力ピンに印加されるロジック・レベルによって、どのRFポートが挿入損失状態になり、どのRFポートがアイソレーション状態になるかが決まります。挿入損失パスでは、選択されたRF投ポートとRF共通ポートの間でRF信号が導通します。アイソレーション・パスでは、挿入損失パスと選択していないRF投ポートの間に大きな損失が発生します。ADRF5080の未選択のRFポートは反射状態となります。

ENピンがロジック・ハイの場合、スイッチはLS、V1、V2、V3の各ピンのロジック状態に関係なく、すべてオフ状態になり、RFxからRFCへのパスすべてがアイソレーション状態になります。

RF入出力

すべてのRFポート（RFC、RF1～RF8）は0VにDCカップリングしており、RFラインの電位が0Vに等しい場合、RFポートでのDC阻止は不要です。RFポートは内部で50Ωに整合しています。そのため、外付けのマッチング回路は不要です。

スイッチの設計は、均等な電力処理機能を備えた双方向なものとなっています。RF入力信号はRFCポートに印加することも、選択したRF投ポートに印加することもできます。

表 7. 制御電圧の真理値表

Digital Control Inputs					RFx Paths							
EN	LS	V3	V2	V1	RF1 to RFC	RF2 to RFC	RF3 to RFC	RF4 to RFC	RF5 to RFC	RF6 to RFC	RF7 to RFC	RF8 to RFC
Low	Low	Low	Low	Low	On	Off	Off	Off	Off	Off	Off	Off
Low	Low	Low	Low	High	Off	On	Off	Off	Off	Off	Off	Off
Low	Low	Low	High	Low	Off	Off	On	Off	Off	Off	Off	Off
Low	Low	Low	High	High	Off	Off	Off	On	Off	Off	Off	Off
Low	Low	High	Low	Low	Off	Off	Off	Off	On	Off	Off	Off
Low	Low	High	Low	High	Off	Off	Off	Off	Off	On	Off	Off
Low	Low	High	High	Low	Off	Off	Off	Off	Off	Off	On	Off
Low	Low	High	High	High	Off	Off	Off	Off	Off	Off	Off	On
Low	High	Low	Low	Low	Off	Off	Off	Off	Off	Off	Off	On
Low	High	Low	Low	High	Off	Off	Off	Off	Off	Off	On	Off
Low	High	Low	High	Low	Off	Off	Off	Off	Off	On	Off	Off
Low	High	Low	High	High	Off	Off	Off	Off	On	Off	Off	Off
Low	High	High	Low	Low	Off	Off	On	Off	Off	Off	Off	Off
Low	High	High	High	Low	Off	On	Off	Off	Off	Off	Off	Off
Low	High	High	High	High	On	Off	Off	Off	Off	Off	Off	Off
High	Low or high	Low or high	Low or high	Low or high	Off	Off	Off	Off	Off	Off	Off	Off

電源

ADRF5080は、VDDピンに供給する正電源電圧と、VSSピンに供給する負電源電圧を必要とします。RFカップリングを最小限に抑えるために、電源ラインにはバイパス・コンデンサを推奨します。

理想的なパワーアップ・シーケンスは以下のとおりです。

1. GNDをグラウンドに接続します。
2. VDDとVSSに電源を入れます。ランプ上昇する間にVDDで電流トランジェントが発生しないように、VDDの電源投入後にVSSを電源投入してください。
3. デジタル制御入力（EN、LS、V1、V2、V3）に制御電圧を印加します。VDDへの電源投入の前にデジタル制御入力に制御電圧を印加すると、意図せぬ順方向バイアスの原因となり、内蔵ESD保護構造に損傷を与えるおそれがあります。そのような場合は、1kΩの抵抗を直列に接続して、制御ピンに流入する電流を制限してください。VDDへの電源投入後、制御ピンを有効なロジック状態に駆動できない（すなわち、コントローラ出力が高インピーダンス状態になっている）場合は、プルアップ抵抗またはプルダウン抵抗を使用することを推奨します。
4. RF入力信号を印加します。

理想的なパワーダウン・シーケンスはこのパワーアップ・シーケンスの逆順序です。

単電源動作

ADRF5080は、VDDピンとグラウンドに接続されたVSSピンとの間に印加された正側単電源で動作できます。ただし、入力圧縮と入力3次インターセプト・ポイントにおいて若干の性能低下が生じる可能性があります。

アプリケーション情報

ADRF5080には、2本の電源ピン（VDDおよびVSS）と5本の制御ピン（LS、EN、V1、V2、V3）があります。電源ピンおよび制御ピンの外付け部品と接続方法を図27に示します。電源ピンおよび制御ピンは、10pFまたは100pFの多層セラミック・コンデンサでデカップリングされています。このデバイスのピン配置により、デカップリング・コンデンサをデバイスの近くに配置することができます。バイアスおよび動作のためにその他の外付け部品は不要です。ただし、RFラインを0V以外の電圧にバイアスする場合は、DC阻止コンデンサが必要です。詳細については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

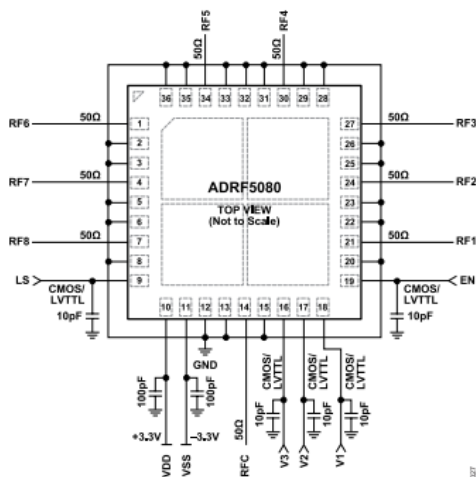


図 27. 推奨回路図

PCB設計のための推奨事項

RFポートは内部で50Ωに整合しており、ピン配置は、PCBにある特性インピーダンスが50Ωのコプレーナ導波路（CPWG）に接合できるように設計されています。図28に、8mil厚のRogers RO4003誘電体材料を用いたRF基板に対する、CPWG RFパターン設計を参照用として示します。幅14mil、クリアランス7mil、銅仕上げ厚さ2.8milのRFパターンを推奨します。

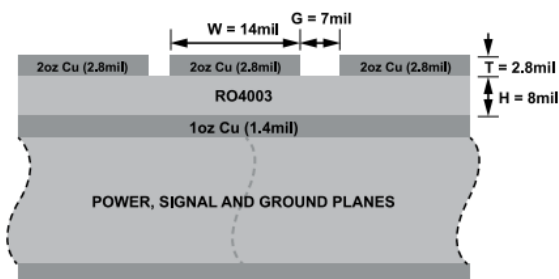


図 28. PCB層構成例

図29に、RFパターン、電源、デバイスからの制御信号の配線を示します。グラウンド・プレーンは、できる限り多数の埋め込みスルー・ビアで接続されており、最適なRF性能および熱性能を発揮できます。デバイスの主な熱経路は裏面です。

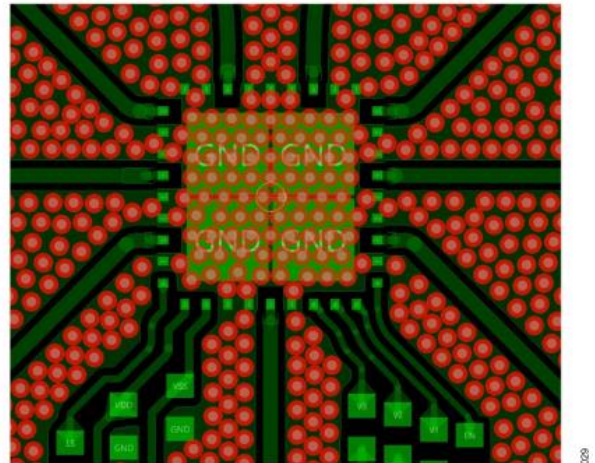


図 29. PCB配線

デバイスのRFxピンから参照層構成の50Ω CPWGへの推奨レイアウトを、図30に示します。PCBパッドは、デバイス・パッドと1対1に対応します。グラウンド・パッドは、ハンダ・マスク定義で描かれ、信号パッドはパッド定義で描かれています。PCBパッドからのRFパターンは、同じ幅で2milだけ延長され、その後45°の角度でRFパターンに向けてテーパ状になっています。ペースト・マスクも、オーバーチャージが減少することなくパッドと一致するように設計されています。ペーストは、複数の開口に分割されパドルを形成しています。

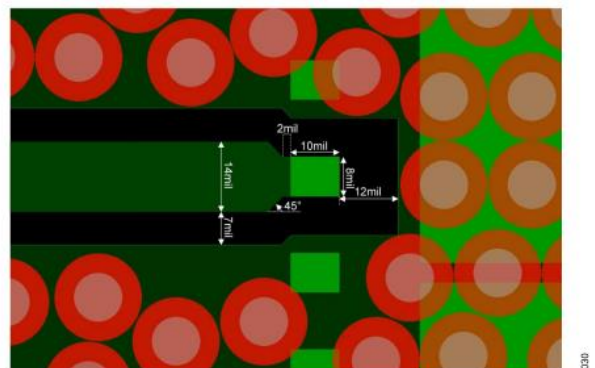


図 30. 推奨RFxピン遷移

異なる誘電体厚さやCPWG設計の代替PCB層構成に関する推奨事項は、[アナログ・デバイセズのテクニカル・サポート](#)にお問い合わせください。

外形寸法

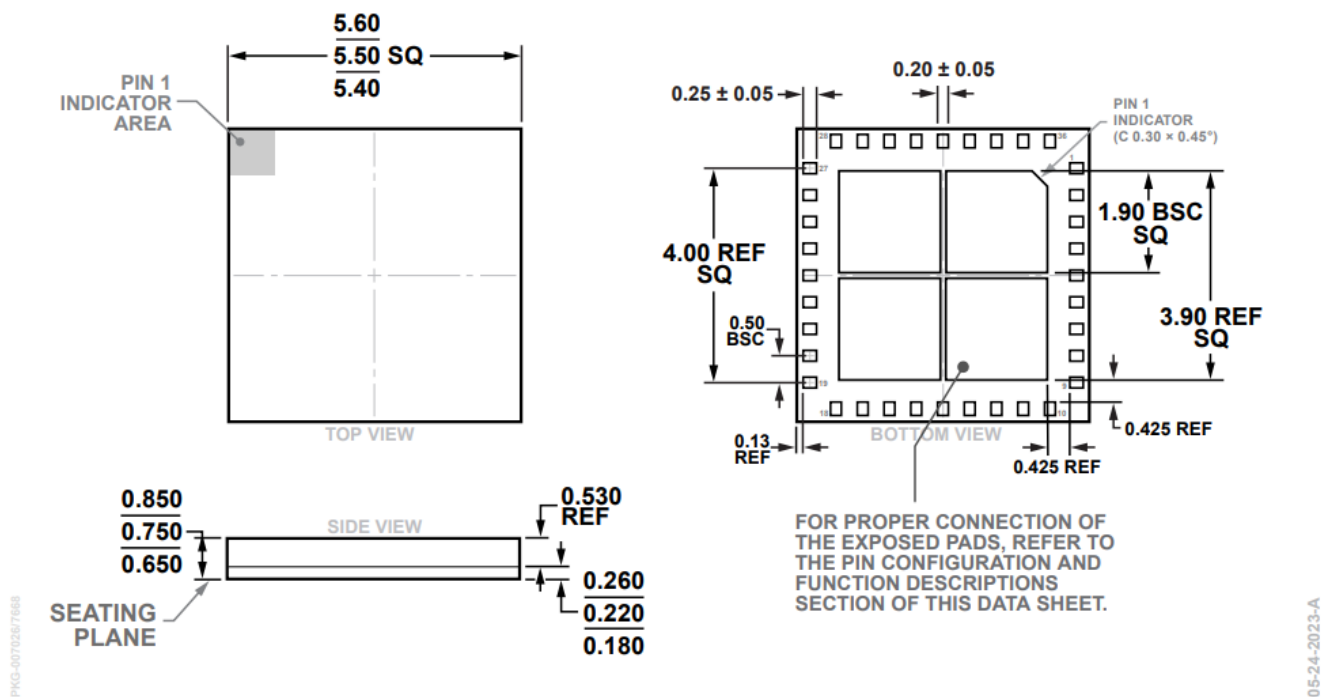


図 31. 36端子ランド・グリッド・アレイ [LGA]
(CC-36-2)
寸法単位：mm

更新：2023年6月30日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADRF5080BCCZN	-40°C to +105°C	LGA/CASON/CH ARRY SO NO LD		CC-36-2
ADRF5080BCCZN-R7	-40°C to +105°C	LGA/CASON/CH ARRY SO NO LD	Reel, 500	CC-36-2

¹ Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
ADRF5080-EVALZ	Evaluation Board

¹ Z = RoHS準拠製品。