

60V/3.4A のスイッチを内蔵した、光アイソレータ不要の 40V_{IN} マイクロパワー絶縁型フライバック・コンバータ

特長

- ▶ 3.4A/60V の DMOS パワー・スイッチ内蔵
- ▶ 入力電圧範囲：3.2V~40V
- ▶ 出力電圧のレギュレーションにはトランスの 3 次巻線も光アイソレータも不要
- ▶ 重負荷時には準共振臨界モードで動作
- ▶ 軽負荷時には低リップル Burst Mode® で動作
- ▶ 低静止電流
 - ▶ 115μA (スリープ・モード時)
 - ▶ 390μA (アクティブ・モード時)
- ▶ 最小負荷<全出力の 0.5% (代表値)
- ▶ 出力ダイオードの温度補償
- ▶ 内部補償機能とソフトスタート機能
- ▶ 出力短絡保護
- ▶ EN/UVLO の正確な閾値とヒステリシス
- ▶ 熱強化型 8 ピン SO パッケージ

アプリケーション

- ▶ 補助/ハウスキーピング用の絶縁型電源
- ▶ 産業用、医療用の絶縁型電源

本紙記載の登録商標および商標は、すべて各社の所有に属します。
5438499、7463497、7471522 などの米国特許によって保護されています。

簡略アプリケーション回路図

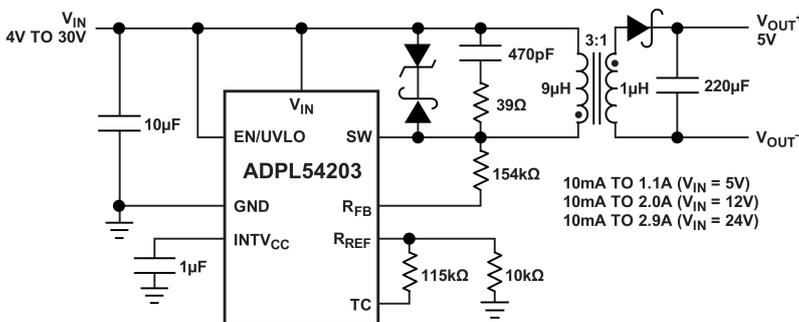


図 1. 4V~30V_{IN}/5V_{OUT} の絶縁型フライバック・コンバータ

概要

ADPL54203 は、3.2V~40V の入力電圧範囲で動作し、最大 17W の絶縁出力電力を供給します。このデバイスは、モノリシックのマイクロパワー絶縁型フライバック・コンバータです。絶縁出力電圧を 1 次側フライバック波形から直接サンプリングするので、レギュレーションには 3 次巻線も光アイソレータも不要です。出力電圧は、2 つの外付け抵抗と 3 つ目の温度補償用抵抗 (オプション) を用いてプログラムされます。臨界モード動作では、優れた負荷レギュレーションを行う小型磁気ソリューションを実現します。低リップル Burst Mode 動作では、軽負荷時に高い効率を維持すると共に、出力電圧のリップルを最小限に抑えます。

3.4A/60V の DMOS パワー・スイッチがすべての高電圧回路およびコントロール・ロジックと一緒に熱強化型 8 ピン SO パッケージに内蔵されています。高いレベルの集積度と臨界モードおよび低リップル Burst Mode の使用によって、使いやすく、部品点数の少ない、高効率の絶縁型電力供給用アプリケーション・ソリューションが実現します。

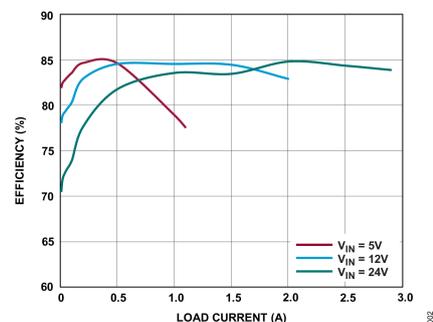


図 2. 効率と負荷電流の関係

目次

特長.....	1	出力の温度補償.....	15
アプリケーション.....	1	R_{REF} 、 R_{FB} 、 R_{TC} の実抵抗値の選択.....	16
概要.....	1	出力電力.....	17
簡略アプリケーション回路図.....	1	1次側インダクタンスの要件.....	17
改訂履歴.....	2	トランスの選択.....	18
仕様.....	3	巻数比.....	19
絶対最大定格.....	5	飽和電流.....	20
ピン配置およびピン機能の説明.....	6	巻線抵抗.....	20
ブロック図.....	8	漏れインダクタンスとスナバ回路.....	20
代表的な性能特性.....	9	低電圧ロックアウト (UVLO).....	22
動作原理.....	13	最小負荷の要件.....	22
準共振臨界モードでの動作.....	13	出力短絡保護.....	23
不連続導通モードでの動作.....	13	設計例.....	23
低リップル Burst Mode での動作.....	14	標準的応用例.....	29
アプリケーション情報.....	15	外形寸法.....	33
出力電圧.....	15	オーダー・ガイド.....	33

改訂履歴

変更内容	ページ番号
23年9月—リビジョン0：初版	—

仕様

表 1. 電気的特性

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{EN/UVLO} = V_{IN}$ 、 $C_{INTVCC} = 1\mu\text{F}$ (対 GND) における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS		MIN	TYP	MAX	UNITS
V_{IN} Voltage Range	V_{IN}	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		3.2		40	V
V_{IN} Quiescent Current	I_Q	$V_{EN/UVLO} = 0.2\text{V}$			0.5	2	μA
		$V_{EN/UVLO} = 1.1\text{V}$			53		
		Sleep Mode (Switch Off)			115		
		Active Mode (Switch On)			390		
EN/UVLO Shutdown Threshold		For Lowest Off I_Q	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	0.2	0.75		V
EN/UVLO Enable Threshold		Falling	$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$	1.160	1.214	1.268	V
EN/UVLO Enable Hysteresis					14		mV
EN/UVLO Hysteresis Current	I_{HYS}	$V_{EN/UVLO} = 0.3\text{V}$		-0.1	0	0.1	μA
		$V_{EN/UVLO} = 1.1\text{V}$		2.3	2.5	2.7	
		$V_{EN/UVLO} = 1.3\text{V}$		-0.1	0	0.1	
INTV _{CC} Regulation Voltage	V_{INTVCC}	$I_{INTVCC} = 0\text{mA to } 8\text{mA}$		2.85	3	3.1	V
INTV _{CC} Current Limit	I_{INTVCC}	$V_{INTVCC} = 2.8\text{V}$		8	13	20	mA
INTV _{CC} UVLO Threshold		Falling		2.38	2.47	2.56	V
INTV _{CC} UVLO Hysteresis					105		mV
($R_{FB} - V_{IN}$) Voltage		$I_{RFB} = 75\mu\text{A to } 125\mu\text{A}$		-50		50	mV
R_{REF} Regulation Voltage		$-40^\circ\text{C} \leq T_J \leq 125^\circ\text{C}$		0.97	1.00	1.03	V
R_{REF} Regulation Voltage Line Regulation		$3.2\text{V} \leq V_{IN} \leq 40\text{V}$		-0.01	0	0.01	%/V
TC Pin Voltage	V_{TC}				1.00		V
TC Pin Current	I_{TC}	$V_{TC} = 1.2\text{V}$		7	10	13	μA
		$V_{TC} = 0.8\text{V}$			-200		
Minimum Switching Frequency	f_{MIN}			11.3	12	12.7	kHz
Minimum Switch-On Time	$t_{ON(MIN)}$				160		ns
Maximum Switch-Off Time	$t_{OFF(MAX)}$	Backup Timer			170		μs
Maximum Switch Current Limit	$I_{SW(MAX)}$			3.4	4.5	5.6	A
Minimum Switch Current Limit	$I_{SW(MIN)}$			0.67	0.87	1.07	A

(特に指定のない限り、仕様値は $T_A = 25^\circ\text{C}$ 、 $V_{\text{IN}} = 5\text{V}$ 、 $V_{\text{EN/UVLO}} = V_{\text{IN}}$ 、 $C_{\text{INTVCC}} = 1\mu\text{F}$ (対 GND) における値です。)

PARAMETER	SYMBOL	CONDITIONS/COMMENTS	MIN	TYP	MAX	UNITS
Switch On-Resistance	$R_{\text{DS(ON)}}$	$I_{\text{SW}} = 1.5\text{A}$		100		$\text{m}\Omega$
Switch Leakage Current	I_{LKG}	$V_{\text{SW}} = 60\text{V}$		0.1	0.5	μA
Soft-Start Timer	t_{SS}			11		ms

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 2. 絶対最大定格

PARAMETER	RATING
SW ¹	60V
V_{IN}	40V
EN/UVLO	V_{IN}
R_{FB}	$V_{IN} - 0.5\text{V to } V_{IN}$
Current Into R_{FB}	200 μA
INTV _{CC} , R_{REF} , TC	4V
Operating Junction Temperature Range ^{2,3}	
ADPL54203	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

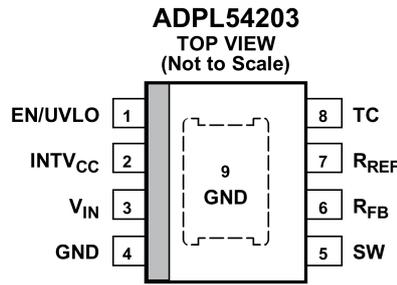
¹ SW ピンのトランジェント時の定格は 60V です。漏れインダクタンスによる電圧スパイクによっては、SW ピンの動作波形をディレーティングして、フライバック電圧スパイクを 60V 未満に維持する必要があります (図 29 を参照)。

² ADPL54203 は、-40°C~125°C の動作ジャンクション温度範囲で仕様規定されています。ジャンクション温度が高い場合は動作寿命が低下します。125°C を超えるジャンクション温度では、動作寿命が定格値より短くなります。

³ ADPL54203 は、一時的な過負荷状態からデバイスを保護することを目的とした過熱保護機能を内蔵しています。過熱保護機能はジャンクション温度が 150°C を超えると作動します。仕様規定された最大動作ジャンクション温度を超えて連続動作を行うと、デバイスの信頼性を損なう可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD (PIN 9) IS GND, MUST BE SOLDERED TO PCB.

図 3. ピン配置図

表 3. 端子説明

端子	名称	説明
1	EN/UVLO	イネーブル/低電圧ロックアウト。EN/UVLO ピンは、ADPL54203 をイネーブルにするために使用します。ADPL54203 をシャットダウンするには、このピンを 0.3V 未満に引き下げます。このピンは、精度の高い 1.214V の閾値を備えており、 V_{IN} とグラウンドの間に抵抗分圧器を使用して V_{IN} 低電圧ロックアウト (UVLO) 閾値をプログラムするのに使うことができます。2.5 μ A の電流ヒステリシスにより、 V_{IN} UVLO ヒステリシスのプログラムが可能です。どちらの機能も使用しない場合は、このピンを V_{IN} に直接接続します。
2	INTV _{CC}	内蔵 3V リニア・レギュレータの出力。INTV _{CC} ピンは、 V_{IN} から電力の供給を受けて、内蔵の制御回路およびゲート・ドライバに電力を供給します。INTV _{CC} ピンを外部電源 (例えば 3 次巻線の電源) でオーバードライブしないでください。このピンは、1 μ F 以上のセラミック・コンデンサを使って、グラウンドへローカルにバイパスします。
3	V_{IN}	入力電源。内蔵回路に電流を供給する V_{IN} ピンは、 R_{FB} ピンに接続されたフィードバック回路のリファレンス電圧として機能します。このピンは、コンデンサを使って、グラウンドへローカルにバイパスします。
4, Exposed Pad 9	GND	グラウンド。露出パッドによって、グラウンドへの電氣的接続と、プリント基板への良好な熱的接続が共に実現できます。露出パッドはグラウンド・プレーンに直接半田付けします。
5	SW	内蔵 DMOS パワー・スイッチのドレイン。EMI と電圧スパイクを抑えるために、このピンでは配線パターン面積を最小限にします。
6	R_{FB}	外付け帰還抵抗の入力ピン。このピンとトランスの 1 次 SW ピンの間に抵抗を接続します。抵抗 R_{FB} の抵抗 R_{REF} に対する比率が内部電圧リファレンスの値に乘じられ出力電圧が決まります (トランスの巻数比が 1 以外であれば、その影響も加わります)。このピンでは配線パターン面積を最小限にします。
7	R_{REF}	グラウンドを基準とした外付けリファレンス抵抗の入力ピン。このピンの抵抗は 10k のレンジにあることが必要ですが、抵抗分圧比の選択の便宜上、値の範囲は 9.09k~11.0k でもかまいません。

8	TC	出力電圧の温度補償。このピンの電圧は絶対温度に比例（PTAT）しており、温度係数は 3.35mV/°K です。つまり、室温 25°C では 1V になります。そのため、TC ピンの電圧から ADPL54203 のジャンクション温度を推定できます。このピンと R _{REF} ピンの間に抵抗を接続して、出力ダイオードの温度係数を補償します。
---	----	--

ブロック図

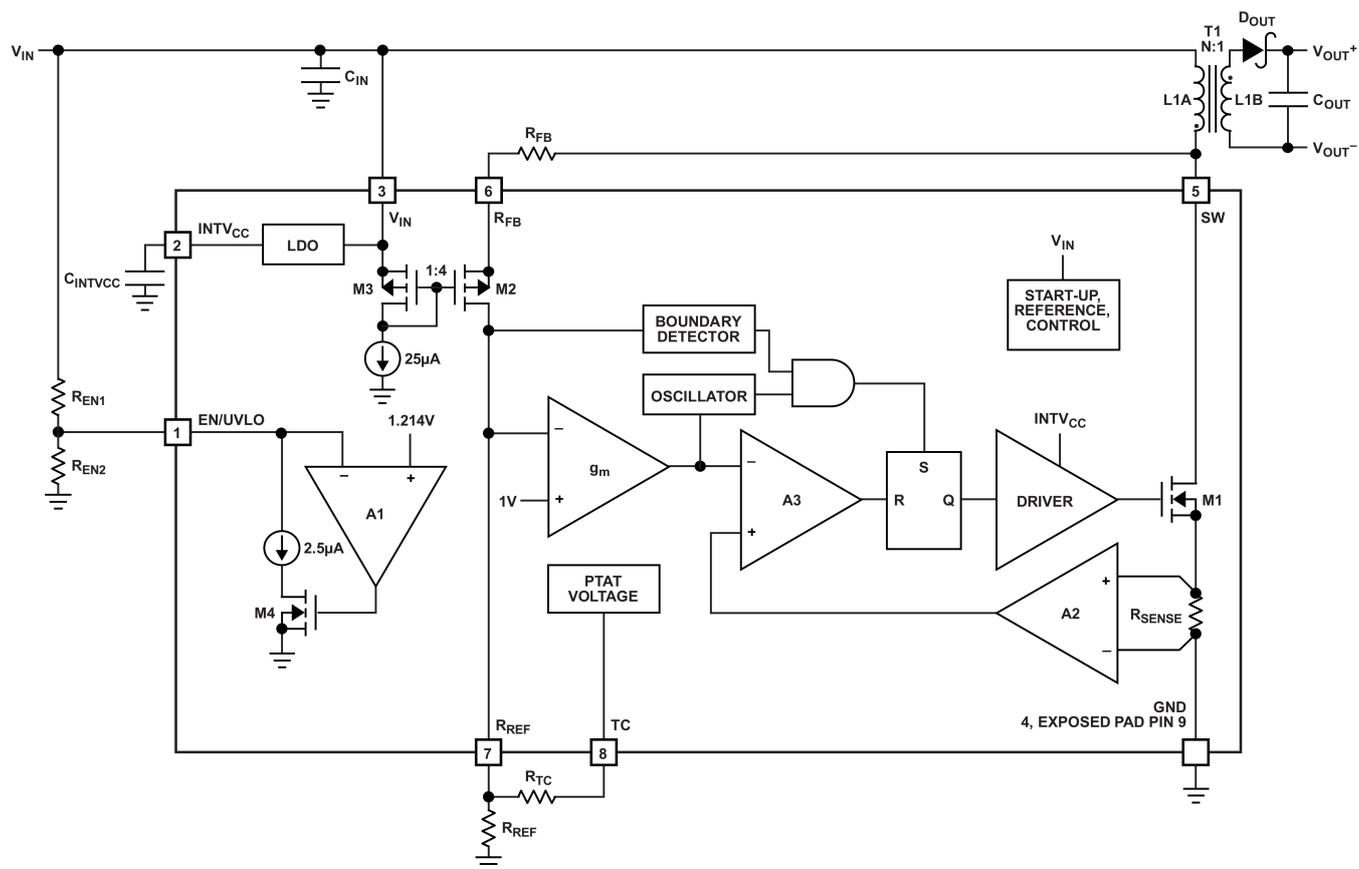


図 4. ブロック図

028

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

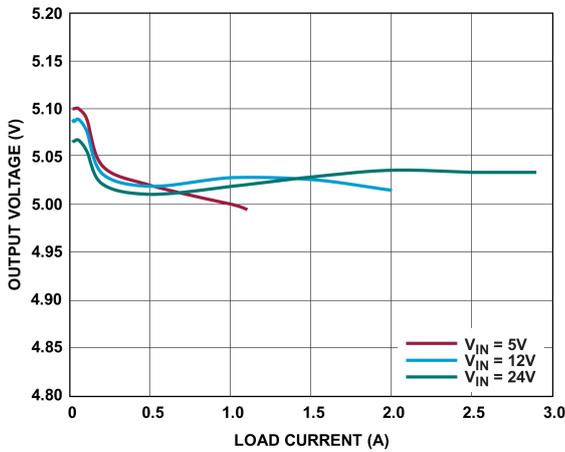


図 5. 出力負荷とライン・レギュレーション

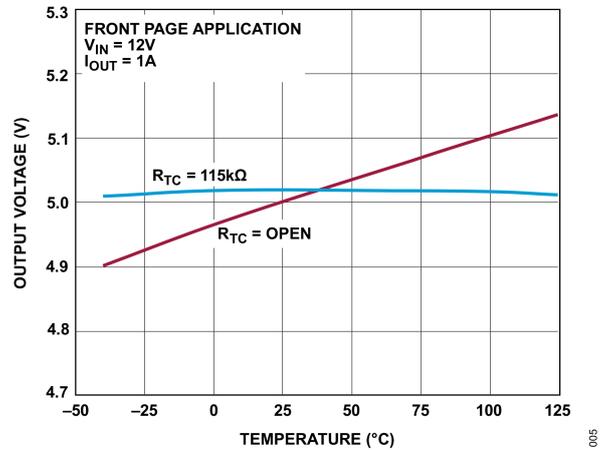


図 6. 出力の温度変動

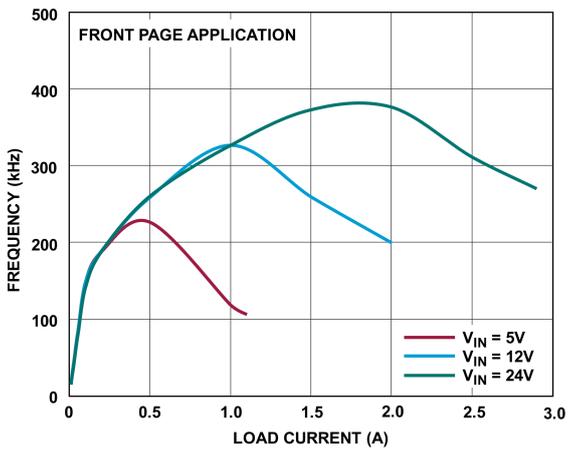


図 7. スイッチング周波数と負荷電流の関係

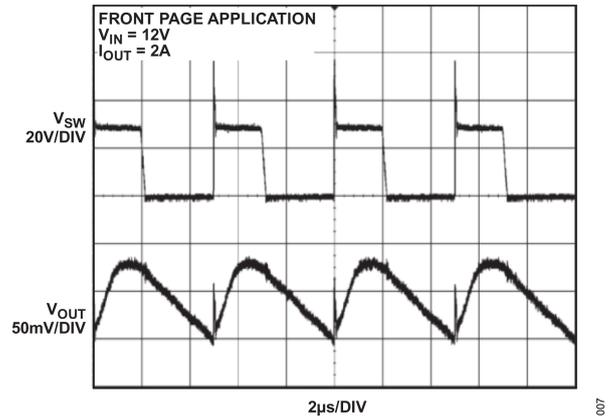


図 8. 臨界モードの波形

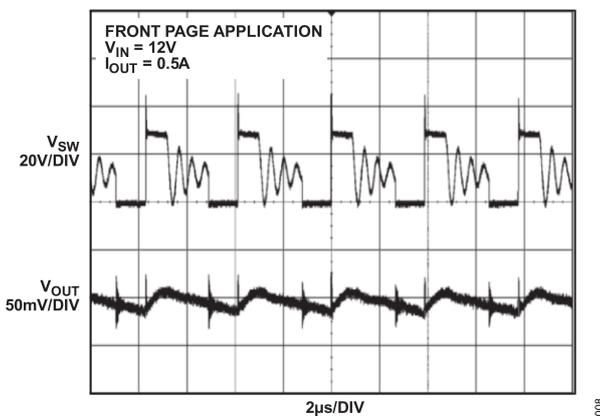


図 9. 不連続モードの波形

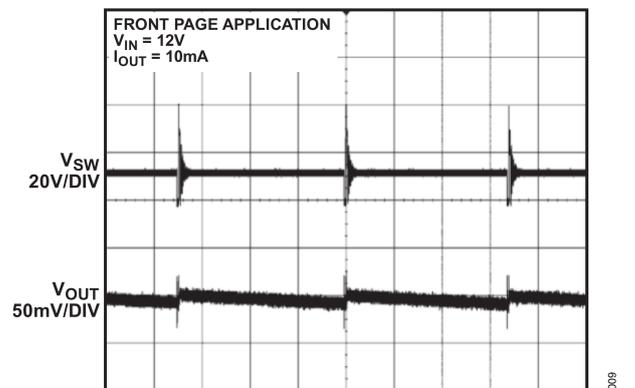


図 10. Burst Mode の波形

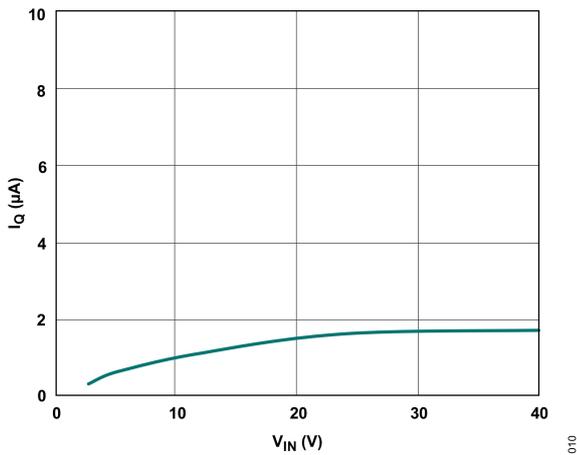


図 11. V_{IN} のシャットダウン電流

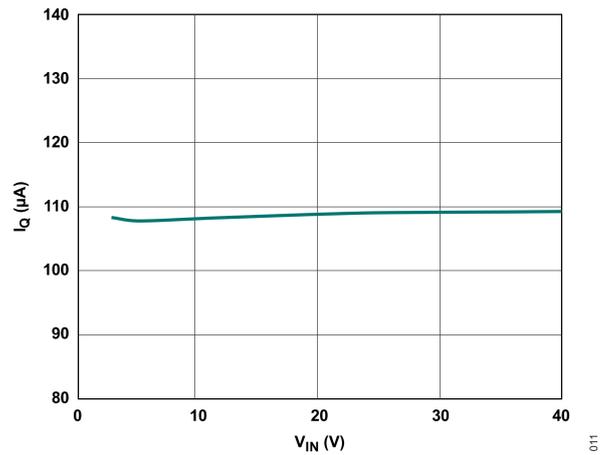


図 12. V_{IN} の静止電流 (スリープ・モード時)

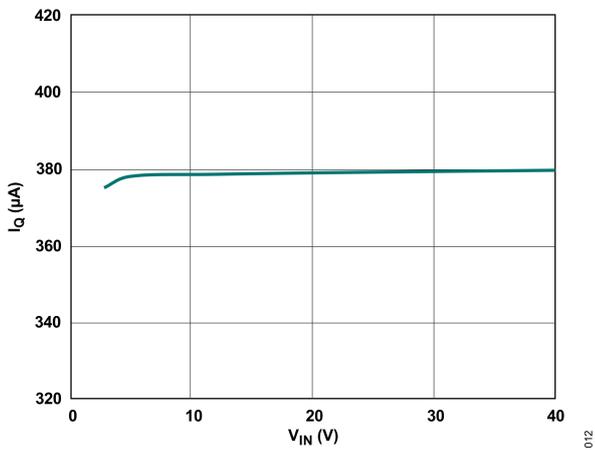


図 13. V_{IN} の静止電流 (アクティブ・モード時)

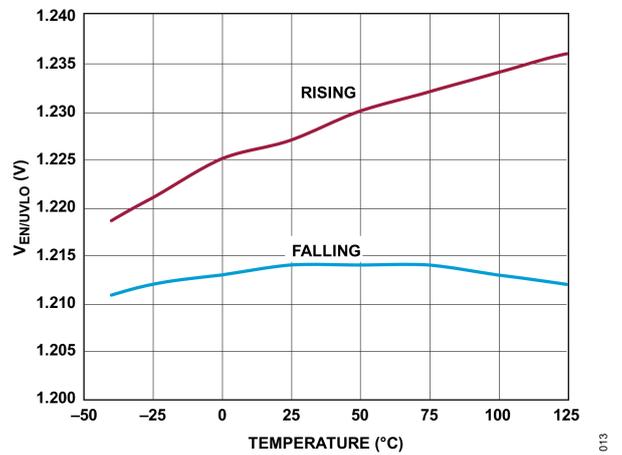


図 14. EN/UVLO のイネーブル閾値

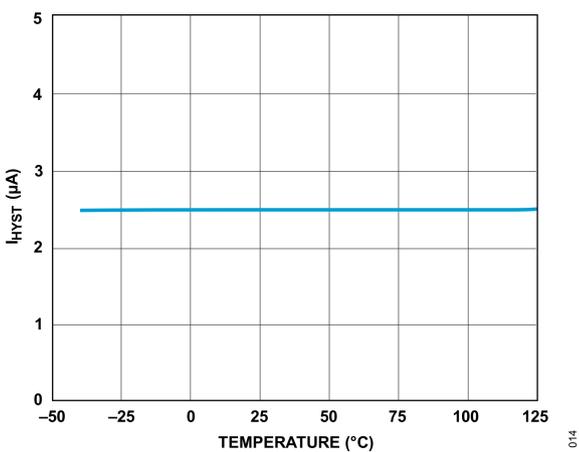


図 15. EN/UVLO のヒステリシス電流

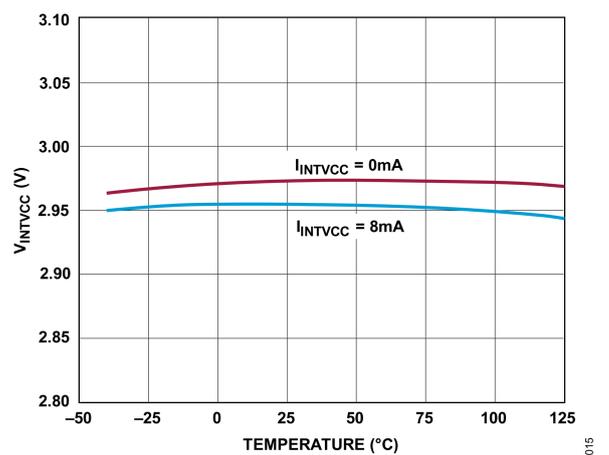


図 16. $INTV_{CC}$ 電圧と温度の関係

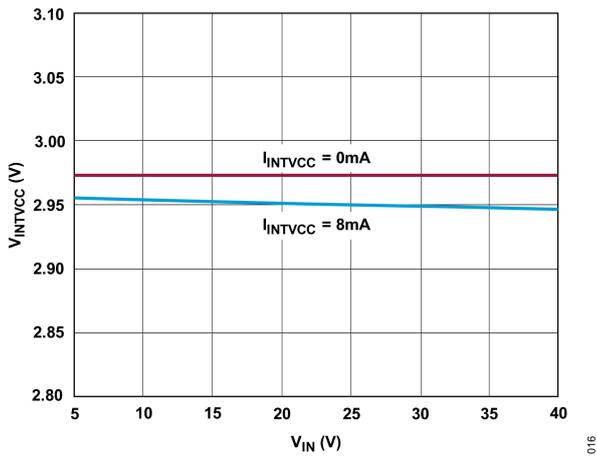


図 17. INTV_{CC} 電圧と V_{IN} の関係

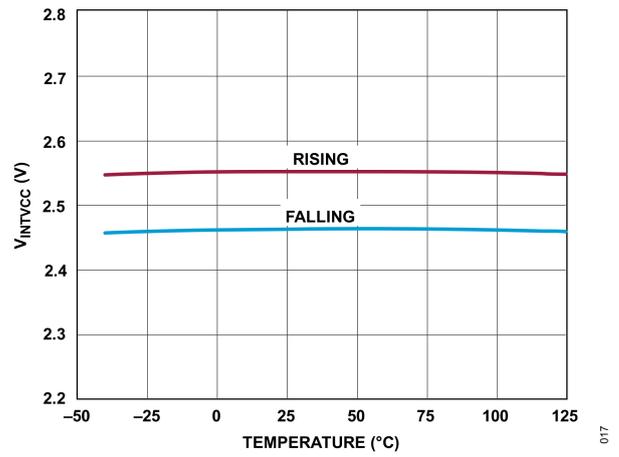


図 18. INTV_{CC} の UVLO 閾値

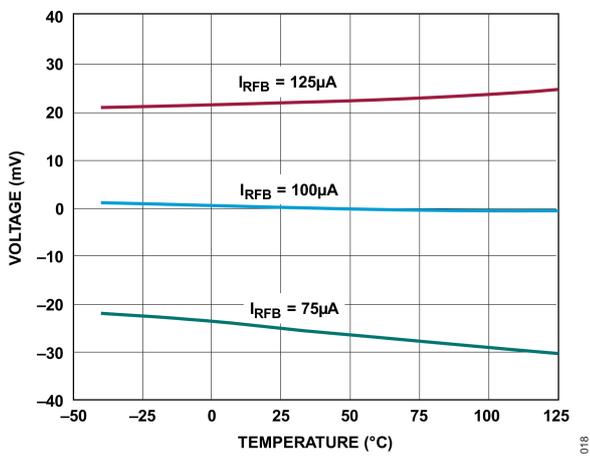


図 19. (R_{FB} - V_{IN}) 電圧

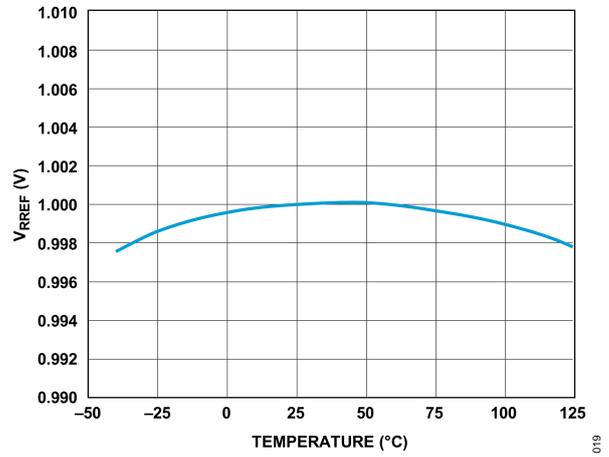


図 20. R_{REF} のレギュレーション電圧

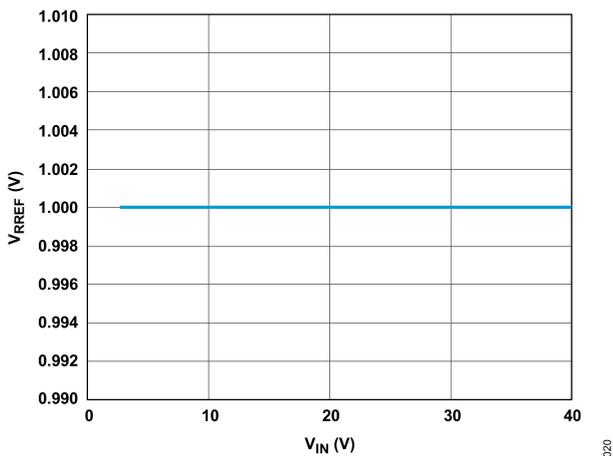


図 21. R_{REF} のライン・レギュレーション

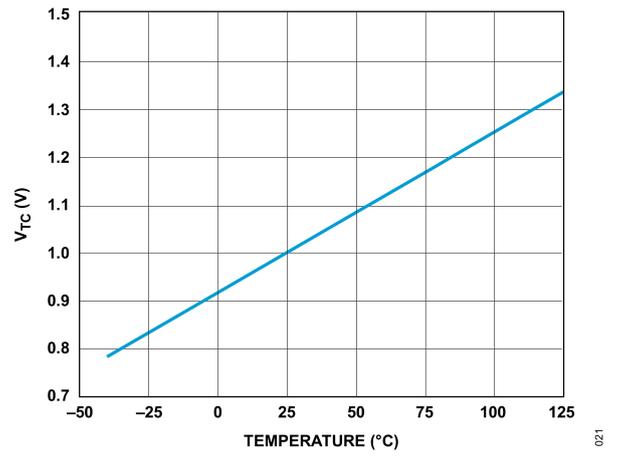


図 22. TC ピン電圧

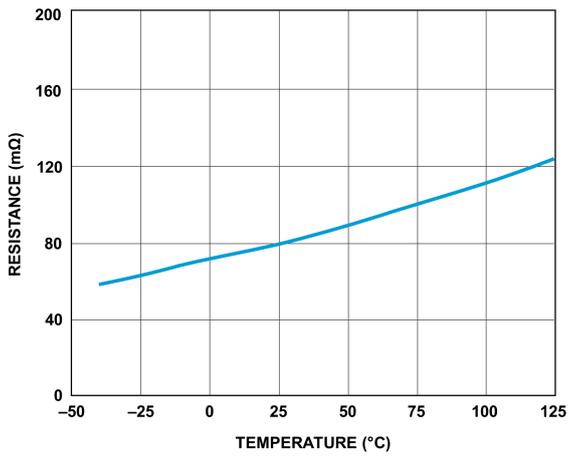


図 23. $R_{DS(ON)}$

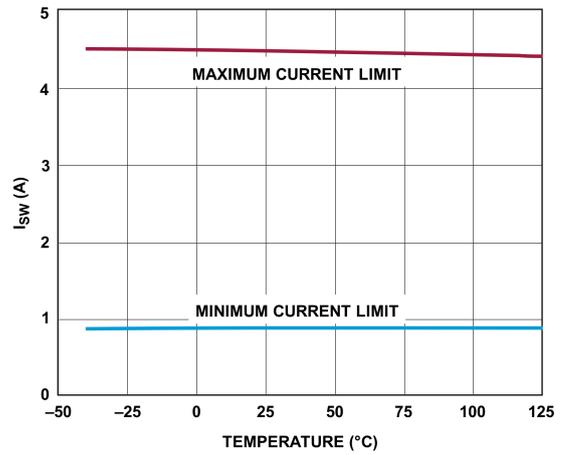


図 24. スイッチ電流制限値

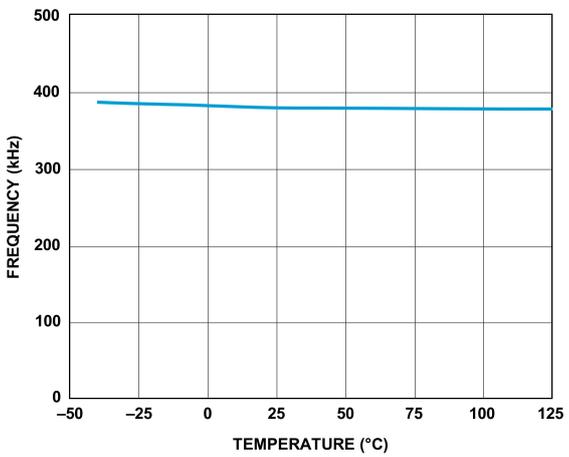


図 25. 最大スイッチング周波数

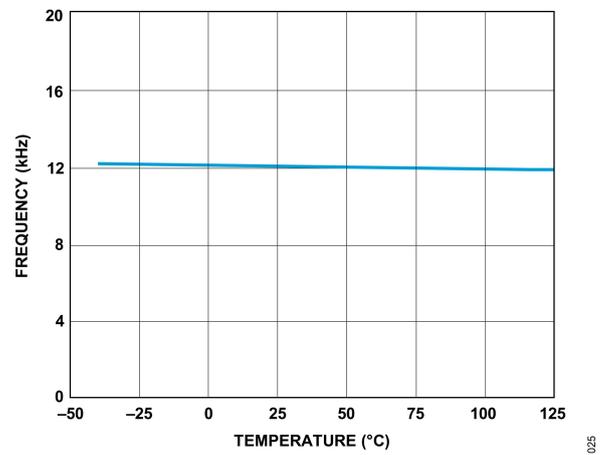


図 26. 最小スイッチング周波数

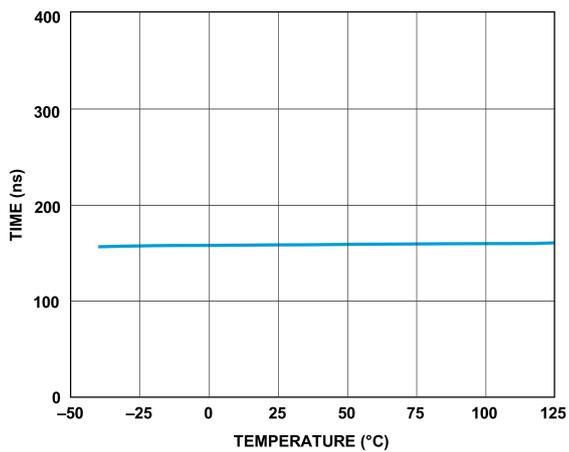


図 27. 最小スイッチオン時間

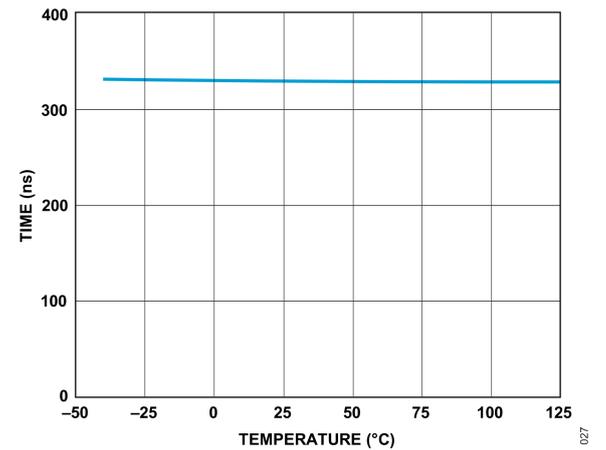


図 28. 最小スイッチオフ時間

動作原理

ADPL54203 は電流モードのスイッチング・レギュレータ IC であり、特に絶縁型フライバック・トポロジ用に設計されています。絶縁型トポロジの主な課題は、レギュレーションのために、絶縁されたトランス 2 次側から 1 次側へ出力電圧の情報をどのように伝達するかです。これまでは、光アイソレータまたは追加のトランス巻線で、この情報を絶縁境界を挟んで伝達していました。光アイソレータ回路は出力電力を浪費するため、この追加部品によって電源のコストと物理的サイズが増大します。光アイソレータは、制限されたダイナミック応答、非線形性、個体間のばらつき、経年劣化によってシステム問題を引き起こすこともあります。追加のトランス巻線を使用する回路にも欠点があります。追加の巻線を使用すると、トランスの物理的サイズとコストが増大し、また多くの場合、ダイナミック応答はあまり良くありません。

ADPL54203 は、絶縁出力電圧を 1 次側のフライバック・パルス波形を通じてサンプリングします。この方式では、レギュレーション用の光アイソレータも追加のトランス巻線も不要です。ADPL54203 は、臨界導通モードまたは不連続導通モードのいずれかで動作するので、出力電圧は 2 次側電流がゼロのときにも必ず SW ピンでサンプリングされます。この方法では、外付けの負荷補償部品を使わずに負荷レギュレーションが改善されます。

ADPL54203 は、熱強化型 8 ピン SO パッケージに収められた、使いやすいマイクロパワー絶縁型フライバック・コンバータです。出力電圧は、2 つの外付け抵抗を用いてプログラムされます。TC 抵抗 (オプション) を使うと、出力ダイオードの温度補償が容易になります。ループ補償機能とソフトスタート機能を内蔵することで、外付け部品点数を削減しています。図 4 に示すように、これらのブロックの多くは従来のスイッチング・レギュレータにあるものと同様で、基準電源、レギュレータ、オシレータ、ロジック、電流アンプ、電流コンパレータ、ドライバ、パワー・スイッチなどが含まれています。新しい部分としては、フライバック・パルス検知回路、サンプル&ホールド・エラー・アンプ、臨界モード検出器に加え、臨界導通モード、不連続導通モード、および低リップル Burst Mode 動作の追加ロジックがあります。

準共振臨界モードでの動作

ADPL54203 には、重負荷時に準共振臨界導通モードで動作するという特徴があります。このモードでは、2 次側電流がゼロになり、SW がリングしてその谷に達すると、デバイスは 1 次側のパワー・スイッチをオンにします。臨界導通モードとは、可変周波数、可変ピーク電流のスイッチング方式です。パワー・スイッチがオンになると、トランスの 1 次側電流が、内部制御されたピーク電流制限値に達するまで増加します。パワー・スイッチがオフになると、SW ピンの電圧は、出力電圧にトランスの 1 次側と 2 次側の巻数比を掛けて入力電圧を足した値まで上昇します。出力ダイオードに流れる 2 次側電流がゼロに低下すると、SW ピンの電圧が急落し、 V_{IN} 付近でリングします。臨界モード検出器がこの状況を検知して、その谷のときにパワー・スイッチをオンに戻します。

臨界導通モードでは、サイクルごとに 2 次側電流をゼロに戻すので、寄生抵抗による電圧降下で負荷レギュレーション・エラーを起こすことはありません。臨界導通モードでは、連続導通モードと比較すると小型のトランスを使用できるので、分数調波振動が見れることはありません。

不連続導通モードでの動作

負荷が軽くなると、臨界導通モードではスイッチング周波数が高くなり、スイッチ・ピーク電流が同じ比率で減少します。最大数 MHz の高いスイッチング周波数で動作すると、スイッチング損失とゲート電荷損失が増加します。この状況を回避するために、ADPL54203 には別の内蔵オシレータがあり、これで最大スイッチング周波数が 380kHz 未満になるようにクランプしています。スイッチング周波数がこの内部周波数クランプに達すると、デバイスはスイッチのターンオンを遅延させ始めて、不連続導通モードで動作します。

低リップル Burst Mode での動作

従来のフライバック・コンバータと違って、ADPL54203 は、出力電圧を正確にサンプリングするために、少なくとも最小時間かつ最小周波数でオン/オフする必要があります。固有の最小スイッチ電流制限値と最小スイッチオフ時間は、特定のアプリケーションの正確な動作を確保するのに必要です。

負荷が非常に軽くなると、ADPL54203 はスイッチング周波数をフォールド・バックし始め、その間は最小スイッチ電流制限値を維持します。そのため負荷電流を減らしながらも、サンプル&ホールド・エラー・アンプの最小スイッチオフ時間を確保できます。一方で、スリープ・モードとアクティブ・モードの切り替えによって、実効静止電流が減少し、軽負荷効率が改善します。この状態で、ADPL54203 は低リップル Burst Mode で動作します。標準的な 12kHz の最小スイッチング周波数で、出力電圧のサンプリング頻度と最小負荷要件も決まります。

アプリケーション情報

出力電圧

図 4 に示すように、 R_{FB} と R_{REF} は、出力電圧をプログラムするのに使用する外付け抵抗です。ADPL54203 は、従来の電流モード・スイッチャと同様に動作しますが、異なるのは、独自のフライバック・パルス検知回路とサンプル&ホールド・エラー・アンプを使用している点で、これにより、絶縁出力電圧をフライバック・パルスからサンプリングするので絶縁出力電圧が安定化します。

動作は次のとおりです。パワー・スイッチ M1 がオフになると、SW ピンの電圧が V_{IN} 電源を超えて上昇します。フライバック・パルスの振幅、つまり、SW ピンの電圧と V_{IN} 電源の差は次式で与えられます。

$$V_{FLBK} = (V_{OUT} + V_F + I_{SEC} \times ESR) \times N_{PS}$$

V_F = 出力ダイオードの順方向電圧

I_{SEC} = トランスの 2 次側電流

ESR = 2 次側回路の全インピーダンス

N_{PS} = トランスの実効的な 1 次側と 2 次側の巻数比

次にフライバック電圧が、抵抗 R_{FB} とフライバック・パルス検知回路 (M2 および M3) によって電流 I_{RFB} に変換されます。この電流 I_{RFB} は抵抗 R_{REF} にも流れて、グラウンド基準の電圧が発生します。この結果得られる電圧がサンプル&ホールド・エラー・アンプの反転入力に流れ込みます。サンプル&ホールド・エラー・アンプは 2 次側電流がゼロのときに電圧をサンプリングするので、 V_{FLBK} の式における ($I_{SEC} \times ESR$) の項はゼロとみなすことができます。

内部リファレンス電圧 V_{REF} (1.00V) は、サンプル&ホールド・エラー・アンプの非反転入力に流れ込みます。ループ全体のゲインが比較的高いため、 R_{REF} ピンの電圧は内部リファレンス電圧 V_{REF} にほぼ等しくなります。この結果得られる V_{FLBK} と V_{REF} の関係は、次式で表すことができます。

$$\left(\frac{V_{FLBK}}{R_{FB}}\right) \times R_{REF} = V_{REF}$$

$$V_{FLBK} = V_{REF} \times \left(\frac{R_{FB}}{R_{REF}}\right)$$

V_{REF} = 内部リファレンス電圧 (1.00V)

前述した V_{FLBK} の式と組み合わせると、抵抗 R_{FB} および R_{REF} 、トランスの巻数比、ダイオードの順方向電圧に関して、 V_{OUT} の式が次のように得られます。

$$V_{OUT} = V_{REF} \times \left(\frac{R_{FB}}{R_{REF}}\right) \times \left(\frac{1}{N_{PS}}\right) - V_F$$

出力の温度補償

V_{OUT} の式の第 1 項に温度依存性はありませんが、出力ダイオードの順方向電圧 V_F には大きな負の温度係数 ($-1\text{mV}/^\circ\text{C} \sim -2\text{mV}/^\circ\text{C}$) があります。このような負の温度係数によって、温度範囲全体で出力電圧におよそ 200mV \sim 300mV の電圧変動が生じます。

電圧出力値が 12V や 24V のように高くなると、出力ダイオードの温度係数が出力電圧レギュレーションに与える影響は無視できるほどしかありません。しかし、電圧出力値が 3.3V や 5V のように低くなると、出力ダイオードの温度係数は出力電圧レギュレーションに 2% \sim 5% の影響を追加するようになります。

ADPL54203 のジャンクション温度は通常、最初のシーケンスまで出力ダイオードのジャンクション温度に追従します。出力ダイオードの負の温度係数を補償するために、TC ピンと R_{REF} ピンの間に接続された抵抗 R_{TC} には PTAT 電流が発生します。この PTAT 電流は 25°C でゼロであり、高温では R_{REF} ピンに流れ込み、低温では R_{REF} ピンから流れ出ます。抵抗 R_{TC} を所定の位置に配置すると、出力電圧の式は次のように修正されます。

$$V_{OUT} = V_{REF} \times \left(\frac{R_{FB}}{R_{REF}} \right) \times \left(\frac{1}{N_{PS}} \right) - V_F(TO) - (\delta V_{TC}/\delta T) \times (T - TO) \times \left(\frac{R_{FB}}{R_{TC}} \right) \times \left(\frac{1}{N_{PS}} \right) - (\delta V_F/\delta T) \times (T - TO)$$

TO = 室温 25°C

($\delta V_F/\delta T$) = 出力ダイオード順方向電圧の温度係数

($\delta V_{TC}/\delta T$) = 3.35mV/C

出力ダイオードの温度係数を相殺するには、次の 2 つの式を満たす必要があります。

$$V_{OUT} = V_{REF} \times \left(\frac{R_{FB}}{R_{REF}} \right) \times \left(\frac{1}{N_{PS}} \right) - V_F(TO)$$

$$(\delta V_{TC}/\delta T) \times \left(\frac{R_{FB}}{R_{TC}} \right) \times \left(\frac{1}{N_{PS}} \right) = -(\delta V_F/\delta T)$$

R_{REF}、R_{FB}、R_{TC} の実抵抗値の選択

ADPL54203 は、独自のサンプリング方式を使用して絶縁出力電圧を安定化します。サンプリングの性質上、この方式には繰り返し発生する遅延と誤差原因が含まれており、これが出力電圧に影響を与えるので、抵抗 R_{FB} および R_{TC} の値を再検討しなければなりません。したがって、抵抗値の選択には、分かりやすい 2 段階の順次処理を推奨します。

前のセクションで示した V_{OUT} の式を整理し直すと、次のように R_{FB} の初期値が得られます。

$$R_{FB} = \frac{R_{REF} \times N_{PS} \times (V_{OUT} + V_F(TO))}{V_{REF}}$$

V_{OUT} = 出力電圧

V_F(TO) = 25°C での出力ダイオード順方向電圧 = 約 0.3V

N_{PS} = トランスの実効的な 1 次側と 2 次側の巻数比

この式は、抵抗 R_{FB} の値が抵抗 R_{TC} の値と無関係であることを示しています。TC ピンと R_{REF} ピンの間に抵抗 R_{TC} が接続されていても、25°C での出力電圧設定には全く影響がありません。TC ピンの電圧は 25°C では R_{REF} レギュレーション電圧に等しいからです。

抵抗 R_{REF} の値はおおよそ 10k であることが必要です。ADPL54203 はこの値を用いて調整され、仕様規定されているからです。抵抗 R_{REF} の値が 10k から大幅に変化した場合、更なる誤差が発生します。しかし、R_{REF} の変動は 10% まで許容可能です。これにより、公称の R_{FB}/R_{REF} を得るのに標準的な 1% 公差の抵抗値を選択する際にはわずかに自由度が生まれます。まず、初期値の R_{REF}、R_{FB} (まだ抵抗 R_{TC} はない) および他の部品を接続して、アプリケーションを構築して電源を投入し、安定化された出力電圧 V_{OUT(MEAS)} を測定します。R_{FB} の新しい値は次のように調整できます。

$$R_{\text{FB(NEW)}} = \frac{V_{\text{OUT}}}{V_{\text{OUT(MEAS)}}} \times R_{\text{FB}}$$

次に、抵抗 R_{FB} の新しい値を選択したら、このアプリケーションにおける出力ダイオードの温度係数をテストして、 R_{TC} の値を決めることができます。まだ抵抗 R_{TC} がいない状態で、必要な目標出力負荷で温度範囲全体にわたり V_{OUT} を測定する必要があります。この評価では、出力ダイオードと ADPL54203 の両方の温度を均一にすることが非常に重要です。凍結スプレーやヒート・ガンを使用した場合、両方のデバイス間で温度が大幅にずれて、大きな誤差が生じる可能性があります。恒温槽などの均一な加熱または冷却を行う方法がない場合には、ダイオードのデータシートからデータを導き出してみるという選択肢もあります。動作温度範囲全体に広がる少なくとも 2 つのデータ点を用いて、出力ダイオードの温度係数を次式から求めることができます。

$$-(\delta V_{\text{F}}/\delta T) = \frac{V_{\text{OUT}}(T1) - V_{\text{OUT}}(T2)}{T1 - T2}$$

測定した出力ダイオードの温度係数を使用して、次式から R_{TC} の正確な値を選択できます。

$$R_{\text{TC}} = \frac{(\delta V_{\text{TC}}/\delta T)}{-(\delta V_{\text{F}}/\delta T)} \times \left(\frac{R_{\text{FB}}}{N_{\text{PS}}}\right)$$

R_{REF} 、 R_{FB} 、 R_{TC} の値を選択できれば、所定のアプリケーションに対する基板間のレギュレーション精度は非常に安定し、システム内の部品すべてのデバイスばらつきを含めても通常は±5%未満になります（抵抗の公差およびトランス巻線のマッチング誤差は±1%以内と仮定）。しかし、トランスまたは出力ダイオードを変更した場合や、レイアウトを大きく変更した場合には、 V_{OUT} にある程度の変化が生じる可能性があります。

出力電力

降圧コンバータや昇圧コンバータと比較すると、フライバック・コンバータには入力電流と出力電流の間に複雑な関係があります。昇圧コンバータでは入力電圧に関係なく最大入力電流が比較的一定であり、降圧コンバータでは入力電圧に関係なく最大出力電流が比較的一定です。これは、2 つの電流の挙動が連続していて切り替わらないからです。フライバック・コンバータは、入力電流と出力電流が両方とも不連続であるため、非絶縁型昇降圧コンバータに似たものになります。デューティサイクルが入力電流と出力電流に影響を与えるので、出力電力を予測するのが難しくなります。更に、出力電流を増やすために、スイッチ電圧が高くなることを犠牲にして巻数比を変更することがあります。

以下の式から出力電力を計算します。

$$P_{\text{OUT}} = \eta \times V_{\text{IN}} \times D \times I_{\text{SW(MAX)}} \times 0.5$$

$$\eta = \text{効率} = \text{約 } 85\%$$

$$D = \text{Duty Cycle} = \frac{(V_{\text{OUT}} + V_{\text{F}}) \times N_{\text{PS}}}{(V_{\text{OUT}} + V_{\text{F}}) \times N_{\text{PS}} + V_{\text{IN}}}$$

$$I_{\text{SW(MAX)}} = \text{最大スイッチ電流制限値} = 3.4\text{A (最小)}$$

1 次側インダクタンスの要件

ADPL54203 は、SW ピンに反映された出力電圧から出力電圧の情報を取得します。2 次側電流が流れると、出力電圧が 1 次側の SW ピンに反映されます。サンプル&ホールド・エラー・アンプは、反映された出力電圧を安定させてサンプリングするのに最短で 350ns かかります。適切なサンプリングを確実に行うために、2 次側巻線には最短でも 350ns の間電流を流す必要があります。以下の式から、1 次側励磁インダクタンスの最小値が求まります。

$$L_{PRI} = \frac{t_{OFF(MIN)} \times N_{PS} \times (V_{OUT} + V_F)}{I_{SW(MIN)}}$$

$t_{OFF(MIN)}$ = 最小スイッチオフ時間 = 350ns (代表値)

$I_{SW(MIN)}$ = 最小スイッチ電流制限値 = 0.87A (代表値)

最小スイッチオフ時間に関する 1 次側インダクタンスの要件に加えて、ADPL54203 では最小スイッチオン時間を設けて、パワー・スイッチのオン時間がおよそ 160ns より短くならないようにしています。最小スイッチオン時間の主な目的は、スイッチのターンオン初期に発生する電流スパイクに立上がりエッジ・ブランキングを設けることです。この時間内にインダクタ電流が所要電流制限値を超えた場合、電流制御ループがその安定化能力を失うので、出力で発振が生じる可能性があります。したがって、1 次側励磁インダクタンスを選択する際には、最小入力電圧に関する次式にも従う必要があります。

$$L_{PRI} \geq \frac{t_{ON(MIN)} \times V_{IN(MAX)}}{I_{SW(MIN)}}$$

$t_{ON(MIN)}$ = 最小スイッチオン時間 = 160ns (標準)

一般に、1 次側励磁インダクタンスが上記式で計算した最小値より約 40%~60%大きいトランスを選択します。インダクタンスがはるかに大きいトランスでは、物理的サイズが大きくなり、軽負荷時に不安定になる可能性があります。

トランスの選択

トランスの仕様と設計は、ADPL54203 を適切に使う上で、恐らく最も重要な部分です。高周波用絶縁型電源トランスを扱う上での通常の設計指針項目に加えて、次の情報を慎重に検討する必要があります。

アナログ・デバイゼスは、主要な磁気部品メーカー数社と協力して、ADPL54203 と共に使用できるよう事前に設計したフライバック・トランスを製作しました。表 4 に、これらのトランスの詳細を示します。

表 4. 事前設計済みトランスの標準的な仕様

TRANSFORMER PART NUMBER	DIMENSIONS (W × L × H) (mm)	L _{PRI} (μH)	L _{LKG} (μH)	N _P :N _S	R _{PRI} (mΩ)	R _{SEC} (mΩ)	VENDOR	TARGET APPLICATION		
								V _{IN} (V)	V _{OUT} (V)	I _{OUT} (A)
750311625	17.75 × 13.46 × 12.70	9	0.35	4:1	43	6	Würth Elektronik	8 to 32	3.3	2.1
750311564	17.75 × 13.46 × 12.70	9	0.12	3:1	36	7	Würth Elektronik	8 to 32	5	1.5
750313441	15.24 × 13.34 × 11.43	9	0.6	2:1	75	18	Würth Elektronik	8 to 32	5	1.3
750311624	17.75 × 13.46 × 12.70	9	0.18	3:2	34	21	Würth Elektronik	8 to 32	8	0.9
12387-T079	15.5 × 12.5 × 11.5	9	0.5	1:1:1	55	90	Sumida	8 to 36	±12	0.3
750313445	15.24 × 13.34 × 11.43	9	0.25	1:2	85	190	Würth Elektronik	8 to 36	24	0.3
750313457	15.24 × 13.34 × 11.43	9	0.25	1:4	85	770	Würth Elektronik	8 to 36	48	0.15
750313460	15.24 × 13.34 × 11.43	12	0.7	4:1	85	11	Würth Elektronik	4 to 18	5	0.9
750311342	15.24 × 13.34 × 11.43	15	0.44	2:1	85	22	Würth Elektronik	4 to 18	12	0.4
750313439	15.24 × 13.34 × 11.43	12	0.6	2:1	115	28	Würth Elektronik	18 to 42	3.3	2.1
750313442	15.24 × 13.34 × 11.43	12	0.75	3:2	150	53	Würth Elektronik	18 to 42	5	1.6

巻数比

ここで留意すべきは、出力電圧を設定するために抵抗比 R_{FB}/R_{REF} を選択する場合、所定のアプリケーションに適合したトランスの巻数比を比較的自由に選択できることです。反対に、小さな整数による単純な巻数比、例えば、3:1、2:1、1:1 などを使うと、総巻数および相互インダクタンスをもっと自由に設定できます。

通常、トランスの巻数比は利用可能な出力電力が最大になるように選択します。低出力電圧 (3.3V または 5V) の場合、2 次側に対して 1 次側巻線を増やした N:1 の巻数比を用いて、トランスの電流ゲイン (および出力電力) を最大にすることができます。しかし、SW ピンには、最大入力電源電圧に加え出力電圧に巻数比を掛けた値に等しい電圧が現れることに注意してください。更に、漏れインダクタンスが原因で、この反映された電圧の上に電圧スパイク (V_{LEAKAGE}) が発生します。この全体の電圧は、内蔵パワー・スイッチの破壊を防ぐために、SW ピンの絶対最大定格である 60V を超えないようにする必要があります。これらの条件を合わせて、所定のアプリケーションの巻数比 N_{PS} に上限値を設けます。次式を満たせるほどの小さい巻数比を選択します。

$$N_{PS} \leq \frac{60V - V_{IN(MAX)} - V_{LEAKAGE}}{V_{OUT} + V_F}$$

N:1 の値を大きくする場合には、更なる電流を供給するために、物理的サイズが大きいトランスを選択します。更に、スイッチオフ時間が出力電圧を正確にサンプリングできるほど長くなるように、十分大きいインダクタンス値を選択します。

出力電力レベルを低くする場合には、絶対的に最小のトランス・サイズになるように、1:1 または 1:N のトランスを選択します。1:N のトランスでは、励磁インダクタンス（およびサイズ）が最小になりますが、利用可能な出力電力も制限されます。1:N の巻数比を大きくすると、内蔵パワー・スイッチのブレイクダウン電圧を超えずに、出力電圧を非常に高くすることが可能になります。

巻数比は、絶縁フィードバック方式では重要な要素であり、出力電圧の精度に直接影響を与えます。トランスのメーカーが巻数比の精度を $\pm 1\%$ 以内で仕様化していることを確認してください。

飽和電流

トランス巻線を通る電流は、その定格飽和電流を超えないようにする必要があります。注入されたエネルギーは、コアが飽和すると、2 次側に伝達されずにコアで消費されます。ADPL54203 と共に使用するカスタム・トランスを設計する場合、飽和電流は必ずトランスのメーカーが仕様規定する必要があります。

巻線抵抗

1 次側または 2 次側のいずれかの巻線抵抗は、全体の電力効率を低下させます。ADPL54203 の臨界／不連続導通モードでの動作によって、良好な出力電圧レギュレーションが巻線抵抗とは無関係に維持されます。

漏れインダクタンスとスナバ回路

1 次側または 2 次側のいずれかにトランスの漏れインダクタンスがあると、パワー・スイッチがオフになった後に 1 次側で電圧スパイクが発生することになります。このスパイクは負荷電流が高くなると一層顕著になり、より多くの蓄積エネルギーを消費しなければなりません。トランスの漏れインダクタンスを最小限に抑えることは非常に重要です。

アプリケーションを設計する場合、過負荷状態であっても、最も厳しい漏れ電圧スパイクに備えて、十分なマージンを確保する必要があります。図 29 に示すようにほとんどのケースでは、1 次側に反映された出力電圧に V_{IN} を加えた値が 45V を超えないようにする必要があります。こうすることで、ラインおよび負荷の状態全体にわたる漏れスパイクに対して、少なくとも 15V のマージンがあります。トランスの巻数が不十分な場合や、漏れインダクタンスが非常に大きい場合には、電圧マージンを大きくする必要があります。

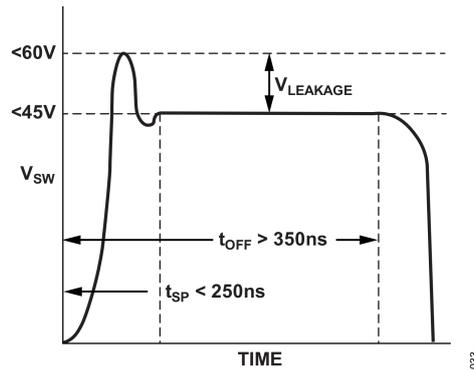


図 29. SW ピンのフライバック波形の最大電圧

電圧スパイクに加えて、漏れインダクタンスも、パワー・スイッチがオフになってからしばらくの間、SW ピンにリングングを引き起こします。電圧リングングによって臨界モード検出器が誤作動するのを防ぐために、ADPL54203 では、およそ 250ns の間、臨界モード検出器を内部でブランキングします。250ns 経過後にも電圧リングングが残っていると、2 次側電流がゼロに低下する前にパワー・スイッチが再びオンに戻ることがあります。この場合、ADPL54203 は連続導通モードに入ります。そのため、漏れインダクタンスによるスパイク・リングングは 250ns 未満に制限する必要があります。

漏れ電圧スパイクを制限して減衰させるには、図 30 に示す (RC + DZ) スナバ回路を推奨します。RC (抵抗とコンデンサ) スナバ回路は、電圧スパイク・リングングを速やかに減衰させて、優れた負荷レギュレーションと EMI 性能を実現します。更に、DZ (ダイオードとツェナー・ダイオード) スナバ回路は、明確に定められ安定したクランピング電圧を確保して、SW ピンが 60V の絶対最大定格を超えないように保護します。

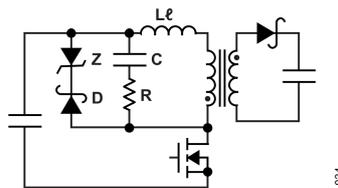


図 30. (RC + DZ) スナバ回路

RC スナバ回路の推奨設計手法は、スナバ回路なしの状態でのパワー・スイッチがオフになったときの SW ピンにおけるリングングの期間を測定し、リングングの期間が 1.5~2 倍長くなるまで容量を追加することです。この期間の変化で寄生容量の値が求まり、これにより寄生インダクタンスも初期の期間から求めることができます。SW ノードの容量とインダクタンスの値が分かれば、スナバ容量に直列抵抗を付加することで、電力を消費してリングングを大幅に減衰させることができます。観測した期間 (t_{PERIOD} および $t_{\text{PERIOD(SNUBBED)}}$) とスナバ容量 (C_{SNUBBER}) を使って、最適な直列抵抗を求める式を以下に示します。

$$C_{\text{PAR}} = \frac{C_{\text{SNUBBER}}}{\left(\frac{t_{\text{PERIOD(SNUBBED)}}}{t_{\text{PERIOD}}}\right)^2 - 1}$$

$$L_{\text{PAR}} = \frac{T_{\text{PERIOD}}^2}{C_{\text{PAR}} \times 4\pi^2}$$

$$R_{\text{SNUBBER}} = \sqrt{\frac{L_{\text{PAR}}}{C_{\text{PAR}}}}$$

ここで留意すべきは、RC スナバ回路で吸収されたエネルギーは熱に変換されて、負荷には供給されないということです。高電圧や高電流のアプリケーションでは、スナバ回路を熱消費に適したサイズにする必要があります。470pF のコンデンサを 39Ω の抵抗と直列に配置するのが、出発点として適しています。

DZ スナバ回路では、ダイオードとツェナー・ダイオードの両方の選択に十分な注意を払う必要があります。通常はショットキー・ダイオードを選択するのが最適ですが、使用できる PN ダイオードもあり、その場合は、漏れインダクタンスによるスパイクを制限できるほど高速にオンになることが条件です。逆電圧定格が SW ピンの最大電圧より高いダイオードを選択します。ツェナー・ダイオードのブレークダウン電圧は、電力損失とスイッチ電圧保護のバランスが取れるように選択する必要があります。最適な妥協案は、5V のマージンを持たせて最大のブレークダウン電圧を選択することです。適切に選択するには、以下の式を使います。

$$V_{ZENER(MAX)} \leq 55V - V_{IN(MAX)}$$

最大入力電圧が 32V のアプリケーションでは、24V のツェナー・ダイオードを選択します。その $V_{ZENER(MAX)}$ は 26V 付近であり、最大値 28V 未満です。DZ スナバ回路での電力損失で、ツェナー・ダイオードの電力定格が決まります。通常推奨されるのは、1.5W のツェナー・ダイオードです。

低電圧ロックアウト (UVLO)

V_{IN} と EN/UVLO ピンの間の抵抗分圧器で UVLO が実現します。EN/UVLO イネーブルの立下がり閾値は、1.214V に設定され 14mV のヒステリシスがあります。また、EN/UVLO ピンには、ピン電圧が 1.214V 未満の場合、2.5μA の電流が流れ込みます。この電流により、R1 の値に基づくユーザ・プログラム可能なヒステリシスが実現されます。プログラム可能な UVLO 閾値は次式で表されます。

$$V_{IN(UVLO+)} = \frac{1.228V \times (R1 + R2)}{R2} + 2.5\mu A \times R1$$

$$V_{IN(UVLO-)} = \frac{1.214V \times (R1 + R2)}{R2}$$

図 31 には、UVLO 機能を使用したまま外部シャットダウン制御を実装した例を示しています。NMOS がオンになると EN/UVLO ピンが接地されて ADPL54203 をシャットダウン状態にします。このときの静止電流は 2μA 未満です。

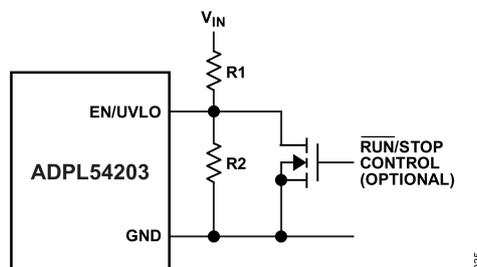


図 31. 低電圧ロックアウト (UVLO)

最小負荷の要件

ADPL54203 は、絶縁出力電圧を 1 次側のフライバック・パルス波形からサンプリングします。1 次側スイッチがオフになり、2 次側巻線に電流が流れると、フライバック・パルスが発生します。出力電圧をサンプリングするために、ADPL54203 は、最小時間の間に最小周波数でオン/オフを行う必要があります。ADPL54203 は、軽負荷状態のときにも最小量のエネルギーを供給して、正確な出力電圧の情報を確保します。最小量のエネルギーを供給することで、最小負荷の要件が生じ、これは次のように近似的に推定できます。

$$I_{\text{LOAD(MIN)}} = \frac{L_{\text{PRI}} \times I_{\text{SW(MIN)}}^2 \times f_{\text{MIN}}}{2 \times V_{\text{OUT}}}$$

L_{PRI} = トランスの1次側インダクタンス

$I_{\text{SW(MIN)}}$ = 最小スイッチ電流制限値 = 1.07A (最大)

f_{MIN} = 最小スイッチング周波数 = 12.7kHz (最大)

通常、ADPL54203 が最小負荷として必要とするのは、全出力電力の 0.5%未満です。あるいは、事前に負荷をかけることが許容できない場合には、ブレークダウン電圧が出力電圧より 10%高いツェナー・ダイオードが最小負荷としての役割を果たすことができます。出力が 5V の場合、5.6V のツェナー・ダイオードを使用し、カソードを出力に接続します。

出力短絡保護

出力が非常に過負荷になっているか、グラウンドに短絡されている場合、反映された SW ピンの波形は内部ブランキング時間より長くリングングします。350ns の最小スイッチオフ時間が経過すると、余分なリングングによって臨界モード検出器が誤作動し、2次側の電流がゼロに低下する前にパワー・スイッチが再びオンに戻ります。この条件下において、ADPL54203 は 380kHz の最大スイッチング周波数で連続導通モードに入ります。サンプリングされた R_{REF} の電圧が 11ms (代表値) のソフトスタート・タイマー経過後もまだ 0.6V 未満である場合、ADPL54203 は新たなソフトスタート・サイクルを開始します。サンプリングされた R_{REF} の電圧が 11ms 経過後に 0.6V を超えた場合、スイッチ電流が暴走して 4.5A の最大電流制限値を超えることがあります。スイッチ電流が 7.2A の過電流制限値に達した場合にも、ADPL54203 は新たなソフトスタート・サイクルを開始します。いずれの条件下でも、新たなソフトスタート・サイクルによって、スイッチ電流制限値とスイッチ周波数の両方が抑制されます。この出力短絡保護によって、スイッチ電流の暴走が抑制され、出力ダイオードの平均電流が制限されます。

設計例

ADPL54203 のアプリケーションを設計するための目安として、以下の設計例を使用しますこの設計例には、1.5A の負荷電流と 10V~28V の入力範囲で 5V を出力する設計が含まれています。

$$V_{\text{IN(MIN)}} = 10\text{V}, V_{\text{IN(NOM)}} = 12\text{V}, V_{\text{IN(MAX)}} = 28\text{V},$$

$$V_{\text{OUT}} = 5\text{V}, I_{\text{OUT}} = 1.5\text{A}$$

ステップ 1: トランスの巻数比を選択します。

$$N_{\text{PS}} < \frac{60\text{V} - V_{\text{INMAX}} - V_{\text{LEAKAGE}}}{V_{\text{OUT}} + V_{\text{F}}}$$

V_{LEAKAGE} = トランスの漏れスパイクに対するマージン = 15V

V_{F} = 出力ダイオードの順方向電圧 = 約 0.3V

例:

$$N_{\text{PS}} < \frac{60\text{V} - 28\text{V} - 15\text{V}}{5\text{V} + 0.3\text{V}} = 3.2$$

トランスの巻数比の選択は、コンバータの出力電流能力を決める上で非常に重要です。表 5 は、トランスの巻数比を変えた場合のスイッチ電圧ストレスと出力電流能力を示しています。

表 5. スイッチ電圧ストレスおよび出力電流能力と巻数比の関係

NPS	$V_{SW(MAX)}$ at $V_{IN(MAX)}$ (V)	$I_{OUT(MAX)}$ at $V_{IN(MIN)}$ (A)	DUTY CYCLE (%)
1:1	33.3	0.94	16-35
2:1	38.6	1.40	27-51
3:1	43.9	1.67	36-61

明らかに、 $N_{PS} = 3$ の場合だけが 1.5A の出力電流要件を満たすことができるので、この例では、巻数比として $N_{PS} = 3$ を選択します。

ステップ 2 : 1 次側インダクタンスを決定します。

トランスの 1 次側インダクタンスは、最小スイッチオフ時間および最小スイッチオン時間の要件を満たす最小値より大きく設定する必要があります。

$$L_{PRI} \geq \frac{t_{OFF(MIN)} \times N_{PS} \times (V_{OUT} + V_F)}{I_{SW(MIN)}}$$

$$L_{PRI} \geq \frac{t_{ON(MIN)} \times V_{IN(MAX)}}{I_{SW(MIN)}}$$

$$t_{OFF(MIN)} = 350\text{ns}$$

$$t_{ON(MIN)} = 160\text{ns}$$

$$I_{SW(MIN)} = 0.87\text{A}$$

例 :

$$L_{PRI} \geq \frac{350\text{ns} \times 3 (5\text{V} + 0.3\text{V})}{0.87\text{A}} = 6.4\mu\text{H}$$

$$L_{PRI} \geq \frac{160\text{ns} \times 28\text{V}}{0.87\text{A}} = 5.1\mu\text{H}$$

ほとんどのトランスでは、1 次側インダクタンスを $\pm 20\%$ の公差で仕様規定しています。他の部品の許容誤差を考慮して、1 次側インダクタンスが上記で計算した最小値より 40%~60%大きいトランスを選択します。この例では、 $L_{PRI} = 9\mu\text{H}$ を選択します。

1 次側インダクタンスが決まると、最大負荷スイッチング周波数が次のように計算できます。

$$f_{SW} = \frac{1}{t_{ON} + t_{OFF}} = \frac{1}{\frac{L_{PRI} \times I_{SW}}{V_{IN}} + \frac{L_{PRI} \times I_{SW}}{N_{PS} \times (V_{OUT} + V_F)}}$$

$$I_{SW} = \frac{V_{OUT} \times I_{OUT} \times 2}{\eta \times V_{IN} \times D}$$

例：

$$D = \frac{(5V + 0.3V) \times 3}{(5V + 0.3V) \times 3 + 12V} = 0.57$$

$$I_{SW} = \frac{5V \times 1.5A \times 2}{0.8 \times 12V \times 0.57}$$

$$f_{SW} = 277\text{kHz}$$

トランスの定格は、ライン条件および負荷条件に対して適切な飽和電流レベルに定められている必要もあります。ADPL54203 と共に使うには、7A より大きい飽和電流定格が必要です。フライバック・トランスとしては、Wurth 社の 750311564 を選択します。

ステップ 3：出力ダイオードを選択します。

出力ダイオードを選択する際の主な基準には、順方向電流定格と逆電圧定格の 2 つがあります。最大負荷要件は、出力ダイオードの平均電流要件における第 1 段階の推定値として適しています。出力短絡状態下では、出力ダイオードが流す必要がある電流は、はるかに高くなります。そのため、控え目に見積もっても、最大スイッチ電流制限値に巻数比を掛けた値の 60% です。

$$I_{DIODE(MAX)} = 0.6 \times I_{SW(MAX)} \times N_{PS}$$

例：

$$I_{DIODE(MAX)} = 8.1A$$

次に、最大 V_{IN} を用いて逆電圧要件を次のように計算します。

$$V_{REVERSE} = V_{OUT} + \frac{V_{IN(MAX)}}{N_{PS}}$$

例：

$$V_{REVERSE} = 5V + \frac{28V}{3} = 14.3V$$

Diodes Inc.社の PDS835L (8A/35V ダイオード) を選択します。

ステップ 4：出力コンデンサを選択します。

出力コンデンサは、出力電圧リップルを最小限に抑えるように選択すると同時に、容量を増やした場合のサイズおよびコストの増大も考慮する必要があります。出力コンデンサの容量は次式を使って計算します。

$$C_{OUT} = \frac{L_{PRI} \times I_{SW}^2}{2 \times V_{OUT} \times \Delta V_{OUT}}$$

例：

出力電圧のリップルは、 V_{OUT} の $\pm 1\%$ 未満、つまり 100mV 未満になるように設計します。

$$C_{OUT} = \frac{9\mu H \times (4.5A)^2}{2 \times 5V \times 0.1V} = 182\mu F$$

セラミック・コンデンサは電圧を印加すると容量が減少することに注意してください。容量は、最大電圧定格時に見積もり容量の 40% まで低下することがあります。そのため、220 μ F、6.3V 定格のセラミック・コンデンサ、X5R または X7R を選択します。

ステップ 5：スナバ回路を設計します。

スナバ回路は、漏れインダクタンスによるスパイクからパワー・スイッチを保護します。このアプリケーションには (RC + DZ) スナバ回路を推奨します。RC スナバ回路としては、470pF のコンデンサと 39Ω の抵抗の直列配置を選択します。ツェナー・ダイオードの最大ブレイクダウン電圧は、最大 V_{IN} に従って次のように設定します。

$$V_{ZENER(MAX)} \leq 55V - V_{IN(MAX)}$$

例：

$$V_{ZENER(MAX)} \leq 55V - 28V = 27V$$

最大 26V の 24V ツェナー・ダイオードであれば、保護の最適化と出力損失の最小化が実現します。そのため、Central Semiconductor 社の 24V/1.5W ツェナー・ダイオード (CMZ5934B) を選択します。高速かつ逆電圧ブレイクダウンが十分なダイオードを選択してください。

$$V_{REVERSE} > V_{SW(MAX)}$$

$$V_{SW(MAX)} = V_{IN(MAX)} + V_{ZENER(MAX)}$$

例：

$$V_{REVERSE} > 55V$$

Diodes Inc.社の 100V/1A ダイオード (DFLS1100) を選択します。

ステップ 6：抵抗 R_{REF} と R_{FB} を選択します。

次式を用いて、 R_{REF} と R_{FB} の初期値を計算します。

$$R_{FB} = \frac{R_{REF} \times N_{PS} \times (V_{OUT} + V_F(TO))}{V_{REF}}$$

$R_{REF} = 10k$

例：

$$R_{FB} = \frac{10K \times 3 \times (5V + 0.3V)}{1.00V} = 159K$$

1%の標準的な公差の場合、158k の抵抗を選択します。

ステップ 7：出力電圧に基づいて抵抗 R_{FB} を調整します。

アプリケーション部品を用いてアプリケーションを構築して電源を投入し、安定化された出力電圧を測定します。測定した出力電圧に基づいて抵抗 R_{FB} を次のように調整します。

$$R_{FB(NEW)} = \frac{V_{OUT}}{V_{OUT(MEASURED)}} \times R_{FB}$$

例：

$$R_{FB} = \frac{5V}{5.14V} \times 158k = 154k$$

ステップ 8 : 出力電圧の温度変動に基づいて抵抗 R_{TC} を選択します。

恒温槽のような制御された温度環境で出力電圧を測定し、出力の温度係数を求めます。一定の負荷電流および入力電圧での出力電圧を、動作温度範囲全体にわたって測定します。

V_F の温度係数を次のように計算します。

$$-(\delta V_F / \delta T) = \frac{V_{OUT}(T1) - V_{OUT}(T2)}{T1 - T2}$$

$$R_{TC} = \frac{3.35\text{mV}/^\circ\text{C}}{-(\delta V_F / \delta T)} \times \left(\frac{R_{FB}}{N_{PS}}\right)$$

例 :

$$-(\delta V_F / \delta T) = \frac{5.189\text{V} - 5.041\text{V}}{100^\circ\text{C} - (0^\circ\text{C})} = 1.48\text{mV}/^\circ\text{C}$$

$$R_{TC} = \frac{3.35\text{mV}/^\circ\text{C}}{1.48\text{mV}/^\circ\text{C}} \times \left(\frac{154}{3}\right) = 115\text{k}$$

ステップ 9 : EN/UVLO の抵抗を選択します。

必要なヒステリシスの大きさを決定し、抵抗 $R1$ の値を計算します。

$$V_{IN(HYS)} = 2.5\mu\text{A} \times R1$$

例 :

2V のヒステリシス、 $R1 = 806\text{k}$ を選択します。

UVLO の閾値を決定し、抵抗 $R2$ の値を計算します。

$$V_{IN(UVLO+)} = \frac{1.228\text{V} \times (R1 + R2)}{R2} + 2.5\mu\text{A} \times R1$$

例 :

V_{IN} の UVLO の立上がり閾値を 9.5V に設定します。

$$R2 = 158\text{k}$$

$$V_{IN(UVLO+)} = 9.5\text{V}$$

$$V_{IN(UNLO-)} = 7.5\text{V}$$

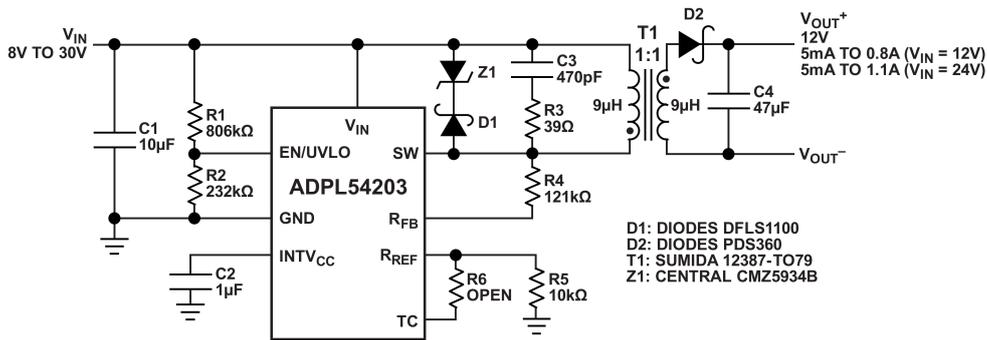
ステップ 10 : 最小負荷を確保します。

理論的な最小負荷は次のように近似的に推定できます。

$$I_{LOAD(MIN)} = \frac{9\mu\text{H} \times (1.07\text{A})^2 \times 12.7\text{kHz}}{2 \times 5\text{V}} = 13.1\text{mA}$$

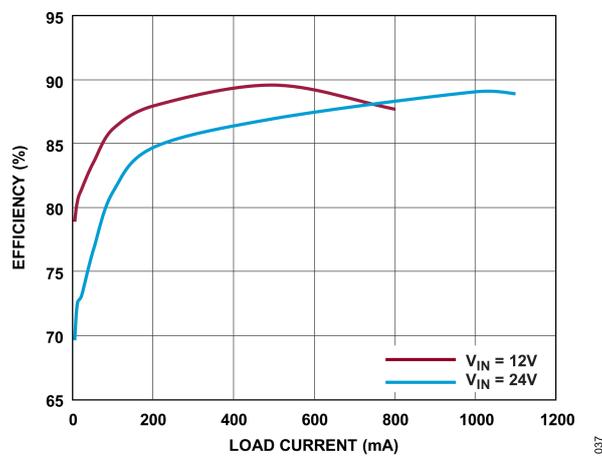
最小負荷要件は実際のアプリケーションで必ず確認するようにしてください。出力で消費されるよりも多くのエネルギーをコンバータが供給するので、出力電圧が上昇し始める時点で最小負荷が生じます。このアプリケーションの実際の最小負荷は約 10mA です。この例では、最小負荷として 500Ω の抵抗を選択します。

標準的応用例



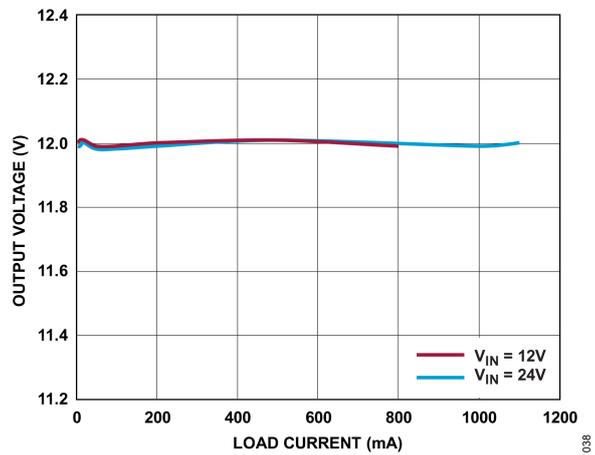
036

図 32. 8V~30VIN/12VOUTの絶縁型フライバック・コンバータ



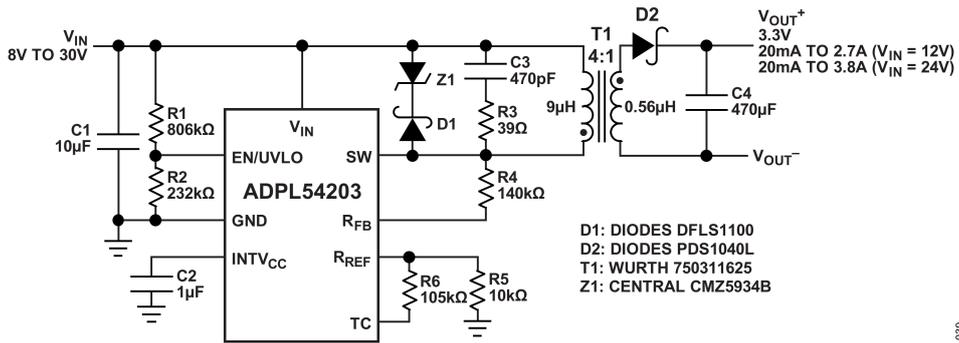
037

図 33. 効率と負荷電流の関係



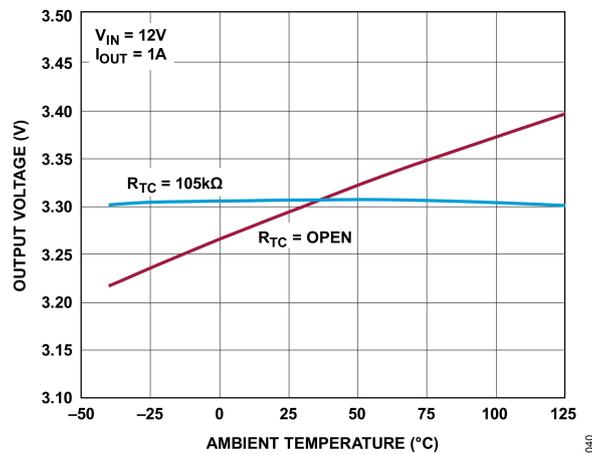
038

図 34. 負荷とライン・レギュレーション



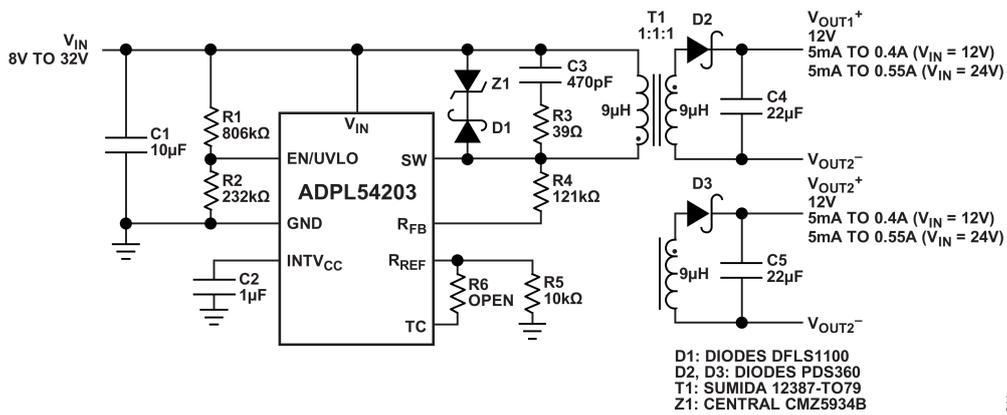
039

図 35. $8V \sim 30V_{IN}/3.3V_{OUT}$ の絶縁型フライバック・コンバータ



040

図 36. 出力の温度変動



101

図 37. $8V \sim 32V_{IN}/\pm 12V_{OUT}$ の絶縁型フライバック・コンバータ

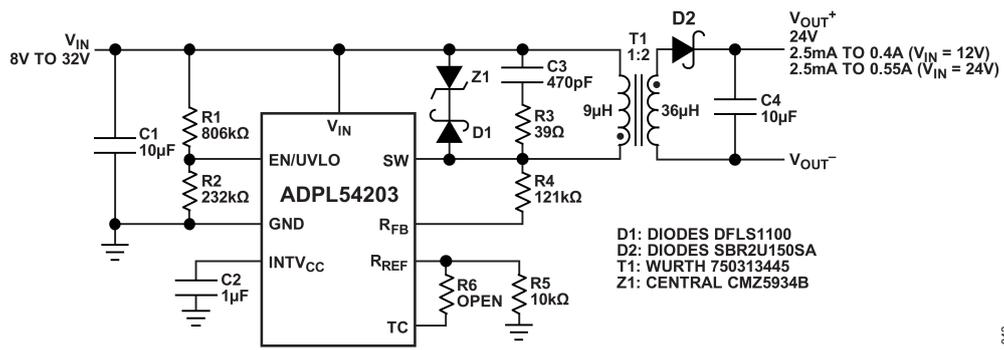


図 38. $8V \sim 32V_{IN}/24V_{OUT}$ の絶縁型フライバック・コンバータ

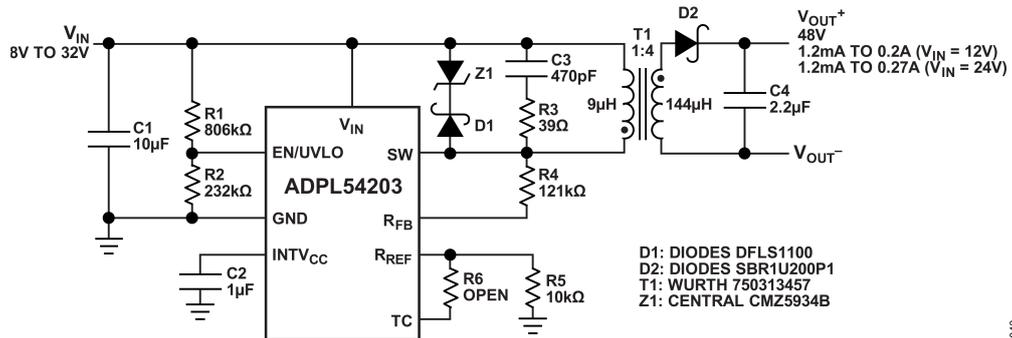


図 39. $8V \sim 32V_{IN}/48V_{OUT}$ の絶縁型フライバック・コンバータ

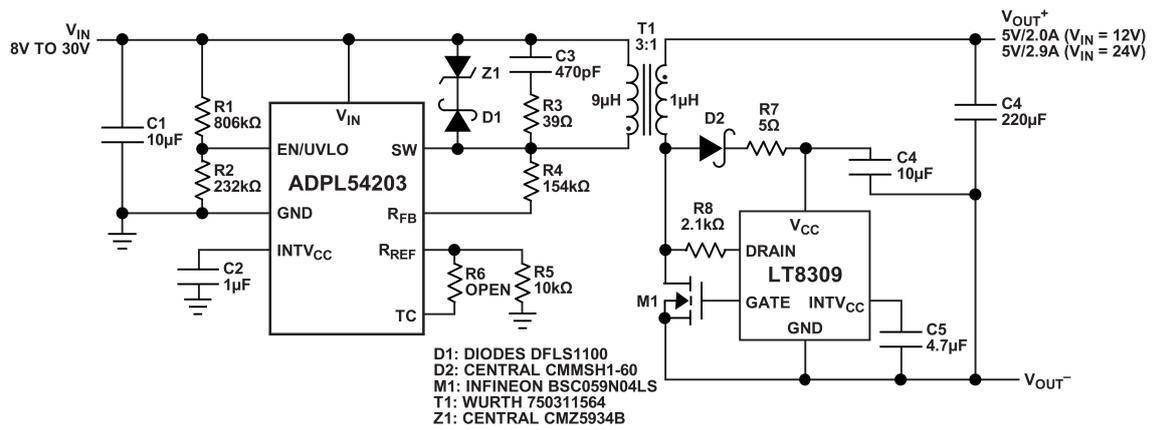


図 40. 8V~30V_{IN}/5V_{OUT}の絶縁型フライバック・コンバータ (LT8309 使用)

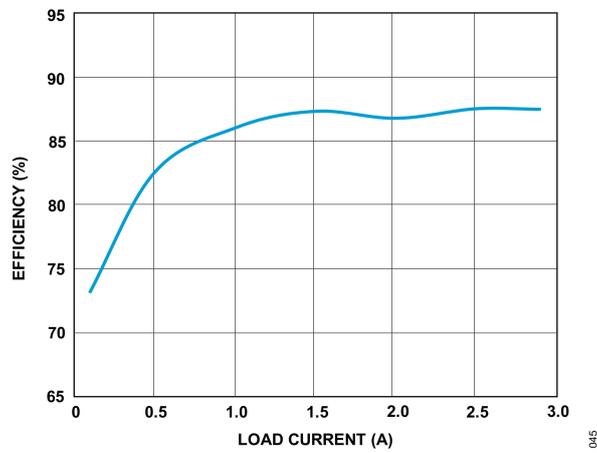


図 41. 効率と負荷電流の関係

ここに含まれるすべての情報は、現状のまま提供されるものであり、アナログ・デバイセズはそれに関するいかなる種類の保証または表明も行いません。アナログ・デバイセズは、その情報の利用に関して、また利用によって生じる第三者の特許またはその他の権利の侵害に関して、一切の責任を負いません。仕様は予告なく変更されることがあります。明示か黙示かを問わず、アナログ・デバイセズ製品またはサービスが使用される組み合わせ、機械、またはプロセスに関するアナログ・デバイセズの特許権、著作権、マスクワーク権、またはその他のアナログ・デバイセズの知的財産権に基づくライセンスは付与されません。商標および登録商標は、各社の所有に属します。

