

## マルチモード・センサー・フロント・エンド

### 特長

- ▶ 光学チャンネル
  - ▶ 様々なセンサー計測に対応した複数の動作モードを備える 4 つの入力チャンネル
  - ▶ 同時サンプリングによる 4 チャンネル処理
  - ▶ 同期されたセンサー計測が可能な 12 のプログラマブル・タイム・スロット
  - ▶ シングルエンドのセンサー計測に対応する柔軟性に優れた入力マルチプレクス
  - ▶ 2 個の LED を同時に駆動できる 8 つの LED ドライバ
  - ▶ 内部発振器を使用した 0.004Hz~9kHz の柔軟なサンプリング・レート
  - ▶ AC 周辺光の除去：78dB（最大 100Hz）
  - ▶ LED のピーク駆動電流の合計：400mA
  - ▶ 9 ビットの制御（最大 300 $\mu$ A）に対応した、TIA 入力での個別の周辺光キャンセル DAC
  - ▶ 7 ビットの制御（最大 190 $\mu$ A）に対応した、TIA 入力での個別の LED DC キャンセル DAC
- ▶ SPI 通信に対応
- ▶ 704 バイトの FIFO

### アプリケーション

- ▶ ウェアラブル健康／フィットネス・モニタ：心拍数、心拍変動、およびパルス酸素飽和度（SpO<sub>2</sub>）
- ▶ 患者のモニタ：臨床用小型機器、自宅患者用携帯型機器、遠隔モニタ用小型機器
- ▶ 工業用モニタリング：粒子、エアロゾル、およびガスの検出

### 概要

ADPD7008 は、様々な生体信号を測定するための高集積アナログ・フロント・エンド（AFE）です。

光学チャンネルは光トランシーバーとして設計され、最大 8 個の発光ダイオード（LED）を励起し、リターン信号を最大 4 つの個別の電流入力で測定します。シグナル・チェーンは、一般に周辺光によって生じる非同期の変調干渉に起因する信号のオフセットや破損を除去することができ、光学フィルタや外部制御の DC キャンセル回路は不要です。

データ出力と機能設定には、ADPD7008 のシリアル・ポート・インターフェース（SPI）を使用します。制御回路には、柔軟な LED 信号伝送および同期検出機能、デジタル・フィルタ、デジタル波形ジェネレータ、構成設定可能なフィルタが備わっています。

ADPD7008 は、2.795mm × 2.560mm、0.40mm ピッチの 36 ボール WLCSP パッケージを採用しています。

### Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

**目次**

特長.....	1	はじめに.....	12
アプリケーション.....	1	タイム・スロット動作.....	12
概要.....	1	光シグナル・チェーン.....	13
機能ブロック図.....	3	FIFO.....	14
仕様.....	4	クロッキング.....	15
温度と電力の仕様.....	4	タイム・スタンプ動作.....	15
性能仕様.....	4	実行モード.....	16
デジタル仕様.....	5	ホスト・インターフェース.....	17
タイミング仕様.....	6	アプリケーション情報.....	19
絶対最大定格.....	7	光路.....	19
熱抵抗.....	7	設計ガイド.....	22
静電放電 (ESD) 定格.....	7	レジスタの一覧.....	23
ESDに関する注意.....	7	レジスタの詳細.....	49
ピン配置およびピン機能の説明.....	8	外形寸法.....	71
代表的な性能特性.....	10	オーダー・ガイド.....	71
動作原理.....	12	評価用ボード.....	71

**改訂履歴**

4/2024—Revision 0: Initial Version

機能ブロック図

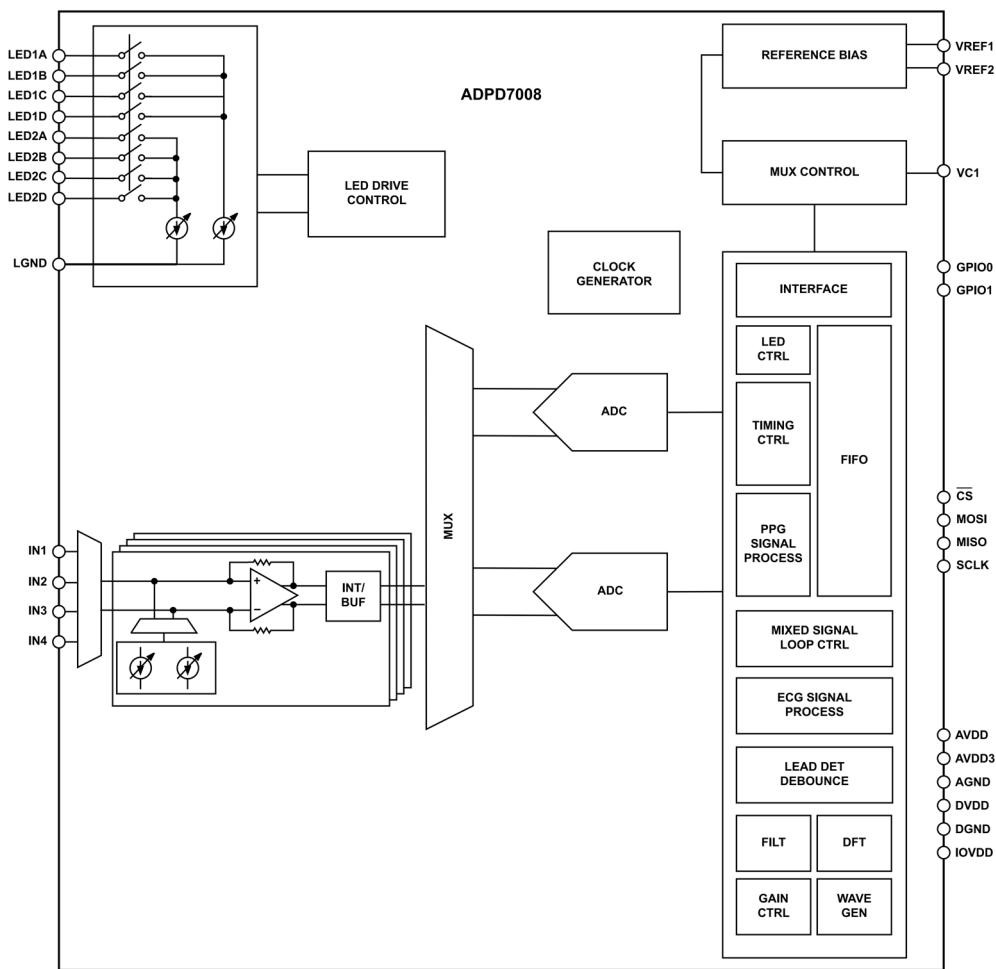


図 1. 機能ブロック図

## 仕様

## 温度と電力の仕様

表 1. 温度と電力の仕様

Parameter	Min	Typ	Max	Unit
TEMPERATURE RANGE				
Operating Range	-40		+85	°C
Storage Range	-65		+150	°C
POWER SUPPLY VOLTAGES				
AVDD	1.7	1.8	1.9	V
AVDD3	2.7	3.3	3.6	V
DVDD	1.7	1.8	1.9	V
IOVDD	1.7	1.8	3.6	V

## 性能仕様

特に指定のない限り、AVDD = DVDD = IOVDD = 1.8V、AVDD3 = 3.3V、T<sub>A</sub> = 25°C。

表 2. 性能仕様

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
DATA ACQUISITION					
Datapath Width				32	Bits
FIRST IN, FIRST OUT (FIFO) SIZE				704	Bytes
INTERNAL 960 kHz OSCILLATOR ACCURACY	Full temperature range (-40°C to +85°C)		±1		%
PHOTOPLETHYSMOGRAPHY (PPG) CHANNEL					
Transimpedance Amplifier (TIA) Gain		12.5		400	kΩ
DIGITAL INTEGRATION MODE					
Analog-to-Digital Converter (ADC) Resolution	TIA feedback resistor (R <sub>F</sub> )				
	12.5 kΩ		5.84		nA/LSB
	25 kΩ		2.92		nA/LSB
	50 kΩ		1.46		nA/LSB
	100 kΩ		0.73		nA/LSB
	200 kΩ		0.365		nA/LSB
	400 kΩ		0.183		nA/LSB
ADC Saturation Level	TIA feedback resistor				
	12.5 kΩ		48		μA
	25 kΩ		24		μA
	50 kΩ		12		μA
	100 kΩ		6		μA
	200 kΩ		3		μA
	400 kΩ		1.5		μA
DC Ambient Light Rejection (ALR)					
ALR Range		0		300	μA
ALR Resolution			0.6		μA
LED DC Cancellation					
Range		0		190	μA
Resolution			1.48		μA
Dark Noise	Pulse = 1, ADC sample = 20 TIA gain = 12.5 kΩ		1590		pA RMS

仕様

表 2. 性能仕様 (続き)

Parameter	Test Condition/Comments	Min	Typ	Max	Unit	
Signal-to-Noise Ratio (SNR)	TIA gain = 25 kΩ		867		pA RMS	
	TIA gain = 50 kΩ		425		pA RMS	
	TIA gain = 100 kΩ		235		pA RMS	
	TIA gain = 200 kΩ		140		pA RMS	
	TIA gain = 400 kΩ		92		pA RMS	
	White card reflection, pulse = 1, ADC sample = 20					
	TIA gain = 12.5 kΩ		90		dB	
	TIA gain = 25 kΩ		90		dB	
	TIA gain = 50 kΩ		88		dB	
	TIA gain = 100 kΩ		87		dB	
AC ALR	TIA gain = 200 kΩ		85		dB	
	TIA gain = 400 kΩ		82		dB	
	Up to 100 Hz		84		dB	
	DC Power Supply Rejection Ratio (PSRR)	At 75% full-scale (FS) input, optimal settings, all gains <sup>1</sup>		60		dB
	LED DRIVER					
Peak Current per Driver	LED pulse enabled		200		mA	
Peak Current, Total	Using multiple LED drivers simultaneously		400		mA	
Current Step	High SNR mode		1.57		mA	
	Low compliance mode		0.78		mA	
Compliance Voltage	High SNR mode		400		mV	
	Low compliance mode		200		mV	
Power	AFE current only, 70% FS output data rate (ODR) = 25 Hz					
Standby	DVDD + AVDD		0.3		μA	
Typical Heart Rate Monitor (HRM) Application	DVDD + AVDD		18.7		μA	
SAMPLING RATE		0.004		9000	Hz	

<sup>1</sup> DC PSRR = 20 × log ( (信号 (LSB) / NUM\_INT\_x / NUM\_REPEAT\_x × 0.146mV/LSB) / V<sub>IN</sub> (mV) )

デジタル仕様

特に指定のない限り、IOVDD = 1.7V ~ 3.6V。

表 3. デジタル仕様

Parameter	Test Condition/Comments	Min	Typ	Max	Unit
LOGIC INPUTS					
Input Voltage Level					
GPIOx, MISO, MOSI, SCLK, and $\overline{CS}$					
High		0.7 × IOVDD		IOVDD + 0.3	V
Low		-0.3		+0.3 × IOVDD	V
Input Current Level	All logic inputs				
High				10	μA
Low		-10			μA
Input Capacitance			2		pF
LOGIC OUTPUTS					
Output Voltage Level					
GPIOx and MISO					
High	2 mA high level output current	IOVDD - 0.5			V
Low	2 mA low level output current			0.5	V

仕様

タイミング仕様

表 4. タイミング仕様

Parameter	Symbol	Test Condition/Comments	Min	Typ	Max	Unit
SPI PORT						
SCLK						
Frequency	$f_{SCLK}$				10	MHz
Minimum Pulse Width						
High	$t_{SCLKPWH}$		15			ns
Low	$t_{SCLKPWL}$		15			ns
$\overline{CS}$						
Setup Time	$t_{CSS}$	$\overline{CS}$ setup to SCLK rising edge	11			ns
Hold Time	$t_{CSH}$	$\overline{CS}$ hold from SCLK rising edge	5			ns
Pulse Width High	$t_{CSPWH}$	$\overline{CS}$ pulse width high	15			ns
MOSI						
Setup Time	$t_{MOSIS}$	MOSI setup to SCLK rising edge	5			ns
Hold Time	$t_{MOSIH}$	MOSI hold from SCLK rising edge	5			ns
SWITCHING CHARACTERISTICS						
MISO Output Delay	$t_{MISOD}$	MISO valid output delay from SCLK falling edge Register 0x057 = 0x0050 (default) Register 0x057 = 0x005F (maximum slew rate, maximum drive strength for SPI)			21.5 14	ns ns

タイミング図

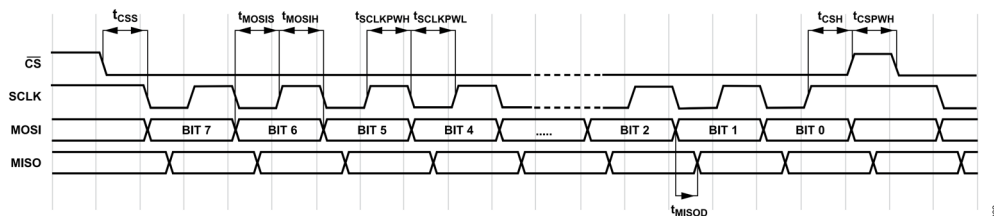


図 2. SPI タイミング図

## 絶対最大定格

表 5. 絶対最大定格

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
AVDD3 to AGND	-0.3 V to +3.9 V
DVDD to DGND	-0.3 V to +2.2 V
IOVDD to IOGND	-0.3 V to +3.9 V
GPIOx, MOSI, MISO, SCLK, $\overline{CS}$ to DGND	-0.3 V to +3.9 V
LEDxx to LGND	-0.3 V to +3.9 V
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。

$\theta_{JA}$  は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 $\theta_{JC}$  は、ジャンクションとケースの間の熱抵抗です。

表 6. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CB-36-11 <sup>1</sup>	42.15	0.98	°C/W

<sup>1</sup> 熱抵抗値は、JESD51-12 規格によって規定されています。

## 静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

ANSI/ESD STM5.2 によるマシン・モデル（MM）。MM 電圧値は特性評価にのみ使われます。

## ADPD7008 の ESD 定格

表 7. ADPD7008、36 ボール WLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	2500	2
CDM	1250	C3

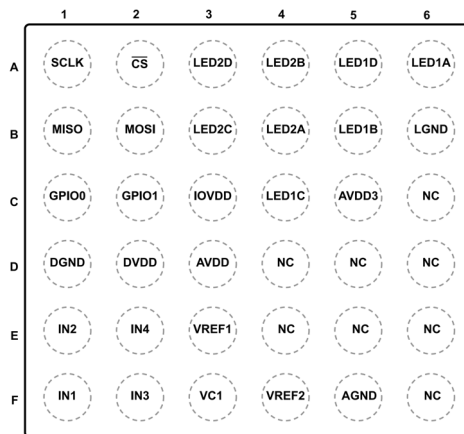
## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



ADPD7008  
TOP VIEW  
(BALL SIDE DOWN)  
Not to Scale

NOTES  
1. NC = NO CONNECTION.

003

図 3. ピン配置、上面図

表 5. ピン機能の説明

ピン番号	記号	タイプ	説明
D3	AVDD	Power	1.8V アナログ電源。
C5	AVDD3	Power	3.3V アナログ電源。
F5	AGND	Power	アナログ・グラウンド。
D2	DVDD	Power	1.8V デジタル電源。
D1	DGND	Power	デジタル・グラウンド。
C3	IOVDD	Power	入出力電源。
B6	LGND	Power	LED グラウンド。
E3	VREF1	Analog	ADC1 リファレンス。
F4	VREF2	Analog	ADC2 リファレンス。
F3	VC1	Analog	フォト・ダイオードの共通・カソード・バイアス、または他のセンサー励起用の出力電圧源 1。
F1	IN1	Analog	電流入力 1。
E1	IN2	Analog	電流入力 2。
F2	IN3	Analog	電流入力 3。
E2	IN4	Analog	電流入力 4。
A6	LED1A	Analog	LED ドライバ 1A。
B5	LED1B	Analog	LED ドライバ 1B。
C4	LED1C	Analog	LED ドライバ 1C。
A5	LED1D	Analog	LED ドライバ 1D。
B4	LED2A	Analog	LED ドライバ 2A。
A4	LED2B	Analog	LED ドライバ 2B。
B3	LED2C	Analog	LED ドライバ 2C。
A3	LED2D	Analog	LED ドライバ 2D。
E6	NC		接続なし。
F6	NC		接続なし。
E5	NC		接続なし。
E4	NC		接続なし。
C6	NC		接続なし。
D6	NC		接続なし。
D5	NC		接続なし。
D4	NC		接続なし。



## ピン配置およびピン機能の説明

表 8. ピン機能の説明（続き）

ピン番号	記号	タイプ	説明
A2	$\overline{CS}$	Digital	SPI チップ・セレクト入力。
A1	SCLK	Digital	SPI クロック入力。
B1	MISO	Digital	SPI コントローラ入力および目標出力。
B2	MOSI	Digital	SPI コントローラ出力および目標入力。
C1	GPIO0	Digital	汎用入出力 0。
C2	GPIO1	Digital	汎用入出力 1。

代表的な性能特性

特に指定のない限り、DVDD = AVDD = 1.8V、AVDD3 = 3.3V、LGND = DGND = AGND = 0V、T<sub>A</sub> = 25°C。

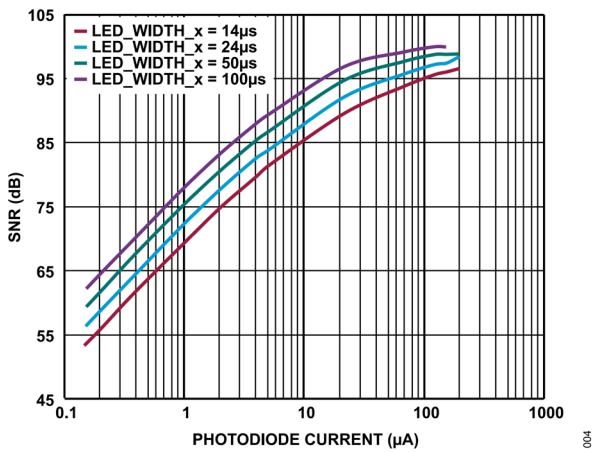


図 4. S/N 比とフォト・ダイオード電流の関係、シーケンスの繰り返し回数 = 1、TIA ゲイン = 100kΩ

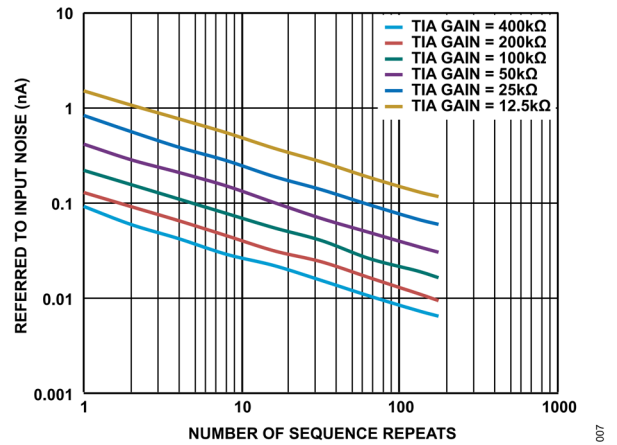


図 7. 入力換算ノイズとシーケンスの繰り返し回数の関係

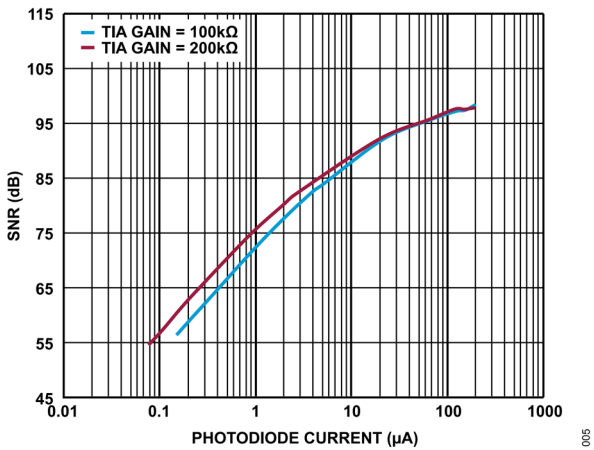


図 5. S/N 比とフォト・ダイオード電流の関係、LED 幅 = 24µs、シーケンスの繰り返し回数 = 1

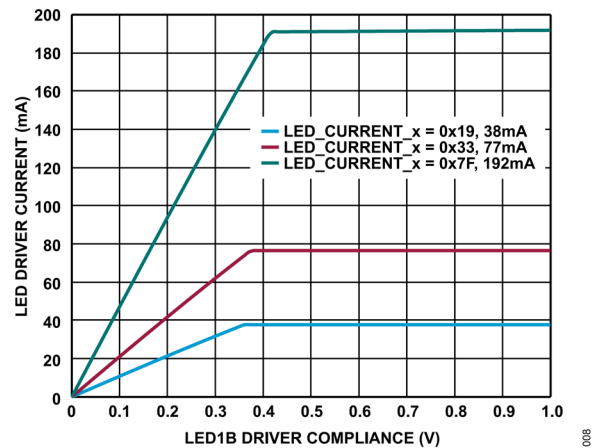


図 8. LED ドライバ電流と LED1B ドライバ・コンプライアンスの関係、高 S/N 比モード

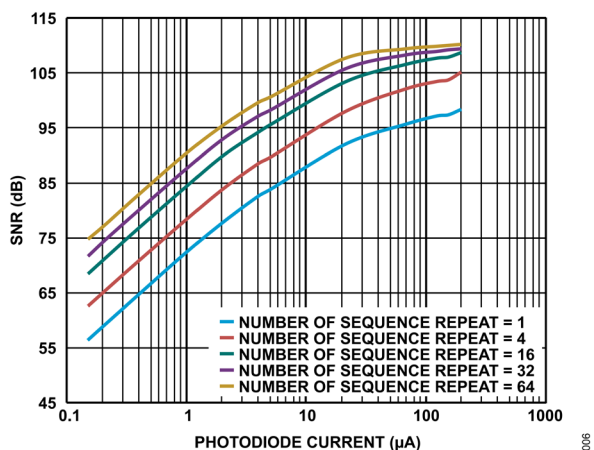


図 6. S/N 比とフォト・ダイオード電流の関係、LED 幅 = 24µs、TIA ゲイン = 100kΩ

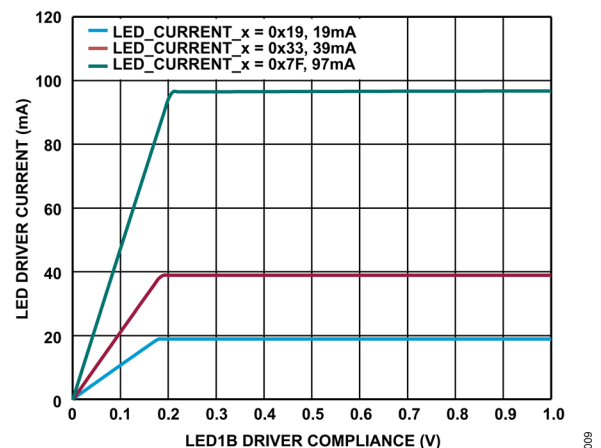


図 9. LED ドライバ電流と LED1B ドライバ・コンプライアンスの関係、低コンプライアンス・モード

代表的な性能特性

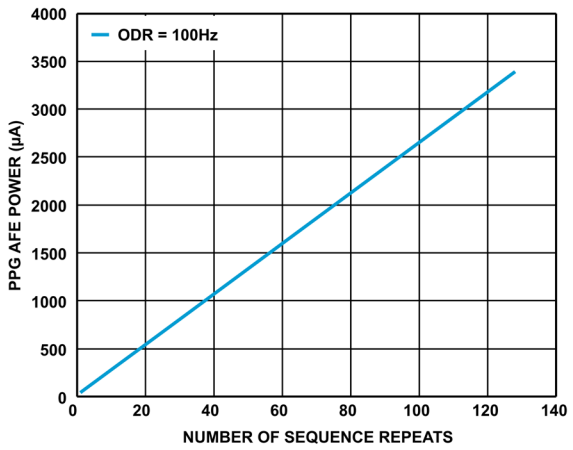


図 10. PPG AFE 電力とシーケンスの繰り返し回数の関係

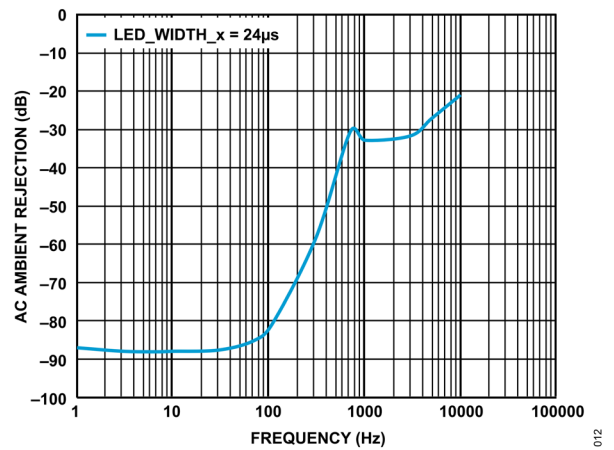


図 12. AC 周辺光除去の周波数特性

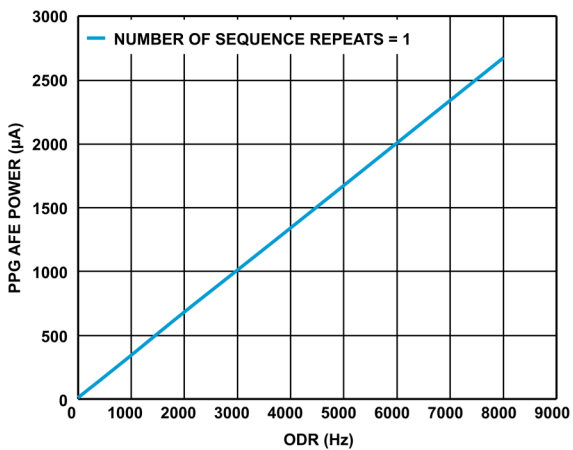


図 11. PPG AFE 電力と ODR の関係

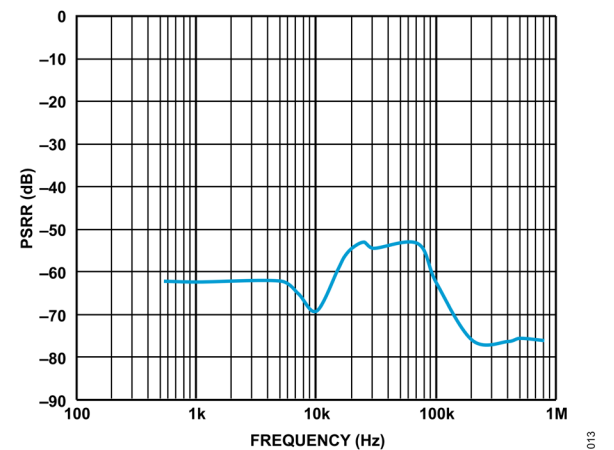


図 13. PSRR の周波数特性、フォト・ダイオード電流= 8µA

動作原理

はじめに

ADPD7008 は、光学的測定 (PPG) を行う 1つのパスで構成されたバイタル・サインの監視 AFE です。

PPG 測定パスは、最大 8 個の LED と 4 個のフォト・ダイオードの入力をサポートするトランシーバーとして機能します。LED の電流は、2 個の 7 ビット LED ドライバによって設定できます。レシーバー・パスは、同時サンプリング可能で個別設定可能な 2 つの高性能読出しチャンネルを提供します。2 個の高性能電流 DAC (IDAC) がチャンネルごとに備わっており、優れた周辺光除去と大きなダイナミック・レンジを様々なアプリケーションで提供します。

内蔵ステート・マシンが、この測定パスを柔軟に制御します。アキュイジション・データは 704 バイトの FIFO に格納されます。

タイム・スロット動作

内蔵の構成設定可能なコントローラが ADPD7008 の動作を処理します。このコントローラは、3 つの測定パスとスリープ期間を組み合わせたサンプリング領域を生成するのに必要なタイミングを発生します。複数のシグナル・チェーンを使用しやすくするため、複数のタイム・スロットによって異なるトランスミッタやレシーバーへのアクセスを処理します。

システムは、イネーブルされた各タイム・スロットの繰返し周期を決定する ODR によって特性が決まります。イネーブルされたタイム・スロットは、TIMESLOT\_PERIOD\_x ビットで設定されるタイム・スロット・レートで繰り返されます。

ADPD7008 には、図 14 に示すように 12 個のタイム・スロット (PPG\_TSA~PPG\_TSL) があります。

各 PPG タイム・スロットでは、1 つ以上の LED パルスおよび変調パルスの生成と、その励起によるフォト・ダイオードや他のデバイスの電流のアキュイジションが可能です。各タイム・スロットの動作パラメータは、細かい設定が可能です。

サンプリング・レート (タイム・スロット・レート) は、次の式 1 に示すとおりです。

$$\text{Sampling Rate} = \text{Timer Clock Frequency (Hz)} / \text{TIMESLOT\_PERIOD}_x \tag{1}$$

表 9. 低周波数クロック (LFCLK) 源とタイマー・クロック源<sup>1</sup>

LFCLK	Timer Clock	ALT_CLOCKS	TM_CLK_GPIO_SEL
960 kHz Internal	960 kHz internal	0	N/A
960 kHz External	960 kHz external	1	N/A
960 kHz Internal	960 kHz internal	2	N/A
1 MHz External (Divided from 32 MHz)	1 MHz external (divided from 32 MHz)	3	N/A
960 kHz Internal	960 kHz external	4	1
960 kHz Internal	32 kHz external	4	0

<sup>1</sup> N/A は該当なしを意味します。

1	2	3	4	5	6	7	8	9	10	11	12
PPG_TSA	PPG_TSB	PPG_TSC	PPG_TSD	PPG_TSE	PPG_TSF	PPG_TSG	PPG_TSH	PPG_TSI	PPG_TSJ	PPG_TSK	PPG_TSL

図 14. タイム・スロットの割当て

## 動作原理

### 光シグナル・チェーン

光信号パスは、最大 8 個の LED を励起し、リターン信号を最大 4 つの別々の電流入力で測定します。光タイム・スロットは 12 個あるため、サンプリング周期ごとに最大 12 の光学測定ができます。

アナログ入力は、シングルエンドまたは差動ペアで駆動できます。4 個のアナログ入力は、単一チャンネルまたは独立した 2 つのチャンネルにマルチプレクスされ、同時に 2 個のセンサーのサンプリングが可能です。

光シグナル・チェーンは、TIA、レジスタ設定によってはバッファとしても設定可能な積分器、および ADC で構成されています。デジタル・ブロックは、複数の動作モード、プログラマブルなタイミング調整、およびブロック平均化が可能です。

また、最大 200mA で駆動できる 2 個の独立した LED ドライバを搭載しています。2 個の LED ドライバは任意のタイム・スロットで使用でき、7 ビットのレジスタ設定値により 1.57mA から 200mA までの単調増加のプログラムが可能です。イネーブルされた LED ドライバは、いずれのタイム・スロットでも、組み合わせることで合計 400mA までの LED 電流を供給できます。

光学測定を行う場合、周辺光除去は、外部の制御ループ、DC 電流の減算、あるいはデジタル・アルゴリズムなどを必要とせず、自動的に行われます。

LED ドライバは電流シンクなので、LED 電源電圧や LED の種類による影響を受けません。光学測定は、比較的小さな LED 電力で高い S/N 比を達成すると同時に、周辺光が測定信号に及ぼす影響を大幅に軽減します。

### アナログ信号パス

光シグナル・チェーンのアナログ信号パスは 4 個の電流入力からなり、これらはシングルエンドまたは差動ペアとして構成され、4 つの独立したチャンネルの 1 つに供給されます。この 4 つのチャンネルは同時にサンプリング可能で、4 個のセンサーの瞬時サンプリングが求められるアプリケーションに使用できます。

### アナログ入力マルチプレクサ

光シグナル・チェーンは 4 個のアナログ入力ピンをサポートしています。各入力はシングルエンド入力として、または差動ペアの一部として使用できます。図 15 に入力スイッチ・マトリックスの 1 つを示します。これにより、4 つの光学チャンネルとのプログラマブルな接続が可能になります。それぞれの入力ペア (IN1 と IN2、IN3 と IN4) は、このマルチプレクサとまったく同じ構成です。接続はタイム・スロットごとにプログラム可能です。

PAIR12 ビットと PAIR34 ビットを使用して、それぞれの入力ペアを 2 つのシングルエンド入力として使用するか、差動ペアとして使用するかを選択します。この選択は、すべてのアクティブなタイム・スロットに対して有効です。INP12\_x ビットおよび INP34\_x ビットによって、該当するタイム・スロットにおいて入力ペアをイネーブルするかどうかを設定できます。イネーブルされた場合は、どの入力をどの光学チャンネルに接続するかも設定します。チャンネル 1 とチャンネル 2 はシングルエンド入力または差動入力をサポートしますが、チャンネル 3 とチャンネル 4 はシングルエンド入力のみをサポートすることに注意してください。

スリープ条件は、イネーブルされていないすべての入力に使用します。スリープ条件は、INP\_SLEEP\_12 ビットと INP\_SLEEP\_34 ビットによって決定し、これらのビットで、スリープ時および入力がアクティブになっていないときの入力ペアの状態を設定します。入力は、前処理の間、および入力がイネーブルされたタイム・スロットのパルス領域でのみアクティブと見なされます。

入りに接続されたセンサーの前処理は、サンプリングの前に入力の動作ポイントを設定するために使用します。前処理にはいくつかの異なるオプションがあり、PRECON\_x ビットによって決定します。PRECON\_x ビットは各タイム・スロットに対して用意されており、タイム・スロット期間におけるイネーブルされた入力、または入力ペアの前処理を設定します。前処理の選択肢として、フロート状態、VC1、TIA の内部電圧リファレンス信号 (TIA\_VREF)、TIA 入力、入力ペア短絡があります。前処理は各タイム・スロットの開始時に実施され、その時間は PRE\_WIDTH\_x ビットを使用してプログラムできます。デフォルトの前処理時間は 8 $\mu$ s です。

図 15 のブロック図に、スリープ状態および前処理の間に入力と接続可能なバイアス・レベルを示します。これらの接続は、入力が選択されているタイム・スロットのサンプリング・フェーズの間中は使用できません。

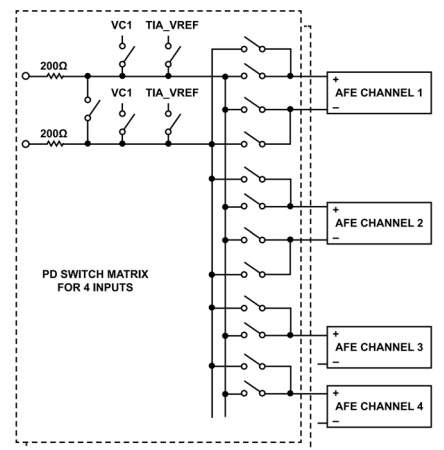


図 15. スイッチ・マトリックスのブロック図

### 周辺光キャンセル

ADPD7008 には、次のように周辺光をキャンセルするモードが 3 つあります。

- ▶ 粗調整のみ
- ▶ 粗調整と微調整ループ
- ▶ 外部マイクロコントローラ・ユニット (MCU) 制御

粗調整のみのモードおよび粗調整と微調整ループのモードでは、ソフトウェアの助けを借りることなく ADPD7008 が自動で制御します。外部 MCU 制御モードでは、外部アルゴリズムを用いて周辺光除去が可能です。

モードを選択するには AMBIENT\_CANCELLATION\_x ビットを使用します。

動作原理

各 PPG タイム・スロットの開始時には粗調整モードで動作します。このモードでは、周辺光のレベルを測定し、周辺光 DAC コードを設定します。これらの動作を完了し周辺光 DAC のベースラインを決定するために、この回路は 48 $\mu$ s を要します。その後、PPG チャンネルは通常動作を開始できます。例えば、デジタル積分モードの場合、PPG レシーバー・チャンネルは、暗サンプルの取得を開始できます。粗調整のみのモードが有効化されている場合、この周辺光ベースラインがそのタイム・スロットで使用されます。

粗調整と微調整ループのモードが有効化されている場合、粗調整回路は粗調整モードと同じように動作します。ただし、周辺光 DAC コードは暗サンプルの測定ごとに更新されます。

AMBIENT\_CANCELLATION\_x ビットでこれら 2 つのモードを選択することにより、システム・レベルで柔軟な設計が可能になります。

粗調整ループ・モードでは、周辺光電流の正確な値を求める測定を行います。その後、周辺光 DAC が、シグナル・チェーンの開始時に周辺光電流を差し引くため、PPG 信号測定に大きな誤差が生じることはありません。

アナログ積分モードとデジタル積分モードのどちらも、粗調整ループによる周辺光除去が可能です。

微調整ループは、暗サンプルの測定ごとに周辺光情報を更新します。この機能はデジタル積分モードでのみ利用できます。

MCU モードでは、ユーザが周辺光電流を差し引くことができます。DAC\_AMBIENT\_CH1\_x ビットおよび DAC\_AMBIENT\_CH2\_x ビットは、ユーザが周辺光電流値を入力できるように設計されており、これにより、AFE はその値をシグナル・チェーンから差し引きます。DAC\_AMBIENT\_CH1\_x および DAC\_AMBIENT\_CH2\_x は 9 ビットのフィールドで、それぞれの LSB は 0 $\mu$ A~300 $\mu$ A の範囲で 0.6 $\mu$ A ステップに相当します。

LED DC キャンセル機能

周辺光 DAC の他に、各シグナル・チェーンの入力にはもう 1 つの IDAC があります。この IDAC は、LED の反射光の不要な DC 成分を除去してレシーバー・チャンネルのダイナミック・レンジを拡大するために用いられます。

2 つの IDAC は、MCU によってのみ制御されます。DAC\_LED\_DC\_CH1\_x ビットおよび DAC\_LED\_DC\_CH2\_x ビットを使用して、LED の DC 成分をキャンセルする 7 ビット IDAC をフルスケールで制御します。

この LED DC キャンセル機能は、デジタル積分モードでのみ利用できます。

上位レベルの光学設計およびシステム設計に基づき、特定の量の DC 電流が AFE から差し引かれます。

DAC\_LED\_DC\_CH1\_x および DAC\_LED\_DC\_CH2\_x は 7 ビットのフィールドで、それぞれの LSB は 0 $\mu$ A~190 $\mu$ A の範囲で 1.5 $\mu$ A ステップに相当します。

LED ドライバ

光路には 2 つの LED ドライバがあり、それぞれが 4 つの LED ドライバ出力を備えているため、合計で 8 つの LED 出力ドライバを使用可能です。ドライバ・ペアごとに 1 つを使用することで、最大 2 個の LED を同時に駆動できます。LED 出力ドライバは電

流シンクです。図 16 に、1 つの LED ドライバ出力ペアの例を示します。

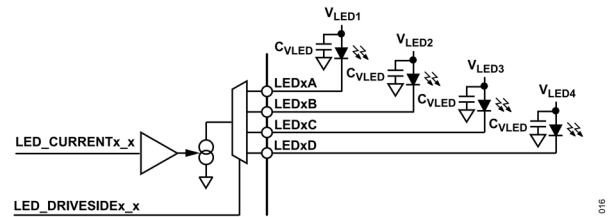


図 16. LED ドライバ出力ペア (CVLED はバイパス・コンデンサ)

LED ドライバ出力ピン (LED1A、LED2A、LED1B、LED2B、LED1C、LED2C、LED1D、LED2D) の最大許容電圧は 3.6V です。この定格を超える電圧を印加すると、デバイス動作の信頼性に影響を与え、状況によってはデバイスが正常に動作しなくなる場合があります。LED ドライバ出力ピンの電圧と LED への電源電圧を混同しないでください。VLEDx は外部 LED のアノードに印加する電圧です。これに対し、LED 出力ドライバ・ピンは外部 LED のカソードに接続します。コンプライアンス電圧は、グラウンドを基準として測定した LED ドライバ・ピンのヘッドルームの総電圧で、設定した LED 電流レベルを維持するために必要となります。このコンプライアンス電圧は、必要とする電流の開数になっています。

FIFO

FIFO にパケット・データの一部だけが書き込まれることはありません。イネーブルされたすべてのタイム・スロットおよび選択されたステータス・バイトのデータを書き込むだけの FIFO 領域がない場合は、この期間は何のタイム・スロットのデータも書き込まれず、INT\_FIFO\_OFLOW のステータス・ビットがセットされます。

FIFO に書き込むサンプルの順番は (選択されている場合)、最初が暗データ、次が明データです。表 10 にマルチバイト・ワードのバイト順を示します。

表 10. FIFO 書き込みのバイトの順番

Size	Byte Order (After Shift)
8	[7:0]
16	[15:8], [7:0]
24	[23:16], [15:8], [7:0]
32	[31:24], [23:16], [15:8], [7:0]

FIFO のサイズは 704 バイトです。FIFO が空のときは読出し動作で 0xFF を返し、INT\_FIFO\_UFLOW のステータス・ビットがセットされます。

PPG データ・フォーマット

各タイム・スロットの最後で、選択されたデータが FIFO に書き込まれます。パケットには、0 ビット、8 ビット、16 ビット、24 ビット、または 32 ビットの暗データ値、信号データ値、または明データ値をそれぞれ含めることができます。FIFO に書き込むデータのビット・アライメントは、飽和情報を基に 0 ビットから 31 ビットでシフト量を選択できます。下位ビットは無視されます。

## 動作原理

DARK\_SIZE\_x、LIT\_SIZE\_x、SIGNAL\_SIZE\_x の各ビットを使用して、フィールドごとに書き込むバイト数を 0 バイトから 4 バイトの間で選択します。0 に設定した場合、このデータ・タイプで書き込まれるデータはありません。DARK\_SHIFT\_x、LIT\_SHIFT\_x、SIGNAL\_SHIFT\_x の各ビットを使用して、FIFO に書き込む前に出力データを右にシフトするビット数を選択します。選択したビット位置より上位のビット位置に上位ビットがある場合は、FIFO に書き込まれるデータは飽和しています。

FIFO に書き込むサンプルの順番は（選択されている場合）、最初が信号データ、次が暗データ、その次は明データです。両方のチャンネルがイネーブルされている場合、チャンネル 1 で選択されたデータが最初に FIFO に書き込まれ、次にチャンネル 2 のデータが書き込まれます。

例えば、暗データを使用するモードでは、各タイム・スロットで暗データの上位 8 ビットが信号データから適正に選択された 24 ビットと共に保存されます。これにより、周辺光が増加しているかどうか検出できると同時に転送データ量を制限できます。

図 17 に FIFO の PPG データ・フォーマットを示します。

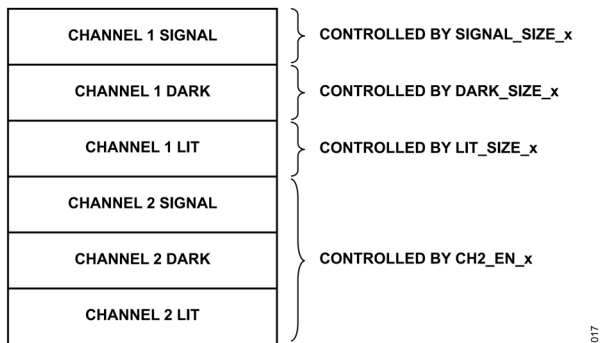


図 17. PPG データ・フォーマット

## クロッキング

### 低周波発振器

低周波発振器は低速のステート・マシンのクロックを生成します。これにより、サンプリングのタイミングやウェイクアップ状態など、すべての動作の制御で使用されるタイム・ベースが設定されます。低周波発振器による生成には 3 つのオプションがあります。第 1 のオプションは、内部の 960kHz の発振器です。第 2 のオプションは、ホストによる外部の低周波発振器を使用することです。最後のオプションは、外部の 32MHz 高周波クロック源を 32 分周することによって低周波発振器を生成することです。デバイスの起動時には、低周波発振器がイネーブルされ、そのまま実行され続けるという想定になっています。

内蔵の低周波発振器を動作させるには、以下の書込みを実施してください。OSC\_960K\_EN ビットを 1 に設定して内部発振器をオンにします。内部の 960kHz のクロック周波数は 10 ビットの OSC\_960K\_FREQ\_ADJ ビットを使用して調整します。

内部の低周波発振器で供給できるタイミング精度より高い精度が必要な場合は、GPIOx 入力を使用して外部ソースから低周波発振器を直接駆動することができます。外部の低周波クロックをイネーブルするには、以下の書込みを行います。まず、

GPIO\_PIN\_CFGx ビットを使用して GPIOx 入力の 1 つをイネーブルします。次に、ALT\_CLK\_GPIO ビットを使用して、外部の低周波発振器を使用するためにイネーブルした GPIOx 入力を選択します。ALT\_CLOCKS ビットを 0x1 に設定し、外部低周波発振器を選択します。

第 3 の方法では、外部の 32MHz クロックを高周波クロックとして、あるいは分周して低周波クロックとして使用します。この方法を使用するには、前述した外部低周波クロックの手順に従います。ただし、ALT\_CLOCKS ビットは 0x3 に設定します。また、低周波クロック生成のために 32 分周を用います。これにより、32MHz の外部クロックから 1MHz のクロックが生成されます。

低周波数においては、電源オン後に ADPD7008 のヒューズの 960kHz のトリム・コードが自動的にロードされるため、960kHz クロックは高い精度になります。この動作はチップが自動的に処理するため、ユーザが何かを追加で行う必要はありません。

### 高周波発振器

32MHz の高周波発振器は、内部で生成するか外部から供給します。高周波クロックは高速のステート・マシンのクロックを生成し、それにより LED タイミングや積分の回数など、タイム・スロットでの AFE 動作を制御します。

高周波発振器は、ALT\_CLOCKS ビットを 0x0 または 0x1 に設定することにより、内部でクロックを生成できます。内部クロックを選択した場合、32MHz の内部発振器は、適切なウェイクアップ・タイム内または 32MHz 発振器のキャリブレーション・ルーチンの間に、低速ステート・マシンによって自動的にイネーブルされます。

高周波発振器は、外部ソースから駆動することもできます。外部の 32MHz 高周波発振器を使用するには、GPIO\_PIN\_CFGx ビットを用いていずれかの GPIO 入力をイネーブルします。次に、ALT\_CLK\_GPIO ビットを使用して、外部の高周波発振器用にイネーブルした GPIOx 入力を選択します。最後に、ALT\_CLOCKS ビットに 0x2 または 0x3 を書き込んで、外部高周波発振器を選択します。0x2 を書き込むと外部ソースから高周波クロックのみを供給するのに対して、0x3 を書き込むと外部の 32MHz ソースから低周波クロックと高周波クロックの両方を生成します。外部の 32MHz 発振器を使用する場合は、デバイスが適切に動作できるように、この外部発振器を継続的に動作させなければなりません。

### タイム・スタンプ動作

タイム・スタンプ機能は、タイム・スロット動作中のタイミング情報をホストに供給するだけでなく、低周波発振器のキャリブレーションにも役立ちます。タイム・スタンプには、GPIO のいずれかをタイム・スタンプ・リクエスト入力として使用します。また、タイム・スタンプ・トリガの取得をイネーブルする CAPTURE\_TIMESTAMP ビット、低周波発振器の領域で動作するタイム・カウンタ、および 2 つの出力レジスタを使用します。出力ビットには、タイム・スタンプのトリガとトリガの間に生成された低周波発振器のサイクル数を保持する TIMESTAMP\_COUNT\_x ビットと、次のタイム・スロットが開始するまでに残された低周波発振器のサイクル数を保持する TIMESTAMP\_SLOT\_DELTA ビットが含まれます。

動作原理

タイム・スタンプ動作を使用する設定は以下のとおりです。

1. OSC\_CAL\_ENABLE = 1 に設定して、発振器のキャリブレーション回路をイネーブルします。
2. 適切な GPIO\_PIN\_CFG\_x ビットを使用して、GPIO のいずれかをタイム・スタンプ入力に対応できるように構成します。TIMESTAMP\_GPIO ビットを使用して、タイム・スタンプ供給用に構成した GPIOx を選択します。
3. ADPD7008 の動作設定を行い、低周波発振器をイネーブルします。
4. TIMESTAMP\_SLOT\_DELTA 機能を使用したいときは、OP\_MODE ビットを使用してデバイスを Go モードに設定することによってタイム・スロット動作を開始します。(表 11 参照)。低周波発振器のキャリブレーションは、低周波発振器をイネーブルするだけで実行できます。また、低周波発振器をキャリブレーションするためにデバイスを Go モードにする必要はありません。

タイム・スタンプを取得するには、次の手順に従います。

1. CAPTURE\_TIMESTAMP ビットを 1 に設定します。これにより、選択した GPIOx 入力の次の立上がりエッジでタイム・スタンプの取得がイネーブルされます。
2. ホストは、適切なタイミングで最初のタイム・スタンプ・トリガをこの選択した GPIOx に供給します。
3. タイム・スタンプ信号が取得されると、TIMESTAMP\_ALWAYS\_EN ビットが設定されている場合を除き、CAPTURE\_TIMESTAMP ビットはクリアされます。TIMESTAMP\_ALWAYS\_EN ビットが設定されている場合は、タイム・スタンプの取得は常にイネーブルされた状態になります。必要に応じてタイム・スタンプの取得を再度イネーブルします。
4. ホストは、適切なタイミングで次のタイム・スタンプ・トリガをこの GPIO に供給します。
5. タイム・スタンプのトリガとトリガの間に発生する低周波発振器のサイクル数を TIMESTAMP\_COUNT\_x ビットから読み出すことができます。

ホストは、タイム・スタンプ処理の間、FIFO のデータ処理を通常のとおり続ける必要があります。

タイム・スタンプ以外には遷移しない専用のピンを使用する場合は、TIMESTAMP\_ALWAYS\_EN ビットを設定して CAPTURE\_TIMESTAMP ビットが自動的にクリアされないようにします。この設定により、タイム・スタンプの取得を毎回イネーブルする必要がなくなります。

ホストは、TIMESTAMP\_SLOT\_DELTA を使用して、次のタイム・スロットが発生する時間を決めることもできます。TIMESTAMP\_SLOT\_DELTA によって、現在のサンプルが FIFO に到着する時間を決定できます。

タイム・スタンプ・トリガはエッジ・センシティブで、TIMESTAMP\_INV を使用して立上がりエッジ (デフォルト) と立下がりエッジのどちらかでトリガするか設定できます。

低周波発振器のキャリブレーション

周波数をタイム・スタンプのトリガ・タイミングに合わせることで、タイム・スタンプ回路を使用して 960kHz の低周波発振器回路をキャリブレーションすることができます。低周波発振器のサイクルにおける TIMESTAMP\_COUNT\_x の値と、タイ

ム・スタンプの実際のトリガ周期を比較して、OSC\_960K\_FREQ\_ADJ の値を調整するだけです。

高周波発振器のキャリブレーション

高周波発振器は、システムの時刻でキャリブレーションした低周波発振器のサイクルの倍数と、高周波発振器のサイクルの倍数を比較することでキャリブレーションします。低周波発振器のキャリブレーションは、高周波発振器のキャリブレーションの前に実施しておきます。高周波発振器のキャリブレーション方法は、以下のとおりです。

1. OSC\_CAL\_ENABLE = 1 に設定して、発振器のキャリブレーション回路をイネーブルします。
2. OSC\_32M\_CAL\_START ビットに 1 を書き込みます。
3. ADPD7008 は自動的に高周波発振器をパワーアップします。
4. その後、高周波発振器が安定するまで自動的に待機します。
5. 内部カウンタが、960kHz 低周波発振器の 128 サイクルの間に発生する 32MHz の高周波発振器のクロック数を自動的にカウントします。
6. OSC\_32M\_CAL\_COUNT ビットが最終的なカウント数で更新されます。
7. タイム・スロットがアクティブでなければ、32MHz の発振器はキャリブレーション後自動的にパワーダウンします。
8. デバイスは OSC\_32M\_CAL\_START ビットをリセットし、カウンタが更新されたことを示します。

OSC\_32M\_FREQ\_ADJ ビットは、32MHz の発振器周波数を目的の周波数に調整します。外部の低周波発振器を使用する場合には、32MHz 発振器のキャリブレーションは外部から供給される低周波クロックを基準に実施してください。

低周波発振器と高周波発振器のキャリブレーション完了後、CLK\_CAL\_ENA=0 に設定して発振器のキャリブレーション回路のクロッキングをディスエーブルすると消費電力を削減できます。CLK\_CAL\_ENA はデフォルトで 0 に設定されているので、キャリブレーション回路はデフォルトでディスエーブルです。

実行モード

低周波発振器のクロック領域におけるステート・マシンは、スリープ時間、ウェイクアップ・サイクル、およびタイム・スロット動作の開始を制御します。低周波発振器は、すべてのタイム・スロット動作のタイム・ベースとして機能すると共に、サンプリング・レートの制御、および低周波数のステート・マシンへのクロック供給を実行します。すべての動作を制御するこのステート・マシンを制御するには、OP\_MODE ビットを使用します。

表 11. OP\_MODE ビットの設定値の説明

OP_MODE の設定値	モード	説明
000	Standby	すべての動作が停止し、タイム・スロットの動作はリセットされます。低消費電力のスタンバイ状態です。
001	Go	スタンバイ・モードからこの状態に遷移すると、タイム・スロット動作が開始します。



## 動作原理

表 11. OP\_MODE ビットの設定値の説明 (続き)

OP_MODE の 設定値	モード	説明
011	ADC test mode	このモードは、通常のウェイクアップ・シーケンスを経て、PPG タイム・スロット A の設定に基づく連続 ADC サイクルを実行します。
101	Repeat selected time slots without sleep	このモードは、通常のウェイクアップ・シーケンスを 1 回実行した後、イネーブルされたタイム・スロットのシーケンスのサイクルを、スリープに入ることなく実行します。
111	Reserved	予約済み。

パワーアップ時、およびその後リセット動作が行われた後は、ADPD7008 は常にスタンバイ・モードになります。OP\_MODE ビットに 0 を書き込むことで、直ちに動作を停止してスタンバイ・モードへ戻すことができます。

タイム・スロットは、OPMODE レジスタの PPG\_TIMESLOT\_EN ビットでイネーブルされます (表 15 のレジスタ 0x010 を参照)。

PPG\_TIMESLOT\_EN を任意の値に設定することで、これに対応した PPG タイム・スロットがイネーブルされます。

目的のタイム・スロットをイネーブルしたら、OP\_MODE ビットを 1 に設定してチップ動作を開始します。

Go モードの間は、動作モードに影響を与えるレジスタ書き込みを行うことはできません。コントロール・レジスタを変更するには、その前にスタンバイ・モードに入る必要があります。スタンバイ・モードに入ると、ADC のデジタル部分、すべてのパルス・ジェネレータ、およびステート・マシンがリセットされます。

外部の同期トリガを使用しない場合は、OP\_MODE が 1 にセットされると、デバイスはすぐに最初のウェイクアップ・シーケンスおよびタイム・スロット動作を開始します。外部の同期トリガを使用する場合、デバイスは、最初のウェイクアップおよびタイム・スロット領域を開始する前にスリープ状態に入ります。

## ホスト・インターフェース

ADPD7008 は、SPI を使って他のデバイスとの通信を行います。また、大容量 FIFO、エラー、および閾値のステータス・ビットを内蔵しており、これらは、GPIO からの割込み機能によって使用すること、ステータス・レジスタから読み出すこと、FIFO パケットの最後にオプションのステータス・バイトとして追加することが可能です。

### 割込みステータス・ビット

#### FIFO 閾値割込み

INT\_FIFO\_TH は、FIFO 閾値割込みのステータス・ビットで、FIFO 内のバイト数が FIFO\_TH レジスタに保存された値を超えるとセットされます。FIFO の読出しによってバイト数が FIFO\_TH レジスタの値より少なくなると、INT\_FIFO\_TH ビットは自動的にクリアされます。これにより、ホストが必要とする適正なデータ・サイズを設定することができます。

データ全体の書き込みの途中で FIFO のバイト数が閾値を超えても、INT\_FIFO\_TH ビットはトリガしません。その代わりに、FIFO への次の書き込み時に INT\_FIFO\_TH ビットがセットされます。

例えば、PPG TSA のみが動作している場合、FIFO には 4 バイトの明データが書き込まれるだけです。図 18 に、FIFO のデータを示します。

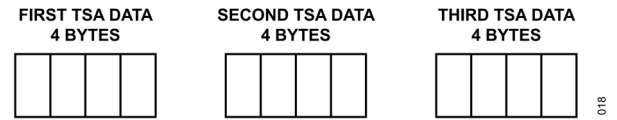


図 18. FIFO 閾値割込みの例

閾値が 4 に設定されている場合、割込みは、FIFO への 2 番目の TSA データ書き込みの最初にトリガされます。閾値が 5、6、または 7 に設定されている場合、3 番目の TSA データの書き込みまで INT\_FIFO\_TH ビットはトリガを発生しません。この方法により、FIFO から読み出されるのがデータの一部のみになってしまうのを防止できます。

### 割込みステータス・ビットのクリア

すべてのステータス・ビットは、割込み出力の Interrupt X と Interrupt Y のどちらかに接続されているかには無関係にセットされます。ステータス・ビットは、割込みイネーブル・ビットとは無関係です。ステータス・ビットは、常に、該当するイベントによってセットされます。割込みビットは、手動または自動でクリアされるまでセットされた状態を維持します。

該当する割込みステータス・ビットに 1 を書き込むことにより、手動で割込みをクリアできます。また、データ割込みステータス・ビットは自動でクリアする設定にもできます。INT\_ACLEAR\_FIFO ビットがセットされている場合、割込みステータス・ビットは、該当の FIFO レジスタが読み出されると自動的にクリアされます。割込みステータス・ビットが自動的にクリアされることで、手動で割込みをクリアする必要がなくなります。

### オプションのステータス・バイト

各データ・パケットにステータス・ビットを追加するオプションがあります。このオプションは、ホストで割込みチャンネルを持つ余裕がない場合に有用です。ステータス・バイトは FIFO\_STATUS\_BYTES レジスタでそれぞれを個別に選択できます。FIFO\_STATUS\_BYTES レジスタの各ビットを使用して、FIFO のデータ・パケットに追加するステータス・バイトをイネーブルします。FIFO\_STATUS\_BYTES レジスタのいずれかのビットが 1 に設定されていると、ステータス・ビットを含むバイトがデータ・パケットに追加されます。

4 ビットのシーケンス数は 0 から 15 のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。また、このシーケンス数は、GPIOx ピンでビットごとに利用できます。

### 割込み出力、Interrupt X、および Interrupt Y

ADPD7008 には、Interrupt X および Interrupt Y の 2 つの独立した割込み出力があります。どちらの割込みも、2 本の GPIOx ピンのどちらかを選択して駆動できます。この 2 つの割込み出力は、必要に応じてホスト・プロセッサに対して生成できます。例えば、FIFO 閾値割込みの INT\_FIFO\_TH を Interrupt X に接続してホストのダイレクト・メモリ・アクセス (DMA) チャンネルを駆動すると同時に、INT\_FIFO\_OVERFLOW および INT\_FIFO\_UNDERFLOW 割込みを Interrupt Y に接続してホストに追加された割込みピンを駆動することが可能です。

## 動作原理

各割込みに対応する Interrupt X および Interrupt Y イネーブル・ビットがあります。Interrupt X と Interrupt Y で使用可能なすべての割込みのリストを表 16 に示します。Interrupt X および Interrupt Y 機能に対するロジックは、ステータス・ビットと該当するイネーブル・ビットの AND 処理です。イネーブルされたすべてのステータス・ビットは、次に論理和演算されて割込み機能が生成されます。イネーブル・ビットはステータス・ビットに影響を与えません。

## 汎用 I/O

ADPD7008 には 2 つの汎用 I/O ピン、GPIO0 と GPIO1 があります。これらの GPIO は、[割込み出力](#)、[Interrupt X](#) および [Interrupt Y](#) のセクションで説明したように、割込み出力、またはデバイスへの外部クロック信号供給に使用できます。また、GPIO は、外部デバイスの同期制御などの様々な制御信号や、システムのデバッグ時に便利なテスト信号に使用できます。GPIOx ピンで使用可能なすべての信号を表 16 に示します。

## IOVDD 電源電圧に関する考慮事項

ADPD7008 は、1.7V~3.6V の IOVDD で動作します。レジスタ 0x0057 の LOW\_IOVDD\_EN を 0x1 に設定すると、IOVDD は 3V 未満になります。IOVDD の代表値は 1.8V のため、0x1 はこのビットのデフォルト値です。

3V 以上の電源を IOVDD に供給する場合、正常に動作させるには LOW\_IOVDD\_EN ビットを 0x0 に設定してください。

## SPI

ADPD7008 には入力クロックと同期して動作する SPI ポートがあります。

ADPD7008 はパワーオン・リセット回路を内蔵しており、最初のパワーアップ時にデバイスを既知のアイドル状態に設定します。パワーオン・リセットがリリリースされ、DVDD 電源がアクティブになってから約 2 $\mu$ s~6 $\mu$ s 後に、初期化状態になり、レジスタがデフォルト値に設定されます。この初期化状態は約 15 $\mu$ s~20 $\mu$ s の間続きます。その後デバイスは SPI を通じて読みおよび書き込みができるようになります。



図 19. SPI の書き込み動作

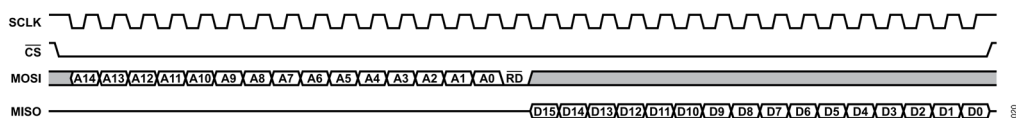


図 20. SPI の読み出し動作

レジスタには、15 ビットのアドレス空間内のアドレスを使用してアクセスします。各アドレスは、FIFO 読み出しアクセス用に割り当てられた 1 つのアドレスを使用して、15 ビットのレジスタを参照します。SPI では、同じアクセス・シーケンスにおいて追加ワードにアクセスすると、読み出しと書き込みは次のレジスタに自動的にインクリメントされます。このアドレスの自動インクリメントは、FIFO アドレスを除くすべてのアドレス、すなわち FIFO アドレスおよび最後の使用済みアドレス 0x351 より小さいアドレスで発生します。FIFO アドレスからの読み出しでは、FIFO の次のバイトへのアクセスを継続します。

## SPI の動作

SPI による単一のレジスタ書き込み動作を図 19 に示します。最初の 2 バイトには、15 ビットのレジスタ・アドレスと書き込みリクエストの指示が含まれています。次の 2 バイトは、レジスタに書き込む 16 個のデータ・ビットです。レジスタ書き込みは、 $\overline{CS}$  信号のアサートが解除される前に 16 ビットすべてがシフトした場合のみ発生します。

また、 $\overline{CS}$  信号のアサートが解除される前に追加の 16 ビット・データをシフトさせることで、複数のレジスタに書き込みを行うことができます。各 16 ビット・データの後、レジスタ・アドレスは次のレジスタに自動的にインクリメントされます。

SPI による単一のレジスタ読み出し動作を図 20 に示します。最初の 2 バイトには、15 ビットのレジスタ・アドレスと読み出しリクエストの指示が含まれています。レジスタ・ビットは MSB からシフト・アウトします。また、 $\overline{CS}$  信号のアサートが解除される前に追加の 16 ビット・データをシフト・アウトさせることで、複数のレジスタを読み出すことができます。

FIFO からの読み出しはバイト単位で実行することを推奨します。16 ビットの倍数で読み出す必要はありません。

## アプリケーション情報

## 光路

## デジタル積分モード

ADPD7008 は、光路にデジタル積分モードが使用できるため、より長いパルスが必要なセンサーに対応できます。デジタル積分モードによって、より大きな LED デューティサイクルを使用できます。これにより、実現し得る最高レベルの S/N 比が得られるようになります。

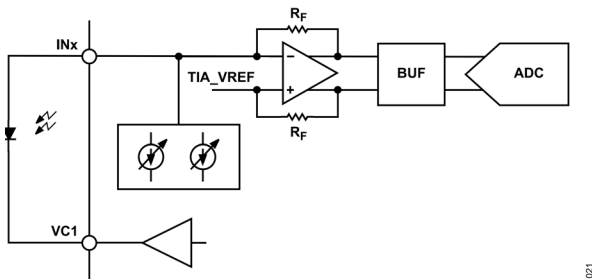


図 21. デジタル積分モードの信号パス

デジタル積分モードでは、積分器がバッファとして構成されます。その結果得られる信号パスを図 21 に示します。デジタル積分領域は、明領域と暗領域に分かれており、ユーザが設定します。LED は明領域でパルスが印加され、暗領域でオフになります。ADC サンプルは、明領域内および暗領域内において 1 $\mu$ s 間隔で取得され、その後、デジタル積分されます。明領域の ADC サンプルの積分値から暗領域の ADC サンプルの積分値を減算し、その結果は対応する FIFO に書き込まれます。信号値と暗値は、どちらも FIFO に書き込むことができます。

ADPD7008 は、1 領域と 2 領域のデジタル積分モードをサポートしています。1 領域のデジタル積分モードで取得される暗サンプルと明サンプルは同数で、暗サンプルはすべて明領域直前の暗領域で取得されます。1 領域のデジタル積分モードのタイミング図を図 22 に示します。

2 領域のデジタル積分モードでも、暗サンプルと明サンプルは等しい数を取得します。ただし、暗領域は分割されており、暗サンプルの半分は明領域直前の暗領域で、残り半分は明領域直後の暗領域で取得するようになっています。周辺光レベルが変化する環境では、2 領域のデジタル積分モードのほうが 1 領域のデジタル積分モードより高い周辺光除去性能を得られます。2 領域のデジタル積分モードのタイミング図を図 23 に示します。

FIFO から読み出される 1 領域のデジタル積分モードの信号データは、次式に従います。

$$Signal = (I_{PD} \times R_{TIA} \times TIA\_CONFIG \times BUF\_GAIN \times NUM\_INT\_x \times NUM\_REPEAT\_x) / (146 \mu V / LSB) \quad (2)$$

ここで、

$I_{PD}$  は PD 電流、  
 $TIA\_CONFIG$  は TIA 設定、  
 $BUF\_GAIN$  はバッファ・ゲインです。

FIFO から読み出される 2 領域のデジタル積分モードの信号データは、次式に従います。

$$Signal = ((I_{PD} \times R_{TIA} \times TIA\_CONFIG \times BUF\_GAIN \times NUM\_INT\_x \times NUM\_REPEAT\_x) / (146 \mu V / LSB)) \times 2 \quad (3)$$

AFE\_PATH\_CFG\_x、TIA\_GAIN\_CHx\_x、AFE\_BUFFER\_GAIN\_x、AFE\_BUFFER\_CAP\_x の各ビットは、デジタル積分モードの (1 領域モードおよび 2 領域モードのどちらにおいても) 特定の組み合わせに従う必要があります。これらのビットの推奨設定を表 12 に示します。TIA のゲイン設定は、これらの設定とは無関係です。

表 12. デジタル積分モードの AFE パスに関するビット設定

Bit Name	Recommended Setting
AFE_PATH_CFG_x	0x28
TIA_GAIN_CHx_x	0x3
AFE_BUFFER_GAIN_x	0x3
AFE_BUFFER_CAP_x	0x1

表 12 のビット設定の結果は、バッファ・ゲインが 2 の 1 $\times$ TIA 構成です。

表 13 に、デジタル積分モードの動作に関連するレジスタ設定を示します。デジタル積分モードでは最小周期は自動的に計算されないため、MIN\_PERIOD\_x ビットを使用して手動で適正な周期に設定する必要があります。

1 領域のデジタル積分モードに推奨する MIN\_PERIOD\_x 設定は次のとおりです。

$$MIN\_PERIOD\_x = NUM\_INT\_x \times 2 + (2 + t_D) \times 2$$

2 領域のデジタル積分モードに推奨する MIN\_PERIOD\_x 設定は次のとおりです。

$$MIN\_PERIOD\_x = NUM\_INT\_x \times 4 + t_D \times 2 + 6 \mu s$$

$t_D$  の値は、光学デバイスの応答時間です。周辺光の微調整ルーブを更新するには、6 $\mu$ s の時間が必要です。

アプリケーション情報

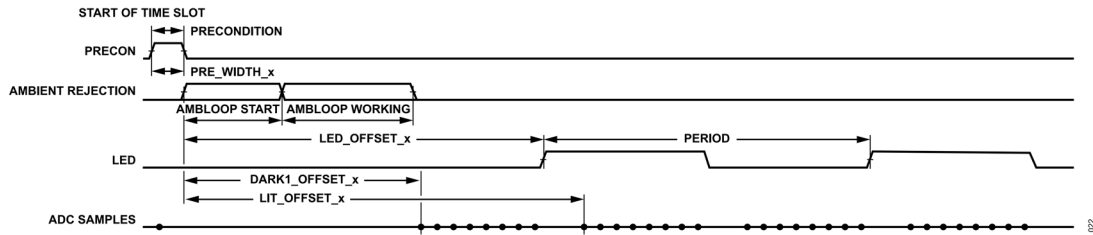


図 22.1 領域のデジタル積分モードのタイミング図

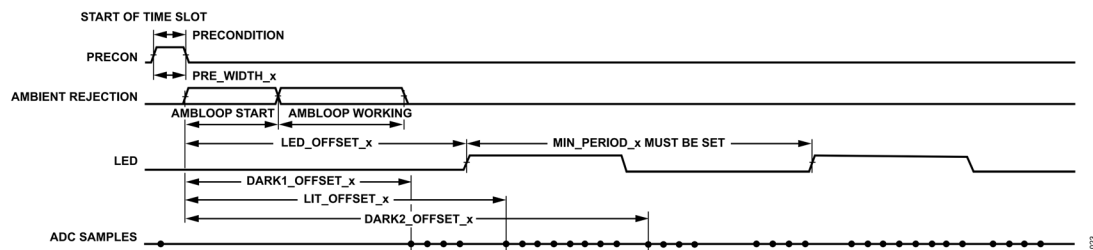


図 23.2 領域のデジタル積分モードのタイミング図

表 13. デジタル積分モードに関連する設定 (タイム・スロット A を例にした場合)

グループ	タイム・スロット A のレジスタ・アドレス	ビット・フィールド名	説明
Signal Path Setup	0x0120, Bits[13:11]	SAMPLE_TYPE_A	0x2 に設定すると、1 領域のデジタル積分モードが選択されます。0x3 に設定すると、2 領域のデジタル積分モードが選択されます。
	0x0121, Bits[6:0]	AFE_PATH_CFG_A	TIA、バッファ、ADC を使用するには 0x28 に設定します。1× TIA 構成を使用します。
	0x0122, Bits[7:0]	INPxx_A	目的の入力をイネーブルします。
	0x0123, Bits[14:12]	PRECON_A	0x5 に設定すると、フォト・ダイオードのアノードを TIA_VREF に前処理を行います。
	0x0123, Bits[1:0]	VC1_SELECT_A	0x2 に設定すると、フォト・ダイオードに約 215mV の逆バイアスが印加されます。
	0x0124, Bits[5:0]	TIA_GAIN_CHx_A	TIA ゲインを選択します。
	0x0124, Bits[9:8]	AFE_TRIM_VREF_A	0x2 に設定すると、TIA_VREF = 0.8855V になります。
	0x0124, Bits[12:11]	AFE_BUFFER_GAIN_A	バッファ・ゲインの選択。2 に設定するとバッファ・ゲインは 2 になります。
0x0125, Bits[13:12]	AFE_BUFFER_CAP_A	バッファ・フィードバック・コンデンサの選択。0x1 に設定すると、12.6pF が選択されます。	
Timing	0x012A, Bits[15:8]	NUM_INT_A	暗領域と明領域に必要な ADC 変換の回数を設定します。
	0x012A, Bits[7:0]	NUM_REPEAT_A	シーケンスの繰り返し回数。
	0x012B, Bits[9:0]	MIN_PERIOD_A	周期を設定します。デジタル積分モードでは周期の自動計算はサポートされていません。
	0x0138, Bits[8:0]	LIT_OFFSET_A	明領域で最初に ADC 変換を実行する時間を設定します。
	0x0139, Bits[6:0]	DARK1_OFFSET_A	Dark 1 領域で最初に ADC 変換を実行する時間を設定します。
	0x0139, Bits[15:7]	DARK2_OFFSET_A	Dark 2 領域で最初に ADC 変換を実行する時間を設定します。2 領域のデジタル積分モードでのみ使用します。
LED Settings	0x0129, Bits[1:0]	LED_MODEx_A	LED のモードを選択します。
	0x0129, Bits[7:4]	LED_DRIVESIDEx_A	タイム・スロットで使用する LED を選択します。
	0x0128, Bits[14:8], Bits[6:0]	LED_CURRENTx_A	選択した LED の LED 電流を設定します。
	0x012C, Bits[7:0]	LED_OFFSET_A	最初の LED パルスの開始時間を 1μs 刻みで設定します。
	0x012C, Bits[15:8]	LED_WIDTH_A	LED パルス幅を 1μs 刻みで設定します。

アプリケーション情報

デジタル積分モードで推奨されるタイミング

デジタル積分モードのタイミングを設定する際には、信号が安定するまで時間が経ってから ADC サンプルを取得できるように ADC サンプル位置を決めることが重要です。フォト・ダイオードの容量と TIA セットリング時間が入力信号のセットリング時間に影響を与えます。

自動周辺光除去がオンになっている (AMBIENT\_CANCELLATION\_x が 1 (01) または 2 (10) の 10 進法に設定されている) 場合、周辺光除去ループをイネーブリングするには、各タイム・スロットの開始時に一定の時間が必要です。このループのスタートアップ時間は 18μs で、このループの動作時間は 30μs です。

TIA のセットリングを高速化するには、TIA\_SAT\_DET 内部ブロックがオンになっている必要があります。TIA のセットリングを高速化することで、TIA が短時間で通常の動作状態に入ることが容易になり、自動周辺光除去ループをより正確なものにすることができます。

周辺光除去ループが終了したら、暗データの最初の ADC サンプルをイネーブリングできます。DARK1\_OFFSET\_x の設定値は、周辺光除去ループの動作時間 (48μs) 以上であることが必要です。

図 24 に、ADC サンプルング・エッジの適切な配置例を示します。

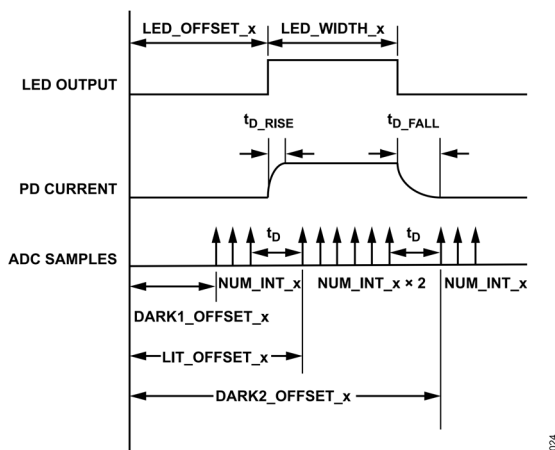


図 24. デジタル積分モードにおける ADC サンプルング・エッジの適切位置

自動周辺光除去ループ終了後の DARK1\_OFFSET\_x の推奨設定値は、48μs です。自動周辺光除去をオンにしない場合は 10μs です。

図 24 に示すように、LED およびフォト・ダイオードを含む様々な光学デバイスは応答時間が異なります。tD\_RISE はフォト・ダイオード電流の立上がり時間、tD\_FALL はフォト・ダイオード電流の立下がり時間、tD は tD\_RISE と tD\_FALL のいずれか大きいほうです。

タイミングを計算するには、次式を参照してください。

$$LED\_OFFSET\_x = DARK1\_OFFSET\_x + (NUM\_INT\_x + t_D - t_{D\_RISE}) \tag{4}$$

$$LIT\_OFFSET\_x = LED\_OFFSET\_x + t_{D\_RISE} \tag{5}$$

$$DARK2\_OFFSET\_x = LED\_OFFSET\_x + LED\_WIDTH\_x + t_D \tag{6}$$

これらの値は、最終アプリケーションに合わせて決定する必要があります。これらの設定は、2 領域のデジタル積分モードにのみ適用されます。

表 14. 2 領域のデジタル積分モード用の経験値

Optical Device	Green (μs)	Red (μs)	Infrared (μs)
LED_WIDTH_x	24	24	36
PERIOD_x	58	60	138
NUM_INT_x	10	9	13
LED_OFFSET_x	60	59	91
LIT_OFFSET_x	64	65	101
DARK1_OFFSET_x	48	48	48
DARK2_OFFSET_x	90	91	167
tD_RISE	4	6	10
tD_FALL	6	8	40

サンプリング・シーケンスの最適化

この経験値が測定に適さない場合は、サンプリング・シーケンスを最適化します。

曲線を掃引するには次のリファレンス法を参照してください (この例は、暗環境での TSA チャンネル 1 を基本としています)。

- 以下の設定を有効にします。
  - ▶ 1 領域のデジタル積分モード
  - ▶ 1× TIA 構成
  - ▶ AFE\_TRIM\_VREF\_A = 3
  - ▶ AMBIENT\_CANCELLATION\_A = 0
  - ▶ NUM\_INT\_A = 1
  - ▶ NUM\_REPEAT\_A = 1
  - ▶ DARK1\_OFFSET\_A = 10
  - ▶ LED\_OFFSET\_A = 20
  - ▶ LED\_WIDTH\_A = 80
  - ▶ LIT\_OFFSET\_A = 130
  - ▶ MIN\_PERIOD\_A = 160
- 光学デバイスをパワー・オンし、TSA チャンネル 1 をイネーブリングします。
- 約 100 個の明データを取得 (最初の 10 データは破棄) し平均値を計算します。
- LIT\_OFFSET\_A ビットを 130 から 10 まで掃引し、手順 3 の結果を再現します。
- 明データの平均値と LIT\_OFFSET\_A をプロットします。光学デバイス (例えば OSRAM FIREFLY® CT DBLP31.12) の応答時間を図 25 に示します。

LIT\_OFFSET\_A ビットを変更して明データを収集する場合、データは 16384 未満 (非飽和) です。

## アプリケーション情報

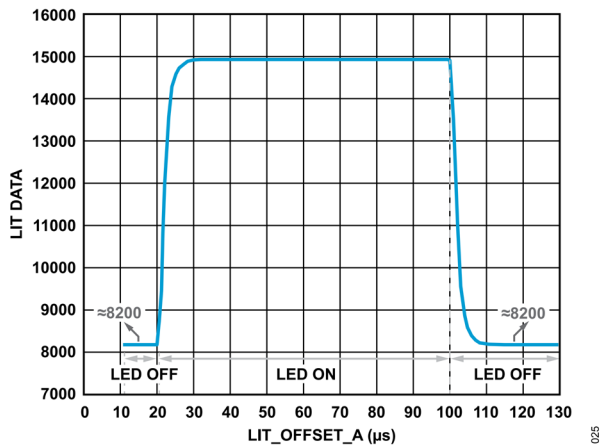


図 25. OSRAM FIREFLY CT DBLP31.12 (緑色 LED) のタイミング

## 設計ガイド

ADPD7008 はバイタル・サインの監視 AFE です。デバイスの性能は、PCB レイアウト、特にアナログ入力インターフェースの PCB レイアウトから悪影響を受けることがあります。

## 電源レール

電源については、 $0.1\mu\text{F}$  以上のセラミック・チップ・コンデンサを AVDD、AVDD3、DVDD、IOVDD の各ピンの近くに配置して、これら電源ピンを PCB グランド・プレーンとデカップリン

グします。すべてのデカップリング・コンデンサは個別のビアを用いて PCB グランド・プレーンに接続し、ビアを共有した場合に生じるデカップリングした電源間の相互インピーダンス・カップリングを防止することを推奨します。

## 光学チャンネル

PPG チャンネルでは、 $1.0\mu\text{F}$  のセラミック・コンデンサを用いて VREF1 ピンおよび VREF2 ピンを PCB グランド・プレーンとデカップリングします。VREF1 ピンおよび VREF2 ピンの電圧は公称  $1.2\text{V}$  です。そのため、ここでの目的には、 $6.3\text{V}$  定格のセラミック・コンデンサが適しています。ADPD7008 の PCB レイアウトで最も重要な要素は、IN1、IN2、IN3、IN4 の各ノードの処理です。フォト・ダイオードの入力はノイズやピンにカップリングした寄生容量の影響を受けやすいため、レイアウトでのフォト・ダイオードの入力パターンはできるだけ短くし、またグラウンド・プレーンによって完全に保護されるようにすることを推奨します。

例えば、6 層スタックの設計の場合、チップは最上層に配置し、光学部品は最下層に配置します。そのため、最上層の IN1、IN2、IN3、IN4 のパターン長は短くして、寄生成分の影響を回避することを推奨します。最下層では、IN1、IN2、IN3、IN4 の各パターンとフォト・ダイオードのアノードは、グラウンドの形状とパターンで完全に保護します。VC1 およびフォト・ダイオードのカソードも、グラウンド・プレーンで保護します。第 5 層はリファレンス用グラウンド・プレーンで占められます。アナログ入力信号は、他のデジタル信号やノイズの多い信号から遠ざけてください。

## レジスタの一覧

表 15. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	FIFO_STATUS	[15:8]	CLEAR_FIFO	INT_FIFO_UFLOW	INT_FIFO_OFLOW	INT_FIFO_TH	FIFO_INIT_DONE_STATUS	FIFO_BYTE_COUNT[10:8]			0x0000	R/W	
		[7:0]	FIFO_BYTE_COUNT[7:0]										
0x001	INT_STAT_US_TS1	[15:8]	RESERVED				INT_PPG_L_EV0_L	INT_PPG_L_EV0_K	INT_PPG_L_EV0_J	INT_PPG_L_EV0_I	0x0000	R/W	
		[7:0]	INT_PPG_LEV0_H	INT_PPG_LEV0_G	INT_PPG_LEV0_F	INT_PPG_LEV0_E	INT_PPG_LEV0_D	INT_PPG_LEV0_C	INT_PPG_LEV0_B	INT_PPG_LEV0_A			
0x002	INT_STAT_US_TS2	[15:8]	RESERVED				INT_PPG_L_EV1_L	INT_PPG_L_EV1_K	INT_PPG_L_EV1_J	INT_PPG_L_EV1_I	0x0000	R/W	
		[7:0]	INT_PPG_LEV1_H	INT_PPG_LEV1_G	INT_PPG_LEV1_F	INT_PPG_LEV1_E	INT_PPG_LEV1_D	INT_PPG_LEV1_C	INT_PPG_LEV1_B	INT_PPG_LEV1_A			
0x006	FIFO_TH	[15:8]	RESERVED						FIFO_TH[9:8]			0x000C	R/W
		[7:0]	FIFO_TH[7:0]										
0x007	INT_ACLEAR	[15:8]	INT_ACLEAR_FIFO	RESERVED							0x8000	R/W	
		[7:0]	RESERVED										
0x008	CHIP_ID	[15:8]	VERSION									0x00C6	R
		[7:0]	CHIP_ID										
0x009	OSC32M	[15:8]	RESERVED							OSC_32M_EFUSE_CTL	0x0080	R/W	
		[7:0]	OSC_32M_FREQ_ADJ										
0x00A	OSC32M_CAL	[15:8]	OSC_32M_CAL_START	OSC_32M_CAL_COUNT[14:8]								0x0000	R/W
		[7:0]	OSC_32M_CAL_COUNT[7:0]										
0x00B	OSC960K	[15:8]	CAPTURE_TIMESTAMP	RESERVED			OSC_960K_EFUSE_CTL	OSC_CAL_ENABLE	OSC_960K_FREQ_ADJ[9:8]		0x0AB2	R/W	
		[7:0]	OSC_960K_FREQ_ADJ[7:0]										
0x00D	TS_FREQ	[15:8]	TIMESLOT_PERIOD_L[15:8]									0x2580	R/W
		[7:0]	TIMESLOT_PERIOD_L[7:0]										
0x00E	TS_FREQ_H	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED	TIMESLOT_PERIOD_H									
0x00F	SYS_CTL	[15:8]	SW_RESET	RESERVED			LEAD_ON_MODE	ALT_CLOCKS			0x0000	R/W	
		[7:0]	ALT_CLK_GPIO		LP_MODE_SLEEP	GO_SLEEP	RANDOM_SLEEP	TM_CLK_GPIO_SEL	OSC_960K_EN	RESERVED			
0x010	OPMODE	[15:8]	RESERVED									0x0000	R/W
		[7:0]	PPG_TIMESLOT_EN				RESERVED		OP_MODE				
0x011	STAMP_L	[15:8]	TIMESTAMP_COUNT_L[15:8]									0x0000	R
		[7:0]	TIMESTAMP_COUNT_L[7:0]										
0x012	STAMP_H	[15:8]	TIMESTAMP_COUNT_H[15:8]									0x0000	R
		[7:0]	TIMESTAMP_COUNT_H[7:0]										
0x013	STAMPDELTA	[15:8]	TIMESTAMP_SLOT_DELTA[15:8]									0x0000	R
		[7:0]	TIMESTAMP_SLOT_DELTA[7:0]										

レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x014	INT_ENABLE_XD	[15:8]	INTX_EN_FIFO_TH	INTX_EN_FIFU_FLOW	INTX_EN_FIFU_FLOW	RESERVED				0x0000	R/W		
		[7:0]	RESERVED										
0x015	INT_ENABLE_YD	[15:8]	INTY_EN_FIFO_TH	INTY_EN_FIFU_FLOW	INTY_EN_FIFU_FLOW	RESERVED				0x0000	R/W		
		[7:0]	RESERVED										
0x01E	FIFO_STATUS_BYTES	[15:8]	RESERVED							ENA_STAT_LEVX	0x0100	R/W	
		[7:0]	ENA_STAT_LEV1	ENA_STAT_LEV0	ENA_SEQ_NUM	RESERVED							
0x020	INPUT_SLEEEP	[15:8]	RESERVED									0x0000	R/W
		[7:0]	INP_SLEEP_34				INP_SLEEP_12						
0x021	INPUT_CFG	[15:8]	RESERVED									0x0000	R/W
		[7:0]	RESERVED			VC1_SLEEP		RESERVED		PAIR34	PAIR12		
0x022	GPIO_CFG	[15:8]	GPIO_SLEW		GPIO_DRV		RESERVED			GPIO_PIN_CFG2, Bit 2	0x0000	R/W	
		[7:0]	GPIO_PIN_CFG2[1:0]		GPIO_PIN_CFG1			GPIO_PIN_CFG0					
0x023	GPIO01	[15:8]	GPIOOUT1									0x0000	R/W
		[7:0]	GPIOOUT0										
0x025	GPIO_IN	[15:8]	RESERVED									0x0000	R
		[7:0]	RESERVED				GPIO_INPUT						
0x026	GPIO_EXT	[15:8]	RESERVED								GOUT_SLEEP	0x0000	R/W
		[7:0]	TIMESTAMP_INV	TIMESTAMP_ALWAYS_EN	TIMESTAMP_GPIO		RESERVED	EXT_SYNC_EN	EXT_SYNC_GPIO				
0x02F	FIFO_DATA	[15:8]	FIFO_DATA[15:8]									0x0000	R
		[7:0]	FIFO_DATA[7:0]										
0x044	EFUSE	[15:8]	EFUSE_REFRESH	RESERVED								0x0005	R/W
		[7:0]	RESERVED					EFUSE_EN		EFUSE_REG_EN			
0x057	IO_ADJUST	[15:8]	RESERVED									0x0050	R/W
		[7:0]	RESERVED	LOW_IOWD_EN	RESERVED		SPI_SLEW		SPI_DRV				
0x120	TS_CTRL_A	[15:8]	RESERVED		SAMPLE_TYPE_A			RESERVED	TIMESLOT_OFFSET_A[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_A[7:0]										
0x121	TS_PATH_A	[15:8]	PRE_WIDTH_A			AMBIENT_CANCELLATION_A		GOUT_A	RESERVED		0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_A									
0x122	INPUTS_A	[15:8]	INP4_SEL_A		INP3_SEL_A		INP2_SEL_A		INP1_SEL_A		0x0000	R/W	
		[7:0]	INP34_A				INP12_A						
0x123	CATHODE_A	[15:8]	RESERVED	PRECON_A			RESERVED		AFE_VREF_AMB_SEL_A		0x0200	R/W	



## レジスタの一覧

表 15. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x124	AFE_TRIM1_A	[7:0]	VC1_AMB_SEL_A		VC1_PULSE_A		VC1_ALT_A		VC1_SEL_A			0x02C9	R/W
		[15:8]	AFE_TIA_SAT_DETECT_EN_A	RESERVED			AFE_BUFFER_GAIN_A		VREF_PULSE_A	AFE_TRIM_VREF_A			
0x125	AFE_TRIM2_A	[7:0]	VREF_PULSE_VAL_A		TIA_GAIN_CH2_A			TIA_GAIN_CH1_A			0x0000	R/W	
		[15:8]	RESERVED			AFE_BUFFER_CAP_A	RESERVED						
0x126	AFE_DAC1_A	[7:0]	RESERVED			TIA_GAIN_CH4_A			TIA_GAIN_CH3_A			0x0000	R/W
		[15:8]	DAC_AMBIENT_CH1_A[8:1]										
0x127	AFE_DAC2_A	[7:0]	DAC_AMBIENT_CH1_A, Bit 0	DAC_LED_DC_CH1_A						0x0000	R/W		
		[15:8]	DAC_AMBIENT_CH2_A[8:1]										
0x128	LED_POWER12_A	[7:0]	DAC_AMBIENT_CH2_A, Bit 0	DAC_LED_DC_CH2_A						0x0000	R/W		
		[15:8]	RESERVED	LED_CURRENT2_A									
0x129	LED_MODE_A	[7:0]	RESERVED	LED_CURRENT1_A						0x0000	R/W		
		[15:8]	RESERVED										
0x12A	COUNTS_A	[7:0]	LED_DRIVESIDE2_A	LED_DRIVESIDE1_A		RESERVED		LED_MODE2_A	LED_MODE1_A		0x0101	R/W	
		[15:8]	NUM_INT_A										
0x12B	PERIOD_A	[7:0]	NUM_REPEAT_A						0x0000	R/W			
		[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_A	MOD_TYPE_A		RESERVED				MIN_PERIOD_A[9:8]		
0x12C	LED_PULSE1_A	[7:0]	MIN_PERIOD_A[7:0]						0x0210	R/W			
		[15:8]	LED_WIDTH_A										
0x12D	AFE_DAC3_A	[7:0]	LED_OFFSET_A						0x0000	R/W			
		[15:8]	DAC_AMBIENT_CH3_A[8:1]										
0x12E	AFE_DAC4_A	[7:0]	DAC_AMBIENT_CH3_A, Bit 0	DAC_LED_DC_CH3_A						0x0000	R/W		
		[15:8]	DAC_AMBIENT_CH4_A[8:1]										
0x12F	THRESHOLD_A	[7:0]	DAC_AMBIENT_CH4_A, Bit 0	DAC_LED_DC_CH4_A						0x0000	R/W		
		[15:8]	RESERVED			THRESHOLD_SHIFT_A							
0x130	MOD_PULSE_A	[7:0]	THRESHOLD_VALUE_A						0x0001	R/W			
		[15:8]	MOD_WIDTH_A										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
		[7:0]	MOD_OFFSET_A										
0x131	PATTERN_1_A	[15:8]	LED_DISABLE_A			MOD_DISABLE_A					0x0000	R/W	
		[7:0]	SUBTRACT_A			AFE_SWAP_A							
0x132	THRESH_CFG_A	[15:8]	RESERVED					THRESH1_DIR_A	THRESH1_TYPE_A		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_A	THRESH0_TYPE_A				
0x133	ADC_OFF_1_A	[15:8]	RESERVED	CH1_ADC_ADJUST_A[13:8]							0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_A[7:0]										
0x134	ADC_OFF_2_A	[15:8]	RESERVED	CH2_ADC_ADJUST_A[13:8]							0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_A[7:0]										
0x135	DATA1_A	[15:8]	DARK_SHIFT_A				DARK_SIZE_A				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_A				SIGNAL_SIZE_A						
0x136	DATA2_A	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_A				LIT_SIZE_A						
0x137	DECIMATE_A	[15:8]	CHANNEL_EN_A	RESERVED			SUBSAMPLE_RATIO_A[6:4]			0x0010	R/W		
		[7:0]	SUBSAMPLE_RATIO_A[3:0]			RESERVED							
0x138	DIGINT_LIT_A	[15:8]	RESERVED								LIT_OFFSET_A, Bit 8	0x0026	R/W
		[7:0]	LIT_OFFSET_A[7:0]										
0x139	DIGINT_DARK_A	[15:8]	DARK2_OFFSET_A[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_A, Bit 0	DARK1_OFFSET_A									
0x13A	ADC_OFF_3_A	[15:8]	RESERVED	CH3_ADC_ADJUST_A[13:8]							0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_A[7:0]										
0x13B	ADC_OFF_4_A	[15:8]	RESERVED	CH4_ADC_ADJUST_A[13:8]							0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_A[7:0]										
0x13C	THRESH1_A	[15:8]	RESERVED			THRESH1_SHIFT_A					0x0000	R/W	
		[7:0]	THRESH1_VALUE_A										
0x140	TS_CTRL_B	[15:8]	RESERVED	SAMPLE_TYPE_B			RESERVED	TIMESLOT_OFFSET_B[9:8]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_B[7:0]										
0x141	TS_PATH_B	[15:8]	PRE_WIDTH_B				AMBIENT_CANCELLATION_B		GOUT_B	RESERVED	0x4020	R/W	
		[7:0]	RESERVED	AFE_PATH_CFG_B									
0x142	INPUTS_B	[15:8]	INP4_SEL_B		INP3_SEL_B		INP2_SEL_B		INP1_SEL_B		0x0000	R/W	
		[7:0]	INP34_B				INP12_B						
0x143	CATHODE_B	[15:8]	RESERVED	PRECON_B			RESERVED		AFE_VREF_AMB_SEL_B		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_B		VC1_PULSE_B		VC1_ALT_B		VC1_SEL_B				

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x144	AFE_TRIM_1_B	[15:8]	AFE_TIA_SAT_DETECT_EN_B	RESERVED		AFE_BUFFER_GAIN_B		VREF_PULSE_B	AFE_TRIM_VREF_B		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_B		TIA_GAIN_CH2_B		TIA_GAIN_CH1_B						
0x145	AFE_TRIM_2_B	[15:8]	RESERVED			AFE_BUFFER_CAP_B	RESERVED			0x0000	R/W		
		[7:0]	RESERVED		TIA_GAIN_CH4_B		TIA_GAIN_CH3_B						
0x146	AFE_DAC_1_B	[15:8]	DAC_AMBIENT_CH1_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_B, Bit 0	DAC_LED_DC_CH1_B									
0x147	AFE_DAC_2_B	[15:8]	DAC_AMBIENT_CH2_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_B, Bit 0	DAC_LED_DC_CH2_B									
0x148	LED_POW_12_B	[15:8]	RESERVED	LED_CURRENT2_B								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_B									
0x149	LED_MODE_B	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_B	LED_DRIVESIDE1_B	RESERVED		LED_MODE_2_B	LED_MODE_1_B					
0x14A	COUNTS_B	[15:8]	NUM_INT_B								0x0101	R/W	
		[7:0]	NUM_REPEAT_B										
0x14B	PERIOD_B	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_B	MOD_TYPE_B		RESERVED		MIN_PERIOD_B[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_B[7:0]										
0x14C	LED_PULSE1_B	[15:8]	LED_WIDTH_B								0x0210	R/W	
		[7:0]	LED_OFFSET_B										
0x14D	AFE_DAC_3_B	[15:8]	DAC_AMBIENT_CH3_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_B, Bit 0	DAC_LED_DC_CH3_B									
0x14E	AFE_DAC_4_B	[15:8]	DAC_AMBIENT_CH4_B[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_B, Bit 0	DAC_LED_DC_CH4_B									
0x14F	THRESH0_B	[15:8]	RESERVED			THRESH0_SHIFT_B					0x0000	R/W	
		[7:0]	THRESH0_VALUE_B										
0x150	MOD_PULSE_B	[15:8]	MOD_WIDTH_B								0x0001	R/W	
		[7:0]	MOD_OFFSET_B										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x151	PATTERN_1_B	[15:8]	LED_DISABLE_B				MOD_DISABLE_B				0x0000	R/W		
		[7:0]	SUBTRACT_B				AFE_SWAP_B							
0x152	THRESH_CFG_B	[15:8]	RESERVED					THRESH1_DIR_B	THRESH1_TYPE_B		0x0000	R/W		
		[7:0]	RESERVED					THRESH0_DIR_B	THRESH0_TYPE_B					
0x153	ADC_OFF_1_B	[15:8]	RESERVED		CH1_ADC_ADJUST_B[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_B[7:0]											
0x154	ADC_OFF_2_B	[15:8]	RESERVED		CH2_ADC_ADJUST_B[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_B[7:0]											
0x155	DATA1_B	[15:8]	DARK_SHIFT_B				DARK_SIZE_B				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_B				SIGNAL_SIZE_B							
0x156	DATA2_B	[15:8]	RESERVED						RESERVED				0x0000	R/W
		[7:0]	LIT_SHIFT_B				LIT_SIZE_B							
0x157	DECIMATE_B	[15:8]	CHANNEL_EN_B		RESERVED			SUBSAMPLE_RATIO_B[6:4]				0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_B[3:0]				RESERVED							
0x158	DIGINT_LIT_B	[15:8]	RESERVED						LIT_OFFSET_B, Bit 8		0x0026	R/W		
		[7:0]	LIT_OFFSET_B[7:0]											
0x159	DIGINT_DARK_B	[15:8]	DARK2_OFFSET_B[8:1]						RESERVED				0x0086	R/W
		[7:0]	DARK2_OFFSET_B, Bit 0	DARK1_OFFSET_B										
0x15A	ADC_OFF_3_B	[15:8]	RESERVED		CH3_ADC_ADJUST_B[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_B[7:0]											
0x15B	ADC_OFF_4_B	[15:8]	RESERVED		CH4_ADC_ADJUST_B[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_B[7:0]											
0x15C	THRESH1_B	[15:8]	RESERVED			THRESH1_SHIFT_B						0x0000	R/W	
		[7:0]	THRESH1_VALUE_B											
0x160	TS_CTRL_C	[15:8]	RESERVED		SAMPLE_TYPE_C			RESERVED	TIMESLOT_OFFSET_C[9:8]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_C[7:0]											
0x161	TS_PATH_C	[15:8]	PRE_WIDTH_C				AMBIENT_CANCELLATION_C		GOUT_C	RESERVED			0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_C										
0x162	INPUTS_C	[15:8]	INP4_SEL_C		INP3_SEL_C		INP2_SEL_C		INP1_SEL_C			0x0000	R/W	
		[7:0]	INP34_C				INP12_C							
0x163	CATHODE_C	[15:8]	RESERVED	PRECON_C			RESERVED		AFE_VREF_AMB_SEL_C			0x0200	R/W	
		[7:0]	VC1_AMB_SEL_C		VC1_PULSE_C		VC1_ALT_C		VC1_SEL_C					

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x164	AFE_TRIM_1_C	[15:8]	AFE_TIA_SAT_DETECT_EN_C	RESERVED		AFE_BUFFER_GAIN_C		VREF_PULSE_C		AFE_TRIM_VREF_C	0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_C			TIA_GAIN_CH2_C		TIA_GAIN_CH1_C					
0x165	AFE_TRIM_2_C	[15:8]	RESERVED			AFE_BUFFER_CAP_C		RESERVED			0x0000	R/W	
		[7:0]	RESERVED			TIA_GAIN_CH4_C		TIA_GAIN_CH3_C					
0x166	AFE_DAC_1_C	[15:8]	DAC_AMBIENT_CH1_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_C, Bit 0	DAC_LED_DC_CH1_C									
0x167	AFE_DAC_2_C	[15:8]	DAC_AMBIENT_CH2_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_C, Bit 0	DAC_LED_DC_CH2_C									
0x168	LED_POW_12_C	[15:8]	RESERVED	LED_CURRENT2_C								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_C									
0x169	LED_MODE_C	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_C	LED_DRIVESIDE1_C	RESERVED			LED_MODE_2_C	LED_MODE_1_C				
0x16A	COUNTS_C	[15:8]	NUM_INT_C								0x0101	R/W	
		[7:0]	NUM_REPEAT_C										
0x16B	PERIOD_C	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_C	MOD_TYPE_C	RESERVED			MIN_PERIOD_C[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_C[7:0]										
0x16C	LED_PULSE1_C	[15:8]	LED_WIDTH_C								0x0210	R/W	
		[7:0]	LED_OFFSET_C										
0x16D	AFE_DAC_3_C	[15:8]	DAC_AMBIENT_CH3_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_C, Bit 0	DAC_LED_DC_CH3_C									
0x16E	AFE_DAC_4_C	[15:8]	DAC_AMBIENT_CH4_C[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_C, Bit 0	DAC_LED_DC_CH4_C									
0x16F	THRESH0_C	[15:8]	RESERVED			THRESH0_SHIFT_C					0x0000	R/W	
		[7:0]	THRESH0_VALUE_C										
0x170	MOD_PULSE_C	[15:8]	MOD_WIDTH_C								0x0001	R/W	
		[7:0]	MOD_OFFSET_C										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x171	PATTERN_1_C	[15:8]	LED_DISABLE_C			MOD_DISABLE_C					0x0000	R/W	
		[7:0]	SUBTRACT_C			AFE_SWAP_C							
0x172	THRESH_CFG_C	[15:8]	RESERVED				THRESH1_DIR_C	THRESH1_TYPE_C				0x0000	R/W
		[7:0]	RESERVED				THRESH0_DIR_C	THRESH0_TYPE_C					
0x173	ADC_OFF_1_C	[15:8]	RESERVED		CH1_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_C[7:0]										
0x174	ADC_OFF_2_C	[15:8]	RESERVED		CH2_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_C[7:0]										
0x175	DATA1_C	[15:8]	DARK_SHIFT_C			DARK_SIZE_C					0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_C			SIGNAL_SIZE_C							
0x176	DATA2_C	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LIT_SHIFT_C			LIT_SIZE_C							
0x177	DECIMATE_C	[15:8]	CHANNEL_EN_C		RESERVED		SUBSAMPLE_RATIO_C[6:4]					0x0010	R/W
		[7:0]	SUBSAMPLE_RATIO_C[3:0]			RESERVED							
0x178	DIGINT_LIT_C	[15:8]	RESERVED							LIT_OFFSET_C, Bit 8	0x0026	R/W	
		[7:0]	LIT_OFFSET_C[7:0]										
0x179	DIGINT_DARK_C	[15:8]	DARK2_OFFSET_C[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_C, Bit 0	DARK1_OFFSET_C									
0x17A	ADC_OFF_3_C	[15:8]	RESERVED		CH3_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_C[7:0]										
0x17B	ADC_OFF_4_C	[15:8]	RESERVED		CH4_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_C[7:0]										
0x17C	THRESH1_C	[15:8]	RESERVED			THRESH1_SHIFT_C					0x0000	R/W	
		[7:0]	THRESH1_VALUE_C										
0x180	TS_CTRL_D	[15:8]	RESERVED		SAMPLE_TYPE_D		RESERVED	TIMESLOT_OFFSET_D[9:8]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_D[7:0]										
0x181	TS_PATH_D	[15:8]	PRE_WIDTH_D			AMBIENT_CANCELLATION_D		GOUT_D	RESERVED		0x4020	R/W	
		[7:0]	RESERVE_D	AFE_PATH_CFG_D									
0x182	INPUTS_D	[15:8]	INP4_SEL_D		INP3_SEL_D		INP2_SEL_D		INP1_SEL_D		0x0000	R/W	
		[7:0]	INP34_D				INP12_D						
0x183	CATHODE_D	[15:8]	RESERVE_D	PRECON_D			RESERVED		AFE_VREF_AMB_SEL_D		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_D		VC1_PULSE_D		VC1_ALT_D		VC1_SEL_D				

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x184	AFE_TRIM_1_D	[15:8]	AFE_TIA_SAT_DETECT_EN_D	RESERVED		AFE_BUFFER_GAIN_D		VREF_PULSE_D	AFE_TRIM_VREF_D		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_D		TIA_GAIN_CH2_D		TIA_GAIN_CH1_D						
0x185	AFE_TRIM_2_D	[15:8]	RESERVED			AFE_BUFFER_CAP_D	RESERVED			0x0000	R/W		
		[7:0]	RESERVED		TIA_GAIN_CH4_D		TIA_GAIN_CH3_D						
0x186	AFE_DAC_1_D	[15:8]	DAC_AMBIENT_CH1_D[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_D, Bit 0	DAC_LED_DC_CH1_D									
0x187	AFE_DAC_2_D	[15:8]	DAC_AMBIENT_CH2_D[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_D, Bit 0	DAC_LED_DC_CH2_D									
0x188	LED_POWER_12_D	[15:8]	RESERVED	LED_CURRENT2_D								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_D									
0x189	LED_MODE_D	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_D	LED_DRIVESIDE1_D	RESERVED		LED_MODE_2_D	LED_MODE_1_D					
0x18A	COUNTS_D	[15:8]	NUM_INT_D								0x0101	R/W	
		[7:0]	NUM_REPEAT_D										
0x18B	PERIOD_D	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_D	MOD_TYPE_D	RESERVED		MIN_PERIOD_D[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_D[7:0]										
0x18C	LED_PULSE1_D	[15:8]	LED_WIDTH_D								0x0210	R/W	
		[7:0]	LED_OFFSET_D										
0x18D	AFE_DAC_3_D	[15:8]	DAC_AMBIENT_CH3_D[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_D, Bit 0	DAC_LED_DC_CH3_D									
0x18E	AFE_DAC_4_D	[15:8]	DAC_AMBIENT_CH4_D[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_D, Bit 0	DAC_LED_DC_CH4_D									
0x18F	THRESHOLD_D	[15:8]	RESERVED			THRESHOLD_SHIFT_D					0x0000	R/W	
		[7:0]	THRESHOLD_VALUE_D										
0x190	MOD_PULSE_D	[15:8]	MOD_WIDTH_D								0x0001	R/W	
		[7:0]	MOD_OFFSET_D										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x191	PATTERN_1_D	[15:8]	LED_DISABLE_D				MOD_DISABLE_D				0x0000	R/W		
		[7:0]	SUBTRACT_D				AFE_SWAP_D							
0x192	THRESH_CFG_D	[15:8]	RESERVED					THRESH1_DIR_D	THRESH1_TYPE_D		0x0000	R/W		
		[7:0]	RESERVED					THRESH0_DIR_D	THRESH0_TYPE_D					
0x193	ADC_OFF_1_D	[15:8]	RESERVED		CH1_ADC_ADJUST_D[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_D[7:0]											
0x194	ADC_OFF_2_D	[15:8]	RESERVED		CH2_ADC_ADJUST_D[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_D[7:0]											
0x195	DATA1_D	[15:8]	DARK_SHIFT_D				DARK_SIZE_D				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_D				SIGNAL_SIZE_D							
0x196	DATA2_D	[15:8]	RESERVED						RESERVED				0x0000	R/W
		[7:0]	LIT_SHIFT_D				LIT_SIZE_D							
0x197	DECIMATE_D	[15:8]	CHANNEL_EN_D		RESERVED			SUBSAMPLE_RATIO_D[6:4]			0x0010	R/W		
		[7:0]	SUBSAMPLE_RATIO_D[3:0]				RESERVED							
0x198	DIGINT_LIT_D	[15:8]	RESERVED						LIT_OFFSET_D, Bit 8		0x0026	R/W		
		[7:0]	LIT_OFFSET_D[7:0]											
0x199	DIGINT_DARK_D	[15:8]	DARK2_OFFSET_D[8:1]						RESERVED				0x0086	R/W
		[7:0]	DARK2_OFFSET_D, Bit 0	DARK1_OFFSET_D										
0x19A	ADC_OFF_3_D	[15:8]	RESERVED		CH3_ADC_ADJUST_D[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_D[7:0]											
0x19B	ADC_OFF_4_D	[15:8]	RESERVED		CH4_ADC_ADJUST_D[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_D[7:0]											
0x19C	THRESH1_D	[15:8]	RESERVED			THRESH1_SHIFT_D						0x0000	R/W	
		[7:0]	THRESH1_VALUE_D											
0x1A0	TS_CTRL_E	[15:8]	RESERVED		SAMPLE_TYPE_E			RESERVED	TIMESLOT_OFFSET_E[9:8]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_E[7:0]											
0x1A1	TS_PATH_E	[15:8]	PRE_WIDTH_E				AMBIENT_CANCELLATION_E		GOUT_E	RESERVED			0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_E										
0x1A2	INPUTS_E	[15:8]	INP4_SEL_E		INP3_SEL_E		INP2_SEL_E		INP1_SEL_E			0x0000	R/W	
		[7:0]	INP34_E				INP12_E							
0x1A3	CATHODE_E	[15:8]	RESERVED	PRECON_E			RESERVED		AFE_VREF_AMB_SEL_E			0x0200	R/W	
		[7:0]	VC1_AMB_SEL_E		VC1_PULSE_E		VC1_ALT_E		VC1_SEL_E					



## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1A4	AFE_TRIM1_E	[15:8]	AFE_TIA_SAT_DETECT_EN_E	RESERVED		AFE_BUFFER_GAIN_E		VREF_PULSE_E	AFE_TRIM_VREF_E		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_E		TIA_GAIN_CH2_E		TIA_GAIN_CH1_E						
0x1A5	AFE_TRIM2_E	[15:8]	RESERVED			AFE_BUFFER_CAP_E	RESERVED					0x0000	R/W
		[7:0]	RESERVED		TIA_GAIN_CH4_E		TIA_GAIN_CH3_E						
0x1A6	AFE_DAC1_E	[15:8]	DAC_AMBIENT_CH1_E[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_E, Bit 0	DAC_LED_DC_CH1_E									
0x1A7	AFE_DAC2_E	[15:8]	DAC_AMBIENT_CH2_E[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_E, Bit 0	DAC_LED_DC_CH2_E									
0x1A8	LED_POW12_E	[15:8]	RESERVED	LED_CURRENT2_E								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_E									
0x1A9	LED_MODE_E	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LED_DRIVESIDE2_E	LED_DRIVESIDE1_E	RESERVED		LED_MODE2_E	LED_MODE1_E					
0x1AA	COUNTS_E	[15:8]	NUM_INT_E									0x0101	R/W
		[7:0]	NUM_REPEAT_E										
0x1AB	PERIOD_E	[15:8]	RESERVED	COARSE_LOOP_WIDTH_E	MOD_TYPE_E		RESERVED		MIN_PERIOD_E[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_E[7:0]										
0x1AC	LED_PULSE1_E	[15:8]	LED_WIDTH_E									0x0210	R/W
		[7:0]	LED_OFFSET_E										
0x1AD	AFE_DAC3_E	[15:8]	DAC_AMBIENT_CH3_E[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_E, Bit 0	DAC_LED_DC_CH3_E									
0x1AE	AFE_DAC4_E	[15:8]	DAC_AMBIENT_CH4_E[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_E, Bit 0	DAC_LED_DC_CH4_E									
0x1AF	THRESH0_E	[15:8]	RESERVED			THRESH0_SHIFT_E						0x0000	R/W
		[7:0]	THRESH0_VALUE_E										
0x1B0	MOD_PULSE_E	[15:8]	MOD_WIDTH_E									0x0001	R/W
		[7:0]	MOD_OFFSET_E										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1B1	PATTERN1_E	[15:8]	LED_DISABLE_E				MOD_DISABLE_E				0x0000	R/W	
		[7:0]	SUBTRACT_E				AFE_SWAP_E						
0x1B2	THRESH_CFG_E	[15:8]	RESERVED					THRESH1_DIR_E	THRESH1_TYPE_E		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_E	THRESH0_TYPE_E				
0x1B3	ADC_OFF1_E	[15:8]	RESERVED		CH1_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_E[7:0]										
0x1B4	ADC_OFF2_E	[15:8]	RESERVED		CH2_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_E[7:0]										
0x1B5	DATA1_E	[15:8]	DARK_SHIFT_E				DARK_SIZE_E				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_E				SIGNAL_SIZE_E						
0x1B6	DATA2_E	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LIT_SHIFT_E				LIT_SIZE_E						
0x1B7	DECIMATE_E	[15:8]	CHANNEL_EN_E		RESERVED			SUBSAMPLE_RATIO_E[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_E[3:0]			RESERVED							
0x1B8	DIGINT_LIT_E	[15:8]	RESERVED						LIT_OFFSET_E, Bit 8		0x0026	R/W	
		[7:0]	LIT_OFFSET_E[7:0]										
0x1B9	DIGINT_DARK_E	[15:8]	DARK2_OFFSET_E[8:1]								0x0086	R/W	
		[7:0]	DARK2_OFFSET_E, Bit 0	DARK1_OFFSET_E									
0x1BA	ADC_OFF3_E	[15:8]	RESERVED		CH3_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_E[7:0]										
0x1BB	ADC_OFF4_E	[15:8]	RESERVED		CH4_ADC_ADJUST_E[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_E[7:0]										
0x1BC	THRESH1_E	[15:8]	RESERVED			THRESH1_SHIFT_E						0x0000	R/W
		[7:0]	THRESH1_VALUE_E										
0x1C0	TS_CTRL_F	[15:8]	RESERVED		SAMPLE_TYPE_F			RESERVED	TIMESLOT_OFFSET_F[9:8]			0x1000	R/W
		[7:0]	TIMESLOT_OFFSET_F[7:0]										
0x1C1	TS_PATH_F	[15:8]	PRE_WIDTH_F				AMBIENT_CANCELLATION_F		GOUT_F	RESERVED		0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_F									
0x1C2	INPUTS_F	[15:8]	INP4_SEL_F		INP3_SEL_F		INP2_SEL_F		INP1_SEL_F		0x0000	R/W	
		[7:0]	INP34_F				INP12_F						
0x1C3	CATHODE_F	[15:8]	RESERVED	PRECON_F			RESERVED		AFE_VREF_AMB_SEL_F		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_F		VC1_PULSE_F		VC1_ALT_F		VC1_SEL_F				

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1C4	AFE_TRIM1_F	[15:8]	AFE_TIA_SAT_DETECT_EN_F	RESERVED		AFE_BUFFER_GAIN_F		VREF_PULSE_F	AFE_TRIM_VREF_F		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_F		TIA_GAIN_CH2_F		TIA_GAIN_CH1_F						
0x1C5	AFE_TRIM2_F	[15:8]	RESERVED			AFE_BUFFER_CAP_F	RESERVED					0x0000	R/W
		[7:0]	RESERVED		TIA_GAIN_CH4_F		TIA_GAIN_CH3_F						
0x1C6	AFE_DAC1_F	[15:8]	DAC_AMBIENT_CH1_F[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_F, Bit 0	DAC_LED_DC_CH1_F									
0x1C7	AFE_DAC2_F	[15:8]	DAC_AMBIENT_CH2_F[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_F, Bit 0	DAC_LED_DC_CH2_F									
0x1C8	LED_POW12_F	[15:8]	RESERVED	LED_CURRENT2_F								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_F									
0x1C9	LED_MODE_F	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LED_DRIVESIDE2_F	LED_DRIVESIDE1_F	RESERVED		LED_MODE2_F	LED_MODE1_F					
0x1CA	COUNTS_F	[15:8]	NUM_INT_F									0x0101	R/W
		[7:0]	NUM_REPEAT_F										
0x1CB	PERIOD_F	[15:8]	RESERVED	COARSE_LOOP_WIDTH_F	MOD_TYPE_F	RESERVED		MIN_PERIOD_F[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_F[7:0]										
0x1CC	LED_PULSE1_F	[15:8]	LED_WIDTH_F									0x0210	R/W
		[7:0]	LED_OFFSET_F										
0x1CD	AFE_DAC3_F	[15:8]	DAC_AMBIENT_CH3_F[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_F, Bit 0	DAC_LED_DC_CH3_F									
0x1CE	AFE_DAC4_F	[15:8]	DAC_AMBIENT_CH4_F[8:1]									0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_F, Bit 0	DAC_LED_DC_CH4_F									
0x1CF	THRESH0_F	[15:8]	RESERVED			THRESH0_SHIFT_F					0x0000	R/W	
		[7:0]	THRESH0_VALUE_F										
0x1D0	MOD_PULSE_F	[15:8]	MOD_WIDTH_F									0x0001	R/W
		[7:0]	MOD_OFFSET_F										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x1D1	PATTERN_1_F	[15:8]	LED_DISABLE_F				MOD_DISABLE_F				0x0000	R/W		
		[7:0]	SUBTRACT_F				AFE_SWAP_F							
0x1D2	THRESH_CFG_F	[15:8]	RESERVED					THRESH1_DIR_F	THRESH1_TYPE_F		0x0000	R/W		
		[7:0]	RESERVED					THRESH0_DIR_F	THRESH0_TYPE_F					
0x1D3	ADC_OFF_1_F	[15:8]	RESERVED		CH1_ADC_ADJUST_F[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_F[7:0]											
0x1D4	ADC_OFF_2_F	[15:8]	RESERVED		CH2_ADC_ADJUST_F[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_F[7:0]											
0x1D5	DATA1_F	[15:8]	DARK_SHIFT_F				DARK_SIZE_F				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_F				SIGNAL_SIZE_F							
0x1D6	DATA2_F	[15:8]	RESERVED						RESERVED			0x0000	R/W	
		[7:0]	LIT_SHIFT_F						LIT_SIZE_F					
0x1D7	DECIMATE_F	[15:8]	CHANNEL_EN_F		RESERVED			SUBSAMPLE_RATIO_F[6:4]			0x0010	R/W		
		[7:0]	SUBSAMPLE_RATIO_F[3:0]			RESERVED								
0x1D8	DIGINT_LIT_F	[15:8]	RESERVED							LIT_OFFSET_F, Bit 8		0x0026	R/W	
		[7:0]	LIT_OFFSET_F[7:0]											
0x1D9	DIGINT_DARK_F	[15:8]	DARK2_OFFSET_F[8:1]						RESERVED			0x0086	R/W	
		[7:0]	DARK2_OFFSET_F, Bit 0	DARK1_OFFSET_F										
0x1DA	ADC_OFF_3_F	[15:8]	RESERVED		CH3_ADC_ADJUST_F[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_F[7:0]											
0x1DB	ADC_OFF_4_F	[15:8]	RESERVED		CH4_ADC_ADJUST_F[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_F[7:0]											
0x1DC	THRESH1_F	[15:8]	RESERVED			THRESH1_SHIFT_F						0x0000	R/W	
		[7:0]	THRESH1_VALUE_F											
0x1E0	TS_CTRL_G	[15:8]	RESERVED		SAMPLE_TYPE_G			RESERVED	TIMESLOT_OFFSET_G[9:8]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_G[7:0]											
0x1E1	TS_PATH_G	[15:8]	PRE_WIDTH_G				AMBIENT_CANCELLATION_G		GOUT_G	RESERVED			0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_G										
0x1E2	INPUTS_G	[15:8]	INP4_SEL_G		INP3_SEL_G		INP2_SEL_G		INP1_SEL_G			0x0000	R/W	
		[7:0]	INP34_G				INP12_G							
0x1E3	CATHODE_G	[15:8]	RESERVED	PRECON_G			RESERVED		AFE_VREF_AMP_SEL_G			0x0200	R/W	
		[7:0]	VC1_AMP_SEL_G		VC1_PULSE_G		VC1_ALT_G		VC1_SEL_G					

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1E4	AFE_TRIM1_G	[15:8]	AFE_TIA_SAT_DETECT_EN_G	RESERVED		AFE_BUFFER_GAIN_G		VREF_PULSE_G	AFE_TRIM_VREF_G		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_G		TIA_GAIN_CH2_G		TIA_GAIN_CH1_G						
0x1E5	AFE_TRIM2_G	[15:8]	RESERVED		AFE_BUFFER_CAP_G		RESERVED				0x0000	R/W	
		[7:0]	RESERVED		TIA_GAIN_CH4_G		TIA_GAIN_CH3_G						
0x1E6	AFE_DAC1_G	[15:8]	DAC_AMBIENT_CH1_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_G, Bit 0	DAC_LED_DC_CH1_G									
0x1E7	AFE_DAC2_G	[15:8]	DAC_AMBIENT_CH2_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_G, Bit 0	DAC_LED_DC_CH2_G									
0x1E8	LED_POWER12_G	[15:8]	RESERVED	LED_CURRENT2_G								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_G									
0x1E9	LED_MODE_G	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_G	LED_DRIVESIDE1_G	RESERVED		LED_MODE2_G	LED_MODE1_G					
0x1EA	COUNTS_G	[15:8]	NUM_INT_G								0x0101	R/W	
		[7:0]	NUM_REPEAT_G										
0x1EB	PERIOD_G	[15:8]	RESERVED	COARSE_LOOP_WIDTH_G	MOD_TYPE_G		RESERVED		MIN_PERIOD_G[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_G[7:0]										
0x1EC	LED_PULSE1_G	[15:8]	LED_WIDTH_G								0x0210	R/W	
		[7:0]	LED_OFFSET_G										
0x1ED	AFE_DAC3_G	[15:8]	DAC_AMBIENT_CH3_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_G, Bit 0	DAC_LED_DC_CH3_G									
0x1EE	AFE_DAC4_G	[15:8]	DAC_AMBIENT_CH4_G[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_G, Bit 0	DAC_LED_DC_CH4_G									
0x1EF	THRESHOLD_G	[15:8]	RESERVED			THRESHOLD_SHIFT_G					0x0000	R/W	
		[7:0]	THRESHOLD_VALUE_G										
0x1F0	MOD_PULSE_G	[15:8]	MOD_WIDTH_G								0x0001	R/W	
		[7:0]	MOD_OFFSET_G										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x1F1	PATTERN_1_G	[15:8]	LED_DISABLE_G			MOD_DISABLE_G						0x0000	R/W	
		[7:0]	SUBTRACT_G			AFE_SWAP_G								
0x1F2	THRESH_CFG_G	[15:8]	RESERVED					THRESH1_DIR_G	THRESH1_TYPE_G			0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_G	THRESH0_TYPE_G					
0x1F3	ADC_OFF_1_G	[15:8]	RESERVED		CH1_ADC_ADJUST_G[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_G[7:0]											
0x1F4	ADC_OFF_2_G	[15:8]	RESERVED		CH2_ADC_ADJUST_G[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_G[7:0]											
0x1F5	DATA1_G	[15:8]	DARK_SHIFT_G				DARK_SIZE_G				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_G				SIGNAL_SIZE_G							
0x1F6	DATA2_G	[15:8]	RESERVED						RESERVED				0x0000	R/W
		[7:0]	LIT_SHIFT_G				LIT_SIZE_G							
0x1F7	DECIMATE_G	[15:8]	CHANNEL_EN_G		RESERVED			SUBSAMPLE_RATIO_G[6:4]				0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_G[3:0]			RESERVED								
0x1F8	DIGINT_LIT_G	[15:8]	RESERVED						LIT_OFFSET_G[7:0]			0x0026	R/W	
		[7:0]	LIT_OFFSET_G[7:0]						LIT_OFFSET_G[7:0]					
0x1F9	DIGINT_DARK_G	[15:8]	DARK2_OFFSET_G[8:1]						RESERVED				0x0086	R/W
		[7:0]	DARK2_OFFSET_G, Bit 0	DARK1_OFFSET_G										
0x1FA	ADC_OFF_3_G	[15:8]	RESERVED		CH3_ADC_ADJUST_G[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_G[7:0]											
0x1FB	ADC_OFF_4_G	[15:8]	RESERVED		CH4_ADC_ADJUST_G[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_G[7:0]											
0x1FC	THRESH1_G	[15:8]	RESERVED			THRESH1_SHIFT_G						0x0000	R/W	
		[7:0]	THRESH1_VALUE_G											
0x200	TS_CTRL_H	[15:8]	RESERVED		SAMPLE_TYPE_H			RESERVED	TIMESLOT_OFFSET_H[9:8]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_H[7:0]											
0x201	TS_PATH_H	[15:8]	PRE_WIDTH_H				AMBIENT_CANCELLATION_H		GOUT_H	RESERVED			0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_H										
0x202	INPUTS_H	[15:8]	INP4_SEL_H		INP3_SEL_H		INP2_SEL_H		INP1_SEL_H			0x0000	R/W	
		[7:0]	INP34_H				INP12_H							
0x203	CATHODE_H	[15:8]	RESERVED	PRECON_H			RESERVED		AFE_VREF_AMB_SEL_H			0x0200	R/W	
		[7:0]	VC1_AMB_SEL_H		VC1_PULSE_H		VC1_ALT_H		VC1_SEL_H					

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x204	AFE_TRIM1_H	[15:8]	AFE_TIA_SAT_DETECT_EN_H	RESERVED		AFE_BUFFER_GAIN_H		VREF_PULSE_H	AFE_TRIM_VREF_H		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_H		TIA_GAIN_CH2_H		TIA_GAIN_CH1_H						
0x205	AFE_TRIM2_H	[15:8]	RESERVED			AFE_BUFFER_CAP_H	RESERVED			0x0000	R/W		
		[7:0]	RESERVED		TIA_GAIN_CH4_H		TIA_GAIN_CH3_H						
0x206	AFE_DAC1_H	[15:8]	DAC_AMBIENT_CH1_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_H, Bit 0	DAC_LED_DC_CH1_H									
0x207	AFE_DAC2_H	[15:8]	DAC_AMBIENT_CH2_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_H, Bit 0	DAC_LED_DC_CH2_H									
0x208	LED_POW12_H	[15:8]	RESERVED	LED_CURRENT2_H								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_H									
0x209	LED_MODE_H	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_H	LED_DRIVESIDE1_H	RESERVED		LED_MODE2_H	LED_MODE1_H					
0x20A	COUNTS_H	[15:8]	NUM_INT_H								0x0101	R/W	
		[7:0]	NUM_REPEAT_H										
0x20B	PERIOD_H	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H	MOD_TYPE_H	RESERVED		MIN_PERIOD_H[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_H[7:0]										
0x20C	LED_PULSE1_H	[15:8]	LED_WIDTH_H								0x0210	R/W	
		[7:0]	LED_OFFSET_H										
0x20D	AFE_DAC3_H	[15:8]	DAC_AMBIENT_CH3_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_H, Bit 0	DAC_LED_DC_CH3_H									
0x20E	AFE_DAC4_H	[15:8]	DAC_AMBIENT_CH4_H[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_H, Bit 0	DAC_LED_DC_CH4_H									
0x20F	THRESH0_H	[15:8]	RESERVED			THRESH0_SHIFT_H					0x0000	R/W	
		[7:0]	THRESH0_VALUE_H										
0x210	MOD_PULSE_H	[15:8]	MOD_WIDTH_H								0x0001	R/W	
		[7:0]	MOD_OFFSET_H										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x211	PATTERN 1_H	[15:8]	LED_DISABLE_H			MOD_DISABLE_H					0x0000	R/W		
		[7:0]	SUBTRACT_H			AFE_SWAP_H								
0x212	THRESH_ CFG_H	[15:8]	RESERVED				THRESH1_ DIR_H	THRESH1_TYPE_H				0x0000	R/W	
		[7:0]	RESERVED				THRESH0_ DIR_H	THRESH0_TYPE_H						
0x213	ADC_OFF 1_H	[15:8]	RESERVED		CH1_ADC_ADJUST_H[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_H[7:0]											
0x214	ADC_OFF 2_H	[15:8]	RESERVED		CH2_ADC_ADJUST_H[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_H[7:0]											
0x215	DATA1_H	[15:8]	DARK_SHIFT_H				DARK_SIZE_H				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_H				SIGNAL_SIZE_H							
0x216	DATA2_H	[15:8]	RESERVED						LIT_SIZE_H				0x0000	R/W
		[7:0]	LIT_SHIFT_H											
0x217	DECIMAT E_H	[15:8]	CHANNEL_EN_H		RESERVED			SUBSAMPLE_RATIO_H[6:4]				0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_H[3:0]			RESERVED								
0x218	DIGINT_LI T_H	[15:8]	RESERVED							LIT_OFFSE T_H, Bit 8		0x0026	R/W	
		[7:0]	LIT_OFFSET_H[7:0]											
0x219	DIGINT_D ARK_H	[15:8]	DARK2_OFFSET_H, Bit 0						DARK1_OFFSET_H				0x0086	R/W
		[7:0]	DARK2_OFFSET_H, Bit 0											
0x21A	ADC_OFF 3_H	[15:8]	RESERVED		CH3_ADC_ADJUST_H[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_H[7:0]											
0x21B	ADC_OFF 4_H	[15:8]	RESERVED		CH4_ADC_ADJUST_H[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_H[7:0]											
0x21C	THRESH1 _H	[15:8]	RESERVED			THRESH1_SHIFT_H						0x0000	R/W	
		[7:0]	THRESH1_VALUE_H											
0x220	TS_CTRL _I	[15:8]	RESERVED		SAMPLE_TYPE_I			RESERVED	TIMESLOT_OFFSET_I[9:8]				0x1000	R/W
		[7:0]	TIMESLOT_OFFSET_I[7:0]											
0x221	TS_PATH _I	[15:8]	PRE_WIDTH_I				AMBIENT_CANCELLATIO N_I		GOUT_I	RESERVED			0x4020	R/W
		[7:0]	RESERVE D	AFE_PATH_CFG_I										
0x222	INPUTS_I	[15:8]	INP4_SEL_I		INP3_SEL_I		INP2_SEL_I		INP1_SEL_I			0x0000	R/W	
		[7:0]	INP34_I				INP12_I							
0x223	CATHODE _I	[15:8]	RESERVE D	PRECON_I			RESERVED		AFE_VREF_AMB_SEL_I			0x0200	R/W	
		[7:0]	VC1_AMB_SEL_I		VC1_PULSE_I		VC1_ALT_I		VC1_SEL_I					



## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x224	AFE_TRIM1_I	[15:8]	AFE_TIA_SAT_DETECT_EN_I	RESERVED		AFE_BUFFER_GAIN_I		VREF_PULSE_I		AFE_TRIM_VREF_I	0x02C9	R/W
		[7:0]	VREF_PULSE_VAL_I			TIA_GAIN_CH2_I		TIA_GAIN_CH1_I				
0x225	AFE_TRIM2_I	[15:8]	RESERVED			AFE_BUFFER_CAP_I		RESERVED			0x0000	R/W
		[7:0]	RESERVED			TIA_GAIN_CH4_I		TIA_GAIN_CH3_I				
0x226	AFE_DAC1_I	[15:8]	DAC_AMBIENT_CH1_I[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_I, Bit 0	DAC_LED_DC_CH1_I								
0x227	AFE_DAC2_I	[15:8]	DAC_AMBIENT_CH2_I[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_I, Bit 0	DAC_LED_DC_CH2_I								
0x228	LED_POWER12_I	[15:8]	RESERVED					LED_CURRENT2_I			0x0000	R/W
		[7:0]	RESERVED					LED_CURRENT1_I				
0x229	LED_MODE_I	[15:8]	RESERVED								0x0000	R/W
		[7:0]	LED_DRIVESIDE2_I	LED_DRIVESIDE1_I		RESERVED	LED_MODE2_I	LED_MODE1_I				
0x22A	COUNTS_I	[15:8]	NUM_INT_I								0x0101	R/W
		[7:0]	NUM_REPEAT_I									
0x22B	PERIOD_I	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_I		MOD_TYPE_I		RESERVED		MIN_PERIOD_I[9:8]	0x0000	R/W
		[7:0]	MIN_PERIOD_I[7:0]									
0x22C	LED_PULSE1_I	[15:8]	LED_WIDTH_I								0x0210	R/W
		[7:0]	LED_OFFSET_I									
0x22D	AFE_DAC3_I	[15:8]	DAC_AMBIENT_CH3_I[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_I, Bit 0	DAC_LED_DC_CH3_I								
0x22E	AFE_DAC4_I	[15:8]	DAC_AMBIENT_CH4_I[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_I, Bit 0	DAC_LED_DC_CH4_I								
0x22F	THRESHOLD_I	[15:8]	RESERVED			THRESHOLD_SHIFT_I					0x0000	R/W
		[7:0]	THRESHOLD_VALUE_I									
0x230	MOD_PULSE_I	[15:8]	MOD_WIDTH_I								0x0001	R/W
		[7:0]	MOD_OFFSET_I									

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x231	PATTERN 1_I	[15:8]	LED_DISABLE_I				MOD_DISABLE_I				0x0000	R/W		
		[7:0]	SUBTRACT_I				AFE_SWAP_I							
0x232	THRESH_ CFG_I	[15:8]	RESERVED					THRESH1_ DIR_I	THRESH1_TYPE_I		0x0000	R/W		
		[7:0]	RESERVED					THRESH0_ DIR_I	THRESH0_TYPE_I					
0x233	ADC_OFF 1_I	[15:8]	RESERVED		CH1_ADC_ADJUST_I[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_I[7:0]											
0x234	ADC_OFF 2_I	[15:8]	RESERVED		CH2_ADC_ADJUST_I[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_I[7:0]											
0x235	DATA1_I	[15:8]	DARK_SHIFT_I				DARK_SIZE_I				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_I				SIGNAL_SIZE_I							
0x236	DATA2_I	[15:8]	RESERVED						RESERVED				0x0000	R/W
		[7:0]	LIT_SHIFT_I				LIT_SIZE_I							
0x237	DECIMAT E_I	[15:8]	CHANNEL_EN_I		RESERVED			SUBSAMPLE_RATIO_I[6:4]			0x0010	R/W		
		[7:0]	SUBSAMPLE_RATIO_I[3:0]			RESERVED								
0x238	DIGINT_LI T_I	[15:8]	RESERVED								LIT_OFFSE T_I, Bit 8	0x0026	R/W	
		[7:0]	LIT_OFFSET_I[7:0]											
0x239	DIGINT_D ARK_I	[15:8]	DARK2_OFFSET_I[8:1]									0x0086	R/W	
		[7:0]	DARK2_O FFSET_I, Bit 0	DARK1_OFFSET_I										
0x23A	ADC_OFF 3_I	[15:8]	RESERVED		CH3_ADC_ADJUST_I[13:8]						0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_I[7:0]											
0x23B	ADC_OFF 4_I	[15:8]	RESERVED		CH4_ADC_ADJUST_I[13:8]						0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_I[7:0]											
0x23C	THRESH1 _I	[15:8]	RESERVED			THRESH1_SHIFT_I						0x0000	R/W	
		[7:0]	THRESH1_VALUE_I											
0x240	TS_CTRL _J	[15:8]	RESERVED		SAMPLE_TYPE_J			RESERVED	TIMESLOT_OFFSET_J[9:8 ]			0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_J[7:0]											
0x241	TS_PATH _J	[15:8]	PRE_WIDTH_J				AMBIENT_CANCELLATIO N_J		GOUT_J	RESERVED		0x4020	R/W	
		[7:0]	RESERVE D	AFE_PATH_CFG_J										
0x242	INPUTS_J	[15:8]	INP4_SEL_J		INP3_SEL_J		INP2_SEL_J		INP1_SEL_J		0x0000	R/W		
		[7:0]	INP34_J				INP12_J							
0x243	CATHODE _J	[15:8]	RESERVE D	PRECON_J			RESERVED		AFE_VREF_AMB_SEL_J		0x0200	R/W		
		[7:0]	VC1_AMB_SEL_J		VC1_PULSE_J		VC1_ALT_J		VC1_SEL_J					

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x244	AFE_TRIM1_J	[15:8]	AFE_TIA_SAT_DETECT_EN_J	RESERVED		AFE_BUFFER_GAIN_J		VREF_PULSE_J	AFE_TRIM_VREF_J		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_J		TIA_GAIN_CH2_J		TIA_GAIN_CH1_J						
0x245	AFE_TRIM2_J	[15:8]	RESERVED			AFE_BUFFER_CAP_J	RESERVED					0x0000	R/W
		[7:0]	RESERVED		TIA_GAIN_CH4_J		TIA_GAIN_CH3_J						
0x246	AFE_DAC1_J	[15:8]	DAC_AMBIENT_CH1_J[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_J, Bit 0	DAC_LED_DC_CH1_J									
0x247	AFE_DAC2_J	[15:8]	DAC_AMBIENT_CH2_J[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_J, Bit 0	DAC_LED_DC_CH2_J									
0x248	LED_POW12_J	[15:8]	RESERVED	LED_CURRENT2_J								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_J									
0x249	LED_MODE_J	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LED_DRIVESIDE2_J	LED_DRIVESIDE1_J	RESERVED		LED_MODE2_J	LED_MODE1_J					
0x24A	COUNTS_J	[15:8]	NUM_INT_J									0x0101	R/W
		[7:0]	NUM_REPEAT_J										
0x24B	PERIOD_J	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_J	MOD_TYPE_J	RESERVED		MIN_PERIOD_J[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_J[7:0]										
0x24C	LED_PULSE1_J	[15:8]	LED_WIDTH_J									0x0210	R/W
		[7:0]	LED_OFFSET_J										
0x24D	AFE_DAC3_J	[15:8]	DAC_AMBIENT_CH3_J[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_J, Bit 0	DAC_LED_DC_CH3_J									
0x24E	AFE_DAC4_J	[15:8]	DAC_AMBIENT_CH4_J[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_J, Bit 0	DAC_LED_DC_CH4_J									
0x24F	THRESH0_J	[15:8]	RESERVED			THRESH0_SHIFT_J					0x0000	R/W	
		[7:0]	THRESH0_VALUE_J										
0x250	MOD_PULSE_J	[15:8]	MOD_WIDTH_J									0x0001	R/W
		[7:0]	MOD_OFFSET_J										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x251	PATTERN_1_J	[15:8]	LED_DISABLE_J				MOD_DISABLE_J				0x0000	R/W	
		[7:0]	SUBTRACT_J				AFE_SWAP_J						
0x252	THRESH_CFG_J	[15:8]	RESERVED					THRESH1_DIR_J	THRESH1_TYPE_J		0x0000	R/W	
		[7:0]	RESERVED					THRESH0_DIR_J	THRESH0_TYPE_J				
0x253	ADC_OFF_1_J	[15:8]	RESERVED		CH1_ADC_ADJUST_J[13:8]					0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_J[7:0]										
0x254	ADC_OFF_2_J	[15:8]	RESERVED		CH2_ADC_ADJUST_J[13:8]					0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_J[7:0]										
0x255	DATA1_J	[15:8]	DARK_SHIFT_J				DARK_SIZE_J				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_J				SIGNAL_SIZE_J						
0x256	DATA2_J	[15:8]	RESERVED					0x0000				R/W	
		[7:0]	LIT_SHIFT_J				LIT_SIZE_J						
0x257	DECIMATE_J	[15:8]	CHANNEL_EN_J		RESERVED			SUBSAMPLE_RATIO_J[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_J[3:0]					RESERVED					
0x258	DIGINT_LIT_J	[15:8]	RESERVED							LIT_OFFSET_J, Bit 8		0x0026	R/W
		[7:0]	LIT_OFFSET_J[7:0]										
0x259	DIGINT_DARK_J	[15:8]	DARK2_OFFSET_J[8:1]							0x0086		R/W	
		[7:0]	DARK2_OFFSET_J, Bit 0	DARK1_OFFSET_J									
0x25A	ADC_OFF_3_J	[15:8]	RESERVED		CH3_ADC_ADJUST_J[13:8]					0x0000	R/W		
		[7:0]	CH3_ADC_ADJUST_J[7:0]										
0x25B	ADC_OFF_4_J	[15:8]	RESERVED		CH4_ADC_ADJUST_J[13:8]					0x0000	R/W		
		[7:0]	CH4_ADC_ADJUST_J[7:0]										
0x25C	THRESH1_J	[15:8]	RESERVED			THRESH1_SHIFT_J					0x0000	R/W	
		[7:0]	THRESH1_VALUE_J										
0x260	TS_CTRL_K	[15:8]	RESERVED		SAMPLE_TYPE_K			RESERVED	TIMESLOT_OFFSET_K[9:8]		0x1000	R/W	
		[7:0]	TIMESLOT_OFFSET_K[7:0]										
0x261	TS_PATH_K	[15:8]	PRE_WIDTH_K				AMBIENT_CANCELLATION_K		GOUT_K	RESERVED		0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_K									
0x262	INPUTS_K	[15:8]	INP4_SEL_K		INP3_SEL_K		INP2_SEL_K		INP1_SEL_K		0x0000	R/W	
		[7:0]	INP34_K				INP12_K						
0x263	CATHODE_K	[15:8]	RESERVED	PRECON_K			RESERVED		AFE_VREF_AMB_SEL_K		0x0200	R/W	
		[7:0]	VC1_AMB_SEL_K		VC1_PULSE_K		VC1_ALT_K		VC1_SEL_K				

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x264	AFE_TRIM1_K	[15:8]	AFE_TIA_SAT_DETECT_EN_K	RESERVED		AFE_BUFFER_GAIN_K		VREF_PULSE_K	AFE_TRIM_VREF_K		0x02C9	R/W	
		[7:0]	VREF_PULSE_VAL_K		TIA_GAIN_CH2_K		TIA_GAIN_CH1_K						
0x265	AFE_TRIM2_K	[15:8]	RESERVED			AFE_BUFFER_CAP_K	RESERVED			0x0000	R/W		
		[7:0]	RESERVED		TIA_GAIN_CH4_K		TIA_GAIN_CH3_K						
0x266	AFE_DAC1_K	[15:8]	DAC_AMBIENT_CH1_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH1_K, Bit 0	DAC_LED_DC_CH1_K									
0x267	AFE_DAC2_K	[15:8]	DAC_AMBIENT_CH2_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH2_K, Bit 0	DAC_LED_DC_CH2_K									
0x268	LED_POW12_K	[15:8]	RESERVED	LED_CURRENT2_K								0x0000	R/W
		[7:0]	RESERVED	LED_CURRENT1_K									
0x269	LED_MODE_K	[15:8]	RESERVED								0x0000	R/W	
		[7:0]	LED_DRIVESIDE2_K	LED_DRIVESIDE1_K	RESERVED		LED_MODE2_K	LED_MODE1_K					
0x26A	COUNTS_K	[15:8]	NUM_INT_K								0x0101	R/W	
		[7:0]	NUM_REPEAT_K										
0x26B	PERIOD_K	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_K	MOD_TYPE_K	RESERVED		MIN_PERIOD_K[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_K[7:0]										
0x26C	LED_PULSE1_K	[15:8]	LED_WIDTH_K								0x0210	R/W	
		[7:0]	LED_OFFSET_K										
0x26D	AFE_DAC3_K	[15:8]	DAC_AMBIENT_CH3_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH3_K, Bit 0	DAC_LED_DC_CH3_K									
0x26E	AFE_DAC4_K	[15:8]	DAC_AMBIENT_CH4_K[8:1]								0x0000	R/W	
		[7:0]	DAC_AMBIENT_CH4_K, Bit 0	DAC_LED_DC_CH4_K									
0x26F	THRESH0_K	[15:8]	RESERVED			THRESH0_SHIFT_K					0x0000	R/W	
		[7:0]	THRESH0_VALUE_K										
0x270	MOD_PULSE_K	[15:8]	MOD_WIDTH_K								0x0001	R/W	
		[7:0]	MOD_OFFSET_K										

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x271	PATTERN_1_K	[15:8]	LED_DISABLE_K			MOD_DISABLE_K					0x0000	R/W	
		[7:0]	SUBTRACT_K			AFE_SWAP_K							
0x272	THRESH_CFG_K	[15:8]	RESERVED				THRESH1_DIR_K	THRESH1_TYPE_K			0x0000	R/W	
		[7:0]	RESERVED				THRESH0_DIR_K	THRESH0_TYPE_K					
0x273	ADC_OFF_1_K	[15:8]	RESERVED		CH1_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_K[7:0]										
0x274	ADC_OFF_2_K	[15:8]	RESERVED		CH2_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_K[7:0]										
0x275	DATA1_K	[15:8]	DARK_SHIFT_K			DARK_SIZE_K				0x0003	R/W		
		[7:0]	SIGNAL_SHIFT_K			SIGNAL_SIZE_K							
0x276	DATA2_K	[15:8]	RESERVED									0x0000	R/W
		[7:0]	LIT_SHIFT_K			LIT_SIZE_K							
0x277	DECIMATE_K	[15:8]	CHANNEL_EN_K		RESERVED			SUBSAMPLE_RATIO_K[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_K[3:0]			RESERVED							
0x278	DIGINT_LIT_K	[15:8]	RESERVED							LIT_OFFSET_K, Bit 8		0x0026	R/W
		[7:0]	LIT_OFFSET_K[7:0]										
0x279	DIGINT_DARK_K	[15:8]	DARK2_OFFSET_K[8:1]									0x0086	R/W
		[7:0]	DARK2_OFFSET_K, Bit 0	DARK1_OFFSET_K									
0x27A	ADC_OFF_3_K	[15:8]	RESERVED		CH3_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_K[7:0]										
0x27B	ADC_OFF_4_K	[15:8]	RESERVED		CH4_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_K[7:0]										
0x27C	THRESH1_K	[15:8]	RESERVED			THRESH1_SHIFT_K					0x0000	R/W	
		[7:0]	THRESH1_VALUE_K										
0x280	TS_CTRL_L	[15:8]	RESERVED		SAMPLE_TYPE_L			RESERVED	TIMESLOT_OFFSET_L[9:8]			0x1000	R/W
		[7:0]	TIMESLOT_OFFSET_L[7:0]										
0x281	TS_PATH_L	[15:8]	PRE_WIDTH_L			AMBIENT_CANCELLATION_L		GOUT_L	RESERVED			0x4020	R/W
		[7:0]	RESERVED	AFE_PATH_CFG_L									
0x282	INPUTS_L	[15:8]	INP4_SEL_L		INP3_SEL_L		INP2_SEL_L		INP1_SEL_L			0x0000	R/W
		[7:0]	INP34_L			INP12_L							
0x283	CATHODE_L	[15:8]	RESERVED	PRECON_L			RESERVED		AFE_VREF_AMB_SEL_L			0x0200	R/W
		[7:0]	VC1_AMB_SEL_L		VC1_PULSE_L		VC1_ALT_L		VC1_SEL_L				

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x284	AFE_TRIM1_L	[15:8]	AFE_TIA_SAT_DETECT_EN_L	RESERVED		AFE_BUFFER_GAIN_L		VREF_PULSE_L		AFE_TRIM_VREF_L	0x02C9	R/W
		[7:0]	VREF_PULSE_VAL_L			TIA_GAIN_CH2_L		TIA_GAIN_CH1_L				
0x285	AFE_TRIM2_L	[15:8]	RESERVED			AFE_BUFFER_CAP_L		RESERVED			0x0000	R/W
		[7:0]	RESERVED			TIA_GAIN_CH4_L		TIA_GAIN_CH3_L				
0x286	AFE_DAC1_L	[15:8]	DAC_AMBIENT_CH1_L[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH1_L, Bit 0	DAC_LED_DC_CH1_L								
0x287	AFE_DAC2_L	[15:8]	DAC_AMBIENT_CH2_L[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH2_L, Bit 0	DAC_LED_DC_CH2_L								
0x288	LED_POWER12_L	[15:8]	RESERVED							LED_CURRENT2_L	0x0000	R/W
		[7:0]	RESERVED							LED_CURRENT1_L		
0x289	LED_MODE_L	[15:8]	RESERVED								0x0000	R/W
		[7:0]	LED_DRIVESIDE2_L	LED_DRIVESIDE1_L		RESERVED		LED_MODE2_L	LED_MODE1_L			
0x28A	COUNTS_L	[15:8]	NUM_INT_L								0x0101	R/W
		[7:0]	NUM_REPEAT_L									
0x28B	PERIOD_L	[15:8]	RESERVED	COARSE_LOOP_WIDTH_H_L		MOD_TYPE_L		RESERVED		MIN_PERIOD_L[9:8]	0x0000	R/W
		[7:0]	MIN_PERIOD_L[7:0]									
0x28C	LED_PULSE1_L	[15:8]	LED_WIDTH_L								0x0210	R/W
		[7:0]	LED_OFFSET_L									
0x28D	AFE_DAC3_L	[15:8]	DAC_AMBIENT_CH3_L[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH3_L, Bit 0	DAC_LED_DC_CH3_L								
0x28E	AFE_DAC4_L	[15:8]	DAC_AMBIENT_CH4_L[8:1]								0x0000	R/W
		[7:0]	DAC_AMBIENT_CH4_L, Bit 0	DAC_LED_DC_CH4_L								
0x28F	THRESHOLD_L	[15:8]	RESERVED			THRESHOLD_SHIFT_L					0x0000	R/W
		[7:0]	THRESHOLD_VALUE_L									
0x290	MOD_PULSE_L	[15:8]	MOD_WIDTH_L								0x0001	R/W
		[7:0]	MOD_OFFSET_L									

## レジスタの一覧

表 15. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x291	PATTERN_1_L	[15:8]	LED_DISABLE_L			MOD_DISABLE_L				0x0000	R/W	
		[7:0]	SUBTRACT_L			AFE_SWAP_L						
0x292	THRESH_CFG_L	[15:8]	RESERVED				THRESH1_DIR_L	THRESH1_TYPE_L		0x0000	R/W	
		[7:0]	RESERVED				THRESH0_DIR_L	THRESH0_TYPE_L				
0x293	ADC_OFF_1_L	[15:8]	RESERVED	CH1_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_L[7:0]									
0x294	ADC_OFF_2_L	[15:8]	RESERVED	CH2_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_L[7:0]									
0x295	DATA1_L	[15:8]	DARK_SHIFT_L			DARK_SIZE_L				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_L			SIGNAL_SIZE_L						
0x296	DATA2_L	[15:8]	RESERVED						0x0000	R/W		
		[7:0]	LIT_SHIFT_L			LIT_SIZE_L						
0x297	DECIMATE_L	[15:8]	CHANNEL_EN_L	RESERVED			SUBSAMPLE_RATIO_L[6:4]			0x0010	R/W	
		[7:0]	SUBSAMPLE_RATIO_L[3:0]			RESERVED						
0x298	DIGINT_LIT_L	[15:8]	RESERVED						LIT_OFFSET_L, Bit 8	0x0026	R/W	
		[7:0]	LIT_OFFSET_L[7:0]									
0x299	DIGINT_DARK_L	[15:8]	DARK2_OFFSET_L[8:1]						0x0086	R/W		
		[7:0]	DARK2_OFFSET_L, Bit 0	DARK1_OFFSET_L								
0x29A	ADC_OFF_3_L	[15:8]	RESERVED	CH3_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH3_ADC_ADJUST_L[7:0]									
0x29B	ADC_OFF_4_L	[15:8]	RESERVED	CH4_ADC_ADJUST_L[13:8]						0x0000	R/W	
		[7:0]	CH4_ADC_ADJUST_L[7:0]									
0x29C	THRESH1_L	[15:8]	RESERVED			THRESH1_SHIFT_L				0x0000	R/W	
		[7:0]	THRESH1_VALUE_L									



## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x000	FIFO_STATUS	15	CLEAR_FIFO	FIFO のクリア。1 を書き込むと、FIFO が動作していないときに FIFO を空にします。これにより FIFO_BYTE_COUNT がリセットされ、FIFO オーバーフロー、FIFO アンダーフロー、および FIFO 閾値割込みのステータス・ビットもクリアされます。	0x0	R0/W
		14	INT_FIFO_UFLOW	FIFO のアンダーフロー・エラー。FIFO が空のときに読み出すと、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。CLEAR_FIFO レジスタを使用して FIFO をクリアした場合も、このビットはクリアされます。	0x0	R/W1C
		13	INT_FIFO_OFLOW	FIFO のオーバーフロー・エラー。FIFO に空きスペースがないためにデータが書き込まれなかったとき、このビットがセットされます。このビットに 1 を書き込むと割込みはクリアされます。CLEAR_FIFO レジスタ・ビットを使用して FIFO をクリアした場合も、このビットはクリアされます。	0x0	R/W1C
		12	INT_FIFO_TH	FIFO_TH 割込みステータス。FIFO 書き込み時に FIFO 内のバイト数が FIFO_TH レジスタの値を超えると、このビットがセットされます。このビットに 1 を書き込むと、この割込みはクリアされます。また、INT_ACLEAR_FIFO ビットがセットされているときに FIFO_DATA レジスタが読み出されると、このビットは自動的にクリアされます。	0x0	R/W1C
		11	FIFO_INIT_DONE_STATUS	FIFO の初期化プロセスが終了。このフィールドはステータス・ビットであり、割込みのために送信されるものではないことに注意してください。このビットがセットされるのは FIFO の自己初期化プロセス後です。	0x0	R
		[10:0]	FIFO_BYTE_COUNT	FIFO 内のバイト数。このフィールドは FIFO 内のバイト数を示します。	0x0	R
		0x001	INT_STATUS_TS1	[15:12]	RESERVED	予約済み。
11	INT_PPG_LEV0_L			PPG タイム・スロット L のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット L の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
10	INT_PPG_LEV0_K			PPG タイム・スロット K のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット K の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
9	INT_PPG_LEV0_J			PPG タイム・スロット J のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット J の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
8	INT_PPG_LEV0_I			PPG タイム・スロット I のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット I の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
7	INT_PPG_LEV0_H			PPG タイム・スロット H のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット H の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
6	INT_PPG_LEV0_G			PPG タイム・スロット G のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット G の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
5	INT_PPG_LEV0_F			PPG タイム・スロット F のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット F の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
		4	INT_PPG_LEV0_E	PPG タイム・スロット E のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット E の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		3	INT_PPG_LEV0_D	PPG タイム・スロット D のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット D の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		2	INT_PPG_LEV0_C	PPG タイム・スロット C のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット C の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		1	INT_PPG_LEV0_B	PPG タイム・スロット B のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット B の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		0	INT_PPG_LEV0_A	PPG タイム・スロット A のレベル 0 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット A の間にチャンネル 1 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
0x002	INT_STATUS_TS2	[15: 12]	RESERVED	予約済み。	0x0	R
		11	INT_PPG_LEV1_L	PPG タイム・スロット L のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット L の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		10	INT_PPG_LEV1_K	PPG タイム・スロット K のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット K の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		9	INT_PPG_LEV1_J	PPG タイム・スロット J のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット J の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		8	INT_PPG_LEV1_I	PPG タイム・スロット I のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット I の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		7	INT_PPG_LEV1_H	PPG タイム・スロット H のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット H の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		6	INT_PPG_LEV1_G	PPG タイム・スロット G のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット G の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		5	INT_PPG_LEV1_F	PPG タイム・スロット F のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット F の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		4	INT_PPG_LEV1_E	PPG タイム・スロット E のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット E の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
		3	INT_PPG_LEV1_D	PPG タイム・スロット D のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット D の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		2	INT_PPG_LEV1_C	PPG タイム・スロット C のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット C の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		1	INT_PPG_LEV1_B	PPG タイム・スロット B のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット B の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
		0	INT_PPG_LEV1_A	PPG タイム・スロット A のレベル 1 割込みステータス。データ・レジスタの更新時に設定基準を満たしていると、このビットがセットされます。タイム・スロット A の間にチャンネル 2 の TIA が飽和した場合も、このビットがセットされます。	0x0	R/W1C
0x006	FIFO_TH	[15: 10]	RESERVED	予約済み。	0x0	R
		[9:0]	FIFO_TH	FIFO 割込みを生成する閾値。FIFO 書込み時に FIFO 内のバイト数がこの値を超えると、FIFO 割込みを生成します。	0xC	R/W
0x007	INT_ACLEAR	15	INT_ACLEAR_FIFO	FIFO 閾値割込みの自動クリア・イネーブル。このビットをセットすると、FIFO が読み出されるたびに FIFO_TH 割込みが自動的にクリアされます。	0x1	R/W
		[14: 0]	RESERVED	予約済み。	0x0	R
0x008	CHIP_ID	[15: 8]	VERSION	マスクのバージョン。R0 = 0x0。	0x0	R
		[7:0]	CHIP_ID	チップ ID。	0xC6	R
0x009	OSC32M	[15: 9]	RESERVED	予約済み。	0x0	R
		8	OSC_32M_EFUSE_CTRL	eFuse ビットを使用して高周波発振器の周波数制御をイネーブルします。このビットに 0 を書き込むと、OSC_32M_FREQ_ADJ ビットによる周波数の制御がイネーブルされます。	0x0	R/W
		[7:0]	OSC_32M_FREQ_ADJ	高周波発振器の周波数制御。最小周波数は 0x000、最大周波数は 0x0FF です。	0x80	R/W
0x00A	OSC32M_CAL	15	OSC_32M_CAL_START	高周波発振器のキャリブレーション・サイクルを開始。このビットに 1 を書き込むと、高周波発振器のキャリブレーション・サイクルを開始します。発振器をイネーブルして開始するのを待ちます。そして、低周波数の 128 サイクル (1MHz)、または 4 サイクル (32kHz) のいずれかを選択したほうのサイクルの間に発生する 32MHz のサイクル数をカウントします。そして、このカウント数を OSC_32M_CAL_COUNT ビットに更新します。キャリブレーション・サイクルが完了すると、キャリブレーション回路が OSC_32M_CAL_START ビットをクリアします。32kHz の低周波発振器を使用している場合は、シリコン・バージョン 0 が低周波の 32 サイクルをカウントします。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
		[14: 0]	OSC_32M_CAL_COUNT	高周波発振器のキャリブレーション・カウンタ。このレジスタには、最後に行われた高周波発振器のキャリブレーション・サイクルにおける 32MHz サイクルのカウント数の合計が格納されます。	0x0	R
0x00B	OSC960K	15	CAPTURE_TIMESTAMP	タイム・スタンプの取得をイネーブル。このビットを使用して、タイム・スタンプ取得機能を有効にします。このビット・フィールドが設定されている場合、タイム・スタンプ入力（デフォルトで GPIO0）の次の立上がりエッジでタイム・スタンプを取得します。タイム・スタンプが生成されるとこのビットはクリアされます。	0x0	R/W
		[14: 12]	RESERVED	予約済み。	0x0	R
		11	OSC_960K_EFUSE_CTRL	eFuse ビットから周波数制御をイネーブル。このビットに 0 を書き込むと、OSC_960K_FREQ_ADJ ビットによる周波数の制御がイネーブルされます。	0x1	R/W
		10	OSC_CAL_ENABLE	クロック・キャリブレーション・クロッキングをイネーブル。このビットに 1 を書き込むと、低周波数および高周波数のキャリブレーション回路のクロッキングがイネーブルされます。	0x0	R/W
		[9:0]	OSC_960K_FREQ_ADJ	低周波発振器の周波数制御。最小周波数は 0x000、最大周波数は 0x3FF です。	0x2B2	R/W
0x00D	TS_FREQ	[15: 0]	TIMESLOT_PERIOD_L	低周波発振器サイクルでのタイム・スロット周期の下位 16 ビット。タイム・スロット・レートは (タイマー・クロック周波数) / (TIMESLOT_PERIOD_x) です。960kHz のクロックを使用したときのデフォルト値は 100Hz です。タイマー・クロックが GPIO からの外部ソースに設定されている場合、960kHz または 32kHz のどちらであっても、TM_CLK_GPIO_SEL は実際のクロック周波数に一致するよう設定する必要があります。	0x2580	R/W
0x00E	TS_FREQH	[15: 7]	RESERVED	予約済み。	0x0	R
		[6:0]	TIMESLOT_PERIOD_H	低周波発振器サイクルでのタイム・スロット周期の上位 7 ビット。タイム・スロット・レートは (タイマー・クロック周波数) / (TIMESLOT_PERIOD_x) です。960kHz のクロックを使用したときのデフォルト値は 100Hz です。タイマー・クロックが GPIO からの外部ソースに設定されている場合、960kHz または 32kHz のどちらであっても、TM_CLK_GPIO_SEL は実際のクロック周波数に一致するよう設定する必要があります。	0x0	R/W
0x00F	SYS_CTL	15	SW_RESET	ソフトウェア・リセット。ソフトウェア・リセットをアサートするには、このビットに 1 を書き込みます。これにより、チップはデフォルト値にリセットされ、すべてのアナログ・フロント・エンド動作が停止します。これにより、SPI（またはオプションの I <sup>2</sup> C）ポートはリセットされません。このレジスタへの書込みは正常に完了します。	0x0	R0/W
		[14: 12]	RESERVED	予約済み。	0x0	R
		11	RESERVED	予約済み。	0x0	R
		[10: 8]	ALT_CLOCKS	外部クロックの選択。 000 : 内部クロックを使用。 001 : 低周波発振器 (960kHz) に GPIO を使用。タイマー・クロックもソースにこれを使用します。 010 : 高周波発振器 (32MHz) に GPIO を使用。 011 : 高周波発振器 (32MHz) に GPIO を使用し、高周波発振器で低周波発振器 (1MHz) を生成。 100 : タイマー・クロック (32kHz または 960kHz) に GPIO を使用。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
		[7:6]	ALT_CLK_GPIO	代替クロック用 GPIO の選択。 00 : 代替クロックに GPIO0 を使用。 01 : 代替クロックに GPIO1 を使用。 10 : 予約済み。 11 : 予約済み。	0x0	R/W
		5	LP_MODE_SLEEP	スリープ状態での低消費電力モードを有効化。出力データレートが低い場合、これを使用して消費電力を削減できます。	0x0	R/W
		4	GO_SLEEP	最初のタイム・スロット・グループが実行される前にスリープ。このビットを設定することで、デバイスを実行するときに最初のサンプリング前に強制的にスリープ期間を入れることができます。これは外部サンプリング・トリガを使用する場合に特に便利です。 0 : 最初のタイム・スロット・シーケンスを実行。 1 : 最初のタイム・スロット・シーケンスが実行される前にスリープ。	0x0	R/W
		3	RANDOM_SLEEP	ランダム・スリープ用リニア・フィードバック・シフト・レジスタ (LFSR) をイネーブル。これをイネーブルすると、タイム・スロットのウェイクアップは±7のサイクル (平均すると 0) で変化します。	0x0	R/W
		2	TM_CLK_GPIO_SEL	低周波クロックを 960kHz または 32kHz の間で選択。このビットは ALT_CLOCKS が 3'b100 の場合に使用します。 0 : タイマー・クロックとして GPIO から 32kHz の外部ソースを使用。 1 : タイマー・クロックとして GPIO から 960kHz の外部ソースを使用。	0x0	R/W
		1	OSC_960K_EN	低周波発振器をイネーブル。このビットは、960kHz の低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンしておく必要があります。	0x0	R/W
		0	RESERVED	予約済み。	0x0	R
0x010	OPMODE	15	RESERVED	予約済み。	0x0	R
		14	RESERVED	予約済み。	0x0	R
		13	RESERVED	予約済み。	0x0	R
		[12: 8]	RESERVED	予約済み。	0x0	R
		[7:4]	PPG_TIMESLOT_EN	PPG タイム・スロットのイネーブル制御。 0000 : PPG タイム・スロットなし。 0001 : PPG タイム・スロット・シーケンス A。 0010 : PPG タイム・スロット・シーケンス AB。 0011 : PPG タイム・スロット・シーケンス ABC。 0100 : PPG タイム・スロット・シーケンス ABCD。 0101 : PPG タイム・スロット・シーケンス ABCDE。 0110 : PPG タイム・スロット・シーケンス ABCDEF。 0111 : PPG タイム・スロット・シーケンス ABCDEFG。 1000 : PPG タイム・スロット・シーケンス ABCDEFGH。 1001 : PPG タイム・スロット・シーケンス ABCDEFGHI。 1010 : PPG タイム・スロット・シーケンス ABCDEFGHIJ。 1011 : PPG タイム・スロット・シーケンス ABCDEFGHIJK。 1100 : PPG タイム・スロット・シーケンス ABCDEFGHIJKL。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
		3	RESERVED	予約済み。	0x0	R
		[2:0]	OP_MODE	動作モード。動作モードの選択。 000 : スタンバイ。 001 : 選択したタイム・スロットで動作。 011 : ADC テスト・モード。このモードは、通常のウェイクアップ・シーケンスを経て、PPG タイム・スロット A の設定に基づく連続 ADC サイクルを実行します。 101 : 選択したタイム・スロットをスリープ無しで繰り返し。このモードは、通常のウェイクアップ・シーケンスを 1 回実行した後、イネーブルされたタイム・スロットのシーケンスのサイクルを、スリープに入ることなく実行します。 111 : 予約済み。	0x0	R/W
0x011	STAMP_L	[15:0]	TIMESTAMP_COUNT_L	前のタイム・スタンプのカウンタ。	0x0	R
0x012	STAMP_H	[15:0]	TIMESTAMP_COUNT_H	前のタイム・スタンプのカウンタ。	0x0	R
0x013	STAMPDELTA	[15:0]	TIMESTAMP_SLOT_DELTA	カウンタは次のウェイクアップが開始されるまで保持されます。	0x0	R
0x014	INT_ENABLE_XD	15	INTX_EN_FIFO_TH	FIFO 閾値割込みのイネーブル。このビットに 1 を書き込むと、割込みチャンネル X の機能で FIFO 閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTX_EN_FIFO_UFLOW	割込みチャンネル X 用に FIFO アンダーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル X の機能で FIFO アンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTX_EN_FIFO_OFLOW	割込みチャンネル X 用に FIFO オーバーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル X の機能で FIFO オーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		[12:0]	RESERVED	予約済み。	0x0	R
0x015	INT_ENABLE_YD	15	INTY_EN_FIFO_TH	FIFO 閾値割込みのイネーブル。このビットに 1 を書き込むと、割込みチャンネル Y の機能で FIFO 閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTY_EN_FIFO_UFLOW	割込みチャンネル Y 用に FIFO アンダーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル Y の機能で FIFO アンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTY_EN_FIFO_OFLOW	割込みチャンネル Y 用に FIFO オーバーフロー割込みをイネーブル。このビットに 1 を書き込むと、割込みチャンネル Y の機能で FIFO オーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x01E	FIFO_STATUS_BYTES	[12:0]	RESERVED	予約済み。	0x0	R
		[15:10]	RESERVED	予約済み。	0x0	R
		9	RESERVED	予約済み。	0x0	R
		8	ENA_STAT_LEVX	レベル0およびレベル1の割込みステータス・バイトの上位バイトをイネーブル。このバイトには、PPG タイム・スロット1からタイム・スロットLまでのレベル割込み0およびレベル割込み1の割込みステータスが格納されます。	0x0	R/W
		7	ENA_STAT_LEV1	レベル1の割込みステータス・バイトの下位バイトをイネーブル。このバイトには、PPG タイム・スロットAからタイム・スロットHまでのレベル割込み1の割込みステータスが格納されます。	0x0	R/W
		6	ENA_STAT_LEV0	レベル0の割込みステータス・バイトの下位バイトをイネーブル。このバイトには、PPG タイム・スロットAからタイム・スロットHまでのレベル割込み0の割込みステータスが格納されます。	0x0	R/W
		5	ENA_SEQ_NUM	タイム・スロット・シーケンスの4ビットのシーケンス数をイネーブル。このシーケンス数は、0から15のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。	0x0	R/W
0x020	INPUT_SLEEP	[4:0]	RESERVED	予約済み。	0x0	R
		[15:8]	RESERVED	予約済み。	0x0	R
		[7:4]	INP_SLEEP_34	入力ペア（入力3および入力4）のスリープ状態。 0x0：どちらの入力もフロート状態。 0x1：偶数と奇数を互いに短絡（フロート状態で差動を短絡）。PAIR34が1の場合は短絡のみ。 0x2：両方の入力をカソード1に接続（差動ペアに設定されている場合は互いに短絡して接続）。 0x4：奇数側の入力をカソード1に接続。偶数側はフロート状態。 0x8：奇数側の入力をフロート状態。偶数側はカソード1に接続。	0x0	R/W
0x021	INPUT_CFG	[3:0]	INP_SLEEP_12	入力ペア（入力1および入力2）のスリープ状態。 0x0：どちらの入力もフロート状態。 0x1：偶数と奇数を互いに短絡（フロート状態で差動を短絡）。PAIR12が1の場合は短絡のみ。 0x2：両方の入力をカソード1に接続（差動ペアに設定されている場合は互いに短絡して接続）。 0x4：奇数側の入力をカソード1に接続。偶数側はフロート状態。 0x8：奇数側の入力をフロート状態。偶数側はカソード1に接続。	0x0	R/W
		[15:6]	RESERVED	予約済み。	0x0	R
		[5:4]	VC1_SLEEP	カソード1のスリープ・ステート。 0：スリープ期間中、カソードをAVDDに設定します。 1：スリープ期間中、カソードをGNDに設定します。 10：スリープ期間中、カソードをフロート状態にします。	0x0	R/W
		[3:2]	RESERVED	予約済み。	0x0	R
		1	PAIR34	入力ペアの設定。 0：2個のシングルエンド入力として使用。 1：差動ペアとして使用。	0x0	R/W
0	PAIR12	入力ペアの設定。 0：2個のシングルエンド入力として使用。 1：差動ペアとして使用。	0x0	R/W		

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x022	GPIO_CFG	[15:14]	GPIO_SLEW	GPIO ピンのスルー制御。 0: 最も遅い。 1: 遅い。 10: 最も速い。 11: 速い。	0x0	R/W
		[13:12]	GPIO_DRV	GPIO ピンの駆動制御。 0: 中程度。 1: 弱い。 10: 強い。 11: 強い。	0x0	R/W
		[11:9]	RESERVED	予約済み。	0x0	R
		[8:6]	RESERVED	予約済み。	0x0	R
		[5:3]	GPIO_PIN_CFG1	GPIO1 ピンの設定。 000: ディスエーブル (トライステート、入力バッファ・オフ)。 001: 入力をイネーブル。 010: 出力-通常。 011: 出力-反転。 100: プルダウンのみ-通常。 101: プルダウンのみ-反転。 110: プルアップのみ-通常。 111: プルアップのみ-反転。	0x0	R/W
0x023	GPIO01	[2:0]	GPIO_PIN_CFG0	GPIO0 ピンの設定。 000: ディスエーブル (トライステート、入力バッファ・オフ)。 001: 入力をイネーブル。 010: 出力-通常。 011: 出力-反転。 100: プルダウンのみ-通常。 101: プルダウンのみ-反転。 110: プルアップのみ-通常。 111: プルアップのみ-反転。	0x0	R/W
		[15:8]	GPIOOUT1	GPIO ピン 1 出力の選択。 0x00: 出力 0。 0x01: 出力 1。 0x02: Interrupt X。 0x03: Interrupt Y。 0x08: LED1x アンブをイネーブル。 0x09: LED2x アンブをイネーブル。 0x0C: 任意の LED アンブをイネーブル。 0x0F: 32MHz 発振器を 64 分周した出力 (500kHz)。 0x10: GOUT_x ビットと GOUT_SLEEP ビットで定義されたタイム・スロット固有の出力パターン。 0x16: 低周波発振器の出力。 0x17: 32MHz 発振器の出力。	0x0	R/W



レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
				0x18 : 32MHz 発振器を 32 分周した出力 (1MHz)。 0x20 : タイム・スロット A をアクティブ。 0x21 : タイム・スロット B をアクティブ。 0x22 : タイム・スロット C をアクティブ。 0x23 : タイム・スロット D をアクティブ。 0x24 : タイム・スロット E をアクティブ。 0x25 : タイム・スロット F をアクティブ。 0x26 : タイム・スロット G をアクティブ。 0x27 : タイム・スロット H をアクティブ。 0x28 : タイム・スロット I をアクティブ。 0x29 : タイム・スロット J をアクティブ。 0x2A : タイム・スロット K をアクティブ。 0x2B : タイム・スロット L をアクティブ。 0x31 : タイム・スロット A の LED パルス。 0x32 : タイム・スロット B の LED パルス。 0x33 : タイム・スロット C の LED パルス。 0x34 : タイム・スロット D の LED パルス。 0x35 : タイム・スロット E の LED パルス。 0x36 : タイム・スロット F の LED パルス。 0x37 : タイム・スロット G の LED パルス。 0x38 : タイム・スロット H の LED パルス。 0x39 : タイム・スロット I の LED パルス。 0x3A : タイム・スロット J の LED パルス。 0x3B : タイム・スロット K の LED パルス。 0x3C : タイム・スロット L の LED パルス。 0x3F : タイム・スロット x の LED パルス。 0x40 : タイム・スロット A の変調パルス。 0x41 : タイム・スロット B の変調パルス。 0x42 : タイム・スロット C の変調パルス。 0x43 : タイム・スロット D の変調パルス。 0x44 : タイム・スロット E の変調パルス。 0x45 : タイム・スロット F の変調パルス。 0x46 : タイム・スロット G の変調パルス。 0x47 : タイム・スロット H の変調パルス。 0x48 : タイム・スロット I の変調パルス。 0x49 : タイム・スロット J の変調パルス。 0x4A : タイム・スロット K の変調パルス。 0x4B : タイム・スロット L の変調パルス。 0x4F : タイム・スロット x の変調パルス。 0x50 : タイム・スロット A で発生したデータ・サイクルを出力。 0x51 : タイム・スロット B で発生したデータ・サイクルを出力。 0x52 : タイム・スロット C で発生したデータ・サイクルを出力。 0x53 : タイム・スロット D で発生したデータ・サイクルを出力。 0x54 : タイム・スロット E で発生したデータ・サイクルを出力。 0x55 : タイム・スロット F で発生したデータ・サイクルを出力。 0x56 : タイム・スロット G で発生したデータ・サイクルを出力。 0x57 : タイム・スロット H で発生したデータ・サイクルを出力。 0x58 : タイム・スロット I で発生したデータ・サイクルを出力。		

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
				0x59: タイム・スロット J で発生したデータ・サイクルを出力。 0x5A: タイム・スロット K で発生したデータ・サイクルを出力。 0x5B: タイム・スロット L で発生したデータ・サイクルを出力。 0x5F: 任意のタイム・スロットで発生したデータ・サイクルを出力。		
		[7:0]	GPIOOUT0	GPIO ピン 0 出力の選択。出力の選択肢は GPIOOUT1 ビットで説明した内容と同じです。	0x0	R/W
0x025	GPIO_IN	[15:4]	RESERVED	予約済み。	0x0	R
		[3:0]	GPIO_INPUT	GPIO 入力値 (イネーブルの場合)。	0x0	R
0x026	GPIO_EXT	[15:9]	RESERVED	予約済み。	0x0	R
		8	GOUT_SLEEP	タイム・スロット固有 GPIO 信号のスリープ値。	0x0	R/W
		7	TIMESTAMP_INV	タイム・スタンプ・トリガの反転。 0: タイム・スタンプ・トリガは立上がりエッジです。 1: タイム・スタンプ・トリガは立下がりエッジです。	0x0	R/W
		6	TIMESTAMP_ALWAYS_EN	タイム・スタンプの常オンをイネーブル。このビットが設定されている場合、CAPTURE_TIMESTAMP は自動的にクリアされません。このビットによって、タイム・スタンプは常にオンになります。	0x0	R/W
		[5:4]	TIMESTAMP_GPIO	タイム・スタンプに使用する GPIO の選択。 00: タイム・スタンプに GPIO0 を使用 (デフォルト)。 01: タイム・スタンプに GPIO1 を使用。 10: 予約済み。 11: 予約済み。	0x0	R/W
		3	RESERVED	予約済み。	0x0	R
		2	EXT_SYNC_EN	外部同期をイネーブル。イネーブルされた場合、時間カウンタではなく、EXT_SYNC_GPIO で選択した GPIO を使用してサンプルをトリガします。	0x0	R/W
		[1:0]	EXT_SYNC_GPIO	外部同期用 GPIO の選択。 00: 外部同期に GPIO0 を使用 (デフォルト)。 01: 外部同期に GPIO1 を使用。 10: 予約済み。 11: 予約済み。	0x0	R/W
0x02F	FIFO_DATA	[15:0]	FIFO_DATA	FIFO データ・ポート。	0x0	R
0x044	EFUSE	15	EFUSE_REFRESH	シャドウ・レジスタのリセットをアサートするには、このビットに 1 を書き込みます。このビットは、eFuse の自動リフレッシュ動作をイネーブルし、ヒューズによってシャドウ・レジスタを更新します。このレジスタへの書き込みは正常に完了します。	0x0	R0/W
		[14:3]	RESERVED	予約済み。	0x0	R
		[2:1]	EFUSE_EN	eFuse をイネーブル。 00: オフ (eFuse をリセット状態に保ち、シャドウ・レジスタもリセットされます)。 01: 予約済み。 10: スタンバイ (eFuse は低消費電力状態、シャドウ・レジスタは使用可能)。 11: オン。32MHz の高周波発振器が動作している必要があります。00 から 11 に遷移すると、ヒューズによってシャドウ・レジスタが更新されます。リフレッシュ、内蔵セルフ・テスト (BIST)、またはプログラムを行うには、オン状態になっている必要があります。オフ、およびスタンバイ状態が最も低消費電力です。eFuse ブロックを動作させるには、32MHz の高周波発振器が動作している必要があります。	0x2	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
		0	EFUSE_REG_EN	eFuse レジスタのアクセスをイネーブル。	0x1	R/W
0x057	IO_ADJUST	[15: 7]	RESERVED	予約済み。	0x0	R
		6	LOW_IOVDD_EN	3V 以上の IOVDD を使用する場合は 0x0 に設定します。IOVDD の代表値は 1.8V であるため、デフォルト値の 1 は 3V 未満の IOVDD で使用します。	0x1	R/W
		[5:4]	RESERVED	予約済み。	0x1	R/W
		[3:2]	SPI_SLEW	SPI ピンのスルー制御。 0: 最も遅い。 1: 遅い。 10: 最も速い。 11: 速い。	0x0	R/W
		[1:0]	SPI_DRV	SPI ピンの駆動制御。 0: 中程度。 1: 弱い。 10: 強い。 11: 強い。	0x0	R/W
0x120	TS_CTRL_A	[15: 14]	RESERVED	予約済み。	0x0	R
0x140	TS_CTRL_B	[13: 11]	SAMPLE_TYPE_x	タイム・スロットのサンプリング・タイプ。  000: マルチプレクスされた 1 領域のデジタル積分モード。 001: マルチプレクスされた 2 領域のデジタル積分モード。 010: 1 領域のデジタル積分モード。 011: 2 領域のデジタル積分モード。 100: 直接サンプリング・モード。 101: 予約済み。 110: 予約済み。 111: 予約済み。	0x2	R/W
0x160	TS_CTRL_C					
0x180	TS_CTRL_D					
0x1A0	TS_CTRL_E					
0x1C0	TS_CTRL_F					
0x1E0	TS_CTRL_G					
0x200	TS_CTRL_H					
0x220	TS_CTRL_I					
0x240	TS_CTRL_J					
0x260	TS_CTRL_K					
0x280	TS_CTRL_L	10	RESERVED	予約済み。	0x0	R
		[9:0]	TIMESLOT_OFFSET_x	64 × 960kHz または 64 × (外部 960kHz) サイクルでのタイム・スロット x のオフセット。	0x0	R/W
0x121	TS_PATH_A	[15: 12]	PRE_WIDTH_x	このタイム・スロットの前処理期間。この値は 2μs 刻みで設定します。値を 0 にすると前処理状態をスキップします。	0x4	R/W
0x141	TS_PATH_B	[11:10]	AMBIENT_CANCELLATION_x	周辺光キャンセル DAC の制御タイプを選択。 0: 周辺光キャンセル・ループをディスエーブル。 1: 粗調整と微調整ループをイネーブル。 10: 粗調整ループのみをイネーブル。 11: MCU 制御をイネーブル。	0x0	R/W
0x161	TS_PATH_C					
0x181	TS_PATH_D					
0x1A1	TS_PATH_E					
0x1C1	TS_PATH_F					
0x1E1	TS_PATH_G	9	GOUT_x	このタイム・スロットのタイム・スロット固有 GPIO 値。	0x0	R/W
0x201	TS_PATH_H	[8:7]	RESERVED	予約済み。	0x0	R
0x221	TS_PATH_I					
0x241	TS_PATH_J	[6:0]	AFE_PATH_CFG_x	バイパスおよび入力マルチプレクサの選択。積分器は、アクティブなタイム・スロットのモードおよび AFE_INT_C_BUF に基づいて、積分器またはバッファのいずれかになります。 0x20: TIA、バッファ、および ADC (2× TIA ゲイン)。 0x28: TIA バッファ、および ADC (1× TIA ゲイン)。 0x35: バッファ、ADC。 0x41: ADC。	0x20	R/W
0x261	TS_PATH_K					
0x281	TS_PATH_L					

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x122	INPUTS_A	[15:14]	INP4_SEL_x	チャンネル 3 およびチャンネル 4 と入力 4 のイネーブル。ビット 0 を 1 に設定すると入力 4 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると入力 4 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
	INPUTS_B	[13:12]	INP3_SEL_x	チャンネル 3 およびチャンネル 4 と IN3 のイネーブル。ビット 0 を 1 に設定すると IN3 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると IN3 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
	INPUTS_C	[11:10]	INP2_SEL_x	チャンネル 3 およびチャンネル 4 と IN2 のイネーブル。ビット 0 を 1 に設定すると IN2 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると IN2 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
	INPUTS_D	[9:8]	INP1_SEL_x	チャンネル 3 およびチャンネル 4 と IN1 のイネーブル。ビット 0 を 1 に設定すると IN1 とチャンネル 3 の接続がイネーブルされ、ビット 1 を 1 に設定すると IN1 とチャンネル 4 の接続がイネーブルされます。	0x0	R/W
0x1A2	INPUTS_E	[7:4]	INP34_x	IN3 と IN4 の入力ペアのイネーブル。	0x0	R/W
0x1C2	INPUTS_F			0000 : 入力ペアをディスエーブルします。IN3 と IN4 はどちらも接続されません。		
0x1E2	INPUTS_G			0001 : IN3 をチャンネル 1 に接続します。IN4 は接続されません。		
0x202	INPUTS_H			0010 : IN3 をチャンネル 2 に接続します。IN4 は接続されません。		
0x222	INPUTS_I			0011 : IN4 をチャンネル 1 に接続します。IN3 は接続されません。		
0x242	INPUTS_J			0100 : IN4 をチャンネル 2 に接続します。IN3 は接続されません。		
0x262	INPUTS_K			0101 : IN3 をチャンネル 1 に、IN4 をチャンネル 2 に接続します。		
0x282	INPUTS_L			0110 : IN4 をチャンネル 1 に、IN3 をチャンネル 2 に接続します。		
				0111 : IN3 と IN4 をチャンネル 1 に接続します。シングルエンド入力か差動入力かは PAIR34 に基づいて決定します。チャンネル 2 には何も接続されません。		
				1000 : IN3 と IN4 をチャンネル 2 に接続します。シングルエンド入力か差動入力かは PAIR34 に基づいて決定します。		
		[3:0]	INP12_x	IN1 と IN2 の入力ペアのイネーブル。	0x0	R/W
				0000 : 入力ペアをディスエーブルします。IN1 と IN2 はどちらも接続されません。		
				0001 : IN1 をチャンネル 1 に接続します。IN2 は接続されません。		
				0010 : IN1 をチャンネル 2 に接続します。IN2 は接続されません。		
				0011 : IN2 をチャンネル 1 に接続します。IN1 は接続されません。		
				0100 : IN2 をチャンネル 2 に接続します。IN1 は接続されません。		
				0101 : IN1 をチャンネル 1 に、IN2 をチャンネル 2 に接続します。		
				0110 : IN2 をチャンネル 1 に、IN1 をチャンネル 2 に接続します。		
				0111 : IN1 と IN2 をチャンネル 1 に接続します。シングルエンド入力か差動入力かは PAIR12 に基づいて決定します。		
				1000 : IN1 と IN2 をチャンネル 2 に接続します。シングルエンド入力か差動入力かは PAIR12 に基づいて決定します。		

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x123	CATHODE_A	15	RESERVED	予約済み。	0x0	R
0x143	CATHODE_B	[14:12]	PRECON_x	このタイム・スロットでイネーブルされた入力の前処理値。 000 : 入力はフロート状態。 001 : VC1に前処理を行います。 010 : 予約済み。 011 : 予約済み。 100 : TIA 入力を使用して前処理を行います。 101 : TIA_VREF を使用して前処理を行います。 110 : 差動ペアを短絡させることによって前処理を行いません。	0x0	R/W
0x163	CATHODE_C					
0x183	CATHODE_D					
0x1A3	CATHODE_E					
0x1C3	CATHODE_F					
0x1E3	CATHODE_G					
0x203	CATHODE_H					
0x223	CATHODE_I					
0x243	CATHODE_J	[11:10]	RESERVED	予約済み。	0x0	R
0x263	CATHODE_K	[9:8]	AFE_VREF_AMB_SEL_x	周辺光の粗調整フェーズにおけるリファレンス・パルファの電圧調整。 0 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 600mV。 1 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 400mV。 10 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 200mV。 11 : TIA_VREF = 1.265V。	0x2	R/W
0x283	CATHODE_L	[7:6]	VC1_AMB_SEL_x	周辺光の粗調整フェーズにおける VC1 の状態。 0 : AVDD。 1 : TIA_VREF。 10 : V_DELTA (TIA_VREF + フォト・ダイオードの逆バイアス)。 11 : GND。	0x0	R/W
		[5:4]	VC1_PULSE_x	VC1 パルスの制御。 0 : パルスなし。 1 : 奇数/偶数のタイム・スロットを切り替え。 10 : 変調パルスを使用してオルタネート値にパルスを出力。 11 : VC1 はフロート状態のまま。	0x0	R/W
		[3:2]	VC1_ALT_x	このタイム・スロットにおける VC1 のオルタネート・パルス・ステート。 0 : AVDD。 1 : TIA_VREF。 10 : V_DELTA。 11 : GND。	0x0	R/W
		[1:0]	VC1_SEL_x	このタイム・スロットにおける VC1 のアクティブ・ステート。 0 : AVDD。 1 : TIA_VREF。 10 : V_DELTA。 11 : GND。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x124	AFE_TRIM1_A	15	AFE_TIA_SAT_DETECT_EN_x	TIA 飽和検出をイネーブル。1に設定すると、TIA の飽和検出回路をイネーブルします。チャンネル 1 の TIA 飽和検出回路と共に、チャンネル 2 がイネーブルされている場合はチャンネル 2 の TIA 飽和検出回路もイネーブルされます。	0x0	R/W
0x144	AFE_TRIM1_B	[14: 13]	RESERVED	予約済み。	0x0	R
0x164	AFE_TRIM1_C	[12: 11]	AFE_BUFFER_GAIN_x	バッファ・ゲインの選択。 0 : バッファ・ゲイン = 1 ( $R_{FB}/R_{IN} = 200k\Omega/200k\Omega$ )。 1 : バッファ・ゲイン = 2 ( $R_{FB}/R_{IN} = 200k\Omega/100k\Omega$ )。 10 : バッファ・ゲイン = 1 ( $R_{FB}/R_{IN} = 100k\Omega/100k\Omega$ )。 11 : バッファ・ゲイン = 2 ( $R_{FB}/R_{IN} = 100k\Omega/50k\Omega$ )。	0x0	R/W
0x184	AFE_TRIM1_D	10	VREF_PULSE_x	リファレンス電圧 ( $V_{REF}$ ) のパルス制御。 0 : パルスなし。 1 : $V_{REF}$ に変調パルスをベースにしたパルスを印加。	0x0	R/W
0x1A4	AFE_TRIM1_E					
0x1C4	AFE_TRIM1_F					
0x1E4	AFE_TRIM1_G					
0x204	AFE_TRIM1_H					
0x224	AFE_TRIM1_I					
0x244	AFE_TRIM1_J					
0x264	AFE_TRIM1_K	[9:8]	AFE_TRIM_VREF_x	リファレンス・バッファの電圧調整。 00 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 600mV。 01 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 400mV。 10 : TIA_VREF = 0.8855V、フォト・ダイオードへの逆バイアス = 200mV。 11 : TIA_VREF = 1.265V。	0x2	R/W
0x284	AFE_TRIM1_L	[7:6]	VREF_PULSE_VAL_x	$V_{REF}$ パルスのオルタネート値。 00 : TIA_VREF = 0.8855V に変調、フォト・ダイオードへの逆バイアス = 600mV。 01 : TIA_VREF = 0.8855V に変調、フォト・ダイオードへの逆バイアス = 400mV。 10 : TIA_VREF = 0.8855V に変調、フォト・ダイオードへの逆バイアス = 200mV。 11 : TIA_VREF = 1.265V に変調。	0x3	R/W
		[5:3]	TIA_GAIN_CH2_x	チャンネル 2 の TIA 抵抗のゲイン設定 0 : 400k $\Omega$ 。 1 : 200k $\Omega$ 。 10 : 100k $\Omega$ 。 11 : 50k $\Omega$ 。 100 : 25k $\Omega$ 。 101 : 12.5k $\Omega$ 。	0x1	R/W
		[2:0]	TIA_GAIN_CH1_x	チャンネル 1 の TIA 抵抗のゲイン設定 0 : 400k $\Omega$ 。 1 : 200k $\Omega$ 。 10 : 100k $\Omega$ 。 11 : 50k $\Omega$ 。 100 : 25k $\Omega$ 。 101 : 12.5k $\Omega$ 。	0x1	R/W
0x125	AFE_TRIM2_A	[15: 13]	RESERVED	予約済み。	0x0	R
0x145	AFE_TRIM2_B	12	AFE_BUFFER_CAP_x	バッファ・フィードバック・コンデンサの選択。 0 : 6.3pF。 1 : 12.6pF。	0x0	R/W
0x165	AFE_TRIM2_C					
0x185	AFE_TRIM2_D					

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x1A5	AFE_TRIM2_E	[11:6]	RESERVED	予約済み。	0x0	R
0x1C5	AFE_TRIM2_F	[5:3]	TIA_GAIN_CH4_x	チャンネル 4 の TIA 抵抗のゲイン設定 000 : 400kΩ。 001 : 200kΩ。 010 : 100kΩ。 011 : 50kΩ。 100 : 25kΩ。 101 : 12.5kΩ。	0x0	R/W
0x1E5	AFE_TRIM2_G					
0x205	AFE_TRIM2_H					
0x225	AFE_TRIM2_I					
0x245	AFE_TRIM2_J					
0x265	AFE_TRIM2_K					
0x285	AFE_TRIM2_L					
		[2:0]	TIA_GAIN_CH3_x	チャンネル 3 の TIA 抵抗のゲイン設定 000 : 400kΩ。 001 : 200kΩ。 010 : 100kΩ。 011 : 50kΩ。 100 : 25kΩ。 101 : 12.5kΩ。	0x0	R/W
0x126	AFE_DAC1_A	[15: 7]	DAC_AMBIENT_CH1_x	チャンネル 1 の周辺光キャンセル DAC コード、0μA～300μA の範囲で 0.6μA/LSB。	0x0	R/W
0x146	AFE_DAC1_B	[6:0]	DAC_LED_DC_CH1_x	チャンネル 1 の LED DC オフセット・キャンセル DAC コード、0μA～190μA の範囲で 1.5μA/LSB。0 に設定するとディスエーブルされます。	0x0	R/W
0x166	AFE_DAC1_C					
0x186	AFE_DAC1_D					
0x1A6	AFE_DAC1_E					
0x1C6	AFE_DAC1_F					
0x1E6	AFE_DAC1_G					
0x206	AFE_DAC1_H					
0x226	AFE_DAC1_I					
0x246	AFE_DAC1_J					
0x266	AFE_DAC1_K					
0x286	AFE_DAC1_L					
0x127	AFE_DAC2_A	[15: 7]	DAC_AMBIENT_CH2_x	チャンネル 2 の周辺光キャンセル DAC コード、0μA～300μA の範囲で 0.6μA/LSB。	0x0	R/W
0x147	AFE_DAC2_B	[6:0]	DAC_LED_DC_CH2_x	チャンネル 2 の LED DC オフセット・キャンセル DAC コード、0μA～190μA の範囲で 1.5μA/LSB。0 に設定するとディスエーブルされます。	0x0	R/W
0x167	AFE_DAC2_C					
0x187	AFE_DAC2_D					
0x1A7	AFE_DAC2_E					
0x1C7	AFE_DAC2_F					
0x1E7	AFE_DAC2_G					
0x207	AFE_DAC2_H					
0x227	AFE_DAC2_I					
0x247	AFE_DAC2_J					
0x267	AFE_DAC2_K					
0x287	AFE_DAC2_L					
0x128	LED_POW12_A	15	RESERVED	予約済み。	0x0	R
0x148	LED_POW12_B	[14: 8]	LED_CURRENT2_x	LED2A、LED2B、LED2C、または LED2D 出力の LED 電流の設定。0 に設定するとディスエーブルされます。 出力電流は、0x01～0x7F の範囲で設定することにより単調増加で 1.57mA から 200mA まで変化します。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x168	LED_POW12_C	7	RESERVED	予約済み。	0x0	R
0x188	LED_POW12_D	[6:0]	LED_CURRENT1_x	LED1A、LED1B、LED1C、または LED1D 出力の LED 電流の設定。0 に設定するとディスエーブルされます。出力電流は、0x01~0x7F の範囲で設定することにより単調増加で 1.57mA から 200mA まで変化します。	0x0	R/W
0x1A8	LED_POW12_E					
0x1C8	LED_POW12_F					
0x1E8	LED_POW12_G					
0x208	LED_POW12_H					
0x228	LED_POW12_I					
0x248	LED_POW12_J					
0x268	LED_POW12_K					
0x288	LED_POW12_L					
0x129	LED_MODE_A	[15: 8]	RESERVED	予約済み。	0x0	R
0x149	LED_MODE_B	[7:6]	LED_DRIVESIDE2_x	LED2x の LED 出力選択。 00 : 出力 LED2A の LED を駆動。 01 : 出力 LED2B の LED を駆動。 10 : 出力 LED2C の LED を駆動。 11 : 出力 LED2D の LED を駆動。	0x0	R/W
0x169	LED_MODE_C					
0x189	LED_MODE_D					
0x1A9	LED_MODE_E					
0x1C9	LED_MODE_F					
0x1E9	LED_MODE_G					
0x209	LED_MODE_H	[5:4]	LED_DRIVESIDE1_x	LED1x の LED 出力選択。 00 : 出力 LED1A の LED を駆動。 01 : 出力 LED1B の LED を駆動。 10 : 出力 LED1C の LED を駆動。 11 : 出力 LED1D の LED を駆動。	0x0	R/W
0x229	LED_MODE_I					
0x249	LED_MODE_J					
0x269	LED_MODE_K					
0x289	LED_MODE_L					
		[3:2]	RESERVED	予約済み。	0x0	R
		1	LED_MODE2_x	LED2x の動作モードの選択。 0 : 高 S/N 比モード。 1 : 低コンプライアンス・モード。	0x0	R/W
		0	LED_MODE1_x	LED1x の動作モードの選択。 0 : 高 S/N 比モード。 1 : 低コンプライアンス・モード。	0x0	R/W
0x12A	COUNTS_A	[15: 8]	NUM_INT_x	ADC サイクル数またはアキュジション幅。ADC 変換ごとのアナログ積分サイクル数、またはデジタル積分でのアキュジション幅です。0 に設定することはできません。	0x1	R/W
0x14A	COUNTS_B	[7:0]	NUM_REPEAT_x	シーケンスの繰り返し回数。パルスの総数 = NUM_INT_x × NUM_REPEAT_x。0 に設定することはできません。	0x1	R/W
0x16A	COUNTS_C					
0x18A	COUNTS_D					
0x1AA	COUNTS_E					
0x1CA	COUNTS_F					
0x1EA	COUNTS_G					
0x20A	COUNTS_H					
0x22A	COUNTS_I					
0x24A	COUNTS_J					
0x26A	COUNTS_K					
0x28A	COUNTS_L					



## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x12B	PERIOD_A	15	RESERVED	予約済み。	0x0	R
0x14B	PERIOD_B	14	COARSE_LOOP_WIDTH_x	周辺光の粗調整キャンセル・ループの時間。 0 : 10 $\mu$ s。 1 : 20 $\mu$ s。	0x0	R/W
0x16B	PERIOD_C					
0x18B	PERIOD_D					
0x1AB	PERIOD_E					
0x1CB	PERIOD_F					
0x1EB	PERIOD_G	[13:12]	MOD_TYPE_x	変調接続タイプ。  00 : TIA は、前処理の後、常に入力と接続し続けます。接続の変調はありません。 01 : フロート・タイプの動作。変調パルスを使用して入力から TIA にパルス接続します。パルスとパルスの間はフロート状態です。 10 : 非フロート・タイプの接続変調。入力から TIA にパルス接続します。パルスとパルスの間は前処理値に接続しません。	0x0	R/W
0x20B	PERIOD_H	[11:10]	RESERVED	予約済み。	0x0	R
0x22B	PERIOD_I					
0x24B	PERIOD_J					
0x26B	PERIOD_K	[9:0]	MIN_PERIOD_x	パルス繰り返しの最小周期。自動計算の周期にオーバーライドします。フロート・タイプ動作で使用し、フロート = MIN_PERIOD_x - MOD_WIDTH_x の式を使用して 2 番目以降のフロートのフロート時間を設定します。	0x0	R/W
0x12C	LED_PULSE1_A	[15:8]	LED_WIDTH_A	LED のパルス幅。	0x2	R/W
0x14C	LED_PULSE1_B	[7:0]	LED_OFFSET_A	LED パルスのオフセット。	0x10	R/W
0x16C	LED_PULSE1_C					
0x18C	LED_PULSE1_D					
0x1AC	LED_PULSE1_E					
0x1CC	LED_PULSE1_F					
0x1EC	LED_PULSE1_G					
0x20C	LED_PULSE1_H					
0x22C	LED_PULSE1_I					
0x24C	LED_PULSE1_J					
0x26C	LED_PULSE1_K					
0x28C	LED_PULSE1_L					
0x12D	AFE_DAC3_A	[15:7]	DAC_AMBIENT_CH3_x	チャンネル 3 の周辺光キャンセル DAC コード、0 $\mu$ A ~ 300 $\mu$ A の範囲で 0.6 $\mu$ A/LSB。	0x0	R/W
0x14D	AFE_DAC3_B	[6:0]				
0x16D	AFE_DAC3_C	[15:7]	DAC_AMBIENT_CH3_x	チャンネル 3 の周辺光キャンセル DAC コード、0 $\mu$ A ~ 300 $\mu$ A の範囲で 0.6 $\mu$ A/LSB。	0x0	R/W
0x18D	AFE_DAC3_D					
0x1AD	AFE_DAC3_E					
0x1CD	AFE_DAC3_F					
0x1ED	AFE_DAC3_G					
0x20D	AFE_DAC3_H					
0x22D	AFE_DAC3_I					
0x24D	AFE_DAC3_J					
0x26D	AFE_DAC3_K					
0x28D	AFE_DAC3_L					

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x12E	AFE_DAC4_A	[15: 7]	DAC_AMBIENT_CH4_x	チャンネル 4 の周辺光キャンセル DAC コード、0 $\mu$ A～300 $\mu$ A の範囲で 0.6 $\mu$ A/LSB。	0x0	R/W
0x14E	AFE_DAC4_B	[6:0]	DAC_LED_DC_CH4_x	チャンネル 4 の LED DC オフセット・キャンセル DAC コード、0 $\mu$ A～190 $\mu$ A の範囲で 1.5 $\mu$ A/LSB。0 に設定するとディスエーブルされます。	0x0	R/W
0x16E	AFE_DAC4_C					
0x18E	AFE_DAC4_D					
0x1AE	AFE_DAC4_E					
0x1CE	AFE_DAC4_F					
0x1EE	AFE_DAC4_G					
0x20E	AFE_DAC4_H					
0x22E	AFE_DAC4_I					
0x24E	AFE_DAC4_J					
0x26E	AFE_DAC4_K					
0x28E	AFE_DAC4_L					
0x12F	THRESH0_A	[15: 13]	RESERVED	予約済み。	0x0	R
0x14F	THRESH0_B	[12: 8]	THRESH0_SHIFT_x	閾値比較のレベル割込み 0 におけるシフト。比較する前に、ここで設定した量だけ THRESH0_VALUE_x をシフトします。	0x0	R/W
0x16F	THRESH0_C	[7:0]	THRESH0_VALUE_x	閾値比較のレベル割込み 0 における値。	0x0	R/W
0x18F	THRESH0_D					
0x1AF	THRESH0_E					
0x1CF	THRESH0_F					
0x1EF	THRESH0_G					
0x20F	THRESH0_H					
0x22F	THRESH0_I					
0x24F	THRESH0_J					
0x26F	THRESH0_K					
0x28F	THRESH0_L					
0x130	MOD_PULSE_A	[15: 8]	MOD_WIDTH_x	変調パルス幅。0 = ディスエーブル。	0x0	R/W
0x150	MOD_PULSE_B	[7:0]	MOD_OFFSET_x	変調パルス・オフセット。	0x1	R/W
0x170	MOD_PULSE_C					
0x190	MOD_PULSE_D					
0x1B0	MOD_PULSE_E					
0x1D0	MOD_PULSE_F					
0x1F0	MOD_PULSE_G					
0x210	MOD_PULSE_H					
0x230	MOD_PULSE_I					
0x250	MOD_PULSE_J					
0x270	MOD_PULSE_K					
0x290	MOD_PULSE_L					
0x131	PATTERN1_A	[15: 12]	LED_DISABLE_x	4パルスの LED ディスエーブル・パターン。1 に設定すると、マッチング位置での 4パルス・グループによる LED パルスがディスエーブルされます。LSB は最初のパルスにマップされます。	0x0	R/W
0x151	PATTERN1_B	[11:8]	MOD_DISABLE_x	4パルスの変調ディスエーブル・パターン。1 に設定すると、マッチング位置での 4パルス・グループによる変調パルスをディスエーブルします。LSB は最初のパルスにマップされます。	0x0	R/W

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x171	PATTERN1_C	[7:4]	SUBTRACT_x	4パルスの減算パターン。1に設定すると、マッチング位置における4パルス・グループでの計算を無効にします。LSBは最初のパルスにマップされます。	0x0	R/W
0x191	PATTERN1_D	[3:0]	AFE_SWAP_x	4パルス積分の反転パターン。1に設定すると、マッチング位置において積分器の4パルス・グループ内の正と負の順序を逆にします。LSBは最初のパルスにマップされます。	0x0	R/W
0x1B1	PATTERN1_E					
0x1D1	PATTERN1_F					
0x1F1	PATTERN1_G					
0x211	PATTERN1_H					
0x231	PATTERN1_I					
0x251	PATTERN1_J					
0x271	PATTERN1_K					
0x291	PATTERN1_L					
0x132	THRESH_CFG_A	[15:11]	RESERVED	予約済み。	0x0	R
0x152	THRESH_CFG_B	10	THRESH1_DIR_x	レベル割込み1で比較するタイプ。 0: 閾値未滿時にセット。 1: 閾値を超えたときにセット。	0x0	R/W
0x172	THRESH_CFG_C					
0x192	THRESH_CFG_D					
0x1B2	THRESH_CFG_E					
0x1D2	THRESH_CFG_F	[9:8]	THRESH1_TYPE_x	レベル割込み1で比較するタイプ。 0: オフ (比較しない)。 1: 信号と比較。 10: 明値と比較。 11: 暗値と比較。	0x0	R/W
0x1F2	THRESH_CFG_G					
0x212	THRESH_CFG_H					
0x232	THRESH_CFG_I					
0x252	THRESH_CFG_J					
0x272	THRESH_CFG_K	[7:3]	RESERVED	予約済み。	0x0	R
0x292	THRESH_CFG_L	2	THRESH0_DIR_x	レベル割込み0で比較するタイプ。 0: 閾値未滿時にセット。 1: 閾値を超えたときにセット。	0x0	R/W
		[1:0]	THRESH0_TYPE_x	レベル割込み0で比較するタイプ。 0: オフ (比較しない)。 1: 信号と比較。 10: 明値と比較。 11: 暗値と比較。	0x0	R/W
0x133	ADC_OFF1_A	[15:14]	RESERVED	予約済み。	0x0	R
0x153	ADC_OFF1_B	[13:0]	CH1_ADC_ADJUST_x	ADC値の調整。この値がチャンネル1のADCの値から減算されます。	0x0	R/W
0x173	ADC_OFF1_C					
0x193	ADC_OFF1_D					
0x1B3	ADC_OFF1_E					
0x1D3	ADC_OFF1_F					
0x1F3	ADC_OFF1_G					
0x213	ADC_OFF1_H					
0x233	ADC_OFF1_I					
0x253	ADC_OFF1_J					
0x273	ADC_OFF1_K					
0x293	ADC_OFF1_L					

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x134	ADC_OFF2_A	[15: 14]	RESERVED	予約済み。	0x0	R/W
0x154	ADC_OFF2_B	[13: 0]	CH2_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 2 の ADC の値から減算されます。	0x0	R/W
0x174	ADC_OFF2_C					
0x194	ADC_OFF2_D					
0x1B4	ADC_OFF2_E					
0x1D4	ADC_OFF2_F					
0x1F4	ADC_OFF2_G					
0x214	ADC_OFF2_H					
0x234	ADC_OFF2_I					
0x254	ADC_OFF2_J					
0x274	ADC_OFF2_K					
0x294	ADC_OFF2_L					
0x135	DATA1_A	[15: 11]	DARK_SHIFT_x	暗データのシフト。	0x0	R/W
0x155	DATA1_B	[10: 8]	DARK_SIZE_x	暗データのサイズ。	0x0	R/W
0x175	DATA1_C	[7:3]	SIGNAL_SHIFT_x	信号データのシフト。	0x0	R/W
0x195	DATA1_D	[2:0]	SIGNAL_SIZE_x	信号データのサイズ。	0x3	R/W
0x1B5	DATA1_E					
0x1D5	DATA1_F					
0x1F5	DATA1_G					
0x215	DATA1_H					
0x235	DATA1_I					
0x255	DATA1_J					
0x275	DATA1_K					
0x295	DATA1_L					
0x136	DATA2_A	[15: 8]	RESERVED	信号データのサイズ。	0x0	R
0x156	DATA2_B	[7:3]	LIT_SHIFT_x	明データのシフト。	0x0	R/W
0x176	DATA2_C	[2:0]	LIT_SIZE_x	明データのサイズ。	0x0	R/W
0x196	DATA2_D					
0x1B6	DATA2_E					
0x1D6	DATA2_F					
0x1F6	DATA2_G					
0x216	DATA2_H					
0x236	DATA2_I					
0x256	DATA2_J					
0x276	DATA2_K					
0x296	DATA2_L					
0x137	DECIMATE_A	[15: 14]	CHANNEL_EN_x	チャンネルのイネーブル。	0x0	R/W
0x157	DECIMATE_B			00 : チャンネル 1 のみをイネーブルします。		
0x177	DECIMATE_C			01 : チャンネル 1 とチャンネル 2 をイネーブルします。		
0x197	DECIMATE_D			10 : チャンネル 1、チャンネル 2 およびチャンネル 3 をイネーブルします。		
0x1B7	DECIMATE_E			11 : チャンネル 1、チャンネル 2、チャンネル 3 およびチャンネル 4 をイネーブルします。		

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x1D7	DECIMATE_F	[13: 11]	RESERVED	予約済み。	0x0	R
0x1F7	DECIMATE_G	[10: 4]	SUBSAMPLE_RATIO_x	出力データレートを (タイマー・クロック周波数) / (TIMESLOT_PERIOD_x) / (SUBSAMPLE_RATIO_x) に等しくなるよう減少させます。このビットが 1 より大きい場合は、タイム・スロットをタイム・スロット・シーケンスの (SUBSAMPLE_RATIO_x) ごとに 1 回だけ動作させます。 このサブサンプリングは、同じ SUBSAMPLE_RATIO_x を用いて他のタイム・スロットに揃えることができます。(SUBSAMPLE_RATIO_x - 1) 回スキップした後、そのタイム・スロットが実行されます。出力データレートは、サンプリング・レート / (SUBSAMPLE_RATIO_x) です。	0x1	R/W
0x217	DECIMATE_H	[3:0]	RESERVED	予約済み。	0x0	R
0x237	DECIMATE_I					
0x257	DECIMATE_J					
0x277	DECIMATE_K					
0x297	DECIMATE_L					
0x138	DIGINT_LIT_A	[15: 9]	RESERVED	予約済み。	0x0	R
0x158	DIGINT_LIT_B	[8:0]	LIT_OFFSET_x	タイム・スロット x におけるアキュイジション・ウィンドウの明オフセット。	0x26	R/W
0x178	DIGINT_LIT_C					
0x198	DIGINT_LIT_D					
0x1B8	DIGINT_LIT_E					
0x1D8	DIGINT_LIT_F					
0x1F8	DIGINT_LIT_G					
0x218	DIGINT_LIT_H					
0x238	DIGINT_LIT_I					
0x258	DIGINT_LIT_J					
0x278	DIGINT_LIT_K					
0x298	DIGINT_LIT_L					
0x139	DIGINT_DARK_A	[15: 7]	DARK2_OFFSET_x	タイム・スロット x におけるアキュイジション・ウィンドウの暗オフセット 2。	0x1	R/W
0x159	DIGINT_DARK_B	[6:0]	DARK1_OFFSET_x	タイム・スロット x におけるアキュイジション・ウィンドウの暗オフセット 1。	0x6	R/W
0x179	DIGINT_DARK_C					
0x199	DIGINT_DARK_D					
0x1B9	DIGINT_DARK_E					
0x1D9	DIGINT_DARK_F					
0x1F9	DIGINT_DARK_G					
0x219	DIGINT_DARK_H					
0x239	DIGINT_DARK_I					
0x259	DIGINT_DARK_J					
0x279	DIGINT_DARK_K					
0x299	DIGINT_DARK_L					
0x13A	ADC_OFF3_A	[15: 14]	RESERVED	予約済み。	0x0	R
0x15A	ADC_OFF3_B	[13: 0]	CH3_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 3 の ADC の値から減算されます。	0x0	R/W
0x17A	ADC_OFF3_C					
0x19A	ADC_OFF3_D					
0x1BA	ADC_OFF3_E					
0x1DA	ADC_OFF3_F					
0x1FA	ADC_OFF3_G					
0x21A	ADC_OFF3_H					
0x23A	ADC_OFF3_I					
0x25A	ADC_OFF3_J					
0x27A	ADC_OFF3_K					
0x29A	ADC_OFF3_L					

## レジスタの詳細

表 16. レジスタの詳細

レジスタ	名前	ビット	ビット名	説明	リセット	アクセス
0x13B	ADC_OFF4_A	[15: 14]	RESERVED	予約済み。	0x0	R
0x15B	ADC_OFF4_B	[13: 0]	CH4_ADC_ADJUST_x	ADC 値の調整。この値がチャンネル 4 の ADC の値から減算されます。	0x0	R/W
0x17B	ADC_OFF4_C					
0x19B	ADC_OFF4_D					
0x1BB	ADC_OFF4_E					
0x1DB	ADC_OFF4_F					
0x1FB	ADC_OFF4_G					
0x21B	ADC_OFF4_H					
0x23B	ADC_OFF4_I					
0x25B	ADC_OFF4_J					
0x27B	ADC_OFF4_K					
0x29B	ADC_OFF4_L					
0x13C	THRESH1_A	[15: 13]	RESERVED	予約済み。	0x0	R
0x15C	THRESH1_B	[12: 8]	THRESH1_SHIFT_x	閾値比較のレベル割込み 1 におけるシフト。比較する前に、ここで設定した量だけ THRESH0_VALUE_x をシフトします。	0x0	R/W
0x17C	THRESH1_C	[7:0]	THRESH1_VALUE_x	閾値比較のレベル割込み 1 における値。	0x0	R/W
0x19C	THRESH1_D					
0x1BC	THRESH1_E					
0x1DC	THRESH1_F					
0x1FC	THRESH1_G					
0x21C	THRESH1_H					
0x23C	THRESH1_I					
0x25C	THRESH1_J					
0x27C	THRESH1_K					
0x29C	THRESH1_L					

## 外形寸法

Package Drawing (Option)	Package Type	Package Description
CB-36-11	WLCSP	36-Ball Wafer Level Chip Scale Package

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

更新：2024年3月25日

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADPD7008BCBZR7	-40°C to +85°C	36-ball WLCSP (2.795 mm x 2.560 mm x 0.595 mm)	Reel, 1500	CB-36-11

<sup>1</sup> Z = RoHS 準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
EVAL-ADPD7000Z	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。