



# データシート ADPD4200

## マルチモード・センサー・フロント・エンド

### 特長

- ▶ マルチモード・アナログ・フロント・エンド
- ▶ 以下の計測に対応した複数の動作モードを備える4つの入力チャンネル：PPG、ECG、EDA、インピーダンス、温度
- ▶ 同時サンプリングによるデュアルチャンネル処理
- ▶ 同期されたセンサー計測が可能な12のプログラマブル・タイム・スロット
- ▶ 差動およびシングルエンドのセンサー計測に対応する柔軟性に優れた入力マルチプレクス
- ▶ 同時に駆動できる4つのLEDドライバ
- ▶ 内部発振器を使用した0.004Hz~9kHzの柔軟なサンプリング・レート
- ▶ オンチップのデジタル・フィルタ処理
- ▶ S/N比：105dB（100kΩのTIAゲイン、100HzのODR、80パルス、CPD = 70pF、0.5Hz~10Hzの帯域幅）
- ▶ AC周辺光の除去：60dB（DC~1kHz）
- ▶ LEDのピーク駆動電流の合計：400mA
- ▶ システムの合計消費電力：30μW（LEDとAFEの合計消費電力）、75dBのS/N比、25HzのODR、100nA/mAのCTRでの連続PPG測定
- ▶ SPI通信に対応
- ▶ 512バイトのFIFO

### アプリケーション

- ▶ 健康／フィットネス・モニタ用のウェアラブル機器：心拍数モニタ（HRM）、心拍数変化（HRV）、ストレス、血圧推定、SpO<sub>2</sub>、体内水分量、身体組成
- ▶ 工業用モニタリング：CO、CO<sub>2</sub>、煙、およびエアロゾルの検出
- ▶ 自宅療養患者のモニタリング

### 概要

ADPD4200は、最大4個の発光ダイオード（LED）を励起してリターン信号を最大4つの個別電流入力で測定する、フル機能のマルチモード・センサー・フロント・エンドとして動作します。12のタイム・スロットを使用して、サンプリング周期ごとに12の値を個別に測定できます。

データ出力と機能設定は、ADPD4200のシリアル・ポート・インターフェース（SPI）を介して行います。制御回路には、柔軟性の高いLED信号制御機能と同期検出機能が搭載されています。また、1.8Vのアナログ・コアと1.8Vまたは3.3V互換デジタル入出力（I/O）を使用します。

アナログ・フロント・エンド（AFE）は、一般に周辺光によって生じる非同期の変調干渉に起因する信号のオフセットや破損を除去することができ、光学フィルタや外部制御のDCキャンセル回路は不要です。ADPD4200には複数の動作モードがあり、フォトダイオード、生体電位電極、抵抗、容量、および温度センサーの同期測定が可能なセンサー・ハブとして使用できます。

ADPD4200は、2.619mm × 1.804mm、0.40mmピッチの24ボールWLCSPパッケージを採用しています。

アナログ・デバイス社は、文書に使用する用語と言語を文化的に適切なものとするための更新作業を進めています。このプロセスは広い範囲にわたって段階的に進められますが、できるだけ早期の完了を目指しています。今しばらくお待ちください。

Rev. A

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

文書に関するご意見

テクニカルサポート

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	実行モード.....	22
アプリケーション.....	1	ホスト・インターフェース.....	22
概要.....	1	割込みステータス・ビット.....	22
機能ブロック図.....	3	アプリケーション情報.....	25
仕様.....	4	動作モードの概要.....	25
温度と電力の仕様.....	4	1回積分モード.....	25
性能仕様.....	5	LEDを励起信号として使用.....	25
ADGM1003の仕様.....	5	複数積分モード.....	34
デジタル仕様.....	7	デジタル積分モード.....	36
タイミング図.....	8	TIA ADCモード.....	38
絶対最大定格.....	9	ADPD4200を使用したECG測定.....	39
熱抵抗.....	9	レジスタ・マップ.....	43
推奨ハンダ付けプロファイル.....	9	レジスタの詳細.....	69
静電放電 (ESD) 定格.....	9	グローバル設定レジスタ.....	69
ESDに関する注意.....	9	割込みステータスとコントロール・レジスタ.....	71
ピン配置およびピン機能の説明.....	10	閾値の設定とコントロール・レジスタ.....	77
代表的な性能特性.....	11	クロックとタイム・スタンプの設定、およびコントロール・レジスタ.....	79
動作原理.....	13	システム・レジスタ.....	79
はじめに.....	13	入出力の設定、およびコントロール・レジスタ.....	80
アナログ信号パス.....	13	タイム・スロット設定レジスタ.....	83
アナログ入力マルチプレクサ.....	14	AFEタイミング設定レジスタ.....	87
LEDドライバ.....	15	LED制御、およびタイミング・レジスタ.....	88
C <sub>VLED</sub> の決定.....	15	ADCオフセット・レジスタ.....	90
データバス、デシメーション、サブサンプリング、およびFIFO.....	16	出力データ・レジスタ.....	90
クロッキング.....	19	外形寸法.....	93
低周波発振器のキャリブレーション.....	20	オーダー・ガイド.....	93
高周波発振器のキャリブレーション.....	20	評価用ボード.....	93
タイム・スロット動作.....	21		

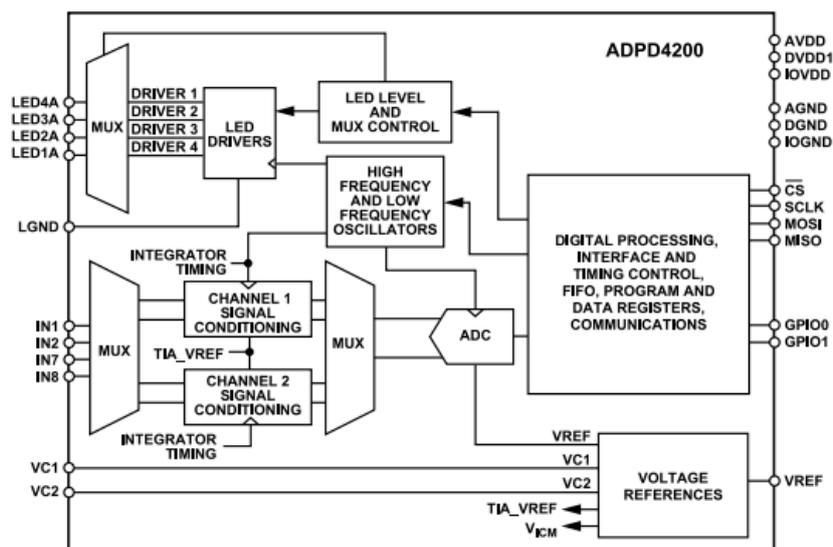
## 改訂履歴

## 2/2023—Rev. 0 to Rev. A

Changes to Figure 4 and Table 12.....10

## 3/2022—Revision 0: Initial Version

機能ブロック図



- NOTES
1. TIA\_VREF IS THE INTERNAL VOLTAGE REFERENCE SIGNAL FOR THE TRANSMIMPEDANCE AMPLIFIER.
  2. CS, SCLK, MOSI, AND MISO ARE SPI INTERFACE PINS.

001

図 1.

## 仕様

## 温度と電力の仕様

表 1. 動作条件

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
TEMPERATURE RANGE					
Operating Range		40		+85	°C
Storage Range		-65		+150	°C
POWER SUPPLY VOLTAGE					
Supply Voltage, V <sub>DD</sub>	AVDDピンとDVDD1ピンに印加	1.7	1.8	1.9 V	
Input and Output Driver Supply, IOV <sub>DD</sub>	IOVDDピンに印加	1.7	1.8	3.6 V	

特に指定のない限り、AVDD = DVDD1 = IOVDD = 1.8V、T<sub>A</sub> = 25°C。

表 2. 消費電流

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
POWER SUPPLY (V <sub>DD</sub> ) CURRENT						
V <sub>DD</sub> Supply Current <sup>1</sup>		S/N比 = 75dB、25Hzの出力データ・レート (ODR)、 単一タイム・スロット		10		μA
Total System Power Dissipation		LEDとAFEの合計消費電力、75dBのS/N比、25Hzの ODR、100nA/mAの電流伝達率 (CTR) での連続フォト ブレチスモグラフィ (PPG) 測定		30		μW
Peak V <sub>DD</sub> Supply Current (1.8 V)						
1-Channel Operation	I <sub>VDD_PEAK</sub>	タイム・スロットのサンプリング期間のピークV <sub>DD</sub> 電流		4.5		mA
Standby Mode Current	I <sub>VDD_STANDBY</sub>			0.250		μA

1 V<sub>DD</sub>はAVDDピンとDVDD1ピンに印加される電圧です。

## 仕様

## 性能仕様

特に指定のない限り、AVDD = DVDD1 = IOVDD = 1.8V、T<sub>A</sub> = 全動作温度範囲。

表 3.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
DATA ACQUISITION Datapath Width				32	Bits
FIRST IN, FIRST OUT (FIFO) SIZE				512	Bytes
LED DRIVER					
LED Peak Current per Driver	LEDパルスが有効	2	200		mA
LED Peak Current, Total	複数のLEDドライバを同時に使用		400		mA
Driver Compliance Voltage	任意のLEDドライバ出力における値、ILED = 40mA			200	mV
LED PERIOD	AFE積分幅 = 4 $\mu$ s <sup>1</sup>	10			$\mu$ s
	AFE積分幅 = 3 $\mu$ s	8			$\mu$ s
SAMPLING RATE <sup>2</sup>	単一タイム・スロット、4データ・バイトのFIFO、2 $\mu$ sのLEDパルス	0.004		9000	Hz
OSCILLATOR DRIFT					
32 kHz Oscillator	25°C~85°Cでの変動 (パーセント値)		3.00	5.00	%
	+25°C~-40°Cでの変動 (パーセント値)		-3.00	-7.00	%
1 MHz Oscillator	25°C~85°Cでの変動 (パーセント値)		1.00	2.00	%
	+25°C~-40°Cでの変動 (パーセント値)		-1.00	-3.00	%
32 MHz Oscillator	25°C~85°Cでの変動 (パーセント値)		1.00	2.00	%
	+25°C~-40°Cでの変動 (パーセント値)		-2.00	-4.00	%

1 最小LED周期 = (2 × AFE積分幅) + 2 $\mu$ s。

2 この仕様に示す最大値は、内部1MHzステート・マシン・クロック使用時の内蔵A/Dコンバータ (ADC) のサンプリング・レートです。構成によっては、SPIなどの通信インターフェースの読み出しレートが原因でODRが制限を受ける可能性があります。

## ADGM1003の仕様

表 4.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
TRANSIMPEDANCE AMPLIFIER (TIA) GAIN		12.5		200	k $\Omega$
PULSED SIGNAL CONVERSIONS, 3 $\mu$ s LED PULSE ADC Resolution <sup>1</sup>	4 $\mu$ sの積分幅、信号積分モード TIAの帰還抵抗		6.2		nA/LSB
	12.5 k $\Omega$		3.1		nA/LSB
	25 k $\Omega$		1.5		nA/LSB
	100 k $\Omega$		0.77		nA/LSB
	200 k $\Omega$		0.38		nA/LSB
ADC Saturation Level <sup>2</sup>	TIAの帰還抵抗		50		$\mu$ A
	12.5 k $\Omega$		25		$\mu$ A
	25 k $\Omega$		12.5		$\mu$ A
	100 k $\Omega$		6.22		$\mu$ A
	200 k $\Omega$		3.11		$\mu$ A
PULSED SIGNAL CONVERSIONS, 2 $\mu$ s LED PULSE ADC Resolution <sup>1</sup>	3 $\mu$ sの積分幅、1回積分モード TIAの帰還抵抗		8.2		nA/LSB
	12.5 k $\Omega$		4.1		nA/LSB
	25 k $\Omega$		2.04		nA/LSB
	50 k $\Omega$		1.02		nA/LSB
	100 k $\Omega$		0.51		nA/LSB
	200 k $\Omega$				nA/LSB

## 仕様

表 4.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位	
ADC Saturation Level <sup>2</sup>	TIAの帰還抵抗					
	12.5 kΩ		67		μA	
	25 kΩ		33		μA	
	50 kΩ		16.7		μA	
	100 kΩ		8.37		μA	
	200 kΩ		4.19		μA	
FULL SIGNAL CONVERSIONS TIA Linear Dynamic Range (per Channel)	総入力電流、1%圧縮ポイント、TIA_VREF = 1.265V					
	12.5 kΩ		72		μA	
	25 kΩ		38		μA	
	50 kΩ		18.7		μA	
	100 kΩ		9.3		μA	
	200 kΩ		4.6		μA	
SYSTEM PERFORMANCE	Referred to Input Noise	1回積分モード、単一パルス、単一チャンネル、フ ロート状態の入力、TIA_VREF = 1.265V、3μsの積 分幅				
		12.5kΩのTIAゲイン		8.2	nA rms	
		25kΩのTIAゲイン		4.1	nA rms	
		50kΩのTIAゲイン		2.2	nA rms	
		100kΩのTIAゲイン		1.2	nA rms	
		200kΩのTIAゲイン		0.61	nA rms	
	Referred to Input Noise	1回積分モード、単一パルス、単一チャンネル、 90%フル・スケール入力信号、周辺光なし、 TIA_VREF = 1.265V、VCx = TIA_VREF + 250mV、2μsのLEDパルス、フォトダイオードの容 量 (C <sub>PD</sub> ) = 70pF、入力抵抗 = 500Ω				
		12.5kΩのTIAゲイン		10.3	nA rms	
		25kΩのTIAゲイン		5.3	nA rms	
		50kΩのTIAゲイン		2.7	nA rms	
		100kΩのTIAゲイン		1.5	nA rms	
		200kΩのTIAゲイン		0.97	nA rms	
	SNR	12.5kΩのTIAゲイン、単一パルス		76		dB
		25kΩのTIAゲイン、単一パルス		76		dB
		50kΩのTIAゲイン、単一パルス		75		dB
100kΩのTIAゲイン、単一パルス			74		dB	
200kΩのTIAゲイン、単一パルス			72		dB	
	100kΩのTIAゲイン、100HzのODR、80μsパルス、 C <sub>PD</sub> = 70pF、0.5Hz~10Hzの帯域幅		105			
AC Ambient Light Rejection	DC~1kHz、TIAの線形範囲		60		dB	
DC Power Supply Rejection Ratio (DC PSRR)	75%フル・スケール入力		50		dB	

1 ADC分解能はパルスごとに記載されています。複数のパルスを使用する場合は、パルス数で除してください。

2 周辺信号はADC変換前に除去されるため、ADCの飽和レベルはパルス信号のみに適用されます。

## 仕様

## デジタル仕様

特に指定のない限り、IOVDD = 1.7V~3.6V。

表 5. デジタル仕様

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
LOGIC INPUTS						
Input Voltage Level						
GPIOx, MISO, MOSI, SCLK, $\overline{CS}$						
High	V <sub>IH</sub>	すべてのロジック入力	0.7 × IOVDD		IOVDD + 0.3	V
Low	V <sub>IL</sub>		-0.3		+0.3 × IOVDD	V
Input Current Level						
High	I <sub>IH</sub>				10	μA
Low	I <sub>IL</sub>		-10		μA	
Input Capacitance	C <sub>IN</sub>			2		p
LOGIC OUTPUTS						
Output Voltage Level						
GPIOx, MISO						
High	V <sub>OH</sub>	2mAのハイ・レベル出力電流	IOVDD - 0.5			V
Low	V <sub>OL</sub>	2mAのロー・レベル出力電流			0.5	V
Output Current Level		SDA				
Low	I <sub>OL</sub>	V <sub>OL1</sub> = 0.4 V	20			mA

仕様

表 6. SPIのタイミング仕様

パラメータ	記号	テスト条件/コメント	最小値	代表値	最大値	単位
SPI PORT						
SCLK						
Frequency	f <sub>SCLK</sub>				24	MHz
Minimum Pulse Width						
High	t <sub>SCLKPWH</sub>		15			ns
Low	t <sub>SCLKPWL</sub>		15			ns
$\overline{CS}$						
Setup Time	t <sub>CS<math>\overline{S}</math></sub>	SCLK立上がりエッジまでの $\overline{CS}$ セットアップ時間	11			ns
Hold Time	t <sub>CS<math>\overline{H}</math></sub>	SCLK立上がりエッジ後の $\overline{CS}$ ホールド時間	5			ns
Pulse Width High	t <sub>CS<math>\overline{PWH}</math></sub>	$\overline{CS}$ パルス幅、ハイ	15			ns
MOSI						
Setup Time	t <sub>MOSIS</sub>	SCLK立上がりエッジまでのMOSIセットアップ時間	5			ns
Hold Time	t <sub>MOSIH</sub>	SCLK立上がりエッジ後のMOSIホールド時間	5			ns
MISO Output Delay	t <sub>MISOD</sub>	SCLK立下がりエッジ後のMISO有効出力遅延				
		レジスタ0x00B4 = 0x0050 (デフォルト)			28.1	ns
		レジスタ0x00B4 = 0x005F (最大スルー・レート、SPIの最大駆動強度)			21.2	ns

表 7. 外部の低周波発振器を使用した場合のタイミング仕様

Parameter	Min	Typ	Max	Unit
FREQUENCY				
1 MHz Low Frequency Oscillator	500		2000	kHz
32 kHz Low Frequency Oscillator	10		100	kHz
DUTY CYCLE				
1 MHz Low Frequency Oscillator	10		90	%
32 kHz Low Frequency Oscillator	10		90	%

タイミング図

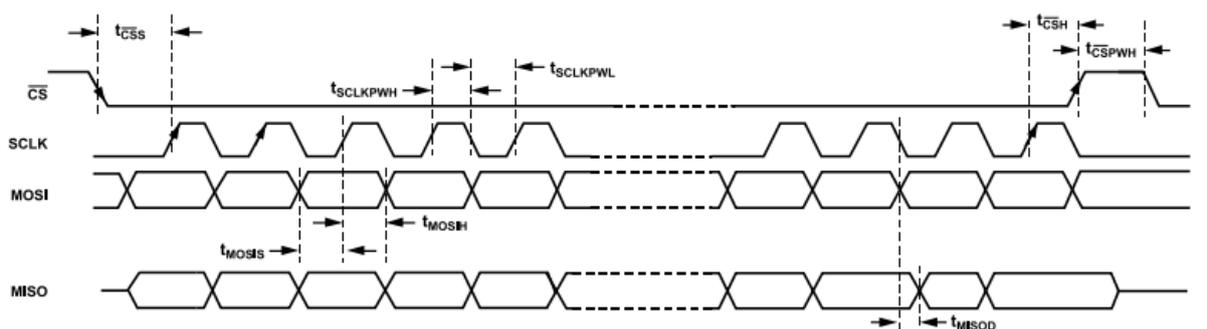


図 2. SPIタイミング図

絶対最大定格

表 8.

Parameter	Rating
AVDD to AGND	-0.3 V to +2.2 V
DVDD1 to DGND	-0.3 V to +2.2 V
IOVDD to DGND	-0.3 V to +3.9 V
GPIOx, MOSI, MISO, SCLK, $\overline{CS}$	-0.3 V to +3.9 V
LEDxx to LGND	-0.3 V to +3.9 V
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間にわたり最大動作条件を超えて動作させると、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には細心の注意が必要です。

$\theta_{JA}$ は、1立方フィートの密閉容器内で測定された、自然対流でのジャンクションと周囲の間の熱抵抗です。 $\theta_{JC}$ は、ジャンクションとケースの間の熱抵抗です。

表 9. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CB-24-5	46	1.154	°C/W

1 熱抵抗値は、JESD51-12規格によって規定されています。

推奨ハンダ付けプロファイル

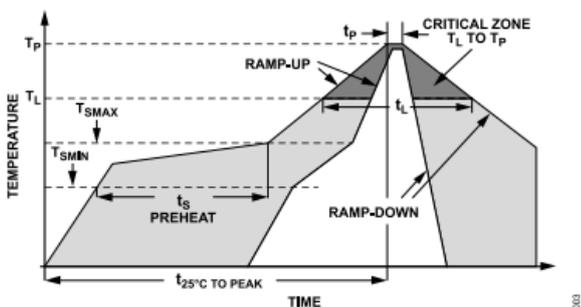


図 3. 推奨ハンダ付けプロファイル

表 10.

Profile Feature	Condition (Pb-Free)
Average Ramp Rate ( $T_L$ to $T_P$ )	3°C/sec maximum
Preheat	
Minimum Temperature ( $T_{SMIN}$ )	150°C
Maximum Temperature ( $T_{SMAX}$ )	200°C
Time ( $T_{SMIN}$ to $T_{SMAX}$ ) ( $t_s$ )	60 sec to 180 sec
$T_{SMAX}$ to $T_L$ Ramp-Up Rate	3°C/sec maximum

表 11.

Profile Feature	Condition (Pb-Free)
Time Maintained Above Liquidous Temperature	
Liquidous Temperature ( $T_L$ )	217°C
Time ( $t_L$ )	60 sec to 150 sec
Peak Temperature ( $T_P$ )	+260 (+0/-5)°C
Time Within 5°C of Actual Peak Temperature ( $t_P$ )	<30 sec
Ramp-Down Rate	6°C/sec maximum
Time from 25°C to Peak Temperature	8 minutes maximum

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

人体モデル（HBM）はANSI/ESDA/JEDEC JS-001に、デバイス帯電モデル（CDM）はANSI/ESDA/JEDEC JS-002に準拠しています。

ADPD4200のESD定格

表 12. ADPD4200、24ボールWLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	2500	2
CDM	1250	C3

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

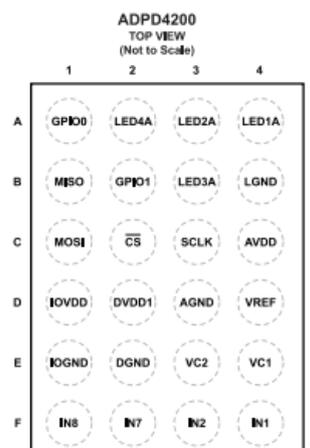


図 4. ピン配置

表 13. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
A1	GPIO0	DIO	汎用入出力0。GPIO0ピンは、割込みと各種クロック供給オプションに使用します。
A2	LED4A	AO	LEDドライバ4Aの電流シンク。使用しない場合、LED4Aピンはフロート状態のままにしてください。
A3	LED2A	AO	LEDドライバ2Aの電流シンク。使用しない場合、LED2Aピンはフロート状態のままにしてください。
A4	LED1A	AO	LEDドライバ1Aの電流シンク。使用しない場合、LED1Aピンはフロート状態のままにしてください。
B1	MISO	DO	SPIマスタ入力/スレーブ出力。
B2	GPIO1	DIO	汎用入出力1。GPIO1ピンは、割込みと各種クロック供給オプションに使用します。
B3	LED3A	AO	LEDドライバ3Aの電流シンク。使用しない場合、LED3Aピンはフロート状態のままにしてください。
B4	LGND	AO	LEDドライバのグラウンド。
C1	MOSI	DIO	SPIマスタ出力/スレーブ入力。
C2	CS	DIO	SPIチップ・セレクト入力。
C3	SCLK	DIO	SPIクロック入力。
C4	AVDD	S	1.8Vアナログ電源。
D1	IOVDD	S	1.8Vまたは3.3V入出力ドライバ電源。
D2	DVDD1	S	1.8Vデジタル電源。
D3	AGND	S	アナログ・グラウンド。
D4	VREF	REF	内部で生成されるADC電圧リファレンス。VREFピンは1μFのコンデンサを使ってAGNDにバッファします。
E1	IOGND	S	入出力ドライバのグラウンド。
E2	DGND	S	デジタル・グラウンド。
E3	VC2	AO	フォトダイオードの共通・カソード・バイアス、または他のセンサー励起用の出力電圧源2。
E4	VC1	AO	フォトダイオードの共通・カソード・バイアス、または他のセンサー励起用の出力電圧源1。
F1	IN8	AI	電流入力8。使用しない場合、IN8ピンはフロート状態のままにしてください。
F2	IN7	AI	電流入力7。使用しない場合、IN7ピンはフロート状態のままにしてください。
F3	IN2	AI	電流入力2。使用しない場合、IN2ピンはフロート状態のままにしてください。
F4	IN1	AI	電流入力1。使用しない場合、IN1ピンはフロート状態のままにしてください。

<sup>1</sup> DIOはデジタル入出力、AOはアナログ出力、DOはデジタル出力、Sは電源、REFは電圧リファレンス、AIはアナログ入力を意味します。

代表的な性能特性

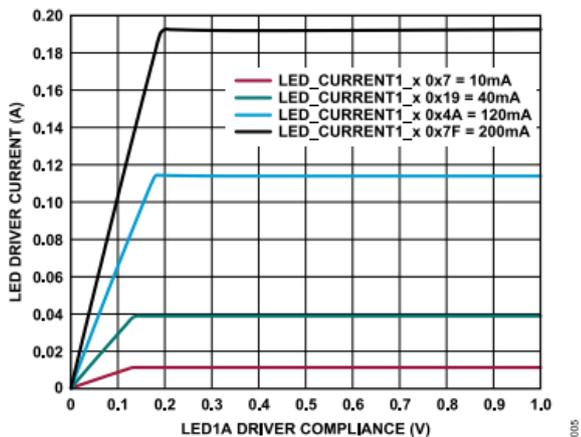


図 5. 10mA、40mA、120mA、200mAにおけるLEDドライバ電流とLED1Aドライバ・コンプライアンス電圧の関係

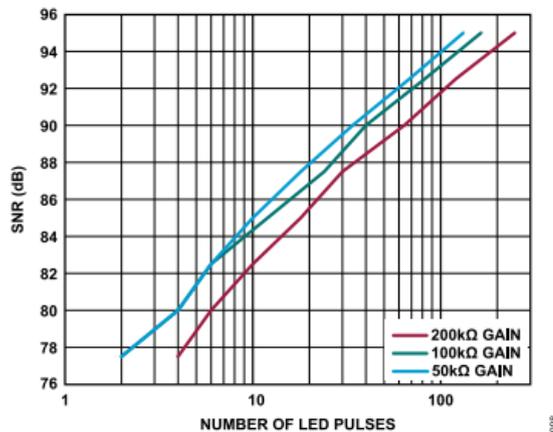


図 8. S/N比とパルス数の関係、 $C_{PD} = 70\text{pF}$

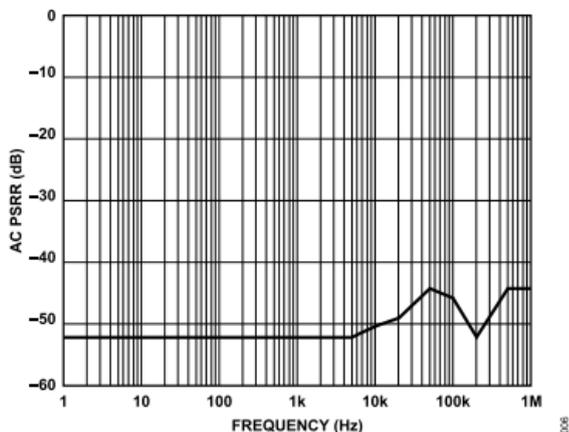


図 6. AC PSRRの周波数特性

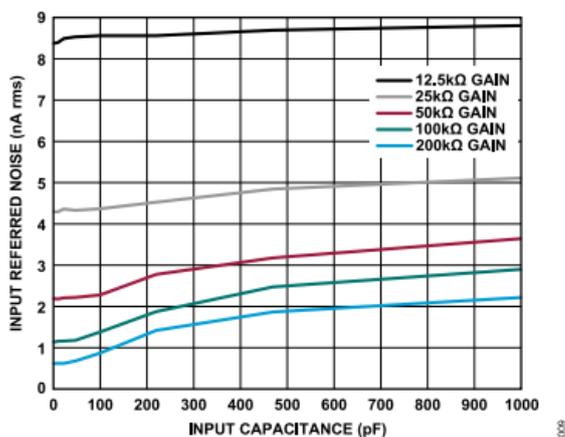


図 9. 入力換算ノイズと入力容量の関係

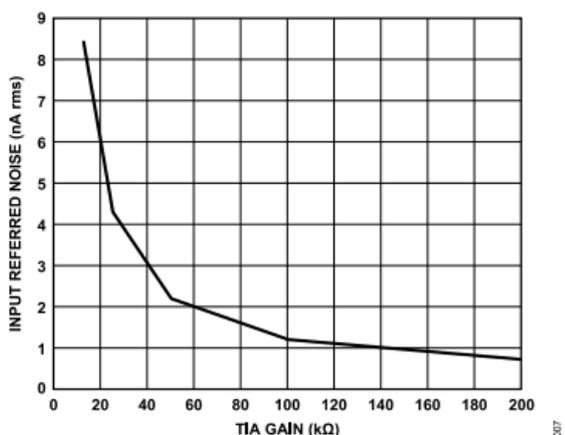


図 7. 入力換算ノイズとTIAゲインの関係

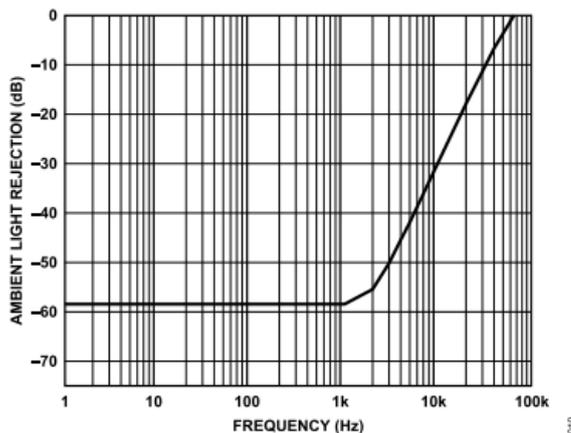


図 10. 周辺光除去の周波数特性

代表的な性能特性

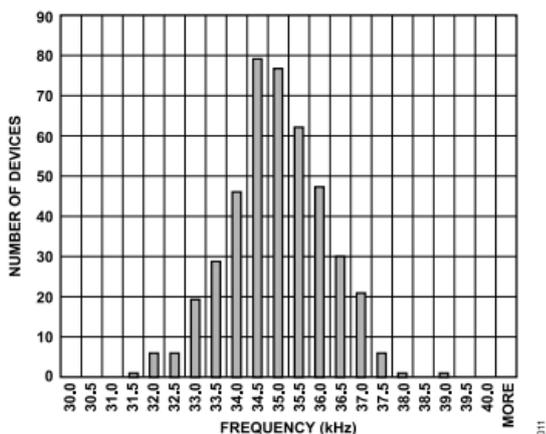


図 11. 32kHzクロック周波数の分布、トリミングなし

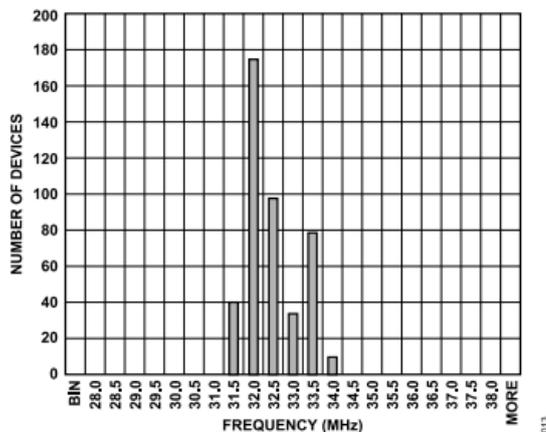


図 13. 32MHzクロック周波数の分布、トリミングなし

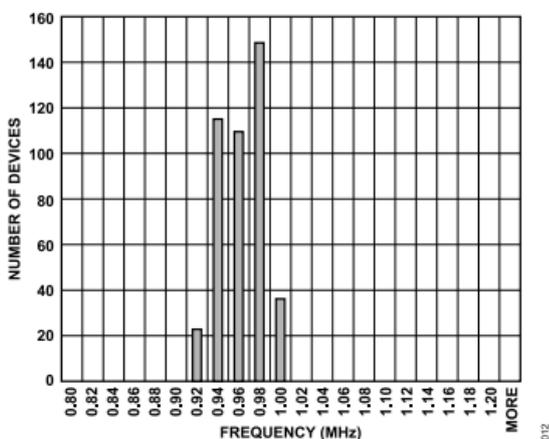


図 12. 1MHzクロック周波数の分布、トリミングなし

## 動作原理

### はじめに

ADPD4200は、最大4個のLEDを励起してリターン信号を最大4つの個別の電流入力で測定する、フル機能のマルチモード・センサー・フロント・エンドとして動作します。12のタイム・スロットを使用して、サンプリング周期ごとに12の値を個別に測定できます。アナログ入力は、シングルエンドまたは差動ペアで駆動できます。4個のアナログ入力は、単一チャンネルまたは独立した2つのチャンネルにマルチプレクスされ、同時に2個のセンサーをサンプリングできます。

このアナログ・フロント・エンド (AFE) は、TIA、バンドパス・フィルタ (BPF)、積分器、およびADCで構成されています。デジタル・ブロックは、複数の動作モード、プログラマブルなタイミング、2本のGPIOピン、ブロック平均機能、2次～4次の範囲で選択可能なカスケード積分型楕円 (CIC) フィルタを備えています。また、最大200mAで駆動できる4個の独立したLEDドライバを搭載しています。4個のLEDドライバは任意のタイム・スロットで使用でき、7ビットのレジスタ設定値により2mAから200mAまで単調増加でプログラム可能です。任意のタイム・スロットで使用可能なLEDドライバは、組み合わせることで合計400mAまでのLED電流を供給できます。

コア回路は、デバイスの入力に接続されたセンサーに励起信号を供給して応答を測定し、個別のデータ保管場所に結果を保存します。4つの入力は、シングルエンドまたは差動の構成で同時に2個の入力チャンネルを駆動できます。データは、レジスタによって直接読み出すことも、FIFO方式で読み出すこともできます。この高集積システムは、アナログ信号処理ブロック、デジタル信号処理ブロック、SPI通信インターフェース、プログラマブルLEDパルス電流源、および電圧励起が必要なセンサー用のパルス電圧源で構成されています。

光学測定を行う場合、ADPD4200は、1 $\mu$ sのパルスとBPFを組み合わせた同期変調方式を使用して60dBのAC周辺光除去を実現します。周辺光の除去は、外部の制御ループ、DC電流の減算、あるいはデジタル・アルゴリズムなどを必要とせず、自動的に行われます。

LEDドライバは電流シンクなので、LED電源電圧やLEDの種類による影響を受けません。入力は、最大200 $\mu$ Aの電流を供給する任意のセンサーに接続できます。センサー出力とADPD4200の入力の間には直列抵抗を配置して電圧を電流に変換することで、電圧出力のセンサーとのインターフェースも可能です。ADPD4200は、比較的小さなLED電力で高いS/N比を達成すると同時に、周辺光が測定信号に及ぼす影響を大幅に軽減します。

### アナログ信号パス

ADPD4200のアナログ信号パスは4個の電流入力からなります。これらはシングルエンドまたは差動ペアとして構成され、2つの独立したチャンネルの1つに供給されます。この2つのチャンネルは同時にサンプリング可能で、2個のセンサーの瞬時サンプリングが求められるアプリケーションに使用できます。各チャンネルは、ゲイン調整可能なTIA、BPF (ハイパス・コーナ周波数100kHz、ローパス・カットオフ周波数390kHz)、およびサンプル当たり $\pm 7.5$ pCの積算が可能な積分器を内蔵しています。各チャンネルは、時間多重で14ビットADCに接続されます。図14において、 $R_F$ はTIAの帰還抵抗、 $R_{INT}$ は積分器の入力に接続された直列抵抗です。

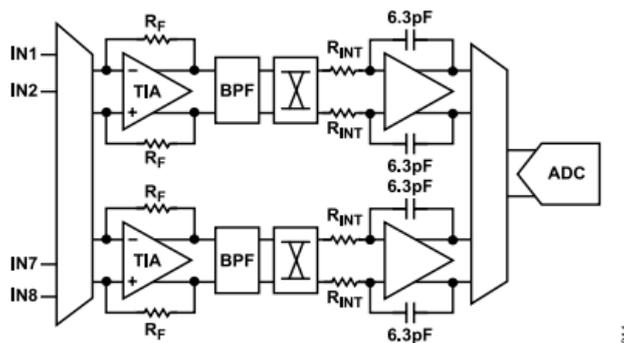


図 14. アナログ信号パスのブロック図

## 動作原理

## アナログ入力マルチプレクサ

ADPD4200には4本のアナログ入力ピンがあります。各入力はシングルエンド入力として、または差動ペアの一部として使用できます。図15に入力スイッチ・マトリックスの1つを示します。これにより、2つのAFEチャンネルとプログラマブルに接続できます。それぞれの入力ペア（IN1とIN2、IN7とIN8）は、このマルチプレクサとまったく同じ構成です。接続はタイム・スロットごとにプログラム可能です。

PAIR12ビットとPAIR78ビットを使用して、それぞれの入力ペアを2つのシングルエンド入力として使用するか、差動ペアとして使用するかを選択します。この選択は、すべてのアクティブなタイム・スロットに対して有効です。INP12\_xビットとINP78\_xビットは該当するタイム・スロットにおいて入力ペアをイネーブルするかどうかを指定し、イネーブルする場合はどの入力をどのAFEチャンネルに接続するかも設定します。

スリープ条件は、イネーブルされていないすべての入力に使用します。スリープ条件は、INP\_SLEEP\_12ビットとINP\_SLEEP\_78ビットによって決定し、これらのビットで、スリープ時および入力

がアクティブになっていないときの入力ペアの状態を設定します。入力は、プリコンディショニングの間、および入力がイネーブルされたタイム・スロットのパルス領域でのみアクティブと見なされます。

入力に接続されたセンサーのプリコンディショニングは、サンプリングの直前に入力の動作ポイントを設定するために使用します。プリコンディショニングにはいくつかの異なるオプションがあり、PRECON\_xビットによって決定します。PRECON\_xビットは各タイム・スロットに対して用意されており、タイム・スロット期間におけるイネーブルされた入力、または入力ペアのプリコンディショニングを設定します。プリコンディショニングの選択肢として、入力のフロート状態、VC1、VC2、入力共通モード電圧（VICM）、TIA\_VREF、TIA入力、および入力ペアの短絡があります。プリコンディショニングは各タイム・スロットの開始時に実施され、時間はPRE\_WIDTH\_xビットを使用してプログラムできます。デフォルトのプリコンディショニング時間は8μsです。

図15のブロック図に、スリープ時とプリコンディショニング時に入力と接続可能なすべてのバイアス・レベルを示します。これらの接続は、入力を選択されているタイム・スロットのサンプリング・フェーズの間中は使用できません。

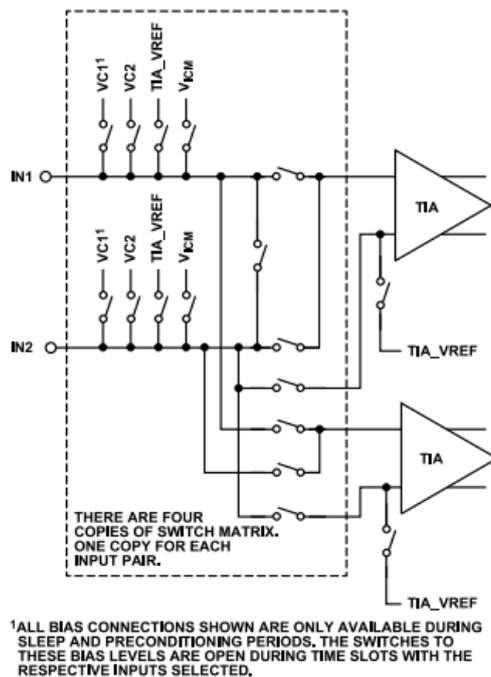


図 15. アナログ入力マルチプレクサ

## 動作原理

### AFEチャンネル2

AFEチャンネル2は、デフォルトではディスエーブルです。ディスエーブルされていると、チャンネル2の3個のアンプ（TIA、BPF、積分器）は自動的にパワーダウンされADCサイクルは発生しません。デジタル積分モードとインパルス応答モードではチャンネル2は使用しません。

AFEチャンネル2は、CH2\_EN\_xビットを使用してタイム・スロットごとにイネーブルできます。チャンネル2がイネーブルされると、チャンネル2のADC変換とデータバス・ビットが動作します。データのFIFO書込みの際は、チャンネル2のデータはチャンネル1のデータの後に書き込まれます。

チャンネル2のTIAゲイン、積分器の抵抗、およびバッファ・ゲイン（デジタル積分モードまたはTIA ADCモード時）は、チャンネル1とは独立に設定されます。

### LEDドライバ

ADPD4200には4つのLEDドライバがあり、最大4個のLEDを同時に駆動できます。LED出力ドライバは電流シンクです。図16に1つのLEDドライバ出力ペアの例を示します。ADPD4200は、ADPD4100/ADPD4101と異なり、各LEDドライバの片側だけをサポートします。したがってADPD4200にはLEDxBピンがありませんが、関係するLEDを設定するためのレジスタは備えています。

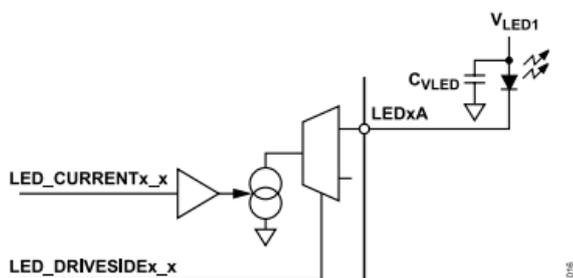


図 16. LEDドライバ出力ペアのブロック図

LEDドライバ出力ピン（LED1A、LED2A、LED3A、LED4A）の絶対最大電圧定格は3.9Vです。この定格を超える電圧を印加した場合はデバイス動作の信頼性に影響を与え、場合によってはデバイスが正常に動作しなくなることがあります。LEDドライバ出力ピンの電圧とLED自体への電源電圧を混同しないでください。V<sub>LEDx</sub>は外部LEDのアノードに印加する電圧です。これに対し、LED出力ドライバ・ピンは外部LEDのカソードに接続します。コンプライアンス電圧は、グラウンドを基準として測定したLEDドライバ・ピンのヘッドルームの総電圧で、設定したLED電流レベルを維持するために必要となります。また、この電圧は、必要とする電流の関数になっています。図5に、様々なLED電流設定値で必要とされるコンプライアンス電圧の代表値を示します。

各LEDドライバ出力ペアの片側（両方は使用しません）を、12の使用可能なタイム・スロットのいずれかに対して駆動できます。LED\_DRIVESIDE1\_x、LED\_DRIVESIDE2\_x、LED\_DRIVESIDE3\_x、LED\_DRIVESIDE4\_xビット・フィールドを使用して、任意のタイム・スロットで最大4つのLEDドライバ出力をイネーブルできます。電流は、LED\_CURRENT1\_x、

LED\_CURRENT2\_x、LED\_CURRENT3\_x、LED\_CURRENT4\_xビット・フィールドを使用して、ドライバごと、タイム・スロットごとに設定します。各ドライバは、単調増加性の7ビットの設定値を使用して1.5mA～200mAの範囲でプログラムできます（図17参照）。1～127の範囲で設定すると、LED駆動電流は約1.6mA刻みで増加します。LED\_CURRENTx\_x = 0に設定すると、設定したドライバはディスエーブルされます。

いずれのタイム・スロットにおいても各LEDドライバは200mAまで設定可能で、最大4つのドライバをイネーブルできますが、タイム・スロットで供給できるLEDドライバ電流には400mAの制限があります。この400mAの制限を超えないようにLEDドライバを設定してください。ユーザ設定によって400mAの制限を超えた場合は、LED1x、LED2x、LED3x、LED4xの順番で優先順位が付けられます。例えば、1つのタイム・スロットでLED1Aが150mA、LED2Aが150mA、LED3Aが150mAに設定された場合、LED1AとLED2Aは150mAを出力しますが、デバイスのLED駆動電流の合計を400mAの制限内に維持するため、LED3Aは100mAに制限されません。

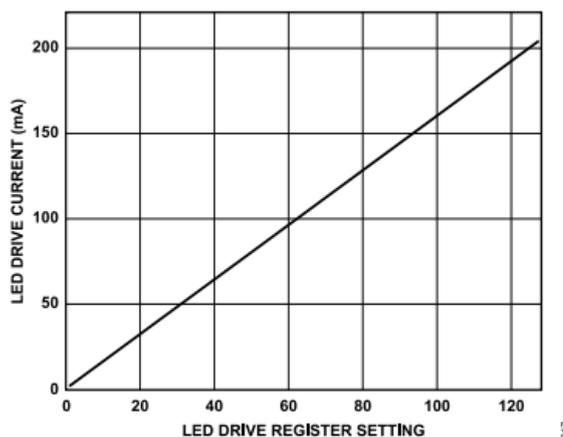


図 17. LEDドライバ電流とLEDドライバ・レジスタ設定の関係

### C<sub>VLED</sub>の決定

バイパス・コンデンサ（C<sub>VLED</sub>）の値を決定するには、LED動作中の最大順方向バイアス電圧V<sub>FB\_LED\_MAX</sub>を決定する必要があります。最大LED電流I<sub>LED\_MAX</sub>とV<sub>FB\_LED\_MAX</sub>の関係は図18のようになります。この例では、並列接続された緑色のLED 2個を流れる125mAの電流から、V<sub>FB\_LED\_MAX</sub> = 3.5Vという値が得られます。LEDパス内にあるすべての直列抵抗成分も、この電圧計算に含める必要があります。LEDパスを設計する際は、LEDを流れるピーク電流が非常に大きくなることで、抵抗成分が小さくても電圧降下が大きくなる可能性があります。更に、これらの抵抗成分は、V<sub>LEDx</sub>電源に過度の制約を課す可能性があります。

## 動作原理

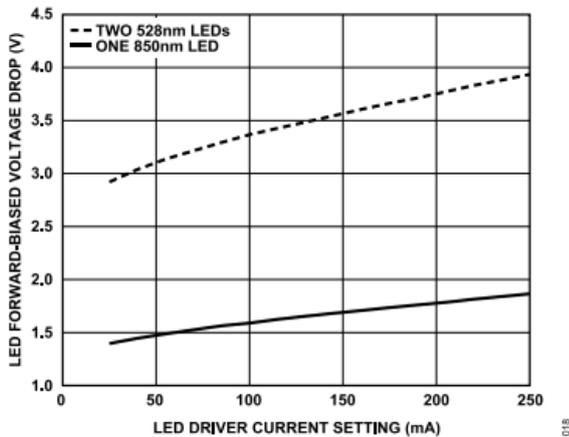


図 18. LEDドライバ電流設定の関数として表したLED順方向バイアス電圧降下の平均値の例

$C_{VLED}$  コンデンサのサイズを正しく設定するには、LEDへのパルス供給を行っている間にコンデンサの電圧がLEDの順方向バイアス電圧を下回るまで放電してしまうことのないようにしてください。 $C_{VLED}$ の最小値は以下のように計算します。

$$C_{VLED} = t_{LED\_PW} \times I_{LED\_MAX} / (V_{LED\_MIN} - (V_{FB\_LED\_MAX} + V_{COMP})) \quad (1)$$

ここで、

$t_{LED\_PW}$ はLEDパルス幅、

$I_{LED\_MAX}$ はデバイスを動作させる際に使用するLEDの最大順方向バイアス電流、

$V_{LED\_MIN}$ は無負荷時に $V_{LEDx}$ 電源から供給される最小電圧、

$V_{FB\_LED\_MAX}$ はLEDが $I_{LED\_MAX}$ を実現するために必要な最大順方向バイアス電圧、

$V_{COMP}$ はLEDドライバの設定レベルにおけるLEDドライバのコンプライアンス電圧です。

式1の分子は、バイパス・コンデンサから放電される合計電荷（クーロン単位）を表します。この値は、設定済みのLEDシングル・パルスを最大電流で供給するために必要となります。分母は、LEDで必要とされる電圧と $V_{LEDx}$ 電源の最小電圧の間の差を表します。LEDで必要となる電圧とは、LEDドライバのコンプライアンスや、最大電流で動作するLEDの順方向バイアス電圧を実現する、LEDのアノード電圧を意味します。駆動電流が125mAの場合、ドライバのコンプライアンス電圧は約0.4Vです。

代表的なADPD4200の例として、 $V_{LEDx}$ 電源の最小値が4.5Vで、2個の528nm LEDの並列使用時のピーク電流が125mAであるものとします。この場合、 $C_{VLED}$ の最小値は1 $\mu$ Fとなります。

$$C_{VLED} = (3 \times 10^{-6} \times 0.125) / (4.5 - (3.5 + 0.4)) = 0.625 \mu F \quad (2)$$

式2に示すように、電源の最小電圧降下が最大アノード電圧近くまで低下すると $C_{VLED}$ に対する条件はより厳しくなり、コンデンサの値をより大きくする必要があります。式2には、正しい値を代入することが重要です。例えば、 $V_{LED\_MIN}$ の最も厳しい条件の値の代わりに $V_{LED\_MIN}$ の平均値を使用すると、設計に重大な欠陥が生じる可能性があります。その結果、 $C_{VLED}$ の値が小さくなりすぎて、アプリケーションで光パワーが不足する可能性があります。

また、パルスとパルスの間で $C_{VLED}$ コンデンサが十分に充電されないと、複数パルスによって $V_{LEDx}$ 電源が更に低下する可能性があります。したがって、 $C_{VLED}$ の値に十分なマージンを追加することが強く推奨されます。また、 $C_{VLED}$ には、部品の寿命全体にわたる電圧、バイアス、温度、その他の要因によるコンデンサ値の低下と複数パルスの影響を考慮してマージンを追加してください。

## データパス、デシメーション、サブサンプリング、およびFIFO

ADCサンプルは、各タイム・スロットの各パルスで収集され、各タイム・スロットで合算されて正負の和を連続的に生成します。これらの和は、それぞれ32ビットの符号なしレジスタとして保存され、値が32ビットを超えると飽和します。各ADCサンプルは、標準のサンプリング・モード、またはデジタル積分モードの明／暗アクイジション領域の電流パルスの中に、SUBTRACT\_xビットに基づき正か負の和に合算されます。インパルス・モードでは正の和を使って2つの値が合算され、その結果がFIFOに直接書き込まれます。図19にデータパス構造を示します。

各タイム・スロットでのパルス動作終了時には、正の加算器から負の加算器を引くことによって信号値が計算されます。この信号と暗値は正の数にクリップされ、デシメーション・ユニットによって処理されます。値のデシメーションが完了するとデータ・レジスタが更新され、選択された値がFIFOに書き込まれます。このときに、このタイム・スロットへのデータ割込みも設定されません。

動作原理

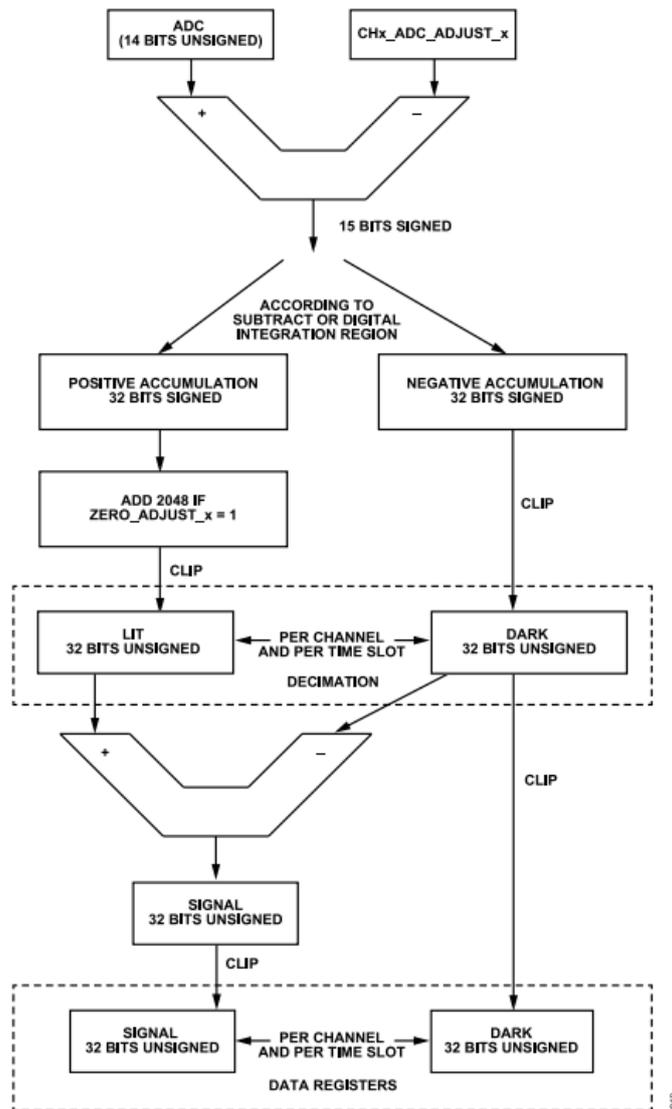


図 19. データパスのブロック図

## 動作原理

### デシメーション

DECIMATE\_FACTOR\_xビットにより、最終的な32ビットのサンプル値を生成するために使用するタイム・スロットの数を決定します。このときのサンプル・レートは次式で求められます。

$$\text{Sample Rate} = 1/\text{TIMESLOT\_PERIOD\_x} / \text{DECIMATE\_FACTOR\_x} + 1$$

DECIMATE\_FACTOR\_xが0の場合、出力サンプル・レートはタイム・スロット・レートとなります。最終値はデシメーション・サンプルの合計です。このデシメーション・データに

(DECIMATE\_FACTOR\_x + 1) による除算処理は行われませんが、データの最終値はFIFOに書き込まれる前にビットを右にシフトさせることができ、サンプル数が2のべき乗の場合は直接、平均値が生成されます。DECIMATE\_TYPE\_xを使用すると、デシメーション方法を選択できます。0に設定すると単純なブロック合計となり、それ以外の設定では4次までの高次のCICフィルタを選択できます。高次のCICフィルタを信号データに使用する場合でも、暗データには同じデシメーション・レートでブロック合計が使用されます。ブロック合計、またはCICフィルタの状態はタイム・スロットごとに保持されます。デシメーションの全パスにおいて32ビットのデータパスが使用されます。CICフィルタを使用する場合、結果に必要なビット数はパルス数、デシメーション・レート、およびCICフィルタの次数に依存し、次式によって求められます。

$$N_{\text{BITS}} = 14 + \log_2(\text{Number of Pulses}) + (\log_2(\text{Decimation Rate})) (\text{CIC Order})$$

不要なオーバーフローが発生しないように注意してください。

最終データは、データ・レジスタまたはFIFOの512バイト・データから読み出すことができます。FIFOに書き込まれたデータは、必要に応じて異なるデータ・レジスタ、フォーマット、およびデータ・サイズに構成できます。各タイム・スロットで個別のデシメーション・レートを設定でき、各タイム・スロットからのデータは、それぞれのODRでFIFOに書き込まれます。

### サブサンプリング

ADPD4200はサブサンプリング・モードをサポートしています。サブサンプリング・モードを選択したタイム・スロットは、設定したサンプリング・レートより低いサンプリング・レートで動作できます。例えば、複数のパラメータを持つアプリケーションにおいて、大半の測定は300Hzのサンプリング・レートで行われるものの1つだけ25Hzで測定する必要がある場合は、25Hzで動作させる必要があるタイム・スロットにサブサンプリング・モードを使用することができます。特定のタイム・スロットでサブサンプリング・モードをイネーブルするには、SUBSAMPLE\_xビットを1に設定し、DECIMATE\_FACTOR\_xで目的のサンプリング・レートに設定します。サブサンプリング・モードが設定されたタイム・スロットは、タイム・スロットの全シーケンスを実行する代わりに、(DECIMATE\_FACTOR\_x + 1)サイクルごとに1回だけサンプリングします。他のタイム・スロットが同じレートでデシメーションしている場合は、デシメーション・データがFIFOに送られると同時にサブサンプリング・サイクルが発生します。例えば、300Hzで動作するタイム・スロットAが25Hzにデシメーションされ、タイム・スロットBが12のサブサンプリングに設定されている場合は、どちらのタイム・スロットも、同じタイム・スロット・シーケンスと同じレートでFIFOに書き込みを行います。

イネーブルされたタイム・スロットのデシメーション・レートとサ

ブサンプリング・レートが異なる場合は、これより複雑なパターンになる可能性があります。読み出すデータの packets・サイズの変化は、繰り返される packets のサイズの倍数で管理する必要があります。例えば、タイム・スロットAがデシメーションもサブサンプリングも設定されておらず、タイム・スロットBが2サイクルごとのサブサンプリング、タイム・スロットCが4サイクルごとのサブサンプリングに設定されている場合、FIFOに書き込まれるデータ・パターンは、A、AB、A、ABC、が繰り返される packets になります。

デシメーションとサブサンプリングは、出力データ・レートには同じ影響を及ぼします。唯一の違いは、デシメーションでは、すべての入力サイクルでタイム・スロットは動作するものの内蔵デシメーション・フィルタを使用することで低レートでデータを生成するのに対して、サブサンプリングでは、タイム・スロットが低レートでのみ発生することです。

ステータス・バイトは、タイム・スロットがどちらを実行しているかに関係なく、ウェイクアップのたびにFIFOに書き込まれます。デシメーション・レートとサブサンプリング・レートが異なる前述の例でステータス・バイトをイネーブルした場合、パターンはAS、ABS、AS、ABCS、の繰り返しとなります。ここで、Sはステータス・バイトです。

### FIFO

データは、各サンプリング周期の最後にFIFOに書き込まれます。この packets には、0、8ビット、16ビット、24ビット、または32ビットの暗データ値と信号データ値を含めることができます。FIFOに書き込むデータのビット・アライメントは、飽和情報を基に0ビットから31ビットでシフト量を選択できます。下位ビットは無視されず。DARK\_SHIFT\_xおよびSIGNAL\_SHIFT\_xビット・フィールドは、FIFOへの書き込み前に出力データを右にシフトするビット数を選択します。DARK\_SIZE\_xおよびSIGNAL\_SIZE\_xビット・フィールドは、各フィールドに書き込むバイト数を0バイトから4バイトまでの範囲で選択します。0に設定した場合、このデータ・タイプで書き込まれるデータはありません。選択したビット位置より上位のビット位置に0以外のビットがある場合は、FIFOに書き込まれるデータは飽和しています。両方のチャンネルがイネーブルされている場合、チャンネル1で選択されたデータが最初にFIFOに書き込まれ、次にチャンネル2のデータが書き込まれます。

例えば、暗データを使用するモードでは、各タイム・スロットで暗データの上位8ビットが信号データから適正に選択された24ビットと共に保存されます。これにより、周辺光が増加しているかどうか検出できると同時に転送データ量を制限できます。

データは、アクティブな各タイム・スロットのデータを書き込めるだけの十分なFIFO領域が残されている場合のみ、サンプリング周期の最後にFIFOへ書き込まれます。例えば、第1のアクティブなタイム・スロットが100HzのODRで動作し、第2のタイム・スロットが4のデシメーション、つまり第1のタイム・スロットのレートの1/4のサブサンプリングで動作することで25HzのODRになっている場合、データがFIFOに書き込まれるのは、サンプリング周期の最後でアクティブなタイム・スロットの両方にデータを書き込めるだけの領域がある場合に限られます。ここで、デシメーションまたはサブサンプリングで動作中のタイム・スロットが、このサンプリング周期でデータを書き込むかどうかは関係ありません。異なるデシメーション・レート/サブサンプリング・レートでタイム・スロットを使用する場合は、マイクロプロセッサ側で適切にデータを制御する必要があります。

## 動作原理

FIFOにパケット・データの一部だけが書き込まれることはありません。イネーブルされたすべてのタイム・スロットおよび選択されたステータス・バイトのデータのすべてを書き込むだけのFIFO領域がない場合は、この周期の間はどのタイム・スロットのデータも書き込まれず、INT\_FIFO\_OFLOWのステータス・ビットがセットされます。

FIFOに書き込むサンプルの順番は（選択されている場合）、最初が暗データ、次が信号データです。マルチバイト・ワードのバイトの順番を表13に示します。

表 14. FIFO書き込みのバイトの順番

Size	Byte Order (After Shift)
8	[7:0]
16	[15:8], [7:0]
24	[15:8], [7:0], [23:16]
32	[15:8], [7:0], [31:24], [23:16]

FIFOのサイズは512バイトです。FIFOが空のときは読み出し動作で0xFFを返し、INT\_FIFO\_UFLOWのステータス・ビットがセットされます。

FIFOの他に信号と暗データの32ビット・レジスタも直接読み出すことができます。これらのレジスタは、サンプリングのたびに更新される内部データ・レジスタと、ラッチされてホストからアクセスできる出力データ・レジスタの実質上2段のレジスタになっています。データ割込みを使用すると、レジスタへの書き込みが実行された直後にレジスタにアクセスできるように調整できます。割込みのタイミングが問題となる場合は、HOLD\_REGS\_xビット・フィールドを使用して、割込みが調整されていないアクセスが行われている間、出力レジスタを更新しないようにします。HOLD\_REGS\_xビット・フィールドをセットすることでラッチされた出力データ・レジスタの更新をブロックし、ホストは同じサンプル・ポイントから暗値と信号値を読み出すことができます。HOLD\_REGS\_xビット・フィールドがセットされている間に新たなサンプルが発生した場合、このサンプルは内部データ・レジスタに書き込まれますが、出力データ・レジスタにはラッチされず、ホストはアクセスできません。HOLD\_REGS\_xビット・フィールドを0に設定すると、新しいデータの更新が再度イネーブルされます。

すべてのタイム・スロットが完了した後に、オプションのステータス・バイトがFIFOに書き込まれます。詳細については、[オプションのステータス・バイト](#)のセクションを参照してください。

## クロッキング

### 低周波発振器

低周波発振器は低速のステート・マシンのクロックを生成します。これにより、サンプリングのタイミングやウェイクアップ状態など、すべての動作の制御で使用されるタイム・ベースが設定されます。低周波発振器による生成には3つのオプションがあります。第1のオプションは、内部の32kHzまたは1MHzの発振器です。第2のオプションは、ホストによる外部の低周波発振器を使用することです。最後のオプションは、外部の32MHz高周波クロック源を32または1000で分周することによって低周波クロックを生成することです。デバイスの起動時には低周波発振器がイネーブルされ、そのまま実行され続けることになっています。

内蔵の低周波発振器を動作させるには、以下の書き込みを行います。32kHzのクロックを選択するにはLFOSC\_SELビットを0に、1MHzにしたいときは1に設定します。次に、OSC\_1M\_ENまたはOSC\_32K\_ENのどちらか希望する方の内部発振器のビットを1に設定してオンにします。内部32kHzのクロック周波数は、6ビットのOSC\_32K\_ADJUSTビット・フィールドを使用して調整します。内部1MHzのクロック周波数は、10ビットのOSC\_1M\_FREQ\_ADJビット・フィールドを使用して調整します。

内部の低周波発振器で供給できるタイミング精度より高い精度が必要な場合は、GPIOx入力を使用して外部ソースからこの低周波発振器を直接駆動することができます。外部の低周波クロックをイネーブルするには、以下の書き込みを行います。まず、GPIO\_PIN\_CFGxビット・フィールドを使用して、GPIOx入力の1つをイネーブルします。次に、ALT\_CLK\_GPIOビット・フィールドを使用して、外部の低周波発振器を使用するためにイネーブルしたGPIOx入力を選択します。ALT\_CLOCKSビット・フィールドを0x1に設定し、外部低周波発振器を選択します。最後にLFOSC\_SELビットを使用して、供給するクロックを32kHzか1MHzに合わせます。

第3の方法では、外部の32MHzクロックを高周波クロックとして、あるいは分周して低周波クロックとして使用します。この方法を使用するには、前述した外部低周波クロックの手順に従って書き込みを行い、ALT\_CLOCKSビット・フィールドは0x3に設定します。また、LFOSC\_SELビットを使用して、低周波クロック生成に32と1000のどちらの分周比を使うか決定します。これにより、外部32MHzクロックから32kHz、または1MHzのクロックが生成されます。

### 高周波発振器

32MHzの高周波発振器は、内部で生成するか外部から供給します。高周波クロックは高速のステート・マシンのクロックを生成し、それによりLEDタイミングや積分の回数など、タイム・スロットでのAFE動作を制御します。

高周波発振器は、ALT\_CLOCKSビットを0x0または0x1に設定することにより、内部でクロックを生成できます。内部クロックを選択した場合、32MHzの内部発振器は、適切なウェイクアップ・タイム内または32MHz発振器のキャリブレーション・ルーチンの中に、低速ステート・マシンによって自動的にイネーブルされます。

高周波発振器は、外部ソースから駆動することもできます。外部32MHz高周波発振器を使用するには、GPIO\_PIN\_CFGxビットを使ってGPIOx入力の1つをイネーブルします。次に、ALT\_CLK\_GPIOビットを使用して、外部の高周波発振器用にイネーブルしたGPIOx入力を選択します。最後に、ALT\_CLOCKSビットに0x2または0x3を書き込んで、外部高周波発振器を選択します。0x2を書き込むと外部ソースから高周波クロックのみを供給するのに対して、0x3を書き込むと外部の32MHzソースから低周波クロックと高周波クロックの両方を生成します。外部の32MHz発振器を使用する場合は、デバイスが適切に動作できるように、この外部発振器を継続的に動作させなければなりません。

### タイム・スタンプ動作

タイム・スタンプ機能は、タイム・スロット動作中のタイミング情報をホストに供給するだけでなく、低周波発振器のキャリブレーション

## 動作原理

ーションにも役立ちます。タイム・スタンプには、GPIOxのいずれかをタイム・スタンプ・リクエスト入力として使用します。また、タイム・スタンプ・トリガの取得をイネーブルするCAPTURE\_TIMESTAMPビット、低周波発振器の領域で動作するタイム・カウンタ、および2つの出力レジスタを使用します。出力ビットには、タイム・スタンプのトリガとトリガの間に生成された低周波発振器のサイクル数を保持するTIMESTAMP\_COUNT\_xビットと、次のタイム・スロットが開始するまでに残された低周波発振器のサイクル数を保持するTIMESTAMP\_SLOT\_DELTAビットが含まれます。

タイム・スタンプ動作を使用する設定は以下のとおりです。

1. CLK\_CAL\_ENA = 1に設定して、発振器のキャリブレーション回路をイネーブルします。
2. GPIO\_PIN\_CFGxビットを使用して、GPIOxのいずれかをタイム・スタンプ入力に対応できるように構成します。TIMESTAMP\_GPIOxビットを使用して、タイム・スタンプ供給用に構成したGPIOxを選択します。
3. ADPD4200の動作設定を行い、低周波発振器をイネーブルします。
4. TIMESTAMP\_SLOT\_DELTA機能を使用したいときは、OP\_MODEビットを使用してデバイスをGoモードに設定することによってタイム・スロット動作を開始します。(表14参照)。低周波発振器のキャリブレーションは、低周波発振器をイネーブルするだけで実行できます。また、低周波発振器をキャリブレーションするためにデバイスをGoモードにする必要はありません。

タイム・スタンプを取得するには、次の手順に従います。

1. CAPTURE\_TIMESTAMPビットを1に設定します。これにより、選択したGPIOx入力の次の立上がりエッジでタイム・スタンプの取得がイネーブルされます。
2. ホストは、適切なタイミングで最初のタイム・スタンプ・トリガをこの選択したGPIOxに供給します。
3. タイム・スタンプ信号が取得されると、TIMESTAMP\_ALWAYS\_ENビットが設定されている場合を除き、CAPTURE\_TIMESTAMPビットはクリアされます。TIMESTAMP\_ALWAYS\_ENビットが設定されている場合は、タイム・スタンプの取得は常にイネーブルされた状態になります。必要に応じてタイム・スタンプの取得を再度イネーブルします。
4. ホストは、適切なタイミングで次のタイム・スタンプ・トリガをこのGPIOxに供給します。
5. タイム・スタンプのトリガとトリガの間に発生する低周波発振器のサイクル数は、TIMESTAMP\_COUNT\_xビットから読み出すことができます。

ホストは、タイム・スタンプ処理の間、FIFOやデータ・レジスタのデータ処理を通常通り続ける必要があります。

タイム・スタンプ以外には遷移しないタイム・スタンプ専用のピンを使用する場合は、TIMESTAMP\_ALWAYS\_ENビットを設定してCAPTURE\_TIMESTAMPビットが自動的にクリアされないようにします。この設定により、タイム・スタンプの取得を毎回イネーブルする必要がなくなります。低周波発振器のキャリブレーションのセクションに示すように、タイム・スタンプを使用して低

周波発振器のキャリブレーションが可能です。ホストは、TIMESTAMP\_SLOT\_DELTAを使用して、次のタイム・スロットが発生する時間を決めることもできます。TIMESTAMP\_SLOT\_DELTAによって、現在のサンプルがFIFOに到着する時間を決定できます。TIMESTAMP\_SLOT\_DELTAでは、デシメーション係数は考慮されません。

タイム・スタンプ・トリガはエッジに反応し、TIMESTAMP\_INVを使用して立上がりエッジ(デフォルト)と立下がりエッジのどちらでトリガするか設定できます。

### 低周波発振器のキャリブレーション

周波数をタイム・スタンプのトリガのタイミングに合わせることで、タイム・スタンプ回路を使用して32kHzと1MHzの低周波発振器回路のキャリブレーションが可能です。低周波発振器のサイクルにおけるTIMESTAMP\_COUNT\_xの値と、タイム・スタンプの実際のトリガ周期を比較して、OSC\_32K\_ADJUSTまたはOSC\_1M\_FREQ\_ADJの値を調整するだけです。

### 高周波発振器のキャリブレーション

高周波発振器は、システムの時刻でキャリブレーションした低周波発振器のサイクルの倍数と、高周波発振器のサイクルの倍数を比較することでキャリブレーションします。低周波発振器のキャリブレーションは、高周波発振器のキャリブレーションの前に実施しておきます。高周波発振器のキャリブレーション方法は、以下のとおりです。

1. OSC\_32M\_CAL\_STARTビットに1を書き込みます。
2. ADPD4200は自動的に高周波発振器をパワーアップします。
3. その後、高周波発振器が安定するまで自動的に待機します。
4. 内部カウンタが、1MHzの低周波発振器の128サイクル、または32kHzの低周波発振器の4サイクルの間に発生する32MHzの高周波発振器のクロック数を自動的にカウントします。ここで、どちらの周波数の低周波発振器がイネーブルされているかは、LFOSC\_SELビットの設定に基づきます。
5. OSC\_32M\_CAL\_COUNTビットが最終的なカウント数で更新されます。
6. タイム・スロットがアクティブでなければ、32MHzの発振器はキャリブレーション後自動的にパワーダウンします。
7. デバイスはOSC\_32M\_CAL\_STARTビットをリセットし、カウンタが更新されたことを示します。

OSC\_32M\_FREQ\_ADJビットは、32MHzの発振器周波数を目的の周波数に調整します。外部の低周波発振器を使用する場合、32MHz発振器のキャリブレーションは外部から供給される低周波クロックを基準に実施します。

低周波発振器と高周波発振器のキャリブレーションが完了したら、消費電力を減らすために、CLK\_CAL\_ENAビットを0に設定して発振器キャリブレーション回路のクロッキングをディスエーブルします。CLK\_CAL\_ENAビットはデフォルトで0に設定されているので、キャリブレーション回路はデフォルトでディスエーブルされます。

## 動作原理

### タイム・スロット動作

ADPD4200の動作は、設定変更可能な内部コントローラで制御します。このコントローラは、サンプリング領域とスリープ期間を発生させるために必要なすべてのタイミングを生成します。複数のセンサーの測定と励起源の同期制御は、複数のタイム・スロットで処理します。デバイスは、マルチセンサー・アプリケーション用に最大12のタイム・スロットを備えています。イネーブルされたタイム・スロットは、TS\_FREQレジスタ内の23ビットのTIMESLOT\_PERIOD\_xビット・フィールドを使用して設定されたサンプリング・レートで繰り返されます。サンプル・レートの計算には次式を使用します。

$$\text{サンプリング・レート} = \text{低周波発振器の周波数 (Hz)} \div \text{TIMESLOT\_PERIOD\_x}$$

各タイム・スロットでは、1つ以上のLEDパルスや変調パルスの生成と、その励起によるフォトダイオードや他のセンサー電流のアクイジションが可能です。各タイム・スロットの動作パラメータは、細かい設定が可能です。

図20に、タイム・スロットの基本的な動作シーケンスを示します。各タイム・スロットはサンプリング・レートで繰り返され、タイム・スロットの後に超低消費電力のスリープ期間が続きます。デフォルトでは、前のタイム・スロットが終わるとすぐに次のタイム・スロットが開始されます。さらに、図21に示すように、TIMESLOT\_OFFSET\_xビット・フィールドを使用してその後のタイム・スロットの開始時にオフセットを追加することもできます。この図には、TIMESLOT\_OFFSET\_Bビット・フィールドを使用してタイム・スロットBの開始時間をオフセットさせる動作が示されています。この場合も各タイム・スロットは同じサンプリング・レートで動作しますが、タイム・スロットAとタイム・スロットBの間にスリープ期間が入ります。図20と図21に示すウェイク期間は、パワーアップのためと、データ・アクイジション開始までにアナログ回路を安定化させるために使われます。TIMESLOT\_OFFSET\_Bビット・フィールドが0に設定されている場合は、前のタイム・スロットが終了するとすぐに次のタイム・スロットが開始されます。

タイム・スロットのオフセットは、常にタイム・スロットAの開始時間に適用されます。例えば、TIMESLOT\_OFFSET\_Dのオフセットは、タイム・スロットDの直前に実行されるタイム・スロットCではなく、タイム・スロットAの開始時間に追加されます。

追加できるオフセットの合計は、使用する低周波発振器によって決まります。1MHzの低周波発振器を使用している場合は次式で求められます。

$$\text{オフセット} = 64 \times (1\text{MHz低周波発振器のサイクル数}) \times \text{TIMESLOT\_OFFSET\_x}$$

$$\text{オフセット} = 2 \times (32\text{kHz低周波発振器のサイクル数}) \times \text{TIMESLOT\_OFFSET\_x}$$

例えば、TIMESLOT\_OFFSET\_Cを0x040に設定し、1MHzの低周波発振器を使用する場合、タイム・スロットAの開始からタイム・スロットCの開始までのオフセットは次式のようにになります。

$$\text{オフセット} = (64 \times 1\mu\text{s} \times 64) = 4.096\text{ms}$$

サンプリング・レートは低周波発振器によって制御されます。低周波発振器は、クロッキングのセクションで説明したように、3つのソースの中の1つを使用して駆動します。

サンプリング周期が、イネーブルしたタイム・スロットが完了できないほど短く設定された場合は、イネーブルしたタイム・スロットのサンプリングをフル・サイクル分スキップして、全体でのサンプリング・レートを実質的に低くします。例えば、サンプリング・レートを100Hz (10ms周期) に設定し、イネーブルしたタイム・スロットのすべてが完了するまでに要する合計時間が11msだった場合、 $t = 20\text{ms}$ になるまで次のタイム・スロットのサイクルは開始されません。これにより、サンプリング・レートは実質上50Hzに低下します。

TIMESLOT\_OFFSET\_xが、前のタイム・スロットを完了できないほど短く設定された場合、次のタイム・スロットは前のタイム・スロット完了後すぐに開始されます。タイム・スロットは、常にAからLの順番で発生します。

### サンプリングの外部同期の使用

外部信号で予め設定したGPIOxピンを駆動することで、TIMESLOT\_PERIOD\_xのカウンタを使用する代わりにスリープ中のデバイスをウェイクさせることができます。これにより、サンプリング・レートおよび時間の外部制御が可能です。この動作モードはEXT\_SYNC\_ENビットを使用してイネーブルし、EXT\_SYNC\_GPIOビットで選択したGPIOxピンを使用します。この機能を使用する際は、GPIO\_PIN\_CFGxビットを使用して、入力として選択されたGPIOxピンを必ずイネーブルしてください。

外部同期を使用していてGoモードに設定されている場合、デバイスは最初にスリープ状態に入って、次の外部同期信号までウェイクアップを待ちます。外部同期信号は低周波発振器と同期され、その後、ウェイクアップ・シーケンスが開始されます。タイム・スロットの動作が完了する前に次の外部同期信号が供給されると、この信号は無視されます。

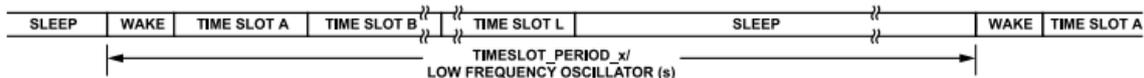


図 20. タイム・スロットの基本的な動作シーケンス

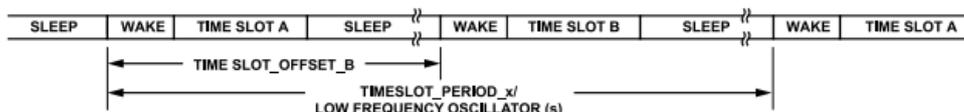


図 21. TIMESLOT\_OFFSET\_Bを使用してオフセットが追加されたタイム・スロット動作

## 動作原理

### 実行モード

低周波発振器のクロック領域におけるステート・マシンは、スリープ時間、ウェイクアップ・サイクル、およびタイム・スロット動作の開始を制御します。低周波発振器は、すべてのタイム・スロット動作のタイム・ベースとして機能すると共に、サンプリング・レートの制御、および低周波数のステート・マシンへのクロック供給を実行します。すべての動作を制御するこのステート・マシンを制御するには、OP\_MODEビットを使用します。

表 15. OP\_MODEビットの設定値の説明

OP_MODE Setting	Mode	Description
0	Standby	All operations stopped. Time slot actions reset. Low power standby state.
1	Go	Transitioning to this state from standby mode starts time slot operation.

パワーアップ時、およびその後リセット動作が行われた後は、ADPD4200は常にスタンバイ・モードになります。OP\_MODEビットに0を書き込むことで、すぐに動作を停止してスタンバイ・モードに戻すことができます。

Goモードの間は、動作モードに影響を与えるレジスタ書き込みを行うことはできません。コントロール・レジスタを変更するには、その前にスタンバイ・モードに入る必要があります。スタンバイ・モードに入ると、ADCのデジタル部分、すべてのパルス・ジェネレータ、およびステート・マシンがリセットされます。

外部の同期トリガを使用しない場合は、OP\_MODEが1にセットされると、デバイスはすぐに最初のウェイクアップ・シーケンスおよびタイム・スロット動作を開始します。外部の同期トリガを使用する場合、デバイスは、最初のウェイクアップおよびタイム・スロット領域を開始する前にスリープ状態に入ります。

### ホスト・インターフェース

ADPD4200は、SPIを使ってホストとの通信を行います。また、大容量FIFO、データ・レジスタ、エラー、および閾値のステータス・ビットを内蔵しており、これらは、GPIOxからの割込み機能、ステータス・レジスタからの読出し、またはFIFOパケットの最後にオプションのステータス・バイトとして追加することによって使用できます。

### 割込みステータス・ビット

#### データ・レジスタ割込み

INT\_DATA\_xは各タイム・スロット用のデータ割込みステータス・ビットで、各タイム・スロットにおいてデータ・レジスタが更新されるたびにセットされます。HOLD\_REGS\_xビットの状態は、この割込みロジックには影響を与えません。

#### FIFO閾値割込み

INT\_FIFO\_THは、FIFO閾値割込みのステータス・ビットで、FIFO内のバイト数がFIFO\_THレジスタに保存された値を超えるとセットされます。FIFOの読出しによってバイト数がFIFO\_THレジスタの値より少なくなると、INT\_FIFO\_THビットは自動的にクリアされます。これにより、ホストが必要とする適正なデータ・サイズを設定することができます。

### レベル割込み

レベル割込みのステータス・ビットにはINT\_LEVO\_xとINT\_LEV1\_xの2つがあり、暗データまたは信号データの値が、設定された閾値レベルを超えるか下回ったときに割込みを生成します。

2つの比較回路はタイム・スロットごとに使用できます。INT\_LEVO\_xおよびINT\_LEV1\_xステータス・ビットは、データ・レジスタの更新値が設定基準を満たすとセットされます。この基準値は、INT\_LEVO\_xに関してはTHRESH0\_TYPE\_x、THRESH0\_DIR\_x、THRESH0\_CHAN\_xの設定値、INT\_LEV1\_xに関してはTHRESH1\_TYPE\_x、THRESH1\_DIR\_x、THRESH1\_CHAN\_xの設定値によって設定します。

レベル0割込みは以下のように動作します。希望のタイム・スロットのTHRESH0\_VALUE\_xビット・フィールドに8ビットの閾値を設定します。この閾値は、その後THRESH0\_SHIFT\_xビット・フィールドで設定した0ビットから24ビットの任意のビット数だけ左にシフトされます。次に、シフトされた閾値を、THRESH0\_TYPE\_xビット・フィールドとTHRESH0\_CHAN\_xビットで選択したレジスタと比較します。選択したデータ・レジスタがTHRESH0\_DIR\_xビット・フィールドで設定した基準を満たす場合には、INT\_LEVO\_xステータス・ビットがセットされます。レベル1割込みもこれと同様に動作します。

### 割込みステータス・ビットのクリア

すべてのステータス・ビットは、割込み出力のInterrupt XとInterrupt Yのどちらかに接続されているかには無関係にセットされます。ステータス・ビットは、割込みイネーブル・ビットとは無関係です。ステータス・ビットは、常に、該当するイベントによってセットされます。割込みビットは、手動または自動でクリアされるまでセットされた状態を維持します。

該当する割込みステータス・ビットに1を書き込むことにより、手動で割込みをクリアできます。また、データ割込みステータス・ビットは自動でクリアする設定にもできます。

INT\_ACLEAR\_DATA\_xまたはINT\_ACLEAR\_FIFOビットがセットされている場合、割込みステータス・ビットは、該当のデータ・レジスタまたはFIFOレジスタが読み出されると自動的にクリアされます。割込みステータス・ビットが自動的にクリアされることで、手動で割込みをクリアする必要がなくなります。

### オプションのステータス・バイト

各データ・パケットにステータス・ビットを追加するオプションがあります。このオプションは、ホストで割込みチャンネルを持つ余裕がない場合に有効です。ステータス・バイトはFIFO\_STATUS\_BYTESレジスタでそれぞれを個別に選択できます。FIFO\_STATUS\_BYTESレジスタの各ビットを使用して、FIFOのデータ・パケットに追加するステータス・バイトをイネーブルします。FIFO\_STATUS\_BYTESレジスタのいずれかのビットに1が設定されていると、データ・パケットに追加されるバイトにはステータス・ビットが含まれます(表15参照)。表15に、各ステータス・バイトの順番、イネーブル・ビット、および内容を示します。

4ビットのシーケンス数は0から15のサイクルで順番に増加し、タイム・スロットのシーケンスが完了するたびにラップアラウンドします。また、このシーケンス数は、GPIOxピンでビットごとに利用できます。

## 動作原理

表 16. FIFOステータス・バイトの順番

Byte Order	Enable Bit	Contents <sup>1</sup>							
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	ENA_STAT_SUM	0	0	Any LEV1_x	Any LEV0_x	4-bit sequence			
1	ENA_STAT_D1	DATA_H	DATA_G	DATA_F	DATA_E	DATA_D	DATA_C	DATA_B	DATA_A
2	ENA_STAT_D2	0	0	0	0	DATA_L	DATA_K	DATA_J	DATA_I
3	ENA_STAT_L0	LEV0_H	LEV0_G	LEV0_F	LEV0_E	LEV0_D	LEV0_C	LEV0_B	LEV0_A
4	ENA_STAT_L1	LEV1_H	LEV1_G	LEV1_F	LEV1_E	LEV1_D	LEV1_C	LEV1_B	LEV1_A
5	ENA_STAT_LX	LEV1_L	LEV1_K	LEV1_J	LEV1_I	LEV0_L	LEV0_K	LEV0_J	LEV0_I

<sup>1</sup> DATA\_xは、該当するタイム・スロットのデータ・レジスタ割込みを表します。LEV0\_xとLEV1\_xは、それぞれタイム・スロットAからタイム・スロットLにおけるレベル0とレベル1のタイム・スロット割込みを表します。

## 割込み出力、Interrupt X、およびInterrupt Y

ADPD4200には、Interrupt XおよびInterrupt Yの2つの独立した割込み出力があります。どちらの割込みも、2本のGPIOxピンのどちらかを選択して駆動できます。この2つの割込み出力は、必要に応じてホスト・プロセッサに対して生成できます。例えば、FIFO閾値割込みのINT\_FIFO\_THをInterrupt Xに接続してホストのダイレクト・メモリ・アクセス（DMA）チャンネルを駆動すると同時に、INT\_FIFO\_OFLOWおよびINT\_FIFO\_UFLOW割込みをInterrupt Yに接続して、ホストに追加された割込みピンを駆動することが可能です。他にも、1つのタイム・スロットからのデータ割込みをInterrupt Xに接続し、FIFO閾値割込みをInterrupt Yに接続するなどの例が挙げられます。ホストは、特定のチャンネルの割込みが発生すると、その割込みを受信して、そのレジスタを直接読み出すことができます。この場合、Interrupt YはホストのDMAまたは割込みによって処理されます。この割込みステータス・ビットは、どちらもInterrupt XかInterrupt Y、もしくは両方に接続できます。

各割込みに対応するInterrupt XおよびInterrupt Yイネーブル・ビットがあります。Interrupt XおよびInterrupt Y機能に対するロジックは、ステータス・ビットとそれに該当するイネーブル・ビットの論理積です。イネーブルされたすべてのステータス・ビットは、次に論理和演算されて割込み機能が生成されます。イネーブル・ビットはステータス・ビットに影響を与えません。

## 汎用入出力

ADPD4200には2つの汎用デジタル出力、GPIO0とGPIO1があります。これらのGPIOxピンは、上述の割込み出力、Interrupt X、およびInterrupt Yのセクションで説明したように、割込み出力に使用するか、デバイスへの外部クロック信号の供給に使用できます。また、GPIOxピンは、外部デバイスの同期制御などの様々な制御信号や、システムのデバッグ時に便利なテスト信号にも使用できます。使用可能なすべての信号はGPIOxピンで使用できます。

## SPI

ADPD4200にはSPIポートがありますが、これはそれぞれの入力クロックと同期して動作し、内部クロックを動作させる必要はありません。

ADPD4200はパワーオン・リセット回路を内蔵しており、最初のパワーアップ時にデバイスを既知のアイドル状態に設定します。DVDD電源がアクティブになって約2μs～6μs後にパワーオン・リセットがリリースされ、デバイスはSPIを通じて読出しと書き込みができるようになります。

レジスタには、15ビットのアドレス空間内のアドレスを使用してアクセスします。各アドレスは、FIFO読出しアクセス用に割り当てられた1つのアドレスを使用して、15ビットのレジスタを参照します。同じアクセス・シーケンスにおいて追加ワードにアクセスすると、読出しと書き込みは次のレジスタに自動的にインクリメントされます。このアドレスの自動インクリメントは、FIFOアドレスを除くすべてのアドレス、すなわちFIFOアドレスおよび最後の使用済みアドレス0x277より小さいアドレスで発生します。FIFOアドレスからの読出しでは、FIFOの次のバイトへのアクセスを継続します。

## SPIの動作

SPIによる単一のレジスタ書き込み動作を図22に示します。最初の2バイトには、15ビットのレジスタ・アドレスと書き込みリクエストの指示が含まれています。次の2バイトは、レジスタに書き込む16個のデータ・ビットです。レジスタ書き込みは、CS信号のアサートが解除される前に16ビットすべてがシフトした場合にのみ発生します。

また、CS信号のアサートが解除される前に追加の16ビット・データをシフト・インさせることで、複数のレジスタに書き込みを行うことができます。各16ビット・データの後、レジスタ・アドレスは次のレジスタに自動的にインクリメントされます。

SPIによる単一のレジスタ読出し動作を図23に示します。最初の2バイトには、15ビットのレジスタ・アドレスと読出しリクエストの指示が含まれています。レジスタ・ビットはMSBからシフト・アウトします。また、CS信号のアサート解除される前に追加の16ビット・データをシフト・アウトさせることで、複数のレジスタを読み出すことができます。

FIFOからの読出しはバイト単位で実行することを推奨します。16ビットの倍数で読み出す必要はありません。

動作原理

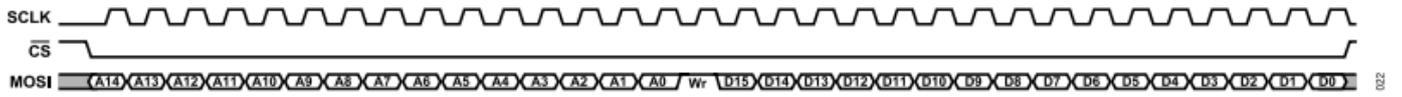


図 22. SPI書き込み動作

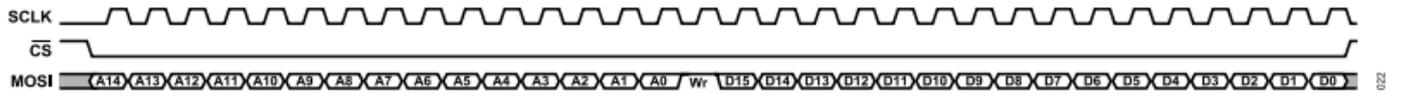


図 23. SPI読み出し動作

## アプリケーション情報

## 動作モードの概要

ADPD4200は効率的に電荷を測定するデバイスであり、PPG、心電図 (ECG)、皮膚電気活動 (EDA)、インピーダンス、容量、温度などの同期測定を可能にする様々なセンサーとインターフェースを取ることができます。デバイスに内蔵された動作モードを選択することで、様々なセンサー計測に対応した最適化が可能です。

## 1回積分モード

1回積分モードは、ADC変換ごとに入力電荷を1回積分するのに使われ、ADPD4200の動作モードの中で最も一般的なモードです。1回積分モードでは、1回の励起イベント、例えばLEDのパルス1個に対するセンサー応答からの電荷を積分する際に、積分器のダイナミック・レンジのほとんどを使用します。センサー応答が非常に小さい場合に使用できる複数積分モードもあります (詳細については複数積分モードのセクションを参照してください)。

## LEDを励起信号として使用

1回積分モードは、PPG測定で標準的に使用される動作モードです。PPG測定では、人体組織にLEDをパルス照射し、受光したフォトダイオードが生成する電荷を積分して、ADCにより変換します。図24に標準的なPPG測定回路の例を示します。

MOD\_TYPE\_xの値は、TIAがTIAの入力に連続して接続されるようにデフォルト値0のままにされます。プリコンディショニング時にフォトダイオードのアノードをTIA\_VREFの電位に設定するために、PRECON\_xビット・フィールドを0x5に設定します。VCxピンをフォトダイオードのカソードに接続してTIA\_VREF + 250mVに設定することで、フォトダイオードに250mVの逆バイアスを印加します。これは、フォトダイオードの容量を小さくして信号パスのノイズを低減します。AFE\_TRIM\_VREF\_xビット・フィールドを使用して、TIA\_VREFを最大ダイナミック・レンジの1.27Vに設定します。

LEDパルスは、LED\_OFFSET\_xビット・フィールドとLED\_WIDTH\_xビット・フィールドを使用して制御します。プリコンディショニング期間終了からのLEDオフセットのデフォルト

値 (LED\_OFFSET\_x = 0x10) は16μsです。これはほとんどの使用条件に適した値です。BPFを使用する場合のLEDパルス幅の推奨値は2μsまたは3μsです。LEDパルス幅を短くすることで、周辺光除去量を最大化すると共に消費電力を最小化できます。周期はADPD4200によって自動的に計算されます。自動計算は、積分幅の設定値とADC変換の数に基づいて実行されます。自動計算を使用するには、MIN\_PERIOD\_xビット・フィールドをデフォルト値0のままにしておきます。もっと長い周期にしたい場合、例えば特定のパルス周波数が必要な場合は、MIN\_PERIOD\_xビット・フィールドを使用して長い周期に設定できます。2μsまたは3μsのLEDパルスを使用したPPG測定のための1回積分モードでは、周期の自動計算に次式を使用します。

$$Period = (2 + 2 \times INTEG\_WIDTH + (Number\ of\ Channels\ Enabled \times (ADC\_COUNT + 1)))$$

積分パルスは、INTEG\_OFFSET\_xビット・フィールドとINTEG\_WIDTH\_xビット・フィールドを使用して制御します。入力信号がBPFの応答によって広がるため、積分幅はLEDパルス幅より1μs長くすることを推奨します。積分幅をLEDパルス幅より1μs長く設定することにより、入力信号からの最大電荷量を積分できます。

ADC変換の数はシングルADC変換がデフォルトになっていますが、S/N比を向上させるためにオーバーサンプリングを利用できます。ADC変換の数は、ADC\_COUNT\_xビット・フィールドを使用して1、2、3、4のいずれかに設定できます。2つのチャンネルをイネーブルする場合はチャンネル1が最初にイネーブルされ、次にチャンネル2がイネーブルされます。パルスの総数はNUM\_INT\_x × NUM\_REPEAT\_xに等しくなります。1回積分モードでは、NUM\_INT\_x = 1に設定するとADC変換ごとに積分シーケンスが1回実行されます。したがって、パルス総数はNUM\_REPEAT\_xで制御されます。パルス数が増加すると、測定のノイズ・フロアは√n分の1に減少します (n = パルスの総数)。

図25に、ADC変換ごとに1回の積分サイクルを実行する場合のタイミング動作を示します。また、表16に、PPG測定で1回積分モードを使用する場合に関連するレジスタの詳細を示します。

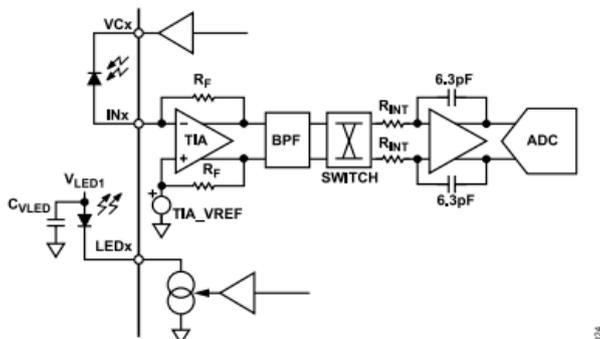


図 24. 標準的なPPG測定回路

## アプリケーション情報

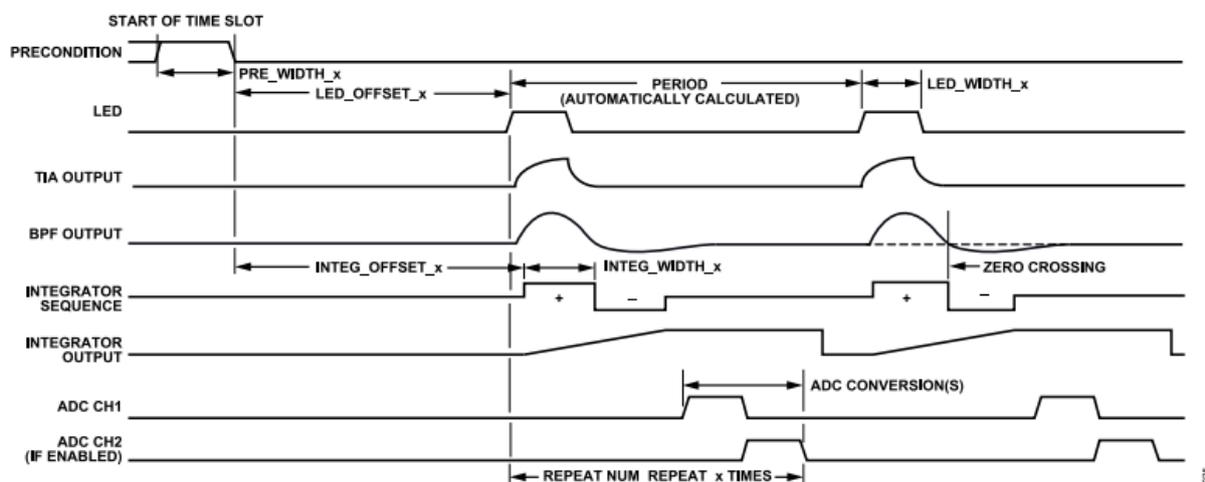


図 25. LEDを励起信号としてADC変換ごとに積分を1回実行

表 17. 1回積分モードの設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	Leave at the default setting (0) for default sampling mode.
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	Set to 0x0DA for TIA, BPF, integrator, and ADC.
	0x0102, Bits[15:12], 0x102, Bits[3:0]	INPxx_x	Enable desired inputs.
	0x0103[14:12]	PRECON_x	Set to 0x5 to precondition anode of the photodiode to TIA_VREF.
	0x0103, Bits[7:6], 0x0103, Bits[1:0]	VCx_SEL_x	Set to 0x2 to set ~250 mV reverse bias across the photodiode.
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	Select TIA gain.
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	Set to 0x3 to set TIA_VREF = 1.27 V for maximum dynamic range.
	0x0108, Bits[13:12]	MOD_TYPE_x	Set to 0 for continuous TIA connection to inputs following preconditioning.
Timing	0x0109, Bits[7:0]	LED_OFFSET_x	Sets start time of first LED pulse in 1 $\mu$ s increments, and 0x10 is the default (16 $\mu$ s).
	0x0109, Bits[15:8]	LED_WIDTH_x	Sets width of LED pulse in 1 $\mu$ s increments, and 2 $\mu$ s or 3 $\mu$ s recommended.
	0x010A, Bits[4:0]	INTEG_WIDTH_x	Integration time in $\mu$ s. Set to LED_WIDTH_x + 1.
	0x010B, Bits[12:0]	INTEG_OFFSET_x	Integration sequence start time = INTEG_OFFSET_x. Optimize as described in the <a href="#">Optimizing Position of Integration Sequence</a> section.
	0x0107, Bits[15:8]	NUM_INT_x	Set to 1 for a single integration per group of ADC conversions.
	0x0107, Bits[7:0]	NUM_REPEAT_x	With NUM_INT_x = 1, NUM_REPEAT_x sets the total number of pulses.
LED Settings	0x0105, Bit 15, 0x0105, Bit 7, 0x0106, Bit15, 0x0106, Bit 7	LED_DRIVESIDEx_x	Select LED for time slot used.
	0x0105, Bits[14:8], 0x0105, Bits[6:0], 0x0106, Bits[14:8], 0x0106, Bits[6:0]	LED_CURRENTx_x	Set LED current for selected LED.

## アプリケーション情報

1 これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x0100はSAMPLE\_TYPE\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x0120になります。タイム・スロットCではアドレス0x0140、タイム・スロットDではアドレス0x0160となり、以下も同様になります。

## 積分シーケンス位置の最適化

BPF出力応答のゼロ交差位置と積分シーケンスの位置を調整し、正の積分位置がBPF出力応答の正の部分に揃い、負の積分位置がBPF出力応答の負の部分に揃うように合わせることが重要です（図25参照）。

ゼロ交差は、ADPD4200にフォトダイオードから一定のDC電流が供給されるように反射器とフォトダイオードの距離を固定し、LEDがこの反射器で反射するように回路をセットアップすることで、簡単に見つけることができます。出力をモニタしながら、INTEG\_OFFSET\_x [12 : 5] に1 $\mu$ s刻みで低い値から高い値まで設定し、積分器のオフセットを掃引します。出力で極大値を示したときの位置がゼロ交差です。ゼロ交差は、INTEG\_OFFSET\_x [4 : 0] ビット・フィールドを31.25ns刻みで掃引することにより、さらに高い精度で特定できます。

最適なタイミング・ポイントはTIA帯域幅の関数で、TIAゲインによって変化します。各TIAゲイン設定で最大のS/N比を得るには、用途に応じて設定されたTIAゲインのそれぞれで最適なタイミング・ポイントを見つけることを推奨します。この最適タイミング・ポイントではデバイス間でのばらつきが最小限に抑えられるため、各ゲイン設定での積分器オフセットをすべてのデバイスで同じタイミングにすることができ、各TIAゲイン設定で最適化し直すことなく、すべてのTIAゲイン設定で同じ積分器タイミングを使用する必要がある場合は、200k $\Omega$ のTIAゲインでの最適タイミングを他のTIAゲイン設定でも使用してください。

## 複数パルスによるS/N比の向上

ADPD4200は、およそ2 $\mu$ s~3 $\mu$ sの短いLEDパルスを使用します。単一パルスのS/N比は、TIAゲインに応じて約68dB~74dBです。サンプル当たりのパルス数を増やし、適切な信号帯域幅（例えば心拍数の信号であれば0.5Hz~20Hz）にフィルタ処理することによって、S/N比は約100dBまで向上させることができます。S/N比はパルス数の平方根に比例して増加します。したがって、パルス数が倍になるとS/N比は3dBずつ増加します。パルス数はNUM\_REPEAT\_xビット・フィールドを使用して増やすことができます。

## 積分器のチョッピングによるS/N比の向上

ADPD4200のデータパス最終段は電荷の積分器です。この積分器は、放射される光パルスと同期してオン/オフする積分シーケンスを使用し、前段におけるオフセット、ドリフト、低周波ノイズを除去する追加のハイパス・フィルタとして機能します。ただし、積分アンプ自体による低レベルの低周波信号成分が発生する

ことがあります。ADPD4200には、デジタル領域でチョッピングを追加してこの信号を除去するモードがあります。サンプル当たり偶数個のパルスを使用し、積分シーケンスの半分を反転させることによってチョッピングを実現します。サンプルで得られた各パルスのデジタル値を使用して計算するには、反転された積分シーケンスを減算し、通常の積分シーケンスを加算します。積分器のチョッピング・シーケンスの例を図26に示します。

チョッピングの結果、積分器によって発生する低周波信号成分が取り除かれ、積分された信号のみを残すことで高いS/N比が得られます。特に、高パルス数や低TIAゲインなど、積分器のノイズ成分が顕著になる場合に有効です。

デジタル・チョッピングは、表17に示すレジスタおよびビットを使用してイネーブルします。このビット・フィールドで最初の4パルスのチョッピング動作を定義します。この4ビットのシーケンスは、その後続くすべての4パルスのシーケンスで繰り返されます。図26のシーケンスでは、2番目と4番目のパルスが反転され、1番目と3番目のパルスがデフォルトの極性（非反転）になっています。この設定は、REVERSE\_INTEG\_xビット・フィールド=0xAに設定し、2番目と4番目のパルスで積分シーケンスを反転することで得られます。この動作を完全なものにするには、SUBTRACT\_xビット・フィールド=0xAに設定して計算をシーケンスに合わせる必要があります。積分器のチョッピング・モードではパルス数を偶数にする必要があります。

反転された積分シーケンスを減算しデフォルトの積分シーケンスを加算するように計算が設定されていると、ADC出力のデジタル・オフセットが自動的に除去されてしまうため、積分器をチョッピング・モードで使用する場合は、ADCオフセット・ビット・フィールドのCH1\_ADC\_ADJUST\_xとCH2\_ADC\_ADJUST\_xを0に設定する必要があります。また、積分器がチョッピング・モードの場合、通常のアプリケーションではスタートアップ時にADCオフセットを手動でゼロにする必要はありません。チョッピング・モードを使用してオフセットを取り除くと、入力信号がないときにノイズ信号の少なくとも半分程度がクリップされ、システム特性評価時にノイズ・フロアの測定を難しくしてしまうことがあるので注意が必要です。システムのノイズ・フロア特性評価を実行する場合は、以下の3つの選択肢があります。

- ▶ チョッピング・モードをディスエーブルする。
- ▶ チョッピング・モードをイネーブルにし、入力に最小限の信号を印加して、クリップできない程度にノイズ・フロアを増加させる。
- ▶ ZERO\_ADJUST\_xビット=1に設定し、最終結果に2048コードを追加する。

アプリケーション情報

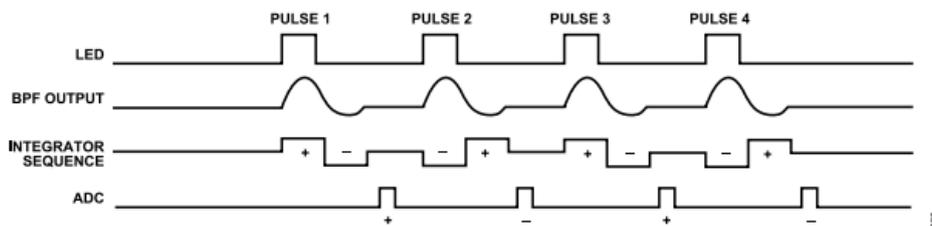


図 26. 積分器のチョッピング・シーケンス図

表 18. 積分器のチョッピング・モードにおけるレジスタ設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Integrator Chop Mode	0x010D, Bits[7:4]	SUBTRACT_x	Four-pulse subtract pattern. Set to 1 to negate the math operation in the matching position in a group of four pulses. The LSB maps to the first pulse.
	0x010D, Bits[3:0]	REVERSE_INTEG	Four-pulse integration reverse pattern. Set to 1 to reverse the integrator positive and negative pulse order in the matching position in a group of four pulses. The LSB maps to the first pulse.

<sup>1</sup> これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x010DはSUBTRACT\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x012Dになります。タイム・スロットCではアドレス0x014D、タイム・スロットDではアドレス0x016Dとなり、以下も同様になります。

## アプリケーション情報

## 接続の変調

ADPD4200とセンサーとの接続には3種類の変調方法があり、これはMOD\_TYPE\_xビットで選択します。このレジスタで制御する機能を表18に示します。デフォルトの動作モードはMOD\_TYPE\_x = 0で、このモードでは入力接続の変調はありません。このモードの使用方法はLEDを励起信号として使用のセクションで説明します。

表 19. MOD\_TYPE\_xに基づく変調接続

MOD_TYPE_x	Connect Function
0	TIA is continuously connected to INx after the precondition period. There is no modulation of the input connection.
1	Float mode operation. The TIA is connected to INx only during the modulation pulse and disconnected (floated) between pulses.
2	Nonfloat mode connection modulation. The TIA is connected to INx during the modulation pulse and connected to the precondition value between pulses.

## フロート・モードの動作

ADPD4200にはフロート・モードと呼ばれる独自の動作モードがあり、暗い場所でも低消費電力で高いS/N比を実現します。フロート・モードでは、最初にフォトダイオードが既知の状態にプリコンディショニングされます。次に、フォトダイオードのアノードが、予め設定されたフロート時間だけデバイスの受信パスから切り離されます。フロート時間中は、動作モードに応じて周辺光またはLEDのパルス光、もしくはその2つの組み合わせがフォトダイオードに投射されます。センサーからの電荷は、センサーの容量CPDに直接蓄えられます。フロート時間の最後に、フォトダイオードはADPD4200の受信パスに接続され、蓄積された電荷による突入電流が発生して、これが積算されます。これにより、信号パスによって加わるノイズを最低限に抑えながら、パルスあたりの最大電荷量を処理できます。電荷は、フォトダイオードの容量が蓄えられる最大電荷に達するまで外部で積算されます。これは信号パスのアンプとは無関係に行われるため、ノイズのない電荷を効率的に積算できます。フロート・モードは、LED駆動電流またはフロート時間を増やすことで、1測定あたりの電荷量を増大させることのできる柔軟性を提供します。

フロート・モードでは信号パスがBPFをバイパスし、TIAと積分器だけを使用します。TIAとの接続が変調されることによって、フォトダイオードからの電荷移動時に生成される信号の形状がデバイスや条件によって異なる可能性があるため、BPFはバイパスされます。BPFでフィルタリングされた信号は、積分シーケンスと確実に位置を揃えることはできません。そのため、BPFは使用できません。フロート・モードでは、電荷移動の全体が積分器の負のサイクルで積分されて、オフセットは正のサイクルで相殺されます。

## 同期LED測定用のフロートLEDモード

フロートLEDモードは、CTRが5nA/mA未満の低信号状態に適しています。更に、心拍数測定時に緑色LEDの駆動電流を制限して、LED電源用のブースト・コンバータを不要にできるレベルまで緑色LEDの順方向電圧降下を維持する必要がある状況では、フロート・モードが最適です。例えば、LED電流を10mAに制限して、LEDの電圧降下を約3Vに抑えます。この場合はブースト・コンバータが不要になり、バッテリーから直接動作させることができます。フロート・モードは、比較的長いLEDパルス間に受け取った電荷を信号パスからのノイズを加えることなく蓄積し、光子あたりのS/N比を効果的に最大化できます。

フロートLEDモードでは、複数のパルスを使用して電気的なオフセットとドリフト、および周辺光を除去します。周辺光を除去するには、長さの等しい偶数のパルスを使用します。すべてのパルス・ペアにおいて、一方のパルスでLEDを点灯し他方では消灯します。一方のパルスにはLED、周辺光、およびオフセットが組み合わされたりターン光が含まれますが、他方のパルスに含まれるのは周辺光とオフセットだけです。2つのパルスの差をとると、周辺光だけでなく、オフセットとドリフトも除去されます。測定には、パルス2とパルス3でLEDを点灯する4パルスのグループを使用することを推奨します。加算器はパルス2とパルス3を加算して、パルス1とパルス4を減算します。更にS/N比を向上させるには、複数の4パルス・グループを使用します。

LED\_DISABLE\_xを設定して、各4パルス・グループのどのパルス位置でLEDを点灯させるか決定します。加算または減算されるパルス位置は、SUBTRACT\_xビットで設定します。これらのシーケンスが4パルスのグループで繰り返されます。FIFOまたはデータ・レジスタに書き込まれる値は、1サンプル周期あたりのパルスの総数に依存します。NUM\_INT\_xが1に設定されている場合、NUM\_REPEAT\_xによってパルスの総数が決定します。例えば、デバイスが32パルスでセットアップされている場合、LED\_DISABLE\_xおよびSUBTRACT\_xの定義に従って4パルスのシーケンスが8回繰り返され、実行した32パルスに基づく最終値が単一レジスタまたはFIFOに書き込まれます。

フロート・モードでは、MIN\_PERIOD\_xビットを設定してパルス周期を制御する必要があります。フロート・モードでは周期の自動計算は機能しないように設計されています。MIN\_PERIOD\_xビットを1 $\mu$ s刻みで設定してフロート時間と接続時間の合計を必要な値に調整してください。

積分シーケンスは、電荷移動フェーズが積分の負のフェーズの中央になるように配置します。TIAは反転段です。そのため、負の積分フェーズをフォトダイオードからの電荷移動期間に配置すると、TIAからの負の出力信号の増大と共に積分器の出力が上昇します。

図27に示す例では、LEDは4パルス・シーケンスの2番目と3番目のパルスで点灯します。SUBTRACT\_xを使用して2番目と3番

## アプリケーション情報

目のパルスを加算し、1番目と4番目のパルスを減算するように設定すると、周辺光および電氣的なオフセットとドリフトを効率的に除去できます。

さらにINPUT\_R\_SELECT\_xビット・フィールドを1に設定し、フォトダイオードとTIA入力間に6.5kΩの抵抗を直列に接続して、

入力スイッチを閉じたときに生じるフォトダイオードからの突入電流を抑制します。

フロートLEDモードに関するレジスタの詳細を表19に示します。

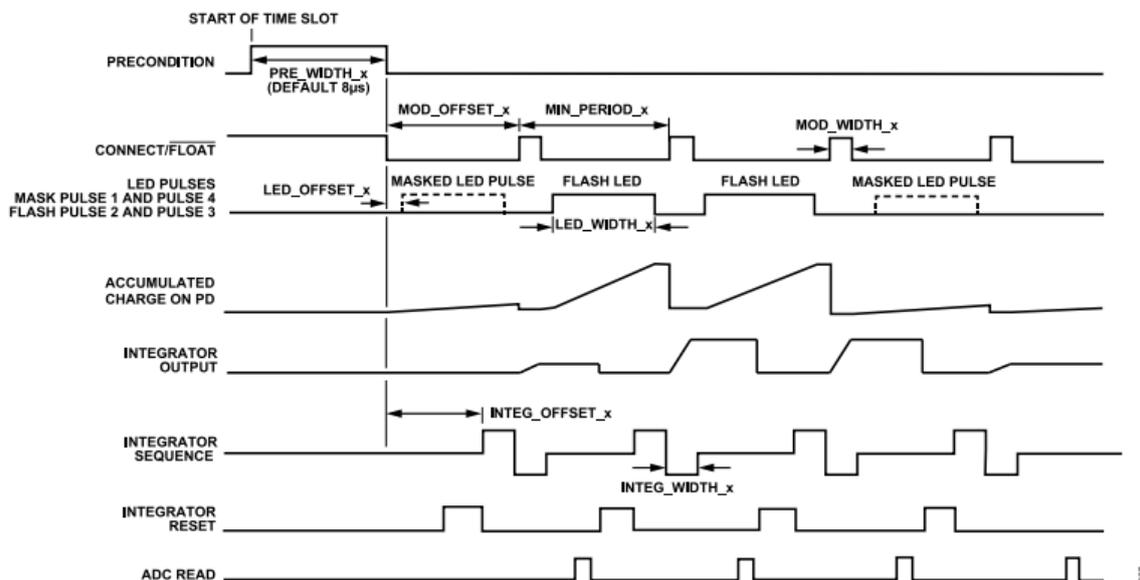


図 27. 4パルスのフロート・モード動作

表 20. フロートLEDモードの設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	Leave at the default setting (0) for default sampling mode.
	0x0100, Bits[11:10]	INPUT_R_SELECT_x	Set to 0x1 for 6.25 kΩ series input resistor.
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	Set to 0x0E6 for TIA, integrator, and ADC. Bypass BPF.
	0x0102, Bits[15:12], 0x0102, Bits[3:0]	INPxx_x	Enable desired inputs.
	0x0103, Bits[14:12]	PRECON_x	Set to 0x4 to precondition anode of photodiode to the input of the TIA.
	0x0103, Bits[7:6], 0x0103, Bits[1:0]	VCx_SEL_x	Set to 0x2 to set ~250 mV reverse bias across photodiode.
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	Select TIA gain (100 kΩ or 200 kΩ for float mode).
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	Set to 0x2 to set TIA_VREF = 0.9 V.
Float Mode Configuration	0x0107, Bits[15:8]	NUM_INT_x	Set to 1 for a single integration per group of ADC conversions.
	0x0107, Bits[7:0]	NUM_REPEAT_x	Number of sequence repeats. Must be set to a multiple of 2 for float mode.
	0x0108, Bits[13:12]	MOD_TYPE_x	Set to 0x1 for float mode operation.
	0x0108, Bits[9:0]	MIN_PERIOD_x	Set the period to accommodate float time plus connect time, in 1 μs increments.
	0x010A, Bits[4:0]	INTEG_WIDTH_x	Integration time in μs. Set to MOD_WIDTH_x + 1.
	0x010A, Bits[10:8], 0x010A, Bits[14:12]	CHx_AMP_DISABLE_x	Set 0x010A, Bit 9 to 1 to power down the BPF for Channel 1, and Bit 13 to 1 to power down the BPF for Channel 2 if Channel 2 is enabled.
	0x010B, Bits[12:0]	INTEG_OFFSET_x	Integration sequence start time. Set to (MOD_OFFSET_x - INTEG_WIDTH_x - 250 ns).
	0x010C, Bits[15:8]	MOD_WIDTH_x	Sets width of connect pulse in 1 μs increments. Typical values of 2 μs or 3 μs.
0x010C, Bits[7:0]	MOD_OFFSET_x	Sets start time of first connect pulse in 1 μs increments.	

## アプリケーション情報

表 20. フロートLEDモードの設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
	0x010D, Bits[7:4]	SUBTRACT_x	In any given sequence of four pulses, negate the math operation in the selected position. Selections are active high (that is, subtract if 1) and the LSB of this register maps to the first pulse. For a float mode sequence, add pulses when the LED flashes and subtract pulses when the LED is disabled, according to LED_DISABLE_x.
LED Settings	0x0105, Bit 15 and 0x0105, Bit 7, 0x0106, Bit 15 and 0x0106, Bit 7 0x0105, Bits[14:8], 0x0105, Bits[6:0], 0x0106, Bits[14:8], 0x0106, Bits[6:0] 0x0109, Bits[7:0] 0x0109, Bits[15:8] 0x010D, Bits[15:12]	LED_DRIVESIDEx_x  LED_CURRENTx_x  LED_OFFSET_x LED_WIDTH_x LED_DISABLE_x	Select LED for time slot used.  Set LED current for selected LED.  Sets start time of first LED pulse in 1 $\mu$ s increments. Sets width of LED pulse in 1 $\mu$ s increments.  In any given sequence of four pulses, disable the LED pulse in the selected position. Selections are active high (that is, disable LED if 1) and the LSB of this register maps to the first pulse. For a sequence of four pulses, it is recommended to turn on the LED in the second and third pulses by writing 0x9 to this register.

<sup>1</sup> これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x0100はSAMPLE\_TYPE\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x0120になります。タイム・スロットCではアドレス0x0140、タイム・スロットDではアドレス0x0160となり、以下も同様になります。

## フロート・モードの制約

フロート・モードを使用するときは、このモードの制約を十分に理解しておく必要があります。例えば、フォトダイオードの容量に蓄積できる電荷量は有限であり、積分器が積算できる電荷量にも上限があります。フォトダイオードの初期の逆バイアスが250mVで、約200mVの順バイアスで非線形になると仮定すると、アノード電圧がフロート時間の開始時から増加して線形状態で電荷蓄積が終わるまでに、約450mVのヘッドルームがあります。望ましいのは、フォトダイオードの線形領域のみで動作することです（図28参照）。フロート・モードがダイオードの線形領域で動作しているかどうかは、簡単に確認することができます。まず希望するフロート時間でデータを記録し、次にそのフロート時間の1/2の位置でデータを記録します。この2つの受信信号に推奨される比は2:1です。比率が2:1になっていない場合はフロート時間が長く、ダイオードは順方向バイアスを開始して非線形になります。

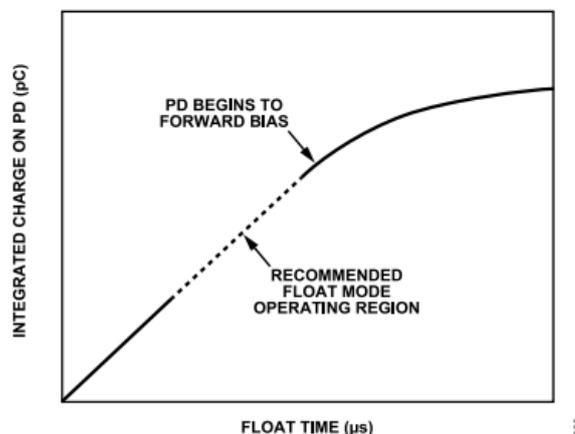


図 28. フォトダイオードの蓄積電荷とフロート時間の関係

フォトダイオード容量に蓄積でき、センサーの線形動作範囲内に留まる最大電荷量は、次式で推計できます。

$$Q = C_{PD} V$$

ここで、

Qは蓄積電荷、

$C_{PD}$ はフォトダイオードの容量、

Vはフォトダイオードが非線形になる前のフォトダイオードにおける電圧変化量です。

70pFの容量と450mVのヘッドルームを備えた7mm<sup>2</sup>のフォトダイオードを使用する典型的なディスクリット光学設計の場合、フォトダイオード容量に保存できる電荷の最大量は31.5pCです。

## アプリケーション情報

更に、ADPD4200の積分器が積算できる最大電荷量を考えます。積分器は最大7.6pCまで積算できます。この電荷を入力に換算する場合は、TIAゲインを考慮します。TIAのゲインが200k $\Omega$ である場合、入力換算電荷は積分器の蓄積電荷に対して1:1の比率になります。ゲインが100k $\Omega$ の場合は2:1、50k $\Omega$ の場合は4:1、25k $\Omega$ の場合は8:1になります。

容量が70pFのフォトダイオードを使用した前述の例では、50k $\Omega$ のTIAゲインを使用して、単一パルスでADCの出力が代表的な動作条件であるフル・スケールの70%になるようにフロートのタイミングを設定します。この動作条件では、フォトダイオード容量に蓄積される21.2pCの電荷に対し、積分器によってパルスあたり5.3pCが蓄積されます。CPDに電荷を蓄積する合計時間はCTRに反比例します。測定で使用するCTRと、所定の時間内に蓄積できる電荷量に基づくと、TIAゲインを100k $\Omega$ または200k $\Omega$ に設定する必要があるかもしれません。最終的には、測定のタイプ（周辺またはパルスLED）、フォトダイオードの容量、およびシステムのCTRによってフロート時間が決まります。

## パルス接続の変調

パルス接続の変調は、周辺光の測定や、同期して励起する必要がない他のセンサー計測に有用です。このモードは、センサーをPRECON\_xビットで選択したレベルにプリコンディショニングして、変調パルスを使用する間だけセンサーをTIAの入力に接続することで機能します。センサーは、TIAに接続されていないときはTIA\_VREF電圧の低入力インピーダンス・ノードに接続されます。この期間のセンサー電流は、すべて直接AFEに流入します。したがって、センサーに電荷は蓄積されません。電荷の蓄積がないことがフロート・モードとの違いです。フロート・モードでは変調パルスと変調パルスの間で完全にセンサーとの接続が解除されます。MOD\_TYPE\_xビットを0x2に設定して、パルス接続モードにします。このモードを使用して非同期のセンサー計測を行うメリットは、BPFと積分器を使用して、完全な信号パスによるノイズ性能の恩恵を活用できることです。図30に、パルス接続の変

調による測定のタイミング図を示します。

## 励起ソースの変調

ADPD4200には、VC1およびVC2信号を変調する動作モードがあります。このモードは、測定するセンサーにパルスの励起信号を供給できるため有用です。例えば、生体インピーダンス測定では、人体に接続した電極の一方にVC1またはVC2出力によるパルス信号を印加し、もう一方の電極をTIA入力に接続することで応答を測定することができます。また、このモードは容量測定にも有用です（図29参照）。ここでは、VCxピンの1つをコンデンサの一端に接続し、コンデンサのもう一端をTIA入力に接続します。

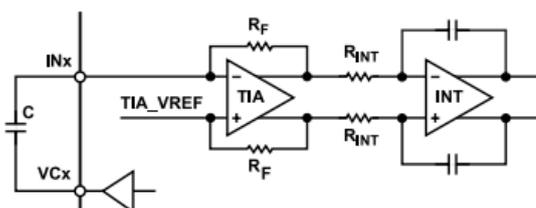


図 29. 容量測定用の励起の変調

この測定では、BPFはバイパスします。VCxピンに励起パルスが供給されると、コンデンサの応答は立上がりエッジで正のスパイクを示した後TIA\_VREFに向けて安定していき、その後、励起パルスの立下がりエッジで負のスパイクを示します。積分シーケンスは、正のTIA応答による電荷を正の積分シーケンスで、負のTIA応答による電荷を負の積分シーケンスで完全に積算できるようにセンタリングされます（図31参照）。

VC1ピンとVC2ピンに印加するパルスは、VCx\_PULSE\_x、VCx\_ALT\_x、およびVCx\_SEL\_xビットで制御し、変調のタイミングはMOD\_OFFSET\_xビットとMOD\_WIDTH\_xビットで制御します。表20にセンサーの励起を変調するために必要なレジスタを示します。

アプリケーション情報

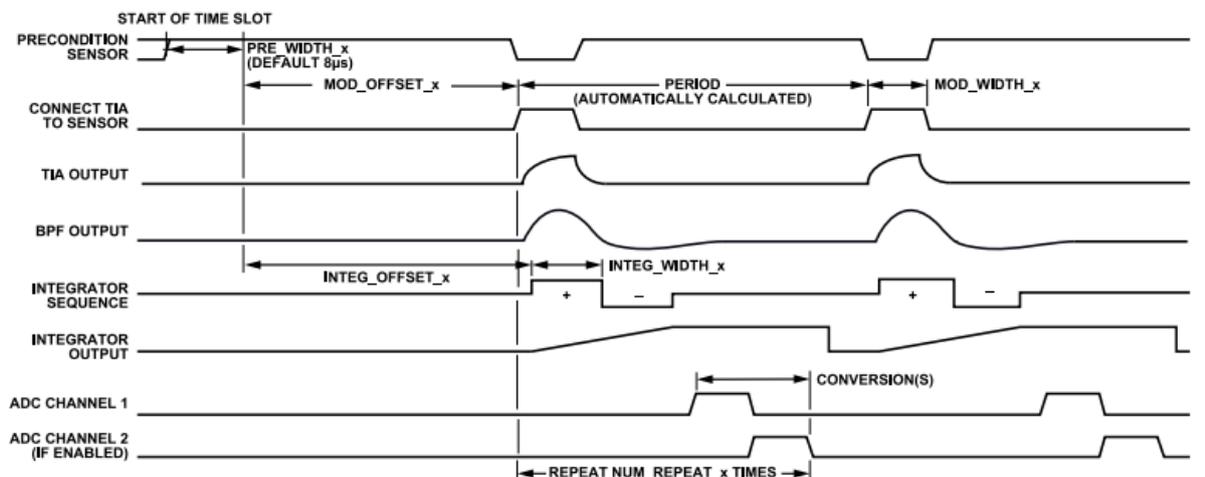


図 30. パルス接続変調のタイミング図

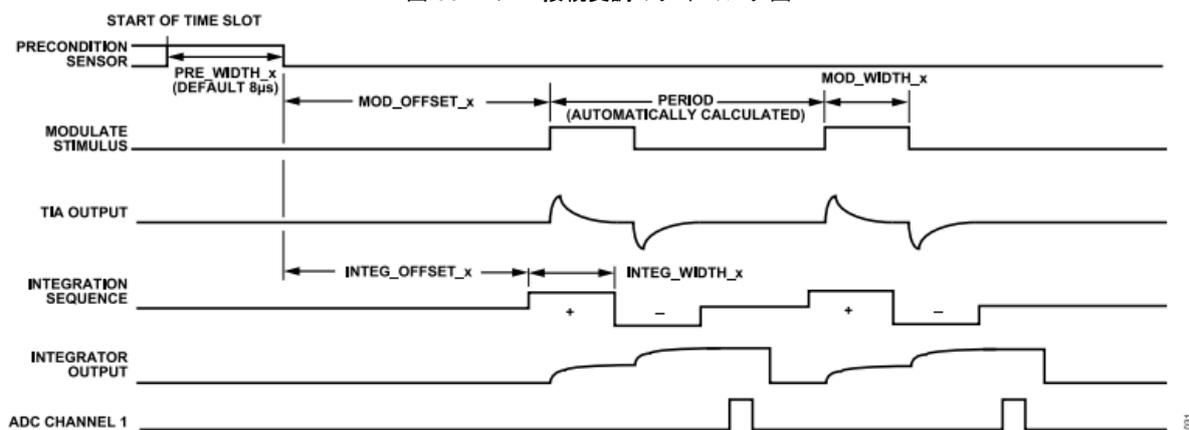


図 31. 励起変調動作のタイミング図

表 21. 励起変調の設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Modulate Stimulus Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	Leave at the default setting (0) for default sampling mode.
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	Set to 0x0E6 for TIA, integrator, and ADC. Bypass BPF.
	0x0102, Bits[15:12], 0x0102, Bits[3:0]	INPx_x	Enable desired inputs.
	0x0103, Bits[14:12]	PRECON_x	Set to 0x5 to precondition sensor to TIA_VREF.
	0x0103, Bits[11:10], 0x0103, Bits[5:4]	VCx_PULSE_x	VCx pulse control. Set to 0x2 to pulse to the alternate voltage during a modulation pulse.
	0x0103, Bits[9:8], 0x0103, Bits[3:2]	VCx_ALT_x	Select the alternate state for VCx during the modulation pulse.
	0x0103, Bits[7:6], 0x0103 Bits[1:0]	VCx_SEL_x	Set to 0x1 to set VCx to TIA_VREF as primary state.
	0x0104, Bits[5:0] 0x0104, Bits[9:8]	TIA_GAIN_CHx_x AFE_TRIM_VREF_x	Select TIA gain. Set to 0x2 to set TIA_VREF = 0.9 V.
Modulate Stimulus Timing	0x010C, Bits[7:0]	MOD_OFFSET_x	Sets start time of first modulation pulse in 1 μs increments.
	0x010C, Bits[15:8]	MOD_WIDTH_x	Sets width of modulation pulse in 1 μs increments. Typical values of 6 μs to 12 μs.

## アプリケーション情報

表 21. 励起変調の設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
	0x010A, Bits[4:0]	INTEG_WIDTH_x	Integration time in $\mu$ s. Set to MOD_WIDTH_x + 1.
	0x010B, Bits[12:0]	INTEG_OFFSET_x	Integration sequence start time. Set to MOD_OFFSET_x - 1 and then sweep INTEG_OFFSET_x[4:0] in 31.25 ns steps to find optimal operating point.
	0x0107, Bits[15:8]	NUM_INT_x	Set to 1 for a single integration per ADC conversion.
	0x0107, Bits[7:0]	NUM_REPEAT_x	Number of sequence repeats. SNR increases as $\sqrt{n}$ , where $n = \text{NUM\_REPEAT\_x} \times \text{NUM\_INT\_x}$ .

<sup>1</sup> これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x0100はSAMPLE\_TYPE\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x0120になります。タイム・スロットCではアドレス0x0140、タイム・スロットDではアドレス0x0160となり、以下も同様になります。

## 複数積分モード

複数積分モードでは、1回のADC変換あたり複数のアナログ積分で入力電荷を積算できます。このモードは、応答が小さく、励起イベントあたり利用可能なダイナミック・レンジの一部しか使用できない場合にとっても有用です。複数積分モードでは、ADC変換の前に電荷を複数回積算できます。これにより、積分器で利用可能なダイナミック・レンジの使用範囲を広げることができます。

図32に、LEDを励起ソースとして使用した場合の複数積分モードを示します。LEDのパルス数、およびこれによるフォトダイオード応答からの電荷を積算する回数は、NUM\_INT\_xビットの設定で決定します。最後の積分の後、ADC変換が1回実行されます。これをNUM\_REPEAT\_xで設定された回数だけ繰り返します。

NUM\_INT\_xビットを使用して積分回数を設定する前に、最適なTIAゲインとLED電流の設定値を決定します。TIAゲインとLED電流を設定するときには、1つのLEDパルスで発生する電荷を積算するために積分器のダイナミック・レンジをどの程度使用するのか測定します。1つのパルスで使用する積分器のダイナミック・レンジが、利用可能なダイナミック・レンジの半分以下の場合、ADC変換の前に複数の積分を使用すると望ましい結果が得られます。例えば、1つのパルスで使用する積分器のダイナミック・レンジが利用可能なダイナミック・レンジの1/8になる場合、

NUM\_INT\_xを0x6に設定して6つのパルスと6回の積分を選択します。これにより1回のADC変換あたり利用可能なダイナミック・レンジの広い範囲（75%）を使用しながらマージンとして25%のヘッドルームを残すことができ、入力レベルが変動しても積分器は飽和しません。パルスがLEDに印加されるたびに、応答からの電荷が積算され保持されます。図32に示すように、各パルスによる応答からの電荷は、それまでに積算された電荷に追加され、NUM\_INT\_xで設定した積分回数に達するまで続けられます。

複数積分モードでは、最小周期は自動的に計算されます。この例に示すように、最小周期は $2 \times \text{INTEG\_WIDTH\_x}$ で計算でき、前の積分が終わるとすぐに次のパルスが発生します。NUM\_INT\_xで設定した回数だけ積分した後にADC変換が実行できるよう、自動的に時間を追加します。

NUM\_REPEAT\_xを使用して繰り返し回数を増やすことで、全体のS/N比を向上させることができます。複数積分してから1回ADC変換するプロセス全体を、NUM\_REPEAT\_xで設定した回数だけ繰り返します。NUM\_REPEAT\_xを増加させると、連続接続モードで複数パルスを使用した場合と同様の効果が得られます。連続接続モードでは、n個のパルスでS/N比が $\sqrt{n}$ 倍向上しましたが、複数積分モードでは、 $n = \text{NUM\_REPEAT\_x}$ のときにS/N比が $\sqrt{n}$ 倍向上します。このモードでは、LEDパルスの総数はNUM\_INT\_x  $\times$  NUM\_REPEAT\_xです。

## アプリケーション情報

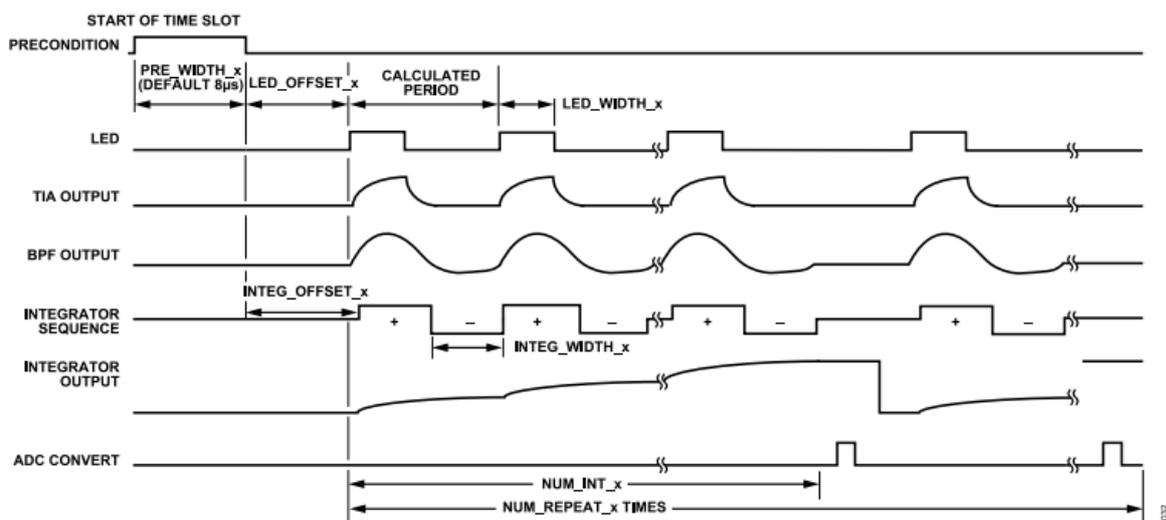


図 32. LEDを励起ソースとして使用した複数積分

表 22. 複数積分モードに関連する設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Multiple Integration Mode Using LED as Stimulus	0x0100, Bits[13:12]	SAMPLE_TYPE_x	Leave at the default setting (0) for default sampling mode.
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	Set to 0x0DA for TIA, BPF, integrator, and ADC.
	0x0102, Bits[15:12], 0x0103, Bits[3:0]	INPxx_x	Enable desired inputs.
	0x0103, Bits[14:12]	PRECON_x	Set to 0x5 to precondition anode of the photodiode to TIA_VREF.
	0x0103, Bits[7:6], 0x0103, Bits[1:0]	VCx_SEL_x	Set to 0x2 to set ~250 mV reverse bias across photodiode.
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	Select TIA gain.
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	Set to 0x3 to set TIA_VREF = 1.27 V for maximum dynamic range.
Timing	0x0107, Bits[15:8]	NUM_INT_x	Set to a number that utilizes most of the dynamic range of integrator available, leaving some margin for fluctuations in input level.
	0x0107, Bits[7:0]	NUM_REPEAT_x	Set NUM_REPEAT_x to the number of times to repeat the multiple integration sequence. SNR increases by a factor of $\sqrt{\text{NUM\_REPEAT}_x}$ . Total number of pulses is equal to NUM_REPEAT_x × NUM_INT_x.
	0x010A, Bits[4:0]	INTEG_WIDTH_x	Integration time in $\mu\text{s}$ .
	0x010B, Bits[12:0]	INTEG_OFFSET_x	Integration sequence start time = INTEG_OFFSET_x. Optimize as described in the <a href="#">Optimizing Position of Integration Sequence</a> section.
LED Settings	0x0105, Bit 15, 0x0105, Bit 7, 0x0106, Bit 15, and 0x0106, Bit 7	LED_DRIVESIDEx_x	Select LED for time slot used.
	0x0105, Bits[14:8], 0x0105, Bits[6:0], 0x0106, Bits[14:8], 0x0106, Bits[6:0]	LED_CURRENTx_x	Set LED current for selected LED.
	0x0109, Bits[7:0]	LED_OFFSET_x	Sets start time of first LED pulse in 1 $\mu\text{s}$ increments and 0x10 default (16 $\mu\text{s}$ ).
	0x0109, Bits[15:8]	LED_WIDTH_x	Sets width of LED pulse in 1 $\mu\text{s}$ increments, and 2 $\mu\text{s}$ or 3 $\mu\text{s}$ recommended.

<sup>1</sup> これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x0100はSAMPLE\_TYPE\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x0120になります。タイム・スロットCではアドレス0x0140、タイム・スロットDではアドレス0x0160となり、以下も同様になります。

## アプリケーション情報

## デジタル積分モード

センサーが、標準的なアナログ積分モードでは対応できない長さのパルスが必要とする場合に対処するために、ADPD4200はデジタル積分モードを備えています。デジタル積分モードによって、システムはアナログ積分モードより大きなLEDデューティ・サイクルを使用できます。これにより、達成可能な最高レベルのS/N比が得られるようになります。

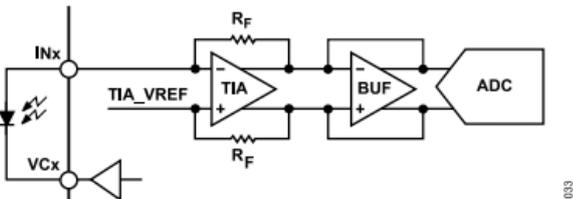


図 33. デジタル積分モードの信号パス

デジタル積分モードではBPFがバイパスされ、積分器はバッファとして構成されます。その結果得られる信号パスを図33に示します。デジタル積分領域は、明領域と暗領域に分かれており、ユーザが設定します。LEDは明領域でパルスが印加され、暗領域でオフになります。ADCサンプルは、明領域内および暗領域内において1 $\mu$ s間隔で取得され、その後、デジタル積分されます。明領域

のADCサンプルの積分値から暗領域のADCサンプルの積分値を減算し、その結果は信号出力のデータ・レジスタに書き込まれます。暗領域からだけのサンプルの合計は、暗出力のデータ・レジスタで利用可能です。信号値と暗値は、どちらもFIFOに書き込むことができます。

ADPD4200は、1領域と2領域のデジタル積分モードをサポートしています。1領域のデジタル積分モードで取得される暗サンプルと明サンプルは同数で、暗サンプルはすべて明領域直前の暗領域で取得されます。1領域のデジタル積分モードのタイミング図を図34に示します。2領域のデジタル積分モードでも、暗サンプルと明サンプルは等しい数を取ります。ただし、暗領域は分割されており、暗サンプルの半分は明領域直前の暗領域で、残り半分は明領域直後の暗領域で取得するようになっています。周辺光レベルが変化する環境では、2領域のデジタル積分モードのほうが1領域のデジタル積分モードより高い周辺光除去性能を得られます。2領域のデジタル積分モードのタイミング図を図35に示します。

表22に、デジタル積分モードの動作に関連するレジスタ設定を示します。デジタル積分モードでは1つのチャンネルしか使用できず、2チャンネルの動作には対応していません。また、デジタル積分モードでは最小周期は自動的に計算されないため、MIN\_PERIOD\_xビットを使用して手動で適正な周期に設定する必要があります。

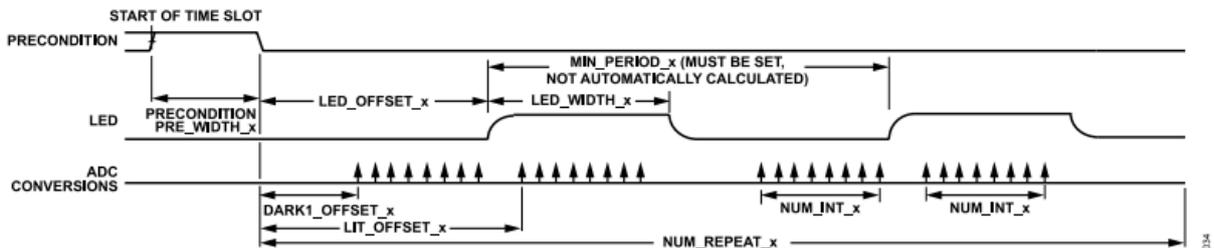


図 34. 1領域のデジタル積分モードのタイミング図

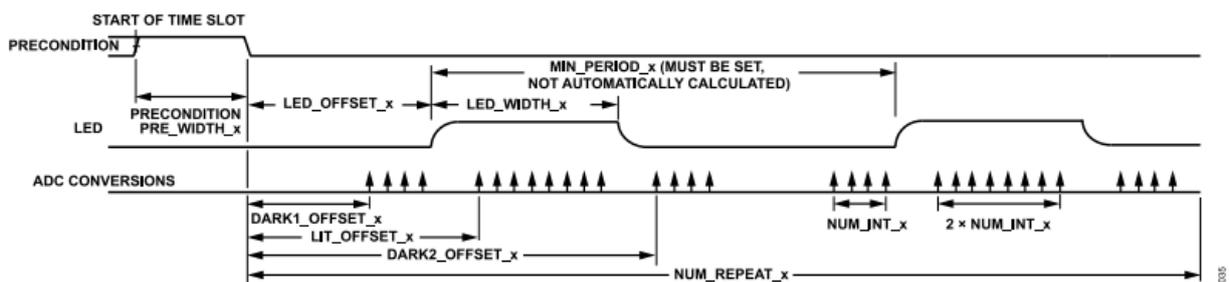


図 35. 2領域のデジタル積分モードのタイミング図

## アプリケーション情報

表 23. デジタル積分モードに関連する設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	Set to 0x1 for one-region digital integration mode. Set to 0x2 for two-region digital integration mode.
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	Set to 0x0E6 for TIA, integrator, and ADC. Bypass BPF. Integrator is automatically configured as a buffer when one-region or two-region digital integration mode is selected.
	0x0102, Bits[15:12], 0x0102, Bits[3:0]	INPxx_x	Enable desired inputs.
	0x0103, Bits[14:12]	PRECON_x	Set to 0x5 to precondition anode of photodiode to TIA_VREF.
	0x0103, Bits[7:6], 0x0103, Bits[1:0]	VCx_SEL_x	Set to 0x2 to set ~250 mV reverse bias across photodiode.
	0x0104, Bits[5:0] 0x0104, Bits[9:8]	TIA_GAIN_CHx_x AFE_TRIM_VREF_x	Select TIA gain. Set to 0x3 to set TIA_VREF = 1.265 V.
Timing	0x0107, Bits[15:8]	NUM_INT_x	Set to the number of desired ADC conversions in the dark and lit regions.
	0x0107, Bits[7:0]	NUM_REPEAT_x	Number of sequence repeats.
	0x0108, Bits[9:0]	MIN_PERIOD_x	Set the period. Automatic period calculation is not supported in digital integration mode.
	0x0113, Bits[8:0]	LIT_OFFSET_x	Set to the time of the first ADC conversion in the lit region.
	0x0114, Bits[6:0] 0x0114, Bits[15:7]	DARK1_OFFSET_x DARK2_OFFSET_x	Set to the time of the first ADC conversion in the Dark 1 region. Set to the time of the first ADC conversion in the Dark 2 region. Only used in two-region digital integration mode.
LED Settings	0x0105, Bit 15, 0x0105, Bit 7, 0x0106, Bit 15, 0x0106, Bit 7	LED_DRIVESIDE_x	Select LED for time slot used.
	0x0105, Bits[14:8], 0x0105, Bits[6:0], 0x0106, Bits[14:8], 0x0106, Bits[6:0]	LED_CURRENT_x	Set LED current for selected LED.
	0x0109, Bits[7:0]	LED_OFFSET_x	Sets start time of first LED pulse in 1 $\mu$ s increments.
	0x0109, Bits[15:8]	LED_WIDTH_x	Sets width of LED pulse in 1 $\mu$ s increments.

<sup>1</sup> これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x0100はSAMPLE\_TYPE\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x0120になります。タイム・スロットCではアドレス0x0140、タイム・スロットDではアドレス0x0160となり、以下も同様になります。

## アプリケーション情報

## デジタル積分モードで推奨されるタイミング

デジタル積分モードのタイミングを設定する際には、信号が安定するまで時間が経ってからADCサンプルを取得できるようにADCサンプル位置を決めることが重要です。入力信号のセトリング時間は、フォトダイオードの容量とTIAのセトリング時間の影響を受けます。図36にADCサンプリング・エッジの適切な配置例を示します。オフセット値の計算は、次のようになります。

$$DARK1\_OFFSET\_x = (LED\_OFFSET\_x - (NUM\_INT\_x + 1))$$

LEDパルスの開始時間に対してDark 1領域でのサンプリング位置に1 $\mu$ sのマージンを追加するため、ADC変換回数に1を加算しています。

$$LIT\_OFFSET\_x = (LED\_OFFSET\_x + t_b)$$

ここで、 $t_b$ は、信号のセトリング時間をオフセット設定に組み込むための遅延時間です。この値は、最終アプリケーションに合わせて決定する必要があります。

$$DARK2\_OFFSET\_x = (LED\_OFFSET\_x + LED\_WIDTH\_x + t_b)$$

この設定は、2領域のデジタル積分モードにのみ適用されます。

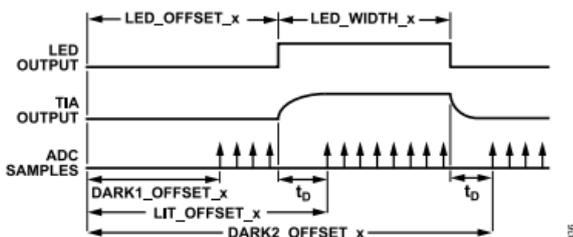


図 36. デジタル積分モードにおけるADCサンプリング・エッジの適切な位置

## TIA ADCモード

図37にTIA ADCモードを示します。このモードではBPFがバイパスされ、TIA出力はバッファを通して直接ADCに送られます。TIA ADCモードは、周辺光の検出の他、リーク抵抗などのDC信号を測定するアプリケーションに有用です。BPFを使用するフォトダイオードの測定では、すべての背景光がシグナル・チェーンから除去されるため、背景光は測定できません。TIA\_ADCモードでは、背景光/周辺光の量を測定できます。リーク抵抗など、DC源からの電流を測定することもできます。

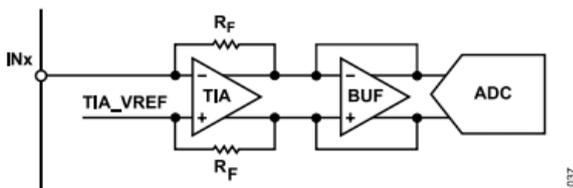


図 37. TIA ADCモードのブロック図

デバイスがTIA ADCモードで動作している場合はBPFがバイパスされ、積分器段はバッファとして再構成されます。1つのタイム・スロットでチャンネル1とチャンネル2がどちらもイネーブルされている場合、ADCは1 $\mu$ sの間隔でチャンネル1、チャンネル2の順番にサンプリングします。

推奨するTIA ADCモードは、BPFをバイパスし、積分器を反転バッファとして構成するモードです。このモードはAFE\_PATH\_CFG\_x (タイム・スロットAの場合はレジスタ0x0101、ビット [8 : 0]) に0x0E6を書き込むことでイネーブルされ、TIA、積分器、ADCを含む信号バスが有効になります。また、積分器をバッファとして構成するには、AFE\_INT\_C\_BUF\_x (タイム・スロットAの場合、レジスタ0x010A、ビット11) をセットします。ADCオフセット・レジスタのADC\_OFF1\_xとADC\_OFF2\_xを0に、TIA\_VREFを1.265Vに設定した場合、ADCの出力は、単一パルスとゼロ入力電流の条件下で約3000コードになります。フォトダイオードからの入力電流が増加すると、ADC出力は16,384LSBに向かって増加します。

積分器をバッファとして構成するときは、ゲイン1とゲイン0.7のどちらかを選ぶことができます。ゲインを0.7にすると、TIAの入力で使用できるダイナミック・レンジが広がります。ただし、この設定ではADCがオーバーレンジになる可能性があるため、ADCを飽和させないように注意する必要があります。バッファ・ゲインを設定するには、CHx\_TRIM\_INT\_xビットを使用します。CHx\_TRIM\_INT\_xを00または01に設定すると、ゲインは1になります。CHx\_TRIM\_INT\_xを10または11に設定すると、ゲインは0.7になります。

ADC出力 (ADCOUT) は、次のように計算します。

$$ADC_{OUT} = 8192 - \left( \left( (2 \times TIA_{VREF} - 2 \times I_{INPUT\_TIA} \times R_F - 1.8V) / 146 \mu V / LSB \right) \times Buffer\ Gain \right) \quad (3)$$

ここで、

TIA\_VREFはTIAの内部電圧リファレンス信号 (デフォルト値は1.265V)、

I<sub>INPUT\_TIA</sub>はTIAの入力電流、

R<sub>F</sub>はTIAの帰還抵抗、

Buffer GainはCHx\_TRIM\_INT\_xの設定に基づき0.7か1です。

式3は近似式であり、内部オフセットやゲイン誤差を考慮していません。また、この計算はADCオフセット・レジスタが0に設定されていることも想定しています。

1つのタイム・スロットをTIA ADCモードに設定すると、周辺信号とパルス信号を同時にモニタリングできるので便利です。周辺信号はTIA ADCモードに設定したタイム・スロットでモニタリングし、パルス信号は、周辺信号を除去しながら、所望のLEDパルス信号測定用に設定したタイム・スロットでモニタリングします。

## 通常動作時のTIA飽和の防止

飽和する可能性のある環境への対策を備えることが、TIA ADCモードでモニタリングを行う理由の1つです。大光量条件下での動

## アプリケーション情報

作における懸念事項として（特に大きいフォトダイオードを使用する場合）、ADPD4200がデータ通信を継続している間にTIA段が飽和する可能性が挙げられます。飽和が生じることは多くありません。この設定に基づくTIAが取り扱えるのは、特定のレベルのフォトダイオード電流のみです。ADPD4200の設定状態に基づき、フォトダイオードからの電流レベルがTIAの扱える限度を超えた場合は、LEDパルス内でのTIA出力が電流パルス幅を効果的に拡張します。その後、BPF出力の正の部分が積分ウィンドウの負のセクションにまで拡大されるため、AFEのタイミング違反が発生します。この結果、フォトダイオードに起因する信号が信号自体から差し引かれます。つまり、実質的な光信号は増大しているにもかかわらず、出力信号が減少するという事態につながります。

TIAからの応答を測定し、この段が飽和していないことを確認するために、デバイスをTIA ADCモードに移行させると共に、タイミングをわずかに変更します。具体的には、最大値に達するまでINTEG\_OFFSET\_xを掃引します。これにより、ADCのサンプリング時間をLEDパルスに合わせて調整し、フォトディテクタに投射される光の総量（例えば、背景光とLEDパルス）を測定できるようになります。

この最小値が16,384LSB未満の場合、TIAは飽和していません。しかし結果が16,384LSBでなかったとしても、飽和点付近でデバイスを動作させると光の条件が変化するとすぐに飽和してしまう可能性があるため、注意が必要です。通常、安全な動作領域は、フル・スケールの3/4以下の範囲です。TIA ADCモードでバッファ・ゲイン=1を使用して動作しているときのADCの分解能を表23に示します。BPFと積分器はユニティ・ゲイン素子ではないため、これらのコードは、BPFと積分器がイネーブルになっているモードと同じではありません。

表 24. TIA ADCモードにおけるADCの分解能

TIA Gain (kΩ)	ADC Resolution (nA/LSB)
12.5	5.84
25	2.92
50	1.46
100	0.73
200	0.37

## ADPD4200を使用したECG測定

ADPD4200は、図38に示すRC回路を外付けするだけでECGアプリケーションに使用できます。この図には、ドライ電極の電氣的等価モデルと、ADPD4200に外付けされたRC回路が示されています。この外付けRC回路は、入力に直列に接続した2つの500kΩ抵抗と、入力間に取り付けた470pFのコンデンサで構成され、コンデンサはECG信号の検出用コンデンサとして機能します。

また、500 kΩ抵抗は複数の役割を果たします。例えば、これらの抵抗は入力ピン短絡時に人体に流れ込む電流を制限する短絡保護機能を提供するほか、ECG測定の全体的な入力インピーダンスを増加させたり、電極のバランスが取れていない場合に同相ノイズ除去を改善したりする役割を果たします。ECG信号はこの検出用コンデンサに積算されます。このコンデンサの値は、許容可能なS/N比が得られるように、また、コンデンサを完全に充電できるように、コンデンサと200kΩ抵抗の間に生じるRC時定数がサンプリング周期の1/3以下となるように選定します。

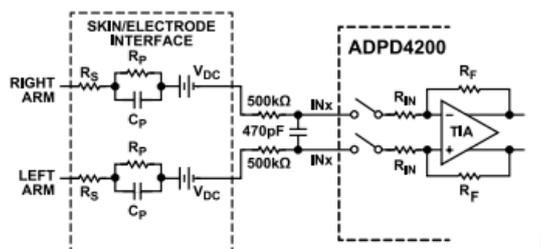


図 38. ADPD4200を使用したシングルリードECG測定用回路

## アプリケーション情報

### スリープ・フロート・モード

ADPD4200によるECG測定の推奨動作モードは、スリープ・フロート・モードです。スリープ・フロート・モードでは、低インピーダンスの湿式電極を使用するか高インピーダンスの乾式電極を使用するかに関わらず、信頼性の高いECG測定が可能です。スリープ・フロート・モードは、ハーフセル電位に大きな違いがある状態でのECG測定にも適しています。

スリープ・フロート・モードでは、他のタイム・スロットやスリープ時にコンデンサがフロート状態になって、ECG信号からの電荷を蓄積します。蓄積された電荷は、指定されたタイム・スロットの間に積分器へ送られます。デバイスは、プリコンディショニング時とスリープ時に入力をフロート状態に設定する必要があります。入力は、電荷の移動時のみ外部コンデンサに接続されません。

それ以外での入力はすべてフロート状態で、その結果フロート時間は $1/tP$ になります。ここで、 $tP$ はADPD4200のサンプリング・レートです。例えば、300HzでサンプリングするようにADPD4200を設定すると、スリープ・フロート・モードでのフロート時間は約3.3msになります。

スリープ・フロート・モードを使用する利点は、消費電力を低減できることです。サンプリング・コンデンサがフロート状態のときはアンプから切り離されているので、アンプの電源をオンにする必要がありません。スリープ・フロート・モードを使用すると、アンプがパワーダウンされているスリープ期間中に人体からサンプリング・コンデンサへのECG信号転送を行うことによって、消費電力を低減できます。スリープ・フロート・モードのタイミング図を図39に示します。

スリープ・フロート・モードに関連するレジスタ設定を表24に示します。

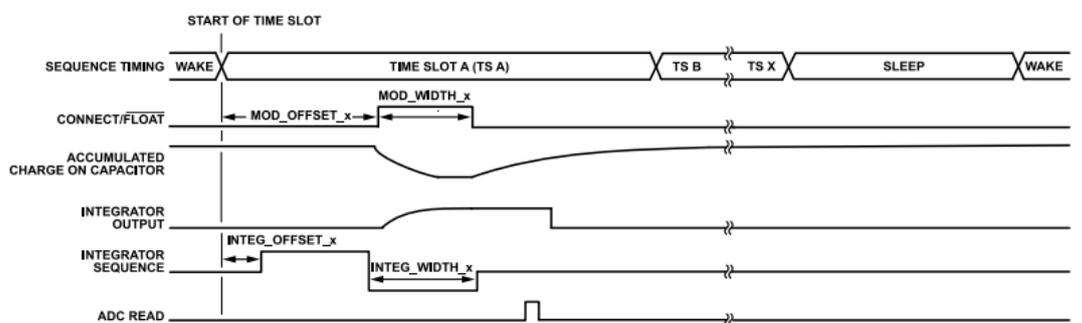


図 39. スリープ・フロート・モードのタイミング図

表 25. スリープ・フロート・モードを使用したECG測定に関連するレジスタ設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
Signal Path Setup	0x0100, Bits[13:12]	SAMPLE_TYPE_x	Leave at the default setting (0) for default sampling mode.
	0x0100, Bits[11:10]	INPUT_R_SELECT_x	Set to 0x0 for 500 Ω series input resistor.
	0x0101, Bits[8:0]	AFE_PATH_CFG_x	Set to 0x0E6 for TIA, integrator, and ADC. Bypass the BPF.
	0x0101, Bits[15:12]	PRE_WIDTH_x	Set to 0 to skip preconditioning period.
	0x0102, Bits[15:12], 0x0102, Bits[3:0]	INPxx_x	Set to 0x7 to enable desired inputs connected to Channel 1 as defined in PAIRxx.
	0x0103, Bits[14:12]	PRECON_x	Set to 0x0 to float the inputs during preconditioning.
	0x0020, Bits[15:12], 0x0020, Bits[3:0]	INP_SLEEP_xx	Set to 0x0 to float inputs during sleep.
	0x0021, Bit 3, 0x0021, Bit 0	PAIRxx	Set to 1 to configure selected inputs as a differential pair.
	0x0104, Bits[5:0]	TIA_GAIN_CHx_x	Select TIA gain.
	0x0104, Bits[9:8]	AFE_TRIM_VREF_x	Set to 0x2 to set TIA_VREF = 0.9 V.
Float Mode Configuration	0x0107, Bits[15:8]	NUM_INT_x	Set to 1 for a single integration per group of ADC conversions.
	0x0107, Bits[7:0]	NUM_REPEAT_x	Number of sequence repeats.
	0x0108, Bits[13:12]	MOD_TYPE_x	Set to 0x1 for float type operation.
	0x0108, Bits[9:0]	MIN_PERIOD_x	Set to 0. Minimum period is not applicable to sleep float mode with a single integration.
	0x010A, Bits[4:0]	INTEG_WIDTH_x	Integration time in μs. Set to MOD_WIDTH_x + 1.
	0x010A, Bits[14:12], 0x010A, Bits[10:8]	CHx_AMP_DISABLE_x	Set 0x010A, Bit 9 to 1 to power down the BPF for Channel 1, and Bit 13 to 1 to power down the BPF for Channel 2 if Channel 2 is enabled.
	0x010B, Bits[12:0]	INTEG_OFFSET_x	Integration sequence start time. Set to (MOD_OFFSET_x - INTEG_WIDTH_x - 250 ns).
0x010C, Bits[15:8]	MOD_WIDTH_x	Sets width of connect pulse in 1 μs increments, which is the time required to transfer the charge from the external capacitor. Set to approximately three time constants	

## アプリケーション情報

表 25. スリープ・フロート・モードを使用したECG測定に関連するレジスタ設定

Group	Time Slot A Register Address <sup>1</sup>	Bit Field Name	Description
	0x010C, Bits[7:0]	MOD_OFFSET_x	based on the time constant created between the external capacitor and the series input resistor (500 Ω or 6500 Ω based on setting of INPUT_R_SELECT_x). Sets start time of first connect pulse in 1 μs increments. Set to INTEG_WIDTH_x + 4.

<sup>1</sup> これはタイム・スロットAのレジスタ・アドレスです。それぞれのレジスタ・アドレスに0x020を追加すると、次のタイム・スロットのレジスタ・アドレスになります。例えば、レジスタ0x0100はSAMPLE\_TYPE\_Aの位置ですが、タイム・スロットBでは、このレジスタはアドレス0x0120になります。タイム・スロットCではアドレス0x0140、タイム・スロットDではアドレス0x0160となり、以下も同様になります。

## 複数の電荷移動を行うスリープ・フロート・モード

電極のハーフセル電位の差が大きくなって数百ミリボルト以上の値になると、ハーフセルDC信号 ( $V_{HC}$ 、ADPD4200を使用したECG測定を参照) が、ECG測定に使用できるダイナミック・レンジのかなりの部分を使用するようになります。このハーフセル電位の差は、例えば片方の電極にステンレス鋼を使用して他方の電極にチタンを使用するなど、2つの電極の素材が異なっていることによるものです。ADPD4200が1回のサンプリングで対応できる最大電荷量は、200kΩのTIAゲイン設定を使用した場合で約7.5pCです。サンプリングあたりの最大電荷量は、TIAのゲインに反比例して増減します。大きなDC信号が存在するとサンプリング・コンデンサの電荷が過剰になって、ADCへの入力飽和の可能性があります。例えば、ハーフセル電位に100mVの差があると、470pFのコンデンサの電荷がさらに47pC増加します。

サンプリング・コンデンサのサイズを小さくすることなくこのハーフセル電位に対応するには、TIAゲインを50kΩか100kΩに下げ、蓄積電荷を複数の短いパルスに分けて移動させることを推奨します。例えば、47pCの電荷を外部コンデンサから内部積分器へ送る場合は、TIAのゲインを50kΩに設定して1サンプルあたり30pCの電荷に対応できるようにし、入力抵抗 $R_{IN}$ を6.25kΩに設定します。 $R_{IN} = 6.25k\Omega$ に設定すると、TIAへの電荷の移動速度が制限されます。このとき、RC時定数は $2 \times 6.25k\Omega \times 470pF = 5.9\mu s$ です。

次に、変調パルスを使用することによって電荷の移動に使用できる時間を減らし、時定数の何分の一かにします。これは、パルスごとに総電荷の一部を移動・積算することで、TIAの飽和を防止するためです。さらに、複数回の移動サイクルでサンプリング・コンデンサを完全に放電させます。ADPD4200は自動的に移動サイクルの結果を合計し、総電荷量をレポートします。

このモードのタイミングは、デバイスが複数の変調パルスでセットアップされていること以外、図39と同様です。すべてのレジスタは、以下の点を除いてスリープ・フロート・モードと同様に設定されます。

- ▶ 短いパルスに対応するために、MOD\_WIDTH\_xとINTEG\_WIDTH\_xが短くなります。
- ▶ INPUT\_R\_SELECT\_x = 1として、6.25kΩの入力抵抗を選択します。
- ▶ NUM\_REPEAT\_xは1より大きい値に設定されます。

## リード・オフ検出

リード・オフ検出の測定を実行するために、ADPD4200は電極と皮膚の接触部のインピーダンスを測定し、1つまたは複数の電極が皮膚との接触を失っていないかどうかを判断します。この測定では、人体に励起信号を供給できる未使用のVCxピンに別の電極を接続する必要があります。ECG測定のRC回路も、50kΩの抵抗を通じて別の入力ペアに直接接続することによりバイパスします。励起信号からの応答は、この入力ペアで測定します。図40に、リード・オフ検出測定に使用可能な回路を示します。ここで、 $R_{BODY}$ は人体の抵抗です。

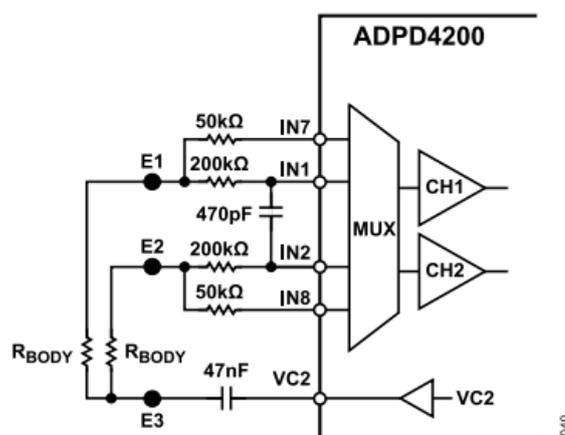


図 40. リード・オフ検出測定に使用する回路

ECGと3電極リード・オフ検出は以下のように測定します。

1. ECGはタイム・スロットAで測定し、ADPD4200を使用したECG測定のセクションの定義に従います。
2. ECG電極のリード・オフ検出はタイム・スロットBで行い、図40に示すように、チャンネル1でECG電極1 (E1)、チャンネル2で電極2 (E2) のシングルエンド・インピーダンスを同時に測定します。人体のバイアスには3つめの電極 (E3) を使用します。

## アプリケーション情報

測定中にE1とE2両方のECG電極が皮膚と接触している場合は、ECG信号が現れます。E1およびE2電極のインピーダンス測定では皮膚と接触していることを示す読出し値が得られ、励起信号が印加されると低インピーダンスの人体を通してADPD4200に電流が流入します。ECG電極のどちらかが皮膚との接触を失うか断線すると、取得パターンにECG信号が現れません。電極と皮膚が再び接触すると、ECG信号はすぐに現れます。リード・オフ状態を検出するために2つの電極に対して2つの入力と2つのチャンネルが割り当てられているため、この測定方法では、皮膚との接触を失ったのが電極の一方なのか両方なのかを判断できます。また、電極の1つが皮膚との接触を失った場合に、失った電極がどちらなのかを検出することも可能です。

図41に、図40の回路を使用してECGを測定した場合のリード・オフ検出測定のデータ・プロットを示します。測定中に両方のECG電極が皮膚と接触している場合は、ECG信号がはっきりと現れます。E1およびE2電極のインピーダンス測定では、皮膚と接触していることを示す読出し値が得られ、励起信号が印加されるとADPD4200に電流が流入します。ECG電極のどちらかが皮膚との接触を失うと測定値が0となってオープン・サーキットであることを示し、実質的にリード・オフ状態となります。両方の電極と皮膚が再び接触すると、1秒以内にECG信号が回復します。

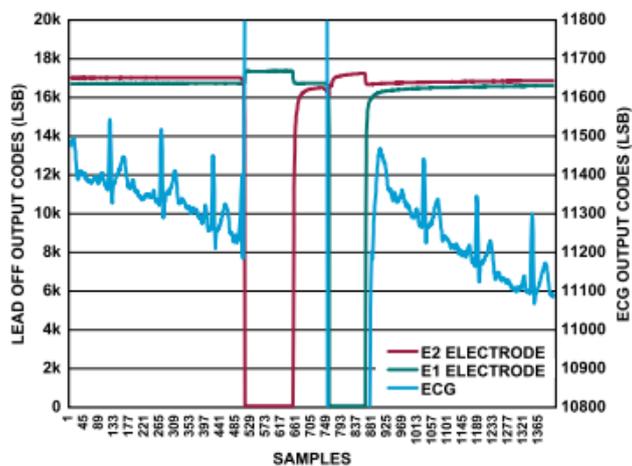


図 41. リード・オフ検出測定

レジスタ・マップ

表 26. レジスタ・マップ

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x0000	FIFO_STATUS	[15:8]	CLEAR_FIFO	INT_FIFO_UFLOW	INT_FIFO_OFLOW	Reserved			FIFO_BYTE_COUNT[10:8]			0x0000	R/W	
		[7:0]	FIFO_BYTE_COUNT[7:0]											
0x0001	INT_STATUS_DATA	[15:8]	INT_FIFO_TH	Reserved				INT_DATA_L	INT_DATA_K	INT_DATA_J	INT_DATA_I	0x0000	R/W	
		[7:0]	INT_DATA_H	INT_DATA_G	INT_DATA_F	INT_DATA_E	INT_DATA_D	INT_DATA_C	INT_DATA_B	INT_DATA_A				
0x0002	INT_STATUS_LEVO	[15:8]	Reserved					INT_LEVO_L	INT_LEVO_K	INT_LEVO_J	INT_LEVO_I	0x0000	R/W	
		[7:0]	INT_LEVO_H	INT_LEVO_G	INT_LEVO_F	INT_LEVO_E	INT_LEVO_D	INT_LEVO_C	INT_LEVO_B	INT_LEVO_A				
0x0003	INT_STATUS_LEV1	[15:8]	Reserved					INT_LEV1_L	INT_LEV1_K	INT_LEV1_J	INT_LEV1_I	0x0000	R/W	
		[7:0]	INT_LEV1_H	INT_LEV1_G	INT_LEV1_F	INT_LEV1_E	INT_LEV1_D	INT_LEV1_C	INT_LEV1_B	INT_LEV1_A				
0x0006	FIFO_TH	[15:8]	Reserved						FIFO_TH[9:8]			0x0000	R/W	
		[7:0]	FIFO_TH[7:0]											
0x0007	INT_ACLEAR	[15:8]	INT_ACLEAR_FIFO	Reserved				INT_ACLEAR_DATA_L	INT_ACLEAR_DATA_K	INT_ACLEAR_DATA_J	INT_ACLEAR_DATA_I	0x8FFF	R/W	
		[7:0]	INT_ACLEAR_DATA_H	INT_ACLEAR_DATA_G	INT_ACLEAR_DATA_F	INT_ACLEAR_DATA_E	INT_ACLEAR_DATA_D	INT_ACLEAR_DATA_C	INT_ACLEAR_DATA_B	INT_ACLEAR_DATA_A				
0x0008	CHIP_ID	[15:8]	Version										0x00C2	R
		[7:0]	CHIP_ID											
0x0009	OSC32M	[15:8]	Reserved										0x0090	R/W
		[7:0]	OSC_32M_FREQ_ADJ[7:0]											
0x000A	OSC32M_CAL	[15:8]	OSC_32M_CAL_START	OSC_32M_CAL_COUNT[14:8]									0x0000	R/W
		[7:0]	OSC_32M_CAL_COUNT[7:0]											
0x000B	OSC1M	[15:8]	Reserved					CLK_CAL_ENA	OSC_1M_FREQ_ADJ[9:8]			0x02B2	R/W	
		[7:0]	OSC_1M_FREQ_ADJ[7:0]											
0x000C	OSC32K	[15:8]	CAPTURE_TIMESTAMP	Reserved									0x0012	R/W
		[7:0]	Reserved			OSC_32K_ADJUST[5:0]								
0x000D	TS_FREQ	[15:8]	TIMESLOT_PERIOD_L[15:8]										0x2710	R/W
		[7:0]	TIMESLOT_PERIOD_L[7:0]											
0x000E	TS_FREQH	[15:8]	Reserved										0x0000	R/W
		[7:0]	Reserved	TIMESLOT_PERIOD_H[7:0]										
0x000F	SYS_CTL	[15:8]	SW_RESET	Reserved					ALT_CLOCKS[1:0]			0x0000	R/W	
		[7:0]	ALT_CLK_GPIO[1:0]			Reserved			LFOSC_SEL	OSC_1M_EN	OSC_32K_EN			
0x0010	OPMODE	[15:8]	Reserved					TIMESLOT_EN[3:0]			0x0000	R/W		
		[7:0]	Reserved										OP_MODE	

レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0011	STAMP_L	[15:8]	TIMESTAMP_COUNT_L[15:8]								0x0000	R
		[7:0]	TIMESTAMP_COUNT_L[7:0]									
0x0012	STAMP_H	[15:8]	TIMESTAMP_COUNT_H[15:8]								0x0000	R
		[7:0]	TIMESTAMP_COUNT_H[7:0]									
0x0013	STAMP-DELTA	[15:8]	TIMESTAMP_SLOT_DELTA[15:8]								0x0000	R
		[7:0]	TIMESTAMP_SLOT_DELTA[7:0]									
0x0014	INT_ENABLE_XD	[15:8]	INTX_EN_FIFO_TH	INTX_EN_FIFO_UFLOW	INTX_EN_FIFO_OFLOW	Reserved	INTX_EN_DATA_L	INTX_EN_DATA_K	INTX_EN_DATA_J	INTX_EN_DATA_I	0x0000	R/W
		[7:0]	INTX_EN_DATA_H	INTX_EN_DATA_G	INTX_EN_DATA_F	INTX_EN_DATA_E	INTX_EN_DATA_D	INTX_EN_DATA_C	INTX_EN_DATA_B	INTX_EN_DATA_A		
0x0015	INT_ENABLE_YD	[15:8]	INTY_EN_FIFO_TH	INTY_EN_FIFO_UFLOW	INTY_EN_FIFO_OFLOW	Reserved	INTY_EN_DATA_L	INTY_EN_DATA_K	INTY_EN_DATA_J	INTY_EN_DATA_I	0x0000	R/W
		[7:0]	INTY_EN_DATA_H	INTY_EN_DATA_G	INTY_EN_DATA_F	INTY_EN_DATA_E	INTY_EN_DATA_D	INTY_EN_DATA_C	INTY_EN_DATA_B	INTY_EN_DATA_A		
0x0016	INT_ENABLE_XL0	[15:8]	Reserved				INTX_EN_LEV0_L	INTX_EN_LEV0_K	INTX_EN_LEV0_J	INTX_EN_LEV0_I	0x0000	R/W
		[7:0]	INTX_EN_LEV0_H	INTX_EN_LEV0_G	INTX_EN_LEV0_F	INTX_EN_LEV0_E	INTX_EN_LEV0_D	INTX_EN_LEV0_C	INTX_EN_LEV0_B	INTX_EN_LEV0_A		
0x0017	INT_ENABLE_XL1	[15:8]	Reserved				INTX_EN_LEV1_L	INTX_EN_LEV1_K	INTX_EN_LEV1_J	INTX_EN_LEV1_I	0x0000	R/W
		[7:0]	INTX_EN_LEV1_H	INTX_EN_LEV1_G	INTX_EN_LEV1_F	INTX_EN_LEV1_E	INTX_EN_LEV1_D	INTX_EN_LEV1_C	INTX_EN_LEV1_B	INTX_EN_LEV1_A		
0x001A	INT_ENABLE_YL0	[15:8]	Reserved				INTY_EN_LEV0_L	INTY_EN_LEV0_K	INTY_EN_LEV0_J	INTY_EN_LEV0_I	0x0000	R/W
		[7:0]	INTY_EN_LEV0_H	INTY_EN_LEV0_G	INTY_EN_LEV0_F	INTY_EN_LEV0_E	INTY_EN_LEV0_D	INTY_EN_LEV0_C	INTY_EN_LEV0_B	INTY_EN_LEV0_A		
0x001B	INT_ENABLE_YL1	[15:8]	Reserved				INTY_EN_LEV1_L	INTY_EN_LEV1_K	INTY_EN_LEV1_J	INTY_EN_LEV1_I	0x0000	R/W
		[7:0]	INTY_EN_LEV1_H	INTY_EN_LEV1_G	INTY_EN_LEV1_F	INTY_EN_LEV1_E	INTY_EN_LEV1_D	INTY_EN_LEV1_C	INTY_EN_LEV1_B	INTY_EN_LEV1_A		
0x001E	FIFO_STATUS_BYTES	[15:8]	Reserved								0x0000	R/W
		[7:0]	Reserved		ENA_STAT_LX	ENA_STAT_L1	ENA_STAT_L0	ENA_STAT_D2	ENA_STAT_D1	ENA_STAT_SUM		
0x0020	INPUT_SLEEP	[15:8]	INP_SLEEP_78[3:0]				Reserved				0x0000	R/W
		[7:0]	Reserved				INP_SLEEP_12[3:0]					
0x0021	INPUT_CFG	[15:8]	Reserved								0x0000	R/W
		[7:0]	VC2_SLEEP[1:0]		VC1_SLEEP[1:0]		PAIR78		Reserved			
0x0022	GPIO_CFG	[15:8]	GPIO_SLEW[1:0]		GPIO_DRV[1:0]		Reserved				0x0000	R/W
		[7:0]	Reserved		GPIO_PIN_CFG1[2:0]		GPIO_PIN_CFG0[2:0]					
0x0023	GPIO01	[15:8]	Reserved		GPIOOUT1[6:0]				0x0000	R/W		
		[7:0]	Reserved		GPIOOUT0[6:0]							

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0025	GPIO_IN	[15:8]	Reserved									0x0000	R
		[7:0]	Reserved			GPIO_INPUT[3:0]							
0x0026	GPIO_EXT	[15:8]	Reserved								TS_GPIO_SLEEP	0x0000	R/W
		[7:0]	TIMESTAMP_INV	TIMESTAMP_ALWAYS_EN	TIMESTAMP_GPIO[1:0]		Reserved	EXT_SYNC_EN	EXT_SYNC_GPIO[1:0]				
0x002E	DATA_HOLD_FLAG	[15:8]	Reserved				HOLD_REGS_L	HOLD_REGS_K	HOLD_REGS_J	HOLD_REGS_I	0x0000	R/W	
		[7:0]	HOLD_REGS_H	HOLD_REGS_G	HOLD_REGS_F	HOLD_REGS_E	HOLD_REGS_D	HOLD_REGS_C	HOLD_REGS_B	HOLD_REGS_A			
0x002F	FIFO_DATA	[15:8]	FIFO_DATA[15:8]									0x0000	R
		[7:0]	FIFO_DATA[7:0]										
0x0030	SIGNAL1_L_A	[15:8]	SIGNAL1_L_A[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_A[7:0]										
0x0031	SIGNAL1_H_A	[15:8]	SIGNAL1_H_A[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_A[7:0]										
0x0032	SIGNAL2_L_A	[15:8]	SIGNAL2_L_A[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_A[7:0]										
0x0033	SIGNAL2_H_A	[15:8]	SIGNAL2_H_A[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_A[7:0]										
0x0034	DARK1_L_A	[15:8]	DARK1_L_A[15:8]									0x0000	R
		[7:0]	DARK1_L_A[7:0]										
0x0035	DARK1_H_A	[15:8]	DARK1_H_A[15:8]									0x0000	R
		[7:0]	DARK1_H_A[7:0]										
0x0036	DARK2_L_A	[15:8]	DARK2_L_A[15:8]									0x0000	R
		[7:0]	DARK2_L_A[7:0]										
0x0037	DARK2_H_A	[15:8]	DARK2_H_A[15:8]									0x0000	R
		[7:0]	DARK2_H_A[7:0]										
0x0038	SIGNAL1_L_B	[15:8]	SIGNAL1_L_B[15:8]									0x0000	R
		[7:0]	SIGNAL1_L_B[7:0]										
0x0039	SIGNAL1_H_B	[15:8]	SIGNAL1_H_B[15:8]									0x0000	R
		[7:0]	SIGNAL1_H_B[7:0]										
0x003A	SIGNAL2_L_B	[15:8]	SIGNAL2_L_B[15:8]									0x0000	R
		[7:0]	SIGNAL2_L_B[7:0]										
0x003B	SIGNAL2_H_B	[15:8]	SIGNAL2_H_B[15:8]									0x0000	R
		[7:0]	SIGNAL2_H_B[7:0]										
0x003C	DARK1_L_B	[15:8]	DARK1_L_B[15:8]									0x0000	R
		[7:0]	DARK1_L_B[7:0]										
0x003D	DARK1_H_B	[15:8]	DARK1_H_B[15:8]									0x0000	R

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x003E	DARK2_L_B	[7:0]				DARK1_H_B[7:0]					0x0000	R
		[15:8]				DARK2_L_B[15:8]						
0x003F	DARK2_H_B	[7:0]				DARK2_L_B[7:0]					0x0000	R
		[15:8]				DARK2_H_B[15:8]						
0x0040	SIGNAL1_L_C	[7:0]				DARK2_H_B[7:0]					0x0000	R
		[15:8]				SIGNAL1_L_C[15:8]						
0x0041	SIGNAL1_H_C	[7:0]				SIGNAL1_L_C[7:0]					0x0000	R
		[15:8]				SIGNAL1_H_C[15:8]						
0x0042	SIGNAL2_L_C	[7:0]				SIGNAL1_H_C[7:0]					0x0000	R
		[15:8]				SIGNAL2_L_C[15:8]						
0x0043	SIGNAL2_H_C	[7:0]				SIGNAL2_L_C[7:0]					0x0000	R
		[15:8]				SIGNAL2_H_C[15:8]						
0x0044	DARK1_L_C	[7:0]				SIGNAL2_H_C[7:0]					0x0000	R
		[15:8]				DARK1_L_C[15:8]						
0x0045	DARK1_H_C	[7:0]				DARK1_L_C[7:0]					0x0000	R
		[15:8]				DARK1_H_C[15:8]						
0x0046	DARK2_L_C	[7:0]				DARK1_H_C[7:0]					0x0000	R
		[15:8]				DARK2_L_C[15:8]						
0x0047	DARK2_H_C	[7:0]				DARK2_L_C[7:0]					0x0000	R
		[15:8]				DARK2_H_C[15:8]						
0x0048	SIGNAL1_L_D	[7:0]				DARK2_H_C[7:0]					0x0000	R
		[15:8]				SIGNAL1_L_D[15:8]						
0x0049	SIGNAL1_H_D	[7:0]				SIGNAL1_L_D[7:0]					0x0000	R
		[15:8]				SIGNAL1_H_D[15:8]						
0x004A	SIGNAL2_L_D	[7:0]				SIGNAL1_H_D[7:0]					0x0000	R
		[15:8]				SIGNAL2_L_D[15:8]						
0x004B	SIGNAL2_H_D	[7:0]				SIGNAL2_L_D[7:0]					0x0000	R
		[15:8]				SIGNAL2_H_D[15:8]						
0x004C	DARK1_L_D	[7:0]				SIGNAL2_H_D[7:0]					0x0000	R
		[15:8]				DARK1_L_D[15:8]						
0x004D	DARK1_H_D	[7:0]				DARK1_L_D[7:0]					0x0000	R
		[15:8]				DARK1_H_D[15:8]						
0x004E	DARK2_L_D	[7:0]				DARK1_H_D[7:0]					0x0000	R
		[15:8]				DARK2_L_D[15:8]						
0x004F	DARK2_H_D	[7:0]				DARK2_L_D[7:0]					0x0000	R
		[15:8]				DARK2_H_D[15:8]						
0x0050	SIGNAL1_L_E	[7:0]				DARK2_H_D[7:0]					0x0000	R
		[15:8]				SIGNAL1_L_E[15:8]						
		[7:0]				SIGNAL1_L_E[7:0]						

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0051	SIGNAL1_H_E	[15:8]				SIGNAL1_H_E[15:8]					0x0000	R
		[7:0]				SIGNAL1_H_E[7:0]						
0x0052	SIGNAL2_L_E	[15:8]				SIGNAL2_L_E[15:8]					0x0000	R
		[7:0]				SIGNAL2_L_E[7:0]						
0x0053	SIGNAL2_H_E	[15:8]				SIGNAL2_H_E[15:8]					0x0000	R
		[7:0]				SIGNAL2_H_E[7:0]						
0x0054	DARK1_L_E	[15:8]				DARK1_L_E[15:8]					0x0000	R
		[7:0]				DARK1_L_E[7:0]						
0x0055	DARK1_H_E	[15:8]				DARK1_H_E[15:8]					0x0000	R
		[7:0]				DARK1_H_E[7:0]						
0x0056	DARK2_L_E	[15:8]				DARK2_L_E[15:8]					0x0000	R
		[7:0]				DARK2_L_E[7:0]						
0x0057	DARK2_H_E	[15:8]				DARK2_H_E[15:8]					0x0000	R
		[7:0]				DARK2_H_E[7:0]						
0x0058	SIGNAL1_L_F	[15:8]				SIGNAL1_L_F[15:8]					0x0000	R
		[7:0]				SIGNAL1_L_F[7:0]						
0x0059	SIGNAL1_H_F	[15:8]				SIGNAL1_H_F[15:8]					0x0000	R
		[7:0]				SIGNAL1_H_F[7:0]						
0x005A	SIGNAL2_L_F	[15:8]				SIGNAL2_L_F[15:8]					0x0000	R
		[7:0]				SIGNAL2_L_F[7:0]						
0x005B	SIGNAL2_H_F	[15:8]				SIGNAL2_H_F[15:8]					0x0000	R
		[7:0]				SIGNAL2_H_F[7:0]						
0x005C	DARK1_L_F	[15:8]				DARK1_L_F[15:8]					0x0000	R
		[7:0]				DARK1_L_F[7:0]						
0x005D	DARK1_H_F	[15:8]				DARK1_H_F[15:8]					0x0000	R
		[7:0]				DARK1_H_F[7:0]						
0x005E	DARK2_L_F	[15:8]				DARK2_L_F[15:8]					0x0000	R
		[7:0]				DARK2_L_F[7:0]						
0x005F	DARK2_H_F	[15:8]				DARK2_H_F[15:8]					0x0000	R
		[7:0]				DARK2_H_F[7:0]						
0x0060	SIGNAL1_L_G	[15:8]				SIGNAL1_L_G[15:8]					0x0000	R
		[7:0]				SIGNAL1_L_G[7:0]						
0x0061	SIGNAL1_H_G	[15:8]				SIGNAL1_H_G[15:8]					0x0000	R
		[7:0]				SIGNAL1_H_G[7:0]						
0x0062	SIGNAL2_L_G	[15:8]				SIGNAL2_L_G[15:8]					0x0000	R
		[7:0]				SIGNAL2_L_G[7:0]						
0x0063	SIGNAL2_H_G	[15:8]				SIGNAL2_H_G[15:8]					0x0000	R

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0064	DARK1_L_G	[7:0]					SIGNAL2_H_G[7:0]				0x0000	R
		[15:8]				DARK1_L_G[15:8]						
0x0065	DARK1_H_G	[7:0]					DARK1_L_G[7:0]				0x0000	R
		[15:8]				DARK1_H_G[15:8]						
0x0066	DARK2_L_G	[7:0]					DARK1_H_G[7:0]				0x0000	R
		[15:8]				DARK2_L_G[15:8]						
0x0067	DARK2_H_G	[7:0]					DARK2_L_G[7:0]				0x0000	R
		[15:8]				DARK2_H_G[15:8]						
0x0068	SIGNAL1_L_H	[7:0]					DARK2_H_G[7:0]				0x0000	R
		[15:8]				SIGNAL1_L_H[15:8]						
0x0069	SIGNAL1_H_H	[7:0]					SIGNAL1_L_H[7:0]				0x0000	R
		[15:8]				SIGNAL1_H_H[15:8]						
0x006A	SIGNAL2_L_H	[7:0]					SIGNAL1_H_H[7:0]				0x0000	R
		[15:8]				SIGNAL2_L_H[15:8]						
0x006B	SIGNAL2_H_H	[7:0]					SIGNAL2_L_H[7:0]				0x0000	R
		[15:8]				SIGNAL2_H_H[15:8]						
0x006C	DARK1_L_H	[7:0]					SIGNAL2_H_H[7:0]				0x0000	R
		[15:8]				DARK1_L_H[15:8]						
0x006D	DARK1_H_H	[7:0]					DARK1_L_H[7:0]				0x0000	R
		[15:8]				DARK1_H_H[15:8]						
0x006E	DARK2_L_H	[7:0]					DARK1_H_H[7:0]				0x0000	R
		[15:8]				DARK2_L_H[15:8]						
0x006F	DARK2_H_H	[7:0]					DARK2_L_H[7:0]				0x0000	R
		[15:8]				DARK2_H_H[15:8]						
0x0070	SIGNAL1_L_I	[7:0]					DARK2_H_H[7:0]				0x0000	R
		[15:8]				SIGNAL1_L_I[15:8]						
0x0071	SIGNAL1_H_I	[7:0]					SIGNAL1_L_I[7:0]				0x0000	R
		[15:8]				SIGNAL1_H_I[15:8]						
0x0072	SIGNAL2_L_I	[7:0]					SIGNAL1_H_I[7:0]				0x0000	R
		[15:8]				SIGNAL2_L_I[15:8]						
0x0073	SIGNAL2_H_I	[7:0]					SIGNAL2_L_I[7:0]				0x0000	R
		[15:8]				SIGNAL2_H_I[15:8]						
0x0074	DARK1_L_I	[7:0]					SIGNAL2_H_I[7:0]				0x0000	R
		[15:8]				DARK1_L_I[15:8]						
0x0075	DARK1_H_I	[7:0]					DARK1_L_I[7:0]				0x0000	R
		[15:8]				DARK1_H_I[15:8]						
0x0076	DARK2_L_I	[7:0]					DARK1_H_I[7:0]				0x0000	R
		[15:8]				DARK2_L_I[15:8]						
		[7:0]					DARK2_L_I[7:0]					

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0077	DARK2_H_I	[15:8]				DARK2_H_I[15:8]					0x0000	R
		[7:0]				DARK2_H_I[7:0]						
0x0078	SIGNAL1_L_J	[15:8]				SIGNAL1_L_J[15:8]					0x0000	R
		[7:0]				SIGNAL1_L_J[7:0]						
0x0079	SIGNAL1_H_J	[15:8]				SIGNAL1_H_J[15:8]					0x0000	R
		[7:0]				SIGNAL1_H_J[7:0]						
0x007A	SIGNAL2_L_J	[15:8]				SIGNAL2_L_J[15:8]					0x0000	R
		[7:0]				SIGNAL2_L_J[7:0]						
0x007B	SIGNAL2_H_J	[15:8]				SIGNAL2_H_J[15:8]					0x0000	R
		[7:0]				SIGNAL2_H_J[7:0]						
0x007C	DARK1_L_J	[15:8]				DARK1_L_J[15:8]					0x0000	R
		[7:0]				DARK1_L_J[7:0]						
0x007D	DARK1_H_J	[15:8]				DARK1_H_J[15:8]					0x0000	R
		[7:0]				DARK1_H_J[7:0]						
0x007E	DARK2_L_J	[15:8]				DARK2_L_J[15:8]					0x0000	R
		[7:0]				DARK2_L_J[7:0]						
0x007F	DARK2_H_J	[15:8]				DARK2_H_J[15:8]					0x0000	R
		[7:0]				DARK2_H_J[7:0]						
0x0080	SIGNAL1_L_K	[15:8]				SIGNAL1_L_K[15:8]					0x0000	R
		[7:0]				SIGNAL1_L_K[7:0]						
0x0081	SIGNAL1_H_K	[15:8]				SIGNAL1_H_K[15:8]					0x0000	R
		[7:0]				SIGNAL1_H_K[7:0]						
0x0082	SIGNAL2_L_K	[15:8]				SIGNAL2_L_K[15:8]					0x0000	R
		[7:0]				SIGNAL2_L_K[7:0]						
0x0083	SIGNAL2_H_K	[15:8]				SIGNAL2_H_K[15:8]					0x0000	R
		[7:0]				SIGNAL2_H_K[7:0]						
0x0084	DARK1_L_K	[15:8]				DARK1_L_K[15:8]					0x0000	R
		[7:0]				DARK1_L_K[7:0]						
0x0085	DARK1_H_K	[15:8]				DARK1_H_K[15:8]					0x0000	R
		[7:0]				DARK1_H_K[7:0]						
0x0086	DARK2_L_K	[15:8]				DARK2_L_K[15:8]					0x0000	R
		[7:0]				DARK2_L_K[7:0]						
0x0087	DARK2_H_K	[15:8]				DARK2_H_K[15:8]					0x0000	R
		[7:0]				DARK2_H_K[7:0]						
0x0088	SIGNAL1_L_L	[15:8]				SIGNAL1_L_L[15:8]					0x0000	R
		[7:0]				SIGNAL1_L_L[7:0]						
0x0089	SIGNAL1_H_L	[15:8]				SIGNAL1_H_L[15:8]					0x0000	R
		[7:0]				SIGNAL1_H_L[7:0]						

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x008A	SIGNAL2_L_L	[15:8]	SIGNAL2_L_L[15:8]									0x0000	R	
		[7:0]	SIGNAL2_L_L[7:0]											
0x008B	SIGNAL2_H_L	[15:8]	SIGNAL2_H_L[15:8]									0x0000	R	
		[7:0]	SIGNAL2_H_L[7:0]											
0x008C	DARK1_L_L	[15:8]	DARK1_L_L[15:8]									0x0000	R	
		[7:0]	DARK1_L_L[7:0]											
0x008D	DARK1_H_L	[15:8]	DARK1_H_L[15:8]									0x0000	R	
		[7:0]	DARK1_H_L[7:0]											
0x008E	DARK2_L_L	[15:8]	DARK2_L_L[15:8]									0x0000	R	
		[7:0]	DARK2_L_L[7:0]											
0x008F	DARK2_H_L	[15:8]	DARK2_H_L[15:8]									0x0000	R	
		[7:0]	DARK2_H_L[7:0]											
0x00B4	IO_ADJUST	[15:8]	Reserved (set to 0x00)									0x0050	R/W	
		[7:0]	Reserved (set to 0x5)						SPI_SLEW[1:0]		SPI_DRV[1:0]			
0x0100	TS_CTRL_A	[15:8]	SUB_SAMPLE_A	CH2_EN_A	SAMPLE_TYPE_A[1:0]		INPUT_R_SELECT_A[1:0]		TIMESLOT_OFFSET_A[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_A[7:0]											
0x0101	TS_PATH_A	[15:8]	PRE_WIDTH_A[3:0]			Reserved			TS_GPIO_A	AFE_PATH_CFG_A[8]		0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_A[7:0]											
0x0102	INPUTS_A	[15:8]	INP78_A[3:0]			Reserved						0x0000	R/W	
		[7:0]	Reserved						INP12_A[3:0]					
0x0103	CATHODE_A	[15:8]	Reserved	PRECON_A[2:0]		VC2_PULSE_A[1:0]		VC2_ALT_A[1:0]			0x0000	R/W		
		[7:0]	VC2_SEL_A[1:0]		VC1_PULSE_A[1:0]	VC1_ALT_A[1:0]	VC1_SEL_A[1:0]							
0x0104	AFE_TRIM_A	[15:8]	Reserved	CH2_TRIM_INT_A[1:0]		CH1_TRIM_INT_A[1:0]		VREF_PULSE_A	AFE_TRIM_VREF_A[1:0]			0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_A[1:0]		TIA_GAIN_CH2_A[2:0]		TIA_GAIN_CH1_A[2:0]							
0x0105	LED_POW12_A	[15:8]	LED_DRIVESIDE2_A	LED_CURRENT2_A[6:0]									0x0000	R/W
		[7:0]	LED_DRIVESIDE1_A	LED_CURRENT1_A[6:0]										
0x0106	LED_POW34_A	[15:8]	LED_DRIVESIDE4_A	LED_CURRENT4_A[6:0]									0x0000	R/W
		[7:0]	LED_DRIVESIDE3_A	LED_CURRENT3_A[6:0]										
0x0107	COUNTS_A	[15:8]	NUM_INT_A[7:0]									0x0101	R/W	
		[7:0]	NUM_REPEAT_A[7:0]											
0x0108	PERIOD_A	[15:8]	Reserved		MOD_TYPE_A[1:0]		Reserved		MIN_PERIOD_A[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_A[7:0]											
0x0109	LED_PULSE_A	[15:8]	LED_WIDTH_A[7:0]									0x0210	R/W	
		[7:0]	LED_OFFSET_A[7:0]											

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W				
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0						
0x010A	INTEG_SETUP_A	[15:8]	SINGLE_INTEG_A	CH2_AMP_DISABLE_A[2:0]			AFE_INT_C_BUF_A	CH1_AMP_DISABLE_A[2:0]			0x0003	R/W				
		[7:0]	ADC_COUNT_A[1:0]		Reserved	INTEG_WIDTH_A[4:0]										
0x010B	INTEG_OS_A	[15:8]	Reserved				INTEG_OFFSET_A[12:8]						0x0214	R/W		
		[7:0]	INTEG_OFFSET_A[7:0]													
0x010C	MOD_PULSE_A	[15:8]	MOD_WIDTH_A[7:0]											0x0001	R/W	
		[7:0]	MOD_OFFSET_A[7:0]													
0x010D	PATTERN_A	[15:8]	LED_DISABLE_A[3:0]				MOD_DISABLE_A[3:0]						0x0000	R/W		
		[7:0]	SUBTRACT_A[3:0]				REVERSE_INTEG_A[3:0]									
0x010E	ADC_OFF1_A	[15:8]	Reserved			CH1_ADC_ADJUST_A[13:8]						0x0000	R/W			
		[7:0]	CH1_ADC_ADJUST_A[7:0]													
0x010F	ADC_OFF2_A	[15:8]	ZERO_ADJUST_A	Reserved	CH2_ADC_ADJUST_A[13:8]								0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_A[7:0]													
0x0110	DATA_FORMAT_A	[15:8]	DARK_SHIFT_A[4:0]					DARK_SIZE_A[3:0]						0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_A[4:0]					SIGNAL_SIZE_A[3:0]								
0x0112	DECIMATE_A	[15:8]	Reserved								DECIMATE_FACTOR_A[6:4]				0x0000	R/W
		[7:0]	DECIMATE_FACTOR_A[3:0]					DECIMATE_TYPE_A[3:0]								
0x0113	DIGINT_LIT_A	[15:8]	Reserved								LIT_OFFSET_A[8]	0x0026	R/W			
		[7:0]	LIT_OFFSET_A[7:0]													
0x0114	DIGINT_DARK_A	[15:8]	DARK2_OFFSET_A[8:1]											0x2306	R/W	
		[7:0]	DARK2_OFFSET_A[0]	DARK1_OFFSET_A[6:0]												
0x0115	THRESH_CFG_A	[15:8]	Reserved											0x0000	R/W	
		[7:0]	THRESH1_CHAN_A	THRESH1_DIR_A	THRESH1_TYPE_A[1:0]	THRESH0_CHAN_A	THRESH0_DIR_A	THRESH0_TYPE_A[1:0]								
0x0116	THRESH0_A	[15:8]	Reserved				THRESH0_SHIFT_A[4:0]						0x0000	R/W		
		[7:0]	THRESH0_VALUE_A[7:0]													
0x0117	THRESH1_A	[15:8]	Reserved				THRESH1_SHIFT_A[4:0]						0x0000	R/W		
		[7:0]	THRESH1_VALUE_A[7:0]													
0x0120	TS_CTRL_B	[15:8]	SUB_SAMPLE_B	CH2_EN_B	SAMPLE_TYPE_B[1:0]	INPUT_R_SELECT_B[1:0]			TIMESLOT_OFFSET_B[9:8]				0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_B[7:0]													
0x0121	TS_PATH_B	[15:8]	PRE_WIDTH_B[3:0]				Reserved			TS_GPIO_B	AFE_PATH_CFG_B[8]			0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_B[7:0]													
0x0122	INPUTS_B	[15:8]	INP78_B[3:0]				Reserved						0x0000	R/W		
		[7:0]	Reserved				INP12_B[3:0]									

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0123	CATHODE_B	[15:8]	Reserved	PRECON_B[2:0]			VC2_PULSE_B[1:0]		VC2_ALT_B[1:0]		0x0000	R/W
		[7:0]	VC2_SEL_B[1:0]		VC1_PULSE_B[1:0]	VC1_ALT_B[1:0]		VC1_SEL_B[1:0]				
0x0124	AFE_TRIM_B	[15:8]	Reserved	CH2_TRIM_INT_B[1:0]		CH2_TRIM_INT_B[1:0]		VREF_PULSE_B	AFE_TRIM_VREF_B[1:0]		0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_B[1:0]		TIA_GAIN_CH2_B[2:0]		TIA_GAIN_CH1_B[2:0]					
0x0125	LED_POW12_B	[15:8]	LED_DRIVESIDE2_B	LED_CURRENT2_B[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_B	LED_CURRENT1_B[6:0]								
0x0126	LED_POW34_B	[15:8]	LED_DRIVESIDE4_B	LED_CURRENT4_B[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_B	LED_CURRENT3_B[6:0]								
0x0127	COUNTS_B	[15:8]	NUM_INT_B[7:0]						0x0101	R/W		
		[7:0]	NUM_REPEAT_B[7:0]									
0x0128	PERIOD_B	[15:8]	Reserved		MOD_TYPE_B[1:0]		Reserved		MIN_PERIOD_B[9:8]		0x0000	R/W
		[7:0]	MIN_PERIOD_B[7:0]									
0x0129	LED_PULSE_B	[15:8]	LED_WIDTH_B[7:0]						0x0210	R/W		
		[7:0]	LED_OFFSET_B[7:0]									
0x012A	INTEG_SETUP_B	[15:8]	SINGLE_INTEG_B	CH2_AMP_DISABLE_B[2:0]			AFE_INT_C_BUF_B	CH1_AMP_DISABLE_B[2:0]		0x0003	R/W	
		[7:0]	ADC_COUNT_B[1:0]		Reserved	INTEG_WIDTH_B[4:0]						
0x012B	INTEG_OS_B	[15:8]	Reserved			INTEG_OFFSET_B[12:8]					0x0214	R/W
		[7:0]	INTEG_OFFSET_B[7:0]									
0x012C	MOD_PULSE_B	[15:8]	MOD_WIDTH_B[7:0]						0x0001	R/W		
		[7:0]	MOD_OFFSET_B[7:0]									
0x012D	PATTERN_B	[15:8]	LED_DISABLE_B[3:0]			MOD_DISABLE_B[3:0]			0x0000	R/W		
		[7:0]	SUBTRACT_B[3:0]			REVERSE_INTEG_B[3:0]						
0x012E	ADC_OFF1_B	[15:8]	Reserved		CH1_ADC_ADJUST_B[13:8]					0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_B[7:0]									
0x012F	ADC_OFF2_B	[15:8]	ZERO_ADJUST_B	Reserved	CH2_ADC_ADJUST_B[13:8]					0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_B[7:0]									
0x0130	DATA_FORMAT_B	[15:8]	DARK_SHIFT_B[4:0]				DARK_SIZE_B[2:0]			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_B[4:0]				SIGNAL_SIZE_B[2:0]					
0x0132	DECIMATE_B	[15:8]	Reserved						DECIMATE_FACTOR_B[6:4]		0x0000	R/W
		[7:0]	DECIMATE_FACTOR_B[3:0]			DECIMATE_TYPE_B[3:0]						

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x0133	DIGINT_LIT_B	[15:8]	Reserved							LIT_OFFSET_B[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_B[7:0]									
0x0134	DIGINT_DARK_B	[15:8]	DARK2_OFFSET_B[8:1]							0x2306	R/W	
		[7:0]	DARK2_OFFSET_B[0]	DARK1_OFFSET_B[6:0]								
0x0135	THRESH_CFG_B	[15:8]	Reserved							0x0000	R/W	
		[7:0]	THRESH1_CHAN_B	THRESH1_DIR_B	THRESH1_TYPE_B[1:0]	THRESH0_CHAN_B	THRESH0_DIR_B	THRESH0_TYPE_B[1:0]				
0x0136	THRESH0_B	[15:8]	Reserved			THRESH0_SHIFT_B[4:0]				0x0000	R/W	
		[7:0]	THRESH0_VALUE_B[7:0]									
0x0137	THRESH1_B	[15:8]	Reserved			THRESH1_SHIFT_B[4:0]				0x0000	R/W	
		[7:0]	THRESH1_VALUE_B[7:0]									
0x0140	TS_CTRL_C	[15:8]	SUB_SAMPLE_C	CH2_EN_C	SAMPLE_TYPE_C[1:0]	INPUT_R_SELECT_C[1:0]		TIMESLOT_OFFSET_C[9:8]		0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_C[7:0]									
0x0141	TS_PATH_C	[15:8]	PRE_WIDTH_C[3:0]			Reserved		TS_GPIO_C	AFE_PATH_CFG_C[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_C[7:0]									
0x0142	INPUTS_C	[15:8]	INP78_C[3:0]			Reserved				0x0000	R/W	
		[7:0]	Reserved			INP12_C[3:0]						
0x0143	CATHODE_C	[15:8]	Reserved	PRECON_C[2:0]		VC2_PULSE_C[1:0]		VC2_ALT_C[1:0]		0x0000	R/W	
		[7:0]	VC2_SEL_C[1:0]		VC1_PULSE_C[1:0]	VC1_ALT_C[1:0]		VC1_SEL_C[1:0]				
0x0144	AFE_TRIM_C	[15:8]	Reserved	CH2_TRIM_INT_C[1:0]	CH1_TRIM_INT_C[1:0]		VREF_PULSE_C	AFE_TRIM_VREF_C[1:0]	0x03C0	R/W		
		[7:0]	VREF_PULSE_VAL_C[1:0]		TIA_GAIN_CH2_C[2:0]		TIA_GAIN_CH1_C[2:0]					
0x0145	LED_POW12_C	[15:8]	LED_DRIVESIDE2_C	LED_CURRENT2_C[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_C	LED_CURRENT1_C[6:0]								
0x0146	LED_POW34_C	[15:8]	LED_DRIVESIDE4_C	LED_CURRENT4_C[6:0]						0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_C	LED_CURRENT3_C[6:0]								
0x0147	COUNTS_C	[15:8]	NUM_INT_C[7:0]							0x0101	R/W	
		[7:0]	NUM_REPEAT_C[7:0]									
0x0148	PERIOD_C	[15:8]	Reserved		MOD_TYPE_C[1:0]	Reserved		MIN_PERIOD_C[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_C[7:0]									
0x0149	LED_PULSE_C	[15:8]	LED_WIDTH_C[7:0]							0x0210	R/W	

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
		[7:0]	LED_OFFSET_C[7:0]											
0x014A	INTEG_SETUP_C	[15:8]	SINGLE_INTEG_C	CH2_AMP_DISABLE_C[2:0]			AFE_INT_C_BUF_C	CH1_AMP_DISABLE_C[2:0]			0x0003	R/W		
		[7:0]	ADC_COUNT_C[1:0]		Reserved	INTEG_WIDTH_C[4:0]								
0x014B	INTEG_OS_C	[15:8]	Reserved			INTEG_OFFSET_C[12:8]						0x0214	R/W	
		[7:0]	INTEG_OFFSET_C[7:0]											
0x014C	MOD_PULSE_C	[15:8]	MOD_WIDTH_C[7:0]									0x0001	R/W	
		[7:0]	MOD_OFFSET_C[7:0]											
0x014D	PATTERN_C	[15:8]	LED_DISABLE_C[3:0]				MOD_DISABLE_C[3:0]				0x0000	R/W		
		[7:0]	SUBTRACT_C[3:0]			REVERSE_INTEG_C[3:0]								
0x014E	ADC_OFF1_C	[15:8]	Reserved			CH1_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_C[7:0]											
0x014F	ADC_OFF2_C	[15:8]	ZERO_ADJUST_C	Reserved		CH2_ADC_ADJUST_C[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_C[7:0]											
0x0150	DATA_FORMAT_C	[15:8]	DARK_SHIFT_C[4:0]					DARK_SIZE_C[2:0]				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_C[4:0]					SIGNAL_SIZE_C[2:0]						
0x0152	DECIMATE_C	[15:8]	Reserved						DECIMATE_FACTOR_C[6:4]				0x0000	R/W
		[7:0]	DECIMATE_FACTOR_C[3:0]				DECIMATE_TYPE_C[3:0]							
0x0153	DIGINT_LIT_C	[15:8]	Reserved								LIT_OFFSET_C[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_C[7:0]											
0x0154	DIGINT_DARK_C	[15:8]	DARK2_OFFSET_C[8:1]									0x2306	R/W	
		[7:0]	DARK2_OFFSET_C[0]	DARK1_OFFSET_C[6:0]										
0x0155	THRESH_CFG_C	[15:8]	Reserved									0x0000	R/W	
		[7:0]	THRESH1_CHAN_C	THRESH1_DIR_C	THRESH1_TYPE_C[1:0]		THRESH0_CHAN_C	THRESH0_DIR_C	THRESH0_TYPE_C[1:0]					
0x0156	THRESH0_C	[15:8]	Reserved			THRESH0_SHIFT_C[4:0]						0x0000	R/W	
		[7:0]	THRESH0_VALUE_C[7:0]											
0x0157	THRESH1_C	[15:8]	Reserved			THRESH1_SHIFT_C[4:0]						0x0000	R/W	
		[7:0]	THRESH1_VALUE_C[7:0]											
0x0160	TS_CTRL_D	[15:8]	SUB_SAMPLE_D	CH2_EN_D	SAMPLE_TYPE_D[1:0]		INPUT_R_SELECT_D[1:0]		TIMESLOT_OFFSET_D[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_D[7:0]											
0x0161	TS_PATH_D	[15:8]	PRE_WIDTH_D[3:0]				Reserved			TS_GPIO_D	AFE_PATH_CFG_D[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_D[7:0]											
0x0162	INPUTS_D	[15:8]	INP78_D[3:0]				Reserved						0x0000	R/W

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
		[7:0]	Reserved				INP12_D[3:0]							
0x0163	CATHODE_D	[15:8]	Reserved	PRECON_D[2:0]			VC2_PULSE_D[1:0]		VC2_ALT_D[1:0]			0x0000	R/W	
		[7:0]	VC2_SEL_D[1:0]		VC1_PULSE_D[1:0]		VC1_ALT_D[1:0]		VC1_SEL_D[1:0]					
0x0164	AFE_TRIM_D	[15:8]	Reserved	CH2_TRIM_INT_D[1:0]		CH1_TRIM_INT_D[1:0]		VREF_PULSE_D	AFE_TRIM_VREF_D[1:0]			0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_D[1:0]		TIA_GAIN_CH2_D[2:0]			TIA_GAIN_CH1_D[2:0]						
0x0165	LED_POW12_D	[15:8]	LED_DRIVESIDE2_D	LED_CURRENT2_D[6:0]						0x0000	R/W			
		[7:0]	LED_DRIVESIDE1_D	LED_CURRENT1_D[6:0]										
0x0166	LED_POW34_D	[15:8]	LED_DRIVESIDE4_D	LED_CURRENT4_D[6:0]						0x0000	R/W			
		[7:0]	LED_DRIVESIDE3_D	LED_CURRENT3_D[6:0]										
0x0167	COUNTS_D	[15:8]	NUM_INT_D[7:0]						0x0101	R/W				
		[7:0]	NUM_REPEAT_D[7:0]											
0x0168	PERIOD_D	[15:8]	Reserved		MOD_TYPE_D[1:0]		Reserved		MIN_PERIOD_D[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_D[7:0]											
0x0169	LED_PULSE_D	[15:8]	LED_WIDTH_D[7:0]						0x0210	R/W				
		[7:0]	LED_OFFSET_D[7:0]											
0x016A	INTEG_SETUP_D	[15:8]	SINGLE_INTEG_D	CH2_AMP_DISABLE_D[2:0]			AFE_INT_C_BUF_D	CH1_AMP_DISABLE_D[2:0]			0x0003	R/W		
		[7:0]	ADC_COUNT_D[1:0]		Reserved	INTEG_WIDTH_D[4:0]								
0x016B	INTEG_OS_D	[15:8]	Reserved			INTEG_OFFSET_D[12:8]						0x0214	R/W	
		[7:0]	INTEG_OFFSET_D[7:0]											
0x016C	MOD_PULSE_D	[15:8]	MOD_WIDTH_D[7:0]						0x0001	R/W				
		[7:0]	MOD_OFFSET_D[7:0]											
0x016D	PATTERN_D	[15:8]	LED_DISABLE_D[3:0]			MOD_DISABLE_D[3:0]			0x0000	R/W				
		[7:0]	SUBTRACT_D[3:0]			REVERSE_INTEG_D[3:0]								
0x016E	ADC_OFF1_D	[15:8]	Reserved		CH1_ADC_ADJUST_D[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_D[7:0]											
0x016F	ADC_OFF2_D	[15:8]	ZERO_ADJUST_D	Reserved	CH2_ADC_ADJUST_D[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_D[7:0]											
0x0170	DATA_FORMAT_D	[15:8]	DARK_SHIFT_D[4:0]				DARK_SIZE_D[2:0]			0x0003	R/W			
		[7:0]	SIGNAL_SHIFT_D[4:0]				SIGNAL_SIZE_D[2:0]							
0x0172	DECIMATE_D	[15:8]	Reserved						DECIMATE_FACTOR_D[6:4]			0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_D[3:0]			DECIMATE_TYPE_D[3:0]								

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0173	DIGINT_LIT_D	[15:8]	Reserved								LIT_OFFSET_D[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_D[7:0]										
0x0174	DIGINT_DARK_D	[15:8]	DARK2_OFFSET_D[8:1]								0x2306	R/W	
		[7:0]	DARK2_OFFSET_D[0]	DARK1_OFFSET_D[6:0]									
0x0175	THRESH_CFG_D	[15:8]	Reserved								0x0000	R/W	
		[7:0]	THRESH1_CHAN_D	THRESH1_DIR_D	THRESH1_TYPE_D[1:0]	THRESH0_CHAN_D	THRESH0_DIR_D	THRESH0_TYPE_D[1:0]					
0x0176	THRESH0_D	[15:8]	Reserved				THRESH0_SHIFT_D[4:0]				0x0000	R/W	
		[7:0]	THRESH0_VALUE_D[7:0]										
0x0177	THRESH1_D	[15:8]	Reserved				THRESH1_SHIFT_D[4:0]				0x0000	R/W	
		[7:0]	THRESH1_VALUE_D[7:0]										
0x0180	TS_CTRL_E	[15:8]	SUB_SAMPLE_E	CH2_EN_E	SAMPLE_TYPE_E[1:0]	INPUT_R_SELECT_E[1:0]	TIMESLOT_OFFSET_E[9:8]			0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_E[7:0]										
0x0181	TS_PATH_E	[15:8]	PRE_WIDTH_E[3:0]				Reserved		TS_GPIO_E	AFE_PATH_CFG_E[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_E[7:0]										
0x0182	INPUTS_E	[15:8]	INP78_E[3:0]				Reserved				0x0000	R/W	
		[7:0]	Reserved				INP12_E[3:0]						
0x0183	CATHODE_E	[15:8]	Reserved	PRECON_E[2:0]			VC2_PULSE_E[1:0]		VC2_ALT_E[1:0]		0x0000	R/W	
		[7:0]	VC2_SEL_E[1:0]		VC1_PULSE_E[1:0]	VC1_ALT_E[1:0]		VC1_SEL_E[1:0]					
0x0184	AFE_TRIM_E	[15:8]	Reserved	CH2_TRIM_INT_E[1:0]	CH1_TRIM_INT_E[1:0]		VREF_PULSE_E	AFE_TRIM_VREF_E[1:0]			0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_E[1:0]		TIA_GAIN_CH2_E[2:0]			TIA_GAIN_CH1_E[2:0]					
0x0185	LED_POW12_E	[15:8]	LED_DRIVESIDE2_E	LED_CURRENT2_E[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_E	LED_CURRENT1_E[6:0]									
0x0186	LED_POW34_E	[15:8]	LED_DRIVESIDE4_E	LED_CURRENT4_E[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_E	LED_CURRENT3_E[6:0]									
0x0187	COUNTS_E	[15:8]	NUM_INT_E[7:0]								0x0101	R/W	
		[7:0]	NUM_REPEAT_E[7:0]										
0x0188	PERIOD_E	[15:8]	Reserved			MOD_TYPE_E[1:0]	Reserved		MIN_PERIOD_E[9:8]		0x0000	R/W	
		[7:0]	MIN_PERIOD_E[7:0]										

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0189	LED_PULSE_E	[15:8]	LED_WIDTH_E[7:0]									0x0210	R/W
		[7:0]	LED_OFFSET_E[7:0]										
0x018A	INTEG_SETUP_E	[15:8]	SINGLE_INTEG_E	CH2_AMP_DISABLE_E[2:0]			AFE_INT_C_BUF_E	CH1_AMP_DISABLE_E[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_E[1:0]		Reserved	INTEG_WIDTH_E[4:0]							
0x018B	INTEG_OS_E	[15:8]	Reserved				INTEG_OFFSET_E[12:8]				0x0214	R/W	
		[7:0]	INTEG_OFFSET_E[7:0]										
0x018C	MOD_PULSE_E	[15:8]	MOD_WIDTH_E[7:0]									0x0001	R/W
		[7:0]	MOD_OFFSET_E[7:0]										
0x018D	PATTERN_E	[15:8]	LED_DISABLE_E[3:0]				MOD_DISABLE_E[3:0]				0x0000	R/W	
		[7:0]	SUBTRACT_E[3:0]				REVERSE_INTEG_E[3:0]						
0x018E	ADC_OFF1_E	[15:8]	Reserved			CH1_ADC_ADJUST_E[13:8]					0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_E[7:0]										
0x018F	ADC_OFF2_E	[15:8]	ZERO_ADJUST_E	Reserved		CH2_ADC_ADJUST_E[13:8]					0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_E[7:0]										
0x0190	DATA_FORMAT_E	[15:8]	DARK_SHIFT_E[4:0]					DARK_SIZE_E[2:0]			0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_E[4:0]					SIGNAL_SIZE_E[2:0]					
0x0192	DECIMATE_E	[15:8]	Reserved						DECIMATE_FACTOR_E[6:4]			0x0000	R/W
		[7:0]	DECIMATE_FACTOR_E[3:0]				DECIMATE_TYPE_E[3:0]						
0x0193	DIGINT_LIT_E	[15:8]	Reserved								LIT_OFFSET_E[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_E[7:0]										
0x0194	DIGINT_DARK_E	[15:8]	DARK2_OFFSET_E[8:1]									0x2306	R/W
		[7:0]	DARK2_OFFSET_E[0]	DARK1_OFFSET_E[6:0]									
0x0195	THRESH_CFG_E	[15:8]	Reserved									0x0000	R/W
		[7:0]	THRESH1_CHAN_E	THRESH1_DIR_E	THRESH1_TYPE_E[1:0]		THRESH0_CHAN_E	THRESH0_DIR_E	THRESH0_TYPE_E[1:0]				
0x0196	THRESH0_E	[15:8]	Reserved				THRESH0_SHIFT_E[4:0]				0x0000	R/W	
		[7:0]	THRESH0_VALUE_E[7:0]										
0x0197	THRESH1_E	[15:8]	Reserved				THRESH1_SHIFT_E[4:0]				0x0000	R/W	
		[7:0]	THRESH1_VALUE_E[7:0]										
0x01A0	TS_CTRL_F	[15:8]	SUB_SAMPLE_F	CH2_EN_F	SAMPLE_TYPE_F[1:0]		INPUT_R_SELECT_F[1:0]		TIMESLOT_OFFSET_F[9:8]			0x0000	R/W
		[7:0]	TIMESLOT_OFFSET_F[7:0]										
0x01A1	TS_PATH_F	[15:8]	PRE_WIDTH_F[3:0]				Reserved			TS_GPIO_F	AFE_PATH_CFG_F[8]	0x40DA	R/W

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
		[7:0]	AFE_PATH_CFG_F[7:0]										
0x01A2	INPUTS_F	[15:8]	INP78_F[3:0]			Reserved						0x0000	R/W
		[7:0]	Reserved			INP12_F[3:0]							
0x01A3	CATHODE_F	[15:8]	Reserved	PRECON_F[2:0]			VC2_PULSE_F[1:0]		VC2_ALT_F[1:0]			0x0000	R/W
		[7:0]	VC2_SEL_F[1:0]		VC1_PULSE_F[1:0]		VC1_ALT_F[1:0]		VC1_SEL_F[1:0]				
0x01A4	AFE_TRIM_F	[15:8]	Reserved	CH2_TRIM_INT_F[1:0]		CH1_TRIM_INT_F[1:0]		VREF_PULSE_F	AFE_TRIM_VREF_F[1:0]			0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_F[1:0]		TIA_GAIN_CH2_F[2:0]			TIA_GAIN_CH1_F[2:0]					
0x01A5	LED_POW12_F	[15:8]	LED_DRIVESIDE2_F	LED_CURRENT2_F[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE1_F	LED_CURRENT1_F[6:0]									
0x01A6	LED_POW34_F	[15:8]	LED_DRIVESIDE4_F	LED_CURRENT4_F[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE3_F	LED_CURRENT3_F[6:0]									
0x01A7	COUNTS_F	[15:8]	NUM_INT_F[7:0]									0x0101	R/W
		[7:0]	NUM_REPEAT_F[7:0]										
0x01A8	PERIOD_F	[15:8]	Reserved		MOD_TYPE_F[1:0]		Reserved		MIN_PERIOD_F[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_F[7:0]										
0x01A9	LED_PULSE_F	[15:8]	LED_WIDTH_F[7:0]									0x0210	R/W
		[7:0]	LED_OFFSET_F[7:0]										
0x01AA	INTEG_SETUP_F	[15:8]	SINGLE_INTEG_F	CH2_AMP_DISABLE_F[2:0]			AFE_INT_C_BUF_F	CH1_AMP_DISABLE_F[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_F[1:0]		Reserved	INTEG_WIDTH_F[4:0]							
0x01AB	INTEG_OS_F	[15:8]	Reserved			INTEG_OFFSET_F[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_F[7:0]										
0x01AC	MOD_PULSE_F	[15:8]	MOD_WIDTH_F[7:0]									0x0001	R/W
		[7:0]	MOD_OFFSET_F[7:0]										
0x01AD	PATTERN_F	[15:8]	LED_DISABLE_F[3:0]			MOD_DISABLE_F[3:0]						0x0000	R/W
		[7:0]	SUBTRACT_F[3:0]			REVERSE_INTEG_F[3:0]							
0x01AE	ADC_OFF1_F	[15:8]	Reserved			CH1_ADC_ADJUST_F[13:8]						0x0000	R/W
		[7:0]	CH1_ADC_ADJUST_F[7:0]										
0x01AF	ADC_OFF2_F	[15:8]	ZERO_ADJUST_F	Reserved		CH2_ADC_ADJUST_F[13:8]						0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_F[7:0]										
0x01B0	DATA_FORMAT_F	[15:8]	DARK_SHIFT_F[4:0]			DARK_SIZE_F[2:0]						0x0003	R/W
		[7:0]	SIGNAL_SHIFT_F[4:0]			SIGNAL_SIZE_F[2:0]							

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x01B2	DECIMATE_F	[15:8]	Reserved					DECIMATE_FACTOR_F[6:4]			0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_F[3:0]			DECIMATE_TYPE_F[3:0]							
0x01B3	DIGINT_LIT_F	[15:8]	Reserved								LIT_OFFSET_F[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_F[7:0]										
0x01B4	DIGINT_DARK_F	[15:8]	DARK2_OFFSET_F[8:1]									0x2306	R/W
		[7:0]	DARK2_OFFSET_F[0]	DARK1_OFFSET_F[6:0]									
0x01B5	THRESH_CFG_F	[15:8]	Reserved									0x0000	R/W
		[7:0]	THRESH1_CHAN_F	THRESH1_DIR_F	THRESH1_TYPE_F[1:0]	THRESH0_CHAN_F	THRESH0_DIR_F	THRESH0_TYPE_F[1:0]					
0x01B6	THRESH0_F	[15:8]	Reserved				THRESH0_SHIFT_F[4:0]				0x0000	R/W	
		[7:0]	THRESH0_VALUE_F[7:0]										
0x01B7	THRESH1_F	[15:8]	Reserved				THRESH1_SHIFT_F[4:0]				0x0000	R/W	
		[7:0]	THRESH1_VALUE_F[7:0]										
0x01C0	TS_CTRL_G	[15:8]	SUB_SAMPLE_G	CH2_EN_G	SAMPLE_TYPE_G[1:0]	INPUT_R_SELECT_G[1:0]	TIMESLOT_OFFSET_G[9:8]			0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_G[7:0]										
0x01C1	TS_PATH_G	[15:8]	PRE_WIDTH_G[3:0]				Reserved		TS_GPIO_G	AFE_PATH_CFG_G[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_G[7:0]										
0x01C2	INPUTS_G	[15:8]	INP78_G[3:0]				Reserved				0x0000	R/W	
		[7:0]	Reserved				INP12_G[3:0]						
0x01C3	CATHODE_G	[15:8]	Reserved	PRECON_G[2:0]			VC2_PULSE_G[1:0]		VC2_ALT_G[1:0]		0x0000	R/W	
		[7:0]	VC2_SEL_G[1:0]		VC1_PULSE_G[1:0]	VC1_ALT_G[1:0]		VC1_SEL_G[1:0]					
0x01C4	AFE_TRIM_G	[15:8]	Reserved	CH2_TRIM_INT_G[1:0]		CH1_TRIM_INT_G[1:0]		VREF_PULSE_G	AFE_TRIM_VREF_G[1:0]	0x03C0	R/W		
		[7:0]	VREF_PULSE_VAL_G[1:0]		TIA_GAIN_CH2_G[2:0]		TIA_GAIN_CH1_G[2:0]						
0x01C5	LED_POW12_G	[15:8]	LED_DRIVESIDE2_G	LED_CURRENT2_G[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_G	LED_CURRENT1_G[6:0]									
0x01C6	LED_POW34_G	[15:8]	LED_DRIVESIDE4_G	LED_CURRENT4_G[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_G	LED_CURRENT3_G[6:0]									
0x01C7	COUNTS_G	[15:8]	NUM_INT_G[7:0]									0x0101	R/W
		[7:0]	NUM_REPEAT_G[7:0]										
0x01C8	PERIOD_G	[15:8]	Reserved			MOD_TYPE_G[1:0]	Reserved		MIN_PERIOD_G[9:8]	0x0000	R/W		

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x01C9	LED_PULSE_G	[7:0]	MIN_PERIOD_G[7:0]									0x0210	R/W
		[15:8]	LED_WIDTH_G[7:0]										
0x01CA	INTEG_SETUP_G	[7:0]	LED_OFFSET_G[7:0]									0x0003	R/W
		[15:8]	SINGLE_INTEG_G	CH2_AMP_DISABLE_G[2:0]			AFE_INT_C_BUF_G	CH1_AMP_DISABLE_G[2:0]					
0x01CB	INTEG_OS_G	[7:0]	ADC_COUNT_G[1:0]		Reserved	INTEG_WIDTH_G[4:0]						0x0214	R/W
		[15:8]	Reserved			INTEG_OFFSET_G[12:8]							
0x01CC	MOD_PULSE_G	[7:0]	INTEG_OFFSET_G[7:0]									0x0001	R/W
		[15:8]	MOD_WIDTH_G[7:0]										
0x01CD	PATTERN_G	[7:0]	MOD_OFFSET_G[7:0]									0x0000	R/W
		[15:8]	LED_DISABLE_G[3:0]				MOD_DISABLE_G[3:0]						
0x01CE	ADC_OFF1_G	[7:0]	SUBTRACT_G[3:0]			REVERSE_INTEG_G[3:0]						0x0000	R/W
		[15:8]	Reserved		CH1_ADC_ADJUST_G[13:8]								
0x01CF	ADC_OFF2_G	[7:0]	CH1_ADC_ADJUST_G[7:0]									0x0000	R/W
		[15:8]	ZERO_ADJUST_G	Reserved	CH2_ADC_ADJUST_G[13:8]								
0x01D0	DATA_FORMAT_G	[7:0]	CH2_ADC_ADJUST_G[7:0]									0x0003	R/W
		[15:8]	DARK_SHIFT_G[4:0]					DARK_SIZE_G[2:0]					
0x01D2	DECIMATE_G	[7:0]	SIGNAL_SHIFT_G[4:0]					SIGNAL_SIZE_G[2:0]			0x0000	R/W	
		[15:8]	Reserved						DECIMATE_FACTOR_G[6:4]				
0x01D3	DIGINT_LIT_G	[7:0]	DECIMATE_FACTOR_G[3:0]						DECIMATE_TYPE_G[3:0]			0x0026	R/W
		[15:8]	Reserved										
0x01D4	DIGINT_DARK_G	[7:0]	LIT_OFFSET_G[8]									0x2306	R/W
		[15:8]	DARK2_OFFSET_G[8:1]										
0x01D5	THRESH_CFG_G	[7:0]	DARK1_OFFSET_G[6:0]									0x0000	R/W
		[15:8]	Reserved										
0x01D6	THRESH0_G	[7:0]	THRESH1_CHAN_G	THRESH1_DIR_G	THRESH1_TYPE_G[1:0]		THRESH0_CHAN_G	THRESH0_DIR_G	THRESH0_TYPE_G[1:0]			0x0000	R/W
		[15:8]	Reserved			THRESH0_SHIFT_G[4:0]							
0x01D7	THRESH1_G	[7:0]	THRESH0_VALUE_G[7:0]									0x0000	R/W
		[15:8]	Reserved			THRESH1_SHIFT_G[4:0]							
0x01E0	TS_CTRL_H	[7:0]	THRESH1_VALUE_G[7:0]									0x0000	R/W
		[15:8]	SUB_SAMPLE_H	CH2_EN_H	SAMPLE_TYPE_H[1:0]		INPUT_R_SELECT_H[1:0]		TIMESLOT_OFFSET_H[9:8]				
		[7:0]	TIMESLOT_OFFSET_H[7:0]										

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x01E1	TS_PATH_H	[15:8]	PRE_WIDTH_H[3:0]				Reserved			TS_GPIO_H	AFE_PATH_CFG_H[8]	0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_H[7:0]											
0x01E2	INPUTS_H	[15:8]	INP78_H[3:0]				Reserved						0x0000	R/W
		[7:0]	Reserved						INP12_H[3:0]					
0x01E3	CATHODE_H	[15:8]	Reserved	PRECON_H[2:0]			VC2_PULSE_H[1:0]		VC2_ALT_H[1:0]			0x0000	R/W	
		[7:0]	VC2_SEL_H[1:0]		VC1_PULSE_H[1:0]		VC1_ALT_H[1:0]		VC1_SEL_H[1:0]					
0x01E4	AFE_TRIM_H	[15:8]	Reserved	CH2_TRIM_INT_H[1:0]		CH1_TRIM_INT_H[1:0]		VREF_PULSE_H		AFE_TRIM_VREF_H[1:0]		0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_H[1:0]		TIA_GAIN_CH2_H[2:0]			TIA_GAIN_CH1_H[2:0]						
0x01E5	LED_POW12_H	[15:8]	LED_DRIVESIDE2_H	LED_CURRENT2_H[6:0]									0x0000	R/W
		[7:0]	LED_DRIVESIDE1_H	LED_CURRENT1_H[6:0]										
0x01E6	LED_POW34_H	[15:8]	LED_DRIVESIDE4_H	LED_CURRENT4_H[6:0]									0x0000	R/W
		[7:0]	LED_DRIVESIDE3_H	LED_CURRENT3_H[6:0]										
0x01E7	COUNTS_H	[15:8]	NUM_INT_H[7:0]										0x0101	R/W
		[7:0]	NUM_REPEAT_H[7:0]											
0x01E8	PERIOD_H	[15:8]	Reserved			MOD_TYPE_H[1:0]		Reserved			MIN_PERIOD_H[9:8]		0x0000	R/W
		[7:0]	MIN_PERIOD_H[7:0]											
0x01E9	LED_PULSE_H	[15:8]	LED_WIDTH_H[7:0]										0x0210	R/W
		[7:0]	LED_OFFSET_H[7:0]											
0x01EA	INTEG_SETUP_H	[15:8]	SINGLE_INTEG_H	CH2_AMP_DISABLE_H[2:0]			AFE_INT_C_BUF_H		CH1_AMP_DISABLE_H[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_H[1:0]		Reserved	INTEG_WIDTH_H[4:0]								
0x01EB	INTEG_OS_H	[15:8]	Reserved				INTEG_OFFSET_H[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_H[7:0]											
0x01EC	MOD_PULSE_H	[15:8]	MOD_WIDTH_H[7:0]										0x0001	R/W
		[7:0]	MOD_OFFSET_H[7:0]											
0x01ED	PATTERN_H	[15:8]	LED_DISABLE_H[3:0]				MOD_DISABLE_H[3:0]						0x0000	R/W
		[7:0]	SUBTRACT_H[3:0]				REVERSE_INTEG_H[3:0]							
0x01EE	ADC_OFF1_H	[15:8]	Reserved			CH1_ADC_ADJUST_H[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_H[7:0]											
0x01EF	ADC_OFF2_H	[15:8]	ZERO_ADJUST_H	Reserved			CH2_ADC_ADJUST_H[13:8]						0x0000	R/W
		[7:0]	CH2_ADC_ADJUST_H[7:0]											
0x01F0	DATA_FORMAT_H	[15:8]	DARK_SHIFT_H[4:0]						DARK_SIZE_H[2:0]				0x0003	R/W

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
0x01F2	DECIMATE_H	[7:0]	SIGNAL_SHIFT_H[4:0]				SIGNAL_SIZE_H[2:0]				0x0000	R/W		
		[15:8]	Reserved				DECIMATE_FACTOR_H[6:4]							
0x01F3	DIGINT_LIT_H	[7:0]	DECIMATE_FACTOR_H[3:0]				DECIMATE_TYPE_H[3:0]				0x0026	R/W		
		[15:8]	Reserved				LIT_OFFSET_H[8]							
0x01F4	DIGINT_DARK_H	[7:0]	LIT_OFFSET_H[7:0]				DARK2_OFFSET_H[8:1]				0x2306	R/W		
		[15:8]	DARK2_OFFSET_H[0]				DARK1_OFFSET_H[6:0]							
0x01F5	THRESH_CFG_H	[15:8]	Reserved				Reserved				0x0000	R/W		
		[7:0]	THRESH1_CHAN_H	THRESH1_DIR_H	THRESH1_TYPE_H[1:0]		THRESH0_CHAN_H	THRESH0_DIR_H	THRESH0_TYPE_H[1:0]					
0x01F6	THRESH0_H	[15:8]	Reserved				THRESH0_SHIFT_H[4:0]				0x0000	R/W		
		[7:0]	THRESH0_VALUE_H[7:0]				Reserved							
0x01F7	THRESH1_H	[15:8]	Reserved				THRESH1_SHIFT_H[4:0]				0x0000	R/W		
		[7:0]	THRESH1_VALUE_H[7:0]				Reserved							
0x0200	TS_CTRL_I	[15:8]	SUB_SAMPLE_I	CH2_EN_I	SAMPLE_TYPE_I[1:0]		INPUT_R_SELECT_I[1:0]		TIMESLOT_OFFSET_I[9:8]			0x0000	R/W	
		[7:0]	TIMESLOT_OFFSET_I[7:0]				Reserved							
0x0201	TS_PATH_I	[15:8]	PRE_WIDTH_I[3:0]				Reserved				TS_GPIO_I	AFE_PATH_CFG_I[8]	0x40DA	R/W
		[7:0]	AFE_PATH_CFG_I[7:0]				Reserved							
0x0202	INPUTS_I	[15:8]	INP78_I[3:0]				Reserved				0x0000	R/W		
		[7:0]	Reserved				INP12_I[3:0]							
0x0203	CATHODE_I	[15:8]	Reserved	PRECON_I[2:0]			VC2_PULSE_I[1:0]		VC2_ALT_I[1:0]			0x0000	R/W	
		[7:0]	VC2_SEL_I[1:0]		VC1_PULSE_I[1:0]		VC1_ALT_I[1:0]		VC1_SEL_I[1:0]					
0x0204	AFE_TRIM_I	[15:8]	Reserved	CH2_TRIM_INT_I[1:0]		CH1_TRIM_INT_I[1:0]		VREF_PULSE_I		AFE_TRIM_VREF_I[1:0]		0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_I[1:0]		TIA_GAIN_CH2_I[2:0]		TIA_GAIN_CH1_I[2:0]							
0x0205	LED_POW12_I	[15:8]	LED_DRIVESIDE2_I	LED_CURRENT2_I[6:0]				Reserved				0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_I	LED_CURRENT1_I[6:0]				Reserved						
0x0206	LED_POW34_I	[15:8]	LED_DRIVESIDE4_I	LED_CURRENT4_I[6:0]				Reserved				0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_I	LED_CURRENT3_I[6:0]				Reserved						
0x0207	COUNTS_I	[15:8]	NUM_INT_I[7:0]				Reserved				0x0101	R/W		

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W				
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0						
0x0208	PERIOD_I	[7:0]	NUM_REPEAT_I[7:0]										0x0000	R/W		
		[15:8]	Reserved		MOD_TYPE_I[1:0]		Reserved		MIN_PERIOD_I[9:8]							
0x0209	LED_PULSE_I	[7:0]	MIN_PERIOD_I[7:0]										0x0210	R/W		
		[15:8]	LED_WIDTH_I[7:0]													
0x020A	INTEG_SETUP_I	[7:0]	LED_OFFSET_I[7:0]										0x0003	R/W		
		[15:8]	SINGLE_INTEG_I	CH2_AMP_DISABLE_I[2:0]			AFE_INT_C_BUF_I		CH1_AMP_DISABLE_I[2:0]							
0x020B	INTEG_OS_I	[7:0]	ADC_COUNT_I[1:0]		Reserved		INTEG_WIDTH_I[4:0]				0x0214	R/W				
		[15:8]	Reserved				INTEG_OFFSET_I[12:8]									
0x020C	MOD_PULSE_I	[7:0]	INTEG_OFFSET_I[7:0]										0x0001	R/W		
		[15:8]	MOD_WIDTH_I[7:0]													
0x020D	PATTERN_I	[7:0]	MOD_OFFSET_I[7:0]										0x0000	R/W		
		[15:8]	LED_DISABLE_I[3:0]				MOD_DISABLE_I[3:0]									
0x020E	ADC_OFF1_I	[7:0]	SUBTRACT_I[3:0]		REVERSE_INTEG_I[3:0]				Reserved				0x0000	R/W		
		[15:8]	Reserved		CH1_ADC_ADJUST_I[13:8]											
0x020F	ADC_OFF2_I	[7:0]	CH1_ADC_ADJUST_I[7:0]										0x0000	R/W		
		[15:8]	ZERO_ADJUST_I	Reserved		CH2_ADC_ADJUST_I[13:8]										
0x0210	DATA_FORMAT_I	[7:0]	CH2_ADC_ADJUST_I[7:0]										0x0003	R/W		
		[15:8]	DARK_SHIFT_I[4:0]				DARK_SIZE_I[2:0]									
0x0212	DECIMATE_I	[7:0]	SIGNAL_SHIFT_I[4:0]				SIGNAL_SIZE_I[2:0]				Reserved				0x0000	R/W
		[15:8]	Reserved				DECIMATE_FACTOR_I[6:4]									
0x0213	DIGINT_LIT_I	[7:0]	DECIMATE_FACTOR_I[3:0]						DECIMATE_TYPE_I[3:0]				0x0026	R/W		
		[15:8]	Reserved									LIT_OFFSET_I[8]				
0x0214	DIGINT_DARK_I	[7:0]	LIT_OFFSET_I[7:0]										0x2306	R/W		
		[15:8]	DARK2_OFFSET_I[8:1]													
0x0215	THRESH_CFG_I	[7:0]	DARK2_OFFSET_I[0]										0x0000	R/W		
		[15:8]	Reserved													
0x0216	THRESH0_I	[7:0]	THRESH1_CHAN_I	THRESH1_DIR_I	THRESH1_TYPE_I[1:0]		THRESH0_CHAN_I	THRESH0_DIR_I	THRESH0_TYPE_I[1:0]		Reserved				0x0000	R/W
		[15:8]	Reserved				THRESH0_SHIFT_I[4:0]									
0x0217	THRESH1_I	[7:0]	THRESH0_VALUE_I[7:0]										0x0000	R/W		
		[15:8]	Reserved				THRESH1_SHIFT_I[4:0]									
0x0220	TS_CTRL_J	[7:0]	THRESH1_VALUE_I[7:0]										0x0000	R/W		
		[15:8]	SUB_SAMPLE_J	CH2_EN_J	SAMPLE_TYPE_J[1:0]		INPUT_R_SELECT_J[1:0]		TIMESLOT_OFFSET_J[9:8]							
0x0221	TS_PATH_J	[7:0]	TIMESLOT_OFFSET_J[7:0]										0x40DA	R/W		
		[15:8]	PRE_WIDTH_J[3:0]				Reserved		TS_GPIO_J	AFE_PATH_CFG_J[8]						

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
		[7:0]	AFE_PATH_CFG_J[7:0]										
0x0222	INPUTS_J	[15:8]	INP78_J[3:0]			Reserved						0x0000	R/W
		[7:0]	Reserved						INP12_J[3:0]				
0x0223	CATHODE_J	[15:8]	Reserved	PRECON_J[2:0]			VC2_PULSE_J[1:0]		VC2_ALT_J[1:0]			0x0000	R/W
		[7:0]	VC2_SEL_J[1:0]		VC1_PULSE_J[1:0]		VC1_ALT_J[1:0]		VC1_SEL_J[1:0]				
0x0224	AFE_TRIM_J	[15:8]	Reserved	CH2_TRIM_INT_J[1:0]		CH1_TRIM_INT_J[1:0]		VREF_PULSE_J	AFE_TRIM_VREF_J[1:0]			0x03C0	R/W
		[7:0]	VREF_PULSE_VAL_J[1:0]		TIA_GAIN_CH2_J[2:0]			TIA_GAIN_CH1_J[2:0]					
0x0225	LED_POW12_J	[15:8]	LED_DRIVESIDE2_J	LED_CURRENT2_J[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE1_J	LED_CURRENT1_J[6:0]									
0x0226	LED_POW34_J	[15:8]	LED_DRIVESIDE4_J	LED_CURRENT4_J[6:0]								0x0000	R/W
		[7:0]	LED_DRIVESIDE3_J	LED_CURRENT3_J[6:0]									
0x0227	COUNTS_J	[15:8]	NUM_INT_J[7:0]									0x0101	R/W
		[7:0]	NUM_REPEAT_J[7:0]										
0x0228	PERIOD_J	[15:8]	Reserved		MOD_TYPE_J[1:0]		Reserved		MIN_PERIOD_J[9:8]			0x0000	R/W
		[7:0]	MIN_PERIOD_J[7:0]										
0x0229	LED_PULSE_J	[15:8]	LED_WIDTH_J[7:0]									0x0210	R/W
		[7:0]	LED_OFFSET_J[7:0]										
0x022A	INTEG_SETUP_J	[15:8]	SINGLE_INTEG_J	CH2_AMP_DISABLE_J[2:0]			AFE_INT_C_BUF_J	CH1_AMP_DISABLE_J[2:0]			0x0003	R/W	
		[7:0]	ADC_COUNT_J[1:0]		Reserved	INTEG_WIDTH_J[4:0]							
0x022B	INTEG_OS_J	[15:8]	Reserved			INTEG_OFFSET_J[12:8]						0x0214	R/W
		[7:0]	INTEG_OFFSET_J[7:0]										
0x022C	MOD_PULSE_J	[15:8]	MOD_WIDTH_J[7:0]									0x0001	R/W
		[7:0]	MOD_OFFSET_J[7:0]										
0x022D	PATTERN_J	[15:8]	LED_DISABLE_J[3:0]			MOD_DISABLE_J[3:0]						0x0000	R/W
		[7:0]	SUBTRACT_J[3:0]			REVERSE_INTEG_J[3:0]							
0x022E	ADC_OFF1_J	[15:8]	Reserved		CH1_ADC_ADJUST_J[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_J[7:0]										
0x022F	ADC_OFF2_J	[15:8]	ZERO_ADJUST_J	Reserved	CH2_ADC_ADJUST_J[13:8]						0x0000	R/W	
		[7:0]	CH2_ADC_ADJUST_J[7:0]										
0x0230	DATA_FORMAT_J	[15:8]	DARK_SHIFT_J[4:0]				DARK_SIZE_J[2:0]				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_J[4:0]				SIGNAL_SIZE_J[2:0]						
0x0232	DECIMATE_J	[15:8]	Reserved						DECIMATE_FACTOR_J[6:4]			0x0000	R/W
		[7:0]	DECIMATE_FACTOR_J[3:0]			DECIMATE_TYPE_J[3:0]							

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0233	DIGINT_LIT_J	[15:8]	Reserved								LIT_OFFSET_J[8]	0x0026	R/W
		[7:0]	LIT_OFFSET_J[7:0]										
0x0234	DIGINT_DARK_J	[15:8]	DARK2_OFFSET_J[8:1]								0x2306	R/W	
		[7:0]	DARK2_OFFSET_J[0]	DARK1_OFFSET_J[6:0]									
0x0235	THRESH_CFG_J	[15:8]	Reserved								0x0000	R/W	
		[7:0]	THRESH1_CHAN_J	THRESH1_DIR_J	THRESH1_TYPE_J[1:0]	THRESH0_CHAN_J	THRESH0_DIR_J	THRESH0_TYPE_J[1:0]					
0x0236	THRESH0_J	[15:8]	Reserved			THRESH0_SHIFT_J[4:0]				0x0000	R/W		
		[7:0]	THRESH0_VALUE_J[7:0]										
0x0237	THRESH1_J	[15:8]	Reserved			THRESH1_SHIFT_J[4:0]				0x0000	R/W		
		[7:0]	THRESH1_VALUE_J[7:0]										
0x0240	TS_CTRL_K	[15:8]	SUB_SAMPLE_K	CH2_EN_K	SAMPLE_TYPE_K[1:0]	INPUT_R_SELECT_K[1:0]	TIMESLOT_OFFSET_K[9:8]			0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_K[7:0]										
0x0241	TS_PATH_K	[15:8]	PRE_WIDTH_K[3:0]			Reserved		TS_GPIO_K	AFE_PATH_CFG_K[8]	0x40DA	R/W		
		[7:0]	AFE_PATH_CFG_K[7:0]										
0x0242	INPUTS_K	[15:8]	INP78_K[3:0]			Reserved				0x0000	R/W		
		[7:0]	Reserved			INP12_K[3:0]							
0x0243	CATHODE_K	[15:8]	Reserved	PRECON_K[2:0]		VC2_PULSE_K[1:0]		VC2_ALT_K[1:0]		0x0000	R/W		
		[7:0]	VC2_SEL_K[1:0]		VC1_PULSE_K[1:0]	VC1_ALT_K[1:0]		VC1_SEL_K[1:0]					
0x0244	AFE_TRIM_K	[15:8]	Reserved	CH2_TRIM_INT_K[1:0]	CH1_TRIM_INT_K[1:0]	VREF_PULSE_K	AFE_TRIM_VREF_K[1:0]			0x03C0	R/W		
		[7:0]	VREF_PULSE_VAL_K[1:0]		TIA_GAIN_CH2_K[2:0]		TIA_GAIN_CH1_K[2:0]						
0x0245	LED_POW12_K	[15:8]	LED_DRIVESIDE2_K	LED_CURRENT2_K[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE1_K	LED_CURRENT1_K[6:0]									
0x0246	LED_POW34_K	[15:8]	LED_DRIVESIDE4_K	LED_CURRENT4_K[6:0]							0x0000	R/W	
		[7:0]	LED_DRIVESIDE3_K	LED_CURRENT3_K[6:0]									
0x0247	COUNTS_K	[15:8]	NUM_INT_K[7:0]								0x0101	R/W	
		[7:0]	NUM_REPEAT_K[7:0]										
0x0248	PERIOD_K	[15:8]	Reserved		MOD_TYPE_K[1:0]	Reserved		MIN_PERIOD_K[9:8]		0x0000	R/W		
		[7:0]	MIN_PERIOD_K[7:0]										
0x0249	LED_PULSE_K	[15:8]	LED_WIDTH_K[7:0]								0x0210	R/W	

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
		[7:0]	LED_OFFSET_K[7:0]											
0x024A	INTEG_SETUP_K	[15:8]	SINGLE_INTEG_K	CH2_AMP_DISABLE_K[2:0]			AFE_INT_C_BUF_K	CH1_AMP_DISABLE_K[2:0]			0x0003	R/W		
		[7:0]	ADC_COUNT_K[1:0]		Reserved	INTEG_WIDTH_K[4:0]								
0x024B	INTEG_OS_K	[15:8]	Reserved			INTEG_OFFSET_K[12:8]						0x0214	R/W	
		[7:0]	INTEG_OFFSET_K[7:0]											
0x024C	MOD_PULSE_K	[15:8]	MOD_WIDTH_K[7:0]									0x0001	R/W	
		[7:0]	MOD_OFFSET_K[7:0]											
0x024D	PATTERN_K	[15:8]	LED_DISABLE_K[3:0]				MOD_DISABLE_K[3:0]				0x0000	R/W		
		[7:0]	SUBTRACT_K[3:0]			REVERSE_INTEG_K[3:0]								
0x024E	ADC_OFF1_K	[15:8]	Reserved			CH1_ADC_ADJUST_K[13:8]						0x0000	R/W	
		[7:0]	CH1_ADC_ADJUST_K[7:0]											
0x024F	ADC_OFF2_K	[15:8]	ZERO_ADJUST_K	Reserved	CH2_ADC_ADJUST_K[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_K[7:0]											
0x0250	DATA_FORMAT_K	[15:8]	DARK_SHIFT_K[4:0]					DARK_SIZE_K[2:0]				0x0003	R/W	
		[7:0]	SIGNAL_SHIFT_K[4:0]					SIGNAL_SIZE_K[2:0]						
0x0252	DECIMATE_K	[15:8]	Reserved						DECIMATE_FACTOR_K[6:4]				0x0000	R/W
		[7:0]	DECIMATE_FACTOR_K[3:0]				DECIMATE_TYPE_K[3:0]							
0x0253	DIGINT_LIT_K	[15:8]	Reserved								LIT_OFFSET_K[8]	0x0026	R/W	
		[7:0]	LIT_OFFSET_K[7:0]											
0x0254	DIGINT_DARK_K	[15:8]	DARK2_OFFSET_K[8:1]									0x2306	R/W	
		[7:0]	DARK2_OFFSET_K[0]	DARK1_OFFSET_K[6:0]										
0x0255	THRESH_CFG_K	[15:8]	Reserved									0x0000	R/W	
		[7:0]	THRESH1_CHAN_K	THRESH1_DIR_K	THRESH1_TYPE_K[1:0]	THRESH0_CHAN_K	THRESH0_DIR_K	THRESH0_TYPE_K[1:0]						
0x0256	THRESH0_K	[15:8]	Reserved			THRESH0_SHIFT_K[4:0]						0x0000	R/W	
		[7:0]	THRESH0_VALUE_K[7:0]											
0x0257	THRESH1_K	[15:8]	Reserved			THRESH1_SHIFT_K[4:0]						0x0000	R/W	
		[7:0]	THRESH1_VALUE_K[7:0]											
0x0260	TS_CTRL_L	[15:8]	SUB_SAMPLE_L	CH2_EN_L	SAMPLE_TYPE_L[1:0]	INPUT_R_SELECT_L[1:0]		TIMESLOT_OFFSET_L[9:8]			0x0000	R/W		
		[7:0]	TIMESLOT_OFFSET_L[7:0]											
0x0261	TS_PATH_L	[15:8]	PRE_WIDTH_L[3:0]				Reserved		TS_GPIO_L	AFE_PATH_CFG_L[8]		0x40DA	R/W	
		[7:0]	AFE_PATH_CFG_L[7:0]											
0x0262	INPUTS_L	[15:8]	INP78_L[3:0]				Reserved						0x0000	R/W

## レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W		
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0				
		[7:0]	Reserved				INP12_L[3:0]							
0x0263	CATHODE_L	[15:8]	Reserved	PRECON_L[2:0]			VC2_PULSE_L[1:0]		VC2_ALT_L[1:0]			0x0000	R/W	
		[7:0]	VC2_SEL_L[1:0]		VC1_PULSE_L[1:0]		VC1_ALT_L[1:0]		VC1_SEL_L[1:0]					
0x0264	AFE_TRIM_L	[15:8]	Reserved	CH2_TRIM_INT_L[1:0]		CH1_TRIM_INT_L[1:0]		VREF_PULSE_L	AFE_TRIM_VREF_L[1:0]			0x03C0	R/W	
		[7:0]	VREF_PULSE_VAL_L[1:0]		TIA_GAIN_CH2_L[2:0]			TIA_GAIN_CH1_L[2:0]						
0x0265	LED_POW12_L	[15:8]	LED_DRIVESIDE2_L	LED_CURRENT2_L[6:0]									0x0000	R/W
		[7:0]	LED_DRIVESIDE1_L	LED_CURRENT1_L[6:0]										
0x0266	LED_POW34_L	[15:8]	LED_DRIVESIDE4_L	LED_CURRENT4_L[6:0]									0x0000	R/W
		[7:0]	LED_DRIVESIDE3_L	LED_CURRENT3_L[6:0]										
0x0267	COUNTS_L	[15:8]	NUM_INT_L[7:0]									0x0101	R/W	
		[7:0]	NUM_REPEAT_L[7:0]											
0x0268	PERIOD_L	[15:8]	Reserved		MOD_TYPE_L[1:0]		Reserved		MIN_PERIOD_L[9:8]			0x0000	R/W	
		[7:0]	MIN_PERIOD_L[7:0]											
0x0269	LED_PULSE_L	[15:8]	LED_WIDTH_L[7:0]									0x0210	R/W	
		[7:0]	LED_OFFSET_L[7:0]											
0x026A	INTEG_SETUP_L	[15:8]	SINGLE_INTEG_L	CH2_AMP_DISABLE_L[2:0]			AFE_INT_C_BUF_L	CH1_AMP_DISABLE_L[2:0]			0x0003	R/W		
		[7:0]	ADC_COUNT_L[1:0]		Reserved	INTEG_WIDTH_L[4:0]								
0x026B	INTEG_OS_L	[15:8]	Reserved			INTEG_OFFSET_L[12:8]						0x0214	R/W	
		[7:0]	INTEG_OFFSET_L[7:0]											
0x026C	MOD_PULSE_L	[15:8]	MOD_WIDTH_L[7:0]									0x0001	R/W	
		[7:0]	MOD_OFFSET_L[7:0]											
0x026D	PATTERN_L	[15:8]	LED_DISABLE_L[3:0]			MOD_DISABLE_L[3:0]						0x0000	R/W	
		[7:0]	SUBTRACT_L[3:0]			REVERSE_INTEG_L[3:0]								
0x026E	ADC_OFF1_L	[15:8]	Reserved		CH1_ADC_ADJUST_L[13:8]						0x0000	R/W		
		[7:0]	CH1_ADC_ADJUST_L[7:0]											
0x026F	ADC_OFF2_L	[15:8]	ZERO_ADJUST_L	Reserved	CH2_ADC_ADJUST_L[13:8]						0x0000	R/W		
		[7:0]	CH2_ADC_ADJUST_L[7:0]											
0x0270	DATA_FORMAT_L	[15:8]	DARK_SHIFT_L[4:0]				DARK_SIZE_L[2:0]						0x0003	R/W
		[7:0]	SIGNAL_SHIFT_L[4:0]				SIGNAL_SIZE_L[2:0]							
0x0272	DECIMATE_L	[15:8]	Reserved						DECIMATE_FACTOR_L[6:4]			0x0000	R/W	
		[7:0]	DECIMATE_FACTOR_L[3:0]			DECIMATE_TYPE_L[3:0]								
0x0273	DIGINT_LIT_L	[15:8]	Reserved								LIT_OFFSET_L[8]	0x0026	R/W	

レジスタ・マップ

Table 25. Register Map Summary

Reg	Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W	
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0			
0x0274	DIGINT_DARK_L	[7:0]	LIT_OFFSET_L[7:0]									0x2306	R/W
		[15:8]	DARK2_OFFSET_L[8:1]										
		[7:0]	DARK2_OFFSET_L[0]	DARK1_OFFSET_L[6:0]									
0x0275	THRESH_CFG_L	[15:8]	Reserved									0x0000	R/W
		[7:0]	THRESH1_CHAN_L	THRESH1_DIR_L	THRESH1_TYPE_L[1:0]	THRESH0_CHAN_L	THRESH0_DIR_L	THRESH0_TYPE_L[1:0]					
0x0276	THRESH0_L	[15:8]	Reserved			THRESH0_SHIFT_L[4:0]						0x0000	R/W
		[7:0]	THRESH0_VALUE_L[7:0]										
0x0277	THRESH1_L	[15:8]	Reserved			THRESH1_SHIFT_L[4:0]						0x0000	R/W
		[7:0]	THRESH1_VALUE_L[7:0]										

## レジスタの詳細

## グローバル設定レジスタ

表 27. グローバル設定レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x000D	TS_FREQ	[15:0]	TIMESLOT_PERIOD_L	低周波発振器サイクルでのタイム・スロット周期の下位16ビット。タイム・スロット・レートは(低周波発振器の周波数) ÷ (TIMESLOT_PERIOD_x)です。1MHzの低周波発振器使用時のデフォルト値は100Hzです。	0x2710	R/W
0x000E	TS_FREQH	[15:7]	Reserved	予備。	0x0	R
		[6:0]	TIMESLOT_PERIOD_H	低周波発振器サイクルでのタイム・スロット周期の上位7ビット。タイム・スロット・レートは(低周波発振器の周波数) ÷ (TIMESLOT_PERIOD_x)です。1MHzの低周波発振器を使用したときのデフォルト値は100Hzです。	0x0	R/W
0x000F	SYS_CTL	15	SW_RESET	ソフトウェア・リセット。このビットに1を書き込んでソフトウェア・リセットをアサートすると、すべてのAFE動作が停止し、デバイスはデフォルト値にリセットされます。ソフトウェア・リセットではSPIポートはリセットされません。	0x0	R/W
		[14:10]	Reserved	予備。	0x0	R
		[9:8]	ALT_CLOCKS	外部クロックの選択。 00：内部の低周波発振器と高周波発振器を使用。 01：外部の低周波発振器を使用。 02：外部の高周波発振器と内部の低周波発振器を使用。 03：外部の高周波発振器を使用し、高周波発振器で低周波の発振周波数を生成。	0x0	R/W
		[7:6]	ALT_CLK_GPIO	代替クロック用GPIOの選択。 00：代替クロックにGPIO0を使用。 01：代替クロックにGPIO1を使用。	0x0	R/W
		[5:3]	Reserved	0x0を書き込みます。	0x0	R/W
		2	LFOSC_SEL	低周波発振器の選択。このビットを使用して32kHzまたは1MHzの低周波発振器を選択します。 0：低周波クロックとして32kHzの発振器を使用。 1：低周波クロックとして1MHzの発振器を使用。	0x0	R/W
		1	OSC_1M_EN	1MHzの低周波発振器をイネーブル。このビットを使用して1MHzの低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンにしておく必要があります。	0x0	R/W
		0	OSC_32K_EN	32kHzの低周波発振器をイネーブル。このビットを使用して32 kHzの低周波発振器をオンにします。この発振器を使用するすべての動作期間中、常にオンにしておく必要があります。	0x0	R/W
0x0010	OPMODE	[15:12]	Reserved	予備。	0x0	R
		[11:8]	TIMESLOT_EN	タイム・スロットのイネーブル制御。 0000：タイム・スロット・シーケンスAのみ。0001：タイム・スロット・シーケンスAB。 0010：タイム・スロット・シーケンスABC。 0011：タイム・スロット・シーケンスABCD。 0100：タイム・スロット・シーケンスABCDE。 0101：タイム・スロット・シーケンスABCDEF。 0110：タイム・スロット・シーケンスABCDEFG。 0111：タイム・スロット・シーケンスABCDEFGH。 1000：タイム・スロット・シーケンスABCDEFGHI。 1001：タイム・スロット・シーケンスABCDEFGHIJ。 1010：タイム・スロット・シーケンスABCDEFGHIJK。 1011：タイム・スロット・シーケンスABCDEFGHIJKL。	0x0	R/W
		[7:1]	Reserved	予備。	0x0	

## レジスタの詳細

表 27. グローバル設定レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		0	OP_MODE	動作モードの選択。 0 : スタンバイ。 1 : Goモード。選択したタイム・スロットで動作します。	0x0	R/W
0x0020	INPUT_SLEEP	[15:12]	INP_SLEEP_78	入力ペアIN7とIN8のスリープ状態。 0x0 : どちらの入力もフロート状態。 0x1 : フロート状態でIN7とIN8を短絡。 PAIR78が1に設定されている場合のみ。 0x2 : IN7とIN8をVC1に接続。AIR78が1に設定されている場合は互いに短絡されます。 0x3 : IN7とIN8をVC2に接続。AIR78が1に設定されている場合は互いに短絡されます。 0x4 : IN7をVC1に接続。IN8はフロート状態。 0x5 : IN7をVC1に接続。IN8をVC2に接続。 0x6 : IN7をVC2に接続。IN8はフロート状態。 0x7 : IN7をVC2に接続。IN8をVC1に接続。 0x8 : IN7はフロート状態。IN8をVC1に接続。 0x9 : IN7はフロート状態。IN8をVC2に接続。	0x0	R/W
		[11:4]	Reserved	予備。	0x0	R
		[3:0]	INP_SLEEP_12	入力ペアIN1とIN2のスリープ状態。 0x0 : どちらの入力もフロート状態。 0x1 : フロート状態でIN1とIN2を短絡。PAIR12が1に設定されている場合のみ。 0x2 : IN1とIN2をVC1に接続。PAIR12が1に設定されている場合は互いに短絡されます。 0x3 : IN1とIN2をVC2に接続。PAIR12が1に設定されている場合は互いに短絡されます。 0x4 : IN1をVC1に接続。IN2はフロート状態。 0x5 : IN1をVC1に接続。IN2をVC2に接続。 0x6 : IN1をVC2に接続。IN2はフロート状態。 0x7 : IN1をVC2に接続。IN2をVC1に接続。 0x8 : IN1はフロート状態。IN2をVC1に接続。 0x9 : IN1はフロート状態。IN2をVC2に接続。	0x0	R/W
0x0021	INPUT_CFG	[15:8]	Reserved	予備。	0x0	R
		[7:6]	VC2_SLEEP	VC2のスリープ状態。 0 : スリープ期間中、VC2をAVDDIに設定します。 1 : スリープ期間中、VC2をグラウンドに設定します。 10 : スリープ期間中、VC2をフロート状態にします。	0x0	R/W
		[5:4]	VC1_SLEEP	VC1のスリープ状態。 0 : スリープ期間中、VC1をAVDDIに設定します。 1 : スリープ期間中、VC1をグラウンドに設定します。 10 : スリープ期間中、VC1をフロート状態にします。	0x0	R/W
		3	PAIR78	入力ペアの構成。 0 : IN7とIN8を2つのシングルエンド入力として構成。 1 : IN7とIN8を差動ペアとして構成。	0x0	R/W
		[2:1]	Reserved	予備。	0x0	R
		0	PAIR12	入力ペアの構成。 0 : IN1とIN2を2つのシングルエンド入力として構成。 1 : IN1とIN2を差動ペアとして構成。	0x0	R/W

## レジスタの詳細

## 割込みステータスとコントロール・レジスタ

表 28. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0000	FIFO_STAT US	15	CLEAR_FI FO	FIFOのクリア。1を書き込むと、FIFOへのアクセスが実行されていないときにFIFOを空にします。これによりFIFO_BYTE_COUNTがリセットされて、INT_FIFO_OFLOW、INT_FIFO_UFLOW、およびINT_FIFO_THのステータス・ビットがクリアされます。	0x0	R/W1 C
		14	INT_FIFO_ UFLOW	FIFOのアンダーフロー・エラー。FIFOが空のときに読み出すと、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。CLEAR_FIFOビットを使用してFIFOをクリアした場合も、このビットはクリアされます。	0x0	R/W1 C
		13	INT_FIFO_ OFLOW	FIFOのオーバーフロー・エラー。FIFOに空きスペースがないためにデータが書き込まれなかったとき、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。CLEAR_FIFOビットを使用してFIFOをクリアした場合も、このビットはクリアされます。	0x0	R/W1 C
		[12:11]	Reserved	予備。	0x0	R
		[10:0]	FIFO_BYT E_COUNT	このフィールドはFIFO内のバイト数を示します。	0x0	R
0x0001	INT_STATU S_DATA	15	INT_FIFO_ TH	FIFO_TH割込みステータス。FIFO書き込み時にFIFO内のバイト数がFIFO_THレジスタの値を超えると、このビットがセットされます。このビットに1を書き込むと、この割込みはクリアされます。また、INT_ACLEAR_FIFOビットがセットされているときにFIFO_DATAレジスタが読み出されると、このビットは自動的にクリアされます。	0x0	R/W1 C
		[14:12]	Reserved	予備。	0x0	R
		11	INT_DATA _L	タイム・スロットLのデータ・レジスタ割込みステータス。タイム・スロットLのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Lビットがセットされているときにタイム・スロットLのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		10	INT_DATA _K	タイム・スロットKのデータ・レジスタ割込みステータス。タイム・スロットKのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Kビットがセットされているときにタイム・スロットKのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		9	INT_DATA _J	タイム・スロットJのデータ・レジスタ割込みステータス。タイム・スロットJのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Jビットがセットされているときにタイム・スロットJのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		8	INT_DATA _I	タイム・スロットIのデータ・レジスタ割込みステータス。タイム・スロットIのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Iビットがセットされているときにタイム・スロットIのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		7	INT_DATA _H	タイム・スロットHのデータ・レジスタ割込みステータス。タイム・スロットHのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Hビットがセットされているときにタイム・スロットHのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		6	INT_DATA _G	タイム・スロットGのデータ・レジスタ割込みステータス。タイム・スロットGのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Gビットがセットされているときにタイム・スロットGのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
5	INT_DATA _F	タイム・スロットFのデータ・レジスタ割込みステータス。タイム・スロットFのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Fビットがセットされているときにタイム・スロットFのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C		

## レジスタの詳細

表 28. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		4	INT_DATA_E	タイム・スロットEのデータ・レジスタ割込みステータス。タイム・スロットEのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Eビットがセットされているときにタイム・スロットEのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		3	INT_DATA_D	タイム・スロットDのデータ・レジスタ割込みステータス。タイム・スロットDのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Dビットがセットされているときにタイム・スロットDのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		2	INT_DATA_C	タイム・スロットCのデータ・レジスタ割込みステータス。タイム・スロットCのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Cビットがセットされているときにタイム・スロットCのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		1	INT_DATA_B	タイム・スロットBのデータ・レジスタ割込みステータス。タイム・スロットBのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Bビットがセットされているときにタイム・スロットBのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
		0	INT_DATA_A	タイム・スロットAのデータ・レジスタ割込みステータス。タイム・スロットAのデータ・レジスタが更新されるたびに、このビットがセットされます。このビットに1を書き込むと割込みはクリアされます。INT_ACLEAR_DATA_Aビットがセットされているときにタイム・スロットAのデータ・レジスタが読み出されると、この割込みは自動的にクリアされます。	0x0	R/W1 C
0x0002	INT_STATUS_LEVO	[15:12]	Reserved	予備。	0x0	R
		11	INT_LEVO_L	タイム・スロットLのレベル0割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		10	INT_LEVO_K	タイム・スロットKのレベル0割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		9	INT_LEVO_J	タイム・スロットJのレベル0割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		8	INT_LEVO_I	タイム・スロットIのレベル0割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		7	INT_LEVO_H	タイム・スロットHのレベル0割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		6	INT_LEV1_G	タイム・スロットGのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		5	INT_LEV1_F	タイム・スロットFのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		4	INT_LEV1_E	タイム・スロットEのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		3	INT_LEV1_D	タイム・スロットDのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		2	INT_LEV1_C	タイム・スロットCのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		1	INT_LEV1_B	タイム・スロットBのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
		0	INT_LEV1_A	タイム・スロットAのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C
0x0003	INT_STATUS_LEV1	[15:12]	Reserved	予備。	0x0	R
		11	INT_LEV1_L	タイム・スロットLのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしているとき、このビットがセットされます。	0x0	R/W1 C

## レジスタの詳細

表 28. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		10	INT_LEV1_K	タイム・スロットKのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		9	INT_LEV1_J	タイム・スロットJのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		8	INT_LEV1_I	タイム・スロットIのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		7	INT_LEV1_H	タイム・スロットHのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		6	INT_LEV1_G	タイム・スロットGのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		5	INT_LEV1_F	タイム・スロットFのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		4	INT_LEV1_E	タイム・スロットEのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		3	INT_LEV1_D	タイム・スロットDのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		2	INT_LEV1_C	タイム・スロットCのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		1	INT_LEV1_B	タイム・スロットBのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
		0	INT_LEV1_A	タイム・スロットAのレベル1割込みステータス。データ・レジスタの更新時に設定基準を満たしている、このビットがセットされます。	0x0	R/W1 C
0x0007	INT_ACLEAR	15	INT_ACLEAR_FIFO	FIFO閾値割込みの自動クリア・イネーブル。このビットをセットすると、FIFOが読み出されるたびにFIFO_TH割込みが自動的にクリアされます。	0x1	R/W
		[14:12]	Reserved	予備。	0x0	R
		11	INT_ACLEAR_DATA_L	タイム・スロットL割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットLのデータ・レジスタが読み出されるたびにINT_DATA_L割込みが自動的にクリアされます。	0x1	R/W
		10	INT_ACLEAR_DATA_K	タイム・スロットK割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットKのデータ・レジスタが読み出されるたびにINT_DATA_K割込みが自動的にクリアされます。	0x1	R/W
		9	INT_ACLEAR_DATA_J	タイム・スロットJ割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットJのデータ・レジスタが読み出されるたびにINT_DATA_J割込みが自動的にクリアされます。	0x1	R/W
		8	INT_ACLEAR_DATA_I	タイム・スロットI割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットIのデータ・レジスタが読み出されるたびにINT_DATA_I割込みが自動的にクリアされます。	0x1	R/W
		7	INT_ACLEAR_DATA_H	タイム・スロットH割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットHのデータ・レジスタが読み出されるたびにINT_DATA_H割込みが自動的にクリアされます。	0x1	R/W
		6	INT_ACLEAR_DATA_G	タイム・スロットG割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットGのデータ・レジスタが読み出されるたびにINT_DATA_G割込みが自動的にクリアされます。	0x1	R/W
		5	INT_ACLEAR_DATA_F	タイム・スロットF割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットFのデータ・レジスタが読み出されるたびにINT_DATA_F割込みが自動的にクリアされます。	0x1	R/W
		4	INT_ACLEAR_DATA_E	タイム・スロットE割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットEのデータ・レジスタが読み出されるたびにINT_DATA_E割込みが自動的にクリアされます。	0x1	R/W
		3	INT_ACLEAR_DATA_D	タイム・スロットD割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットDのデータ・レジスタが読み出されるたびにINT_DATA_D割込みが自動的にクリアされます。	0x1	R/W
		2	INT_ACLEAR_DATA_C	タイム・スロットC割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットCのデータ・レジスタが読み出されるたびにINT_DATA_C割込みが自動的にクリアされます。	0x1	R/W

## レジスタの詳細

表 28. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		1	INT_ACLE AR_DATA_ B	タイム・スロットB割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットBのデータ・レジスタが読み出されるたびにINT_DATA_B割込みが自動的にクリアされます。	0x1	R/W
		0	INT_ACLE AR_DATA_ A	タイム・スロットA割込みの自動クリア・イネーブル。このビットをセットすると、タイム・スロットAのデータ・レジスタが読み出されるたびにINT_DATA_A割込みが自動的にクリアされます。	0x1	R/W
0x0014	INT_ENABL E_XD	15	INTX_EN_ FIFO_TH	INT_FIFO_TH割込みをイネーブル。このビットに1を書き込むと、Interrupt XでFIFO閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTX_EN_ FIFO_UFL OW	Interrupt XでINT_FIFO_UFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt XでFIFOアンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTX_EN_ FIFO_OFL OW	Interrupt XでINT_FIFO_OFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt XでFIFOオーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		12	Reserved	予備。	0x0	R
		11	INTX_EN_ DATA_L	INT_DATA_L割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Lステータスの駆動をイネーブルします。	0x0	R/W
		10	INTX_EN_ DATA_K	INT_DATA_K割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Kステータスの駆動をイネーブルします。	0x0	R/W
		9	INTX_EN_ DATA_J	INT_DATA_J割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Jステータスの駆動をイネーブルします。	0x0	R/W
		8	INTX_EN_ DATA_I	INT_DATA_I割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Iステータスの駆動をイネーブルします。	0x0	R/W
		7	INTX_EN_ DATA_H	INT_DATA_H割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Hステータスの駆動をイネーブルします。	0x0	R/W
		6	INTX_EN_ DATA_G	INT_DATA_G割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Gステータスの駆動をイネーブルします。	0x0	R/W
		5	INTX_EN_ DATA_F	INT_DATA_F割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Fステータスの駆動をイネーブルします。	0x0	R/W
		4	INTX_EN_ DATA_E	INT_DATA_E割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Eステータスの駆動をイネーブルします。	0x0	R/W
		3	INTX_EN_ DATA_D	INT_DATA_D割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Dステータスの駆動をイネーブルします。	0x0	R/W
		2	INTX_EN_ DATA_C	INT_DATA_C割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Cステータスの駆動をイネーブルします。	0x0	R/W
		1	INTX_EN_ DATA_B	INT_DATA_B割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Bステータスの駆動をイネーブルします。	0x0	R/W
		0	INTX_EN_ DATA_A	INT_DATA_A割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_DATA_Aステータスの駆動をイネーブルします。	0x0	R/W
0x0015	INT_ENABL E_YD	15	INTY_EN_ FIFO_TH	INT_FIFO_TH割込みをイネーブル。このビットに1を書き込むと、Interrupt YでFIFO閾値ステータスの駆動をイネーブルします。	0x0	R/W
		14	INTY_EN_ FIFO_UFL OW	Interrupt YでINT_FIFO_UFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt YでFIFOアンダーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		13	INTY_EN_ FIFO_OFL OW	Interrupt YでINT_FIFO_OFLOW割込みをイネーブル。このビットに1を書き込むと、Interrupt YでFIFOオーバーフロー・ステータスの駆動をイネーブルします。	0x0	R/W
		12	Reserved	予備。	0x0	R
		11	INTY_EN_ DATA_L	INT_DATA_L割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Lステータスの駆動をイネーブルします。	0x0	R/W
		10	INTY_EN_ DATA_K	INT_DATA_K割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Kステータスの駆動をイネーブルします。	0x0	R/W
		9	INTY_EN_ DATA_J	INT_DATA_J割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Jステータスの駆動をイネーブルします。	0x0	R/W
		8	INTY_EN_ DATA_I	INT_DATA_I割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Iステータスの駆動をイネーブルします。	0x0	R/W
		7	INTY_EN_ DATA_H	INT_DATA_H割込みをイネーブル。このビットに1を書き込むと、Interrupt Yで	0x0	R/W

## レジスタの詳細

表 28. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
			DATA_H	INT_DATA_Hステータスの駆動をイネーブルします。		
		6	INTY_EN_DATA_G	INT_DATA_G割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Gステータスの駆動をイネーブルします。	0x0	R/W
		5	INTY_EN_DATA_F	INT_DATA_F割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Fステータスの駆動をイネーブルします。	0x0	R/W
		4	INTY_EN_DATA_E	INT_DATA_E割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Eステータスの駆動をイネーブルします。	0x0	R/W
		3	INTY_EN_DATA_D	INT_DATA_D割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Dステータスの駆動をイネーブルします。	0x0	R/W
		2	INTY_EN_DATA_C	INT_DATA_C割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Cステータスの駆動をイネーブルします。	0x0	R/W
		1	INTY_EN_DATA_B	INT_DATA_B割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Bステータスの駆動をイネーブルします。	0x0	R/W
		0	INTY_EN_DATA_A	INT_DATA_A割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_DATA_Aステータスの駆動をイネーブルします。	0x0	R/W
0x0016	INT_ENABLER_XLO	[15:12]	Reserved	予備。	0x0	R
		11	INTX_EN_LEV0_L	INT_LEV0_L割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Lステータスの駆動をイネーブルします。	0x0	R/W
		10	INTX_EN_LEV0_K	INT_LEV0_K割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Kステータスの駆動をイネーブルします。	0x0	R/W
		9	INTX_EN_LEV0_J	INT_LEV0_J割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Jステータスの駆動をイネーブルします。	0x0	R/W
		8	INTX_EN_LEV0_I	INT_LEV0_I割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Iステータスの駆動をイネーブルします。	0x0	R/W
		7	INTX_EN_LEV0_H	INT_LEV0_H割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Hステータスの駆動をイネーブルします。	0x0	R/W
		6	INTX_EN_LEV0_G	INT_LEV0_G割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Gステータスの駆動をイネーブルします。	0x0	R/W
		5	INTX_EN_LEV0_F	INT_LEV0_F割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Fステータスの駆動をイネーブルします。	0x0	R/W
		4	INTX_EN_LEV0_E	INT_LEV0_E割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Eステータスの駆動をイネーブルします。	0x0	R/W
		3	INTX_EN_LEV0_D	INT_LEV0_D割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Dステータスの駆動をイネーブルします。	0x0	R/W
		2	INTX_EN_LEV0_C	INT_LEV0_C割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Cステータスの駆動をイネーブルします。	0x0	R/W
		1	INTX_EN_LEV0_B	INT_LEV0_B割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Bステータスの駆動をイネーブルします。	0x0	R/W
0	INTX_EN_LEV0_A	INT_LEV0_A割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV0_Aステータスの駆動をイネーブルします。	0x0	R/W		
0x0017	INT_ENABLER_XL1	[15:12]	Reserved	予備。	0x0	R
		11	INTX_EN_LEV1_L	INT_LEV1_L割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Lステータスの駆動をイネーブルします。	0x0	R/W
		10	INTX_EN_LEV1_K	INT_LEV1_K割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Kステータスの駆動をイネーブルします。	0x0	R/W
		9	INTX_EN_LEV1_J	INT_LEV1_J割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Jステータスの駆動をイネーブルします。	0x0	R/W
		8	INTX_EN_LEV1_I	INT_LEV1_I割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Iステータスの駆動をイネーブルします。	0x0	R/W
		7	INTX_EN_LEV1_H	INT_LEV1_H割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Hステータスの駆動をイネーブルします。	0x0	R/W
		6	INTX_EN_LEV1_G	INT_LEV1_G割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Gステータスの駆動をイネーブルします。	0x0	R/W
		5	INTX_EN_LEV1_F	INT_LEV1_F割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Fステータスの駆動をイネーブルします。	0x0	R/W

## レジスタの詳細

表 28. 割込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		4	INTX_EN_LEV1_E	INT_LEV1_E割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Eステータスの駆動をイネーブルします。	0x0	R/W
		3	INTX_EN_LEV1_D	INT_LEV1_D Interrupt Enable。このビットに1を書き込むと、Interrupt XでINT_LEV1_Dステータスの駆動をイネーブルします。	0x0	R/W
		2	INTX_EN_LEV1_C	INT_LEV1_C割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Cステータスの駆動をイネーブルします。	0x0	R/W
		1	INTX_EN_LEV1_B	INT_LEV1_B割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Bステータスの駆動をイネーブルします。	0x0	R/W
		0	INTX_EN_LEV1_A	INT_LEV1_A割込みをイネーブル。このビットに1を書き込むと、Interrupt XでINT_LEV1_Aステータスの駆動をイネーブルします。	0x0	R/W
0x001A	INT_ENABLER_YL0	[15:12]	Reserved	予備。	0x0	R
		11	INTY_EN_LEV0_L	INT_LEV0_L割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Lステータスの駆動をイネーブルします。	0x0	R/W
		10	INTY_EN_LEV0_K	INT_LEV0_K割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Kステータスの駆動をイネーブルします。	0x0	R/W
		9	INTY_EN_LEV0_J	INT_LEV0_J割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Jステータスの駆動をイネーブルします。	0x0	R/W
		8	INTY_EN_LEV0_I	INT_LEV0_I割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Iステータスの駆動をイネーブルします。	0x0	R/W
		7	INTY_EN_LEV0_H	INT_LEV0_H割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Hステータスの駆動をイネーブルします。	0x0	R/W
		6	INTY_EN_LEV0_G	INT_LEV0_G割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Gステータスの駆動をイネーブルします。	0x0	R/W
		5	INTY_EN_LEV0_F	INT_LEV0_F割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Fステータスの駆動をイネーブルします。	0x0	R/W
		4	INTY_EN_LEV0_E	INT_LEV0_E割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Eステータスの駆動をイネーブルします。	0x0	R/W
		3	INTY_EN_LEV0_D	INT_LEV0_D割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Dステータスの駆動をイネーブルします。	0x0	R/W
		2	INTY_EN_LEV0_C	INT_LEV0_C割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Cステータスの駆動をイネーブルします。	0x0	R/W
		1	INTY_EN_LEV0_B	INT_LEV0_B割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Bステータスの駆動をイネーブルします。	0x0	R/W
		0	INTY_EN_LEV0_A	INT_LEV0_A割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV0_Aステータスの駆動をイネーブルします。	0x0	R/W
0x001B	INT_ENABLER_YL1	[15:12]	Reserved	予備。	0x0	R
		11	INTY_EN_LEV1_L	INT_LEV1_L割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Lステータスの駆動をイネーブルします。	0x0	R/W
		10	INTY_EN_LEV1_K	INT_LEV1_K割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Kステータスの駆動をイネーブルします。	0x0	R/W
		9	INTY_EN_LEV1_J	INT_LEV1_J割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Jステータスの駆動をイネーブルします。	0x0	R/W
		8	INTY_EN_LEV1_I	INT_LEV1_I割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Iステータスの駆動をイネーブルします。	0x0	R/W
		7	INTY_EN_LEV1_H	INT_LEV1_H割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Hステータスの駆動をイネーブルします。	0x0	R/W
		6	INTY_EN_LEV1_G	INT_LEV1_G割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Gステータスの駆動をイネーブルします。	0x0	R/W
		5	INTY_EN_LEV1_F	INT_LEV1_F割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Fステータスの駆動をイネーブルします。	0x0	R/W
		4	INTY_EN_LEV1_E	INT_LEV1_E割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Eステータスの駆動をイネーブルします。	0x0	R/W
		3	INTY_EN_LEV1_D	INT_LEV1_D割込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Dステータスの駆動をイネーブルします。	0x0	R/W
		2	INTY_EN_LEV1_C	INT_LEV1_C割込みをイネーブル。このビットに1を書き込むと、Interrupt Yで	0x0	R/W

## レジスタの詳細

表 28. 割り込みステータスとコントロール・レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x001E	FIFO_STAT US_BYTES		LEV1_C	INT_LEV1_Cステータスの駆動をイネーブルします。		
		1	INTY_EN_ LEV1_B	INT_LEV1_B割り込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Bステータスの駆動をイネーブルします。	0x0	R/W
		0	INTY_EN_ LEV1_A	INT_LEV1_A割り込みをイネーブル。このビットに1を書き込むと、Interrupt YでINT_LEV1_Aステータスの駆動をイネーブルします。	0x0	R/W
		[15:6]	Reserved	予備。	0x0	R
		5	ENA_STAT_ LX	タイム・スロットIからタイム・スロットLまでのレベル0およびレベル1割り込みステータス・バイトをイネーブル。このバイトには、タイム・スロットIからタイム・スロットLまでのレベル0およびレベル1割り込みの割り込みステータスが格納されます。	0x0	R/W
		4	ENA_STAT_ L1	タイム・スロットAからタイム・スロットHまでのレベル1割り込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのレベル1割り込みの割り込みステータスが格納されます。	0x0	R/W
		3	ENA_STAT_ L0	タイム・スロットAからタイム・スロットHまでのレベル0割り込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのレベル0割り込みの割り込みステータスが格納されます。	0x0	R/W
		2	ENA_STAT_ D2	タイム・スロットIからタイム・スロットLまでのデータ割り込みステータス・バイトをイネーブル。このバイトには、タイム・スロットIからタイム・スロットLまでのデータ割り込みステータスが格納されます。	0x0	R/W
1	ENA_STAT_ D1	タイム・スロットAからタイム・スロットHまでのデータ割り込みステータス・バイトをイネーブル。このバイトには、タイム・スロットAからタイム・スロットHまでのデータ割り込みステータスが格納されます。	0x0	R/W		
0	ENA_STAT_ SUM	ステータス・サマリー・バイトをイネーブル。このバイトがイネーブルされている場合は、最後にイネーブルされたタイム・スロット・データの後に、概要パターンが格納されたステータス・バイトをFIFOに書き込みます。	0x0	R/W		

1 R/WICは、1を書き込んでクリアすることを表しています。

## 閾値の設定とコントロール・レジスタ

表 29. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0006	FIFO_TH	[15:10]	Reserved	予備。	0x00	R
		[9:0]	FIFO_TH	FIFO割り込みの生成閾値。FIFO書き込み時にFIFO内のバイト数がこの値を超えると、FIFO割り込みを生成します。FIFOは512バイトです。したがって、FIFO_THの最大値は0x1FFです。	0x000	R/W
0x0115	THRESH_CFG_A	[15:8]	Reserved	予備。	0x0	R
0x0135	THRESH_CFG_B	7	THRESH1_CHAN_x	レベル1割り込みのチャンネル選択。	0x0	R/W
0x0155	THRESH_CFG_C			0 : チャンネル1を使用。		
0x0175	THRESH_CFG_D			1 : チャンネル2を使用。		
0x0195	THRESH_CFG_E	6	THRESH1_DIR_x	レベル1割り込みの比較方向。	0x0	R/W
0x01B5	THRESH_CFG_F			0 : レベル1割り込みの閾値を下回る方向で比較する場合にセットします。		
0x01D5	THRESH_CFG_G			1 : レベル1割り込みの閾値を上回る方向で比較する場合にセットします。		

## レジスタの詳細

表 29. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス					
0x01F5	THRESH_CFG_H	[5:4]	THRESH1_TYPE_x	レベル1割込みの比較タイプ。 0：オフ（比較しない）。 1：信号と比較。 10：暗値と比較。 11：予備。	0x0	R/W					
0x0215	THRESH_CFG_I										
0x0235	THRESH_CFG_J										
0x0255	THRESH_CFG_K										
0x0275	THRESH_CFG_L	3	THRESH0_CHAN_x	レベル0割込みのチャンネル選択。 0：チャンネル1を使用。 1：チャンネル2を使用。	0x0	R/W					
		2	THRESH0_DIR_x	レベル0割込みの比較方向。 0：レベル0割込みの閾値を下回る方向で比較する場合にセットします。 1：レベル0割込みの閾値を上回る方向で比較する場合にセットします。	0x0	R/W					
		[1:0]	THRESH0_TYPE_x	レベル0割込みの比較タイプ。 0：オフ（比較しない）。 1：信号と比較。 10：暗値と比較。 11：予備。	0x0	R/W					
0x0116	THRESH0_A	[15:13]	Reserved	予備。	0x0	R					
0x0136	THRESH0_B	[12:8]	THRESH0_SHIFT_x	レベル0割込み比較閾値のシフト量。比較する前に、ここで設定した量だけTHRESH0_VALUE_xをシフトします。	0x0	R/W					
0x0156	THRESH0_C										
0x0176	THRESH0_D	[7:0]	THRESH0_VALUE_x	レベル0割込み比較閾値の値。	0x0	R/W					
0x0196	THRESH0_E										
0x01B6	THRESH0_F										
0x01D6	THRESH0_G										
0x01F6	THRESH0_H										
0x0216	THRESH0_I										
0x0236	THRESH0_J										
0x0256	THRESH0_K										
0x0276	THRESH0_L										
0x0117	THRESH1_A						[15:13]	Reserved	予備。	0x0	R
0x0137	THRESH1_B						[12:8]	THRESH1_SHIFT_x	レベル1割込み比較閾値のシフト量。比較する前に、ここで設定した量だけTHRESH1_VALUE_xをシフトします。	0x0	R/W
0x0157	THRESH1_C										
0x0177	THRESH1_D	[7:0]	THRESH1_VALUE_x	レベル1割込み比較閾値の値。	0x0	R/W					
0x0197	THRESH1_E										
0x01B7	THRESH1_F										
0x01D7	THRESH1_G										
0x01F7	THRESH1_H										
0x0217	THRESH1_I										
0x0237	THRESH1_J										
0x0257	THRESH1_K										
0x0277	THRESH1_L										

## レジスタの詳細

## クロックとタイム・スタンプの設定、およびコントロール・レジスタ

表 30. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0009	OSC32M	[15:8]	Reserved	予備。	0x0	R
		[7:0]	OSC_32M_FREQ_ADJ	高周波発振器の周波数制御。最小周波数は0x00、最大周波数は0xFFです。	0x90	R/W
0x000A	OSC32M_CAL	15	OSC_32M_CAL_START	高周波発振器キャリブレーション・サイクルのスタート。このビットに1を書き込むと、高周波発振器のキャリブレーション・サイクルを開始します。1MHzの低周波発振器を使用している場合は低周波発振器の128サイクル分、32kHzの低周波発振器を使用している場合は低周波発振器の32サイクル分にわたり、32MHz発振器のサイクル数をカウントします。OSC_32M_CAL_COUNTビット・フィールドがこのカウント数で更新されます。キャリブレーション・サイクルが完了すると、キャリブレーション回路がOSC_32M_CAL_STARTビットをクリアします。	0x0	R/W
		[14:0]	OSC_32M_CAL_COUNT	高周波発振器のキャリブレーション・カウンタ。このビット・フィールドには、最後に行われた高周波発振器のキャリブレーション・サイクルにおける32MHzサイクルのカウント数の合計が格納されます。	0x0	R
0x000B	OSC1M	[15:11]	Reserved	予備。	0x0	R
		10	CLK_CAL_ENA	発振器キャリブレーション用のクロックをイネーブル。0（デフォルト）に設定した場合、発振器のキャリブレーション回路はディスエーブルされます。このビットを1に設定すると、発振器のキャリブレーション回路をオンにします。	0x0	R/W
		[9:0]	OSC_1M_FREQ_ADJ	低周波発振器の周波数制御。最小周波数は0x000、最大周波数は0x3FFです。	0x2B2	R/W
0x000C	OSC32K	15	CAPTURE_TIMESTAMP	タイム・スタンプの取得をイネーブル。このビット・フィールドを使用して、タイム・スタンプ取得機能を有効にします。このビット・フィールドが設定されている場合、タイム・スタンプ入力（デフォルトでGPIO0）の次の立上がりエッジでタイム・スタンプを取得します。タイム・スタンプが生成されると、このビット・フィールドはクリアされます。	0x0	R/W
		[14:6]	Reserved	予備。	0x0	R
		[5:0]	OSC_32K_ADJUST	32kHz発振器のトリム。 00 0000 : 最大周波数。 01 0010 : デフォルト周波数。 11 1111 : 最小周波数。	0x12	R/W
0x0011	STAMP_L	[15:0]	TIMESTAMP_COUNT_L	前のタイム・スタンプのカウント。下位16ビット。	0x0	R
0x0012	STAMP_H	[15:0]	TIMESTAMP_COUNT_H	前のタイム・スタンプのカウント。上位16ビット。	0x0	R
0x0013	STAMPDELTA	[15:0]	TIMESTAMP_SLOT_DELTA	カウントは次のタイム・スロットが開始されるまで保持されます。	0x0	R

## システム・レジスタ

表 31. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0008	CHIP_ID	[15:8]	Version	マスクのバージョン。	0x0	R
		[7:0]	CHIP_ID	チップID。	0xC0	R
0x002E	DATA_HOLD_FLAG	[15:12]	Reserved	予備。	0x0	R
		11	HOLD_REGS_L	タイム・スロットLのデータ・レジスタの更新を停止します。 0 : データ・レジスタの更新を許可します。	0x0	R/W

## レジスタの詳細

表 31. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				1: データ・レジスタの現在の内容を保持します。		
		10	HOLD_REGS_K	タイム・スロットKのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		9	HOLD_REGS_J	タイム・スロットJのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		8	HOLD_REGS_I	タイム・スロットIのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		7	HOLD_REGS_H	タイム・スロットHのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		6	HOLD_REGS_G	タイム・スロットGのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		5	HOLD_REGS_F	タイム・スロットFのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		4	HOLD_REGS_E	タイム・スロットEのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		3	HOLD_REGS_D	タイム・スロットDのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		2	HOLD_REGS_C	タイム・スロットCのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		1	HOLD_REGS_B	タイム・スロットBのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W
		0	HOLD_REGS_A	タイム・スロットAのデータ・レジスタの更新を停止します。 0: データ・レジスタの更新を許可します。 1: データ・レジスタの現在の内容を保持します。	0x0	R/W

## 入出力の設定、およびコントロール・レジスタ

表 32. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0022	GPIO_CFG	[15:14]	GPIO_SLEW	GPIOxピンのスルー制御。 0: 最も遅い。 1: 遅い。 10: 最も速い。 11: 速い。	0x0	R/W
		[13:12]	GPIO_DRV	GPIOxピンの駆動制御。 0: 中程度。 1: 弱い。 10: 強い。 11: 強い。	0x0	R/W
		[11:6]	Reserved	予備。	0x0	R
		[5:3]	GPIO_PIN_CFG1	GPIO1のピン設定。 000: ディスエーブル (トライステート、入力バッファ・オフ)。 001: 入力をイネーブル。 010: 出力-通常。 011: 出力-反転。 100: プルダウンのみ-通常。 101: プルダウンのみ-反転。	0x0	R/W

## レジスタの詳細

表 32. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				110 : プルアップのみ-通常。 111 : プルアップのみ-反転。		
		[2:0]	GPIO_PIN_CFG0	GPIO0のピン設定。 000 : ディスエーブル (トライステート、入力バッファ・オフ)。 001 : 入力をイネーブル。 010 : 出力-通常。 011 : 出力-反転。 100 : プルダウンのみ-通常。 101 : プルダウンのみ-反転。110 : プルアップのみ-通常。 111 : プルアップのみ-反転。	0x0	R/W
0x0023	GPIO01	15	Reserved	予備。	0x0	R
		[14:8]	GPIOOUT1	GPIO1出力信号の選択。 0x00 : 出力ロジック0。 0x01 : 出力ロジック1。 0x02 : Interrupt X。 0x03 : Interrupt Y。 0x08 : LED1Aアンプをイネーブル。 0x09 : LED2Aアンプをイネーブル。 0x0A : LED3Aアンプをイネーブル。 0x0B : LED4Aアンプをイネーブル。 0x0C : 任意のLEDアンプをイネーブル。 0x0F : 32MHz発振器を64分周した出力 (500kHz)。 0x10 : TS_GPIO_xビットとTS_GPIO_SLEEPビットで定義された タイム・スロットの特定出力パターン。 0x11 : スリープ状態。 0x16 : 低周波発振器の出力。 0x17 : 32MHz発振器の出力。 0x18 : 32MHz発振器を32分周した出力 (1 MHz)。 0x20 : タイム・スロットAをアクティブ。 0x21 : タイム・スロットBをアクティブ。 0x22 : タイム・スロットCをアクティブ。 0x23 : タイム・スロットDをアクティブ。 0x24 : タイム・スロットEをアクティブ。 0x25 : タイム・スロットFをアクティブ。 0x26 : タイム・スロットGをアクティブ。 0x27 : タイム・スロットHをアクティブ。 0x28 : タイム・スロットIをアクティブ。 0x29 : タイム・スロットJをアクティブ。 0x2A : タイム・スロットKをアクティブ。 0x2B : タイム・スロットLをアクティブ。 0x30 : タイム・スロットAのLEDパルス。 0x31 : タイム・スロットBのLEDパルス。 0x32 : タイム・スロットCのLEDパルス。 0x33 : タイム・スロットDのLEDパルス。 0x34 : タイム・スロットEのLEDパルス。 0x35 : タイム・スロットFのLEDパルス。 0x36 : タイム・スロットGのLEDパルス。 0x37 : タイム・スロットHのLEDパルス。 0x38 : タイム・スロットIのLEDパルス。 0x39 : タイム・スロットJのLEDパルス。 0x3A : タイム・スロットKのLEDパルス。 0x3B : タイム・スロットLのLEDパルス。 0x3F : 任意のタイム・スロットのLEDパルス。 0x40 : タイム・スロットAの変調パルス。 0x41 : タイム・スロットBの変調パルス。 0x42 : タイム・スロットCの変調パルス。 0x43 : タイム・スロットDの変調パルス。 0x44 : タイム・スロットEの変調パルス。	0x0	R/W

## レジスタの詳細

表 32. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				0x45: タイム・スロットFの変調パルス。 0x46: タイム・スロットGの変調パルス。 0x47: タイム・スロットHの変調パルス。 0x48: タイム・スロットIの変調パルス。 0x49: タイム・スロットJの変調パルス。 0x4A: タイム・スロットKの変調パルス。 0x4B: タイム・スロットLの変調パルス。 0x4F: 任意のタイム・スロットの変調パルス。 0x50: タイム・スロットAで発生したデータ・サイクルを出力。 外部デバイスをADPD4200のデシメーションされたデータ・レートと同期させる場合に有用です。 0x51: タイム・スロットBで発生したデータ・サイクルを出力します。 0x52: タイム・スロットCで発生したデータ・サイクルを出力します。 0x53: タイム・スロットDで発生したデータ・サイクルを出力します。 0x54: タイム・スロットEで発生したデータ・サイクルを出力します。 0x55: タイム・スロットFで発生したデータ・サイクルを出力します。 0x56: タイム・スロットGで発生したデータ・サイクルを出力します。 0x57: タイム・スロットHで発生したデータ・サイクルを出力します。 0x58: タイム・スロットIで発生したデータ・サイクルを出力します。 0x59: タイム・スロットJで発生したデータ・サイクルを出力します。 0x5A: タイム・スロットKで発生したデータ・サイクルを出力します。 0x5B: タイム・スロットLで発生したデータ・サイクルを出力します。 0x5F: 任意のタイム・スロットで発生したデータ・サイクルを出力します。		
		7	Reserved	予備。	0x0	R
		[6:0]	GPIOOUT0	GPIO0出力信号の選択。選択肢はGPIOOUT1で説明した内容と同じです。	0x0	R/W
		[15:4]	Reserved	予備。	0x0	R
		[3:0]	GPIO_INPUT	GPIO入力の値（イネーブルの場合）。入力としてイネーブルされたGPIOxに存在する値のリードバック。ビット0がGPIO0、ビット1がGPIO1です。	0x0	R
		[15:9]	Reserved	予備。	0x0	R
		8	TS_GPIO_SLEEP	GPIOOUTxが0x10に設定されている場合、GPIOは、タイム・スロットの最後とスリープ期間にTS_GPIO_SLEEPの値に戻ります。	0x0	R/W
		7	TIMESTAMP_INV	タイム・スタンプ・トリガの反転。 0: タイム・スタンプ・トリガは立上がりエッジです。 1: タイム・スタンプ・トリガは立下がりエッジです。	0x0	R/W
		6	TIMESTAMP_ALWAYS_EN	タイム・スタンプを常にオンにします。このビットが設定されている場合、CAPTURE_TIMESTAMPは自動的にクリアされません。このビットによって、タイム・スタンプは常にアクティブになります。	0x0	R/W
		[5:4]	TIMESTAMP_GPIO	タイム・スタンプに使用するGPIOの選択。 0x0: タイム・スタンプにGPIO0を使用（デフォルト）。 0x1: タイム・スタンプにGPIO1を使用。	0x0	R/W
		3	Reserved	予備。	0x0	R/W

## レジスタの詳細

表 32. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		2	EXT_SYNC_EN	外部同期をイネーブル。イネーブルされた場合、時間カウンタではなく、EXT_SYNC_GPIOで選択したGPIOを使用してサンプルをトリガします。	0x0	R/W
		[1:0]	EXT_SYNC_GPIO	外部同期用のGPIOxを選択します。 00：外部同期にGPIO0を使用。 01：外部同期にGPIO1を使用。	0x0	R/W
0x00B4	IO_ADJUST	[15:4]	Reserved	0x005に設定します。	0x005	R/W
		[3:2]	SPI_SLEW	SPIピンのスルー制御。 0：最も遅い。 1：遅い。 10：最も速い。 11：速い。	0x0	R/W
		[1:0]	SPI_DRV	SPIピンの駆動制御。 0：中程度。 1：弱い。 10：強い。 11：強い。	0x0	R/W

## タイム・スロット設定レジスタ

表 33. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0100	TS_CTRL_A	15	SUBSAMPLE_x	DECIMATE_FACTOR_xを使用したサブサンプリング。このビットが設定されている場合は、選択したタイム・スロットを、タイム・スロット・シーケンス (DECIMATE_FACTOR_x + 1) 回ごとに1回だけ実行します。	0x0	R/W
0x0120	TS_CTRL_B					
0x0140	TS_CTRL_C					
0x0160	TS_CTRL_D					
0x0180	TS_CTRL_E					
0x01A0	TS_CTRL_F					
0x01C0	TS_CTRL_G	14	CH2_EN_x	チャンネル2のイネーブル。 0：チャンネル2をディスエーブルします。 1：チャンネル2をイネーブルします。	0x0	R/W
0x01E0	TS_CTRL_H					
0x0200	TS_CTRL_I	[13:12]	SAMPLE_TYPE_x	タイム・スロットxのサンプリング・タイプ 00：標準のサンプリング・モード。 01：1領域のデジタル積分モード。 10：2領域のデジタル積分モード。 11：インパルス応答モード。	0x0	R/W
0x0220	TS_CTRL_J					
0x0240	TS_CTRL_K					
0x0260	TS_CTRL_L					
		[11:10]	INPUT_R_SELECT_x	入力抵抗 (R <sub>IN</sub> ) の選択。 00：500Ω。 01：6.25kΩ 10：予備。 11：予備。	0x0	R/W
		[9:0]	TIMESLOT_OFFSET_x	タイム・スロットxを、64 × 1MHz低周波発振器のサイクル数、または2 × 32kHz低周波発振器のサイクル数だけオフセットします。	0x0	R/W
0x0101	TS_PATH_A	[15:12]	PRE_WIDTH_x	タイム・スロットxのプリコンディショニング期間。この値は2μs刻みで設定します。値を0にするとプリコンディショニング状態をスキップします。デフォルトは8μsです。	0x4	R/W
0x0121	TS_PATH_B					
0x0141	TS_PATH_C	9	TS_GPIO_x	タイム・スロットをタイム・スロットxに特定する値。GPIOOUTxが0x10に設定され、TS_GPIO_xが1に設定されている場合、GPIOOUTxで選択したGPIOは1を出力します。同時にTS_GPIO_xで選択したタイム・スロットがアクティブになります。GPIOは、タイム・スロットの終了時にTS_GPIO_SLEEP値に戻ります。	0x0	R/W
0x0161	TS_PATH_D					
0x0181	TS_PATH_E					
0x01A1	TS_PATH_F					
0x01C1	TS_PATH_G					
0x01E1	TS_PATH_H					
0x0201	TS_PATH_I					
0x0221	TS_PATH_J					
0x0241	TS_PATH_K					
0x0261	TS_PATH_L					
		[8:0]	AFE_PATH_CFG_x	信号パスの選択。 0x0DA：TIA、BPF、積分器、ADC。	0x0DA	R/W

## レジスタの詳細

表 33. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				0x0E6 : TIA、積分器、ADC。 0x106 : TIA、ADC。 0x101 : ADC。 0x0E1 : バッファ、ADC。		
0x0102 0x0122 0x0142 0x0162 0x0182 0x01A2 0x01C2 0x01E2 0x0202 0x0222 0x0242 0x0262	INPUTS_A INPUTS_B INPUTS_C INPUTS_D INPUTS_E INPUTS_F INPUTS_G INPUTS_H INPUTS_I INPUTS_J INPUTS_K INPUTS_L	[15:12]	INP78_x	IN7とIN8の入力ペアのイネーブル。 0000 : 入力ペアをディスエーブルします。IN7とIN8はどちらも接続されません。 0001 : IN7はチャンネル1に接続します。IN8は接続されません。 0010 : IN7はチャンネル2に接続します。IN8は接続されません。 0011 : IN7は接続されません。IN8はチャンネル1に接続します。 0100 : IN7は接続されません。IN8はチャンネル2に接続します。 0101 : IN7はチャンネル1に接続します。IN8はチャンネル2に接続します。 0110 : IN7はチャンネル2に接続します。IN8はチャンネル1に接続します。 0111 : IN7とIN8をチャンネル1に接続します。シングルエンド入力か差動入力かはPAIR78によって決まります。 1000 : IN7とIN8をチャンネル2に接続します。シングルエンド入力か差動入力かはPAIR78によって決まります。	0x0	R/W
		[11:4]	Reserved	予備。	0x0	R
		[3:0]	INP12_x	IN1とIN2の入力ペアのイネーブル。 0000 : 入力ペアをディスエーブルします。IN1とIN2はどちらも接続されません。 0001 : IN1はチャンネル1に接続します。IN2は接続されません。 0010 : IN1はチャンネル2に接続します。IN2は接続されません。 0011 : IN1は接続されません。IN2はチャンネル1に接続します。 0100 : IN1は接続されません。IN2はチャンネル2に接続します。 0101 : IN1はチャンネル1に接続します。IN2はチャンネル2に接続します。 0110 : IN1はチャンネル2に接続します。IN2はチャンネル1に接続します。 0111 : IN1とIN2をチャンネル1に接続します。シングルエンド入力か差動入力かはPAIR12によって決まります。 1000 : IN1とIN2をチャンネル2に接続します。シングルエンド入力か差動入力かはPAIR12によって決まります。	0x0	R/W
0x0103 0x0123 0x0143 0x0163 0x0183 0x01A3 0x01C3 0x01E3 0x0203 0x0223 0x0243 0x0263	CATHODE_A CATHODE_B CATHODE_C CATHODE_D CATHODE_E CATHODE_F CATHODE_G CATHODE_H CATHODE_I CATHODE_J CATHODE_K CATHODE_L	15	Reserved	予備。	0x0	R
		[14:12]	PRECON_x	タイム・スロットxでイネーブルされた入力のプリコンディショニング値。 000 : 入力をフロート状態にします。 001 : VC1にプリコンディショニングします。 010 : VC2にプリコンディショニングします。 011 : VICMにプリコンディショニングします。入力が差動に設定されている場合に使用します。 100 : TIA入力を使用してプリコンディショニングします。 101 : TIA_VREFを使用してプリコンディショニングします。 110 : 差動ペアを短絡させることによってプリコンディショニングします。	0x0	R/W
		[11:10]	VC2_PULSE_x	タイム・スロットxにおけるVC2パルス制御。 00 : パルスなし。 01 : 次のタイム・スロットxでVC2をオルタネートしま	0x0	R/W

## レジスタの詳細

表 33. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
				す。 10 : 変調パルスを使用してVC2_ALT_xで指定したオルタネート値にパルスを出力します。		
		[9:8]	VC2_ALT_x	タイム・スロットxにおけるVC2のオルタネート・パルス・ステート。 00 : VDD。 01 : TIA_VREF。 10 : TIA_VREF + 250mV。 11 : GND	0x0	R/W
		[7:6]	VC2_SEL_x	タイム・スロットxにおけるVC2のアクティブ・ステート。 00 : VDD。 01 : TIA_VREF。 10 : TIA_VREF + 250mV。 11 : GND	0x0	R/W
		[5:4]	VC1_PULSE_x	タイム・スロットxにおけるVC1パルス制御。 00 : パルスなし。 01 : 次のタイム・スロットxでVC1をオルタネートします。 10 : 変調パルスを使用してVC1_ALT_xで指定したオルタネート値にパルスを出力します。	0x0	R/W
		[3:2]	VC1_ALT_x	タイム・スロットxにおけるVC1のオルタネート・パルス・ステート。 00 : VDD。 01 : TIA_VREF。 10 : TIA_VREF + 250mV。 11 : GND	0x0	R/W
		[1:0]	VC1_SEL_x	タイム・スロットxにおけるVC1のアクティブ・ステート。 00 : VDD。 01 : TIA_VREF。 10 : TIA_VREF + 250mV。 11 : GND	0x0	R/W
0x0104	AFE_TRIM_A	15	Reserved	予備	0x0	R/W
0x0124	AFE_TRIM_B	[13:12]	CH2_TRIM_INT_x	AFE_INT_C_BUF_x = 0のとき、積分器の入力抵抗を設定します。AFE_INT_C_BUF_x = 1のとき、バッファ・ゲインを設定します。	0x0	R/W
0x0144	AFE_TRIM_C					
0x0164	AFE_TRIM_D			<b>AFE_INT_C_BUF_x = 0</b>	<b>AFE_INT_C_BUF_x = 1</b>	
0x0184	AFE_TRIM_E			00 : 400kΩ。	00 : ゲイン = 1。	
0x01A4	AFE_TRIM_F			01 : 00kΩ。 10 : 100kΩ。	01 : ゲイン = 1。	
0x01C4	AFE_TRIM_G			11 : 00kΩ。	10 : ゲイン = 0.7。	
0x01E4	AFE_TRIM_H				11 : ゲイン = 0.7。	
0x0204	AFE_TRIM_I	[12:11]	CH1_TRIM_INT_x	AFE_INT_C_BUF_x = 0のとき、積分器の入力抵抗を設定します。AFE_INT_C_BUF_x = 1のとき、バッファ・ゲインを設定します。	0x0	R/W
0x0224	AFE_TRIM_J					
0x0244	AFE_TRIM_K			<b>AFE_INT_C_BUF_x = 0</b>	<b>AFE_INT_C_BUF_x = 1</b>	
0x0264	AFE_TRIM_L			00 : 400kΩ。	00 : ゲイン = 1。	
				01 : 200kΩ。	01 : ゲイン = 1。	
				10 : 100kΩ。	10 : ゲイン = 0.7。	
				11 : 100kΩ。	11 : ゲイン = 0.7。	
		10	VREF_PULSE_x	TIA_VREFのパルス制御。 0 : パルスなし。 1 : TIA_VREFに変調パルスをベースにしたパルスを印加します。	0x0	R/W
		[9:8]	AFE_TRIM_VREF_x	TIA_VREF電圧の選択。 00 : TIA_VREF = 1.1385V。 01 : TIA_VREF = 1.012V。 10 : TIA_VREF = 0.8855V。 11 : TIA_VREF = 1.265V。	0x3	R/W

## レジスタの詳細

表 33. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
		[7:6]	VREF_PULSE_VAL_x	TIA_VREFパルスのオルタネート値。 00 : TIA_VREF = 1.1385Vに変調します。 01 : TIA_VREF = 1.012Vに変調します。 10 : TIA_VREF = 0.8855Vに変調します。 11 : TIA_VREF = 1.265Vに変調します。	0x3	R/W
		[5:3]	TIA_GAIN_CH2_x	チャンネル2のTIA抵抗ゲイン設定 000 : 200kΩ。 001 : 100kΩ。 010 : 50kΩ。 011 : 25kΩ。 100 : 12.5kΩ。	0x0	R/W
		[2:0]	TIA_GAIN_CH1_x	チャンネル1のTIA抵抗ゲイン設定 000 : 200kΩ。 001 : 100kΩ。 010 : 50kΩ。 011 : 25kΩ。 100 : 12.5kΩ。	0x0	R/W
0x010D 0x012D 0x014D 0x016D 0x018D 0x01AD 0x01CD 0x01ED 0x020D 0x022D 0x024D 0x026D	PATTERN_A PATTERN_B PATTERN_C PATTERN_D PATTERN_E PATTERN_F PATTERN_G PATTERN_H PATTERN_I PATTERN_J PATTERN_K PATTERN_L	[15:12]	LED_DISABLE_x	4パルスのLEDディスエーブル・パターン。1に設定すると、マッチング位置での4パルス・グループによるLEDパルスがディスエーブルされます。LSBは最初のパルスにマップされます。	0x0	R/W
		[11:8]	MOD_DISABLE_x	4パルスの変調ディスエーブル・パターン。1に設定すると、マッチング位置での4パルス・グループによる変調パルスがディスエーブルされます。0x0LSBは最初のパルスにマップされます。	0x0	R/W
		[7:4]	SUBTRACT_x	4パルスの減算パターン。1に設定すると、マッチング位置における4パルス・グループでの計算が無効になります。0x0LSBは最初のパルスにマップされます。	0x0	R/W
		[3:0]	REVERSE_INTEG_x	4パルス積分の反転パターン。1に設定すると、マッチング位置において積分器の4パルス・グループ内の正と負の順序を逆にします。LSBは最初のパルスにマップされます。	0x0	R/W
0x0110 0x0130 0x0150 0x0170 0x0190 0x01B0 0x01D0 0x01F0 0x0210 0x0230 0x0250 0x0270	DATA_FORMAT_A DATA_FORMAT_B DATA_FORMAT_C DATA_FORMAT_D DATA_FORMAT_E DATA_FORMAT_F DATA_FORMAT_G DATA_FORMAT_H DATA_FORMAT_I DATA_FORMAT_J DATA_FORMAT_K DATA_FORMAT_L	[15:11]	DARK_SHIFT_x	タイム・スロットxでのFIFO書き込み前に暗データを右にシフトするビット数。0ビットから32ビットの間で選択できます。	0x0	R/W
		[10:8]	DARK_SIZE_x	タイム・スロットxでFIFOに書き込む暗データのバイト数。0バイトから4バイトの間で選択できます。	0x0	R/W
		[7:3]	SIGNAL_SHIFT_x	タイム・スロットxでのFIFO書き込み前に信号データを右にシフトするビット数。0ビットから32ビットの間で選択できます。	0x0	R/W
		[2:0]	SIGNAL_SIZE_x	タイム・スロットxでFIFOに書き込む信号データのバイト数。0バイトから4バイトの間で選択できます。	0x3	R/W
0x0112 0x0132 0x0152 0x0172 0x0192 0x01B2 0x01D2 0x01F2 0x0212 0x0232 0x0252 0x0272	DECIMATE_A DECIMATE_B DECIMATE_C DECIMATE_D DECIMATE_E DECIMATE_F DECIMATE_G DECIMATE_H DECIMATE_I DECIMATE_J DECIMATE_K DECIMATE_L	[15:11]	Reserved	0x0を書き込みます。	0x0	R
		[10:4]	DECIMATE_FACTOR_x	サンプル分周器をデシメーション。出力データ・レートは、サンプリング・レート ÷ (DECIMATE_FACTOR_x + 1)。1~128でデシメーションします。	0x0	R/W
		[3:0]	DECIMATE_TYPE_x	デシメーション・タイプの選択。 0 : ブロック合計、1次のCICを使用。 1 : 2次のCICを使用した信号。 10 : 3次のCICを使用した信号。 11 : 4次のCICを使用した信号。 100 : 予備。	0x0	R/W

## レジスタの詳細

## AFEタイミング設定レジスタ

表 34. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0107	COUNTS_A	[15:8]	NUM_INT_x	ADCサイクル数またはアキュジション幅。ADC変換ごとのアナログ積分サイクル数、またはデジタル積分およびインパルス・モードでのアキュジション幅です。0に設定することはできません。	0x1	R/W
0x0127	COUNTS_B					
0x0147	COUNTS_C					
0x0167	COUNTS_D					
0x0187	COUNTS_E					
0x01A7	COUNTS_F					
0x01C7	COUNTS_G					
0x01E7	COUNTS_H					
0x0207	COUNTS_I					
0x0227	COUNTS_J					
0x0247	COUNTS_K					
0x0267	COUNTS_L					
0x0108	PERIOD_A	[15:14]	Reserved	予備。	0x0	R
0x0128	PERIOD_B	[13:12]	MOD_TYPE_x	変調接続タイプ。 00：TIAは、プリコンディション後、常に入力と接続し続けます。接続の変調はありません。 01：フロート・タイプの動作。変調パルスを使用して入力からTIAにパルス接続します。パルスとパルスの間はフロート状態です。 10：非フロート・タイプの接続変調。入力からTIAにパルス接続します。パルスとパルスの間はプリコンディション値に接続します。	0x0	R/W
0x0148	PERIOD_C					
0x0168	PERIOD_D					
0x0188	PERIOD_E					
0x01A8	PERIOD_F					
0x01C8	PERIOD_G					
0x01E8	PERIOD_H					
0x0208	PERIOD_I					
0x0228	PERIOD_J					
0x0248	PERIOD_K					
0x0268	PERIOD_L					
		[11:10]	Reserved	予備。	0x0	R
		[9:0]	MIN_PERIOD_x	パルス繰り返しの最小周期（単位：μs）。自動計算の周期にオーバーライドします。フロート・タイプ動作で使用し、次式を使って2番目以降のフロートのフロート時間を設定します。フロート時間 = MIN_PERIOD_x - MOD_WIDTH_x。	0x0	R/W
0x010A	INTEG_SETUP_A	15	SINGLE_INTEG_x	シングル積分パルスの使用。 0：生成された積分器のクロックを両方使用します。 1：積分器の2番目のクロックをスキップします。	0x0	R/W
0x012A	INTEG_SETUP_B					
0x014A	INTEG_SETUP_C					
0x016A	INTEG_SETUP_D					
0x018A	INTEG_SETUP_E	[14:12]	CH2_AMP_DISABLE_x	アンプをディスエーブルしてパワーを制御します。タイム・スロットxに該当するビットを設定して、チャンネル2のアンプをディスエーブルします。 0：TIA 1：バンドパス・フィルタ 2：積分器。	0x0	R/W
0x01AA	INTEG_SETUP_F					
0x01CA	INTEG_SETUP_G					
0x01EA	INTEG_SETUP_H					
0x020A	INTEG_SETUP_I					
0x022A	INTEG_SETUP_J	11	AFE_INT_C_BUF_x	1に設定すると、積分器はタイム・スロットxにおいてバッファとして構成されます。	0x0	R/W
0x024A	INTEG_SETUP_K	[10:8]	CH1_AMP_DISABLE_x	アンプをディスエーブルしてパワーを制御します。タイム・スロットxに該当するビットを設定して、チャンネル1のアンプをディスエーブルします。 0：TIA 1：バンドパス・フィルタ 2：積分器。	0x0	R/W
0x026A	INTEG_SETUP_L	[7:6]	ADC_COUNT_x	パルスごとのADC変換数。変換数 = ADC_COUNT + 1。	0x0	R/W
		5	Reserved	予備。	0x0	R
		[4:0]	INTEG_WIDTH_A	積分器のクロック幅（単位：μs）。0より大きい値にしなければなりません。	0x3	R/W
0x010B	INTEG_OS_A	[15:13]	Reserved	予備。	0x0	R
0x012B	INTEG_OS_B	[12:0]	INTEG_OFFSET_x	タイム・スロットxにおける積分器のクロック・オフセット。LSBごとに31.25nsインクリメントされます。1μs（0x0020）より大きい値にしなければなりません。	0x0214	R/W
0x014B	INTEG_OS_C					
0x016B	INTEG_OS_D					
0x018B	INTEG_OS_E					
0x01AB	INTEG_OS_F					

## レジスタの詳細

表 34. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x01CB	INTEG_OS_G					
0x01EB	INTEG_OS_H					
0x020B	INTEG_OS_I					
0x022B	INTEG_OS_J					
0x024B	INTEG_OS_K					
0x026B	INTEG_OS_L					
0x010C	MOD_PULSE_A	[15:8]	MOD_WIDTH_x	タイム・スロットxにおける変調パルス幅（単位： μs）。0 = ディスエーブル。	0x0	R/W
0x012C	MOD_PULSE_B					
0x014C	MOD_PULSE_C	[7:0]	MOD_OFFSET_x	タイム・スロットxにおける変調パルスのオフセット （単位：μs）。0より大きい値にしなければなりません。	0x1	R/W
0x016C	MOD_PULSE_D					
0x018C	MOD_PULSE_E					
0x01AC	MOD_PULSE_F					
0x01CC	MOD_PULSE_G					
0x01EC	MOD_PULSE_H					
0x020C	MOD_PULSE_I					
0x022C	MOD_PULSE_J					
0x024C	MOD_PULSE_K					
0x026C	MOD_PULSE_L					
0x0113	DIGINT_LIT_A	[15:9]	Reserved	予備。	0x0	R
0x0133	DIGINT_LIT_B	[8:0]	LIT_OFFSET_x	デジタル積分モードでのタイム・スロットxにおける アキュジション・ウィンドウの明オフセット（単位： μs）。インパルス応答モードのオフセットでもありま す。0より大きい値にしなければなりません。	0x26	R/W
0x0153	DIGINT_LIT_C					
0x0173	DIGINT_LIT_D					
0x0193	DIGINT_LIT_E					
0x01B3	DIGINT_LIT_F					
0x01D3	DIGINT_LIT_G					
0x01F3	DIGINT_LIT_H					
0x0213	DIGINT_LIT_I					
0x0233	DIGINT_LIT_J					
0x0253	DIGINT_LIT_K					
0x0273	DIGINT_LIT_L					
0x0114	DIGINT_DARK_A	[15:7]	DARK2_OFFSET_x	デジタル積分モードでのタイム・スロットxにおける アキュジション・ウィンドウのDark 2のオフセット （単位：μs）。0より大きい値にしなければなりません。	0x046	R/W
0x0134	DIGINT_DARK_B					
0x0154	DIGINT_DARK_C					
0x0174	DIGINT_DARK_D					
0x0194	DIGINT_DARK_E	[6:0]	DARK1_OFFSET_x	デジタル積分モードでのタイム・スロットxにおける アキュジション・ウィンドウのDark 1のオフセット （単位：μs）。0より大きい値にしなければなりません。	0x6	R/W
0x01B4	DIGINT_DARK_F					
0x01D4	DIGINT_DARK_G					
0x01F4	DIGINT_DARK_H					
0x0214	DIGINT_DARK_I					
0x0234	DIGINT_DARK_J					
0x0254	DIGINT_DARK_K					
0x0274	DIGINT_DARK_L					

## LED制御、およびタイミング・レジスタ

表 35. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0105	LED_POW12_A	15	LED_DRIVESIDE2_x	LED2xのLED出力選択。 0：出力LED2AのLEDを駆動。	0x0	R/W
0x0125	LED_POW12_B					
0x0145	LED_POW12_C	[14:8]	LED_CURRENT2_x	LED2A出力のLED電流設定。0に設定するとディスエ ーブルされます。出力電流は、0x01～0x7Fの範囲で 設定することにより単調増加で2mAから200mAまで 変化します。	0x0	R/W
0x0165	LED_POW12_D					
0x0185	LED_POW12_E					
0x01A5	LED_POW12_F					
0x01C5	LED_POW12_G	7	LED_DRIVESIDE1_x	LED1xのLED出力選択。	0x0	R/W
0x01E5	LED_POW12_H					
0x0205	LED_POW12_I	[6:0]	LED_CURRENT1_x	LED1A出力のLED電流設定。0に設定するとディスエ ーブルされます。出力電流は、0x01～0x7Fの範囲で 設定することにより単調増加で2mAから200mAまで 変化します。	0x0	R/W
0x0225	LED_POW12_J					
0x0245	LED_POW12_K					

## レジスタの詳細

表 35. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0265	LED_POW12_L					
0x0106	LED_POW34_A	15	LED_DRIVESIDE4_x	LED4xのLED出力選択。 0：出力LED4AのLEDを駆動。	0x0	R/W
0x0126	LED_POW34_B					
0x0146	LED_POW34_C	[14:8]	LED_CURRENT4_x	LED4A出力のLED電流設定。0に設定するとディスエーブルされます。出力電流は、0x01～0x7Fの範囲で設定することにより単調増加で2mAから200mAまで変化します。	0x0	R/W
0x0166	LED_POW34_D					
0x0186	LED_POW34_E					
0x01A6	LED_POW34_F					
0x01C6	LED_POW34_G	7	LED_DRIVESIDE3_x	LED3xのLED出力選択。 0：出力LED3AのLEDを駆動。	0x0	R/W
0x01E6	LED_POW34_H					
0x0206	LED_POW34_I	[6:0]	LED_CURRENT3_x	LED3A出力のLED電流設定。0に設定するとディスエーブルされます。出力電流は、0x01～0x7Fの範囲で設定することにより単調増加で2mAから200mAまで変化します。	0x0	R/W
0x0226	LED_POW34_J					
0x0246	LED_POW34_K					
0x0266	LED_POW34_L					
0x0109	LED_PULSE_A	[15:8]	LED_WIDTH_x	LEDのパルス幅（単位：μs）。 0 = ディスエーブル。	0x2	R/W
0x0129	LED_PULSE_B					
0x0149	LED_PULSE_C	[7:0]	LED_OFFSET_x	LEDパルスのオフセット（単位：μs）。最小16μs（0x10）に設定してください。0を超える値にしなればなりません。	0x10	R/W
0x0169	LED_PULSE_D					
0x0189	LED_PULSE_E					
0x01A9	LED_PULSE_F					
0x01C9	LED_PULSE_G					
0x01E9	LED_PULSE_H					
0x0209	LED_PULSE_I					
0x0229	LED_PULSE_J					
0x0249	LED_PULSE_K					
0x0269	LED_PULSE_L					

## レジスタの詳細

## ADCオフセット・レジスタ

表 36. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x010E	ADC_OFF1_A	[15:14]	Reserved	予備。	0x0	R
0x012E	ADC_OFF1_B	[13:0]	CH1_ADC_ADJUST_x	ADCの値を調整します。ここで設定した値が、タイム・スロットxにおけるチャンネル1のADCの値から減算されます。チョッピング・モードおよびフロート・モードの場合は、0に設定します。	0x0	R/W
0x014E	ADC_OFF1_C					
0x016E	ADC_OFF1_D					
0x018E	ADC_OFF1_E					
0x01AE	ADC_OFF1_F					
0x01CE	ADC_OFF1_G					
0x01EE	ADC_OFF1_H					
0x020E	ADC_OFF1_I					
0x022E	ADC_OFF1_J					
0x024E	ADC_OFF1_K					
0x026E	ADC_OFF1_L					
0x010F	ADC_OFF2_A	15	ZERO_ADJUST_x	信号値の追加オフセット。正の値にクリップする前に信号値に2048を加えるには、1に設定します。	0x0	R/W
0x012F	ADC_OFF2_B	14	Reserved	予備。		
0x014F	ADC_OFF2_C	[13:0]	CH2_ADC_ADJUST_x	ADCの値を調整します。ここで設定した値が、タイム・スロットxにおけるチャンネル2のADCの値から減算されます。チョッピング・モードおよびフロート・モードの場合は、0に設定します。	0x0	R/W
0x016F	ADC_OFF2_D					
0x018F	ADC_OFF2_E					
0x01AF	ADC_OFF2_F					
0x01CF	ADC_OFF2_G					
0x01EF	ADC_OFF2_H					
0x020F	ADC_OFF2_I					
0x022F	ADC_OFF2_J					
0x024F	ADC_OFF2_K					
0x026F	ADC_OFF2_L					

## 出力データ・レジスタ

表 37. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x002F	FIFO_DATA	[15:0]	FIFO_DATA	FIFOデータ・ポート。	0x0	R
0x0030	SIGNAL1_L_A	[15:0]	SIGNAL1_L_A	チャンネル1の信号の下位半分、タイム・スロットA	0x0	R
0x0031	SIGNAL1_H_A	[15:0]	SIGNAL1_H_A	チャンネル1の信号の上位半分、タイム・スロットA	0x0	R
0x0032	SIGNAL2_L_A	[15:0]	SIGNAL2_L_A	チャンネル2の信号の下位半分、タイム・スロットA	0x0	R
0x0033	SIGNAL2_H_A	[15:0]	SIGNAL2_H_A	チャンネル2の信号の上位半分、タイム・スロットA	0x0	R
0x0034	DARK1_L_A	[15:0]	DARK1_L_A	チャンネル1の暗値の下位半分、タイム・スロットA	0x0	R
0x0035	DARK1_H_A	[15:0]	DARK1_H_A	チャンネル1の暗値の上位半分、タイム・スロットA	0x0	R
0x0036	DARK2_L_A	[15:0]	DARK2_L_A	チャンネル2の暗値の下位半分、タイム・スロットA	0x0	R
0x0037	DARK2_H_A	[15:0]	DARK2_H_A	チャンネル2の暗値の上位半分、タイム・スロットA	0x0	R
0x0038	SIGNAL1_L_B	[15:0]	SIGNAL1_L_B	チャンネル1の信号の下位半分、タイム・スロットB	0x0	R
0x0039	SIGNAL1_H_B	[15:0]	SIGNAL1_H_B	チャンネル1の信号の上位半分、タイム・スロットB	0x0	R
0x003A	SIGNAL2_L_B	[15:0]	SIGNAL2_L_B	チャンネル2の信号の下位半分、タイム・スロットB	0x0	R
0x003B	SIGNAL2_H_B	[15:0]	SIGNAL2_H_B	チャンネル2の信号の上位半分、タイム・スロットB	0x0	R
0x003C	DARK1_L_B	[15:0]	DARK1_L_B	チャンネル1の暗値の下位半分、タイム・スロットB	0x0	R
0x003D	DARK1_H_B	[15:0]	DARK1_H_B	チャンネル1の暗値の上位半分、タイム・スロットB	0x0	R
0x003E	DARK2_L_B	[15:0]	DARK2_L_B	チャンネル2の暗値の下位半分、タイム・スロットB	0x0	R
0x003F	DARK2_H_B	[15:0]	DARK2_H_B	チャンネル2の暗値の上位半分、タイム・スロットB	0x0	R
0x0040	SIGNAL1_L_C	[15:0]	SIGNAL1_L_C	チャンネル1の信号の下位半分、タイム・スロットC	0x0	R
0x0041	SIGNAL1_H_C	[15:0]	SIGNAL1_H_C	チャンネル1の信号の上位半分、タイム・スロットC	0x0	R
0x0042	SIGNAL2_L_C	[15:0]	SIGNAL2_L_C	チャンネル2の信号の下位半分、タイム・スロットC	0x0	R
0x0043	SIGNAL2_H_C	[15:0]	SIGNAL2_H_C	チャンネル2の信号の上位半分、タイム・スロットC	0x0	R
0x0044	DARK1_L_C	[15:0]	DARK1_L_C	チャンネル1の暗値の下位半分、タイム・スロットC	0x0	R
0x0045	DARK1_H_C	[15:0]	DARK1_H_C	チャンネル1の暗値の上位半分、タイム・スロットC	0x0	R

## レジスタの詳細

表 37. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0046	DARK2_L_C	[15:0]	DARK2_L_C	チャンネル2の暗値の下位半分、タイム・スロットC	0x0	R
0x0047	DARK2_H_C	[15:0]	DARK2_H_C	チャンネル2の暗値の上位半分、タイム・スロットC	0x0	R
0x0048	SIGNAL1_L_D	[15:0]	SIGNAL1_L_D	チャンネル1の信号の下位半分、タイム・スロットD	0x0	R
0x0049	SIGNAL1_H_D	[15:0]	SIGNAL1_H_D	チャンネル1の信号の上位半分、タイム・スロットD	0x0	R
0x004A	SIGNAL2_L_D	[15:0]	SIGNAL2_L_D	チャンネル2の信号の下位半分、タイム・スロットD	0x0	R
0x004B	SIGNAL2_H_D	[15:0]	SIGNAL2_H_D	チャンネル2の信号の上位半分、タイム・スロットD	0x0	R
0x004C	DARK1_L_D	[15:0]	DARK1_L_D	チャンネル1の暗値の下位半分、タイム・スロットD	0x0	R
0x004D	DARK1_H_D	[15:0]	DARK1_H_D	チャンネル1の暗値の上位半分、タイム・スロットD	0x0	R
0x004E	DARK2_L_D	[15:0]	DARK2_L_D	チャンネル2の暗値の下位半分、タイム・スロットD	0x0	R
0x004F	DARK2_H_D	[15:0]	DARK2_H_D	チャンネル2の暗値の上位半分、タイム・スロットD	0x0	R
0x0050	SIGNAL1_L_E	[15:0]	SIGNAL1_L_E	チャンネル1の信号の下位半分、タイム・スロットE	0x0	R
0x0051	SIGNAL1_H_E	[15:0]	SIGNAL1_H_E	チャンネル1の信号の上位半分、タイム・スロットE	0x0	R
0x0052	SIGNAL2_L_E	[15:0]	SIGNAL2_L_E	チャンネル2の信号の下位半分、タイム・スロットE	0x0	R
0x0053	SIGNAL2_H_E	[15:0]	SIGNAL2_H_E	チャンネル2の信号の上位半分、タイム・スロットE	0x0	R
0x0054	DARK1_L_E	[15:0]	DARK1_L_E	チャンネル1の暗値の下位半分、タイム・スロットE	0x0	R
0x0055	DARK1_H_E	[15:0]	DARK1_H_E	チャンネル1の暗値の上位半分、タイム・スロットE	0x0	R
0x0056	DARK2_L_E	[15:0]	DARK2_L_E	チャンネル2の暗値の下位半分、タイム・スロットE	0x0	R
0x0057	DARK2_H_E	[15:0]	DARK2_H_E	チャンネル2の暗値の上位半分、タイム・スロットE	0x0	R
0x0058	SIGNAL1_L_F	[15:0]	SIGNAL1_L_F	チャンネル1の信号の下位半分、タイム・スロットF	0x0	R
0x0059	SIGNAL1_H_F	[15:0]	SIGNAL1_H_F	チャンネル1の信号の上位半分、タイム・スロットF	0x0	R
0x005A	SIGNAL2_L_F	[15:0]	SIGNAL2_L_F	チャンネル2の信号の下位半分、タイム・スロットF	0x0	R
0x005B	SIGNAL2_H_F	[15:0]	SIGNAL2_H_F	チャンネル2の信号の上位半分、タイム・スロットF	0x0	R
0x005C	DARK1_L_F	[15:0]	DARK1_L_F	チャンネル1の暗値の下位半分、タイム・スロットF	0x0	R
0x005D	DARK1_H_F	[15:0]	DARK1_H_F	チャンネル1の暗値の上位半分、タイム・スロットF	0x0	R
0x005E	DARK2_L_F	[15:0]	DARK2_L_F	チャンネル2の暗値の下位半分、タイム・スロットF	0x0	R
0x005F	DARK2_H_F	[15:0]	DARK2_H_F	チャンネル2の暗値の上位半分、タイム・スロットF	0x0	R
0x0060	SIGNAL1_L_G	[15:0]	SIGNAL1_L_G	チャンネル1の信号の下位半分、タイム・スロットG	0x0	R
0x0061	SIGNAL1_H_G	[15:0]	SIGNAL1_H_G	チャンネル1の信号の上位半分、タイム・スロットG	0x0	R
0x0062	SIGNAL2_L_G	[15:0]	SIGNAL2_L_G	チャンネル2の信号の下位半分、タイム・スロットG	0x0	R
0x0063	SIGNAL2_H_G	[15:0]	SIGNAL2_H_G	チャンネル2の信号の上位半分、タイム・スロットG	0x0	R
0x0064	DARK1_L_G	[15:0]	DARK1_L_G	チャンネル1の暗値の下位半分、タイム・スロットG	0x0	R
0x0065	DARK1_H_G	[15:0]	DARK1_H_G	チャンネル1の暗値の上位半分、タイム・スロットG	0x0	R
0x0066	DARK2_L_G	[15:0]	DARK2_L_G	チャンネル2の暗値の下位半分、タイム・スロットG	0x0	R
0x0067	DARK2_H_G	[15:0]	DARK2_H_G	チャンネル2の暗値の上位半分、タイム・スロットG	0x0	R
0x0068	SIGNAL1_L_H	[15:0]	SIGNAL1_L_H	チャンネル1の信号の下位半分、タイム・スロットH	0x0	R
0x0069	SIGNAL1_H_H	[15:0]	SIGNAL1_H_H	チャンネル1の信号の上位半分、タイム・スロットH	0x0	R
0x006A	SIGNAL2_L_H	[15:0]	SIGNAL2_L_H	チャンネル2の信号の下位半分、タイム・スロットH	0x0	R
0x006B	SIGNAL2_H_H	[15:0]	SIGNAL2_H_H	チャンネル2の信号の上位半分、タイム・スロットH	0x0	R
0x006C	DARK1_L_H	[15:0]	DARK1_L_H	チャンネル1の暗値の下位半分、タイム・スロットH	0x0	R
0x006D	DARK1_H_H	[15:0]	DARK1_H_H	チャンネル1の暗値の上位半分、タイム・スロットH	0x0	R
0x006E	DARK2_L_H	[15:0]	DARK2_L_H	チャンネル2の暗値の下位半分、タイム・スロットH	0x0	R
0x006F	DARK2_H_H	[15:0]	DARK2_H_H	チャンネル2の暗値の上位半分、タイム・スロットH	0x0	R
0x0070	SIGNAL1_L_I	[15:0]	SIGNAL1_L_I	チャンネル1の信号の下位半分、タイム・スロットI	0x0	R
0x0071	SIGNAL1_H_I	[15:0]	SIGNAL1_H_I	チャンネル1の信号の上位半分、タイム・スロットI	0x0	R
0x0072	SIGNAL2_L_I	[15:0]	SIGNAL2_L_I	チャンネル2の信号の下位半分、タイム・スロットI	0x0	R
0x0073	SIGNAL2_H_I	[15:0]	SIGNAL2_H_I	チャンネル2の信号の上位半分、タイム・スロットI	0x0	R
0x0074	DARK1_L_I	[15:0]	DARK1_L_I	チャンネル1の暗値の下位半分、タイム・スロットI	0x0	R
0x0075	DARK1_H_I	[15:0]	DARK1_H_I	チャンネル1の暗値の上位半分、タイム・スロットI	0x0	R
0x0076	DARK2_L_I	[15:0]	DARK2_L_I	チャンネル2の暗値の下位半分、タイム・スロットI	0x0	R
0x0077	DARK2_H_I	[15:0]	DARK2_H_I	チャンネル2の暗値の上位半分、タイム・スロットI	0x0	R

## レジスタの詳細

表 37. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	説明	リセット	アクセス
0x0078	SIGNAL1_L_J	[15:0]	SIGNAL1_L_J	チャンネル1の信号の下位半分、タイム・スロットJ	0x0	R
0x0079	SIGNAL1_H_J	[15:0]	SIGNAL1_H_J	チャンネル1の信号の上位半分、タイム・スロットJ	0x0	R
0x007A	SIGNAL2_L_J	[15:0]	SIGNAL2_L_J	チャンネル2の信号の下位半分、タイム・スロットJ	0x0	R
0x007B	SIGNAL2_H_J	[15:0]	SIGNAL2_H_J	チャンネル2の信号の上位半分、タイム・スロットJ	0x0	R
0x007C	DARK1_L_J	[15:0]	DARK1_L_J	チャンネル1の暗値の下位半分、タイム・スロットJ	0x0	R
0x007D	DARK1_H_J	[15:0]	DARK1_H_J	チャンネル1の暗値の上位半分、タイム・スロットJ	0x0	R
0x007E	DARK2_L_J	[15:0]	DARK2_L_J	チャンネル2の暗値の下位半分、タイム・スロットJ	0x0	R
0x007F	DARK2_H_J	[15:0]	DARK2_H_J	チャンネル2の暗値の上位半分、タイム・スロットJ	0x0	R
0x0080	SIGNAL1_L_K	[15:0]	SIGNAL1_L_K	チャンネル1の信号の下位半分、タイム・スロットK	0x0	R
0x0081	SIGNAL1_H_K	[15:0]	SIGNAL1_H_K	チャンネル1の信号の上位半分、タイム・スロットK	0x0	R
0x0082	SIGNAL2_L_K	[15:0]	SIGNAL2_L_K	チャンネル2の信号の下位半分、タイム・スロットK	0x0	R
0x0083	SIGNAL2_H_K	[15:0]	SIGNAL2_H_K	チャンネル2の信号の上位半分、タイム・スロットK	0x0	R
0x0084	DARK1_L_K	[15:0]	DARK1_L_K	チャンネル1の暗値の下位半分、タイム・スロットK	0x0	R
0x0085	DARK1_H_K	[15:0]	DARK1_H_K	チャンネル1の暗値の上位半分、タイム・スロットK	0x0	R
0x0086	DARK2_L_K	[15:0]	DARK2_L_K	チャンネル2の暗値の下位半分、タイム・スロットK	0x0	R
0x0087	DARK2_H_K	[15:0]	DARK2_H_K	チャンネル2の暗値の上位半分、タイム・スロットK	0x0	R
0x0088	SIGNAL1_L_L	[15:0]	SIGNAL1_L_L	チャンネル1の信号の下位半分、タイム・スロットL	0x0	R
0x0089	SIGNAL1_H_L	[15:0]	SIGNAL1_H_L	チャンネル1の信号の上位半分、タイム・スロットL	0x0	R
0x008A	SIGNAL2_L_L	[15:0]	SIGNAL2_L_L	チャンネル2の信号の下位半分、タイム・スロットL	0x0	R
0x008B	SIGNAL2_H_L	[15:0]	SIGNAL2_H_L	チャンネル2の信号の上位半分、タイム・スロットL	0x0	R
0x008C	DARK1_L_L	[15:0]	DARK1_L_L	チャンネル1の暗値の下位半分、タイム・スロットL	0x0	R
0x008D	DARK1_H_L	[15:0]	DARK1_H_L	チャンネル1の暗値の上位半分、タイム・スロットL	0x0	R
0x008E	DARK2_L_L	[15:0]	DARK2_L_L	チャンネル2の暗値の下位半分、タイム・スロットL	0x0	R
0x008F	DARK2_H_L	[15:0]	DARK2_H_L	チャンネル2の暗値の上位半分、タイム・スロットL	0x0	R

外形寸法

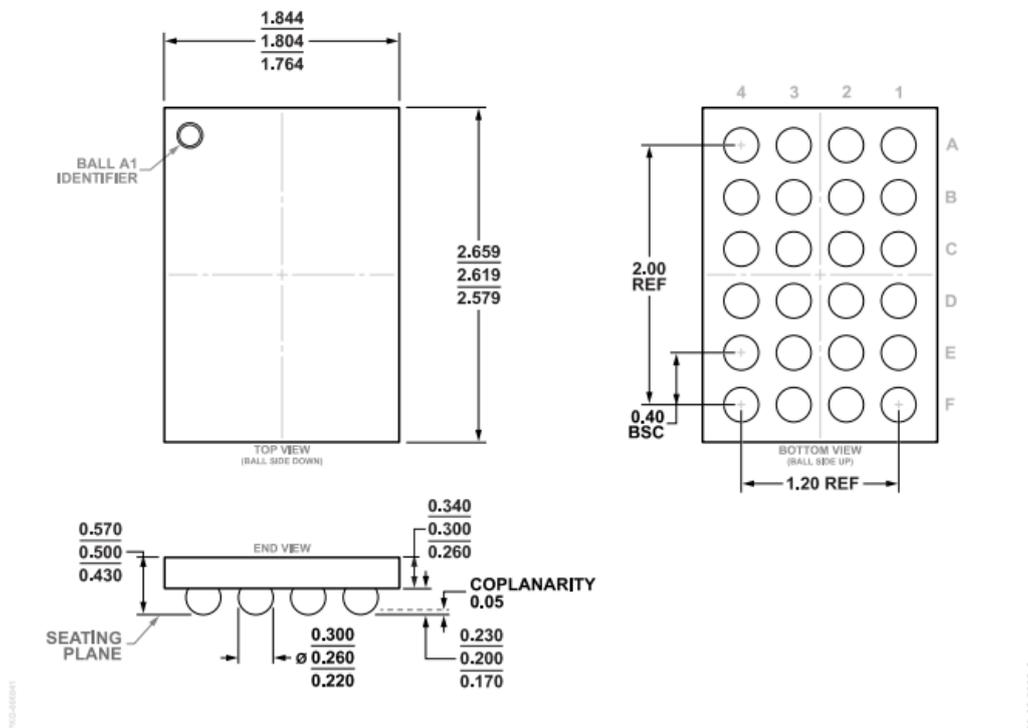


図 42. 24ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]  
(CB-24-5)  
寸法 : mm

更新 : 2022年2月18日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADPD4200BCBZR7	-40°C to +85°C	CHIPS W/SOLDER BUMPS/WLCSP	Reel, 1500	CB-24-5

1 Z = RoHS 準拠製品。

評価用ボード

Model <sup>1,2</sup>	Description
EVAL-ADPD4200Z-PPG	Evaluation Board
EVAL-ADPDUCZ	Microcontroller Board

1 Z = RoHS 準拠製品。

2 EVAL-ADPDUCZは別注文のマイクロコントローラ・ボードです。EVAL-ADPD4200Z-PPG評価用ボードとインターフェースをとるために必要です。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2024年2月20日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年2月20日

製品名：ADPD4200

対象となるデータシートのリビジョン(Rev)：Rev. A

訂正箇所：

P.79

英文データシートの Table 30（日本語データシートでは表 31）のアドレス 0x0008 で、  
[7:0] CHIP\_ID がリセット値 0xC0 になっていますが、これは間違いで、正しくは 0xC2 と  
なります。

同じパラメータを指している英文データシートの P. 43 の Table 25（日本語データシ  
ートでは表 26）のアドレス 0x0008 のリセット値は正しく 0xC2 となっております。