

2GHz~6GHz、46dBm (40W) 窒化ガリウム (GaN) パワー・アンプ

特長

- ▶ 内部整合・ACカップリングされた40W GaNパワー・アンプ
- ▶ ドレイン・バイアス・インダクタを内蔵
- ▶ P_{OUT} : 2.0GHz~5.7GHzで46.5dBm (代表値) ($P_{IN} = 21\text{dBm}$)
- ▶ 小信号ゲイン : 2.3GHz~5.7GHzで40.5dB (代表値)
- ▶ パワー・ゲイン : 2.0GHz~5.7GHzで25.5dB (代表値) ($P_{IN} = 21\text{dBm}$)
- ▶ PAE : 2.3GHz~5.7GHzで39% (代表値)
- ▶ $V_{DD} = 28\text{V}$ ($I_{DQ} = 750\text{mA}$ 時)
- ▶ 銅モリブデン・ベースの14端子セラミック・リード・チップ・キャリア [LDCC]

アプリケーション

- ▶ 防衛用電波妨害装置
- ▶ 民生用および防衛用レーダー
- ▶ 試験装置および計測装置

概要

ADPA1113は窒化ガリウム (GaN) 広帯域パワー・アンプで、2.3GHz~5.7GHzの帯域幅において39.0%の電力付加効率 (PAE) で46.5dBm (44.7W) を供給します。フル・バンド動作の実現に外部マッチングやACカップリングは不要です。また、アンプにバイアスをかけるための外部インダクタも不要です。

ADPA1113は、防衛用電波妨害装置やレーダーといった連続波アプリケーションに最適です。

機能ブロック図

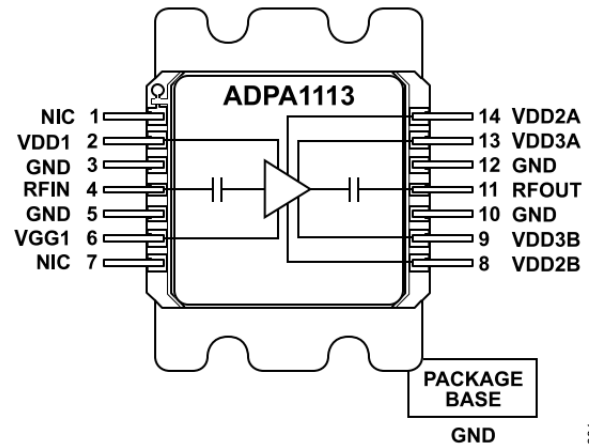


図 1. 機能ブロック図

目次

特長.....	1	ピン配置およびピン機能の説明.....	6
アプリケーション.....	1	インターフェース回路図.....	7
概要.....	1	代表的な性能特性.....	8
機能ブロック図.....	1	動作原理.....	15
仕様.....	3	アプリケーション情報.....	16
電気仕様.....	3	アプリケーション回路.....	16
絶対最大定格.....	5	基本的な接続方法.....	16
熱抵抗.....	5	外形寸法.....	17
静電放電（ESD）定格.....	5	オーダー・ガイド.....	17
ESDに関する注意.....	5	評価用ボード.....	17

改訂履歴

1/2024—Revision 0: Initial Version

仕様

電気仕様

周波数範囲 : 2.0GHz~2.3GHz

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、電源電圧 (V_{DD}) = 28V、目標静止電流 (I_{DQ}) = 750mA、周波数範囲 = 2.0GHz~2.3GHz。

表 1. 周波数範囲 : 2.0GHz~2.3GHz

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE	2.0		2.3	GHz	
GAIN					
Small Signal Gain	36.5	39.0		dB	
Gain Variation over Temperature		0.44		dB/°C	
Gain Flatness		±1.2		dB	
RETURN LOSS					
Input (S11)		18		dB	
Output (S12)		7		dB	
POWER					$P_{IN} = 21\text{dBm}$
Output (POUT)	44.5	46.5		dBm	
Gain (S21)	23.5	25.5		dB	
PAE		47.0		%	
I_{DQ}		750		mA	ゲート制御電圧 (V_{GG1}) を $-4V \sim -1.9V$ の範囲で調整することで $I_{DQ} = 750\text{mA}$ (代表値) を実現

周波数範囲 : 2.3GHz~5.7GHz

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、 $V_{DD} = 28V$ 、 $I_{DQ} = 750\text{mA}$ 、周波数範囲 = 2.3GHz~5.7GHz。

表 2. 周波数範囲 : 2.3GHz~5.7GHz

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE	2.3		5.7	GHz	
GAIN					
Small Signal Gain	38.0	40.5		dB	
Gain Variation over Temperature		0.05		dB/°C	
Gain Flatness		±0.8		dB	
RETURN LOSS					
Input		14		dB	
Output		10		dB	
POWER					$P_{IN} = 21\text{dBm}$
P_{OUT}	44.5	46.5		dBm	
Gain	23.5	25.5		dB	
PAE		39		%	
I_{DQ}		750		mA	V_{GG1} を $-4V \sim -1.9V$ の範囲で調整することで $I_{DQ} = 750\text{mA}$ (代表値) を実現

仕様

周波数範囲 : 5.7GHz~6.0GHz

特に指定のない限り、 $T_{CASE} = 25^{\circ}C$ 、 $V_{DD} = 28V$ 、 $I_{DQ} = 750\text{ mA}$ 、周波数範囲 = 5.7GHz~6.0GHz。

表 3.周波数範囲 : 5.7GHz~6.0GHz

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
FREQUENCY RANGE	5.7		6.0	GHz	
GAIN					
Small Signal Gain	36.5	39.0		dB	
Gain Variation over Temperature		0.05		dB/ $^{\circ}C$	
Gain Flatness		± 0.4		dB	
RETURN LOSS					
Input		20.0		dB	
Output		8.0		dB	
POWER					$P_{IN} = 21\text{ dBm}$
P_{OUT}	44.0	46.0		dBm	
Gain	23.0	25.0		dB	
PAE		32		%	
I_{DQ}		750		mA	V_{GG1} を-4V~-1.9Vの範囲で調整することで $I_{DQ} = 750\text{mA}$ (代表値)を実現

絶対最大定格

このデバイスは表面実装できません。また、半田リフロー処理での使用を意図しておらず、それに適していません。このデバイスは150°Cを超える周囲温度下には置かないでください。

表 4. 絶対最大定格

Parameter	Rating
Bias Voltage	
Drain (VDD1, VDD2A, VDD2B, VDD3A, and VDD3B)	35 V DC
Gate (VGG1)	-8 V DC to 0 V DC
RFIN	26 dBm
Continuous Power Dissipation (P_{DISS}), $T_{CASE} = 85^{\circ}\text{C}$, Derate 725 mW/ $^{\circ}\text{C}$ Above 85°C	101 W
Temperature	
Maximum Channel	225°C
Nominal Peak Channel, $T_{CASE} = 85^{\circ}\text{C}$, $P_{IN} = 21$ dBm, $P_{DISS} = 75$ W at 6 GHz	188.5°C
Storage Range	-55°C to +150°C
Operating Range	-40°C to +85°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

表 5. 熱抵抗

Package Type ^{1,2}	θ_{JC}	Unit
EJ-14-1	1.38	$^{\circ}\text{C}/\text{W}$

1 θ_{JC} はシミュレーションから求めており、その際の条件として、熱の伝達はチャンネルからパッケージ・フランジを通過してヒートシンクに至る熱伝導のみによるものとししました。また、パッケージ・フランジは85°Cの動作温度で一定に保たれるものとしします。

2 θ_{JC} はパッケージ・フランジの底部にケースを配置した場合のチャンネルとケース間の熱抵抗です。

静電放電 (ESD) 定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル (HBM)。

ADPA1113のESD定格

表 6. ADPA1113、14端子LDCC

ESD Model	Withstand Threshold (V)	Class
HBM	500	1B

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電にさらされた場合は損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

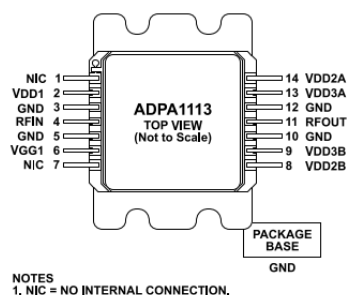


図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 7	NIC	内部接続なし。NICピンは、内部では接続されていません。通常動作の場合、グラウンドに接続します。
2	VDD1	アンプの1段目のドレイン・バイアス。VDD1ピンのインターフェース回路図については図3を参照してください。
3, 5, 10, 12	GND	グラウンド。グラウンド・ピンは、RFとDCのグラウンドに接続する必要があります。GNDのインターフェース回路図については、図4を参照してください。
4	RFIN	RF入力。RFINピンはACカップリングされ、50Ωに整合されています。RFINのインターフェース回路図については、図3を参照してください。
6	VGG1	アンプの全3段のゲート制御。VGG1のインターフェース回路図については図3を参照してください。
8	VDD2B	アンプの下側2段目のドレイン・バイアス。VDD2Bのインターフェース回路図については図5を参照してください。
9	VDD3B	アンプの下側3段目のドレイン・バイアス。VDD3Bのインターフェース回路図については図6を参照してください。
11	RFOUT	RF出力。RFOUTピンはACカップリングされ、50Ωに整合されています。RFOUTのインターフェース回路図については、図6を参照してください。
13	VDD3A	アンプの上側3段目のドレイン・バイアス。VDD3Aのインターフェース回路図については図6を参照してください。
14	VDD2A	アンプの上側2段目のドレイン・バイアス。VDD2Aのインターフェース回路図については図5を参照してください。
Package Base	GND	パッケージの底面はRFとDCのグラウンドに接続する必要があります。GNDのインターフェース回路図については、図4を参照してください。

ピン配置およびピン機能の説明

インターフェース回路図

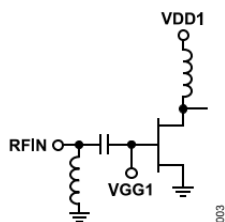


図 3. VDD1、RFIN、VGG1のインターフェース回路図

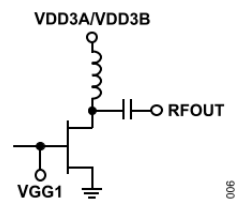


図 6. VDD3A、VDD3B、RFOUTのインターフェース回路図



図 4. GNDのインターフェース回路図

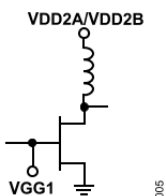


図 5. VDD2AとVDD2Bのインターフェース回路図

代表的な性能特性

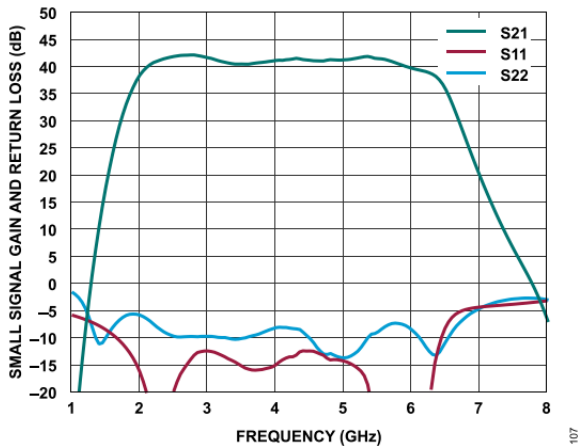


図7. 小信号ゲインおよびリターン・ロスと周波数の関係

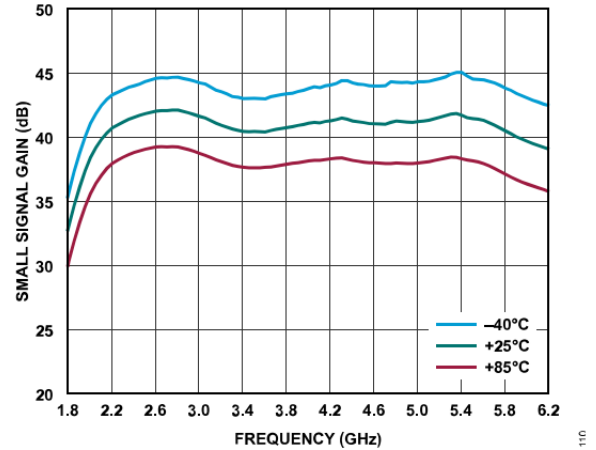


図10. 様々な温度での小信号ゲインと周波数の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

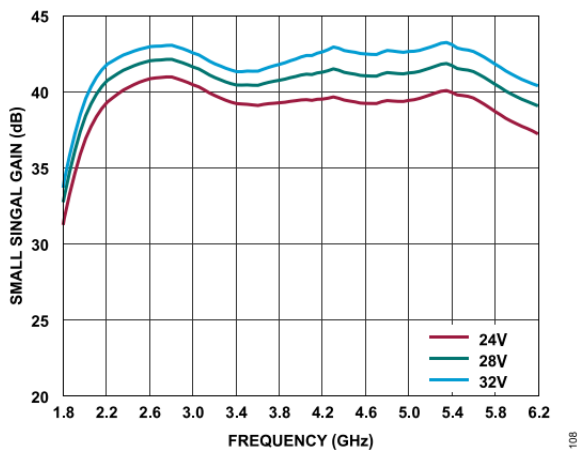


図8. 様々な電源電圧での小信号ゲインと周波数の関係、 $I_{DQ} = 750mA$

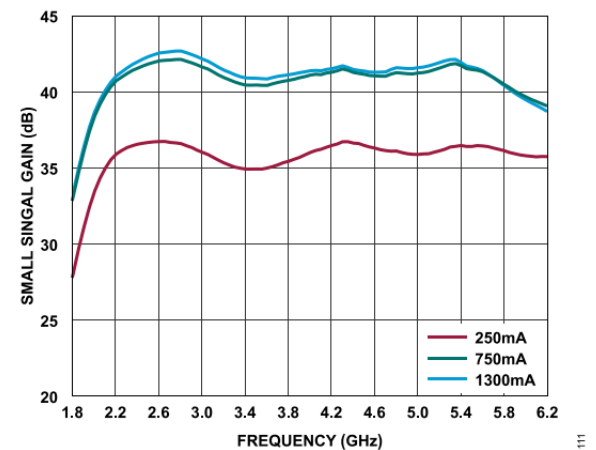


図11. 様々な I_{DQ} 電源電流での小信号ゲインと周波数の関係、 $V_{DD} = 28V$

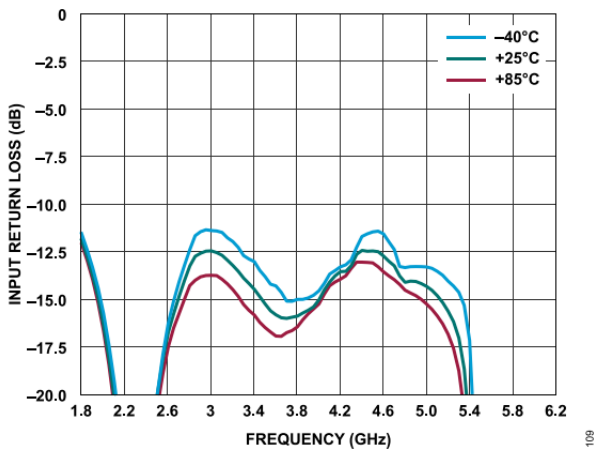


図9. 様々な温度での入力リターン・ロスと周波数の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

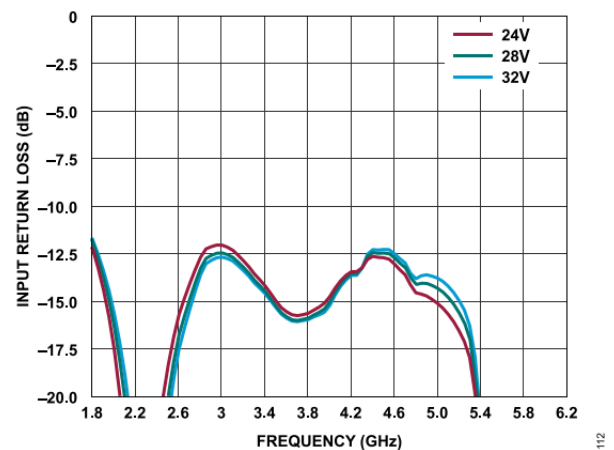


図12. 様々な電源電圧での入力リターン・ロスと周波数の関係、 $I_{DQ} = 750mA$

代表的な性能特性

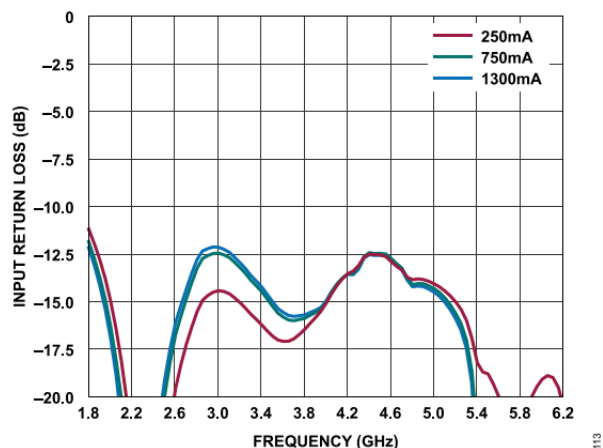


図13. 様々な I_{DQ} 電源電流での入力リターン・ロスと周波数の関係、 $V_{DD} = 28V$

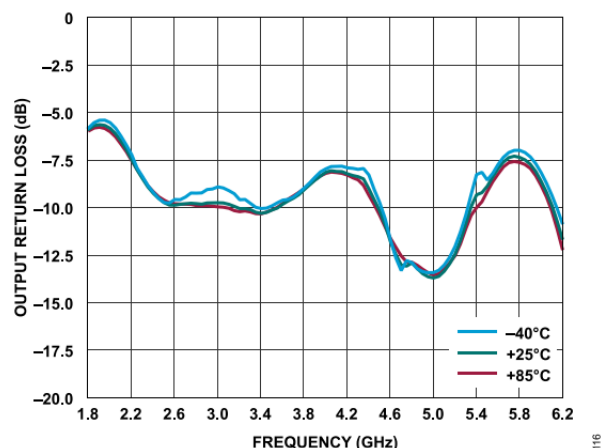


図16. 様々な温度での出力リターン・ロスと周波数の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

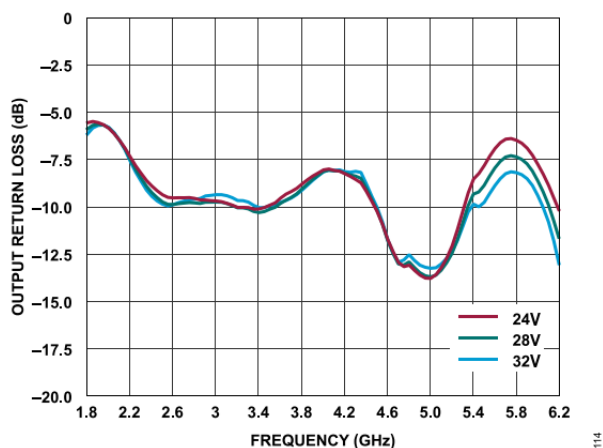


図14. 様々な電源電圧での出力リターン・ロスと周波数の関係、 $I_{DQ} = 750mA$

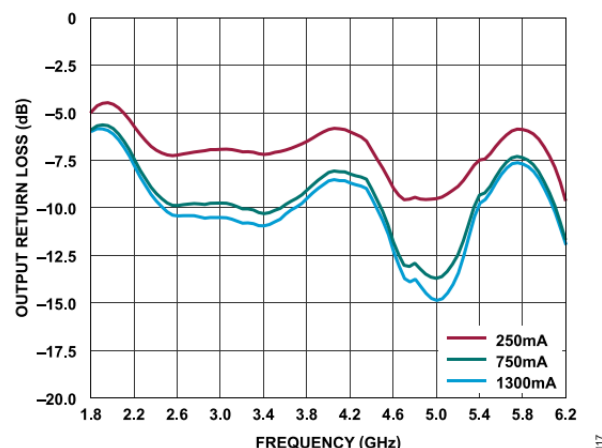


図17. 様々な I_{DQ} 電源電流での出力リターン・ロスと周波数の関係、 $V_{DD} = 28V$

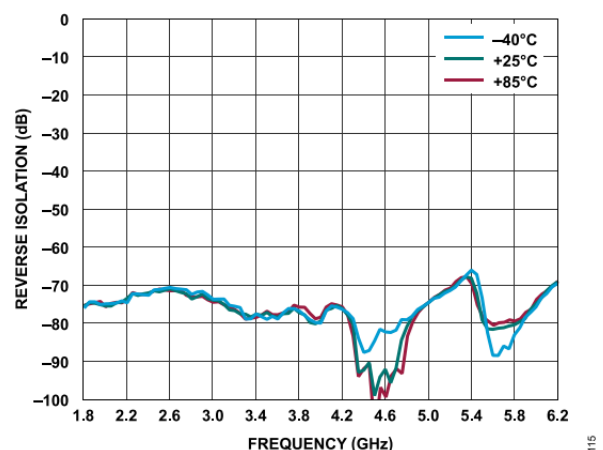


図15. 様々な温度におけるリバース・アイソレーションと周波数の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

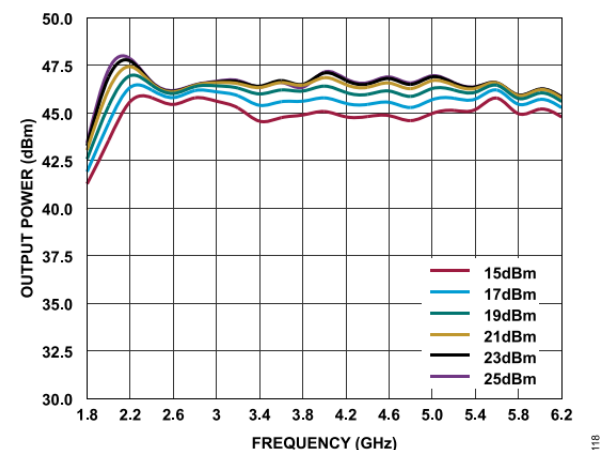


図18. 様々な P_{IN} レベルでの出力電力と周波数の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

代表的な性能特性

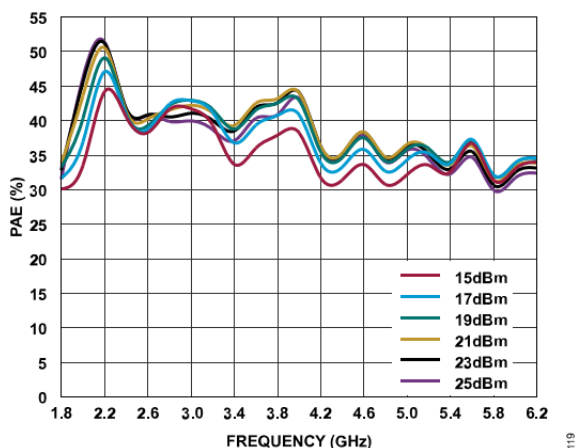


図19. 様々なP_{IN}レベルでのPAEと周波数の関係、V_{DD} = 28V、I_{DQ} = 750mA

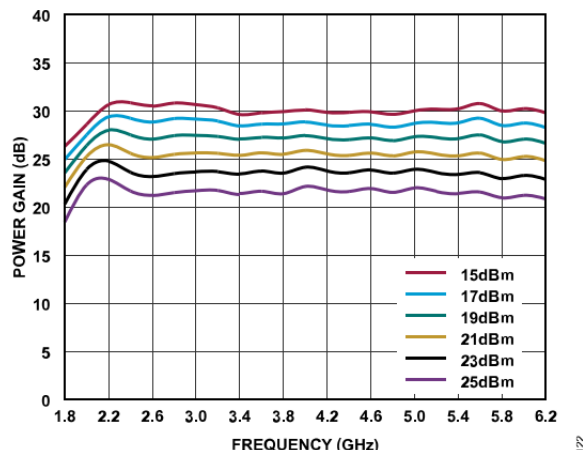


図22. 様々なP_{IN}レベルでの電力ゲインと周波数の関係、V_{DD} = 28V、I_{DQ} = 750mA

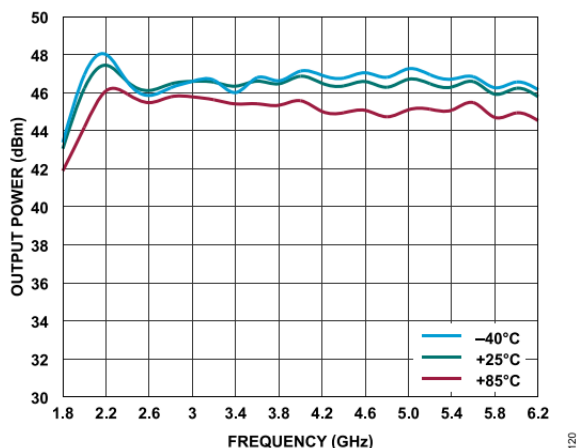


図20. 様々な温度での出力電力と周波数の関係、P_{IN} = 21dBm、V_{DD} = 28V、I_{DQ} = 750mA

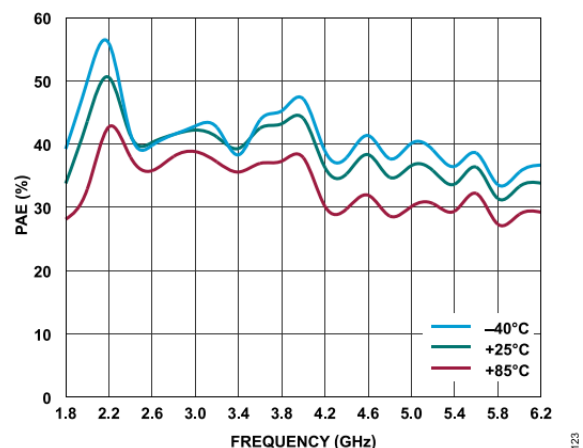


図23. 様々な温度でのPAEと周波数の関係、P_{IN} = 21dBm、V_{DD} = 28V、I_{DQ} = 750mA

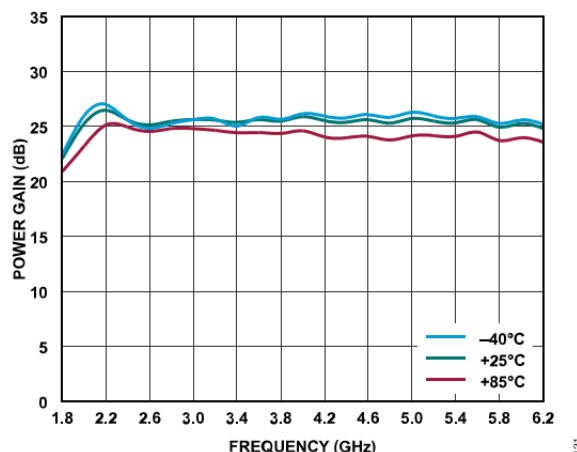


図21. 様々な温度での電力ゲインと周波数の関係、P_{IN} = 21dBm、V_{DD} = 28V、I_{DQ} = 750mA

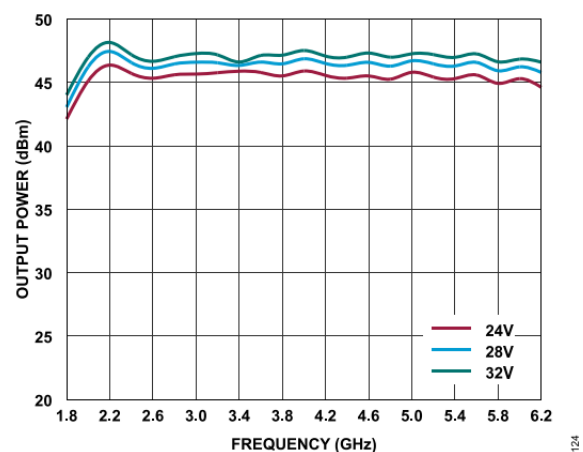


図24. 様々な電源電圧での出力電力と周波数の関係、P_{IN} = 21dBm、I_{DQ} = 750mA

代表的な性能特性

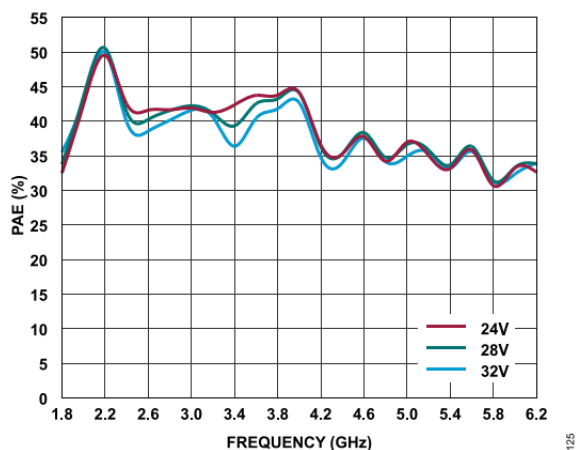


図25. 様々な電源電圧でのPAEと周波数の関係、 $P_{IN} = 21\text{dBm}$ 、 $I_{DQ} = 750\text{mA}$

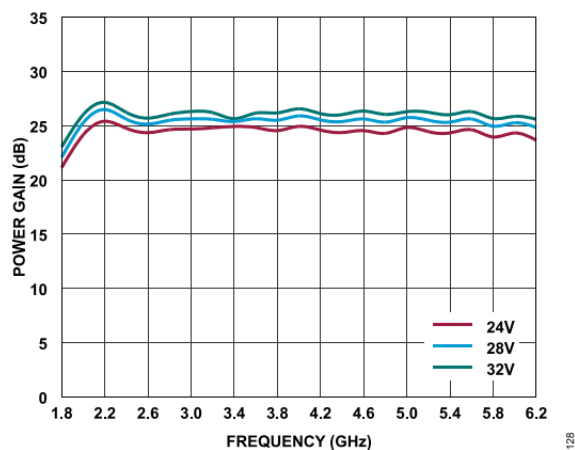


図28. 様々な電源電圧での電力ゲインと周波数の関係、 $P_{IN} = 21\text{dBm}$ 、 $I_{DQ} = 750\text{mA}$

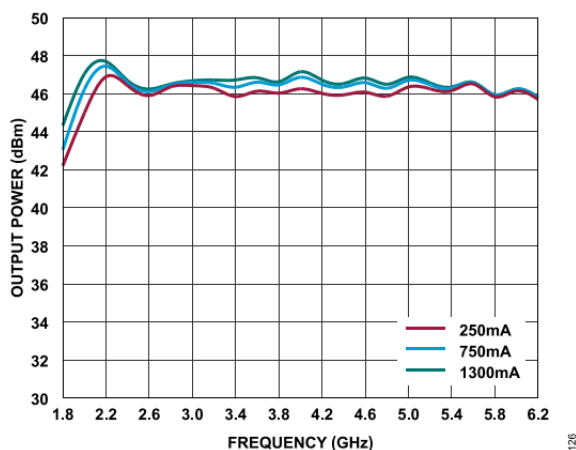


図26. 様々な I_{DQ} 電源電流での出力電力と周波数の関係、 $P_{IN} = 21\text{dBm}$ 、 $V_{DD} = 28\text{V}$

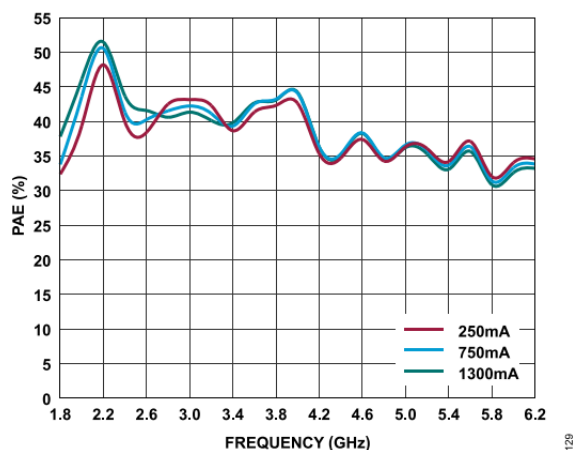


図29. 様々な I_{DQ} 電源電流でのPAEと周波数の関係、 $P_{IN} = 21\text{dBm}$ 、 $V_{DD} = 28\text{V}$

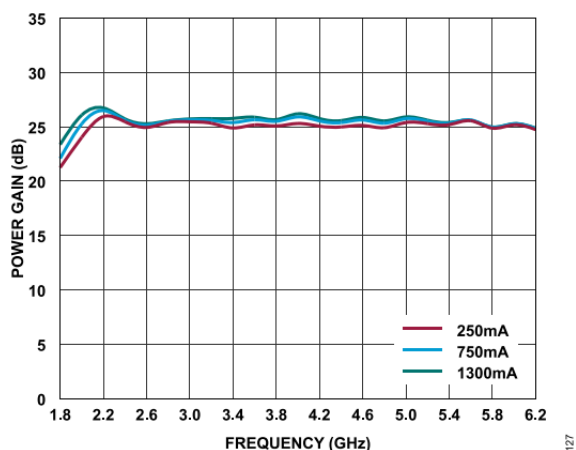


図27. 様々な I_{DQ} 電源電流での電力ゲインと周波数の関係、 $P_{IN} = 21\text{dBm}$ 、 $V_{DD} = 28\text{V}$

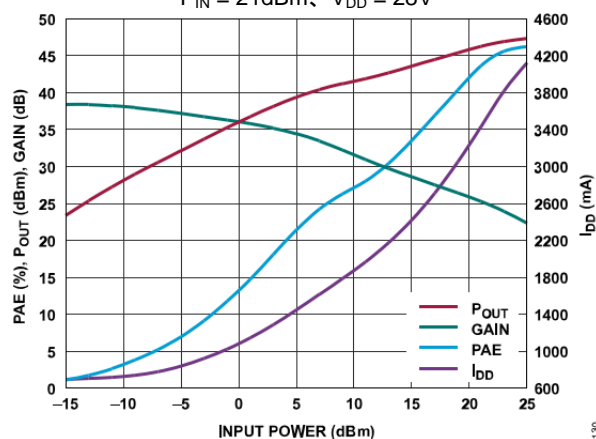


図30. PAE、 P_{OUT} 、ゲイン、電源電流 (I_{DD}) と入力電力の関係、 2.0GHz 、 $V_{DD} = 28\text{V}$ 、 $I_{DQ} = 750\text{mA}$

代表的な性能特性

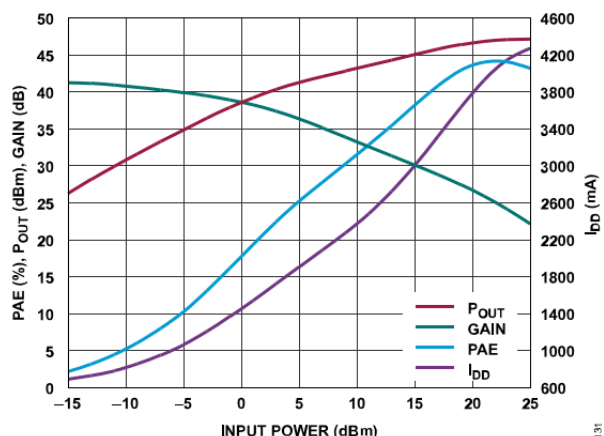


図31. PAE、 P_{OUT} 、ゲイン、 I_{DD} と入力電力の関係、4.0GHz、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

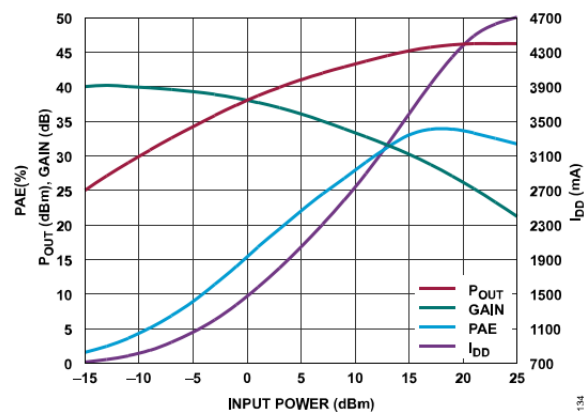


図34. PAE、 P_{OUT} 、ゲイン、 I_{DD} と入力電力の関係、6.0GHz、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

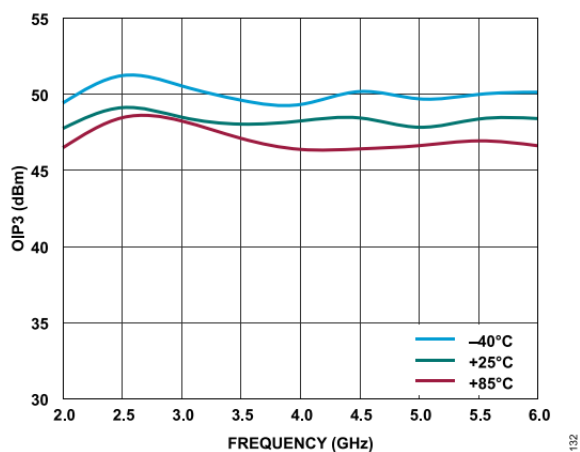


図32. 様々な温度での出力3次インターセプト (OIP3) と周波数の関係、トーンあたりの $P_{OUT} = 36dBm$ 、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

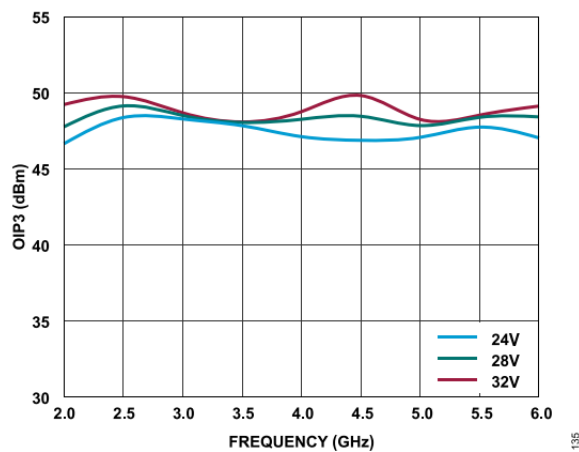


図35. 様々な V_{DD} でのOIP3と周波数の関係、トーンあたりの $P_{OUT} = 36dBm$ 、 $I_{DQ} = 750mA$

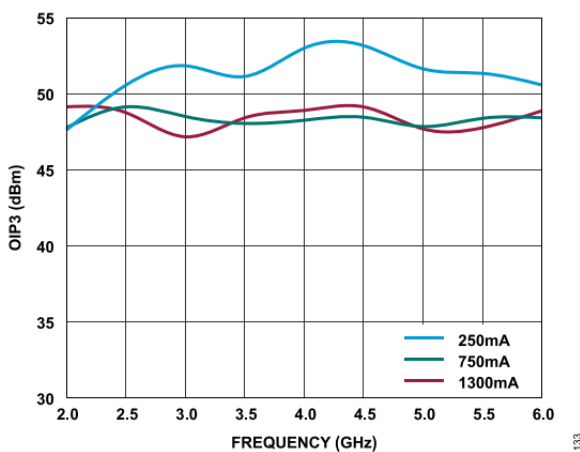


図33. 様々な I_{DQ} でのOIP3と周波数の関係、トーンあたりの $P_{OUT} = 36dBm$ 、 $V_{DD} = 28V$

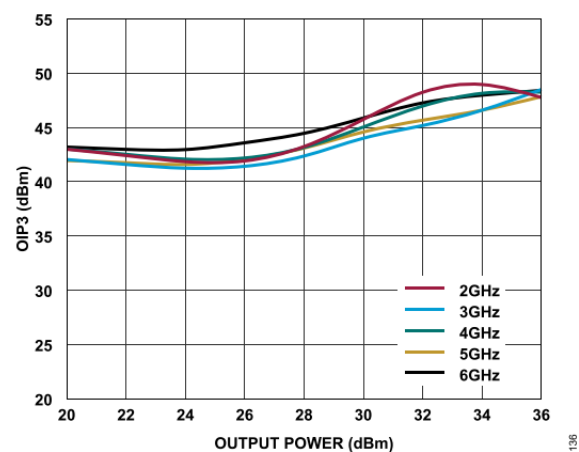


図36. 様々な周波数でのOIP3と出力電力の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

代表的な性能特性

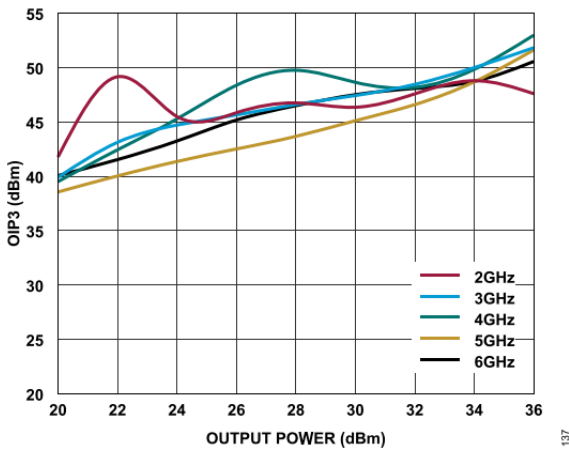


図37. 様々な周波数でのOIP3とトーンあたりの P_{OUT} の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 250mA$

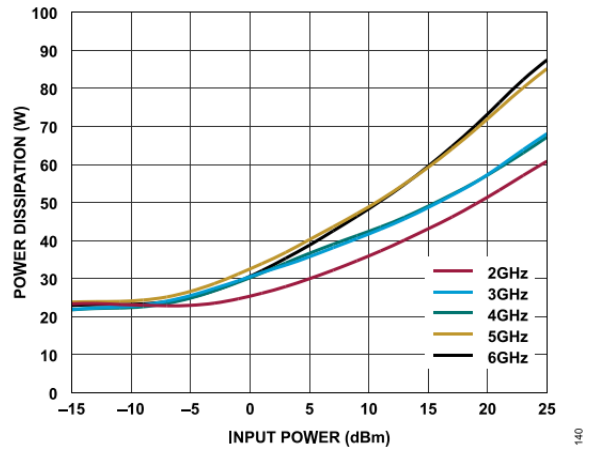


図40. 様々な周波数での消費電力と入力電力の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$ 、 $T_{CASE} = 85^{\circ}C$

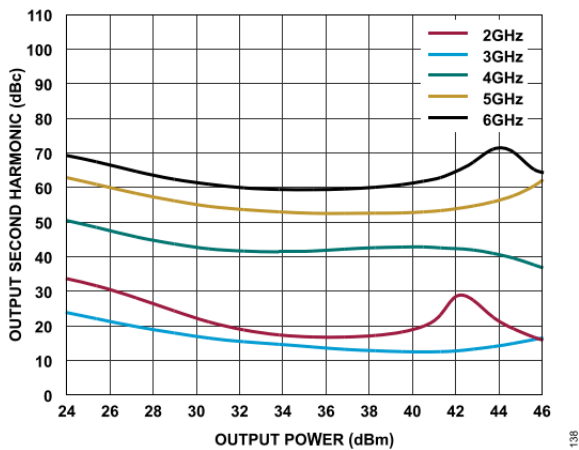


図38. 様々な周波数での出力2次高調波と出力電力の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

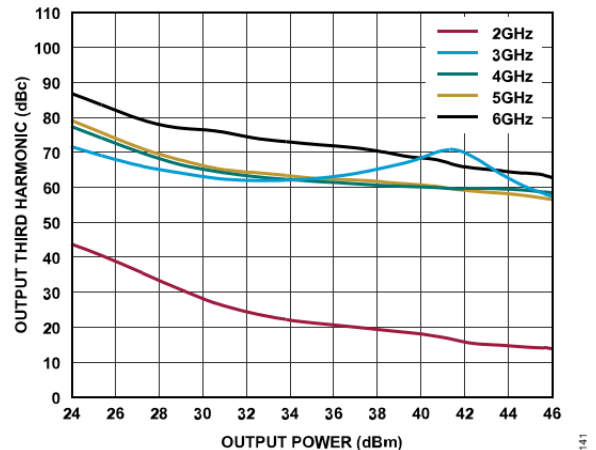


図41. 様々な周波数における出力3次高調波と出力電力の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

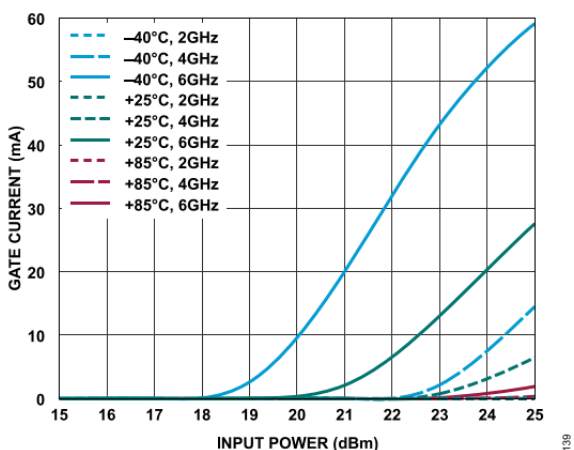


図39. 様々な温度および周波数でのゲート電流と入力電力の関係、 $V_{DD} = 28V$ 、 $I_{DQ} = 750mA$

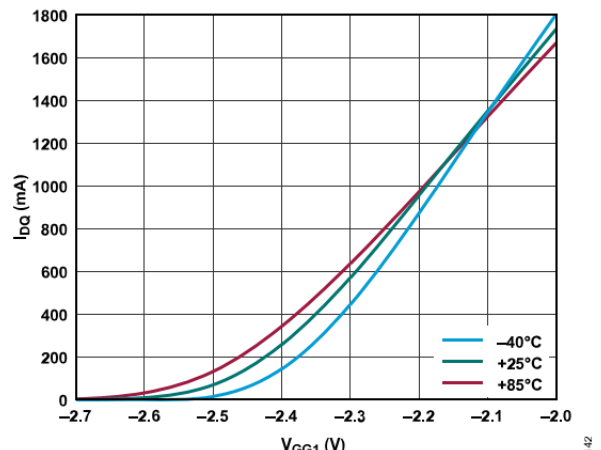


図42. I_{DQ} と V_{GG1} の関係、 $V_{DD} = 28V$

代表的な性能特性

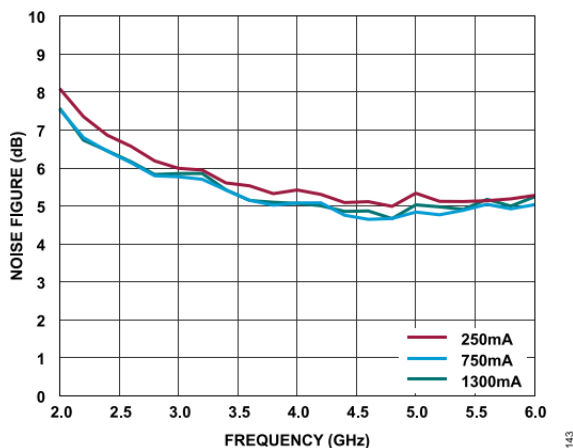


図43. 様々な I_{DQ} 値におけるノイズ指数と周波数の関係、 $V_{DD} = 28V$

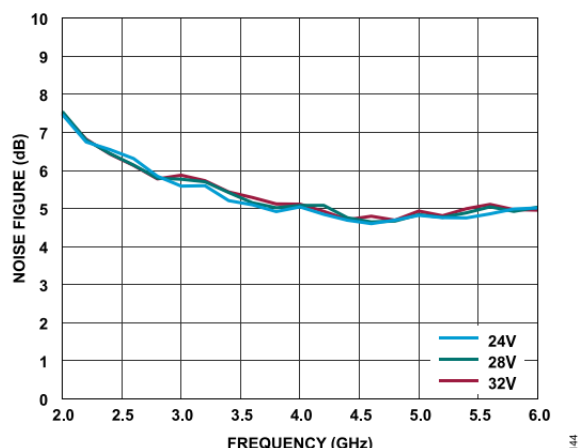


図44. 様々な V_{DD} 値におけるノイズ指数と周波数の関係、 $I_{DQ} = 750mA$

動作原理

ADPA1113はゲイン段がカスケード接続されたGaNパワー・アンプで、正のドレイン電源、およびVGG1ピンに外部から印加された負のゲート電圧でバイアスされます。28V（公称値）が初段、2段目、3段目に印加され、また、負の電圧がVGG1に印加されて、750mA（公称値）の合計 I_{DQ} が設定されます。

上記のようにバイアスすると、このデバイスはクラスABで動作し、飽和時にPAEが最大になります。ADPA1113は、各ドレイン用と、RFINポートおよびRFOUTポートのオン・チップDC阻止用に、RFチョークを内蔵しています。RFINポートおよびRFOUTポートは内部でDC阻止が行われますが、RFINピンではグラウンドへのDC経路があります。そのため、RFINを駆動する信号のDCバイアス・レベルがゼロでない場合、このDCバイアス・レベルは外部でACカップリングする必要があります。

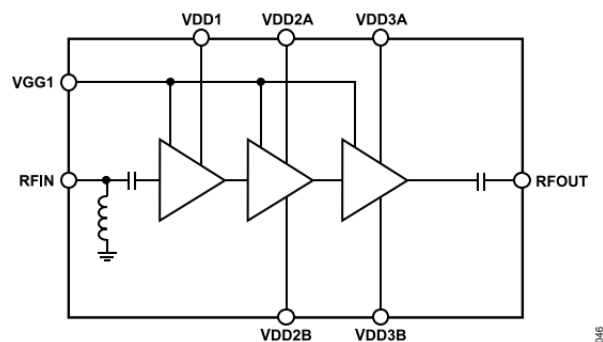


図 45. 基本的なブロック図

アプリケーション情報

アプリケーション回路

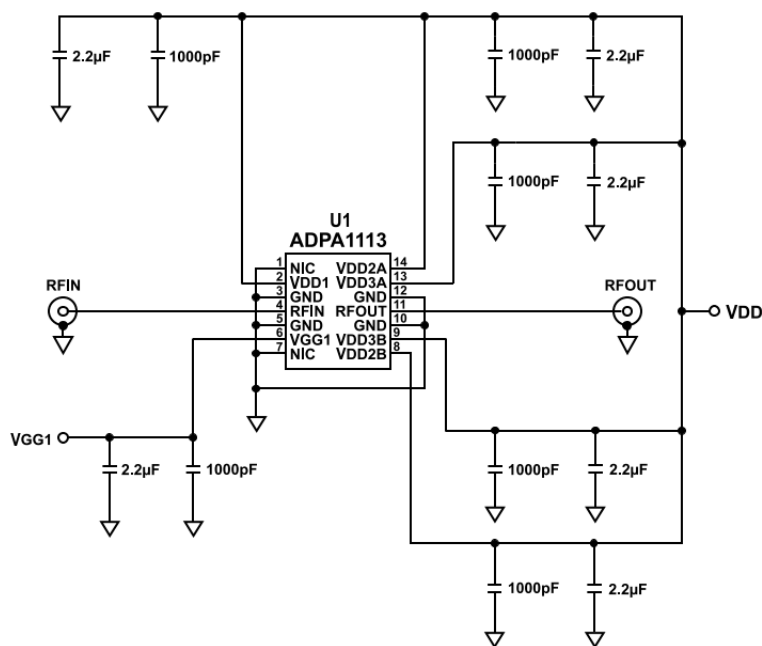


図46. 代表的なアプリケーション回路

基本的な接続方法

ADPA1113を動作させるための基本的な接続方法を図46に示します。28V（公称値）の同じドレイン電源電圧を5本のVDDピン（VDD1、VDD2A、VDD2B、VDD3A、VDD3B）全部に印加する必要があります。これらのVDDピンは、図46に示すようにキャパシタでデカップリングされています。3段全てのゲート電圧（バイアス動作の場合-1.9V~-4.0V、ピンチオフ電圧の場合-8V）はVGG1ピンに印加され、このピンは図46に示すようにデカップリングされています。1番ピンと7番ピンは内部接続のない（NIC）ピンとして指定されています。これらのNICピンは内部では接続されていませんが、デバイスの特性評価時には全てグラウンドに接続されています。

デバイスをオンにするには、VGG1に-4Vを印加します。それによってVGG1がピンチオフ電圧になります。その後、28Vの電圧をVDD1、VDD2A、VDD2B、VDD3A、VDD3Bに印加します。ドレイン電流が750mAになりVGG1が約-2Vになるまでゲート電圧を（正の方向に）増加させ、RF信号を印加します。必要なゲート電圧があらかじめ分かっている場合は、ピンチオフ・ステップを経ることなく、VGG1を直接その電圧に設定できます。

デバイスをオフにするには、RF信号をオフにしVDDの各電圧を0Vにしてから、VGG1を0Vまで増加します。

ユーザ向け評価用ボードのデフォルト構成でもある図46に示す構成を用い、ADPA1113の特性評価を行いました。図に示した電源デカップリング・キャパシタの数を減らすことはできますが、その範囲はそれぞれのシステムによって異なります。キャパシタの数を減らす場合、デバイスから最も遠い位置にある最大のコンデンサを最初に取り除くか、集約することを推奨します。

ハンダ付け処理およびアッセンブリについての考慮事項

ADPA1113は非ハーメチックのエア・キャビティ・デバイスです。パッケージ本体は通常、PCBのカットアウト内に置かれ、PCBの下にあるヒートシンクに直接接触することができます。ヒートシンクまでの良好な熱伝導および電気伝導が容易に行えるよう、Indium CorporationのHeat-Springインジウムなどの電気伝導性および熱伝導性に優れた材料を座金として用いることができます。（あるいは、導電性および熱伝導性の高いペーストやグリースを用いることもできます。）この座金は、ヒートシンクとパッケージ・フランジの底部の間に配置します。その後、スレッド・サイズ0-80、長さ3/16インチのステンレス・ソケット・ヘッド・ネジ（通常の場合）を用いて、パッケージをヒートシンクに取り付けます。ドライバで取り付け後はピンがPCBと同一平面になるため、リードをPCBパッドにハンダ付け処理できるようになります。

外形寸法

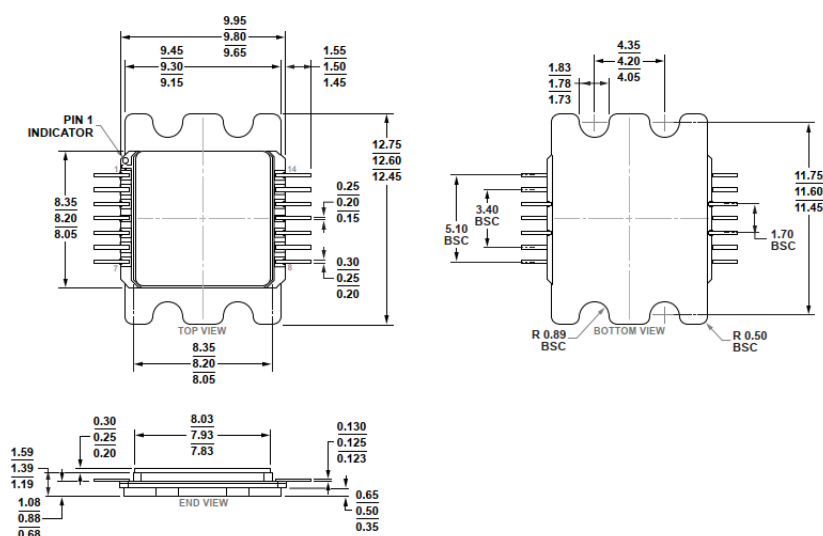


図47. 14端子セラミック・リード・チップ・キャリア [LDCC]
(EJ-14-1)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADPA1113AEJZ	-40°C to +85°C	14-Lead LDCC (9.80 mm × 8.20 mm)	EJ-14-1

¹ Z = RoHS準拠製品。

評価用ボード

表 8. 評価用ボード

Models ¹	Description
ADPA1113-EVALZ	Evaluation Board

¹ Z = RoHS準拠製品。

