

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年3月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年3月2日

製品名：ADP5055

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：17ページ、右の段、一番下の文

【誤】

表7に、デバイスの動作モードの設定において SYNC/MODE ピンにロジック・ハイ・レベルを印加する場合の SYNC/MODE ピンの機能を示します。

【正】

表7に、デバイスの動作モードの設定において SYNC/MODE ピンにロジック・ハイあるいはロー・レベルを印加する場合の SYNC/MODE ピンの機能を示します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年3月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年3月2日

製品名：ADP5055

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：17ページ、表7の内容説明

【誤】

2番目の説明内容

クロック入力/出力 | CFG1 を介して設定

【正】

2番目の説明内容

クロック入力/出力(CFG1により設定) | レジスタ 0xD4 (CTRL_MODE2) の PSMx_ON ビットの設定によって動作モードが決まる(0 = FPWM モード、1 = 自動 PWM/PSM モード)

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年3月2日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年3月2日

製品名：ADP5055

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：22 ページ、左の段、「同位相並列動作」の項、ブレットを使った箇条書きの最初の文

【誤】

「表 11 に記載・・・並列動作・・・」

【正】

「表 11 に記載・・・同位相並列動作・・・」



トリプル降圧レギュレータ 内蔵電力ソリューション

データシート

ADP5055

特長

- 広い入力電圧範囲：2.75V～18V
- バイアス入力電圧範囲：4.5V～18V
- 最高 150°C のジャンクション温度で動作
- アドレス設定可能な PMBus 互換インターフェース
- FB1 電圧精度（デフォルト）：-0.62%～+0.69%（-40°C ≤ T_J ≤ +125°C）
- チャンネル 1 およびチャンネル 2：7A の同期整流式降圧レギュレータ（9.4A の最小バレー電流制限閾値）
- チャンネル 1 およびチャンネル 2：並列動作時に 14A の出力
- チャンネル 3：3A の同期整流式降圧レギュレータ（4.2A の最小バレー電流制限閾値）
- 高精度 8 ビット DAC により DVS が可能
 - 調整可能な帰還電圧範囲：408mV～790.5mV（1.5mV ステップ）
- 上下限閾値の設定
- 調整可能なスイッチング周波数範囲：250kHz～2500kHz
- 外部補償により高速負荷過渡応答が可能
- 0.615V の正確な閾値を持つ高精度イネーブル・ピン
- プログラマブルなパワーアップ・シーケンスとパワーダウン・シーケンス
- 選択可能なアクティブ出力放電スイッチ
- FPWM モードと PSM モードが選択可能
- 周波数同期の入力または出力
- 選択可能なチャンネルに対するパワーグッド・フラグ
- UVLO、過電流保護、TSD 保護

43 端子、5.00mm × 5.50mm の LGA パッケージ

アプリケーション

- スモール・セル基地局
- フィールド・プログラマブル・ゲート・アレイ（FPGA）およびプロセッサのアプリケーション
- セキュリティおよび情報収集
- 医療用アプリケーション

概要

ADP5055 は 43 端子ランド・グリッド・アレイ（LGA）パッケージに 3 個の高性能降圧レギュレータを組み込み、性能とボード・スペースに対する厳しい条件をクリアします。このデバイスは、プリレギュレータなしで最大 18V の高入力電圧への直接接続が可能です。

全チャンネルにハイサイドおよびローサイド金属酸化膜電界効果トランジスタ（MOSFET）が集積され、効率が最適化されたソリューションを実現します。チャンネル 1 とチャンネル 2 は、3.5A または 7A に設定可能な出力電流を供給します。または並列動作で最大 14A の単一出力が可能です。チャンネル 3 は、1.5A または 3A に設定可能な出力電流を供給します。

代表的なアプリケーション回路

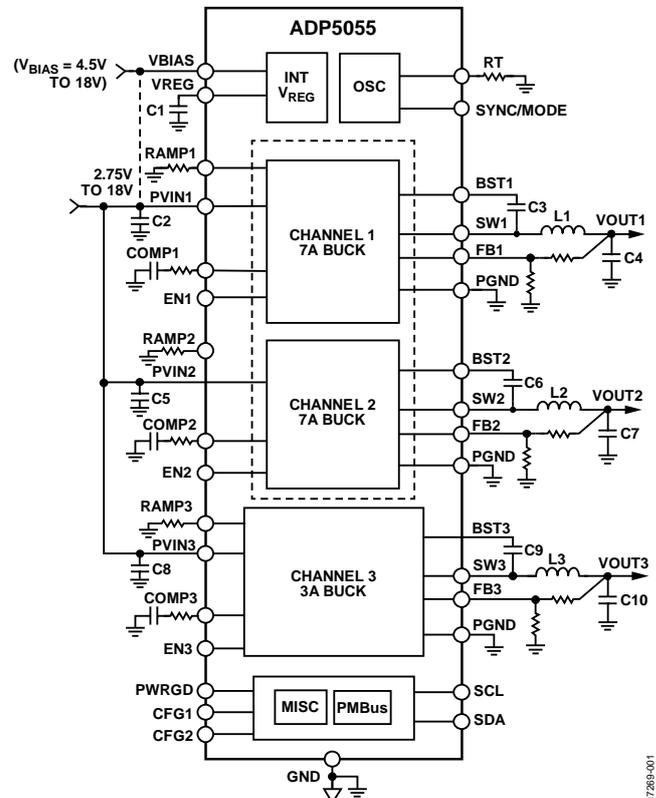


図 1.

ADP5055 のスイッチング周波数は、プログラム可能または外部クロックに同期可能です。各チャンネルにイネーブル・ピン（EN_x）ピンがあるため、パワーアップ・シーケンスが容易で、低電圧ロックアウト（UVLO）閾値も調整可能です。

ADP5055 は高精度の 8 ビット D/A コンバータ（DAC）を内蔵しているため、PMBus®互換の 2 線式インターフェースを介して出力電圧のダイナミック電圧スケーリング（DVS）が可能です。PMBus インターフェースにより、起動/シャットダウン・シーケンス制御、個別の強制パルス幅変調/省電力モード（FPWM/PSM）選択、出力放電スイッチ、パワーグッド信号などの柔軟な設定が可能です。

ADP5055 の定格ジャンクション温度は、-40°C～+150°C です。

このデータシートでは、SYNC/MODE などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、SYNC のように 1 つのピン機能だけを表記しています。

アナログ・デバイス社の提供する情報は、正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

Rev. 0

©2022 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

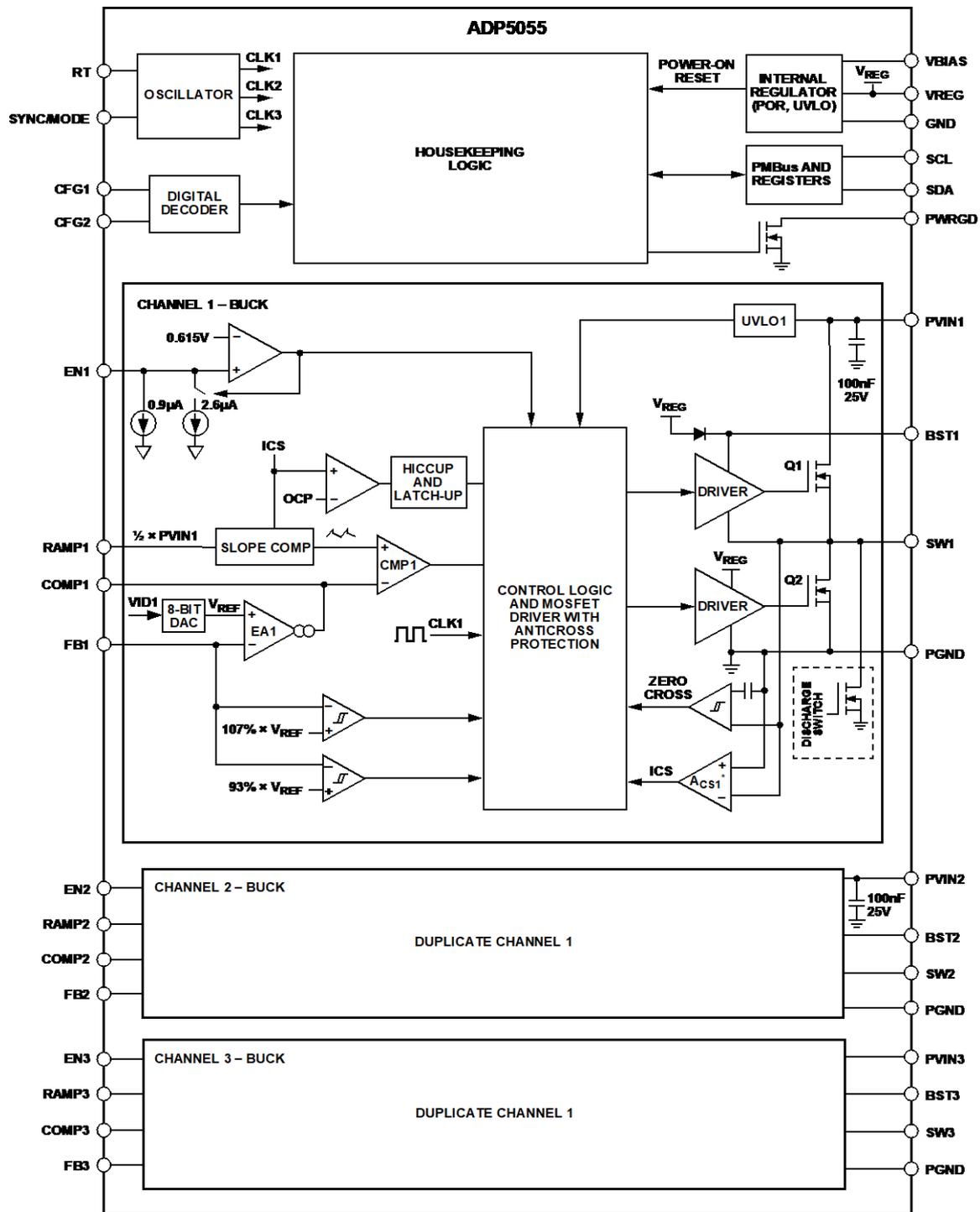
目次

特長.....	1	高温でのパワーアップ.....	25
アプリケーション.....	1	サーマル・シャットダウン.....	25
概要.....	1	PMBus インターフェース.....	26
代表的なアプリケーション回路.....	1	SDA ピンと SCL ピン.....	26
改訂履歴.....	2	PMBus アドレス.....	26
機能ブロック図.....	3	PMB インターフェースのタイミング図.....	27
仕様.....	4	アプリケーション情報.....	28
降圧レギュレータ仕様.....	5	調整可能な出力電圧のプログラミング.....	28
PMBus インターフェースのタイミング仕様.....	8	電圧変換の制限.....	28
絶対最大定格.....	9	電流制限設定.....	28
熱抵抗.....	9	ソフト・スタート設定.....	28
ESD に関する注意.....	9	インダクタの選択.....	28
ピン配置およびピン機能の説明.....	10	出力コンデンサの選択.....	29
代表的な性能特性.....	12	入力コンデンサの選択.....	30
動作原理.....	17	UVLO 入力のプログラミング.....	30
降圧レギュレータの動作モード.....	17	勾配補償の設定.....	30
調整可能な出力電圧.....	18	補償部品の設計.....	30
ダイナミック電圧スケーリング (DVS).....	18	消費電力.....	31
内蔵レギュレータ (VREG).....	18	ジャンクション温度.....	32
個別電源アプリケーション.....	18	代表的なアプリケーション回路.....	33
ブートストラップ回路.....	19	設計例.....	36
アクティブ出力放電スイッチ.....	19	スイッチング周波数の設定.....	36
高精度イネーブル.....	19	出力電圧の設定.....	36
シーケンス・モード.....	20	構成の設定 (CFG1 および CFG2).....	36
発振器.....	20	インダクタの選択.....	36
同期入出力.....	21	出力コンデンサの選択.....	37
ソフト・スタート.....	21	補償ネットワークの設計.....	37
機能設定 (CFG1 および CFG2).....	21	入力コンデンサの選択.....	37
並列動作.....	22	PCB レイアウトに関する推奨事項.....	38
高速トランジェント・モード.....	24	レジスタ・マップ.....	39
プリチャージされた出力状態での起動.....	24	レジスタの詳細.....	40
電流制限保護.....	24	外形寸法.....	50
UVLO.....	25	オーダー・ガイド.....	50
パワーグッド機能.....	25		

改訂履歴

1/2022-Revision 0: 初版

機能ブロック図



*A_{CS1} IS THE CURRENT SENSING AMPLIFIER OF CHANNEL 1.

図 2.

17289-002

仕様

特に指定がない限り、入力電圧 (V_{IN}) = バイアス入力電圧 (V_{BIAS}) = 12V、VREG 電圧 (V_{REG}) = 4.8V、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ (最小仕様値および最大仕様値)、 $T_A = 25^{\circ}\text{C}$ (代表仕様値)。

表 1.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
広い入力電圧範囲	V_{IN}	2.75		18	V	PVIN1 ピン、PVIN2 ピン、PVIN3 ピン
バイアス入力電圧範囲	V_{BIAS}	4.5		18	V	VBIAS ピン
自己消費電流						VBIAS ピン
動作時自己消費電流	$I_{Q(3-BUCKS)}$		6.2	7.5	mA	スイッチングなし、すべての ENx ピンがハイ
3つのチャンネルのシャットダウン電流	$I_{SHDN(3-BUCKS)}$		42	80	μA	すべての ENx ピンがロー
低電圧ロックアウト						
電源入力	$UVLO_{PVINx}$					PVIN1 ピン、PVIN2 ピン、PVIN3 ピン
立上がり閾値	$V_{UVLO1-RISING}$		2.60	2.75	V	
立下がり閾値	$V_{UVLO1-FALLING}$		2.30		V	
ヒステリシス	V_{HYS1}		0.30		V	
バイアス入力電圧	$UVLO_{VBIAS}$					VBIAS ピン
立上がり閾値	$V_{UVLO2-RISING}$		4.20	4.50	V	
立下がり閾値	$V_{UVLO2-FALLING}$	3.60	3.80		V	
ヒステリシス	V_{HYS2}		0.40		V	
発振回路						
スイッチング周波数	f_{SW}	530	600	630	kHz	RT とグラウンドの間に接続される抵抗 (R_T) = 280k Ω
		1140	1200	1250	kHz	$R_T = 140\text{k}\Omega$
		1700	1800	1900	kHz	$R_T = 94.2\text{k}\Omega$
スイッチング周波数範囲		250		2500	kHz	
同期入力						
入力クロック範囲	f_{SYNC}	250		2500	kHz	
入力クロックのパルス幅						
最小オン時間	$t_{SYNC_MIN_ON}$	100			ns	
最小オフ時間	$t_{SYNC_MIN_OFF}$	100			ns	
入力クロックの上限電圧	$V_{H(SYNC)}$	2.65			V	
入力クロックの下限電圧	$V_{L(SYNC)}$			1.25	V	
同期出力						
クロック周波数	f_{CLK}		f_{SW}		kHz	
正パルスのデューティ・サイクル	$t_{CLK_PULSE_DUTY}$		50		%	
立上がり/立下がり時間	$t_{CLK_RISE_FALL}$		2		ns	
ハイ・レベル電圧	$V_{H(SYNC_OUT)}$		V_{REG}		V	
高精度イネーブル						EN1 ピン、EN2 ピン、EN3 ピン
イネーブル電圧範囲	V_{EN_RANGE}	0		18	V	
ハイ・レベル閾値	$V_{TH_H(EN)}$		0.615	0.67	V	
ロー・レベル閾値	$V_{TH_L(EN)}$	0.52	0.575		V	
ソース電流 (ハイ・レベル時)	$I_{TH_H(EN)}$	0.48	0.9	1.55	μA	立上がり閾値以上
ソース電流 (ロー・レベル時)	$I_{TH_L(EN)}$	2.0	3.5	6.0	μA	立下がり閾値以下
パワーグッド						
立上がりの高閾値	$V_{PWRGD(RISE_H)}$		105		%	
立上がりの低閾値	$V_{PWRGD(RISE_L)}$		95		%	
立下がりの高閾値	$V_{PWRGD(FALL_H)}$		107		%	
立下がりの低閾値	$V_{PWRGD(FALL_L)}$		93		%	
内部パワーグッド・ヒステリシス	$V_{PWRGD(HYS)}$		2		%	

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
PWRGD ピンの立下がり遅延 ¹	tPWRGD_FALL_DELAY		4 × t _{sw}		ms	
PWRGD ピンの立上がり遅延 ²	tPWRGD_RISE_DELAY		0 または t _{SET}		ms	CFG2 ピンの抵抗値 (R _{CFG2}) が 0Ω の場合は、2.6ms
PWRGD ピンのリーク電流	I _{PWRGD_LEAKAGE}		0.1	1	μA	
PWRGD ピンの出力ロー電圧	V _{PWRGD_LOW}		10	150	mV	PWRGD ピンの電流(I _{PWRGD})= 1mA
PMBus インターフェース						SCL ピンと SDA ピン
ハイ・レベル閾値	V _{IH}	1.4			V	
ロー・レベル閾値	V _{IL}			0.4	V	
ロジック出力						
ロー・レベルの出力電圧	V _{SDA_LOW}			0.4	V	SDA ピン、PMBus 電源電圧 (V _{DDIO}) = 3.3V、SDA 電流 (I _{SDA}) = 3mA
サーマル・シャットダウン (TSD)						
閾値	T _{SHDN}		175		°C	
ヒステリシス	T _{HYS}		15		°C	

¹ t_{sw} は、スイッチング周期です。

² t_{SET} は、CFG2 による設定時間です。

降圧レギュレータ仕様

特に指定のない限り、V_{IN} = 12V、V_{REG} = 4.8V、f_{sw} = 600kHz (全チャンネル)、T_J = -40°C ~ +150°C (最小仕様値および最大仕様値)、T_A = 25°C (代表仕様値)。

表 2.

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
チャンネル 1 の同期整流式降圧レギュレータ						
連続出力電流	I _O		7		A	CFG1 ピンの構成により設定 (表 11 参照)、CFG1 の抵抗 (R _{CFG1}) = 0Ω
			3.5		A	CFG1 ピンの構成により設定 (表 11 参照)、R _{CFG1} = オープン
FB1 ピン						
電圧範囲	V _{FB1}	408		790.5	mV	PMBus インターフェースを介する
電圧調整の LSB			1.5		mV	
電圧 (デフォルト)			600		mV	
電圧精度 (デフォルト)	V _{FB1_DEFAULT}					V _{FB1_DEFAULT} = 600 mV (VID1 コード = 128)
		-0.25		+0.25	%	T _J = 25°C
		-0.62		+0.69	%	-40°C ≤ T _J ≤ +125°C
		-0.62		+0.83	%	-40°C ≤ T _J ≤ +150°C
電圧精度 (VID1 レジスタ値により設定)	V _{FB1_VID}					-40°C ≤ T _J ≤ +150°C
DVS 機能時に調整可能な V _{FB1_VID}		-1.19		+1.44	%	V _{FB1} = 408 mV (VID1 コード = 0)
		-0.68		+0.86	%	V _{FB1} = 504 mV (VID1 コード = 64)
		-0.52		+0.68	%	V _{FB1} = 696 mV (VID1 コード = 192)
		-0.69		+0.79	%	V _{FB1} = 790.5 mV (VID1 コード = 255)
バイアス電流	I _{FB1}			0.1	μA	調整可能電圧

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
SW1 ピン						
ハイサイド・パワーFET のオン抵抗	$R_{DSON_HS(1)}$		25		m Ω	ピン間の測定値
ローサイド・パワーFET のオン抵抗	$R_{DSON_LS(1)}$		12		m Ω	ピン間の測定値
バレー電流制限閾値	$I_{TH(ILIM1)}$	9.4			A	チャンネル 1 の電流制限値 (I_{LIM1}) = 7A、 $T_J = 25^\circ\text{C}$
		4.4			A	$I_{LIM1} = 3.5\text{A}$ 、 $T_J = 25^\circ\text{C}$
負の電流制限閾値	$I_{TH(ILIM1-NEG)}$		-5.0		A	
最小オン時間	t_{MIN_ON1}		35	55	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
最小オフ時間	t_{MIN_OFF1}		120	150	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
COMP1 ピンのエラー・アンプ						
トランスコンダクタンス	g_{m1}	330	350	365	μS	
ソフト・スタート時間	t_{SS1}		$0.83 \times t_{SET}$		ms	$R_{CFG2} = 0\Omega$ の場合、 $t_{SET} = 2.6\text{ms}$
ヒカップ時間	$t_{HICCUP1}$		$7 \times t_{SET}$		ms	
出力コンデンサ (C_{OUT}) 放電スイッチのオン抵抗	R_{DIS1}		75		Ω	
チャンネル 2 の同期整流式降圧レギュレータ						
連続出力電流	I_O		7		A	CFG1 ピンの構成により設定 (表 11 参照)、 $R_{CFG1} = 0\Omega$
			3.5		A	CFG1 ピンの構成により設定 (表 11 参照)、 $R_{CFG1} = \text{オープン}$
FB2 ピン						
電圧範囲	V_{FB2}	408		790.5	mV	PMBus インターフェースを介する
電圧調整の LSB			1.5		mV	
電圧 (デフォルト)			600		mV	
電圧精度 (デフォルト)	$V_{FB2_DEFAULT}$	-0.25		+0.25	%	$T_J = 25^\circ\text{C}$
		-0.62		+0.69	%	$-40^\circ\text{C} \leq T_J \leq +125^\circ\text{C}$
		-0.62		+0.83	%	$-40^\circ\text{C} \leq T_J \leq +150^\circ\text{C}$
電圧精度 (VID2 レジスタ値により設定)	V_{FB2_VID}				%	$-40^\circ\text{C} \leq T_J \leq +150^\circ\text{C}$
DVS 機能時に調整可能な V_{FB2_VID}		-1.19		+1.47	%	$V_{FB2} = 408\text{ mV}$ (VID2 コード = 0)
		-0.67		+0.86	%	$V_{FB2} = 504\text{ mV}$ (VID2 コード = 64)
		-0.50		+0.65	%	$V_{FB2} = 696\text{ mV}$ (VID2 コード = 192)
		-0.68		+0.77	%	$V_{FB2} = 790.5\text{ mV}$ (VID2 コード = 255)
バイアス電流	I_{FB2}			0.1	μA	調整可能電圧
SW2 ピン						
ハイサイド・パワーFET のオン抵抗	$R_{DSON_HS(2)}$		25		m Ω	ピン間の測定値
ローサイド・パワーFET のオン抵抗	$R_{DSON_LS(2)}$		12		m Ω	ピン間の測定値
バレー電流制限閾値	$I_{TH(ILIM2)}$	9.4			A	チャンネル 2 の電流制限値 (I_{LIM2}) = 7A、 $T_J = 25^\circ\text{C}$
		4.4			A	$I_{LIM2} = 3.5\text{A}$ 、 $T_J = 25^\circ\text{C}$
負の電流制限閾値	$I_{TH(ILIM2-NEG)}$		-5.0		A	
最小オン時間	t_{MIN_ON2}		35	55	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
最小オフ時間	t_{MIN_OFF2}		120	150	ns	$f_{SW} = 250\text{kHz} \sim 2500\text{kHz}$
COMP2 ピンのエラー・アンプ						
トランスコンダクタンス	g_{m2}	330	350	365	μS	

パラメータ	記号	最小値	代表値	最大値	単位	テスト条件/コメント
ソフト・スタート時間	t_{SS2}		$0.83 \times t_{SET}$		ms	$R_{CFG2} = 0\Omega$ の場合、 $t_{SET} = 2.6ms$
ヒカップ時間	t_{HICCP2}		$7 \times t_{SET}$		ms	
C_{OUT} 放電スイッチのオン抵抗	R_{DIS2}		75		Ω	
チャンネル3の同期整流式降圧レギュレータ						
連続出力電流	I_O		7		A	CFG1 ピンの構成により設定 (表 11 を参照)、 $R_{CFG1} = 0\Omega$
			3.5		A	CFG1 ピンの構成により設定 (表 11 を参照)、 $R_{CFG1} = \text{オープン}$
FB3 ピン						
電圧範囲	V_{FB3}	408		790.5	mV	PMBus インターフェース
電圧調整の LSB			1.5		mV	
電圧 (デフォルト)			600		mV	
電圧精度 (デフォルト)	$V_{FB3_DEFAULT}$	-0.25		+0.25	%	$T_J = 25^\circ C$
		-0.62		+0.69	%	$-40^\circ C \leq T_J \leq +125^\circ C$
		-0.62		+0.83	%	$-40^\circ C \leq T_J \leq +150^\circ C$
電圧精度 (VID3 レジスタ値により設定)	V_{FB3_VID}				%	$-40^\circ C \leq T_J \leq +150^\circ C$
DVS 機能時に調整可能な V_{FB3_VID}		-1.14		+1.37	%	$V_{FB3} = 408 \text{ mV}$ (VID3 コード = 0)
		-0.67		+0.79	%	$V_{FB3} = 504 \text{ mV}$ (VID3 コード = 64)
		-0.51		+0.60	%	$V_{FB3} = 696 \text{ mV}$ (VID3 コード = 192)
		-0.68		+0.71	%	$V_{FB3} = 790.5 \text{ mV}$ (VID3 コード = 255)
バイアス電流	I_{FB3}			0.1	μA	調整可能電圧
SW3 ピン						
ハイサイド・パワーFET のオン抵抗	$R_{DSON_HS(3)}$		85		m Ω	ピン間の測定値
ローサイド・パワーFET のオン抵抗	$R_{DSON_LS(3)}$		45		m Ω	ピン間の測定値
バレー電流制限閾値	$I_{TH(ILIM3)}$	4.2			A	チャンネル3の電流制限値 (I_{LIM3}) = 3A、 $T_J = 25^\circ C$
		2.1			A	$I_{LIM3} = 1.5A$ 、 $T_J = 25^\circ C$
負の電流制限閾値	$I_{TH(ILIM3-NEG)}$		-2.5		A	
最小オン時間	t_{MIN_ON3}		35	55	ns	$f_{SW} = 250kHz \sim 2500kHz$
最小オフ時間	t_{MIN_OFF3}		120	150	ns	$f_{SW} = 250kHz \sim 2500kHz$
COMP3 ピンのエラー・アンプ						
トランスコンダクタンス	g_{m3}	330	350	365	μS	
ソフト・スタート時間	t_{SS3}		$0.83 \times t_{SET}$		ms	$R_{CFG2} = 0\Omega$ の場合、 $t_{SET} = 2.6ms$
ヒカップ時間	t_{HICCP3}		$7 \times t_{SET}$		ms	
C_{OUT} 放電スイッチのオン抵抗	R_{DIS3}		75		Ω	

PMBUS インターフェースのタイミング仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ および $V_{DDIO} = 3.3\text{V}$ 。

表 3.

パラメータ	最小値	代表値	最大値	単位	説明
f_{SCL}	10		400	kHz	SCL クロック周波数
t_{HIGH}	0.6		50	μs	SCL のハイ時間
t_{LOW}	1.3			μs	SCL のロー時間
$t_{\text{SU; DAT}}$	100			ns	データ・セットアップ時間
$t_{\text{HD; DAT}}$	300			ns	データ・ホールド時間 ¹
$t_{\text{TIMEOUT; SCL}}$	25		35	ms	SCL ローのタイムアウト (図 3 には示していません)
t_{TIMEOUT}	25		35	ms	SDA ローのタイムアウト (図 3 には示していません)
$t_{\text{SU; STA}}$	0.6			μs	反復開始条件のセットアップ時間
$t_{\text{HD; STA}}$	0.6			μs	開始条件または反復開始条件のホールド時間
t_{BUF}	1.3			μs	停止条件と開始条件の間のバス空き時間
$t_{\text{SU; STO}}$	0.6			μs	停止条件のセットアップ時間
t_{R}	20		300	ns	SCL と SDA の立上がり時間
t_{F}	20		300	ns	SCL と SDA の立下がり時間
t_{SP}			50	ns	抑制されたスパイクのパルス幅 (図 3 には示していません)
C_B^2			400	pF	各バス・ラインの容量性負荷

¹SCL の立下がりエッジの不定領域を越えるために、マスタ・デバイスは、SDA 信号に対して少なくとも 300ns (SCL 信号の最小 V_{IH} が基準) のホールド時間を確保する必要があります。

² C_B は、1 本のバス・ラインの合計容量 (pF) です。

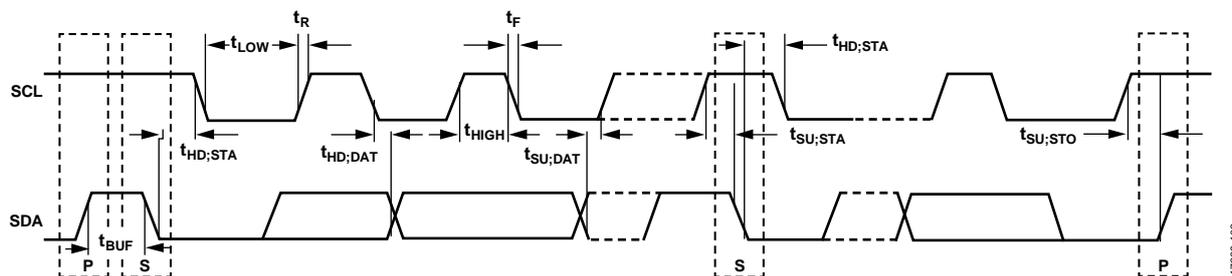


図 3. シリアル・バスのタイミング図

17269-102

絶対最大定格

表 4.

パラメータ	定格
VBIAS と GND の差	-0.3V~+21V
PVINx と PGND の差	-0.3V~+21V
SWx と PGND の差	-0.3V~+21V
RAMPx と GND の差	-0.3V~+21V
PGND と GND の差	-0.3V~+0.3V
BST1 と SW1 の差	-0.3V~+6.5V
BST2 と SW2 の差	-0.3V~+6.5V
BST3 と SW3 の差	-0.3V~+6.5V
CFG1 および CFG2 と GND の差	-0.3V~+6.5V
ENx と GND の差	-0.3V~+21V
VREG と GND の差	-0.3V~+6.5V
SYNC/MODE と GND の差	-0.3V~+6.5V
RT と GND の差	-0.3V~+6.5V
PWRGD と GND の差+	-0.3V~+6.5V
FB1、FB2 および FB3 と GND の差	-0.3V~+6.5V
COMPx と GND の差	-0.3V~+6.5V
SCL および SDA と GND の差	-0.3V~+6.5V
温度範囲	
保存温度範囲	-65°C~+150°C
動作ジャンクション温度範囲	-40°C~+150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。長時間にわたり絶対最大定格を超えた状態で使用した場合、製品の信頼性に影響が及ぶことがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

（特に指定のない限り）表 5 に仕様規定されている熱抵抗値は、JEDECs 仕様に基づいてシミュレーションされており、JESD51-12 に従って使用します。放熱（PCB、ヒート・シンク、空気の流れなど）強化技術を使用し、熱抵抗を改善しています。

表 5. 熱抵抗

パッケージ・タイプ	θ_{JA}	θ_{JC}^1	θ_{JB}	Ψ_{JT}	Ψ_{JB}	単位
CC-43-1	26.0	14.3	9.3	0.2	9.0	°C/W

¹ θ_{JC} の試験では、100 μ mの熱界面材料（TIM）を使用しています。TIMは3.6W/mKと仮定しています。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

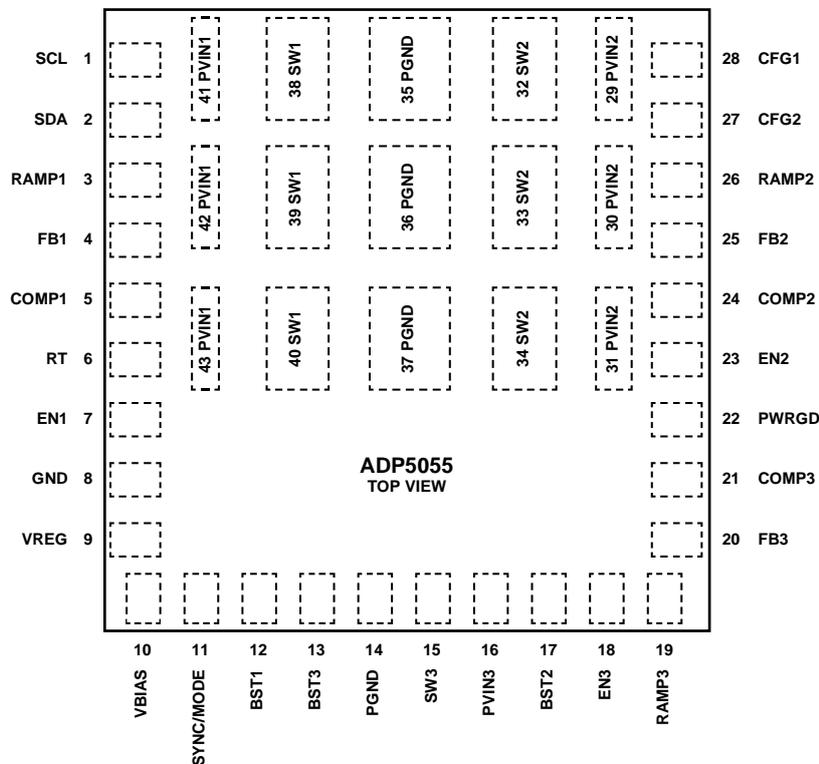


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	SCL	PMBus インターフェース用クロック入力。
2	SDA	PMBus インターフェース用データ入出力。オープンドレイン入出力ポートです。
3	RAMP1	チャンネル 1 の勾配補償設定。勾配補償を設定するには、RAMP1 からグラウンドに抵抗を接続します。
4	FB1	チャンネル 1 の帰還検出入力。
5	COMP1	チャンネル 1 のエラー・アンプ出力。COMP1 ピンとグラウンドの間に RC ネットワークを接続します。
6	RT	周波数設定 (RT)。RT とグラウンドの間に抵抗(R _{RT}) を接続してスイッチング周波数をプログラムします。
7	EN1	チャンネル 1 のイネーブル入力。
8	GND	アナログ・グラウンド。
9	VREG	内蔵 4.8V レギュレータの出力。制御回路は VREG 電圧から給電されます。VREG ピンと GND の間に 4.7μF のセラミック・コンデンサ (x7R または x5R) を接続します。
10	VBIAS	内蔵レギュレータに給電するためのバイアス入力電圧ピン。
11	SYNC/MODE	同期入出力 (SYNC)。デバイスのスイッチング周波数を外部クロックに同期させるには、周波数 250 k Hz ~ 2500 k Hz の外部クロックに SYNC を接続します。SYNC は CFG1 ピンの構成により同期クロック出力として設定することもできます。 FPWM または自動 PWM/PSM 選択ピン (MODE)。MODE がロジック・ハイの場合、各チャンネルは FPWM モードで動作します。MODE がロジック・ローの場合、すべてのチャンネルが自動 PWM/PSM モードで動作します。
12	BST1	チャンネル 1 のハイサイド・ゲート・ドライブ用の電源レール。SW1 と BST1 の間に 0.1μF のコンデンサ (x7R または x5R) を接続します。
13	BST3	チャンネル 3 のハイサイド・ゲート・ドライブ用の電源レール。SW3 と BST3 の間に 0.1μF のコンデンサ (x7R または x5R) を接続します。
14	PGND	全チャンネルの電源グラウンド。
15	SW3	チャンネル 3 のスイッチング・ノード出力。
16	PVIN3	チャンネル 3 の電源入力。
17	BST2	チャンネル 2 のハイサイド・ゲート・ドライブ用の電源レール。SW2 と BST2 の間に 0.1μF のコンデンサ (x7R または x5R) を接続します。

ピン番号	記号	説明
18	EN3	チャンネル3のイネーブル入力。
19	RAMP3	チャンネル3の勾配補償設定。勾配補償を設定するには、RAMP3 からグラウンドに抵抗を接続します。
20	FB3	チャンネル3の帰還検出入力。
21	COMP3	チャンネル3のエラー・アンプ出力。COMP3 ピンとグラウンドの間に RC ネットワークを接続します。
22	PWRGD	選択可能なチャンネルのパワーグッド出力
23	EN2	チャンネル2のイネーブル入力。
24	COMP2	チャンネル2のエラー・アンプ出力。COMP2 ピンとグラウンドの間に RC ネットワークを接続します。
25	FB2	チャンネル2の帰還検出入力。
26	RAMP2	チャンネル2の勾配補償設定。勾配補償を設定するには、RAMP2 からグラウンドに抵抗を接続します。
27	CFG2	システム設定ピン2。CFG2 ピンとグラウンドの間に抵抗を接続して、 t_{SET} タイマー、高速トランジエント・モード、PMBus アドレス設定をプログラムします。
28	CFG1	システム設定ピン1。CFG1 ピンとグラウンドの間に抵抗を接続して、電流制限、並列動作、クロック出力設定をプログラムします。
29~31	PVIN2	チャンネル2の電源入力。
32~34	SW2	チャンネル2のスイッチング・ノード出力。
35~37	PGND	全チャンネルの電源グラウンド。
38~40	SW1	チャンネル1のスイッチング・ノード出力。
41~43	PVIN1	チャンネル1の電源入力。

代表的な性能特性

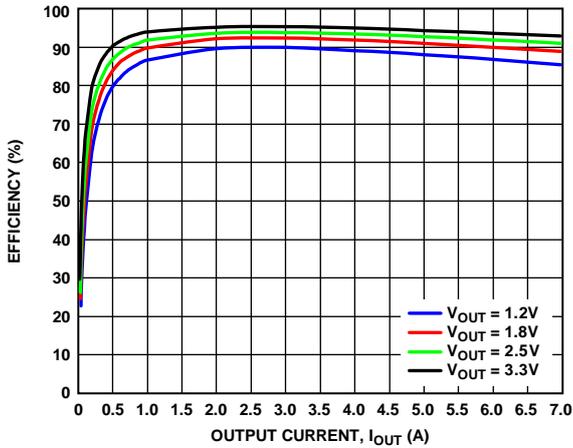


図 5. チャンネル 1/チャンネル 2 の効率曲線、 $V_{IN} = 5V$ 、 $f_{SW} = 600kHz$ 、FPWM モード (V_{OUT} は出力電圧)

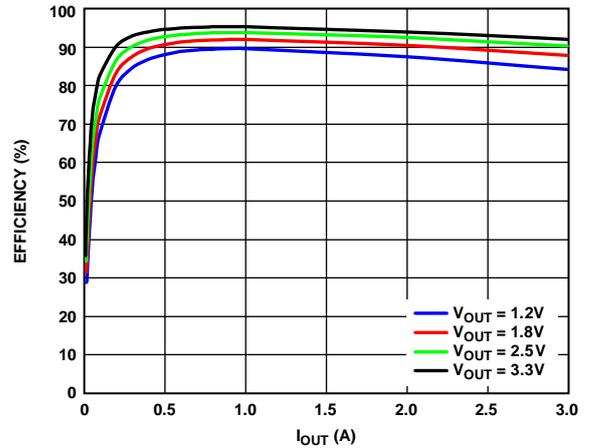


図 8. チャンネル 3 の効率曲線、 $V_{IN} = 5V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

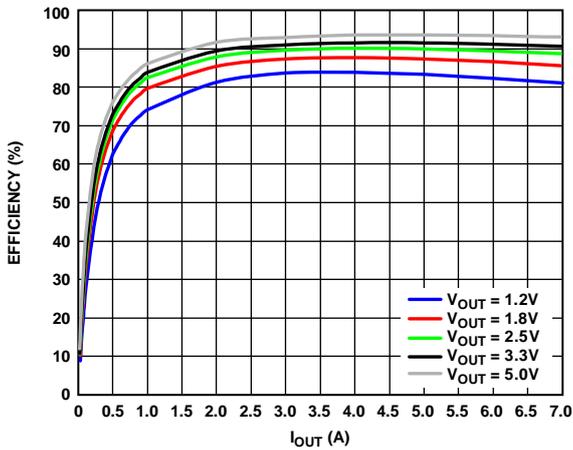


図 6. チャンネル 1/チャンネル 2 の効率曲線、 $V_{IN} = 12V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

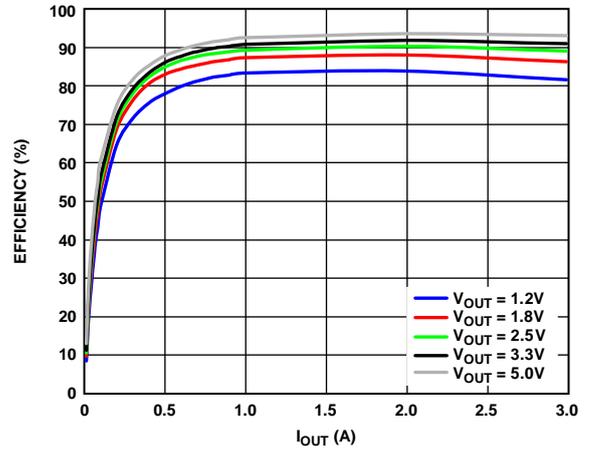


図 9. チャンネル 3 の効率曲線、 $V_{IN} = 12V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

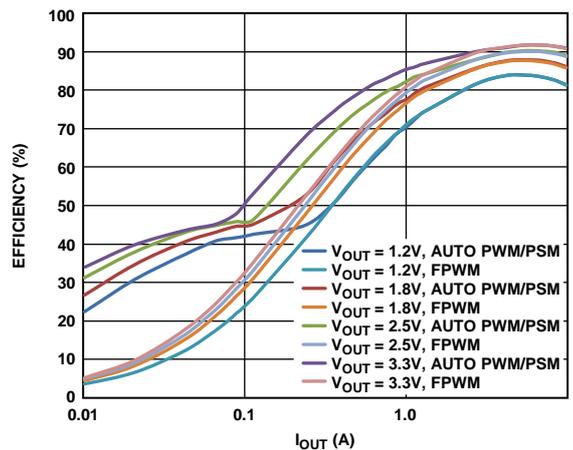


図 7. チャンネル 1/チャンネル 2 の効率曲線、 $V_{IN} = 12V$ 、 $f_{SW} = 600kHz$ 、FPWM モードおよび自動 PWM/PSM モード

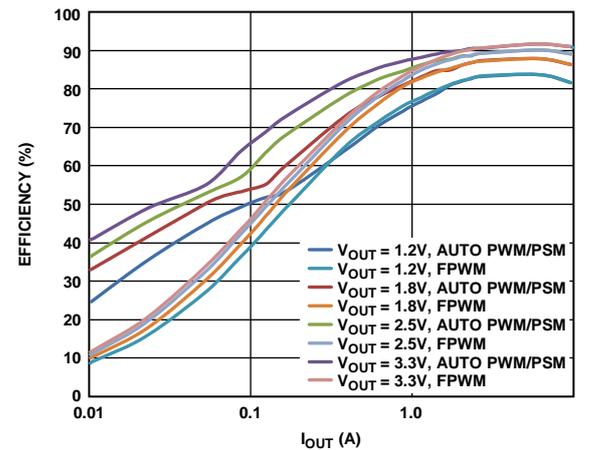


図 10. チャンネル 3 の効率曲線、 $V_{IN} = 12V$ 、 $f_{SW} = 600kHz$ 、FPWM モードおよび自動 PWM/PSM モード

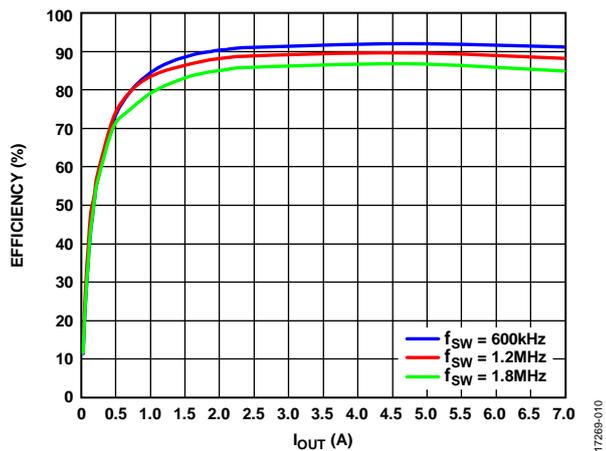


図 11. チャンネル 1 / チャンネル 2 効率曲線、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、FPWM モード (600kHz、1.2MHz、1.8MHz)

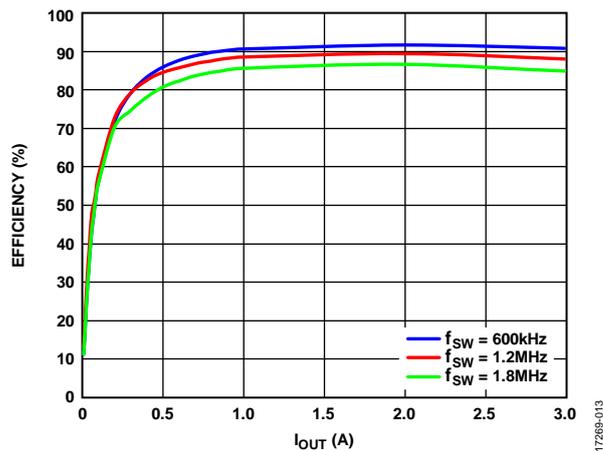


図 14. チャンネル 3 の効率曲線、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、FPWM モード (600kHz、1.2MHz、1.8MHz)

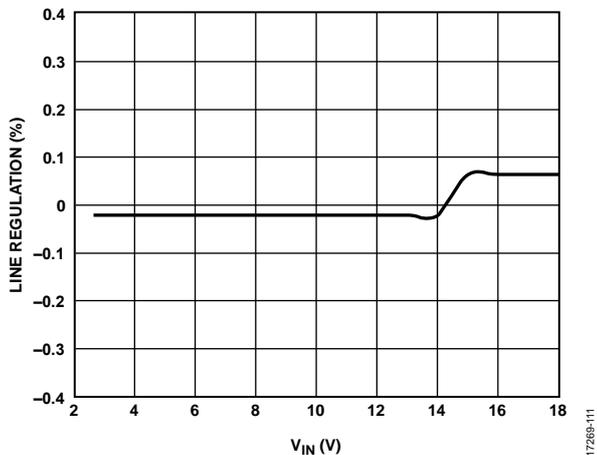


図 12. チャンネル 1 / チャンネル 2 のライン・レギュレーション、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 7A$ 、 $f_{SW} = 600kHz$ 、FPWM モード

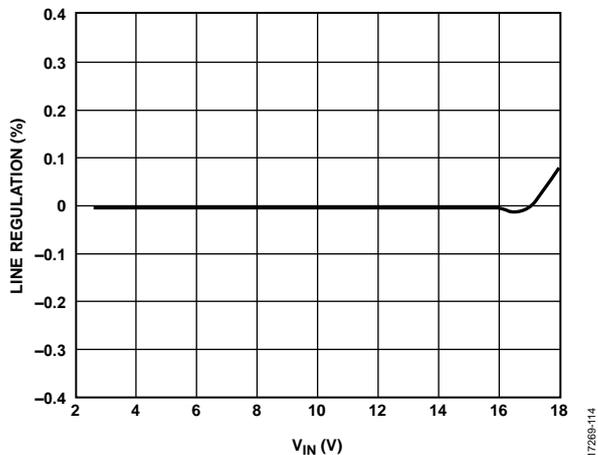


図 15. チャンネル 3 のライン・レギュレーション、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 3A$ 、 $f_{SW} = 600kHz$ 、FPWM モード

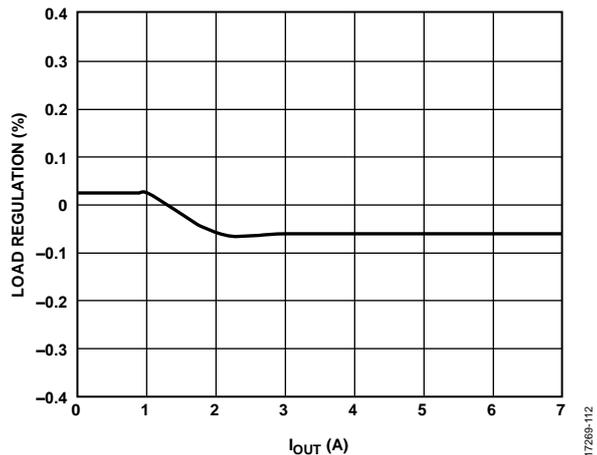


図 13. チャンネル 1 / チャンネル 2 の負荷レギュレーション、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

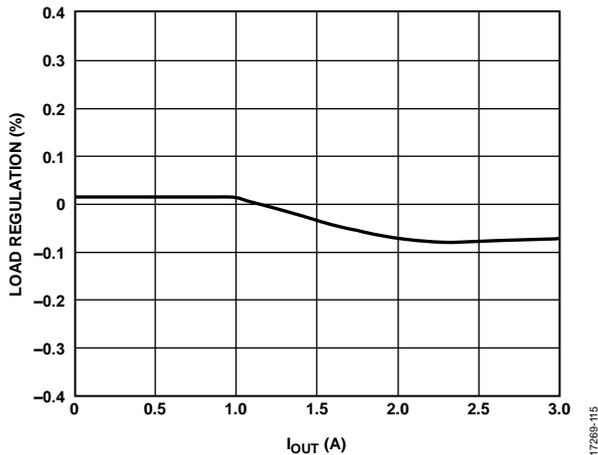


図 16. チャンネル 3 の負荷レギュレーション、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード

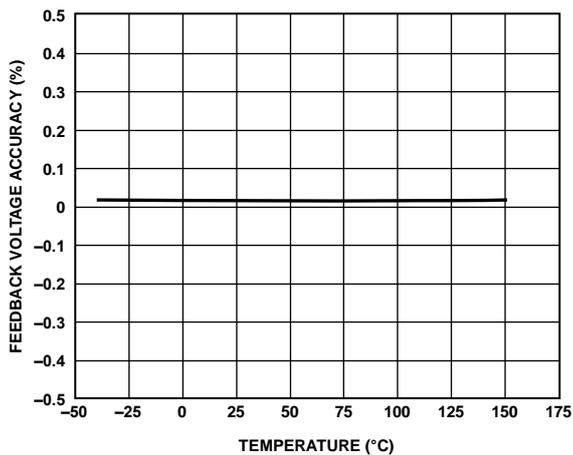


図 17. 帰還電圧精度の温度特性 (チャンネル 1)

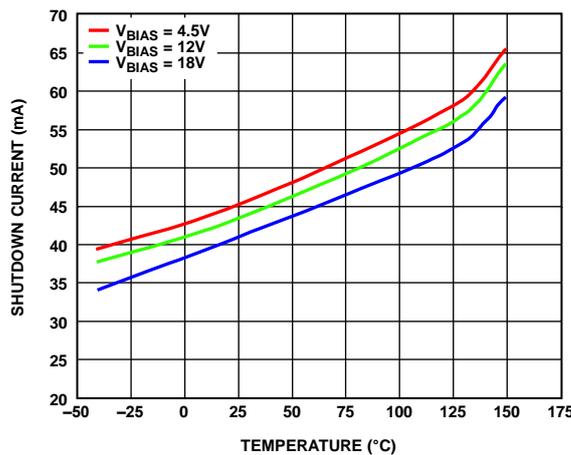


図 20. シャットダウン電流の温度特性 (EN1、EN2、EN3 がローレベルの場合)

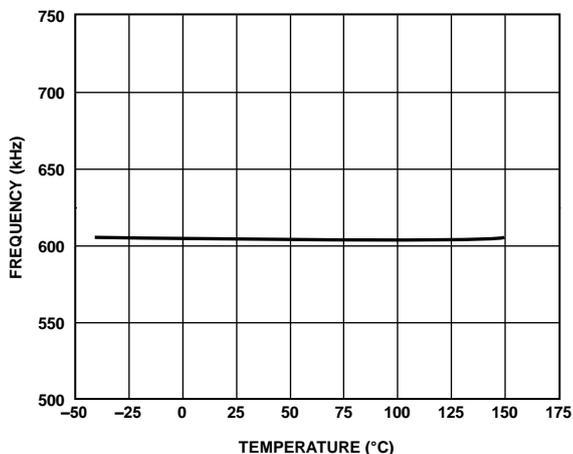


図 18. 周波数の温度特性、V_{IN} = 12V

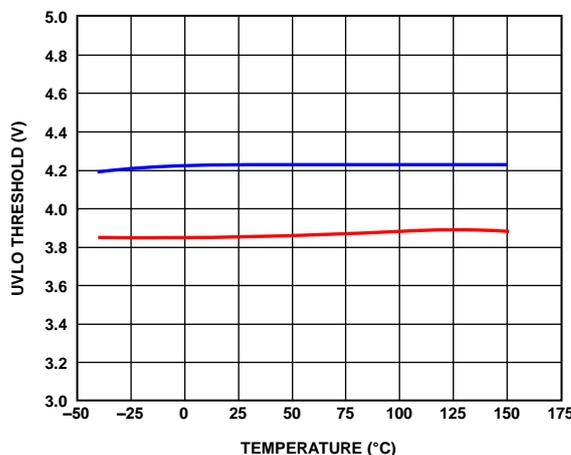


図 21. UVLO 閾値の温度特性

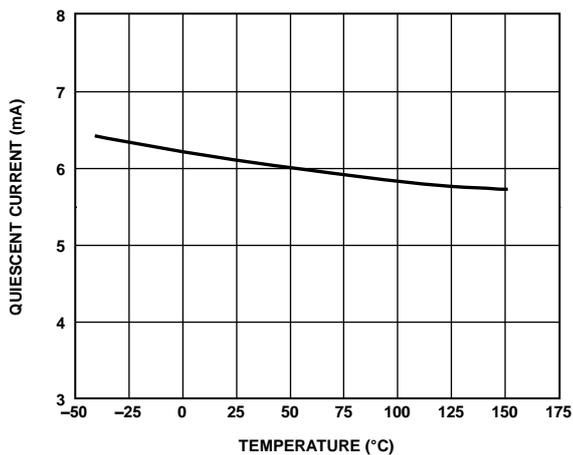


図 19. 自己消費電流の温度特性 (PVIN1、PVIN2、PVIN3 のすべてを含む)

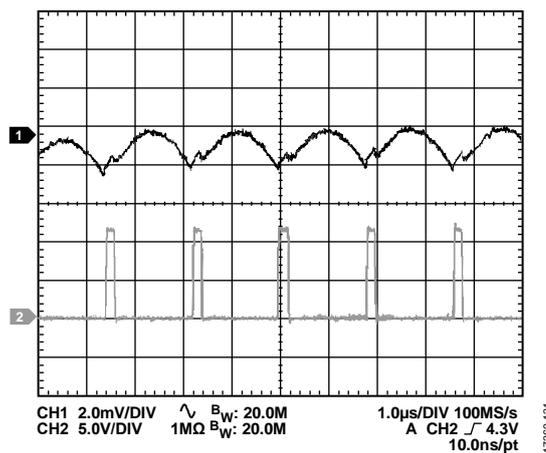


図 22. チャンネル 1/チャンネル 2 の定常状態波形、V_{IN} = 12V、
 V_{OUT} = 1.2V、I_{OUT} = 7A、f_{SW} = 600kHz、L = 1μH、
 C_{OUT} = 47μF × 6、FPWM モード、チャンネル 1 = V_{OUT}、
 チャンネル 2 = スイッチング・ポイント (SW)

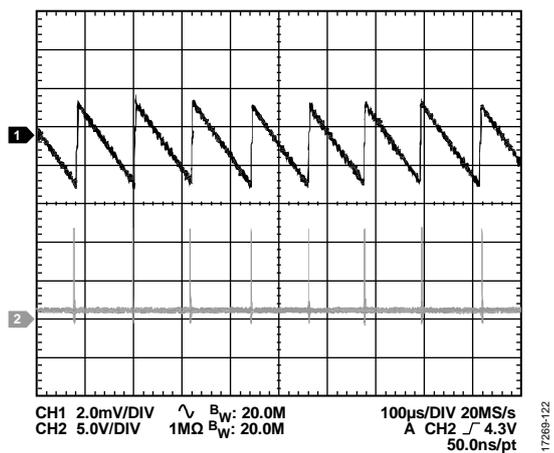


図 23. チャンネル 1/チャンネル 2 の定常状態波形、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $I_{OUT} = 10mA$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、自動 PWM/PSM、チャンネル 1 = V_{OUT} 、チャンネル 2 = SW

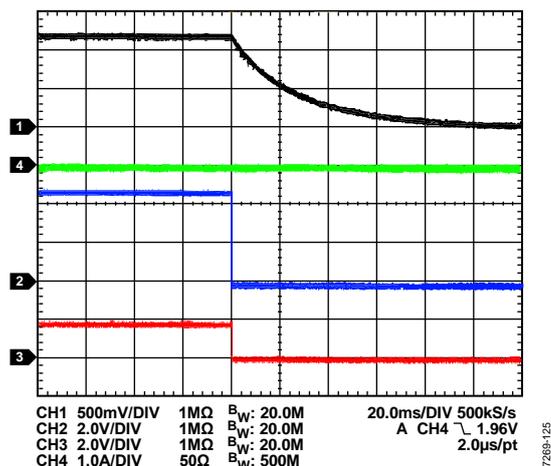


図 26. チャンネル 1/チャンネル 2 のシャットダウン (アクティブ出力放電時)、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 = V_{OUT} 、チャンネル 2 = EN、チャンネル 3 = PWRGD、チャンネル 4 = I_{OUT}

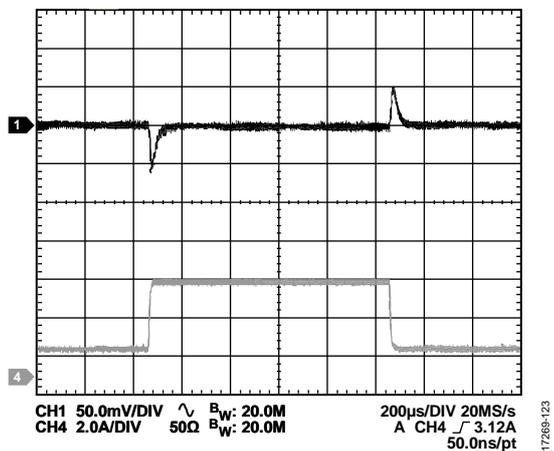


図 24. 負荷過渡応答 (チャンネル 1/チャンネル 2、1.5A~5A)、 $V_{IN} = 12V$ 、 $V_{OUT} = 3.3V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、1A/ μ s、チャンネル 1 = V_{OUT} 、チャンネル 4 = I_{OUT}

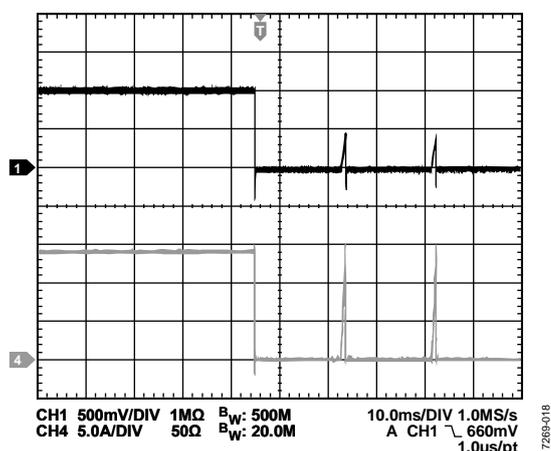


図 27. チャンネル 1/チャンネル 2 の短絡保護への移行、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.0V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 = V_{OUT} 、チャンネル 4 = I_{OUT}

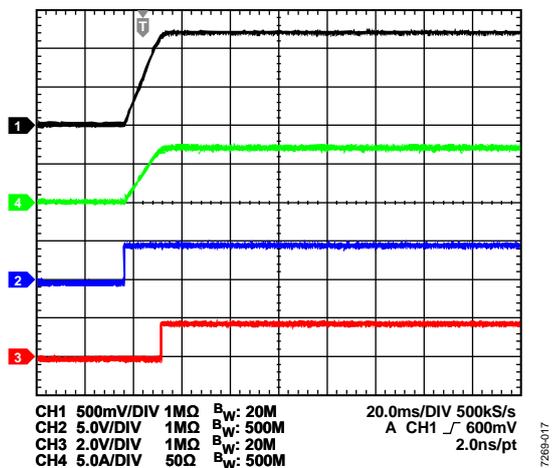


図 25. チャンネル 1/チャンネル 2 のソフト・スタート (7A の抵抗負荷)、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 = V_{OUT} 、チャンネル 2 = EN、チャンネル 3 = PWRGD、チャンネル 4 = I_{OUT}

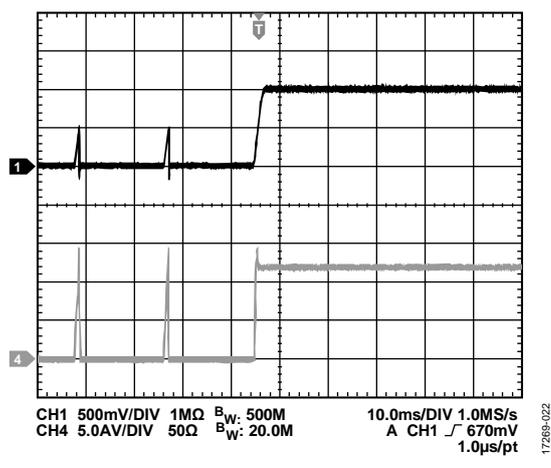


図 28. チャンネル 1/チャンネル 2 の短絡保護からの復帰、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.0V$ 、 $f_{SW} = 600kHz$ 、 $L = 1\mu H$ 、 $C_{OUT} = 47\mu F \times 6$ 、チャンネル 1 = V_{OUT} 、チャンネル 4 = I_{OUT}

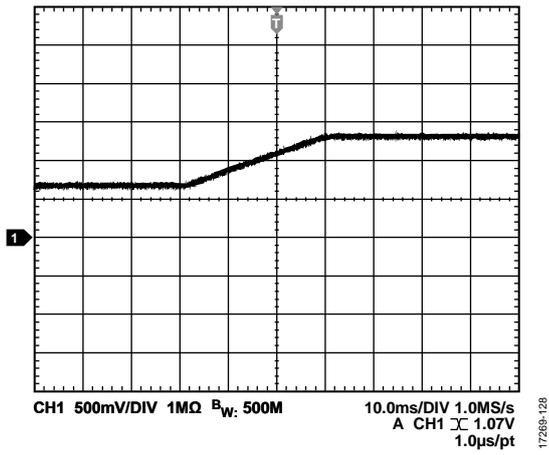


図 29. チャンネル 1/チャンネル 2 の DVS (0.62V から 1.24V) 、
12mV/ms、 $V_{IN} = 12V$ 、 $I_{OUT} = 7A$

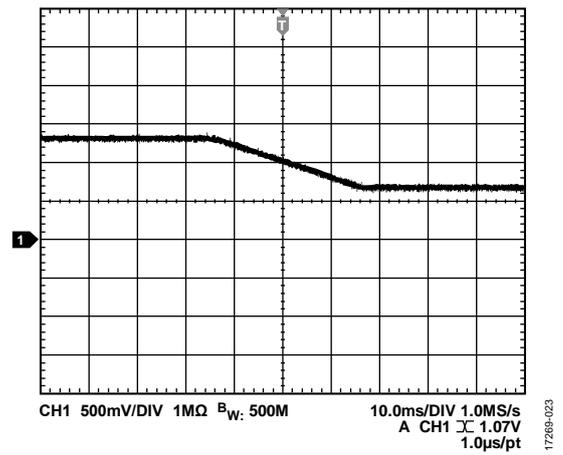


図 30. チャンネル 1/チャンネル 2 の DVS (1.24V から 0.62V) 、
12mV/ms、 $V_{IN} = 12V$ 、 $I_{OUT} = 7A$

動作原理

ADP5055 は、43 端子 LGA パッケージに 3 個の高性能降圧レギュレータと PMBus インターフェースを組み込み、性能とボード・スペースに対する厳しい条件をクリアしたパワー・マネージメント・ユニットです。このデバイスは、プリレギュレータなしで最大 18V の高入力電圧への直接接続が可能であるため、アプリケーションをより簡素で効率的なものにできます。

降圧レギュレータの動作モード

PWM モード

PWM モードの場合、ADP5055 の降圧レギュレータは固定周波数で動作します。RT ピンでプログラムされた内部発振器がこの周波数を設定します。ADP5055 は、図 31 に示すように、ローサイド MOSFET の電流を使用して PWM 制御を行います。オフ期間の最後に、バレー電流に関する情報が収集され、勾配ランプと組み合わせることで、エミュレートされた電流ランプ電圧が形成されます。RAMPx ピンとグラウンドの間の抵抗が勾配ランプ電圧を制御します。発振器の各サイクルの開始時にハイサイド MOSFET がオンになり、エミュレートされた電流ランプ電圧が COMPx の電圧に達するまでインダクタ電流が増加します。電流ランプ電圧が COMPx の電圧に達すると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになります。この結果、インダクタの両端に負の電圧が印加され、インダクタ電流が減少します。ローサイド MOSFET は、サイクルの残りの期間にわたってオン状態に保たれます。

PSM のコンパレータは COMPx ノードをモニタし、エミュレートされた電流ランプを示します。PSM 電流閾値の平均値は、VIN、VOUT、インダクタ、出力コンデンサによって決まります。出力電圧がレギュレーション電圧を下回り、その後復帰するということが時折発生するため、PSM 動作での出力電圧リップルは軽負荷条件で動作している FPWM モードのリップルよりも大きくなります。

FPWM モードおよび自動 PWM/PSM モード

降圧レギュレータは、SYNC/MODE ピンと PMBus インターフェースを使用して、常に FPWM モードで動作するように設定することができます。FPWM モードでは、出力電流が PWM/PSM 閾値を下回った場合でも、レギュレータは固定周波数で動作を続けます。FPWM モードでは、軽負荷条件の場合、効率は PSM モードに比較して低くなります。インダクタ電流が 0A を下回った場合でも、ローサイド MOSFET はオンを維持します。これにより、ADP5055 は連続導通モード (CCM) に入ります。

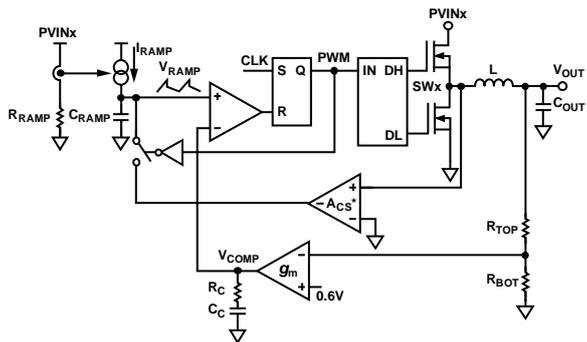
降圧レギュレータは、SYNC/MODE ピンと PMBus インターフェースを使用して、自動 PWM/PSM モードで動作するように設定することもできます。自動 PWM/PSM モードでは、降圧レギュレータは出力電流に応じ、PWM モードまたは PSM モードのいずれかで動作します。平均出力電流が PWM/PSM の閾値を下回ると、降圧レギュレータは PSM モードの動作に入ります。PSM モードでは、レギュレータは高効率を維持するためにスイッチング周波数を減少して動作します。インダクタ電流が 0A になるとローサイド MOSFET がオフになり、これにより、レギュレータは不連続モード (DCM) で動作するようになります。

動作中に、FPWM モードと自動 PWM/PSM モードを切り替えることができます。デバイスの動作中に柔軟に設定できる機能があるため、パワー・マネージメントを効率的なものにできます。

SYNC/MODE ピンにロジック・ハイ・レベルが印加されている（もしくは、SYNC/MODE ピンがクロック入力またはクロック出力として設定されている）ときは、各チャンネルの動作モードはレジスタ 0xD4 (CTRL_MODE2) の PSMx_ON ビットで設定されます。PSMx_ON ビットを 0 にすると、指定されたチャンネルは FPWM モードに設定されます。このビットを 1 にすると、指定されたチャンネルは自動 PWM/PSM モードに設定されます。

SYNC/MODE ピンにロジック・ロー・レベルが印加されると、3 個の降圧レギュレータすべての動作モードが自動 PWM/PSM モードになり、レジスタ 0xD4 (CTRL_MODE2) の PSMx_ON ビットの設定は無視されます。

表 7 に、デバイスの動作モードの設定において SYNC/MODE ピンにロジック・ハイ・レベルを印加する場合の SYNC/MODE ピンの機能を示します。



*Acs IS THE CURRENT SENSING AMPLIFIER.

図 31. FlexMode™ PWM 制御アーキテクチャ

PSM モード

軽負荷時の効率を向上させるため、ADP5055 の降圧レギュレータは、出力負荷が PSM 電流閾値を下回った場合に、可変周波数 PSM 動作に滑らかに移行します。出力電圧 (VOUT) がレギュレーション電圧を下回ると、降圧レギュレータは電圧がレギュレーション範囲に上昇するまで発振器の数サイクル間 PWM モードになります。バースト間のアイドル時には、MOSFET はオフになり、出力コンデンサが全出力電流を供給します。

表 7. SYNC/MODE ピンを使った、動作モードの設定一覧

SYNC/MODE ピン	各チャンネルの動作モード
ハイ	レジスタ 0xD4 (CTRL_MODE2) の PSMx_ON ビットの設定によって動作モードが決まる(0 = FPWM モード、1 = 自動 PWM/PSM モード)
クロック入力/出力	CFG1 を介して設定
ロー	自動 PWM/PSM モード (レジスタ 0xD4 (CTRL_MODE2) の PSMx_ON ビットの設定は無視される)

例えば、SYNC/MODE ピンがハイで、レジスタ 0xD4 の PSM3_ON ビットに 1 を書き込むと、チャンネル 3 は自動 PWM/PSM モードに設定されます。また、PSM1_ON ビットと PSM2_ON ビットに 0 を書き込むと、チャンネル 1 とチャンネル 2 は FPWM モードに設定されます。

調整可能な出力電圧

ADP5055 では、外付けの抵抗分圧器を介して出力電圧を調整できます。出力設定を調整可能とするには、外付け抵抗分圧器を使用し、帰還リファレンス電圧を介して目的の出力電圧に設定します。各帰還(FBx) ピンのデフォルトのリファレンス電圧は、各チャンネルで 600mV です。

ダイナミック電圧スケーリング (DVS)

ADP5055 はチャンネル 1 ~ チャンネル 3 に DVS 機能を搭載しています。これらのリファレンス電圧は、PMBus インターフェースを介してリアルタイムに設定できます (レジスタ 0xD8 ~ 0xDA)。レジスタ 0xDB の DVS_INTVALx ビットを使って、個々のチャンネルに対し電圧遷移時のステップ間隔を設定します。表 8 に、VIDx ビットで設定される調整可能な出力電圧範囲を示します。デフォルト出力電圧は、出荷時にヒューズで設定することもできます。この表とは異なるデフォルト出力電圧が必要であれば、最寄りのアナログ・デバイス販売代理店にお問い合わせください。

DVS は電圧遷移時に、ブランキング期間を発生させます。ブランキング期間は、DVS の電圧遷移期間と 128 サイクルの遅延タイマーを組み合わせたものです (図 32 参照)。この DVS ブランキング期間では、レギュレータは (PSM 設定とは関係なく) 強制的に FPWM モード動作になり、電流ソースと電流シンクの両方が可能になります。レジスタ 0xD4 のビット 7

(OCP_BLANKING) がセットされている場合、ヒカップ保護はマスクされます。出力電圧が VIDx の変化をトラッキングできるようにし、DVS の電圧遷移期間中 PWRGD 信号を維持するためには、必ず適切な DVS スルー・レートと適正な出力コンデンサを使用してください。

表 8. VIDx ビットで設定されるリファレンス電圧範囲

チャンネル	デフォルト(mV)	レジスタ	VIDx ビットで設定される調整可能なリファレンス電圧範囲
チャンネル 1	600	0xD8、VID1	408mV ~ 790.5mV (1.5mV ステップ)
チャンネル 2	600	0xD9、VID2	408mV ~ 790.5mV (1.5mV ステップ)
チャンネル 3	600	0xDA、VID3	408mV ~ 790.5mV (1.5mV ステップ)

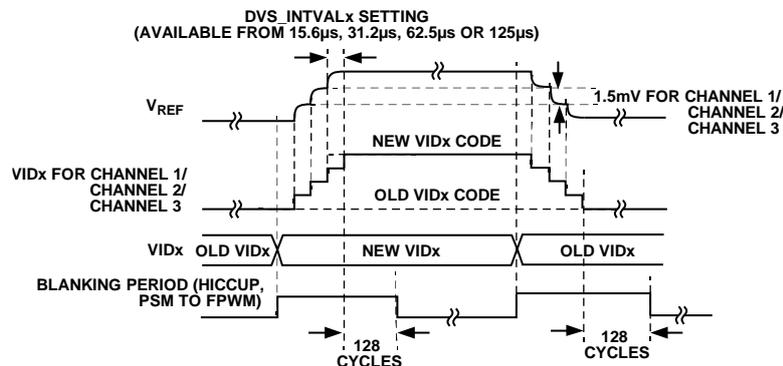


図 32. ダイナミック電圧スケーリング

上下限の閾値はどちらも、レジスタ 0xDC ~ 0xDE の VIDx_HIGH ビットと VIDx_LOW ビットによって設定し、各チャンネルの DVS 電圧調整範囲を制限します。この制限により、VIDx コードの誤設定によるシステム故障の発生をさらに防止できます。

内蔵レギュレータ (VREG)

ADP5055 の内蔵 VREG レギュレータは、内部回路に 4.8V の安定した電源を供給します。VREG ピンとグラウンドの間に 4.7μF (x5R または x7R) のセラミック・コンデンサを接続してください。内蔵 VREG レギュレータは VBIAS 電圧が使用できる限り常にアクティブです。VREG レギュレータには、デバイスに重負荷がかかったときに回路を保護するために、電流制限回路が搭載されています。

個別電源アプリケーション

ADP5055 では、3 個の降圧レギュレータに別個の入力電圧を印加できるので、3 個の降圧レギュレータの入力電圧は異なる電源電圧に接続できます。ADP5055 には、100nF、25V、x8L のセラミック・コンデンサが内蔵されており、チャンネル 1 およびチャンネル 2 において、PVIN1 および PVIN2 と電源グラウンドの間をローカルにデカップリングできます。

VBIAS 電圧は、内蔵レギュレータと制御回路に電源を供給します。そのため、降圧レギュレータに別個の電源電圧を使用する場合は、他のチャンネルが動作を開始する前に、VBIAS 電圧が UVLO 閾値電圧を超えるようにしなければなりません。

高精度イネーブルを使用して、PVIN1 ピン、PVIN2 ピン、PVIN3 ピンの電圧をモニタできます。また、PVIN1 ピン、PVIN2 ピン、PVIN3 ピンの電圧がレギュレーション出力に対応できる大きさであることを確認するために、出力の開始を遅らせることができます。詳細については、高精度イネーブルのセクションを参照してください。

ADP5055 は 3 個の降圧レギュレータの連鎖的な電源動作が可能です。図 33 に示すように、PVIN2 および PVIN3 はチャンネル 1 の出力から給電されます。この構成では、チャンネル 1 の出力電圧は PVIN2 および PVIN3 の UVLO 閾値より高いことが必要です。

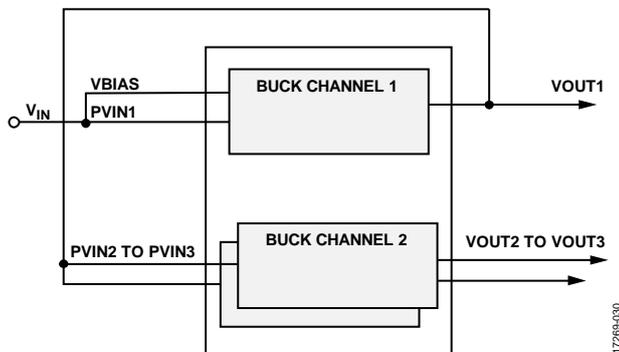


図 33. 連鎖的電源アプリケーション

ブートストラップ回路

ADP5055 の各降圧レギュレータにはブートストラップ・レギュレータが内蔵されています。ブートストラップ・レギュレータには BSTx ピンと SWx ピンの間に 0.1μF のセラミック・コンデンサ (x5R および x7R) が必要で、ハイサイド MOSFET のゲート駆動電圧を供給します。

アクティブ出力放電スイッチ

ADP5055 の各降圧レギュレータには、スイッチング・ノードとグラウンドの間に放電スイッチが内蔵されています。このスイッチは、対象のレギュレータがディスエーブルになったときにオンになり、これにより、出力コンデンサを素早く放電することができます。チャンネル 1~チャンネル 3 の放電スイッチの代表値は 75Ω です。

放電スイッチは、PMBus インターフェースを介して、レジスタ 0xD4 (CTRL_MODE2) の DSCGx_ON ビットにより個別に設定できます。

高精度イネーブル

ADP5055 には各レギュレータにイネーブル・コントロール・ピンがあります。イネーブル・コントロール・ピン (ENx) は、0.615V のリファレンス電圧を使用する高精度のイネーブル回路を備えています。ENx ピンの電圧が 0.615V (ハイ・レベル閾値の代表値) を超えると、レギュレータがイネーブルになります。ENx ピンの電圧が 0.575V (ロー・レベル閾値の代表値) を下回ると、レギュレータはディスエーブルになります。インダクタ

電流がゼロになった場合のみ、ADP5055 はローサイド MOSFET をオフにします。

高精度イネーブル・ピンには、プルダウン電流源 (3.5μA) が内蔵されており、イネーブル・ピンがオープンの際にデフォルトでオフになります。イネーブル・ピンが 0.615V (ハイ・レベル閾値の代表値) を超えた場合、レギュレータはイネーブルになり、イネーブル・ピンの内部プルダウン電流源は 0.9μA に減少します。高精度イネーブルは、外付け抵抗分圧器の比率を使用して UVLO 閾値をプログラムすることで入力電圧または出力電圧のいずれかをモニタでき、同時に、外付け抵抗分圧器の絶対値を使用してヒステリシス・ウィンドウをプログラムできます。詳細については、UVLO 入力のプログラミングのセクションを参照してください。

電力を投入したときにレギュレータを自動的に始動させるには、イネーブル・ピン (ENx) を VREG ピンに接続します。

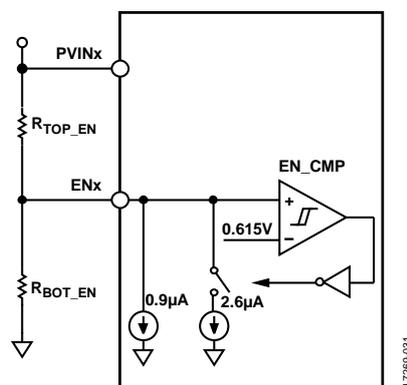


図 34. 1つのチャンネルに対する高精度イネーブルのブロック図

ENx ハードウェア・ピンに加えて、PMBus インターフェースを使って各チャンネルをイネーブル/ディスエーブルすることもできます。チャンネルのオン/オフ状態は、レジスタ 0xD1 (CTRL123) の CHx_ON ビットと外部ハードウェア・イネーブル・ピン (ENx) によって制御されます。

レジスタ 0xD3 (CTRL_MODE1) の EN_MODE ビット (ビット 1 とビット 0) を使って、チャンネルごとに異なるイネーブル方式を設定することができます。EN_MODE ビットによるチャンネル・イネーブル方式のデフォルト設定では、チャンネル・イネーブルが外部ハードウェア・ピンで制御されるように指定されています。表 9 は、ハードウェア・ピンとレジスタ・ビットの間のチャンネル・イネーブル制御の論理を示しています。

使用しないチャンネルがある場合は、対応する PVINx ピン、ENx ピン、COMPx ピン、FBx ピンはグラウンドに接地し、SWx ピン、BSTx ピン、RAMPx ピンはフロート状態にします。

表 9. ADP5055 のイネーブル設定

EN_MODE ビット	ENx ピン	CHx_ON ビット	ENx ピンと CHx_ON ビット間の論理
00 (デフォルト)	有効	無視	該当せず
01	無視	有効	該当せず
10	有効	有効	論理積
11	有効	有効	論理和

シーケンス・モード

ADP5055は、各チャンネルにシーケンス制御を備えています。ENx 信号 (EN_MODE ビットによって設定されたイネーブル方式) がハイになると、シーケンサで制御された各チャンネルは、レジスタ 0xD5~レジスタ 0xD7 の EN_DLYx ビットで指定された遅延時間 (t_{EN_DLYx}) の後、ソフト・スタートを開始します。同様に、ENx 信号がローになると、レジスタ 0xD5~レジスタ 0xD7 の DIS_DLYx ビットで指定された遅延時間 (t_{DIS_DLYx}) の後、そのチャンネルはオフになります。図 35 に、グループ化した ENx 信号で制御された各チャンネルのロジック・ステータスを示しますが、ソフト・スタートと出力放電の slope は示してありません。

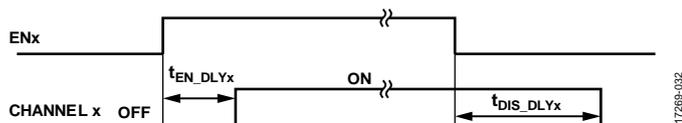


図 35. シーケンス・モード

発振器

RT ピンとグラウンドの間に抵抗を接続することで、ADP5055 のスイッチング周波数 (f_{sw}) を 250kHz~2500kHz の値に設定できます。抵抗値 R_T を計算するには、次式を用います。

$$R_T \text{ (k}\Omega\text{)} = (167, 305) / (f_{sw} \text{ (kHz)})^{0.098}$$

図 36 に、f_{sw} と R_T 抵抗の代表的な関係を示します。周波数が調整可能であるため、効率とソリューション・サイズのトレード・オフに基づいた決定をすることができます。

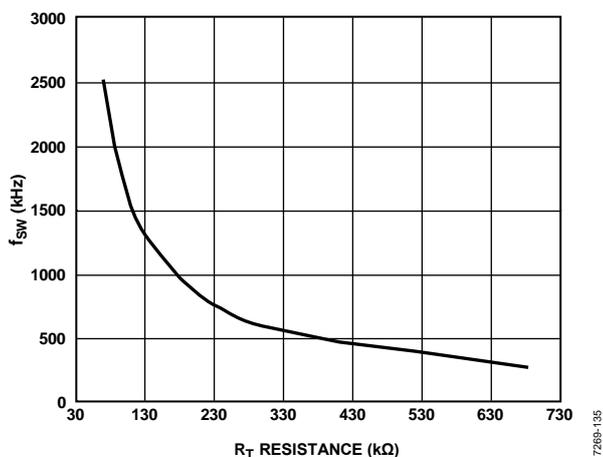


図 36. スwitching 周波数と R_T 抵抗の関係

位相差動作

デフォルトでは、チャンネル 1、チャンネル 2、チャンネル 3 の間の位相シフトは 120°です。位相シフトをこの値にすることで、入力のリプル電流が減少し、グラウンド・ノイズが低減するため、位相差動作のメリットがもたらされます。

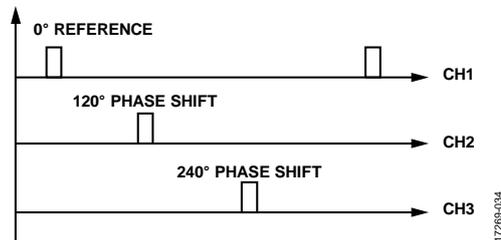


図 37. 3 個の降圧レギュレータの位相シフト図

チャンネル 1 とチャンネル 2 の同位相並列動作構成の場合は、両チャンネルはチャンネル 1 の同じ位相で動作します。

チャンネル 1 とチャンネル 2 がインターリーブ並列動作構成の場合は、チャンネル 1、チャンネル 2、チャンネル 3 の位相シフトは、0°、180°、240°です。

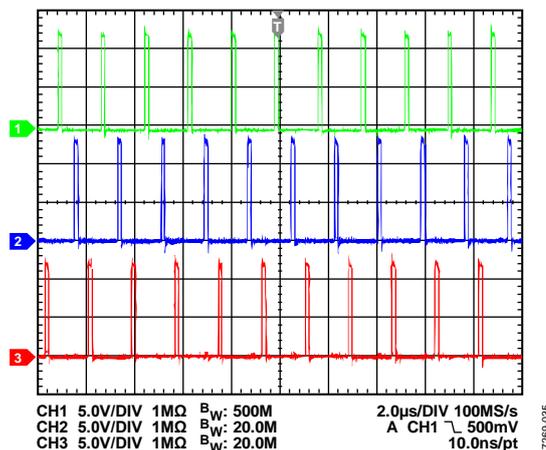


図 38. 120°位相シフト波形、3 個の降圧レギュレータ、チャンネル 1=SW1、チャンネル 2=SW2、チャンネル 3=SW3

同期入出力

ADP5055 のスイッチング周波数は、周波数範囲が 250kHz ~ 2500kHz の外部クロックに同期させることができます。ADP5055 は、SYNC/MODE ピンに入力する外部クロックの存在を自動的に検出し、スイッチング周波数をその外部クロック周波数にスムーズに移行させます。外部クロック信号が停止した場合、デバイスは自動的に内部クロックでの動作に切り替わり、そのまま動作を続けます。

同期を良好に行うには、RT ピンで設定される内部スイッチング周波数を外部クロックの値に近い値にプログラムする必要があります。推奨される周波数差は、標準的なアプリケーションの場合、±15%未満です。

SYNC/MODE ピンは、CFG1 ピンを使用して、同期クロック出力に設定できます (表 11 参照)。デューティ・サイクルが 50% で電圧レベルが VREG の正クロック・パルスが、RT ピンで設定された内部スイッチング周波数と等しい周波数で、SYNC/MODE ピンに生成されます。

図 39 に周波数同期モードに設定された 2 個の ADP5055 デバイスを示します。1 つの ADP5055 デバイスは、もう 1 つの ADP5055 デバイスへのクロック出力源として構成されています。

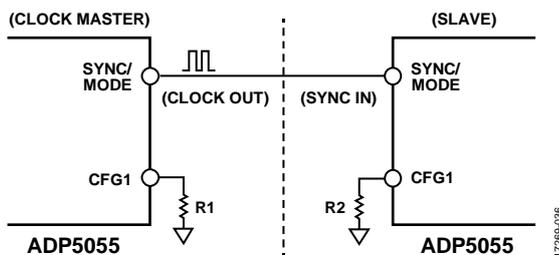


図 39. 同期モード用に構成された 2 個の ADP5055 デバイス

図 39 に示した構成では、1 つめの ADP5055 デバイスのチャンネル 1 と 2 つめの ADP5055 デバイスのチャンネル 1 との位相シフトは 0° です (図 40 を参照)。

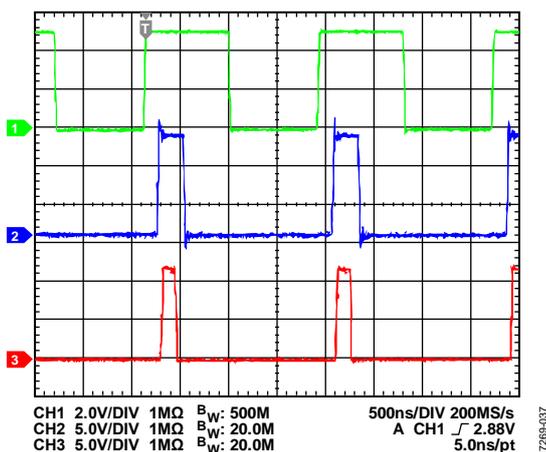


図 40. 同期モードで動作する 2 個の ADP5055 デバイスの波形、チャンネル 1 = 同期クロック出力、チャンネル 2 = 1 つめの ADP5055 デバイスの SW1、チャンネル 3 = 2 つめの ADP5055 デバイスの SW1

ソフト・スタート

ADP5055 の降圧レギュレータにはソフト・スタート回路が組み込まれており、起動時に出力電圧を制御された形で漸増させることで、突入電流を制限します。すべてのチャンネルのソフト・スタート時間は $0.83 \times t_{SET}$ タイマー (R_{CFG2} の値に応じて 2.2ms または 17.3ms、表 10 参照) に固定されています。

機能設定 (CFG1 および CFG2)

ADP5055 には全チャンネルの機能設定を復号する CFG1 ピンと CFG2 ピンがあります。各ピンには、1 個の抵抗をグラウンドに接続することで復号される 16 のロジック状態があります。正確な復号を行うために、許容誤差が ±1% の抵抗を使用することを推奨します。

この復号回路は、VBIAS 電圧が (利用可能な場合に) パワーオン・リセット (POR) 閾値を超える ADP5055 の起動段階でのみ作動します。従って、これらの設定は内部レジスタにラッチされ、動作時に変更することはできません。

CFG1 ピンによって、全チャンネルの SYNC/MODE ピンの機能、負荷出力能力、並列動作をプログラムできます。CFG1 ピンで様々な機能を設定するのに必要な抵抗値を表 11 に示します。

CFG2 ピンによって、ADP5055 の t_{SET} タイマー (2.6ms または 20.8ms)、高速トランジェント機能、PMBus アドレスをプログラムできます。CFG2 ピンで様々な機能を設定するのに必要な抵抗値を表 10 に示します。

表 10. CFG2 ピンの設定

R_{CFG2} (k Ω), $\pm 1\%$	t_{SET} タイマー (ms)	高速トランジェント	PMBus アドレス
0 (GND)	2.6	無効	0x70
14.3	2.6	無効	0x71
16.9	2.6	無効	0x72
20.0	2.6	無効	0x73
23.7	2.6	有効	0x70
32.4	2.6	有効	0x71
39.2	2.6	有効	0x73
オープン	20.8	無効	0x70
47.5	20.8	無効	0x71
57.6	20.8	無効	0x72
71.5	20.8	無効	0x73
90.9	20.8	有効	0x70
127	20.8	有効	0x71
200	20.8	有効	0x72
511	20.8	有効	0x73

表 11. CFG1 ピンの設定

R _{CFG1} (kΩ)、±1%	GPIO	出力能力		
		チャンネル 1	チャンネル 2	チャンネル 3
0 (GND)	SYNC/MODE	7A	7A	3A
14.3	SYNC/MODE	7A	7A	1.5A
16.9	SYNC/MODE	7A	3.5A	3A
20.0	SYNC/MODE	7A	3.5A	1.5A
23.7	SYNC/MODE	インターリーブ並列動作(14A)	インターリーブ並列動作(14A)	3A
オープン	SYNC/MODE	3.5A	3.5A	1.5A
32.4	SYNC/MODE	同位相並列動作 (14A)	同位相並列動作 (14A)	3A
39.2	クロック出力	7A	7A	3A
47.5	クロック出力	7A	7A	1.5A
57.6	クロック出力	7A	3.5A	3A
71.5	クロック出力	7A	3.5A	1.5A
90.9	クロック出力	3.5A	7A	3A
127	クロック出力	インターリーブ並列動作(14A)	インターリーブ並列動作(14A)	3A
200	クロック出力	3.5A	3.5A	1.5A
511	クロック出力	同位相並列動作 (14A)	同位相並列動作 (14A)	3A

並列動作

ADP5055 は、最大 14A の単一出力電流を供給する、チャンネル 1 およびチャンネル 2 の 2 相並列動作が可能です。ADP5055 には、CFG1 ピン設定を介して、同位相並列動作とインターリーブ並列動作の 2 種類の並列動作モードがあります。

同位相並列動作

同位相並列動作では、チャンネル 1 とチャンネル 2 の間で内蔵の MOSFET とドライバ回路が並列化されます。同位相並列動作は、チャンネル 1 を制御マスタとして扱い、チャンネル 2 の制御段は無視します。また、外付け部品としてインダクタを 1 個だけ使用し、スペースを節約します。チャンネル 1 とチャンネル 2 を並列動作の 2 相単一出力に設定するには、以下を実行します (図 41 を参照)。

- 表 11 に記載のように、CFG1 ピンを使用して並列動作を選択します。
- COMP1 ピンを補償ネットワークとして使用します。
- FB1 ピンを使用して出力電圧を設定します。
- EN1 ピンを使用してチャンネルをイネーブルします。
- FB2 ピンをグラウンドに接続します (FB2 は無視)。
- COMP2 ピンをオープンのままにします (COMP2 は無視)。
- RAMP2 ピンをオープンのままにします (RAMP2 は無視)。
- EN2 ピンをグラウンドに接続します (EN2 は無視)。

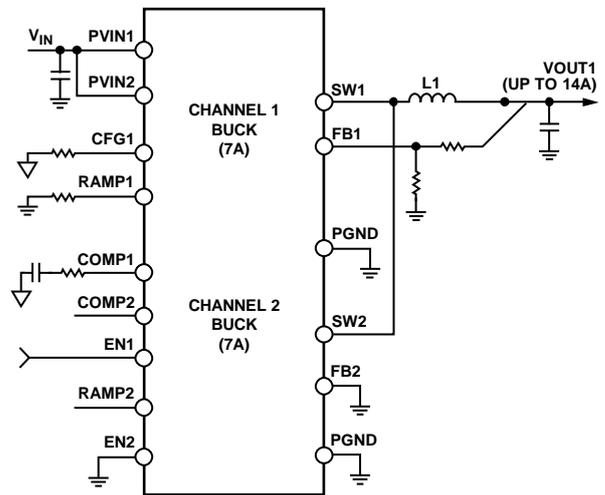


図 41. チャンネル 1 およびチャンネル 2 の同位相並列動作

17269-038

インターリーブ並列動作

ADP5055は、最大14Aの単一出力電流を供給する、チャンネル1およびチャンネル2の2相インターリーブ並列動作が可能です。このモードでは、2つのチャンネルが180°の位相差動作を行い、それぞれの制御ループに依存してこの2つのチャンネル間の電流バランスを保ちます。インターリーブ並列動作では、2個のインダクタを使用して、リップル電流除去と等価スイッチング周波数の増大を図ります。2相インターリーブ並列動作を設定するには、以下を実行します（図42を参照）。

- 表11に記載のように、CFG1ピンを使用してインターリーブ並列動作を選択します。
- COMP1ピンを補償ネットワークとして使用します。
- 同じRAMP1抵抗とRAMP2抵抗を使用します。
- FB1ピンを使用して出力電圧を設定します。
- EN1ピンを使用してチャンネルをイネーブルします。
- FB2ピンをグラウンドに接続します（FB2は無視）。
- COMP2ピンをオープンのままにします（COMP2は無視）。
- EN2ピンをグラウンドに接続します（EN2は無視）。

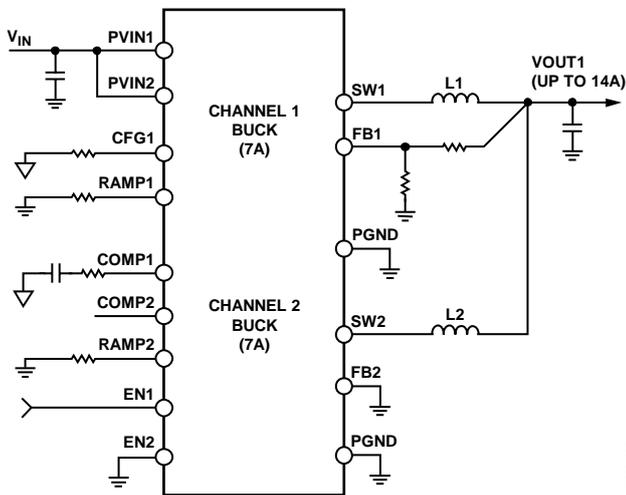


図42. チャンネル1およびチャンネル2のインターリーブ並列動作

対称的なPCBレイアウトの設計を注意深く行うことにより、2つの位相間の電流バランスを保つことができます。インターリーブ並列出力構成の代表的な定常状態波形と電流バランス性能を図43と図44に示します。

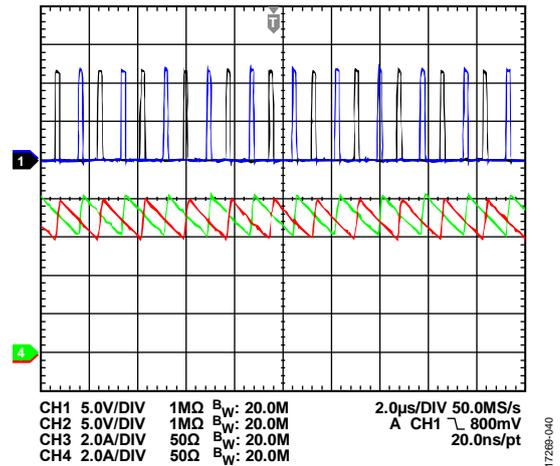


図43. インターリーブ並列出力構成の定常状態波形、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWMモード、チャンネル1 = SW1、チャンネル2 = SW2、チャンネル3 = インダクタ L1の電流(I_{L1})、チャンネル4 = インダクタ L2の電流(I_{L2})

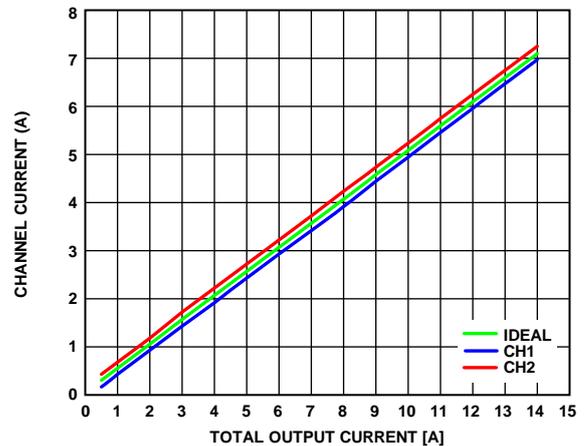


図44. インターリーブ並列出力構成での電流バランス、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWMモード

高速トランジェント・モード

ADP5055 には高速過渡応答機能があり、大きな負荷変動条件に対応します。ADP5055 の帰還ピン(FBx) が出力電圧を検知し、負荷変動が発生したかどうかを判定します。出力電圧が所定の閾値を下回った場合、内部のループ・ゲインが漸増し、負荷過渡応答速度を改善します。高速トランジェント閾値は、PMBus インターフェースを介して、レジスタ 0xDF の FTx_TH ビットで様々なレベルにプログラムすることができます。

高速トランジェント・モードをオンにするには、CFG2 ピンがプログラマブルであることが必要です。

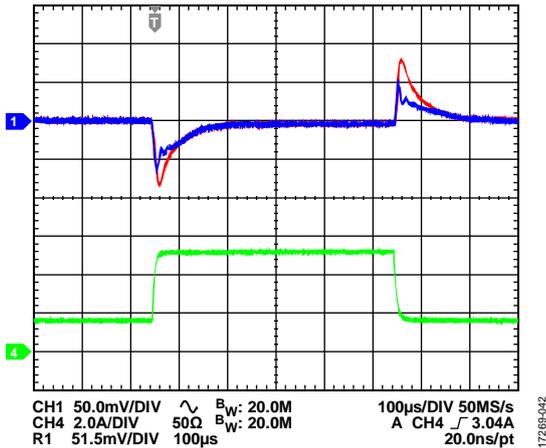


図 45. 高速トランジェント・モードの有効時と無効時の負荷過渡応答の比較、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード、チャンネル 1 = V_{OUT} (高速トランジェント・モード有効)、チャンネル 3 = V_{OUT} (高速トランジェント・モード有効)、チャンネル 4 = I_{OUT}

プリチャージされた出力状態での起動

ADP5055 の降圧レギュレータは、起動時にローサイド FET を損傷から保護するプリチャージ起動機能を備えています。レギュレータがオンになる前に出力電圧がプリチャージされると、レギュレータは、ソフト・スタート用の内部リファレンス電圧が帰還ピン (FBx) のプリチャージ電圧を超えるまで、(出力コンデンサを放電する) 逆インダクタ電流を阻止します。

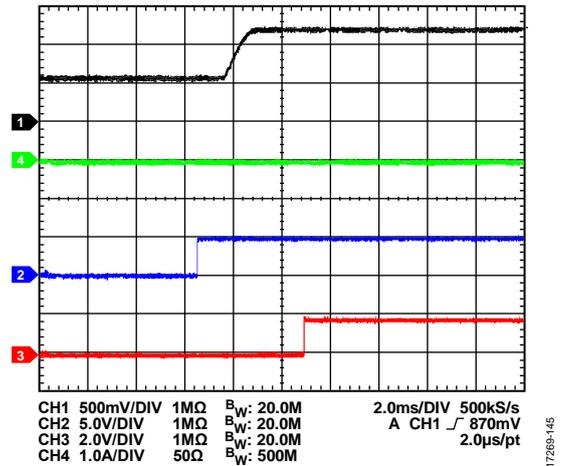


図 46. プリチャージされた出力状態でのチャンネル 1 の起動、 $V_{IN} = 12V$ 、 $V_{OUT} = 1.2V$ 、 $f_{SW} = 600kHz$ 、FPWM モード、チャンネル 1 = V_{OUT} 、チャンネル 2 = EN、チャンネル 3 = PWRGD、チャンネル 4 = I_{OUT}

電流制限保護

ADP5055 は、エミュレートされた電流ランプ電圧を使用してサイクルごとの電流制限保護を実行し、電流の暴走を防止します。エミュレートされた電流ランプ電圧が、バレー電流制限の閾値とランプ電圧値の合計に達した時点で、ハイサイド MOSFET はオフになり、ローサイド MOSFET は次のサイクルまでオンになります。過電流カウンタが 20 に達すると、ADP5055 はヒックアップ・モードに入り、ADP5055 はインダクタ電流がゼロになった後にのみ、ローサイド MOSFET をオフにします。ヒックアップ・モードの間、ハイサイド MOSFET とローサイド MOSFET はどちらもオフになります。デバイスは、7 回のソフト・スタート・サイクルにわたってヒックアップ・モードを維持した後、ソフト・スタートからの再スタートを試みます。電流制限エラーがクリアされると、デバイスは通常動作を再開します。エラーがクリアされないと、再度ヒックアップ・モードになります。

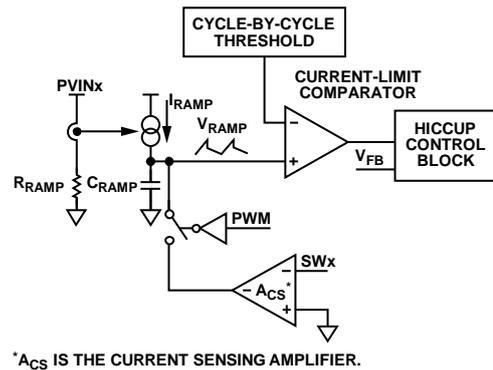


図 47. 電流制限回路

ADP5055 の降圧レギュレータには、ローサイド MOSFET スイッチおよびハイサイド MOSFET ボディ・ダイオードを流れる負電流の量を制限するための負電流制限保護回路が組み込まれています。

UVLO

低電圧ロックアウト回路は、ADP5055の各降圧レギュレータのバイアス電源入力（VBIASピン）および電源入力電圧レベル（PVINxピン）をモニタします。電源入力電圧が2.30V（立下がり閾値の代表値）を下回ると、対応チャンネルがオフになります。入力電圧が2.60V（立上がり閾値の代表値）を上回ると、ソフト・スタート期間が開始され、ENxピンがハイになったときに対応チャンネルがイネーブルになります。

バイアス電圧が3.80V（立下がり閾値の代表値）を下回ると、全チャンネルがオフになります。バイアス電圧が4.20V（立上がり閾値の代表値）を上回ると、イネーブルになっている各チャンネルのソフト・スタートが開始されます。

パワーグッド機能

ADP5055は、選択された降圧レギュレータが正常動作しているときにアクティブ・ハイになる、オープンドレインのパワーグッド出力（PWRGDピン）を備えています。デフォルトでは、PWRGDピンは3つのチャンネルの出力電圧をモニタします。PWRGDピンを制御する仕様（チャンネル1～チャンネル3）は、PMBusインターフェースを介してレジスタ0xE0のPGx_MASKビットでプログラムすることができます。

各チャンネルのパワーグッド状態（PWRGDxビット）は、PMBusインターフェースを介して読み出すことができます（レジスタ0xE1）。PWRGDxビットの値が1になっていることは、降圧レギュレータのレギュレーション出力電圧が公称出力電圧の95%（代表値）から105%（代表値）の間にあることを示します。降圧レギュレータのレギュレーション出力電圧が、公称出力電圧の93%（代表値）を下回るか、107%（代表値）を上回り、この状態がおよそ8スイッチング・サイクルよりも長いデグリッチ時間続く場合は、PWRGDxビットは0に設定されます。

PWRGDピンの出力は、各チャンネルの内部PWRGD信号の論理積となります。各チャンネルの内部PWRGD信号は、PWRGDピンがハイになる前に、ある一定の検証時間の間、ハイになっている必要があります。1つの内部PWRGD信号に障害が生じると、そのPWRGDピンは遅延なしにローになります。レジスタ0xE0のPWRGD_DLYビットを使って、検証時間をtSETタイマーまたは0に設定することができます。このデフォルトのtSETタイマーによる検証時間は、CFG2ピンの構成によって8倍増大させることが可能です。

高温でのパワーアップ

動作時の最高ジャンクション温度は150°Cですが、ADP5055には125°Cというより低温の温度保護制限があり、デバイスのパワーアップはこれに従う必要があります。125°Cの制限によって、この初期パワーアップ時に読み出される内部不揮発性メモリが保護されます。パワーアップとは、VBIASがUVLOVBIASを超えて増加している状態を言います。パワーアップが125°Cより高い温度で行われようとしても、デバイスは温度が125°C未満になるまで動作を許可しません。この温度に達し、その温度が揮発性メモリに保存されると、デバイスは125°C制限を受けずに通常動作が可能となります。

サーマル・シャットダウン

ADP5055のジャンクション温度が175°Cを上回ると、サーマル・シャットダウン回路により内部リニア・レギュレータを除くICがオフになります。インダクタ電流がゼロになった場合のみ、ADP5055はローサイドMOSFETをオフにします。ジャンクション温度が極端に高くなる要因は、大電流の動作、回路ボードの設計不備、高い周囲温度などです。15°Cのヒステリシスがあるため、サーマル・シャットダウン後、ADP5055はチップ温度が160°Cを下回らないと動作に復帰しません。デバイスがサーマル・シャットダウンから復帰すると、イネーブルになっている各チャンネルのソフト・スタートが開始されます。

PMBus インターフェース

ADP5055 は PMBus 互換シリアル・インターフェースを内蔵しており、パワー・マネジメント・ブロックを制御し、システムの状態を読み出すことができます (図 48 を参照)。PMBus インターフェースは、最大 400kHz のクロック周波数で動作します。

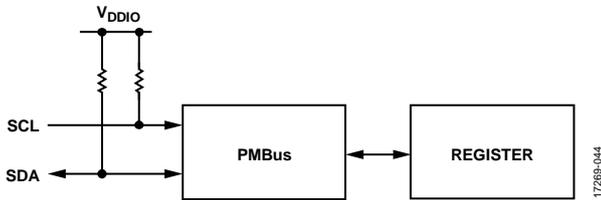


図 48. PMBus インターフェース・ブロック図

ADP5055 はジェネラル・コールには応答しません。ADP5055 は、複数のマスタにも対応できます。しかし、このデバイスが読出しモードにあるときは、データ伝送が終了するまで、1つのマスタからのアクセスしか受け入れません。

PMBus シリアル・インターフェースは、ADP5055 の内部レジスタにアクセスすることができます。ADP5055 のレジスタの詳細については、レジスタ・マップセクションを参照してください。

SDA ピンと SCL ピン

ADP5055 には 2つの PMBus インターフェース専用ピン (SDA と SCL) があります。SDA はデータを送受信するためのオープンドレインのラインで、SCL はクロック信号を受け取る入力ラインです。

シリアル・データは SCL の立上がりエッジで転送されます。読出しデータは読出しモードで SDA ピンに出力されます。

PMBus アドレス

ADP5055 の 7ビット PMBus チップ・アドレスには、次のようなものがあります。

- 0x70 (1110000 (バイナリ))
- 0x71 (1110001 (バイナリ))
- 0x72 (1110010 (バイナリ))
- 0x73 (1110011 (バイナリ))

CFG2 ピンを使って、異なる PMBus アドレスを設定できます。CFG2 ピンにより、同じ PMBus 通信バス上で 2 個の ADP5055 デバイスを使用できます。図 49 に、CFG2 ピンを使って異なる PMBus アドレスで設定された 2 個の ADP5055 デバイスを示します。

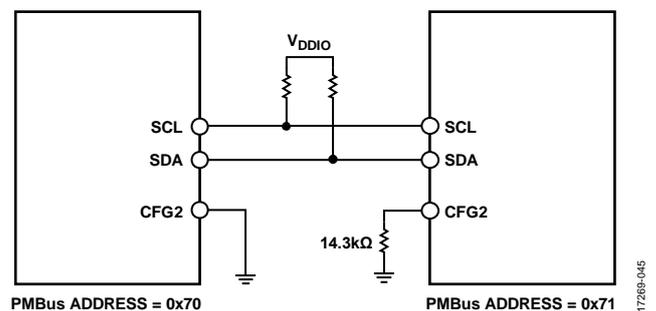


図 49. 異なる PMBus アドレスで設定された 2 個の ADP5055 デバイス

PMBus インターフェースのタイミング図

図 50 に、PMBus の書き込み動作のタイミング図を示します。図 51 に、PMBus の読出し動作のタイミング図を示します。サブアドレスを使って、ADP5055 内部のユーザー・レジスタの 1 つを選択します。ADP5055 は、サブアドレスで指定されたレジスタに対して、データの送受信を行います。

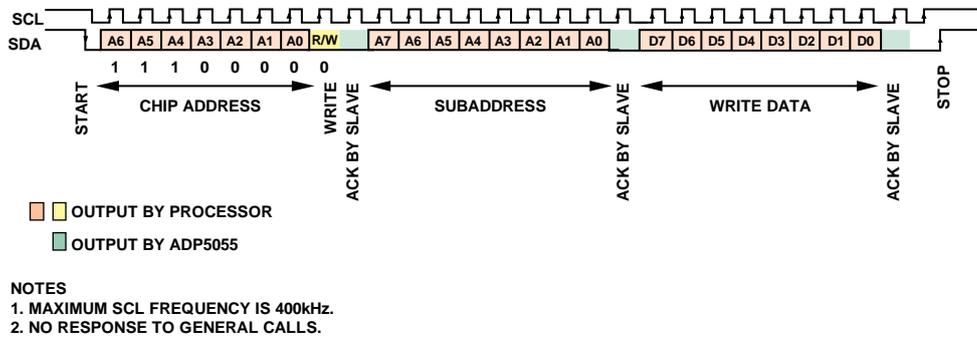


図 50. PMBus を介したレジスタへの書き込み

17269-046

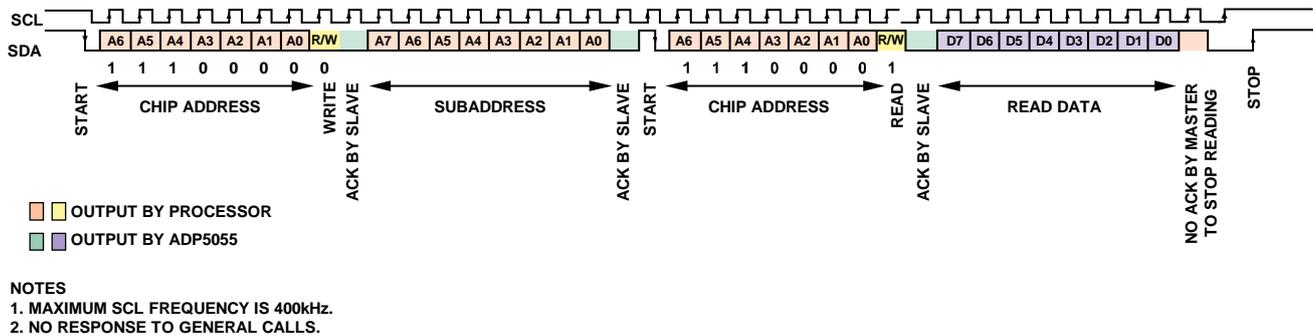


図 51. PMBus を介したレジスタからの読出し

17269-047

アプリケーション情報

調整可能な出力電圧のプログラミング

ADP5055 の出力電圧 (V_{OUT}) は、 V_{OUT} と FBx ピンとの間の抵抗分圧器によって外部から設定します。帰還バイアス電流に起因する V_{OUT} 精度の低下を抑止するために、分圧器の下段抵抗の値が必要以上に大きくならないようにしてください。50k Ω 未満の値を推奨します。

V_{OUT} の設定値は、次式で求めることができます。

$$V_{OUT} = V_{REF} \times (1 + (R_{TOP}/R_{BOT}))$$

ここで、

V_{REF} は帰還リファレンス電圧 (チャンネル 1~チャンネル 3 で 600mV)。

R_{TOP} は V_{OUT} と FBx 間の帰還抵抗。

R_{BOT} は FBx とグラウンドの間の帰還抵抗。

電圧変換の制限

最小オン時間と最小オフ時間に起因して、所定の入力電圧に対し、出力電圧 (V_{OUT}) の上限と下限が存在します。

最小オン時間によって、所定の入力電圧とスイッチング周波数 (f_{sw}) に対する最小 V_{OUT} が制限されます。チャンネル 1~チャンネル 3 の最小オン時間は 55ns (最大値) です。

FPWM モードでは、チャンネル 1 およびチャンネル 2 は、最小オン時間制限を超えた場合に出力のレギュレーションを維持するよう、スイッチング・パルススキップする場合があります。この問題を回避するには、スイッチング周波数の選択に注意を払う必要があります。

所定の入力電圧と f_{sw} に対応する CCM の最小 V_{OUT} は、次の式を使用して計算できます。

$$\begin{aligned} V_{OUT_MIN} &= V_{IN} \times t_{MIN_ON} \times f_{sw} - (R_{DS_{ON_HS}} - R_{DS_{ON_LS}}) \times \\ &I_{OUT_MIN} \times t_{MIN_ON} \times f_{sw} - (R_{DS_{ON_LS}} + R_L) \times I_{OUT_MIN} \end{aligned} \quad (1)$$

ここで、

V_{OUT_MIN} は最小出力電圧。

t_{MIN_ON} は最小オン時間。

$R_{DS_{ON_HS}}$ はハイサイド MOSFET のオン抵抗。

$R_{DS_{ON_LS}}$ はローサイド MOSFET のオン抵抗。

R_L は出力インダクタの抵抗。

I_{OUT_MIN} は最小出力電流。

所定の入力電圧と f_{sw} に対応する最大 V_{OUT} は、最小オフ時間および最大デューティ・サイクルによる制約を受けます。

所定の入力電圧と f_{sw} に対応する最大 V_{OUT} は、次の式を使用して計算できます。

$$\begin{aligned} V_{OUT_MAX} &= V_{IN} \times (1 - t_{MIN_OFF} \times f_{sw}) - (R_{DS_{ON_HS}} - R_{DS_{ON_LS}}) \times \\ &I_{OUT_MAX} \times (1 - t_{MIN_OFF} \times f_{sw}) - (R_{DS_{ON_LS}} + R_L) \times I_{OUT_MAX} \end{aligned} \quad (2)$$

ここで、

V_{OUT_MAX} は、最大出力電圧。

t_{MIN_OFF} は最小オフ時間。

I_{OUT_MAX} は最大出力電流。

式 1 と式 2 に示されるように、 f_{sw} を低くすると、最小オン時間と最小オフ時間による制限は緩和されます。

電流制限設定

ADP5055 ではチャンネル 1、チャンネル 2、チャンネル 3 について、2 つの電流制限閾値が選択できます。電流制限値は、全チャンネルの電流制限設定値が確実にインダクタのピーク電流値 (I_{PEAK}) よりも大きくなるように選択してください。

ソフト・スタート設定

ソフト・スタート時間の値を 2.2ms または 17.3ms に設定するには、CFG2 ピンとグラウンドとの間に抵抗分圧器を接続します (ソフト・スタートのセクションと表 10 を参照)。

インダクタの選択

インダクタ値は、 f_{sw} 、入力電圧、 V_{OUT} 、インダクタのリプル電流によって決まります。小さなインダクタ値を使用すると、過渡応答は速くなりますが、インダクタのリプル電流が大きくなることによって効率が低下します。大きなインダクタ値を使用すると、リプル電流が小さくなって効率が向上しますが、過渡応答は遅くなります。このため、過渡応答と効率の間で必ずトレード・オフが発生します。通常の見安として、インダクタのリプル電流 ΔI_L は、最大負荷電流の 30%~40% の値に設定します。インダクタ値は次式を使用して計算します。

$$L = ((V_{IN} - V_{OUT}) \times D) / (\Delta I_L \times f_{sw})$$

ここで、

D はデューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

ΔI_L はインダクタのリプル電流。

ADP5055には電流ループ内に内部勾配補償が備わっており、デューティ・サイクルが50%より大きい場合に低調波発振を防止します。

ピーク・インダクタ電流(I_{PEAK})を計算するには、次式を使用します。

$$I_{PEAK} = I_{OUT} + (\Delta I_L / 2)$$

インダクタの飽和電流は、ピーク・インダクタ電流よりも大きくする必要があります。急峻な飽和特性を持つフェライト・コア・インダクタに対しては、インダクタの定格飽和電流を降圧レギュレータの電流制限閾値よりも大きくして、インダクタが飽和しないようにする必要があります。

次式を使用して、インダクタの実効値電流(I_{RMS})を計算します。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

低コア損失と低電磁干渉 (EMI) を実現するには、シールド付きフェライト・コア材料を使用することを推奨します。表 12 に、推奨インダクタを示します。

出力コンデンサの選択

出力コンデンサの選択は、レギュレータの出力電圧リップルおよび動的ループ特性の両方に影響を与えます。例えば、出力に負荷変動トランジェントが発生し、負荷が突然増大した場合は、制御ループがインダクタ電流を漸増させるまで出力コンデンサが負荷に給電するため、出力電圧がアンダーシュートします。

アンダーシュート (電圧ドループ) 条件を満たすために必要な出力容量(C_{OUT_UV})を計算するには、次式を使用します。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

ここで、

K_{UV} は係数 (通常は2に設定)。

ΔI_{STEP} は負荷変動の大きさ。

ΔV_{OUT_UV} は出力電圧の許容アンダーシュート。

出力コンデンサの値がレギュレータの動的ループ特性に影響を与えるもう1つの例は、負荷が突然出力から除去された場合で、インダクタに蓄えられたエネルギーが出力コンデンサに流れ込み、出力電圧 (V_{OUT}) のオーバーシュートの原因となります。

オーバーシュート条件を満たすのに必要な出力容量を計算するには、次式を使用します。

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

ここで、

K_{OV} は係数 (通常は2に設定)。

ΔV_{OUT_OV} は出力電圧の許容オーバーシュート。

出力コンデンサの等価直列抵抗 (ESR) と出力コンデンサの容量値によって、出力電圧リップルが決まります。次式を使用して、出力リップル条件を満たすことができるコンデンサ (C_{OUT_RIPPLE})を選択します。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

ここで、

ΔI_L はインダクタのリップル電流。

ΔV_{OUT_RIPPLE} は許容出力電圧リップル。

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

ここで、 R_{ESR} は出力コンデンサの等価直列抵抗値。

負荷過渡応答と出力リップル性能の条件を満たすように、 C_{OUT_UV} 、 C_{OUT_OV} 、 C_{OUT_RIPPLE} のうちの最大出力容量を選択します。

選択した出力コンデンサの定格電圧は出力電圧 (V_{OUT}) より高くなければなりません。出力コンデンサの最小実効値定格電流は、次式によって決まります。

$$I_{C_{OUT_rms}} = \frac{\Delta I_L}{\sqrt{12}}$$

表 12. 推奨インダクタ

ベンダー	製品番号	インダクタ値(μH)	飽和電流 I_{SAT} (A)	I_{RMS} (A)	DC 抵抗(mΩ)	サイズ (mm)
Coilcraft	XAL5030-601	0.6	19.8	17.7	4.11	5.28 × 5.48
	XAL5030-801	0.8	18.5	13.0	5.14	5.28 × 5.48
	XAL5030-102	1.5	14.0	11.1	8.50	5.28 × 5.48
	XAL5030-222	2.2	9.2	9.7	13.2	5.28 × 5.48
Murata	FDUE0650-H-R60M	0.6	12.0	18.0	2.24	6.7 × 7.6
	FDUE0650-H-1R0M	1.0	9.8	16.0	3.45	6.7 × 7.6
Würth	744393440056	0.56	30.5	16.0	2.9	6.65 × 6.45
	74439344010	1.0	27.5	12.0	5.5	6.65 × 6.45
	74439344012	1.2	26.0	10.3	6.4	6.65 × 6.45
	74439344022	2.2	16.0	8.0	10.5	6.65 × 6.45

入力コンデンサの選択

入力デカップリング・コンデンサは、入力の高周波ノイズを減衰し、エネルギーを蓄える役割も果たします。セラミック・コンデンサを使用し、これを PVINx ピンのそばに配置してください。この入力コンデンサ、ハイサイド MOSFET、ローサイド MOSFET によって形成されるループはできるだけ小さくする必要があります。入力コンデンサの定格電圧は、最大入力電圧よりも大きくする必要があります。入力コンデンサの実効値定格電流 (ICIN_rms) は、次式で計算される値よりも大きくする必要があります。

$$I_{C_{IN_rms}} = I_{OUT} \times \sqrt{D \times (1-D)}$$

UVLO 入力のプログラミング

図 34 に示すように、高精度イネーブル入力を使用して入力電圧の UVLO 閾値をプログラムできます。

高精度イネーブルのハイ・レベル閾値は 0.615V (代表値) で、ロー・レベル閾値は 0.575V (代表値) です。次式を使用して、プログラマブルな VIN ターンオン電圧および VIN ターンオフ電圧に対応する抵抗分圧器の値を計算します。

$$V_{IN_RISING} = (3.5 \mu A + 0.615 V/R_{BOT_EN}) \times R_{TOP_EN} + 0.615V$$

$$V_{IN_FALLING} = (0.9 \mu A + 0.575 V/R_{BOT_EN}) \times R_{TOP_EN} + 0.575V$$

ここで、

VIN_RISING は VIN ターンオン電圧。

RBOT_EN は ENx とグラウンドの間の抵抗。

RTOP_EN は VIN と ENx の間の抵抗。

VIN_FALLING は VIN ターンオフ電圧。

勾配補償の設定

電流モード制御アーキテクチャでは、低調波発振を防止し、安定した出力を維持するために、勾配補償が必要です。ADP5055 は、エミュレートされた電流モードを採用し、RAMPx ピンとグラウンドの間に抵抗 (RRAMPx) を接続する方法で勾配補償を実装しています。

理論的には、システムを安定化する上で、VOUT/(2 × L) という追加の勾配が十分な役割を果たします。どのノイズも 1 サイクルのうちに確実に減衰し、低調波発振の影響からシステムを保護して安定させるため、ADP5055 は VOUT/L という勾配を追加して使用します。

次式を使用して、RRAMPx 値を計算します。

$$R_{RAMP1} (k \Omega) = L1 (\mu H) \times 500$$

$$R_{RAMP2} (k \Omega) = L2 (\mu H) \times 500$$

$$R_{RAMP3} (k \Omega) = L3 (\mu H) \times 226$$

ここで、Lx は各チャンネルのインダクタ値です。

補償部品の設計

ピーク電流モード制御のアーキテクチャでは、電力段は、出力コンデンサと負荷抵抗に電流を供給する電圧制御された電流源として簡略化できます。この簡略化されたループは、1つのドメイン極と出力コンデンサの ESR によるゼロで構成されます。制御から出力までの伝達関数は、次式で表されます。

$$G_{vd}(s) = \frac{V_{OUT}(s)}{V_{COMP}(s)} = A_{VI} \times R \times \frac{\left(1 + \frac{s}{2 \times \pi \times f_z}\right)}{\left(1 + \frac{s}{2 \times \pi \times f_p}\right)}$$

ここで、

s は制御から出力までの伝達関数のドメイン。

AVI= 12.5A/V (チャンネル 1 およびチャンネル 2)、5A/V (チャンネル 3)。

R は負荷抵抗。

fz はゼロ周波数。

fp は極周波数。

$$f_z = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}}$$

$$f_p = \frac{1}{2 \times \pi \times (R + R_{ESR}) \times C_{OUT}}$$

ここで、

RESR は出力コンデンサの等価直列抵抗値。

COUT は出力容量値。

ADP5055 は、エラー・アンプとしてトランスコンダクタンス・アンプを使用し、システムを補償します。図 52 に、簡略化したピーク電流モード制御の小信号回路を示します。

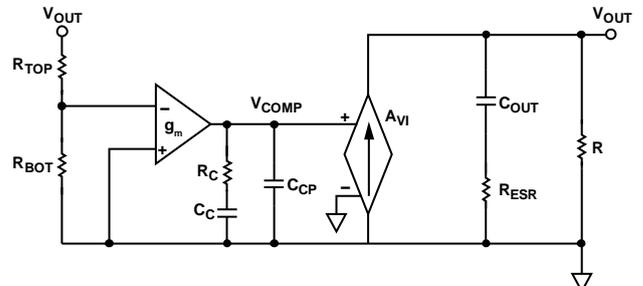


図 52. 簡略化したピーク電流モード制御小信号回路

補償部品 RC および CC はゼロに寄与します。RC とオプションの CCp 部品はオプションの極に寄与します。

クローズドループ伝達関数の式 (s ドメイン) は次のようになります。

$$T_V(s) = \frac{R_{BOT}}{R_{BOT} + R_{TOP}} \times \frac{-g_m}{C_C + C_{CP}} \times \frac{1 + R_C \times C_C \times s}{s \times \left(1 + \frac{R_C \times C_C \times C_{CP}}{C_C + C_{CP}} \times s\right)} \times G_{vd}(s)$$

セラミック出力コンデンサのアプリケーション用に補償部品 R_C 、 C_C 、 C_{CP} を選択する方法を、以下のガイドラインに示します。

1. 交差周波数 f_C を決定します。通常、 f_C は $f_{sw}/12 \sim f_{sw}/6$ の範囲に収まります。
2. 次式を使用して R_C を算出します。

$$R_C = \frac{2 \times \pi \times V_{OUT} \times C_{OUT} \times f_C}{0.6 \times g_m \times A_{VI}}$$

3. ドメイン極 (f_p) に補償ゼロを配置します。次式を使用して C_C を算出します。

$$C_C = \frac{(R + R_{ESR}) \times C_{OUT}}{R_C}$$

4. C_{CP} はオプションです。この部品は、出力コンデンサの ESR によって生じるゼロ点を打ち消す目的で使用します。 C_{CP} は次式で計算します。

$$C_{CP} = (R_{ESR} \times C_{OUT}) / (R_C)$$

消費電力

ADP5055 の全消費電力は次式のように簡略化できます。

$$P_D = P_{BUCK1} + P_{BUCK2} + P_{BUCK3}$$

ここで、

P_D はパッケージの消費電力。

P_{BUCK1} は、チャンネル 1 の消費電力。

P_{BUCK2} は、チャンネル 2 の消費電力。

P_{BUCK3} は、チャンネル 3 の消費電力。

降圧レギュレータの消費電力

各降圧レギュレータの消費電力 (P_{LOSS}) には、パワー・スイッチの導通損失 (P_{COND})、電力スイッチング損失 (P_{SW})、電力遷移損失 (P_{TRAN}) などがあります。他にも電力消費の原因はありますが、それらは、アプリケーションの温度限界の高出力電流では、一般的にさほど影響を与えません。

次式を用いて、降圧レギュレータの消費電力を見積もることができます。

$$P_{LOSS} = P_{COND} + P_{SW} + P_{TRAN}$$

パワー・スイッチの導通損失 (P_{COND})

パワー・スイッチの導通損失は、出力電流がハイサイドおよびローサイドのパワー・スイッチを流れることが原因です。これらの各スイッチには内部にオン抵抗 ($R_{DS(ON)}$) があります。

次式を用いて、パワー・スイッチの導通損失を見積もることができます。

$$P_{COND} = (R_{DS(ON_HS)} \times D + R_{DS(ON_LS)} \times (1 - D)) \times I_{OUT}^2$$

ここで、

$R_{DS(ON_HS)}$ はハイサイド MOSFET のオン抵抗。

D はデューティ・サイクル ($D = V_{OUT}/V_{IN}$)。

$R_{DS(ON_LS)}$ はローサイド MOSFET のオン抵抗。

電力スイッチング損失 (P_{SW})

スイッチング損失は、ドライバがパワー・デバイスをスイッチング周波数 (f_{sw}) でオン/オフにする際に流れる電流によって発生します。パワー・デバイスのゲートがオン/オフするたびに、ドライバは電荷を入力電源からゲートへ、そしてゲートからグラウンドへと移動させます。次式を用いて P_{SW} を見積もることができます。

$$P_{SW} = (C_{GATE_HS} + C_{GATE_LS}) \times V_{IN}^2 \times f_{sw}$$

ここで、

C_{GATE_HS} はハイサイド MOSFET のゲート容量。

C_{GATE_LS} はローサイド MOSFET のゲート容量。

電力遷移損失 (P_{TRAN})

遷移損失は、ハイサイド MOSFET が瞬時にターンオン/ターンオフできないために発生します。スイッチ・ノードが遷移しているときに、MOSFET はすべてのインダクタ電流を供給します。MOSFET のソース/ドレイン間電圧は入力電圧の半分になり、結果として電力損失が発生します。遷移損失は、負荷および入力電圧と共に増大し、各スイッチング・サイクルで 2 回発生します。次式を用いて遷移損失を見積もることができます。

$$P_{TRAN} = 0.5 \times V_{IN} \times I_{OUT} \times (t_r + t_f) \times f_{sw}$$

ここで、

t_r はスイッチ・ノードの立上がり時間。

t_f はスイッチ・ノードの立下がり時間。

サーマル・シャットダウン

降圧レギュレータは、内部 MOSFET のオンおよびオフ時間の間、インダクタ電流の値を保存します。そのため、特に 3 チャンネル全てが大電流で動作する場合には、ADP5055 内部である程度の電力損失が発生します。ジャンクション温度が 175°C を上回ると、このレギュレータはサーマル・シャットダウン・モードに入り、ジャンクション温度が 160°C を下回ると復帰します。

ジャンクション温度

ダイのジャンクション温度は、次式に示すように、システムの置かれた環境の周囲温度と電力消費によるパッケージの温度上昇の和になります。

$$T_J = T_A + T_R$$

ここで、

T_J はジャンクション温度、

T_A は周囲温度、

T_R は電力消費によるパッケージの温度上昇。

パッケージの温度上昇は、パッケージの消費電力に正比例します。この関係の比例係数は、次式に示すように、ダイのジャンクションから周囲温度までの熱抵抗です。

$$T_R = \theta_{JA} \times P_D$$

ここで、

θ_{JA} はダイのジャンクションからパッケージの周囲温度までの熱抵抗（表5を参照）。

考慮すべき重要な点は、熱抵抗値は JEDEC 規格で仕様規定されているように、銅箔の厚さが 2.5 オンスの 4 層、4 インチ×3 インチの PCB に基づいて定められているのに対し、実際のアプリケーションでは様々な大きさ、様々な層数の PCB が用いられる可能性があるということです。

使用する銅の量をできるだけ多くして、熱をデバイスから除去することが重要です。空気に露出している銅は、内部の層にある銅よりも熱を効率よく放出します。露出パッドは、複数のビアを通じてグランド・プレーンに接続してください。

代表的なアプリケーション回路

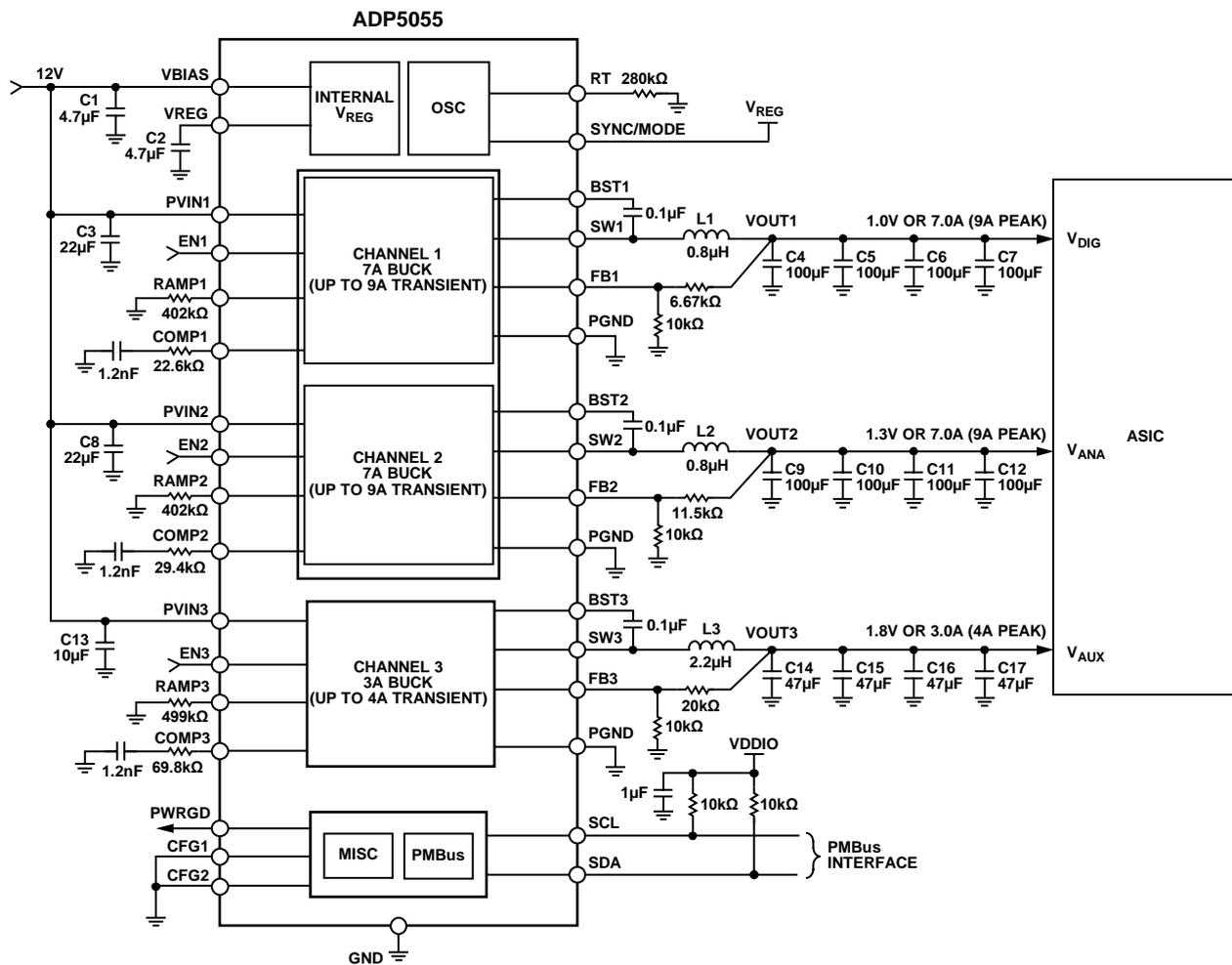


図 53. 代表的なアプリケーション、12V 入力、 $f_{sw} = 600\text{kHz}$ 、 $V_{OUT1} = 1.0\text{V}$ 、 $V_{OUT2} = 1.3\text{V}$ 、 $V_{OUT3} = 1.8\text{V}$

17289-051

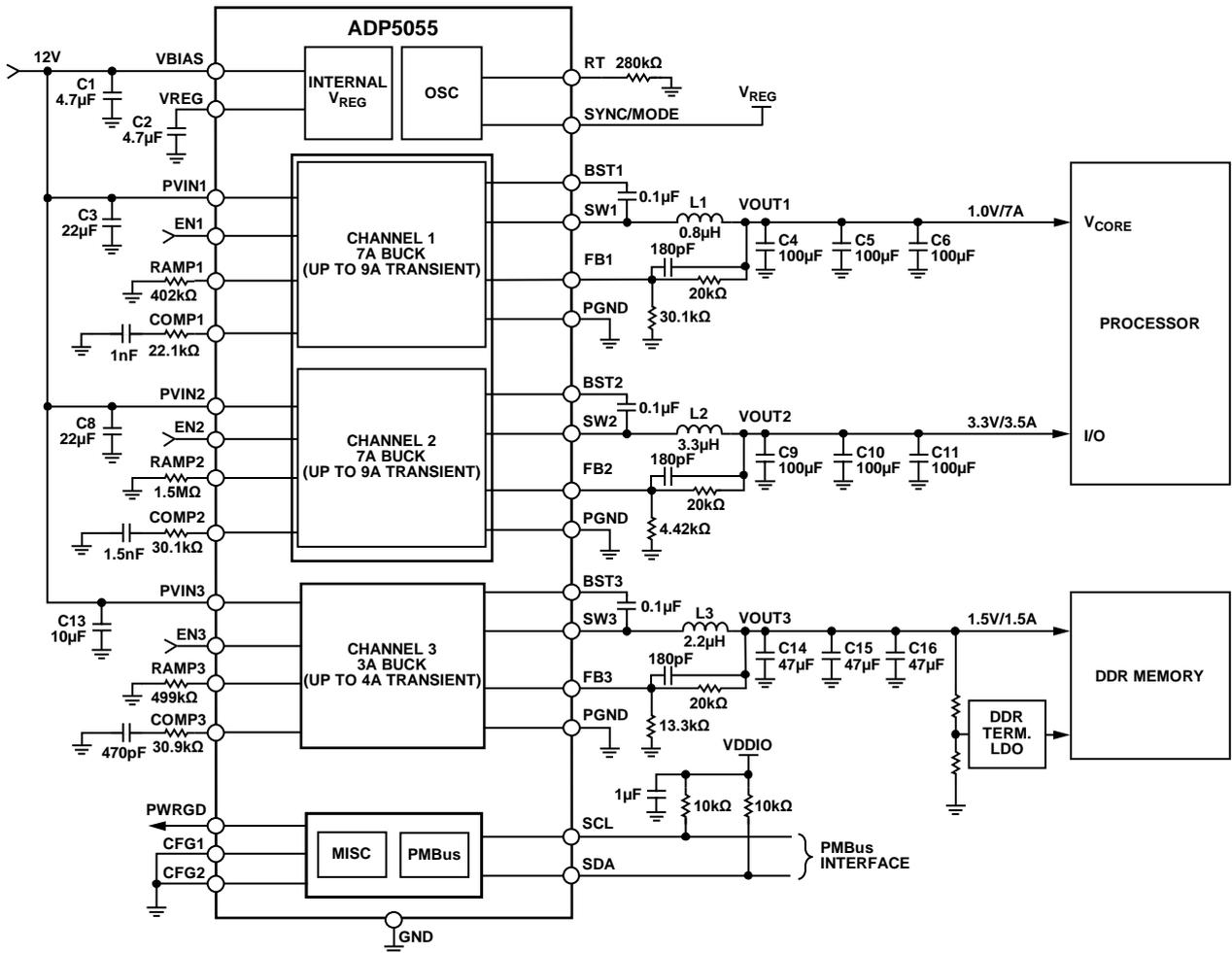
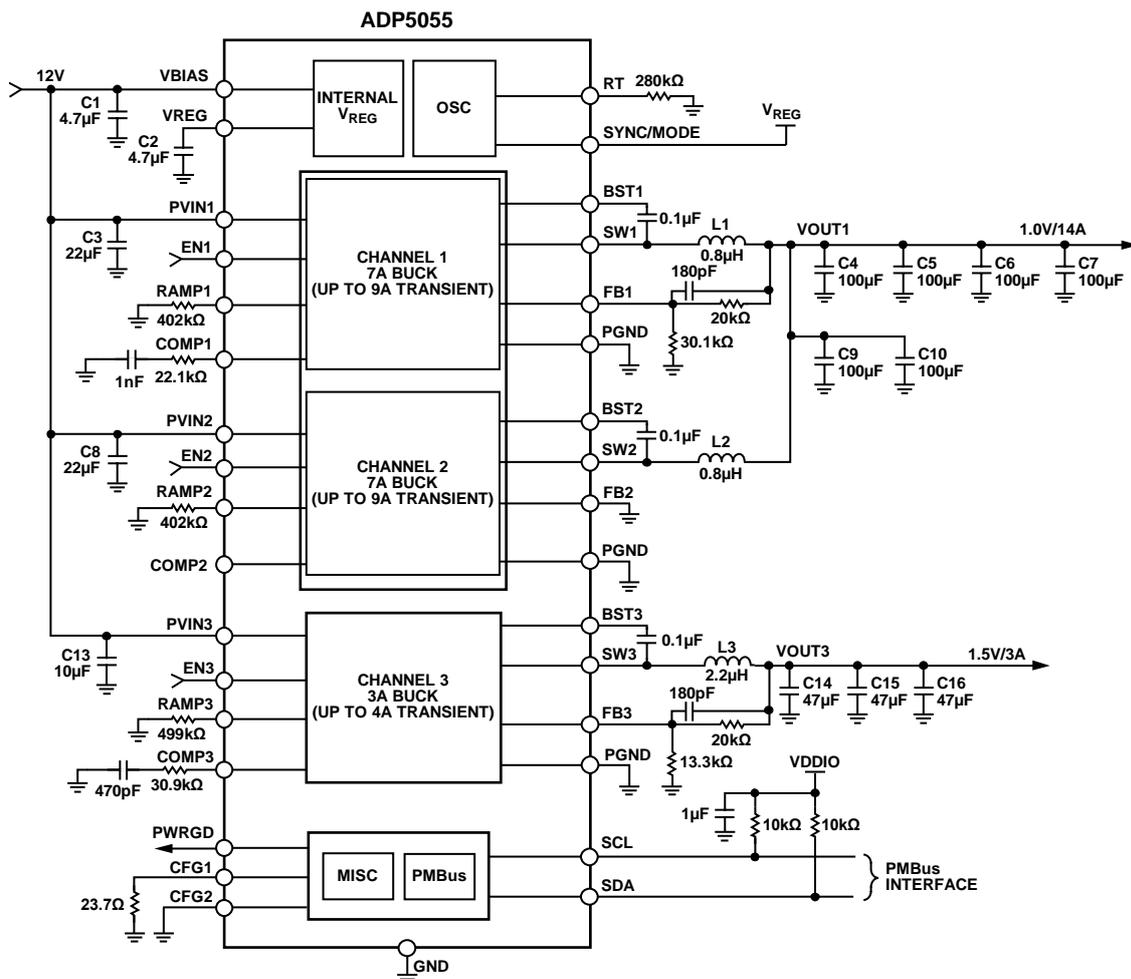


図 54. 代表的なダイナミック電圧スケーリング・アプリケーション、12V 入力、 $f_{sw} = 600\text{kHz}$ 、 $V_{OUT1} = 1.0\text{V} \sim 1.1\text{V}$ DVS (ステップあたり 2.5 mV)、 $V_{OUT2} = 3.3\text{V}$ 、 $V_{OUT3} = 1.5\text{V}$

17289-052



17268-053

図 55. 代表的なチャンネル 1 およびチャンネル 2 インターリーブ並列アプリケーション、12V 入力、 $f_{sw} = 600\text{kHz}$ 、 $V_{OUT1} = 1.0\text{V}$ 、 $V_{OUT3} = 1.5\text{V}$

設計例

このセクションでは、ステップ・バイ・ステップの設計手順の例と、チャンネル1に必要とされる外付け部品について説明します。表13に、この例の設計条件を示します。

表13. チャンネル1の設計条件例

パラメータ	仕様
入力電圧	$V_{FVIN1} = 12V \pm 5\%$
出力電圧	$V_{OUT1} = 1.2V$
出力電流	$I_{OUT1} = 7A$
出力リップル	$\Delta V_{OUT1_RIPPLE} = 12mV$ (CCMモード)
負荷過渡応答	25%から75%で±5%の負荷過渡応答、1A/μs

この例ではチャンネル1に対するステップ・バイ・ステップの設計手順を示しますが、この手順は他のすべての降圧レギュレータ・チャンネル（チャンネル1～チャンネル3）にも適用できます。

スイッチング周波数の設定

最初のステップは、ADP5055の設計におけるスイッチング周波数 (f_{sw}) を決定することです。一般に、 f_{sw} が高いと、部品の値を小さくできるため、ソリューションのサイズは小さくなります。これに対し、 f_{sw} が低いと、スイッチング損失が小さくなるため、変換効率が高くなります。

ADP5055の f_{sw} は、RTピンとグラウンドの間に抵抗を接続して、250kHz～2500kHzの値に設定できます。抵抗を選択することで、効率とソリューション・サイズのトレード・オフに基づいた決定をすることができます。

しかし、設定する最大 f_{sw} は、最小オン時間と最小オフ時間で決まる電圧変換制限を確認して判断する必要があります（電圧変換の制限のセクションを参照）。

この設計例では、小型のソリューション・サイズと高い変換効率の最適な組み合わせを実現するため、600kHzの f_{sw} を使用します。 f_{sw} を600kHzに設定するには、次式を用いて抵抗値 R_T を計算します。

$$f_{sw} = 168,000/R_T$$

$$R_T = 280 \text{ k}\Omega$$

これにより、標準的な抵抗値として $R_T = 280\text{k}\Omega$ を選択します。

出力電圧の設定

10kΩの下段抵抗 (R_{BOT}) を選択し、上段帰還抵抗値を次式で計算します。

$$R_{BOT} = R_{TOP} \times (V_{REF}/(V_{OUT} - V_{REF}))$$

ここで、チャンネル1の V_{REF} は600mVです。

V_{OUT} を1.2Vに設定するためには、次の抵抗値を選択します。

- $R_{TOP} = 10 \text{ k}\Omega$
- $R_{BOT} = 10 \text{ k}\Omega$

構成の設定 (CFG1 および CFG2)

CFG1ピンで、全チャンネルの負荷出力能力と並列動作をプログラムできます。この例では、 $R_{CFG1} = 0\Omega$ を選択します（表11を参照）。

CFG2ピンで、ADP5055の t_{SET} タイマー（2.6msまたは20.8ms）、高速トランジェント機能、PMBusアドレスをプログラムできます。この例では、 $R_{CFG2} = 0\Omega$ を選択します（表10を参照）。

インダクタの選択

インダクタ・リップル電流のピーク to ピーク値 (ΔI_L) は、最大出力電流の35%に設定されます。次式を用いてインダクタ値を見積もることができます。

$$L = ((V_{IN} - V_{OUT}) \times D) / (\Delta I_L \times f_{sw})$$

ここで、

$$V_{IN} = 12V$$

$$V_{OUT} = 1.2V$$

D はデューティ・サイクル ($D = V_{OUT}/V_{IN} = 0.1$)。

$$\Delta I_L = 35\% \times 7A = 2.45A$$

$$f_{sw} = 600\text{kHz}$$

この結果、 L の値は $0.73\mu\text{H}$ となります。最も近い標準的なインダクタの値は $0.8\mu\text{H}$ です。従って、 ΔI_L は $2.25A$ となります。

次式を用いて、ピーク・インダクタ電流を計算します。

$$I_{PEAK} = I_{OUT} + (\Delta I_L/2)$$

インダクタのピーク電流の計算値は $8.125A$ となります。

次式を用いて、インダクタの実効値電流を計算します。

$$I_{RMS} = \sqrt{I_{OUT}^2 + \frac{\Delta I_L^2}{12}}$$

インダクタの実効値電流は約 $7.03A$ となります。

このため、最小実効値定格電流が $7.03A$ 、最小定格飽和電流が $8.125A$ のインダクタが必要です。ただし、電流制限状態でインダクタが飽和点に達するのを防ぎ、動作の信頼性を確保するには、インダクタの飽和電流を最大ピーク電流の制限値（代表値は $11.65A$ ）よりも大きくすることを推奨します。

これらの条件と推奨事項に基づき、 $5.14\text{m}\Omega$ の直流抵抗値を持つ XAL5030-801 をこの設計では選択しています。

出力コンデンサの選択

出力コンデンサは、出力電圧リップル条件と負荷過渡応答条件の両方を満たす必要があります。出力電圧のリップル条件を満たすには、次式を使用して ESR と容量値を計算します。

$$C_{OUT_RIPPLE} = \frac{\Delta I_L}{8 \times f_{SW} \times \Delta V_{OUT_RIPPLE}}$$

$$R_{ESR} = \frac{\Delta V_{OUT_RIPPLE}}{\Delta I_L}$$

容量値 C_{OUT_RIPPLE} は $39\mu\text{F}$ 、抵抗値 R_{ESR} は $5.3\text{m}\Omega$ と算出されます。±5%のオーバーシュートおよびアンダーシュートの条件を満たすには、次式を使用して容量を計算します。

$$C_{OUT_UV} = \frac{K_{UV} \times \Delta I_{STEP}^2 \times L}{2 \times (V_{IN} - V_{OUT}) \times \Delta V_{OUT_UV}}$$

$$C_{OUT_OV} = \frac{K_{OV} \times \Delta I_{STEP}^2 \times L}{(V_{OUT} + \Delta V_{OUT_OV})^2 - V_{OUT}^2}$$

推定のため、 $K_{OV} = K_{UV} = 2$ とします。その結果、 $C_{OUT_OV} = 133\mu\text{F}$ 、 $C_{OUT_UV} = 15.1\mu\text{F}$ になります。

出力コンデンサの ESR は、 $11\text{m}\Omega$ 未満である必要があります。また、出力容量は $133\mu\text{F}$ より大きい必要があります。3個のセラミック・コンデンサ ($47\mu\text{F}$ 、x5R、6.3V) (村田製作所の GRM21BR60J476ME15、 $ESR = 2\text{m}\Omega$ など) を使用することを推奨します。

補償ネットワークの設計

負荷過渡応答と安定性を向上させるには、 f_c を $f_{sw}/10$ に設定します。この例では、 f_{sw} が 600kHz に設定されているため、 f_c は 60kHz に設定されています。

1.2V の出力レールに対し、 $47\mu\text{F}$ セラミック出力コンデンサのデイレートング値は $40\mu\text{F}$ です。

標準的な部品として、 $R_c = 24.9\text{k}\Omega$ 、 $C_c = 1\text{nF}$ を選択します。 C_{cp} はオプションです。

図 56 に 1.2V の出力レールのボード線図を示します。交差周波数は 58kHz で、位相マージンは 63° です。

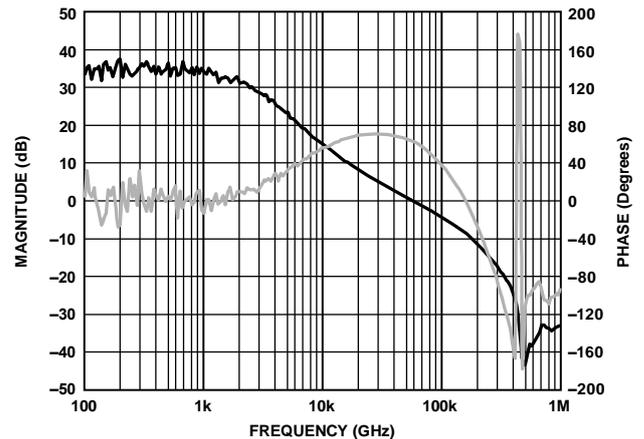


図 56. 1.2V 出力のボード線図

入力コンデンサの選択

入力コンデンサには、最小でも $10\mu\text{F}$ のセラミック・コンデンサを選択します。入力コンデンサは PVIN1 ピンの近くに配置してください。この例では、 $10\mu\text{F}$ 、x5R、25V のセラミック・コンデンサを 1 個使用することを推奨します。

PCB レイアウトに関する推奨事項

ADP5055 から最高性能を引き出すためには、PCB レイアウトの最適化が極めて重要です (図 57 を参照)。レイアウトに問題があると、EMI 性能および電磁両立性 (EMC) 性能だけでなく、デバイスのレギュレーションや安定性にも影響が及ぶ可能性があります。最適な PCB レイアウトにするには、次のガイドラインを参照してください。

- 入力コンデンサ、インダクタ、出力コンデンサ、ブートストラップ・コンデンサを IC の近くに配置します。
- 短く厚いパターンを使用して入力コンデンサを PVINx ピンに接続し、専用の電源グラウンドを使用して入力コンデンサと出力コンデンサをグラウンドに接続し、配線長は最小にします。
- 必要に応じて大電流ビアを使用して、PVINx、PGND、SWx を他のパワー・プレーンに接続します。
- 短く厚いパターンを使用して、インダクタを SWx ピンや出力コンデンサに接続します。
- 大電流のループ・パターンはできる限り短く、幅広くします。
- 露出パッドのグラウンド・メタルの量を最大にし、部品面にできるだけ多くのビアを使って放熱性を良くします。
- グラウンド・プレーンを設け、複数のビアで部品面のグラウンドと接続すると、敏感な回路ノードのノイズ干渉を更に低減することができます。
- デカップリング・コンデンサを VREG ピンの近くに配置します。
- 周波数設定抵抗を RT ピンの近くに配置します。
- 帰還抵抗分圧器を FBx ピンの近くに配置します。更に、FBx のパターンはノイズの影響を避けるため、大電流パターンとスイッチ・ノードからは離して配置します。
- 0402 または 0603 サイズの抵抗とコンデンサを使うと、面積が制限されているボード上で最小のフットプリント・ソリューションを実現できます。

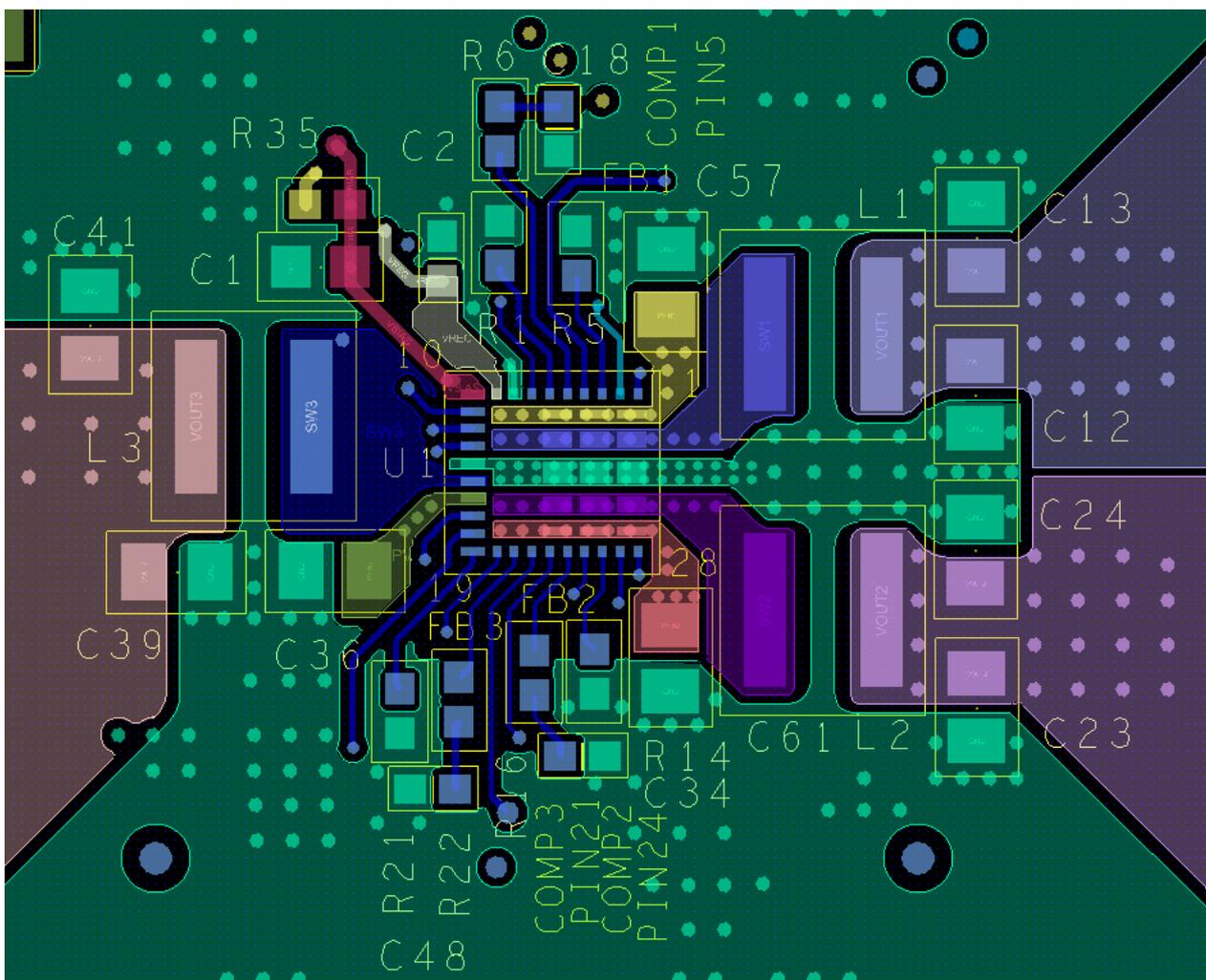


図 57. ADP5055 の代表的な PCB レイアウト

17289-050

レジスタ・マップ

表 14. レジスタの一覧

Reg	レジスタ名	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	R/W	
0x19	CAPABILITY	[7:0]	PEC	MAX_BUS_SPEED	SMBALRT	RESERVED					0xA0	R	
0x7E	STATUS_CML	[7:0]	CMD_ERR	DATA_ERR	PEC_ERR	CRC_ERR	RESERVED		COMM_ERR	RESERVED	0x00	R/W	
0xD0	MODEL_ID	[7:0]	MODEL								0x40	R	
0xD1	CTRL123	[7:0]	RESERVED				CH3_ON	CH2_ON	CH1_ON	0x00			R/W
0xD2	VID_GO	[7:0]	RESERVED				VID3_GO	VID2_GO	VID1_GO	0x00			W
0xD3	CTRL_MODE1	[7:0]	RESERVED			DVS_AUTO	RESERVED		EN_MODE		0x00	R/W	
0xD4	CTRL_MODE2	[7:0]	OCP_BLANKING	PSM3_ON	PSM2_ON	PSM1_ON	RESERVED	DSCG3_ON	DSCG2_ON	DSCG1_ON	0x07	R/W	
0xD5	DLY1	[7:0]	RESERVED	DIS_DLY1			RESERVED	EN_DLY1			0x00	R/W	
0xD6	DLY2	[7:0]	RESERVED	DIS_DLY2			RESERVED	EN_DLY2			0x00	R/W	
0xD7	DLY3	[7:0]	RESERVED	DIS_DLY3			RESERVED	EN_DLY3			0x00	R/W	
0xD8	VID1	[7:0]	VID1								0x80	R/W	
0xD9	VID2	[7:0]	VID2								0x80	R/W	
0xDA	VID3	[7:0]	VID3								0x80	R/W	
0xDB	DVS_CFG	[7:0]	RESERVED		DVS_INTVAL3		DVS_INTVAL2		DVS_INTVAL1		0x00	R/W	
0xDC	DVS_LIM1	[7:0]	VID1_HIGH				VID1_LOW				0x00	R/W	
0xDD	DVS_LIM2	[7:0]	VID2_HIGH				VID2_LOW				0x00	R/W	
0xDE	DVS_LIM3	[7:0]	VID3_HIGH				VID3_LOW				0x00	R/W	
0xDF	FT_CFG	[7:0]	RESERVED		FT3_TH		FT2_TH		FT1_TH		0x3F	R/W	
0xE0	PG_CFG	[7:0]	RESERVED			PWRGD_DLY	RESERVED	PG3_MASK	PG2_MASK	PG1_MASK	0x10	R/W	
0xE1	PG_READ	[7:0]	RESERVED				PWRGD3	PWRGD2	PWRGD1	0x00			R
0xE2	STATUS_LCH	[7:0]	INT_LCH	OCP3_LCH	OCP2_LCH	OCP1_LCH	TSD_LCH	PG3_LCH	PG2_LCH	PG1_LCH	0x00	R/W	

レジスタの詳細

アドレス：0x19、リセット：0xA0、レジスタ名：CAPABILITY

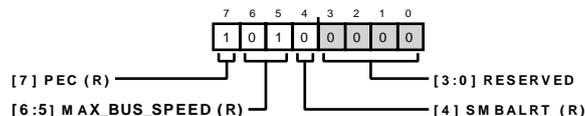


表 15. CAPABILITY のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PEC	1	デバイスのパケット・エラー能力をチェックします。 サポートされています。	0x1	R
[6:5]	MAX_BUS_SPEED	0 1	デバイスの PMBus 速度の能力をチェックします。 0 400kHz 1 400kHz	0x1	R
4	SMBALRT	0	SMBALRT および SMBus アラート応答アドレス・プロトコルをサポートしているかどうかをチェックします。 0 サポートしていません。	0x0	R
[3:0]	RESERVED		予備。	0x0	R

アドレス：0x7E、リセット：0x00、レジスタ名：STATUS_CML

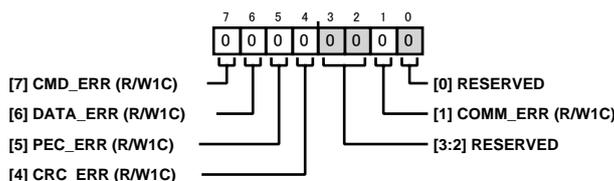


表 16. STATUS_CML のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス ¹
7	CMD_ERR		無効なコマンドまたはサポートされていないコマンドを受信しました。	0x0	R/W1C
6	DATA_ERR		無効なデータまたはサポートされていないデータを受信しました。	0x0	R/W1C
5	PEC_ERR		パケット・エラー・チェックに失敗しました。	0x0	R/W1C
4	CRC_ERR		メモリ障害を検出しました（例：CRC エラー）。	0x0	R/W1C
[3:2]	RESERVED		予備。	0x0	R
1	COMM_ERR		この表に記載されていない他の通信障害。	0x0	R/W1C
0	RESERVED		予備。	0x0	R

¹R/W1C は読み出し、または 1 を書き込んでクリア

アドレス：0xD0、リセット：0x40、レジスタ名：MODEL_ID

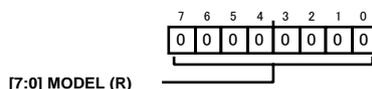


表 17. MODEL_ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	MODEL		製品モデル ID を返します。	0x40	R

アドレス : 0xD1、リセット : 0x00、レジスタ名 : CTRL123

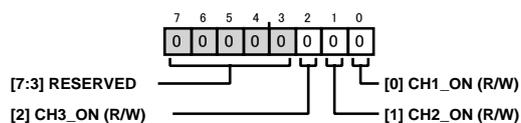


表 18. CTRL123 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 3]	RESERVED		予備。	0x0	R
2	CH3_ON		チャンネル 3 のディスエーブルまたはイネーブル。 0 チャンネル 3 をディスエーブル。 1 チャンネル 3 をイネーブル。	0x0	R/W
1	CH2_ON		チャンネル 2 のディスエーブルまたはイネーブル。 0 チャンネル 2 をディスエーブル。 1 チャンネル 2 をイネーブル。	0x0	R/W
0	CH1_ON		チャンネル 1 のディスエーブルまたはイネーブル。 0 チャンネル 1 をディスエーブル。 1 チャンネル 1 をイネーブル。	0x0	R/W

アドレス : 0xD2、リセット : 0x00、レジスタ名 : VID_GO

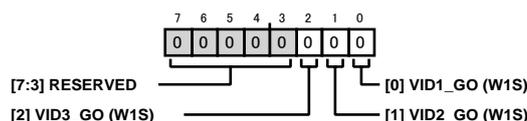


表 19. VID_GO のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス ¹
[7 : 3]	RESERVED		予備。	0x0	R
2	VID3_GO		DVS_AUTO = 1 の場合、このビットに書き込みを行うことによって、チャンネル 3 の出力電圧がそれぞれの VID3 コードへの遷移を開始します。このビットは自己クリア・ビットです。 DVS_AUTO = 0 の場合、このビットは無効で、VID3 レジスタに書き込みを行うことによって、チャンネル 3 の出力電圧遷移が開始されます。 DVS_AUTO は、レジスタ 0xD3 のビット 4 によって設定できます。	0x0	W1S
1	VID2_GO		DVS_AUTO = 1 の場合、このビットに書き込みを行うことによって、チャンネル 2 の出力電圧がそれぞれの VID2 コードへの遷移を開始します。このビットは自己クリア・ビットです。 DVS_AUTO = 0 の場合、このビットは無効で、VID2 レジスタに書き込みを行うことによって、チャンネル 2 の出力電圧遷移が開始されます。 DVS_AUTO は、レジスタ 0xD3 のビット 4 によって設定できます。	0x0	W1S
0	VID1_GO		DVS_AUTO = 1 の場合、このビットに書き込みを行うことによって、チャンネル 1 の出力電圧がそれぞれの VID1 コードへの遷移を開始します。このビットは自己クリア・ビットです。 DVS_AUTO = 0 の場合、このビットは無効で、VID1 レジスタに書き込みを行うことによって、チャンネル 1 の出力電圧遷移が開始されます。 DVS_AUTO は、レジスタ 0xD3 のビット 4 によって設定できます。	0x0	W1S

¹ W1S は、1 を書き込んでセットすることを表しています。

アドレス：0xD3、リセット：0x00、レジスタ名：CTRL_MODE1

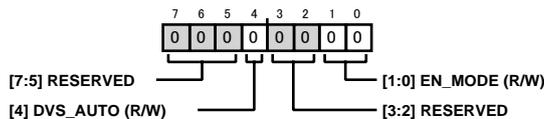


表 20. CTRL_MODE1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 5]	RESERVED		予備。	0x0	R
4	DVS_AUTO	0 1	VIDx 実行モードを設定します。 VIDx レジスタへの書込みが行われると直ちに、出力電圧が遷移します。VIDx_GO ビットは無視されます。 出力電圧が VIDx レジスタの値に遷移するのは、VIDx_GO ビットに 1 を書き込んだときだけです。	0x0	R/W
[3 : 2]	RESERVED		予備。	0x0	R
[1 : 0]	EN_MODE	00 01 10 11	ENx ハードウェア・ピンと CHx_ON ソフトウェア・ビットの両方、またはいずれか一方によって、個々のチャンネルのイネーブルを設定します。 00 ENx ピンを使用して、対応するチャンネルをイネーブル/ディスエーブルします。CHx_ON ビットは無視されます。 01 CHx_ON ビットを使用して、対応するチャンネルをイネーブル/ディスエーブルします。ENx ピンは無視されます。 10 対応するチャンネルをイネーブルするためには、ENx ピンと CHx_ON ビットの両方が必要です。両方の信号の論理積です。 11 ENx ピンまたは CHx_ON ビットのいずれかを使用して、対応するチャンネルをイネーブルすることができます。両方の信号の論理和です。	0x0	R/W

アドレス：0xD4、リセット：0x07、レジスタ名：CTRL_MODE2

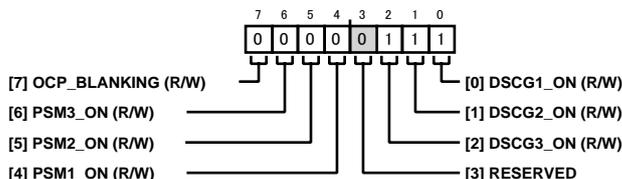


表 21. CTRL_MODE2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	OCP_BLANKING	0 1	全てのチャンネルの過電流保護(OCP) ブランキングを有効または無効にします。 0 OCP ブランキングを無効にします。 1 OCP ブランキングを有効にします。	0x0	R/W
6	PSM3_ON	0 1	チャンネル 3 の動作モードを設定します。SYNC/MODE ピンがローの場合、このビットは無視されます。 0 FPWM モードを有効にします。 1 自動 PWM/PSM モードを有効にします。	0x0	R/W
5	PSM2_ON	0 1	チャンネル 2 の動作モードを設定します。SYNC/MODE ピンがローの場合、このビットは無視されます。 0 FPWM モードを有効にします。 1 自動 PWM/PSM モードを有効にします。	0x0	R/W
4	PSM1_ON	0 1	チャンネル 1 の動作モードを設定します。SYNC/MODE ピンがローの場合、このビットは無視されます。 0 FPWM モードを有効にします。 1 自動 PWM/PSM モードを有効にします。	0x0	R/W
3	RESERVED		予備。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
2	DSCG3_ON	0 1	チャンネル3の出力放電機能を設定します。 出力放電機能を無効にします。 出力放電機能を有効にします。	0x1	R/W
1	DSCG2_ON	0 1	チャンネル2の出力放電機能を設定します。 出力放電機能を無効にします。 出力放電機能を有効にします。	0x1	R/W
0	DSCG1_ON	0 1	チャンネル1の出力放電機能を設定します。 出力放電機能を無効にします。 出力放電機能を有効にします。	0x1	R/W

アドレス：0xD5、リセット：0x00、レジスタ名：DLY1

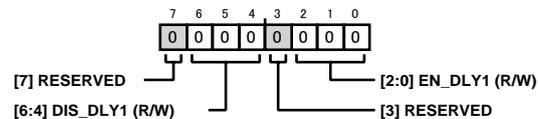


表 22. DLY1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6 : 4]	DIS_DLY1	000 001 010 011 100 101 110 111	EN1 ハードウェア・ピンと CH1_ON ソフトウェア・レジスタの両方またはいずれか一方によってチャンネル1のディスエーブル遅延を設定します (×1 タイマー設定で $t_{SET} = 2.6ms$ 、×8 タイマー設定で $20.8ms$ 、CFG2 ピンを使って設定可能)。 遅延なし。 $2 \times t_{SET}$ $4 \times t_{SET}$ $6 \times t_{SET}$ $8 \times t_{SET}$ $10 \times t_{SET}$ $12 \times t_{SET}$ $14 \times t_{SET}$	0x0	R/W
3	RESERVED		予備。	0x0	R
[2 : 0]	EN_DLY1	000 001 010 011 100 101 110 111	EN1 ハードウェア・ピンと CH1_ON ソフトウェア・レジスタの両方またはいずれか一方によってチャンネル1のイネーブル遅延を設定します (×1 タイマー設定で $t_{SET} = 2.6ms$ 、×8 タイマー設定で $t_{SET} = 20.8ms$ 、CFG2 ピンを使って設定可能)。 遅延なし。 $1 \times t_{SET}$ $2 \times t_{SET}$ $3 \times t_{SET}$ $4 \times t_{SET}$ $5 \times t_{SET}$ $6 \times t_{SET}$ $7 \times t_{SET}$	0x0	R/W

アドレス : 0xD6、リセット : 0x00、レジスタ名 : DLY2

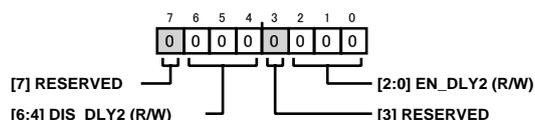


表 23. DLY2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6 : 4]	DIS_DLY2	000 001 010 011 100 101 110 111	EN2 ハードウェア・ピンと CH2_ON ソフトウェア・レジスタの両方またはいずれか一方によってチャンネル 2 のディスエーブル遅延を設定します (×1 タイマー設定で $t_{SET} = 2.6ms$ 、×8 タイマー設定で $t_{SET} = 20.8ms$ 、CFG2 ピンを使って設定可能)。 遅延なし。 $2 \times t_{SET}$ $4 \times t_{SET}$ $6 \times t_{SET}$ $8 \times t_{SET}$ $10 \times t_{SET}$ $12 \times t_{SET}$ $14 \times t_{SET}$	0x0	R/W
3	RESERVED		予備。	0x0	R
[2 : 0]	EN_DLY2	000 001 010 011 100 101 110 111	EN2 ハードウェア・ピンと CH2_ON ソフトウェア・レジスタの両方またはいずれか一方によってチャンネル 2 のイネーブル遅延を設定します (×1 タイマー設定で $t_{SET} = 2.6ms$ 、×8 タイマー設定で $t_{SET} = 20.8ms$ 、CFG2 ピンを使って設定可能)。 遅延なし。 $1 \times t_{SET}$ $2 \times t_{SET}$ $3 \times t_{SET}$ $4 \times t_{SET}$ $5 \times t_{SET}$ $6 \times t_{SET}$ $7 \times t_{SET}$	0x0	R/W

アドレス : 0xD7、リセット : 0x00、レジスタ名 : DLY3

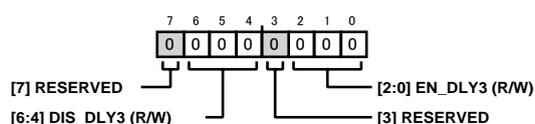


表 24. DLY3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6 : 4]	DIS_DLY3	000 001 010 011 100 101 110 111	EN3 ハードウェア・ピンと CH3_ON ソフトウェア・レジスタの両方またはいずれか一方によってチャンネル 3 のディスエーブル遅延を設定します (×1 タイマー設定で $t_{SET} = 2.6ms$ 、×8 タイマー設定で $t_{SET} = 20.8ms$ 、CFG2 ピンを使って設定可能)。 遅延なし。 $2 \times t_{SET}$ $4 \times t_{SET}$ $6 \times t_{SET}$ $8 \times t_{SET}$ $10 \times t_{SET}$ $12 \times t_{SET}$ $14 \times t_{SET}$	0x0	R/W
3	RESERVED		予備。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[2:0]	EN_DLY3	000 001 010 011 100 101 110 111	EN3 ハードウェア・ピンと CH3_ON ソフトウェア・レジスタの両方またはいずれか一方によってチャンネル3のイネーブル遅延を設定します (×1 タイマー設定で $t_{SET} = 2.6ms$ 、×8 タイマー設定で $t_{SET} = 20.8ms$ 、CFG2 ピンを使って設定可能)。 遅延なし。 $1 \times t_{SET}$ $2 \times t_{SET}$ $3 \times t_{SET}$ $4 \times t_{SET}$ $5 \times t_{SET}$ $6 \times t_{SET}$ $7 \times t_{SET}$	0x0	R/W

アドレス : 0xD8、リセット : 0x80、レジスタ名 : VID1

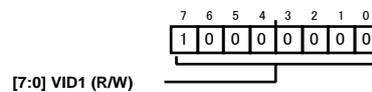


表 25. VID1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID1		チャンネル1の V_{OUT} を設定します。VID1_LOW~VID1_HIGH の範囲を外れると、このレジスタは無視され、無効となります。 $V_{OUT1} = 408 \text{ mV} + (1.5 \text{ mV} \times \text{コード値})$	0x80	R/W

アドレス : 0xD9、リセット : 0x80、レジスタ名 : VID2

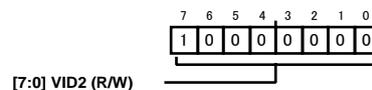


表 26. VID2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID2		チャンネル2の V_{OUT} を設定します。VID2_LOW~VID2_HIGH の範囲を外れると、このレジスタは無視され、無効となります。 $V_{OUT2} = 408 \text{ mV} + (1.5 \text{ mV} \times \text{コード値})$	0x80	R/W

アドレス : 0xDA、リセット : 0x80、レジスタ名 : VID3

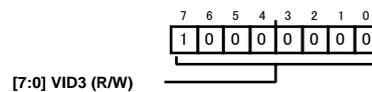


表 27. VID3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VID3		チャンネル3の V_{OUT} を設定します。VID3_LOW~VID3_HIGH の範囲を外れると、このレジスタは無視され、無効となります。 $V_{OUT3} = 408 \text{ mV} + (1.5 \text{ mV} \times \text{コード値})$	0x80	R/W

アドレス：0xDB、リセット：0x00、レジスタ名：DVS_CFG

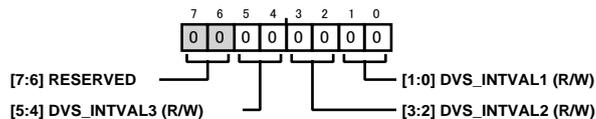


表 28. DVS_CFG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 6]	RESERVED		予備。	0x0	R
[5 : 4]	DVS_INTVAL3	00 01 10 11	チャンネル 3 の DVS 間隔を設定します。 125 μ s (スルー・レート：12mV/ms 時) 62.5 μ s (スルー・レート：24mV/ms 時) 31.2 μ s (スルー・レート：48mV/ms 時) 15.6 μ s (スルー・レート：96mV/ms 時)	0x0	R/W
[3 : 2]	DVS_INTVAL2	00 01 10 11	チャンネル 2 の DVS 間隔を設定します。 125 μ s (スルー・レート：12mV/ms 時) 62.5 μ s (スルー・レート：24mV/ms 時) 31.2 μ s (スルー・レート：48mV/ms 時) 15.6 μ s (スルー・レート：96mV/ms 時)	0x0	R/W
[1 : 0]	DVS_INTVAL1	00 01 10 11	チャンネル 1 の DVS 間隔を設定します。 125 μ s (スルー・レート：12mV/ms 時) 62.5 μ s (スルー・レート：24mV/ms 時) 31.2 μ s (スルー・レート：48mV/ms 時) 15.6 μ s (スルー・レート：96mV/ms 時)	0x0	R/W

アドレス：0xDC、リセット：0x00、レジスタ名：DVS_LIM1

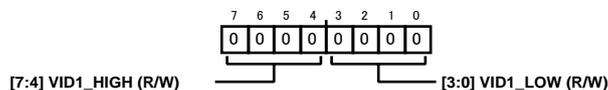


表 29. DVS_LIM1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 4]	VID1_HIGH		VID1 範囲の許容可能な上限を設定します。これはデフォルトの V_{REF_TRIM} を基準とした値です。VID1_HIGH の設定値として既存の VID1 コードよりも小さい値が書き込まれた場合、この値は無視されます。 $VID1_HIGH = V_{REF_TRIM} + 192mV - (12mV \times \text{コード値})$	0x0	R/W
[3 : 0]	VID1_LOW		VID1 範囲の許容可能な下限を設定します。これはデフォルトの V_{REF} 調整値を基準とした値です。VID1_LOW の設定値として既存の VID1 コードよりも大きい値が書き込まれた場合、この値は無視されます。 $VID1_LOW = V_{REF_TRIM} - 190.5mV + (12mV \times \text{コード値})$	0x0	R/W

アドレス：0xDD、リセット：0x00、レジスタ名：DVS_LIM2

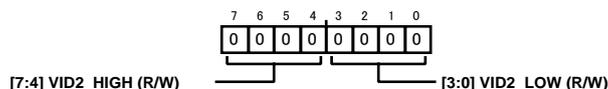


表 30. DVS_LIM2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 4]	VID2_HIGH		VID2 範囲の許容可能な上限を設定します。これはデフォルトの V_{REF} 調整値を基準とした値です。VID2_HIGH の設定値として既存の VID2 コードよりも小さい値が書き込まれた場合、この値は無視されます。 $VID2_HIGH = V_{REF_TRIM} + 192\text{ mV} - (12\text{ mV} \times \text{コード値})$	0x0	R/W
[3 : 0]	VID2_LOW		VID2 範囲の許容可能な下限を設定します。これはデフォルトの V_{REF} 調整値(VREF_TRIM)を基準とした値です。VID2_LOW の設定値として既存の VID2 コードよりも大きい値が書き込まれた場合、この値は無視されます。 $VID2_LOW = V_{REF_TRIM} - 190.5\text{ mV} + (12\text{ mV} \times \text{コード値})$	0x0	R/W

アドレス：0xDE、リセット：0x00、レジスタ名：DVS_LIM3

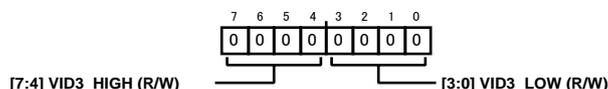


表 31. DVS_LIM3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 4]	VID3_HIGH		VID3 範囲の許容可能な上限を設定します。これはデフォルトの V_{REF} 調整値を基準とした値です。VID3_HIGH の設定値として既存の VID3 コードよりも小さい値が書き込まれた場合、この値は無視されます。 $VID3_HIGH = V_{REF_TRIM} + 192\text{ mV} - (12\text{ mV} \times \text{コード値})$	0x0	R/W
[3 : 0]	VID3_LOW		VID3 範囲の許容可能な下限を設定します。これはデフォルトの V_{REF} 調整値を基準とした値です。VID3_LOW の設定値として既存の VID3 コードよりも大きい値が書き込まれた場合、この値は無視されます。 $VID3_LOW = V_{REF_TRIM} - 190.5\text{ mV} + (12\text{ mV} \times \text{コード値})$	0x0	R/W

アドレス：0xDF、リセット：0x3F、レジスタ名：FT_CFG

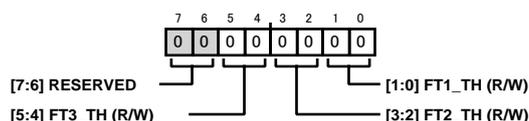


表 32. FT_CFG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7 : 6]	RESERVED		予備。	0x0	R
[5 : 4]	FT3_TH	00 01 10 11	チャンネル 3 の高速トランジエント感度を設定します。CFG2 ピンによって高速トランジエント機能が無効化されると、これらの設定は無視されます。 00 高速トランジエントなし。 01 1.5% の範囲、 $3 \times g_{m0}$ 。ただし、 $g_m = 350\text{ }\mu\text{ A/V}$ 。 10 1.5% の範囲、 $5 \times g_{m0}$ 。ただし、 $g_m = 350\text{ }\mu\text{ A/V}$ 。 11 2.5% の範囲、 $5 \times g_{m0}$ 。ただし、 $g_m = 350\text{ }\mu\text{ A/V}$ 。	0x3	R/W
[3 : 2]	FT2_TH	00 01 10 11	チャンネル 2 の高速トランジエント感度を設定します。CFG2 ピンによって高速トランジエント機能が無効化されると、これらの設定は無視されます。 00 高速トランジエントなし。 01 1.5% の範囲、 $3 \times g_{m0}$ 。ただし、 $g_m = 350\text{ }\mu\text{ A/V}$ 。 10 1.5% の範囲、 $5 \times g_{m0}$ 。ただし、 $g_m = 350\text{ }\mu\text{ A/V}$ 。 11 2.5% の範囲、 $5 \times g_{m0}$ 。ただし、 $g_m = 350\text{ }\mu\text{ A/V}$ 。	0x3	R/W

ビット	ビット名	設定	説明	リセット	アクセス
[1:0]	FT1_TH	00 01 10 11	チャンネル1の高速トランジエント感度を設定します。CFG2ピンによって高速トランジエント機能が無効化されると、これらの設定は無視されます。 高速トランジエントなし。 1.5%の範囲、 $3 \times g_{m0}$ 。ただし、 $g_m = 350 \mu A/V$ 。 1.5%の範囲、 $5 \times g_{m0}$ 。ただし、 $g_m = 350 \mu A/V$ 。 2.5%の範囲、 $5 \times g_{m0}$ 。ただし、 $g_m = 350 \mu A/V$ 。	0x3	R/W

アドレス：0xE0、リセット：0x10、レジスタ名：PG_CFG

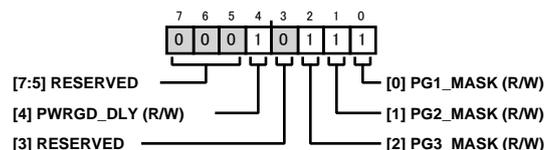


表 33. PG_CFG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	PWRGD_DLY	0 1	PWRGD ハードウェア・ピンの遅延時間を設定します（全ての内部 PWRGD 信号の論理積）。 0 遅延なし。PWRGD ピンは直ちにハイ・レベルになります。 1 PWRGD 遅延タイマー = $t_{SET} (\times 1 \text{ タイマーで } 2.6ms, \times 8 \text{ タイマーで } 20.8ms)$ 。	0x1	R/W
3	RESERVED		予備。	0x0	R
2	PG3_MASK	0 1	チャンネル3のPWRGD信号を外部PWRGDハードウェア・ピンに対してマスクまたはアンマスクします。 0 PWRGD3信号を外部PWRGDピンに出力します。 1 PWRGD3信号を外部PWRGDピンに対してマスクします。	0x0	R/W
1	PG2_MASK	0 1	チャンネル2のPWRGD信号を外部PWRGDハードウェア・ピンに対してマスクまたはアンマスクします。 0 PWRGD2信号を外部PWRGDピンに出力します。 1 PWRGD2信号を外部PWRGDピンに対してマスクします。	0x0	R/W
0	PG1_MASK	0 1	チャンネル1のPWRGD信号を外部PWRGDハードウェア・ピンに対してマスクまたはアンマスクします。 0 PWRGD1信号を外部PWRGDピンに出力します。 1 PWRGD1信号を外部PWRGDピンに対してマスクします。	0x0	R/W

アドレス：0xE1、リセット：0x00、レジスタ名：PG_READ

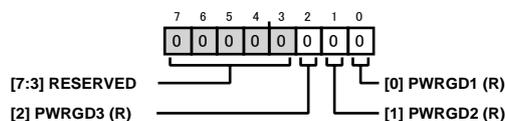


表 34. PG_READ のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
2	PWRGD3	1	チャンネル3のリアルタイムのパワーグッド状態を返します。 レギュレータ出力が公称出力電圧範囲内にあります。	0x0	R
1	PWRGD2	1	チャンネル2のリアルタイムのパワーグッド状態を返します。 レギュレータ出力が公称出力電圧範囲内にあります。	0x0	R
0	PWRGD1	1	チャンネル1のリアルタイムのパワーグッド状態を返します。 レギュレータ出力が公称出力電圧範囲内にあります。	0x0	R

アドレス：0xE2、リセット：0x00、レジスタ名：STATUS_LCH

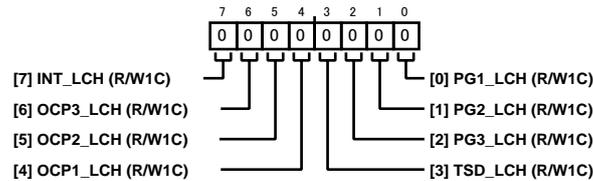


表 35. STATUS_LCH のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス ¹
7	INT_LCH	1	チップの起動手順のラッチされたステータスを返します（例えば、ローディング拒否エラー）。 チップの起動障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
6	OCP3_LCH	1	チャンネル3の過電流ヒカップ障害のラッチされたステータスを返します。 チャンネル3で過電流ヒカップ障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
5	OCP2_LCH	1	チャンネル2の過電流ヒカップ障害のラッチされたステータスを返します。 チャンネル2で過電流ヒカップ障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
4	OCP1_LCH	1	チャンネル1の過電流ヒカップ障害のラッチされたステータスを返します。 チャンネル1で過電流ヒカップ障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
3	TSD_LCH	1	チップのサーマル・シャットダウン障害のラッチされたステータスを返します。 サーマル・シャットダウン障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
2	PG3_LCH	1	チャンネル3のパワーグッド障害のラッチされたステータスを返します。 チャンネル3のパワーグッド障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
1	PG2_LCH	1	チャンネル2のパワーグッド障害のラッチされたステータスを返します。 チャンネル2のパワーグッド障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C
0	PG1_LCH	1	チャンネル1のパワーグッド障害のラッチされたステータスを返します。 チャンネル1のパワーグッド障害が検出されました。 ラッチされたフラグは、障害の消失時にはリセットされませんが、適切なビットに1が書き込まれた時、すべての ENx ピンが0になったとき、あるいは、パワー・サイクルの後にはクリアされます。	0x0	R/W1C

¹R/W1Cは読出し、または1を書き込んでクリア

外形寸法

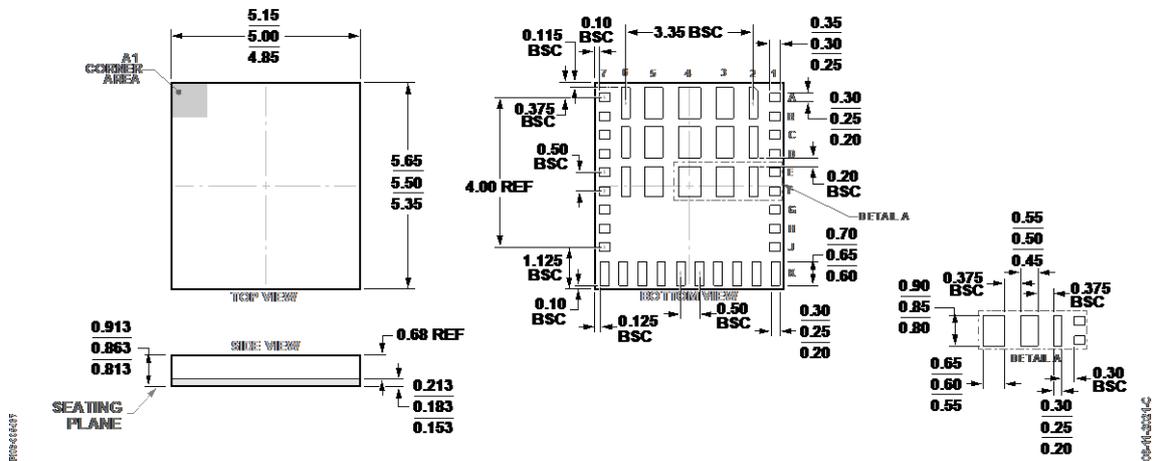


図 58. 43 端子のランド・グリッド・アレイ [LGA]
(CC-43-1)
寸法単位 : mm

オーダー・ガイド

モデル ¹	温度範囲	パッケージの説明	パッケージ・オプション
ADP5055ACCZ-R7	-40°C~+150°C	43 端子ランド・グリッド・アレイ [LGA]	CC-43-1
ADP5055-EVALZ		評価用ボード	

¹ Z = RoHS 準拠製品