

### 225MHz～520MHz の範囲で デジタル調整可能なバンドパス・フィルタ

#### 特長

- ▶ デジタル調整可能なオクターブ・バンドパス調整
- ▶ 3dB 帯域幅：9% ± 2%
- ▶ 除去（20dB）： $f_{CENTER}$  から 19%離れた範囲
- ▶ ディスクリット・フィルタ・バンクに代わる  
シングル・チップ・ソリューション
- ▶ 10mm × 10mm の小型 LGA パッケージ

#### アプリケーション

- ▶ ランド・モバイル無線
- ▶ 試験装置および計測装置
- ▶ 防衛用レーダー、電子戦、電子対抗手段
- ▶ 衛星通信
- ▶ 工業用および医療用機器

#### 機能ブロック図

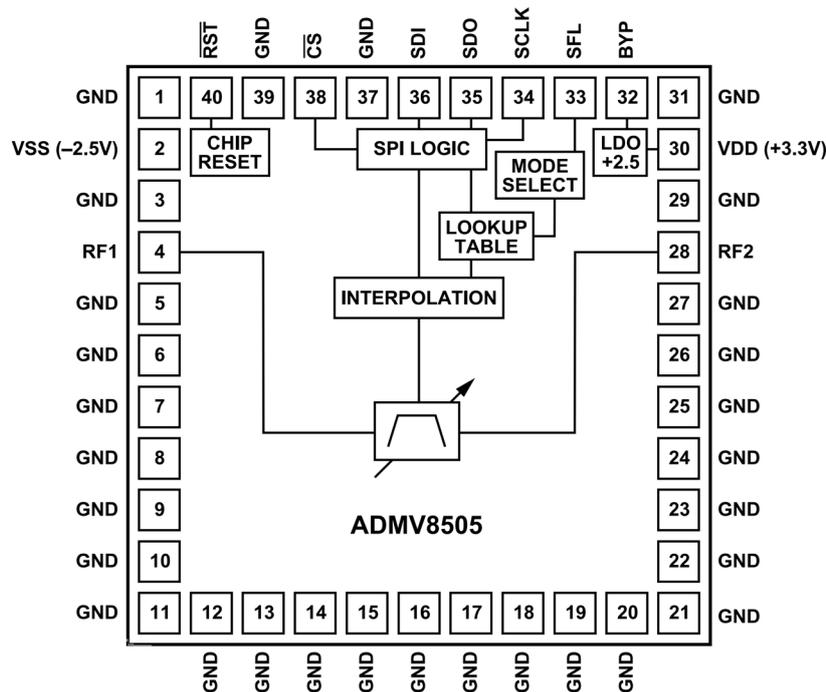


図 1. 機能ブロック図

#### 概要

ADMV8505<sup>1</sup> は、動作周波数をデジタル的に選択できる RF バンドパス・フィルタです。フィルタの中心周波数 ( $f_{CENTER}$ ) は、特許取得済みのキャリブレーション手法を採用した 8 ビット値 (256 個の状態) により、225MHz～520MHz の範囲で調整できます。

代表的な 3dB 帯域幅は 9% で、調整可能範囲は ±2% です。インサーション・ロス は通常 4.5dB で、20dB 除去は  $f_{CENTER}$  から 19% 離れた範囲であるため、システムの干渉を最小限に抑えるのに最適です。

このチューナブル・フィルタは、大型のスイッチド・フィルタ・バンクやディスクリット・コンポーネントベースのチューナブル・フィルタに代わる小型のフィルタとして使用でき、高度な通信アプリケーションにおいて動的調整可能なソリューションとなります。

<sup>1</sup> 米国特許・第 11201600B1 号により保護されています。

#### Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	インターポレーション関数.....	11
アプリケーション.....	1	インターポレーションの式.....	12
概要.....	1	インターポレーション表.....	12
機能ブロック図.....	1	インターポレーション図.....	13
仕様.....	3	インターポレーション係数のキャリブレーション.....	13
タイミング仕様.....	4	フィルタ・コードのリードバック.....	14
絶対最大定格.....	5	SPI 高速ラッチ・モード.....	14
静電放電 (ESD) 定格.....	5	チップ・リセット.....	14
ESD に関する注意.....	5	アプリケーション情報.....	15
ピン配置およびピン機能の説明.....	6	インターポレーション係数.....	15
代表的な性能特性.....	7	プリント回路基板 (PCB) の設計ガイドライン.....	15
動作原理.....	10	フロー・チャート.....	16
チップのアーキテクチャ.....	10	レジスタの一覧.....	18
RF 接続.....	10	レジスタの詳細.....	22
SPI 設定.....	10	外形寸法.....	31
モード選択.....	11	オーダー・ガイド.....	31
SPI 書込みモード.....	11	評価用ボード.....	31
SPI ストリーミング.....	11		

## 改訂履歴

<b>4/2024—Rev. 0 to Rev. A</b>	
Change to Table 3.....	5
<b>12/2023—Revision 0: Initial Version</b>	

## 仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 1. 仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
FREQUENCY RANGE ( $f_{\text{CENTER}}$ )	225		520	MHz	
BANDWIDTH (3 dB)		9		%	
BANDWIDTH ADJUSTABILITY		$\pm 2$		%	
RESOLUTION		1		%	8 bits per filter
REJECTION (20 dB)					
Low-Side		$0.84 \times f_{\text{CENTER}}$		GHz	
High-Side		$1.19 \times f_{\text{CENTER}}$		GHz	
RE-ENTRY FREQUENCY		$> 3$		GHz	$\leq 30$ dB
INSERTION LOSS		4.5		dB	
RETURN LOSS		20		dB	
DYNAMIC PERFORMANCE					
Input Compression (P0.1dB)		24		dBm	Input power ( $P_{\text{IN}}$ ) is 10 dBm; $f_1$ is Input Frequency 1 and $f_2$ is Input Frequency 2 $f_1 = 0.9 \times f_{\text{CENTER}}$ , $f_2 = 0.95 \times f_{\text{CENTER}}$ $f_1 = 1.05 \times f_{\text{CENTER}}$ , $f_2 = 1.1 \times f_{\text{CENTER}}$ $f_1 = f_{\text{CENTER}} - 5$ kHz, $f_2 = f_{\text{CENTER}} + 5$ kHz Measured at $f_{\text{CENTER}} = 225$ MHz To within $\leq 1$ dB of static insertion loss To within $\leq 2^\circ$ of static phase At $f_{\text{CENTER}} = 365$ MHz
Input Third-Order Intercept (IP3)					
Low-Side IP3		53		dBm	
High-Side IP3		48		dBm	
In-Band IP3		47		dBm	
Group Delay		19		ns	
Amplitude Settling Time		5		$\mu\text{s}$	
Phase Settling Time		10		$\mu\text{s}$	
Drift Rate					
Amplitude		-0.01		dB/ $^\circ\text{C}$	
Frequency		-45		ppm/ $^\circ\text{C}$	
SUPPLY VOLTAGE					
VSS	-2.6	-2.5	-2.4	V	
VDD	+3.2	+3.3	+3.4	V	
SUPPLY CURRENT (STATIC)					
Static					
VSS Current ( $I_{\text{SS}}$ )		-2		$\mu\text{A}$	
VDD Current ( $I_{\text{DD}}$ )		125		$\mu\text{A}$	
Dynamic					
$I_{\text{DD}}$		$f_{\text{SCLK}}/4$		mA	Where $f_{\text{SCLK}}$ is the SCLK toggle frequency in MHz For example, continuous serial peripheral interface (SPI) writing at 10 MHz yields 2.5 mA of dynamic supply current
LOGIC ( $\overline{\text{RST}}$ , $\overline{\text{CS}}$ , SCLK, SDI, SDO, and SFL)					
Logic Low	-0.3	0	+0.8	V	
Logic High	+1.2	+3.3	+3.6	V	

仕様

タイミング仕様

表 2. タイミング仕様

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
$t_1$	10			ns	$\overline{\text{RST}}$ low time to perform reset
	10			ns	SCLK cycle time (write)
$t_2$	20			ns	SCLK cycle time (read)
$t_3$	2.5			ns	SCLK high time
$t_4$	2.5			ns	SCLK low time
$t_5$	5			ns	$\overline{\text{CS}}$ falling edge to SCLK rising edge setup time
$t_6$	2			ns	SCLK rising edge to hold time
$t_7$	5			ns	Minimum $\overline{\text{CS}}$ high time for latching in data (for multiple SPI transactions)
$t_8$	5			ns	$\overline{\text{CS}}$ rising edge to next SCLK rising edge ignore
$t_9$	5			ns	SDI data setup time
$t_{10}$	2			ns	SDI data hold time
$t_{11}$	10			ns	SFL falling edge (exiting SFL mode) to $\overline{\text{CS}}$ falling edge time (start of SPI transaction)
$t_{12}$	10			ns	$\overline{\text{CS}}$ rising edge (end of SPI transaction) to SFL rising edge time (entering SFL mode)
$t_{13}$	10			ns	SFL rising edge to $\overline{\text{CS}}$ falling edge time
$t_{14}$	10			ns	$\overline{\text{CS}}$ cycle time (SFL mode)
$t_{15}$	2.5			ns	$\overline{\text{CS}}$ high time (SFL mode)
$t_{16}$	2.5			ns	$\overline{\text{CS}}$ low time (SFL mode)
$t_{17}$		6		ns	SCLK falling edge to SDO valid (load capacitance ( $C_L$ ) = 10 pF)
$t_{18}$		5		ns	SDO rise and fall time ( $C_L$ = 10 pF)
$t_{19}$		4		ns	$\overline{\text{CS}}$ rising edge to SDO tristate ( $C_L$ = 10 pF)

タイミング図

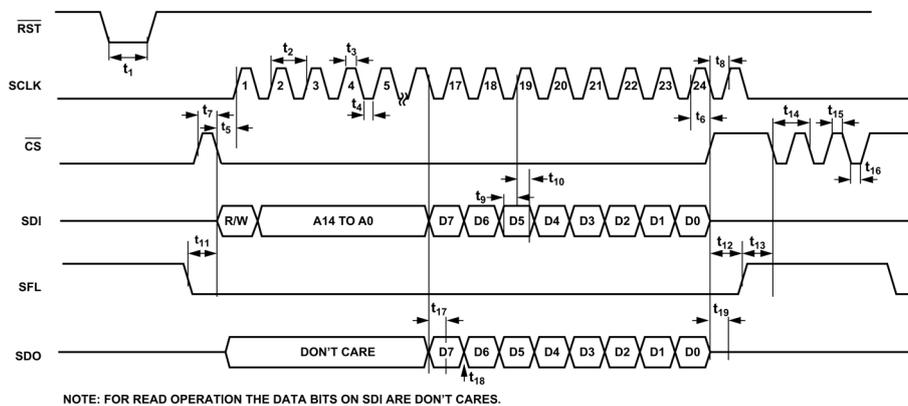


図 2. タイミング図

## 絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
Supply	
VDD	-0.3 V to +3.6 V
VSS	-2.75 V to +0.3 V
Digital Control Inputs	
Voltage	-0.3 V to VDD + 0.3 V
Current	2 mA
Continuous RF Input Power	P0.1dB
Survivability	Maximum 5 minutes over lifetime
Temperature	
Operating Range	-40°C to +85°C
Storage Range	-55°C to +150°C
Junction to Maintain 1 Million Hours Mean Time to Failure (MTTF)	135°C
Nominal Junction (Paddle Temperature (T <sub>PADDLE</sub> ) = 85°C)	90°C
Moisture Sensitivity Level (MSL) Rating	MSL3

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001-2010 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

## ADMV8505 の ESD 定格

表 4. ADMV8505、40 端子 LGA

ESD Model	Withstand Threshold (V)	Class
HBM	1000	1C
FICDM	500	C2a

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

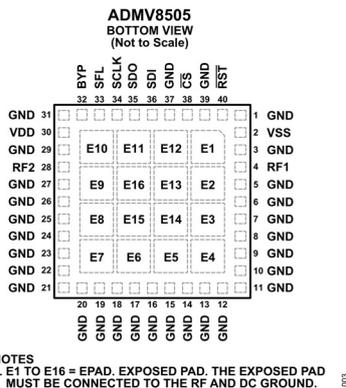


図 3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 3, 5 to 27, 29, 31, 37, 39	GND	グラウンド。GND ピンは RF および DC グラウンドに接続します。
2	VSS	-2.5V 電源ピン。0.1μF と 100pF のデカップリング・コンデンサを VSS の近くに配置してください。
4	RF1	RF ピン 1。RF1 は DC カップリングされ、50Ω に整合されています。RF1 には外部電圧をかけないでください。
28	RF2	RF ピン 2。RF2 は DC カップリングされ、50Ω に整合されています。RF2 には外部電圧をかけないでください。
30	VDD	3.3V 電源ピン。0.1μF と 100pF のデカップリング・コンデンサを VDD の近くに配置してください。
32	BYP	2.5V LDO デカップリング・バイパス・ピン。47μF、0.1μF、100pF のデカップリング・コンデンサを BYP の近くに配置してください。
33	SFL	SPI 高速ラッチ・イネーブル、3.3V ロジック。SFL をハイに設定すると、 $\overline{CS}$ の各立上がりエッジでのフィルタ状態の高速ラッチ動作が有効化されます。SFL がこのモードにある間、SCLK、SDO、および SDI ピンはアクティブではありません。SFL ピンは、内部で 260kΩ の抵抗によりローにプルダウンされています。
34	SCLK	SPI クロック、3.3V ロジック。SCLK ピンは、内部で 260kΩ の抵抗によりローにプルダウンされています。
35	SDO	SPI データ出力、3.3V ロジック。SDO ピンは、内部で 260kΩ の抵抗によりローにプルダウンされています。
36	SDI	SPI データ入力、3.3V ロジック。SDI ピンは、内部で 260kΩ の抵抗によりローにプルダウンされています。
38	$\overline{CS}$	SPI チップ・セレクト、3.3V ロジック。アクティブ・ロー。 $\overline{CS}$ ピンは、内部で 260kΩ の抵抗によりローにプルダウンされています。
40	$\overline{RST}$	チップ・セレクト、3.3V ロジック。アクティブ・ロー。 $\overline{RST}$ ピンは、内部で 260kΩ の抵抗によりハイにプルアップされています。
E1 to E16	EPAD	露出パッド。露出パッドは RF および DC グラウンドに接続する必要があります。

代表的な性能特性

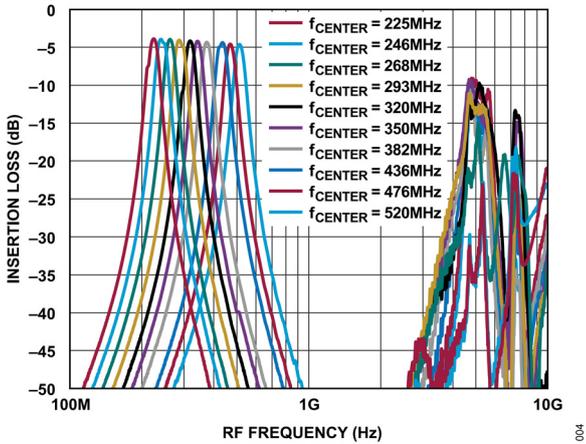


図 4. 公称帯域幅でのインサージョン・ロスと RF 周波数の関係

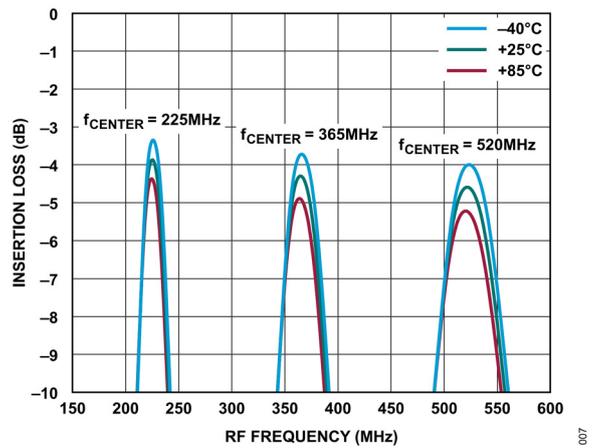


図 7. 異なる温度および中心周波数における公称帯域幅でのインサージョン・ロスと RF 周波数の関係

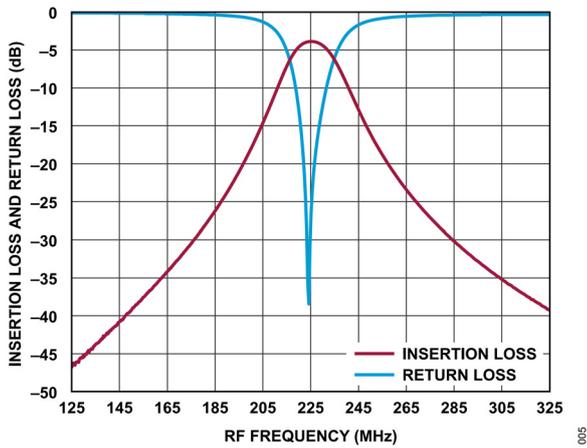


図 5. 225MHz、公称帯域幅でのインサージョン・ロスおよびリターン・ロスと RF 周波数の関係

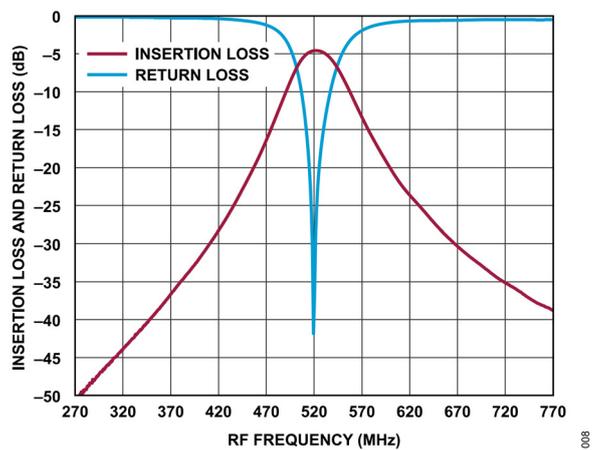


図 8. 520MHz、公称帯域幅でのインサージョン・ロスおよびリターン・ロスと RF 周波数の関係

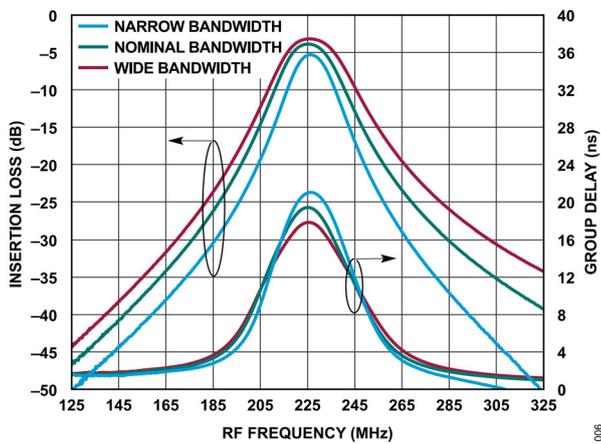


図 6. 225MHz でのインサージョン・ロスおよび群遅延と RF 周波数の関係

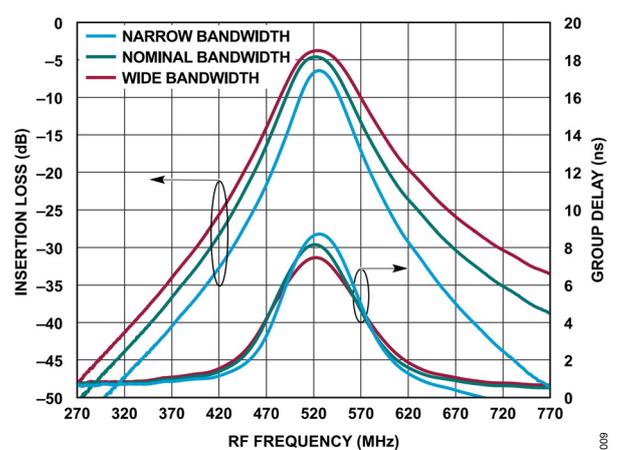


図 9. 520MHz でのインサージョン・ロスおよび群遅延と RF 周波数の関係

代表的な性能特性

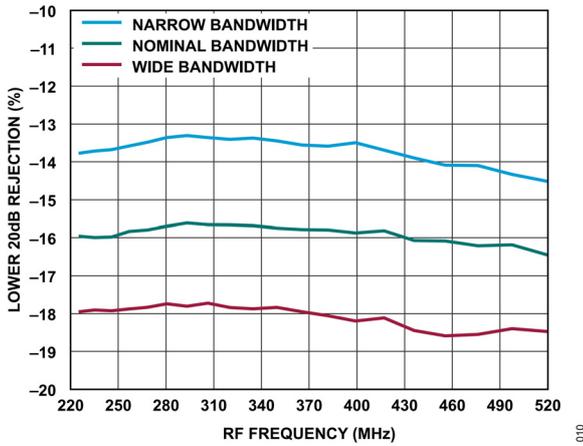


図 10. 異なる帯域幅における低周波数側 20dB 除去のための  $f_{CENTER}$  からの%偏差と RF 周波数の関係

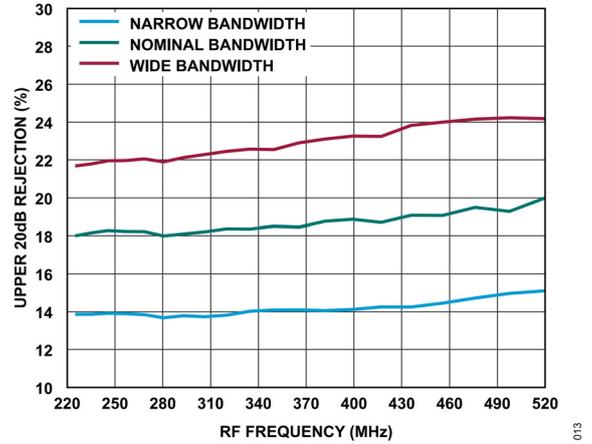


図 13. 異なる帯域幅における高周波数側 20dB 除去のための  $f_{CENTER}$  からの%偏差と RF 周波数の関係

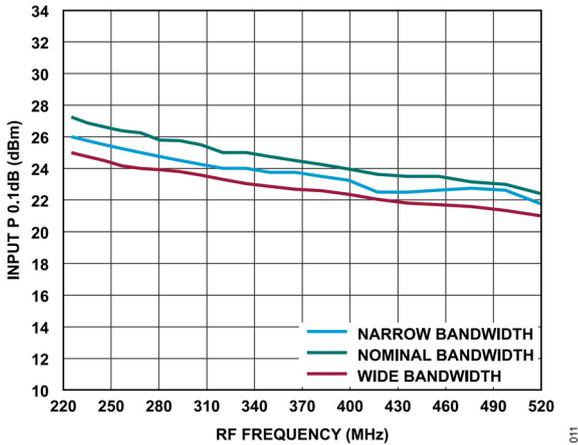


図 11. 異なる帯域幅での入力 P0.1dB と RF 周波数の関係

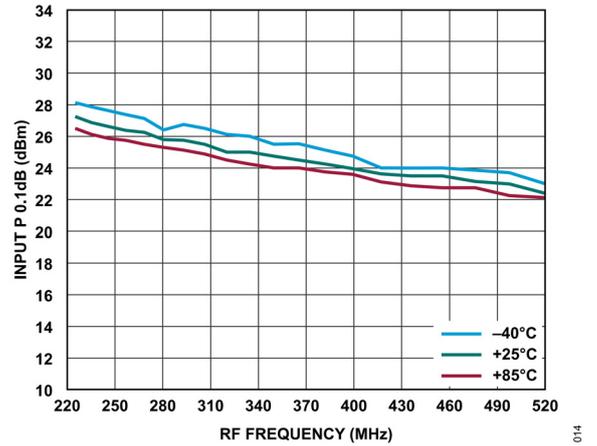


図 14. 異なる温度における公称帯域幅での入力 P0.1dB と RF 周波数の関係

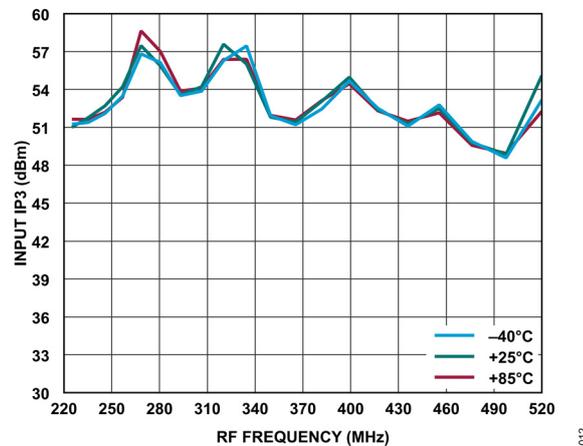


図 12. 異なる温度における公称帯域幅でのローサイド入力 IP3 と RF 周波数の関係 (詳細は仕様のセクションを参照)

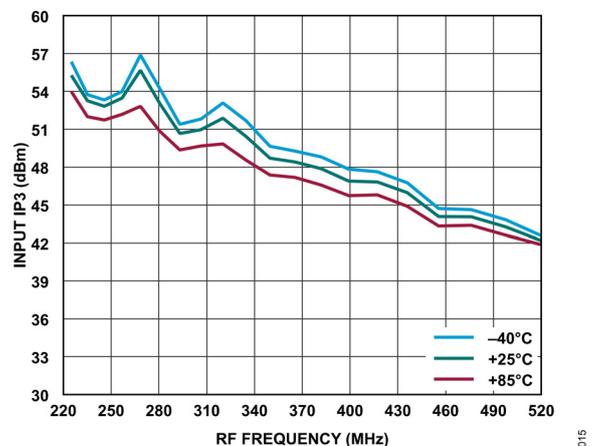


図 15. 異なる温度における公称帯域幅でのハイサイド入力 IP3 と RF 周波数の関係 (詳細は仕様のセクションを参照)

代表的な性能特性

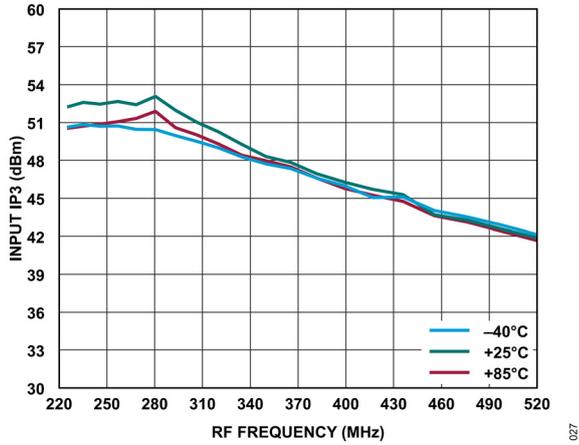


図 16. 異なる温度における公称帯域幅でのインバンド入力 IP3 と RF 周波数の関係 (詳細は仕様書のセクションを参照)

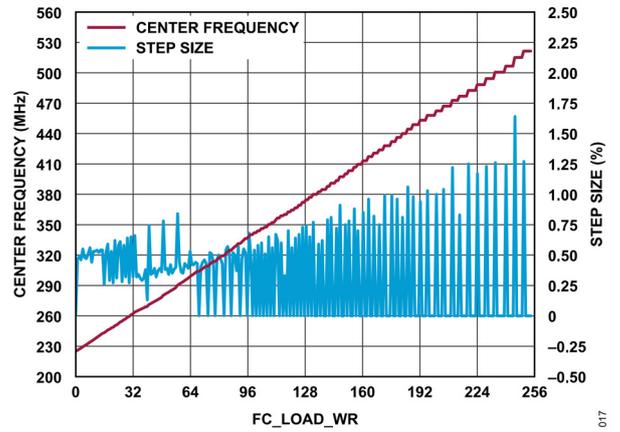


図 18. 中心周波数およびステップ・サイズと FC\_LOAD\_WR の関係

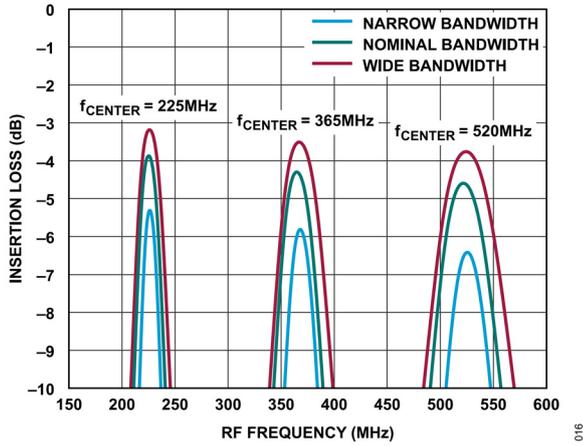


図 17. 異なる帯域幅および中心周波数におけるインサージョン・ロスと RF 周波数の関係

動作原理

チップのアーキテクチャ

ADMV8505は、RF性能を変えることのできるいくつかのスイッチド・キャパシタを内蔵しています。図 19 に、フィルタ・アーキテクチャの簡略化した回路図を示します。

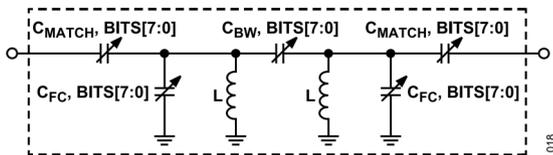


図 19. フィルタ・アーキテクチャの簡略化した回路図

フィルタの  $f_{CENTER}$  を調整する  $f_{CENTER}$  ロード値によって、2つの中心周波数コンデンサ ( $C_{FC}$ ) が設定されています。同様に、フィルタの帯域幅応答を調整する帯域幅ロード値によって、帯域幅コンデンサ ( $C_{BW}$ ) が設定されています。更に、フィルタのインピーダンス・マッチングを調整するマッチング・ロード値によって、2つのマッチング・コンデンサ ( $C_{MATCH}$ ) が設定されています。

$f_{CENTER}$ 、帯域幅、マッチングの各ロード値には、それぞれ 256 (8 ビット) の状態があります。理論上、ADMV8505 内の帯域ごとに、 $f_{CENTER}$ 、帯域幅、マッチングのロード値には、1,600 万以上の状態が可能です。これらの値の選択を簡単にできるよう、アナログ・デバイゼスは 3 件の特許申請中のインターポレーション関数を開発して、実装を容易にしました。

RF 接続

ADMV8505 の RF1 ピンと RF2 ピンは、オン・チップ ESD 保護ダイオードに DC カップリングします。システム内の他のコンポーネントからの DC 電圧が RF1 ピンと RF2 ピンに存在する場合は、DC 阻止コンデンサを、これらのピンと直列に配置することを推奨します。DC 阻止コンデンサは必ず、フィルタの動作周波数に基づいて選択する必要があります。一般に、10nF を超える値であれば、低い動作周波数側でのインサクション・ロスをも最小限に抑えるのに十分です。高い動作周波数側では、選択するコンデンサの寄生成分への考慮が必要になる場合があります。図 20 に、寄生成分のあるコンデンサの一般的なモデルを示します。寄生直列インダクタンス ( $L_{ESL}$ ) は、そのインピーダンスが支配的になる可能性があることを考慮すると、通常最も大きな懸念事項となります。リーク抵抗 ( $R_L$ )、誘電体吸収抵抗 ( $R_{DA}$ )、誘電体吸収容量 ( $C_{DA}$ )、電気直列抵抗 ( $R_{ESR}$ ) などの他の寄生成分はそれほど考慮すべき重要な成分ではありませんが、完全を期すために図 20 に示します。

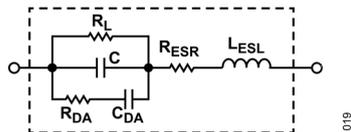


図 20. コンデンサのモデル

SPI 設定

ADMV8505 の SPI は、5 ピン SPI ポートを介し、特定の機能や動作に合わせたデバイス設定を可能にします。このインターフェースにより柔軟性が高まり、カスタマイズが可能となります。SPI は、SFL、SCLK、SDI、SDO、 $\overline{CS}$  の 5 本の制御ラインで構成されています。通常の SPI 動作では、SFL ピンをローに保持します。

SPI プロトコルは、R/W ビットとそれに続く 15 個のレジスタ・アドレス・ビットと 8 個のデータ・ビットで構成されます。アドレス・フィールドとデータ・フィールドは MSB ファーストの構造で、LSB で終了します。

書き込み動作の場合は MSB を 0 に設定し、読み出し動作の場合は MSB を 1 に設定します。書き込みサイクルは必ず、SCLK の立上がりエッジでサンプリングする必要があります。24 ビットのシリアル書き込みアドレスおよびデータは、SDI 制御ライン上で MSB から LSB にシフト・インされます。ADMV8505 の書き込みサイクル用入力ロジック・レベルは、3.3V インターフェースに対応しています。

読み出しサイクルでは、R/W ビットと 15 個のレジスタ・アドレス・ビットが、SDI 制御ラインの SCLK の立上がりエッジでシフト・インします。次に、SDO 制御ライン上において、SCLK の立下がりエッジで 8 ビットのシリアル読み出しデータが、MSB ファーストにシフト・アウトします。読み出しサイクルの出力ロジック・レベルは 3.3V です。SDO の出力ドライバは、命令サイクルの SCLK の最後の立上がりエッジ後にインエーブルされ、その読み出しサイクルの終了までアクティブな状態を保ちます。読み出し動作では、 $\overline{CS}$  のアサートが解除されると、SDO が高インピーダンス状態に戻り、次の読み出しトランザクションまでその状態が保たれます。 $\overline{CS}$  はアクティブ・ローで、書き込みまたは読み出しシーケンスの終了時に、必ずアサートを解除する必要があります。

通信サイクルは、 $\overline{CS}$  のアクティブ・ロー入力で開始され、ゲート制御されます。 $\overline{CS}$  ピンにより、同じシリアル通信ライン上で複数のデバイスが使用可能になります。 $\overline{CS}$  入力が高レベルのときは、SDO ピンが高インピーダンス状態になります。通信サイクル時は、チップ・セレクトをローのままにしておきます。SPI 通信プロトコルは、アナログ・デバイゼスの SPI 標準に従っています。詳細については、ADI-SPI Serial Control Interface Standard (Rev 1.0) を参照してください。

動作原理

モード選択

ADMV8505 には、SPI 書込みモードと SPI 高速ラッチの 2 つの動作モードがあります。SPI 書込みモードは通常の動作モードであり、SPI 高速ラッチ・モードは、内部ステート・マシンを用いてオン・チップのルックアップ・テーブル (LUT) をシーケンス処理するのに使用します。SPI 書込みモードを選択するには、SFL ピンをローにします。SPI 高速ラッチ・モードで動作させるには、SFL ピンをローにして、オン・チップ・ルックアップ・テーブルと高速ラッチ・パラメータをプログラムします。次に、SFL ピンをハイにして、SPI 高速ラッチ・モードに入ります。図 21 に、レジスタ・マップと内部ステート・マシンの備えた SPI の簡略図を示します。

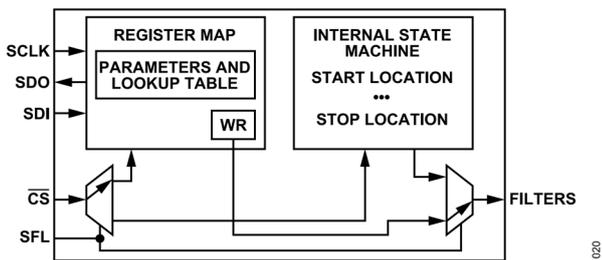


図 21. SPI の簡略化した回路図

SPI 書込みモード

SPI 書込みモードには、レジスタ 0x020～レジスタ 0x022 に書込みグループ (WR) があります。グループは、以下で構成されます。

- ▶  $f_{CENTER}$  のロード値
- ▶ 帯域幅のロード値
- ▶ マッチングのロード値

書込みグループの詳細については、[レジスタの詳細](#)のセクションを参照してください。

SPI ストリーミング

一般に、SPI ストリーミングのトランザクションには、昇順と降順の 2 種類のエンディアン・レジスタがあります。ADMV8505 は、昇順のみをサポートします。昇順のエンディアン・レジスタで SPI ストリーミングを有効にするには、レジスタ 0x000 の値を 0x3C に設定します。

レジスタ 0x020～0x022 (推奨) の書込みグループへの SPI ストリーミングでは、トランザクションがレジスタ 0x020 を指し示し、3 バイトのデータをストリーム・アウトします。トランザクションは合計で 40 ビットです (R/W ビット + 15 アドレス・ビット + 24 データ・ビット)。

レジスタ 0x100～0x15F (推奨) のルックアップ・テーブルへの SPI ストリーミングでは、トランザクションがレジスタ 0x100 を指し示し、96 バイトのデータをストリーム・アウトします。トランザクションは合計で 784 ビットです (R/W ビット + 15 アドレス・ビット + 768 データ・ビット)。

インターポレーション関数

ADMV8505 には 3 つのインターポレーション関数があり、 $f_{CENTER}$  のロード値を用いるだけでフィルタの  $f_{CENTER}$  を指定できます。次に、適切なコンデンサ・コードが自動的に決定されます。この関数を有効にするには、INTERPOLATE ビット (レジスタ 0x050) をハイにします。図 22 に、インターポレーション関数の簡略図を示します。

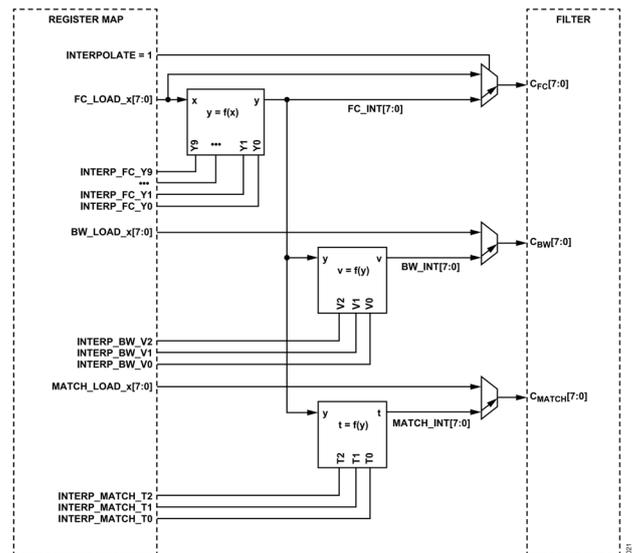


図 22. インターポレーションの回路図

インターポレーション関数が有効な場合、 $f_{CENTER}$  のロード値の範囲は 0～255 です。0 は最低周波数、255 は最高周波数に対応します。例えば、値が 0 の場合は約 225MHz に対応し、255 であれば約 520MHz に対応します。 $f_{CENTER}$  のロード値を用いることで、オンチップ・インターポレーション係数に基づき、適切なコンデンサ・コードを決定できます。

デフォルトでは、推奨インターポレーション係数は公称帯域幅に見合うよう設定されています。インターポレーション係数は、インサージョン・ロスを妥当な値に維持した上で、公称帯域幅の ±2% の範囲内で調整できます。インサージョン・ロスは大きくなりますが、帯域幅を約 5% まで狭くすることも可能です。

動作原理

インターポレーションの式

次式は、インターポレーション関数の入力を説明するものです。

$$f_{CMIN} = \min(f_{CENTER}) \tag{1}$$

$$f_{CMAX} = \max(f_{CENTER}) \tag{2}$$

$$f_{CSTEP} \approx \frac{f_{CMAX} - f_{CMIN}}{255} \tag{3}$$

$$x = FC\_LOAD\_X, \text{ Bits}[7:0] \tag{4}$$

フィルタの予想  $f_{CENTER}$  は次式で計算できます。

$$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times x \tag{5}$$

コンデンサ・コード ( $C_{FC}$ ) を定めるインターポレーション関数  $y = f(x)$  の式を、表 6 に示します。

表 6.  $y = f(x)$  の式

Condition	Logic Shift Form <sup>1</sup>
If ( $0 \leq x < 16$ )	$y = Y1 + (((16 - x)(Y0 - Y1)) \gg 4)$
If ( $16 \leq x < 32$ )	$y = Y2 + (((32 - x)(Y1 - Y2)) \gg 4)$
If ( $32 \leq x < 64$ )	$y = Y3 + (((64 - x)(Y2 - Y3)) \gg 5)$
If ( $64 \leq x < 96$ )	$y = Y4 + (((96 - x)(Y3 - Y4)) \gg 5)$
If ( $96 \leq x < 128$ )	$y = Y5 + (((128 - x)(Y4 - Y5)) \gg 5)$
If ( $128 \leq x < 160$ )	$y = Y6 + (((160 - x)(Y5 - Y6)) \gg 5)$
If ( $160 \leq x < 192$ )	$y = Y7 + (((192 - x)(Y6 - Y7)) \gg 5)$
If ( $192 \leq x < 224$ )	$y = Y8 + (((224 - x)(Y7 - Y8)) \gg 5)$
If ( $224 \leq x < 255$ )	$y = Y9 + (((256 - x)(Y8 - Y9)) \gg 5)$
Else	$y = Y9$

<sup>1</sup>  $Y0 \sim Y9$  は  $f_{CENTER}$  の係数です。

帯域幅コンデンサ・コード ( $C_{BW}$ ) を定めるインターポレーション関数  $v = f(y)$  の式を、表 7 に示します。

表 7.  $v = f(y)$  の式

Condition	Logic Shift Form <sup>1</sup>
If ( $0 \leq y < 32$ )	$v = V0 + ((y \times (V1 - V0)) \gg 5)$
If ( $32 \leq y < 255$ )	$v = V1 + (((y - 32)(V2 - V1) \times 295) \gg 16)$
Else	$v = V2$

<sup>1</sup>  $Y0 \sim Y2$  は帯域幅の係数です。

マッチング・コンデンサ・コード ( $C_{MATCH}$ ) を定めるインターポレーション関数  $t = f(y)$  の式を、表 8 に示します。

表 8.  $t = f(y)$  の式

Condition	Logic Shift Form <sup>1</sup>
If ( $0 \leq y < 32$ )	$t = T0 + ((y \times (T1 - T0)) \gg 5)$
If ( $32 \leq y < 255$ )	$t = T1 + (((y - 32)(T2 - T1) \times 295) \gg 16)$
Else	$t = T2$

<sup>1</sup>  $T0 \sim T2$  はマッチング係数です。

インターポレーション表

インターポレーション関数  $y = f(x)$  の各条件の下限值についてインターポレーション方程式を解くと、表 9 に示す結果となります。

表 9. 有意な  $x$  値それぞれに対する予想  $f_{CENTER}$  の式

x	$f_{CENTER}$	$y = f(x)$
0	$f_{CENTER} \approx f_{CMIN}$	$Y0$
16	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 16$	$Y1$
32	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 32$	$Y2$
64	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 64$	$Y3$
96	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 96$	$Y4$
128	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 128$	$Y5$
160	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 160$	$Y6$
192	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 192$	$Y7$
224	$f_{CENTER} \approx f_{CMIN} + f_{CSTEP} \times 224$	$Y8$
255	$f_{CENTER} \approx f_{CMAX}$	$Y9$

同様に、インターポレーション関数  $v = f(y)$  および  $t = f(y)$  の各条件の下限值についてインターポレーション方程式を解くと、表 10 に示す結果となります。

表 10. 有意な  $y$  値それぞれに対する  $v = f(y)$  および  $t = f(y)$  の式

y	$v = f(y)$	$t = f(y)$
0	$V0$	$T0$
32	$V1$	$T1$
255	$V2$	$T2$

動作原理

インターポレーション図

インターポレーション関数を視覚的に表示するために、インターポレーション係数とその入力（インターポレーション表より取得）は散布図に表せます。図 23、図 24、図 25 は、インターポレーション係数を用いて、 $y$ 、 $v$ 、 $t$  のインターポレーション関数を表したものです。

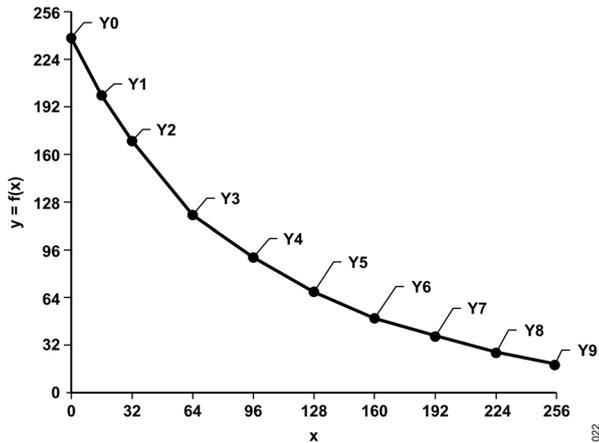


図 23. インターポレーション関数  $y = f(x)$

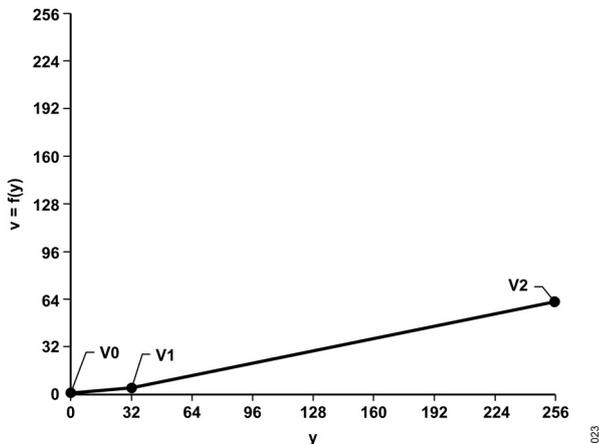


図 24. インターポレーション関数  $v = f(y)$

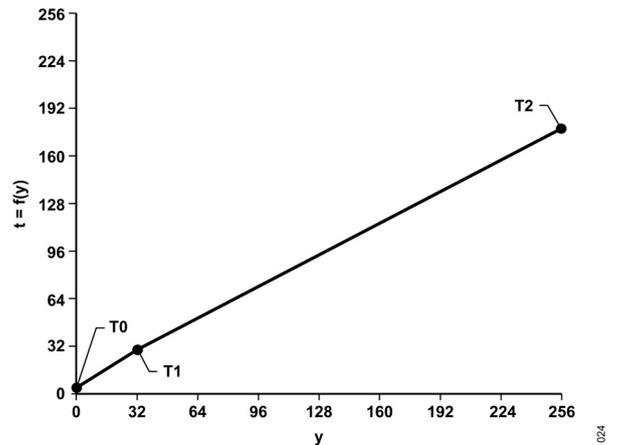


図 25. インターポレーション関数  $t = f(y)$

インターポレーション係数のキャリブレーション

インターポレーション係数のキャリブレーションが必要になる 2 つの主な理由は、チップ・プロセスのばらつきを考慮するためと、必要な動作帯域幅が異なるためです。インターポレーション係数のキャリブレーションは、通常、次の 4 つのフェーズに従います（図 27 参照）。

1 番目のキャリブレーション・フェーズでは、目的の帯域幅に対して、帯域幅係数 V1 とマッチング係数 T1 を決定します。このキャリブレーション・フェーズを実行するには、 $f_{CENTER}$  ロード値を必ず 32 に設定します。次に、帯域幅およびマッチング・ロードの値を調整します。結果に問題がなければ、係数 V1 と係数 T1 を、それぞれ帯域幅とマッチング・ロードの値に設定できます。

2 番目のキャリブレーション・フェーズでは、目的の帯域幅に対し、帯域幅係数 V2 とマッチング係数 T2 を決定します。このキャリブレーション・フェーズを実行するには、 $f_{CENTER}$  のロード値を必ず高い値（180 を推奨）に設定します。次に、帯域幅およびマッチング・ロードの値を調整します。結果に問題がなければ、 $v = f(y) = f(180)$  の計算結果が帯域幅のロード値と等しくなるよう、係数 V2 を調整できます。同様に、 $t = f(y) = f(180)$  の計算結果がマッチングのロード値と等しくなるよう、係数 T2 を調整できます。

3 番目のキャリブレーション・フェーズでは、目的の帯域幅に対し、帯域幅係数 V0 とマッチング係数 T0 を決定します。このキャリブレーション・フェーズを実行するには、 $f_{CENTER}$  のロード値を必ず低い値（18 を推奨）に設定します。次に、帯域幅およびマッチング・ロードの値を調整します。結果に問題がなければ、 $v = f(y) = f(18)$  の計算結果が帯域幅のロード値と等しくなるよう、係数 V0 を調整できます。同様に、 $t = f(y) = f(18)$  の計算結果がマッチングのロード値と等しくなるよう、係数 T0 を調整できます。

4 番目のキャリブレーション・フェーズでは、係数  $y$  のすべてについて調整を行い、動作  $f_{CENTER}$  と予想  $f_{CENTER}$  ができるだけ近くなるようにします。このキャリブレーション・フェーズを実行するには、表 9 をリファレンスとして使い、 $y$  係数ごとに目標周波数を決定します。表 9 に記載された各  $x$  値について、 $y$ 、 $v$ 、 $t$  の関数を計算し、次いで、それぞれ  $f_{CENTER}$ 、帯域幅、マッチングのロード値を設定します。

## 動作原理

### フィルタ・コードのリードバック

フィルタに適用されるコンデンサ・コードはレジスタ 0x060～レジスタ 0x062 を用いてチップからリードバックできます。これらのレジスタは、チップ上のコンデンサの実際の状態を表します。この情報は、デバッグを行う際やインターポレーション係数のキャリブレーション時に役に立ちます。

### SPI 高速ラッチ・モード

ADMV8505 には、32 の状態の LUT と、SPI 高速ラッチ・モードでフィルタ状態を素早く変更するのに役立つ内部ステート・マシンがあります。SFL ピンがハイの場合、SPI 高速ラッチ・モードが有効になり、内部ステート・マシンが  $\overline{CS}$  ピンの各立上がりエッジでシーケンスを実行します。

LUT には、レジスタ 0x100～レジスタ 0x15F に、LUT0～LUT31 の 32 のグループがあります。各グループは、SPI 書込みモードのパラメータと同じタイプのパラメータで構成されます。

内部ステート・マシンの機能は、 $\overline{CS}$  ピンの各立上がりエッジで、設定された方向に基づいて内部ステート・マシンがポインタをシーケンスするようになっています。

内部ステート・マシンには、次のパラメータがあります。

- ▶ FAST\_LATCH\_STOP (レジスタ 0x011)
- ▶ FAST\_LATCH\_START (レジスタ 0x012)
- ▶ FAST\_LATCH\_DIRECTION (レジスタ 0x013)
- ▶ FAST\_LATCH\_STATE (レジスタ 0x014)

FAST\_LATCH\_STATE は、 $\overline{CS}$  ピンの次の立上がりエッジで選択される次の LUT グループです。FAST\_LATCH\_STATE は、内部ポインタの位置と見なされます。

FAST\_LATCH\_DIRECTION ビットを 0 に設定した場合、シーケンス方向はインクリメントです。FAST\_LATCH\_DIRECTION ビットを 1 に設定した場合、シーケンス方向はデクリメントです。

FAST\_LATCH\_START ビットは開始位置の設定に、FAST\_LATCH\_STOP ビットは停止位置の設定に使用します。インクリメント方向の場合、内部ステート・マシンは開始位置から停止位置までシーケンスを実行してから、開始位置にロールオーバーします。デクリメント方向の場合、シーケンスは停止位置から開始位置までシーケンスを実行してから、停止位置にロールオーバーします。

インクリメント方向の場合、FAST\_LATCH\_STATE 内部ポインタは、FAST\_LATCH\_START に保存されている値に設定されず、デクリメント方向の場合は、内部ポインタは FAST\_LATCH\_STOP に保存されている値に設定されます。このトランザクションが起きるためには、 $\overline{CS}$  ピンの立上がりエッジが 1 つ必要です。本来、これが起きるのは、SPI 書込みモードの SPI トランザクション中です。ただし、SPI 高速ラッチ・モードを終了するとき (SFL ピンをローにプルダウン)、 $\overline{CS}$  ピンをローに切り替えてからハイにする、あるいは、SPI トランザクションを実行することで、それに応じて FAST\_LATCH\_STATE が開始位置または停止位置に更新するようにします。

### チップ・リセット

ADMV8505 レジスタをデフォルトのパワーオン状態にリセットするには、ハード・リセットとソフト・リセットの 2 つの方法があります。ハード・リセットは  $\overline{RST}$  ピンを使用し、ソフト・リセットはレジスタ 0x000 を使用します。

ハード・リセットを実行するには、 $\overline{RST}$  ピンを一時的にローにしてからハイにします。 $\overline{RST}$  ピンをローに保持する最小持続時間については、[図 2](#) を参照してください。

ソフト・リセットを実行するには、レジスタ 0x000 を 0x81 に設定します。このアクションにより、SOFTRESET ビットと SOFTRESET\_ ビットがハイに設定され、リセットが開始されます。リセット動作が完了すると、SOFTRESET ビットと SOFTRESET\_ ビットはセルフ・リセットされます。

使用するリセット方法に関係なく、チップのリセット後に以下を実行することを推奨します。

- ▶ SDO ピンを有効化し、昇順のエンディアンで SPI ストリーミングを許可するように、レジスタ 0x000 を 0x3C に設定します。
- ▶ チップ上のすべてのレジスタをリードバックします。

## アプリケーション情報

## インターポレーション係数

表 11 に、デバイスの特性評価に使用した ADMV8505 のインターポレーション係数を参考として示します。これらのインターポレーション係数は、システムで使用する際の良い開始点となります。システム条件やプロセス許容誤差に応じて、これらのインターポレーション係数に若干の修正が必要となる場合もあります。ほとんどのアプリケーションでは、材料の特定ロット内でのデバイス・プロセス許容誤差は 1 セットのインターポレーション係数で処理可能であるため、インターポレーション係数のキャリブレーションは、ロットごとに 1 回実行すれば十分です。インターポレーション係数の調整方法の詳細については、[インターポレーション係数のキャリブレーションのセクション](#)を参照してください。

表 11. インターポレーション係数

Coefficient	Bit Field	Narrow Bandwidth	Nominal Bandwidth	Wide Bandwidth
Y0	INTERP_FC_Y0	187	192	194
Y1	INTERP_FC_Y1	157	161	162
Y2	INTERP_FC_Y2	133	136	137
Y3	INTERP_FC_Y3	97	100	101
Y4	INTERP_FC_Y4	74	75	76
Y5	INTERP_FC_Y5	56	58	58
Y6	INTERP_FC_Y6	44	45	45
Y7	INTERP_FC_Y7	34	35	36
Y8	INTERP_FC_Y8	27	28	28
Y9	INTERP_FC_Y9	21	22	22
V0	INTERP_BW_V0	6	3	0
V1	INTERP_BW_V1	15	7	0
V2	INTERP_BW_V2	71	33	0
T0	INTERP_MATCH_T0	8	9	9
T1	INTERP_MATCH_T1	28	34	41
T2	INTERP_MATCH_T2	146	174	199

## プリント回路基板（PCB）の設計ガイドライン

ADMV8505 の実装に使用する PCB は、上部の導体形成層と内部のグラウンド層の間に、Isola 370HR などの標準的品質の誘電体材料を使用できます。Rogers 4003 や Rogers 4350 は不要です。ADMV8505 の RF1 ピンと RF2 ピンへの伝送ラインの特性インピーダンスは、最適な RF 性能を確保するために、 $50\Omega$  となるよう管理する必要があります。ADMV8505 の GND ピンと露出パッドは PCB のグラウンド・プレーンに直接接続します。PCB の上部と下部のグラウンド・プレーンを接続するには、十分な数のビア・ホールを使用します。

フロー・チャート

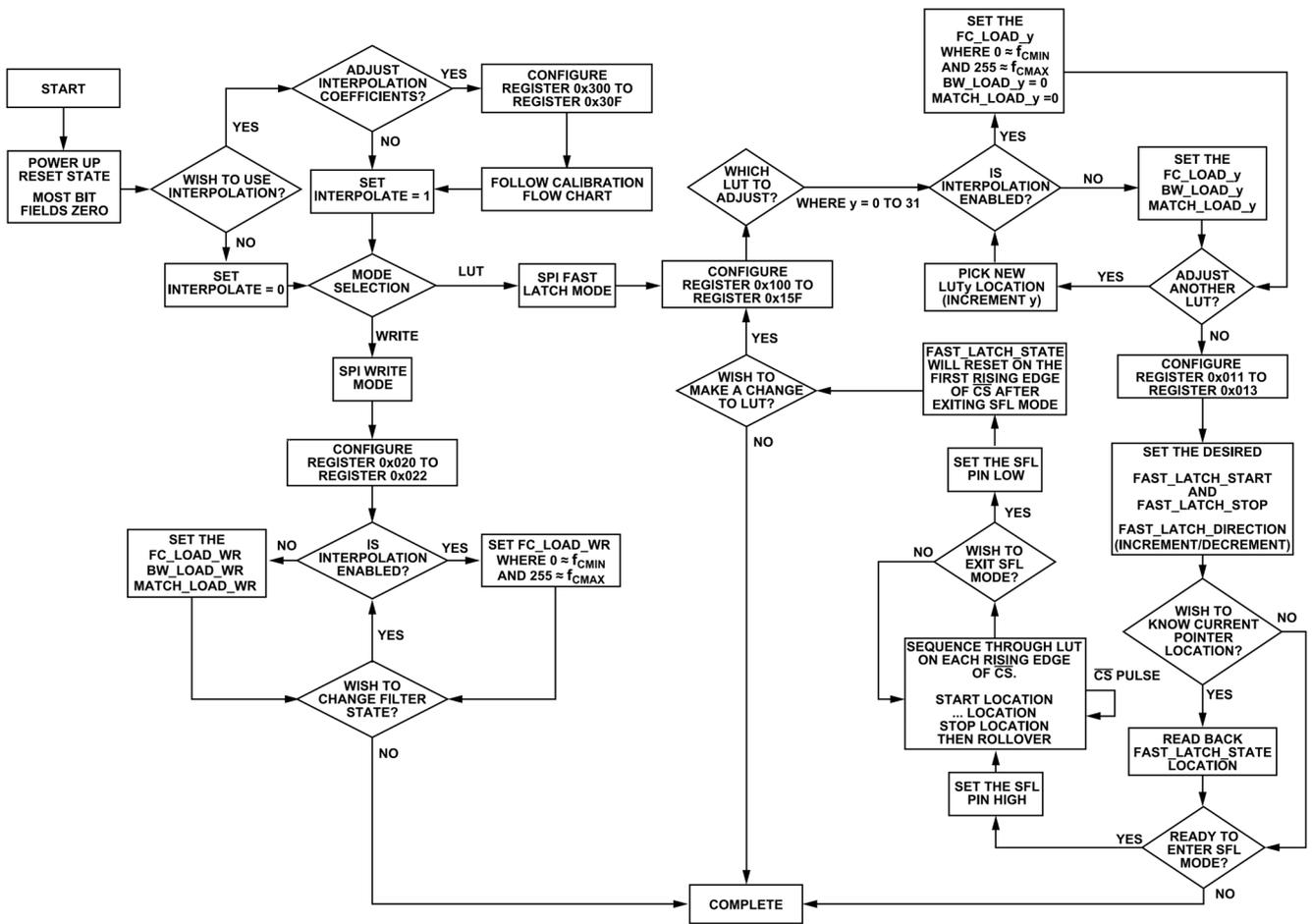


図 26. プログラミングのフロー・チャート

02/5

フロー・チャート

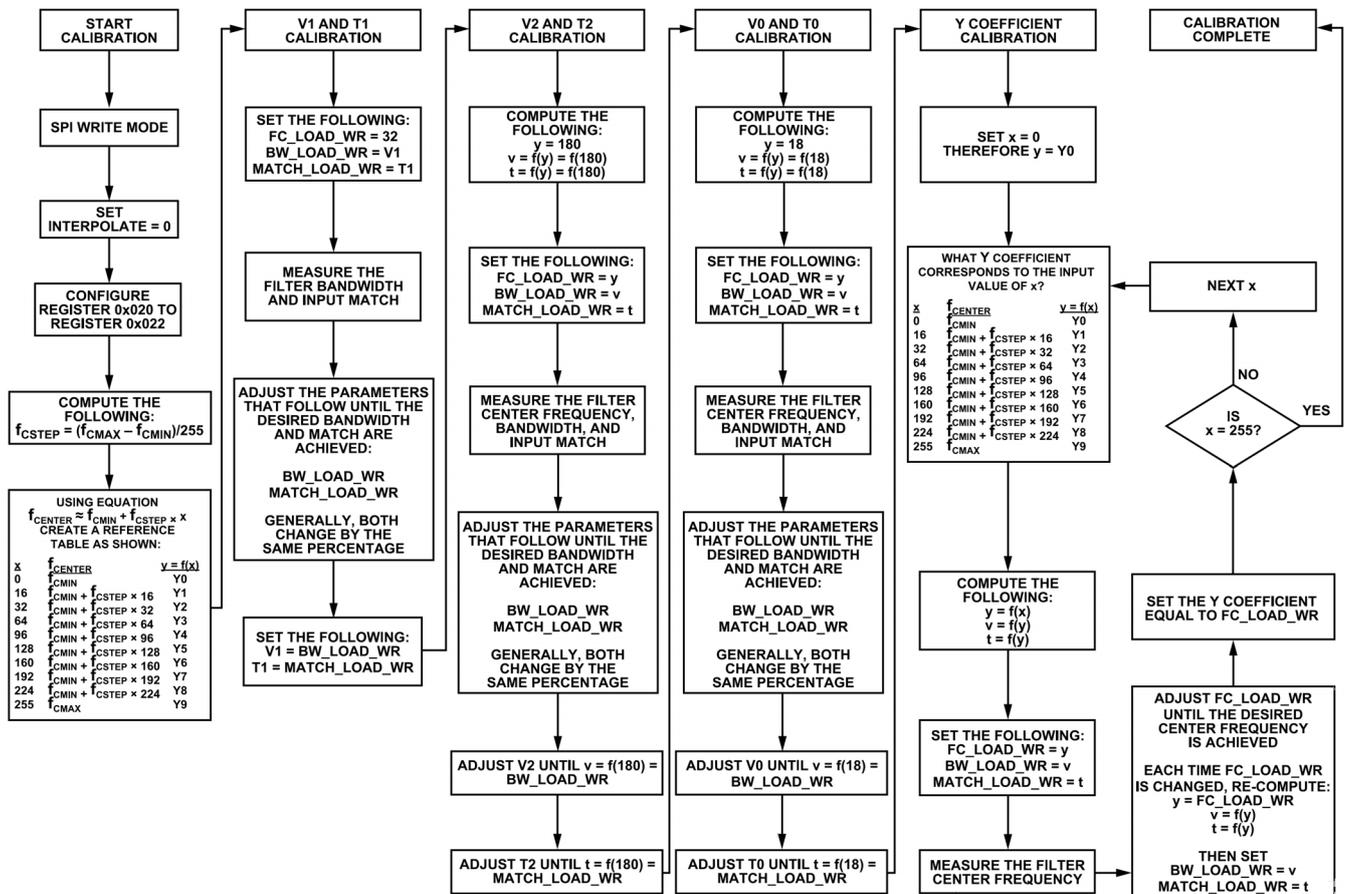


図 27. インターポレーション係数のキャリブレーション用フロー・チャート

## レジスタの一覧

表 12. ADMV8505 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	ADI_SPI_CONFIG_A	[7:0]	SOFTRE- SET_	LSB_FIRS T_	ENDIAN_	SDOAC- TIVE_	SDOAC- TIVE	ENDIAN	LSB_FIRS T	SOFTRE- SET	0x00	R/W	
0x001	ADI_SPI_CONFIG_B	[7:0]	SIN- GLE_IN- STRUC- TION	CSB_STA LL	CON- TROL- LER_TAR- GET_RB	RESERVED				CON- TROL- LER_TAR- GET_TRA NSFER	0x00	R/W	
0x003	CHIPTYPE	[7:0]	CHIPTYPE									0x01	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L									0x05	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H									0x85	R
0x00C	VARIANT	[7:0]	RESERVED				VARIANT				0x01	R	
0x011	FAST_LATCH_STOP	[7:0]	RE- SERVED	FAST_LATCH_STOP								0x7F	R/W
0x012	FAST_LATCH_START	[7:0]	RE- SERVED	FAST_LATCH_START								0x00	R/W
0x013	FAST_LATCH_DIREC- TION	[7:0]	RESERVED							FAST_LAT CH_DI- RECTION	0x00	R/W	
0x014	FAST_LATCH_STATE	[7:0]	RE- SERVED	FAST_LATCH_STATE								0x00	R
0x020	WR_FC	[7:0]	FC_LOAD_WR									0x00	R/W
0x021	WR_BW	[7:0]	BW_LOAD_WR									0x00	R/W
0x022	WR_MATCH	[7:0]	MATCH_LOAD_WR									0x00	R/W
0x050	FILTER_CONFIG	[7:0]	RESERVED							INTERPO- LATE	0x00	R/W	
0x060	FC_READBACK	[7:0]	FC_READBACK									0x00	R
0x061	BW_READBACK	[7:0]	BW_READBACK									0x00	R
0x062	MATCH_READBACK	[7:0]	MATCH_READBACK									0x00	R
0x100	LUT0_FC	[7:0]	FC_LOAD_0									0x00	R/W
0x101	LUT0_BW	[7:0]	BW_LOAD_0									0x00	R/W
0x102	LUT0_MATCH	[7:0]	MATCH_LOAD_0									0x00	R/W
0x103	LUT1_FC	[7:0]	FC_LOAD_1									0x00	R/W
0x104	LUT1_BW	[7:0]	BW_LOAD_1									0x00	R/W
0x105	LUT1_MATCH	[7:0]	MATCH_LOAD_1									0x00	R/W
0x106	LUT2_FC	[7:0]	FC_LOAD_2									0x00	R/W
0x107	LUT2_BW	[7:0]	BW_LOAD_2									0x00	R/W
0x108	LUT2_MATCH	[7:0]	MATCH_LOAD_2									0x00	R/W
0x109	LUT3_FC	[7:0]	FC_LOAD_3									0x00	R/W
0x10A	LUT3_BW	[7:0]	BW_LOAD_3									0x00	R/W
0x10B	LUT3_MATCH	[7:0]	MATCH_LOAD_3									0x00	R/W
0x10C	LUT4_FC	[7:0]	FC_LOAD_4									0x00	R/W
0x10D	LUT4_BW	[7:0]	BW_LOAD_4									0x00	R/W
0x10E	LUT4_MATCH	[7:0]	MATCH_LOAD_4									0x00	R/W
0x10F	LUT5_FC	[7:0]	FC_LOAD_5									0x00	R/W
0x110	LUT5_BW	[7:0]	BW_LOAD_5									0x00	R/W

## レジスタの一覧

表 12. ADMV8505 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x111	LUT5_MATCH	[7:0]					MATCH_LOAD_5				0x00	R/W
0x112	LUT6_FC	[7:0]					FC_LOAD_6				0x00	R/W
0x113	LUT6_BW	[7:0]					BW_LOAD_6				0x00	R/W
0x114	LUT6_MATCH	[7:0]					MATCH_LOAD_6				0x00	R/W
0x115	LUT7_FC	[7:0]					FC_LOAD_7				0x00	R/W
0x116	LUT7_BW	[7:0]					BW_LOAD_7				0x00	R/W
0x117	LUT7_MATCH	[7:0]					MATCH_LOAD_7				0x00	R/W
0x118	LUT8_FC	[7:0]					FC_LOAD_8				0x00	R/W
0x119	LUT8_BW	[7:0]					BW_LOAD_8				0x00	R/W
0x11A	LUT8_MATCH	[7:0]					MATCH_LOAD_8				0x00	R/W
0x11B	LUT9_FC	[7:0]					FC_LOAD_9				0x00	R/W
0x11C	LUT9_BW	[7:0]					BW_LOAD_9				0x00	R/W
0x11D	LUT9_MATCH	[7:0]					MATCH_LOAD_9				0x00	R/W
0x11E	LUT10_FC	[7:0]					FC_LOAD_10				0x00	R/W
0x11F	LUT10_BW	[7:0]					BW_LOAD_10				0x00	R/W
0x120	LUT10_MATCH	[7:0]					MATCH_LOAD_10				0x00	R/W
0x121	LUT11_FC	[7:0]					FC_LOAD_11				0x00	R/W
0x122	LUT11_BW	[7:0]					BW_LOAD_11				0x00	R/W
0x123	LUT11_MATCH	[7:0]					MATCH_LOAD_11				0x00	R/W
0x124	LUT12_FC	[7:0]					FC_LOAD_12				0x00	R/W
0x125	LUT12_BW	[7:0]					BW_LOAD_12				0x00	R/W
0x126	LUT12_MATCH	[7:0]					MATCH_LOAD_12				0x00	R/W
0x127	LUT13_FC	[7:0]					FC_LOAD_13				0x00	R/W
0x128	LUT13_BW	[7:0]					BW_LOAD_13				0x00	R/W
0x129	LUT13_MATCH	[7:0]					MATCH_LOAD_13				0x00	R/W
0x12A	LUT14_FC	[7:0]					FC_LOAD_14				0x00	R/W
0x12B	LUT14_BW	[7:0]					BW_LOAD_14				0x00	R/W
0x12C	LUT14_MATCH	[7:0]					MATCH_LOAD_14				0x00	R/W
0x12D	LUT15_FC	[7:0]					FC_LOAD_15				0x00	R/W
0x12E	LUT15_BW	[7:0]					BW_LOAD_15				0x00	R/W
0x12F	LUT15_MATCH	[7:0]					MATCH_LOAD_15				0x00	R/W
0x130	LUT16_FC	[7:0]					FC_LOAD_16				0x00	R/W
0x131	LUT16_BW	[7:0]					BW_LOAD_16				0x00	R/W
0x132	LUT16_MATCH	[7:0]					MATCH_LOAD_16				0x00	R/W
0x133	LUT17_FC	[7:0]					FC_LOAD_17				0x00	R/W
0x134	LUT17_BW	[7:0]					BW_LOAD_17				0x00	R/W
0x135	LUT17_MATCH	[7:0]					MATCH_LOAD_17				0x00	R/W
0x136	LUT18_FC	[7:0]					FC_LOAD_18				0x00	R/W
0x137	LUT18_BW	[7:0]					BW_LOAD_18				0x00	R/W
0x138	LUT18_MATCH	[7:0]					MATCH_LOAD_18				0x00	R/W
0x139	LUT19_FC	[7:0]					FC_LOAD_19				0x00	R/W
0x13A	LUT19_BW	[7:0]					BW_LOAD_19				0x00	R/W
0x13B	LUT19_MATCH	[7:0]					MATCH_LOAD_19				0x00	R/W

## レジスタの一覧

表 12. ADMV8505 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x13C	LUT20_FC	[7:0]					FC_LOAD_20				0x00	R/W
0x13D	LUT20_BW	[7:0]					BW_LOAD_20				0x00	R/W
0x13E	LUT20_MATCH	[7:0]					MATCH_LOAD_20				0x00	R/W
0x13F	LUT21_FC	[7:0]					FC_LOAD_21				0x00	R/W
0x140	LUT21_BW	[7:0]					BW_LOAD_21				0x00	R/W
0x141	LUT21_MATCH	[7:0]					MATCH_LOAD_21				0x00	R/W
0x142	LUT22_FC	[7:0]					FC_LOAD_22				0x00	R/W
0x143	LUT22_BW	[7:0]					BW_LOAD_22				0x00	R/W
0x144	LUT22_MATCH	[7:0]					MATCH_LOAD_22				0x00	R/W
0x145	LUT23_FC	[7:0]					FC_LOAD_23				0x00	R/W
0x146	LUT23_BW	[7:0]					BW_LOAD_23				0x00	R/W
0x147	LUT23_MATCH	[7:0]					MATCH_LOAD_23				0x00	R/W
0x148	LUT24_FC	[7:0]					FC_LOAD_24				0x00	R/W
0x149	LUT24_BW	[7:0]					BW_LOAD_24				0x00	R/W
0x14A	LUT24_MATCH	[7:0]					MATCH_LOAD_24				0x00	R/W
0x14B	LUT25_FC	[7:0]					FC_LOAD_25				0x00	R/W
0x14C	LUT25_BW	[7:0]					BW_LOAD_25				0x00	R/W
0x14D	LUT25_MATCH	[7:0]					MATCH_LOAD_25				0x00	R/W
0x14E	LUT26_FC	[7:0]					FC_LOAD_26				0x00	R/W
0x14F	LUT26_BW	[7:0]					BW_LOAD_26				0x00	R/W
0x150	LUT26_MATCH	[7:0]					MATCH_LOAD_26				0x00	R/W
0x151	LUT27_FC	[7:0]					FC_LOAD_27				0x00	R/W
0x152	LUT27_BW	[7:0]					BW_LOAD_27				0x00	R/W
0x153	LUT27_MATCH	[7:0]					MATCH_LOAD_27				0x00	R/W
0x154	LUT28_FC	[7:0]					FC_LOAD_28				0x00	R/W
0x155	LUT28_BW	[7:0]					BW_LOAD_28				0x00	R/W
0x156	LUT28_MATCH	[7:0]					MATCH_LOAD_28				0x00	R/W
0x157	LUT29_FC	[7:0]					FC_LOAD_29				0x00	R/W
0x158	LUT29_BW	[7:0]					BW_LOAD_29				0x00	R/W
0x159	LUT29_MATCH	[7:0]					MATCH_LOAD_29				0x00	R/W
0x15A	LUT30_FC	[7:0]					FC_LOAD_30				0x00	R/W
0x15B	LUT30_BW	[7:0]					BW_LOAD_30				0x00	R/W
0x15C	LUT30_MATCH	[7:0]					MATCH_LOAD_30				0x00	R/W
0x15D	LUT31_FC	[7:0]					FC_LOAD_31				0x00	R/W
0x15E	LUT31_BW	[7:0]					BW_LOAD_31				0x00	R/W
0x15F	LUT31_MATCH	[7:0]					MATCH_LOAD_31				0x00	R/W
0x300	INTERP_FC_Y0	[7:0]					INTERP_FC_Y0				0xC0	R/W
0x301	INTERP_FC_Y1	[7:0]					INTERP_FC_Y1				0xA1	R/W
0x302	INTERP_FC_Y2	[7:0]					INTERP_FC_Y2				0x88	R/W
0x303	INTERP_FC_Y3	[7:0]					INTERP_FC_Y3				0x64	R/W
0x304	INTERP_FC_Y4	[7:0]					INTERP_FC_Y4				0x4B	R/W
0x305	INTERP_FC_Y5	[7:0]					INTERP_FC_Y5				0x3A	R/W
0x306	INTERP_FC_Y6	[7:0]					INTERP_FC_Y6				0x2D	R/W

## レジスタの一覧

表 12. ADMV8505 のレジスタ一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x307	INTERP_FC_Y7	[7:0]					INTERP_FC_Y7				0x23	R/W
0x308	INTERP_FC_Y8	[7:0]					INTERP_FC_Y8				0x1C	R/W
0x309	INTERP_FC_Y9	[7:0]					INTERP_FC_Y9				0x16	R/W
0x30A	INTERP_BW_V0	[7:0]					INTERP_BW_V0				0x03	R/W
0x30B	INTERP_BW_V1	[7:0]					INTERP_BW_V1				0x07	R/W
0x30C	INTERP_BW_V2	[7:0]					INTERP_BW_V2				0x21	R/W
0x30D	INTERP_MATCH_T0	[7:0]					INTERP_MATCH_T0				0x09	R/W
0x30E	INTERP_MATCH_T1	[7:0]					INTERP_MATCH_T1				0x22	R/W
0x30F	INTERP_MATCH_T2	[7:0]					INTERP_MATCH_T2				0xAE	R/W

レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : ADI\_SPI\_CONFIG\_A

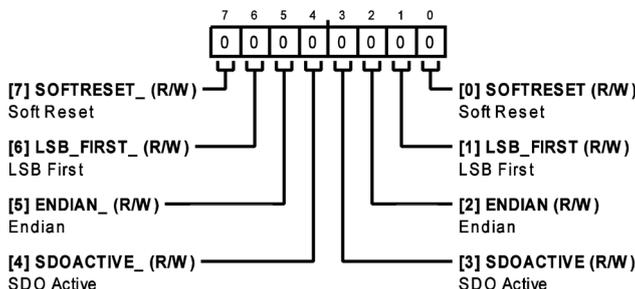
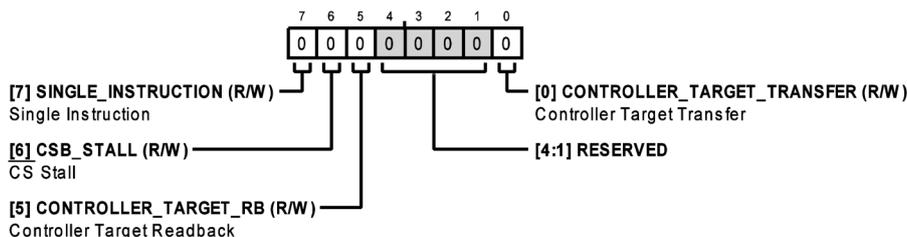


表 13. ADI\_SPI\_CONFIG\_A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W
6	LSB_FIRST_	LSB ファースト。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0 : リトル・エンディアン。 1 : ビッグ・エンディアン。	0x0	R/W
4	SDOACTIVE_	SDO アクティブ。 0 : SDO 非アクティブ。 1 : SDO アクティブ。	0x0	R/W
3	SDOACTIVE	SDO アクティブ。 0 : SDO 非アクティブ。 1 : SDO アクティブ。	0x0	R/W
2	ENDIAN	エンディアン。 0 : リトル・エンディアン。 1 : ビッグ・エンディアン。	0x0	R/W
1	LSB_FIRST	LSB ファースト。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : ADI\_SPI\_CONFIG\_B



レジスタの詳細

表 14. ADI\_SPI\_CONFIG\_B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0 : ストリーミングを有効化。 1 : CSB に関わらずストリーミングを無効化。	0x0	R/W
6	CSB_STALL	CS を停止。	0x0	R/W
5	CONTROLLER_TARGET_RB	コントローラ・ターゲットのリードバック。	0x0	R/W
[4:1]	RESERVED	予約済み。	0x0	R
0	CONTROLLER_TARGET_TRANSFER	コントローラ・ターゲットの転送。	0x0	R/W

アドレス : 0x003、リセット : 0x01、レジスタ名 : CHIPTYPE

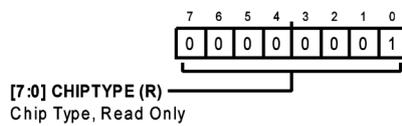


表 15. CHIPTYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読み出し専用。	0x1	R

アドレス : 0x004、リセット : 0x05、レジスタ名 : PRODUCT\_ID\_L

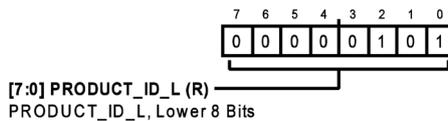


表 16. PRODUCT\_ID\_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	PRODUCT_ID_L、下位 8 ビット。	0x5	R

アドレス : 0x005、リセット : 0x85、レジスタ名 : PRODUCT\_ID\_H

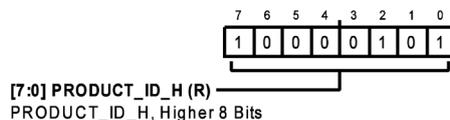
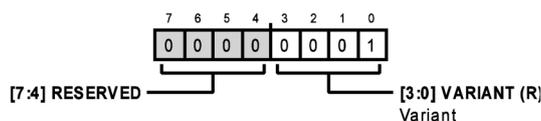


表 17. PRODUCT\_ID\_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	PRODUCT_ID_H、上位 8 ビット。	0x85	R

アドレス : 0x00C、リセット : 0x01、レジスタ名 : VARIANT



## レジスタの詳細

表 18. VARIANT のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	VARIANT	バリエント。	0x1	R

アドレス : 0x011、リセット : 0x7F、レジスタ名 : FAST\_LATCH\_STOP

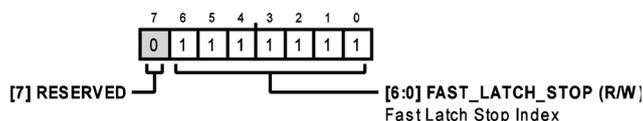


表 19. FAST\_LATCH\_STOP のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	FAST_LATCH_STOP	高速ラッチ停止インデックス。高速ラッチのルックアップ・テーブル内の停止インデックスを設定します。	0x7F	R/W

アドレス : 0x012、リセット : 0x00、レジスタ名 : FAST\_LATCH\_START

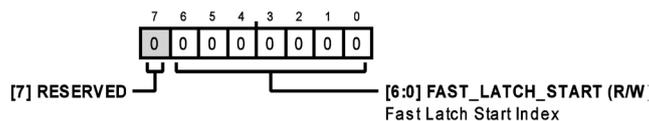


表 20. FAST\_LATCH\_START のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	FAST_LATCH_START	高速ラッチの開始インデックス。高速ラッチのルックアップ・テーブル内の開始インデックスを設定します。	0x0	R/W

アドレス : 0x013、リセット : 0x00、レジスタ名 : FAST\_LATCH\_DIRECTION

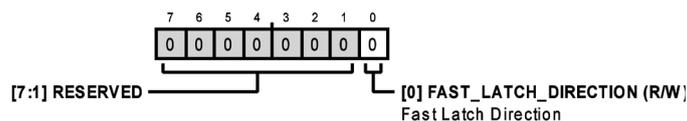
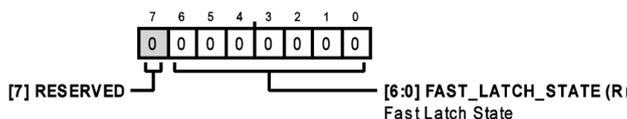


表 21. FAST\_LATCH\_DIRECTION のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	FAST_LATCH_DIRECTION	高速ラッチの方向。このビットは、高速ラッチのルックアップ・テーブル内でシーケンスする方向を指定します。 方向がインクリメントに設定されている場合、内部ステート・マシンは開始インデックスに設定されます。 方向がデクリメントに設定されている場合、内部ステート・マシンは停止インデックスに設定されます。 0 : インクリメント。 1 : デクリメント。	0x0	R/W

アドレス : 0x014、リセット : 0x00、レジスタ名 : FAST\_LATCH\_STATE



## レジスタの詳細

表 22. FAST\_LATCH\_STATE のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R
[6:0]	FAST_LATCH_STATE	高速ラッチの状態。高速ラッチ・ルックアップ・テーブルの内部ステート・マシン・インデックスをリードバックします (SFL モード)。このインデックスは、CSB ピンの次の立上がりエッジで内部ステート・マシンが進む次の場所です。内部ステート・マシン・インデックスは、方向がインクリメントに設定されている場合は開始インデックスに設定され、方向がデクリメントに設定されている場合は停止インデックスに設定されます。開始インデックス、停止インデックス、方向が変更されると、それに応じてこのインデックスは更新されます。	0x0	R

アドレス : 0x020、リセット : 0x00、レジスタ名 : WR\_FC

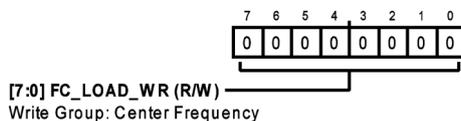


表 23. WR\_FC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FC_LOAD_WR	書き込みグループ : 中心周波数。	0x0	R/W

アドレス : 0x021、リセット : 0x00、レジスタ名 : WR\_BW

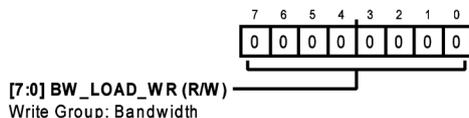


表 24. WR\_BW のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BW_LOAD_WR	書き込みグループ : 帯域幅。	0x0	R/W

アドレス : 0x022、リセット : 0x00、レジスタ名 : WR\_MATCH

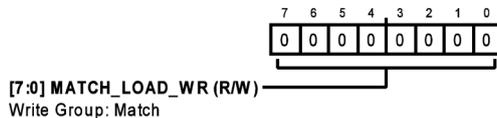


表 25. WR\_MATCH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MATCH_LOAD_WR	書き込みグループ : マッチング。	0x0	R/W

レジスタの詳細

アドレス : 0x050、リセット : 0x00、レジスタ名 : FILTER\_CONFIG

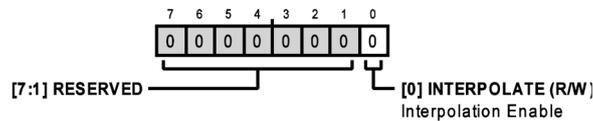


表 26. FILTER\_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	INTERPOLATE	インターポレーション・イネーブル。このビットを 0 に設定するときは、中心周波数、帯域幅、マッチングを必ずプログラムします。このビットを 1 に設定するときは、中心周波数、帯域幅、マッチング用のコンデンサはインターポレーションにより決定されます。	0x0	R/W

アドレス : 0x060、リセット : 0x00、レジスタ名 : FC\_READBACK

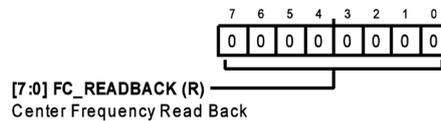


表 27. FC\_READBACK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FC_READBACK	中心周波数のリードバック。	0x0	R

アドレス : 0x061、リセット : 0x00、レジスタ名 : BW\_READBACK

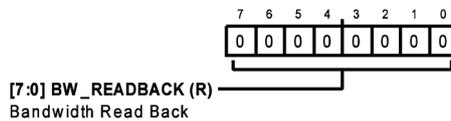


表 28. BW\_READBACK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BW_READBACK	帯域幅のリードバック。	0x0	R

アドレス : 0x062、リセット : 0x00、レジスタ名 : MATCH\_READBACK

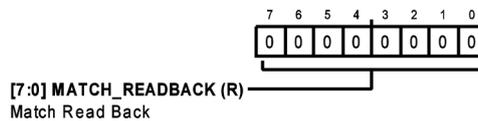
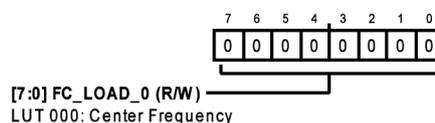


表 29. MATCH\_READBACK のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MATCH_READBACK	マッチングのリードバック。	0x0	R

アドレス : 0x100、リセット : 0x00、レジスタ名 : LUT0\_FC



## レジスタの詳細

表 30. LUT0\_FC のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FC_LOAD_0	LUT 000 : 中心周波数。	0x0	R/W

アドレス : 0x101、リセット : 0x00、レジスタ名 : LUT0\_BW

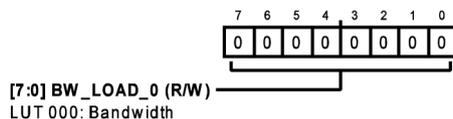


表 31. LUT0\_BW のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BW_LOAD_0	LUT 000 : 帯域幅。	0x0	R/W

アドレス : 0x102、リセット : 0x00、レジスタ名 : LUT0\_MATCH

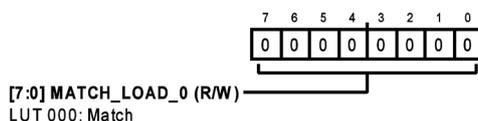


表 32. LUT0\_MATCH のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MATCH_LOAD_0	LUT 000 : マッチング。	0x0	R/W

アドレス : 0x103~0x15F、リセット : 0x00

LUT1~LUT31 のビット・フィールド機能 (レジスタ 0x103~レジスタ 0x15F) は、LUT0 (レジスタ 0x100~レジスタ 0x102) と同様です。レジスタ・アドレスの詳細については表 12 を参照してください。

アドレス : 0x300、リセット : 0xC0、レジスタ名 : INTERP\_FC\_Y0

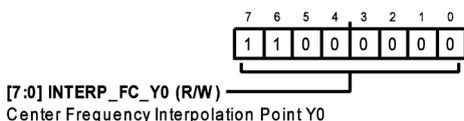


表 33. INTERP\_FC\_Y0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y0	中心周波数インターポレーション・ポイント Y0。	0xC0	R/W

アドレス : 0x301、リセット : 0xA1、レジスタ名 : INTERP\_FC\_Y1

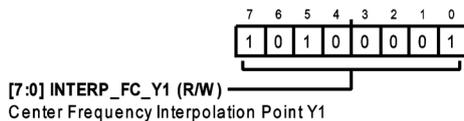


表 34. INTERP\_FC\_Y1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y1	中心周波数インターポレーション・ポイント Y1。	0xA1	R/W

レジスタの詳細

アドレス : 0x302、リセット : 0x88、レジスタ名 : INTERP\_FC\_Y2

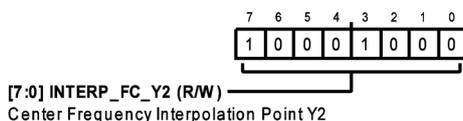


表 35. INTERP\_FC\_Y2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y2	中心周波数インターポレーション・ポイント Y2。	0x88	R/W

アドレス : 0x303、リセット : 0x64、レジスタ名 : INTERP\_FC\_Y3

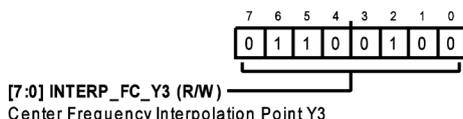


表 36. INTERP\_FC\_Y3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y3	中心周波数インターポレーション・ポイント Y3。	0x64	R/W

アドレス : 0x304、リセット : 0x4B、レジスタ名 : INTERP\_FC\_Y4

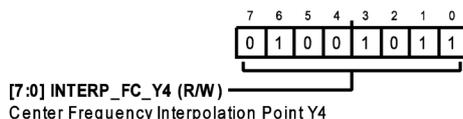


表 37. INTERP\_FC\_Y4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y4	中心周波数インターポレーション・ポイント Y4。	0x4B	R/W

アドレス : 0x305、リセット : 0x3A、レジスタ名 : INTERP\_FC\_Y5

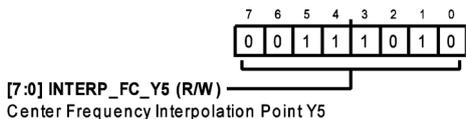


表 38. INTERP\_FC\_Y5 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y5	中心周波数インターポレーション・ポイント Y5。	0x3A	R/W

アドレス : 0x306、リセット : 0x2D、レジスタ名 : INTERP\_FC\_Y6

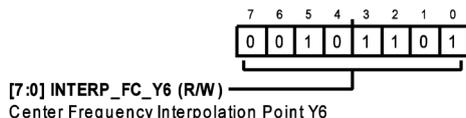


表 39. INTERP\_FC\_Y6 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y6	中心周波数インターポレーション・ポイント Y6。	0x2D	R/W

レジスタの詳細

アドレス : 0x307、リセット : 0x23、レジスタ名 : INTERP\_FC\_Y7

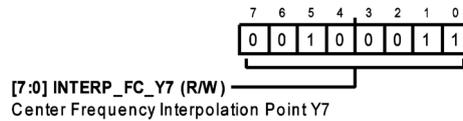


表 40. INTERP\_FC\_Y7 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y7	中心周波数インターポレーション・ポイント Y7。	0x23	R/W

アドレス : 0x308、リセット : 0x1C、レジスタ名 : INTERP\_FC\_Y8

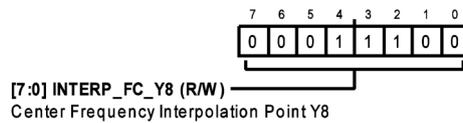


表 41. INTERP\_FC\_Y8 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y8	中心周波数インターポレーション・ポイント Y8。	0x1C	R/W

アドレス : 0x309、リセット : 0x16、レジスタ名 : INTERP\_FC\_Y9

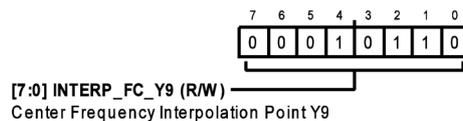


表 42. INTERP\_FC\_Y9 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_FC_Y9	中心周波数インターポレーション・ポイント Y9。	0x16	R/W

アドレス : 0x30A、リセット : 0x03、レジスタ名 : INTERP\_BW\_V0

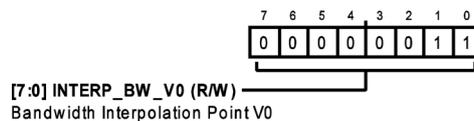
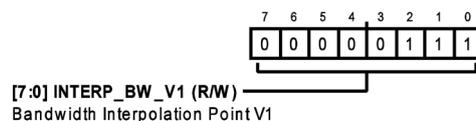


表 43. INTERP\_BW\_V0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_BW_V0	帯域幅インターポレーション・ポイント V0。	0x3	R/W

アドレス : 0x30B、リセット : 0x07、レジスタ名 : INTERP\_BW\_V1



## レジスタの詳細

表 44. INTERP\_BW\_V1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_BW_V1	帯域幅インターポレーション・ポイント V1。	0x7	R/W

アドレス : 0x30C、リセット : 0x21、レジスタ名 : INTERP\_BW\_V2

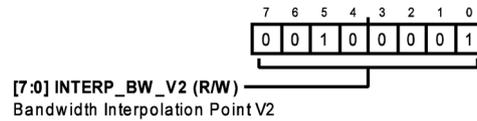


表 45. INTERP\_BW\_V2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_BW_V2	帯域幅インターポレーション・ポイント V2。	0x21	R/W

アドレス : 0x30D、リセット : 0x09、レジスタ名 : INTERP\_MATCH\_T0

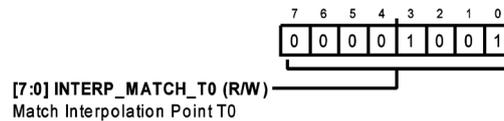


表 46. INTERP\_MATCH\_T0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_MATCH_T0	マッチング・インターポレーション・ポイント T0。	0x9	R/W

アドレス : 0x30E、リセット : 0x22、レジスタ名 : INTERP\_MATCH\_T1

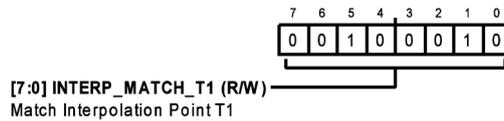


表 47. INTERP\_MATCH\_T1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_MATCH_T1	マッチング・インターポレーション・ポイント T1。	0x22	R/W

アドレス : 0x30F、リセット : 0xAE、レジスタ名 : INTERP\_MATCH\_T2

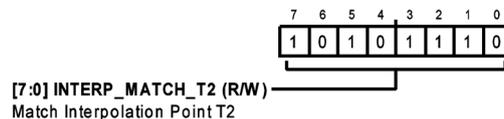


表 48. INTERP\_MATCH\_T2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTERP_MATCH_T2	マッチング・インターポレーション・ポイント T2。	0xAE	R/W

## 外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-40-17	LGA	40-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

更新：2024年4月1日

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV8505ACCZ	-40°C to +85°C	40-Terminal [LGA] (10 mm × 10 mm)	Reel, 300	CC-40-17
ADMV8505ACCZ-R7	-40°C to +85°C	40-Terminal [LGA] (10 mm × 10 mm)	Reel, 300	CC-40-17

<sup>1</sup> Z = RoHS 準拠製品。

## 評価用ボード

Model <sup>1</sup>	Description
ADMV8505-EVALZ	Evaluation Board

<sup>1</sup> Z = RoHS 準拠製品。