

14.0GHz~14.5GHz、SATCOM向けKuバンド・アップコンバータ

特長

- ▶ IFからKuバンドへのPLL内蔵アップコンバータ
- ▶ RF出力周波数範囲：14.0GHz~14.5GHz
- ▶ 内部LO周波数範囲：8.7GHz~10.7GHz
- ▶ ノイズ・フロア密度：-140dBm/Hz未満
- ▶ 50Ωに整合したシングルエンドRF出力およびIF入力
- ▶ 内蔵パワー・ディテクタ
- ▶ 内蔵ADC
- ▶ トランスミッタ・シンセサイザ・ロック検出機能
- ▶ 4線式SPIインターフェースを介して20MHzでプログラム可能
- ▶ トランスミッタ・ミュート機能
- ▶ 6 mm x 6 mmの40ピンLFCSPパッケージ

アプリケーション

- ▶ SATCOMユーザ・ターミナル

機能ブロック図

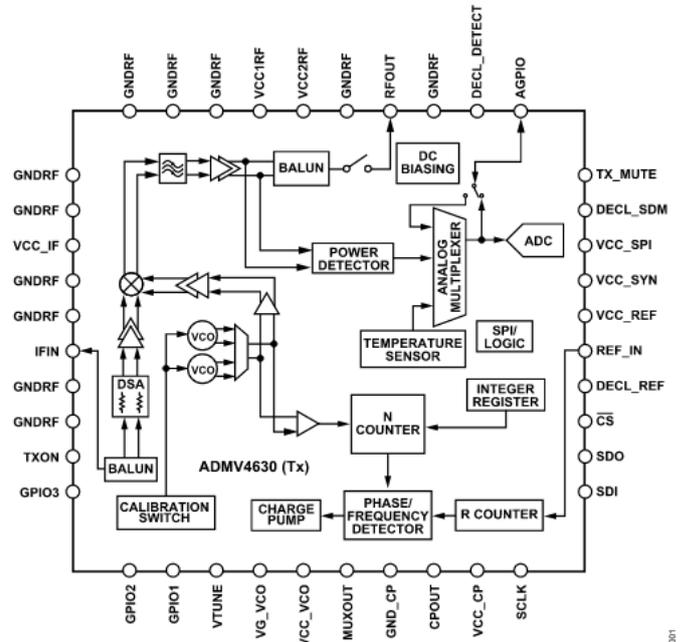


図 1

概要

ADMV4630は、14.0GHz~14.5GHzの周波数範囲で動作する様々な衛星通信 (SATCOM) のユーザ・ターミナル向けに最適化されたKuバンドのアップコンバータです。

ADMV4630のローカル発振器 (LO) 信号は、内蔵のインテジャ-N (INT) シンセサイザを介して内部生成されます。この内蔵シンセサイザは、8.7GHz~10.7GHzの範囲のLO周波数に対応します。3GHz~5GHzの入力中間周波数 (IF) 信号は、14.0GHz~14.5GHzのRFにアップコンバージョンされます。このチップには、LOフィードスルーと不要な下側波帯の両方を減衰する、フィルタリング機能があります。更に、チップのIF入力部にはデジタル・ステップ減衰器があり、1dBステップで最大31dBの範囲でのゲイン制御が可能であるため、前段でのケーブル損失に合わせて調整できます。シンセサイザのロックが解除されると、トランスミッタ出力は自動的にミュートされます。

デジタル・シリアル・ペリフェラル・インターフェース (SPI) により、周波数とゲインを高速でプログラミングできます。デジタルSPI制御の他、アナログ制御ピン (TX_MUTE) により、全回路を急速にパワー・ダウンすると共にレーザーをスタンバイ・モードにして、消費電力を削減します。更に、アナログ汎用入出力 (AGPIO) ピンは、内蔵A/Dコンバータ (ADC) によって読み込まれる入力、または、絶対温度に比例する (PTAT) 電圧のアナログ出力として使用できます。また、ロジック・レベルを出力するデジタルGPIOピンが3本あり、SPIを使用して外部デバイスを制御できます。

ADMV4630は、コンパクトで熱強化型の6mm x 6mm、40ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用しています。ADMV4630は、-40°C~+85°Cのケース温度範囲で動作します。

Rev. A

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

目次

特長.....	1	ループ・フィルタとチャージ・ポンプ (CP)電流.....	19
アプリケーション.....	1	内蔵MUXOUTピン.....	19
機能ブロック図.....	1	アナログ・マルチプレクサ・ブロック、AGPIOピン、ADC.....	20
概要.....	1	GPIOXピン.....	20
仕様.....	3	デジタル・ロック検出とMUTE_IF_UNLOCKEDビット.....	20
絶対最大定格.....	5	シグナル・チェーン・バイアス、マスク、TX_MUTEピン、TXON ピン.....	20
熱抵抗.....	5	SPI設定.....	21
ESDに関する注意.....	5	VCOの自動キャリブレーションおよび自動レベル制御.....	21
ピン配置およびピン機能の説明.....	6	ダブル・バッファ付きレジスタ.....	21
代表的な性能特性.....	8	初期化レジスタ.....	21
最小減衰性能：DSA (レジスタ0X300) = 31.....	8	レジスタの一覧.....	23
最大減衰性能：DSA (レジスタ0X300) = 0.....	14	レジスタの詳細.....	25
スプリアス性能.....	18	SPI設定レジスタ.....	25
動作原理.....	19	外形寸法.....	40
リファレンス入力段.....	19	オーダー・ガイド.....	40
リファレンス・ダブル、Rカウンタ、リファレンス2分周器.....	19	評価用ボード.....	40
INTモードおよびNカウンタ.....	19		
位相周波数検出器 (PFD)とチャージ・ポンプ(CP).....	19		

改訂履歴

2022年7月 Revision A: 初版

仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $\text{IF} = 4\text{GHz}$ 、 $\text{VCC} = \text{VCC_IF} = \text{VCC_VCO} = \text{VCC_CP} = \text{VCC_REF} = \text{VCC_SYN} = \text{VCC_SPI} = \text{VCC2RF} = \text{VCC1RF} = 3.3\text{V}$ 、デジタル・シグナル減衰 (DSA) レジスタ $0x300 = 31$ 、クロック・リファレンス入力電力 = 3dBm 、上側波帯を選択。
VCCはすべてのVCC_xxxピンの電圧を指します。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RF OUTPUT FREQUENCY RANGE		14.0		14.5	GHz
LO FREQUENCY RANGE		8.7		10.7	GHz
LO Lock Time				370	μs
LO REFERENCE FREQUENCY			25		MHz
REFERENCE INPUT POWER		0		5	dBm
LO PHASE NOISE PERFORMANCE					
1 kHz Offset from Carrier			-85		dBc/Hz
10 kHz Offset from Carrier			-90		dBc/Hz
100 kHz Offset from Carrier			-95		dBc/Hz
1 MHz Offset from Carrier			-125		dBc/Hz
10 MHz Offset from Carrier			-135		dBc/Hz
100 MHz Offset from Carrier	RF出力で測定		-138		dBc/Hz
Integrated Single Sideband Phase Noise Performance	1kHz~20MHz		-34		dBc/Hz
IF INPUT FREQUENCY RANGE		3		5	GHz
IF Channel Bandwidth		± 62			MHz
IF Input Power				4	dBm
IF UPCONVERTER PERFORMANCE					
Maximum Conversion Gain		16	19		dB
Gain Control Range			31		dB
Gain Flatness	帯域幅20MHz以上	-0.15		+0.15	dB/20 MHz ¹
Output Noise Density				-140	dBm/Hz
Output Third-Order Intercept (IP3)	最小減衰	19.5	22		dBm
Output 1 dB Compression Point (P1dB)	最小減衰		11		dBm
Sideband Rejection	ノイズ・フロアで制限	70	95		dBc
LO to RF Feedthrough			-40	-30	dBm
Transmitter Mute On/Off Ratio	出カスイッチのみ	25			dB
Transmitter Mute On/Off Ratio	スイッチおよびパワーダウンLO	40			dB
Adjacent Channel Power Ratio (ACPR)			-35		dBc
Error Vector Magnitude (EVM)			2.0		%
TRANSMITTER DETECTOR PERFORMANCE					
Input Frequency		14.0		14.5	GHz
Input Power Range	RFOUTピン	-2		+13	dBm
Detector Accuracy	キャリブレーションなし		± 1		dB
ADC PERFORMANCE					
ADC Bits			8		Bits
ADC Sampling Rate			100		kHz
POWER INTERFACE					
Power Supply (VCC_xxx) ²		3.135	3.3	3.465	V
VCC_IF Supply Current			60		mA
VCC_VCO Supply Current			80		mA
VCC_CP Supply Current			15		mA
VCC_REF Supply Current			2		mA
VCC_SYN Supply Current			100		mA
VCC_SPI Supply Current			3.5		mA

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
VCC2RF Supply Current			80		mA
VCC1RF Supply Current			40		mA
VCC Total Current			381		mA
Total Power Dissipation				1.7	W
Mute Time				15	μs
Unmute Time				15	μs

1 dB/20MHzは20MHzを超える帯域幅でのゲイン平坦度。

2 VCC_XXX = VCC_IF = VCC_VCO = VCC_CP = VCC_REF = VCC_SYN = VCC_SPI = VCC2RF = VCC1RF = 3.3V。

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage VCC_IF, VCC_VCO, VCC_REF, VCC_CP, VCC_SYN, VCC_SPI, VCC2RF, VCC1RF	4.3 V
IF Input Power	5 dBm
Reference Clock Input Power	12 dBm
Junction Temperature	125°C
Moisture Sensitivity Level (MSL) ¹	3
Peak Reflow Temperature	260°C
Operating Case Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
ESD Sensitivity	
Human Body Model (HBM)	1500 V
Field Induced Charged Device Model (FICDM)	250 V

¹ IPC/JEDEC J-STD-20 MSL分類に準拠。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1立方フィートの密閉容器内で測定されるジャンクションと周辺の間（またはダイと周辺の間）の熱抵抗で、 θ_{JC} はジャンクションとケースの間（またはダイとパッケージの間）の熱抵抗です。

表 3. 熱抵抗

パッケージ・タイプ	θ_{JA} ¹	θ_{JC} ^{1,2}	単位
CP-40-7 ¹	30.7	1.1	°C/W

¹ 熱抵抗のシミュレーション値は、6mm x 6mmのサーマル・ビアを備えた JEDEC 2S2Pテスト・ボードに基づいています。詳細については、JEDEC規格JESD51-2を参照してください。

² θ_{JC} 下部の冷却板が、100 μ mの熱伝導材料（TIM）（3.56 W/mK）を用いて PCB下部に取り付けられています。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。この製品は特許取得済みまたは独自の保護回路を備えていますが、高エネルギーESDにさらされるとデバイスに損傷が生じる可能性があります。したがって、性能低下や機能低下を避けるために、適切なESD予防措置を講じる必要があります。

ピン番号	記号	説明
30	TX_MUTE	トランスミッタ出力スイッチ・ディスエーブル・ピン。通常動作ではTX_MUTEピンをロジック・ローのレベルにします。TX_MUTEピンをロジック・ハイのレベルに引き上げると、トランスミッタ出力はディスエーブルされます。
31	AGPIO	双方向アナログGPIO。このピンは、内蔵A/Dコンバータ（ADC）の入力または出力に設定できます。 AGPIO 制御レジスタ のセクション（レジスタ0x301）を参照してください。
32	DECL_DETECT	ディテクタ・デカップリング・ピン。このピンは、0.47 μ Fをピンのできるだけ近くに接続してデカップリングします。
34	RFOUT	RF出力。
36	VCC2RF	RF部用3.3V電源接続。VCC2RFピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
37	VCC1RF	RF部用3.3V電源接続。VCC1RFピンは、10pFおよび1000pFをピンのできるだけ近くに接続してデカップリングします。
	EPAD	露出パッド。露出パッドはRF/DCグラウンドに接続する必要があります。

代表的な性能特性

最小減衰性能 : DSA (レジスタ0X300) = 31

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $IF = 4\text{GHz}$ 、 $VCC = 3.3\text{V}$ 、クロック・リファレンス入力電力 = 3dBm 、上側波帯を選択。

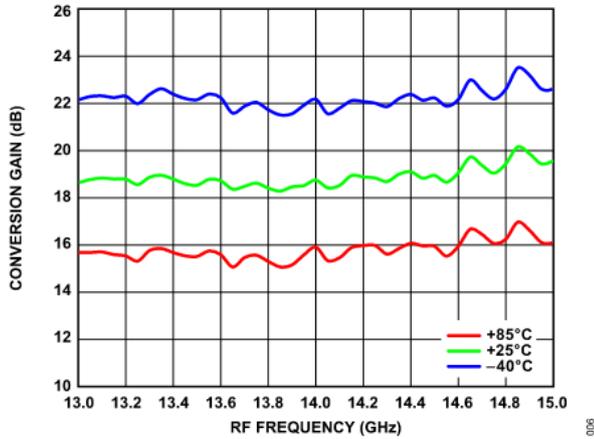


図 3. 異なる温度での変換ゲインとRF周波数の関係

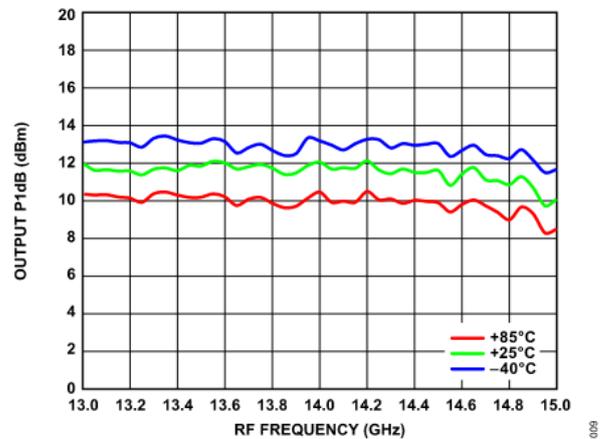


図 6. 異なる温度での出力P1dBとRF周波数の関係

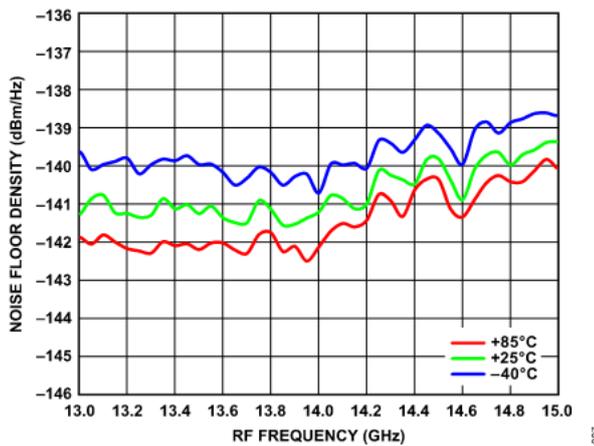


図 4. 異なる温度でのノイズ・フロア密度とRF周波数の関係

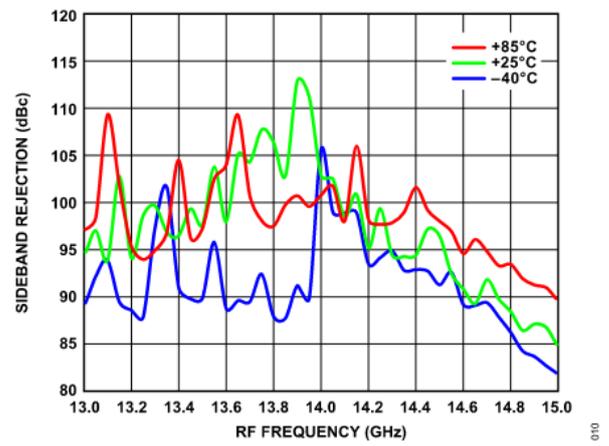


図 7. 異なる温度でのサイドバンド除去比とRF周波数の関係

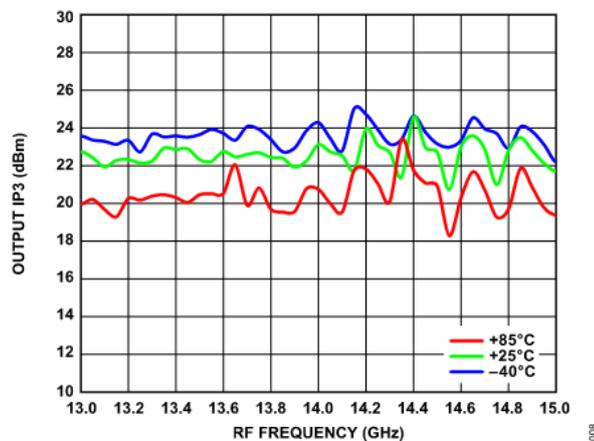


図 5. 異なる温度での出力IP3とRF周波数の関係

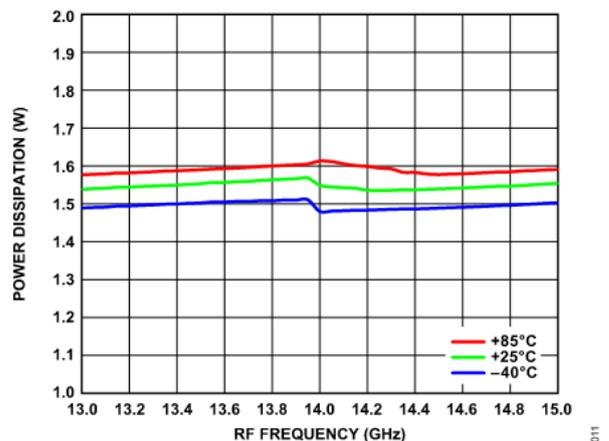


図 8. 異なる温度での消費電力とRF周波数の関係

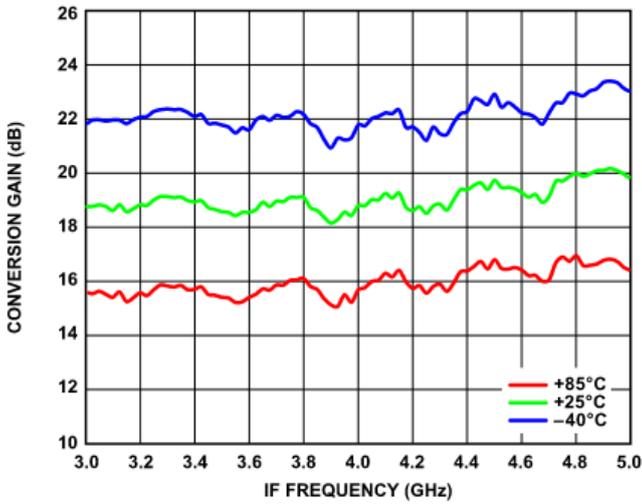


図 9. 異なる温度での変換ゲインとIF周波数の関係

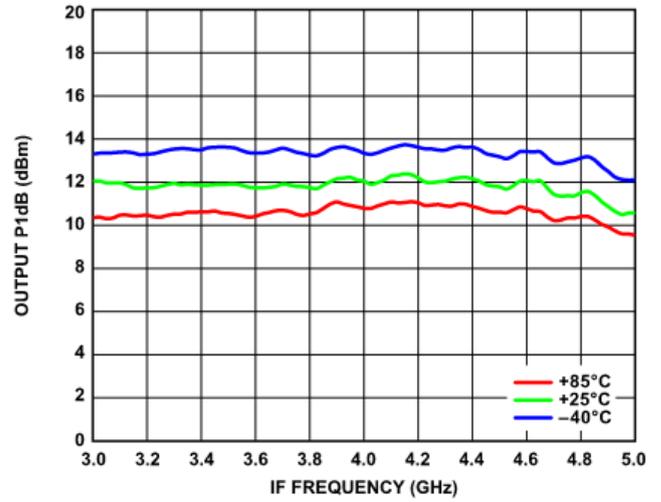


図 12. 異なる温度での出力P1dBとIF周波数の関係

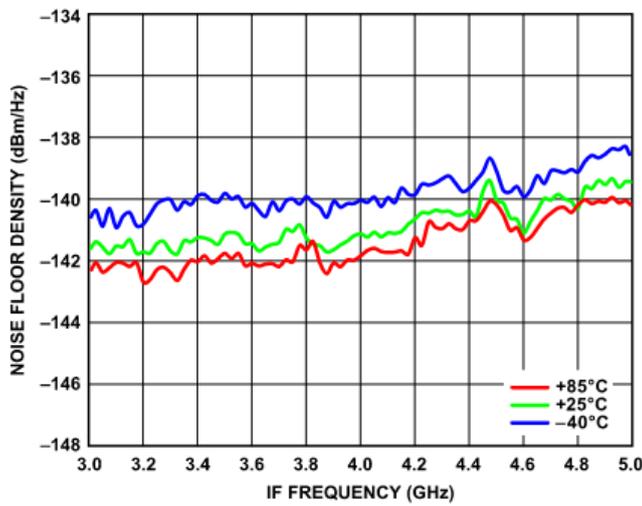


図 10. 異なる温度でのノイズ・フロア密度とIF周波数の関係

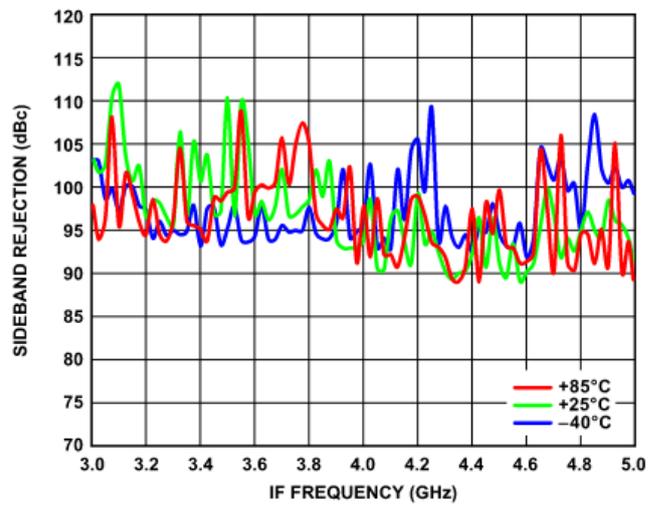


図 13. 異なる温度でのサイドバンド除去比とIF周波数の関係

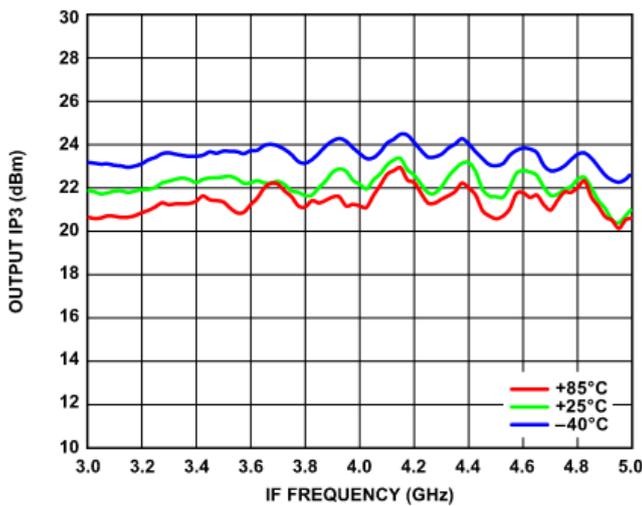


図 11. 異なる温度での出力IP3とIF周波数の関係

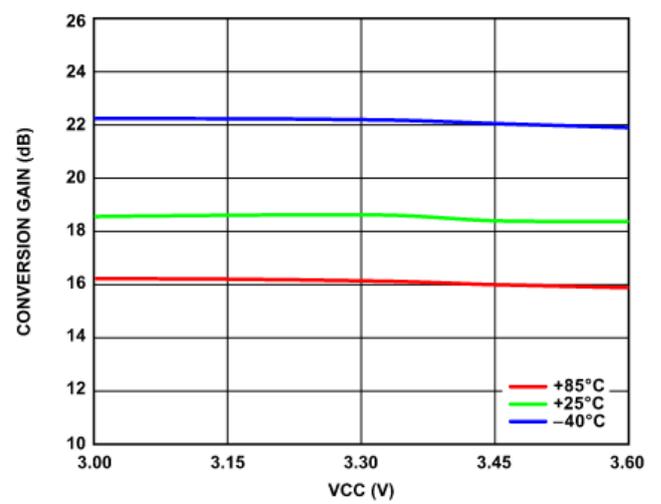


図 14. 異なる温度での変換ゲインとVCCの関係

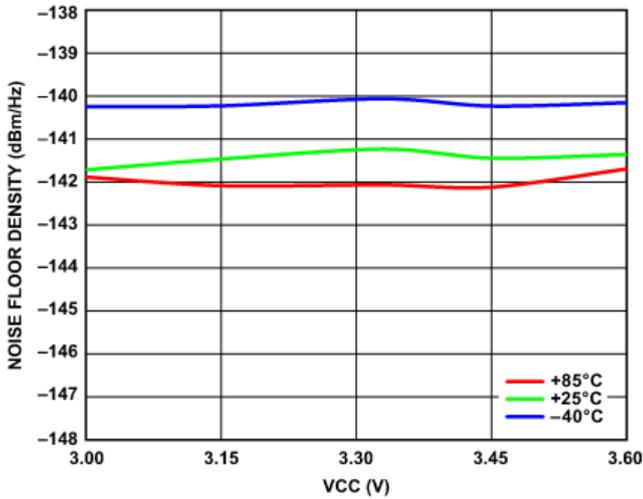


図 15. 異なる温度でのノイズ・フロア密度とVCCの関係

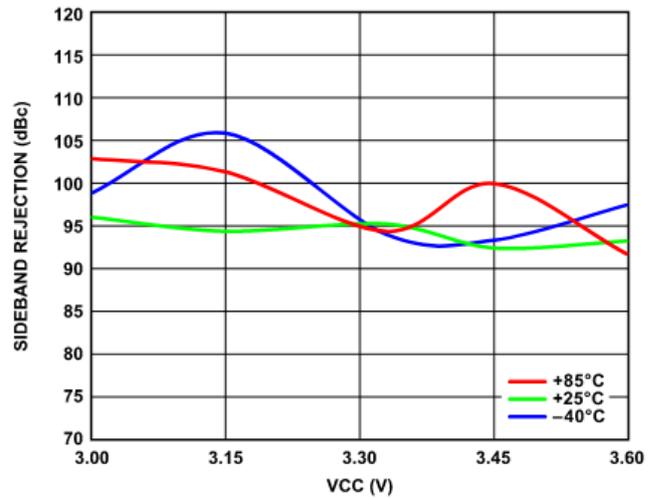


図 18. 異なる温度でのサイドバンド除去比とVCCの関係

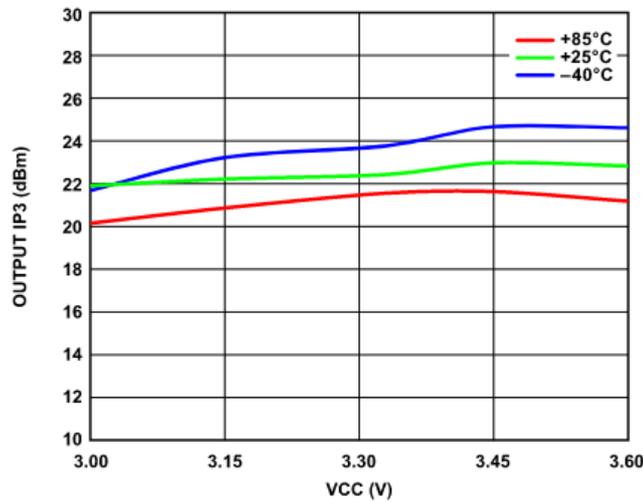


図 16. 異なる温度での出力IP3とVCCの関係

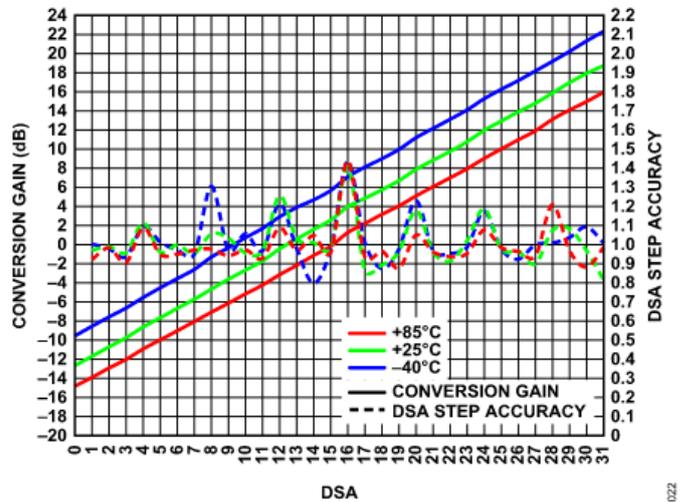


図 19. 異なる温度での変換ゲインおよびDSAステップ精度とDSAの関係

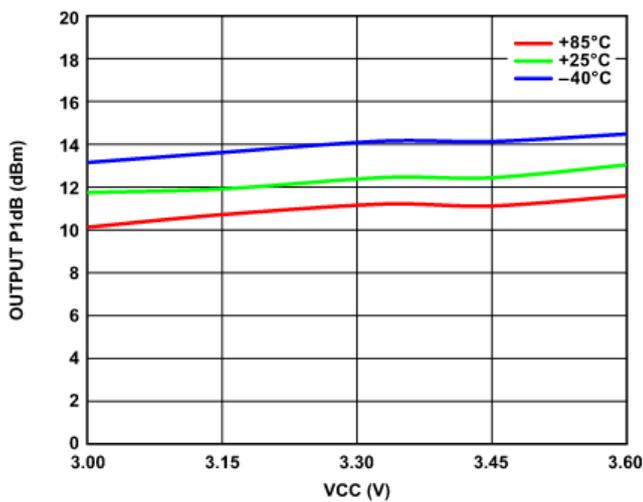


図 17. 異なる温度での出力P1dBとVCCの関係

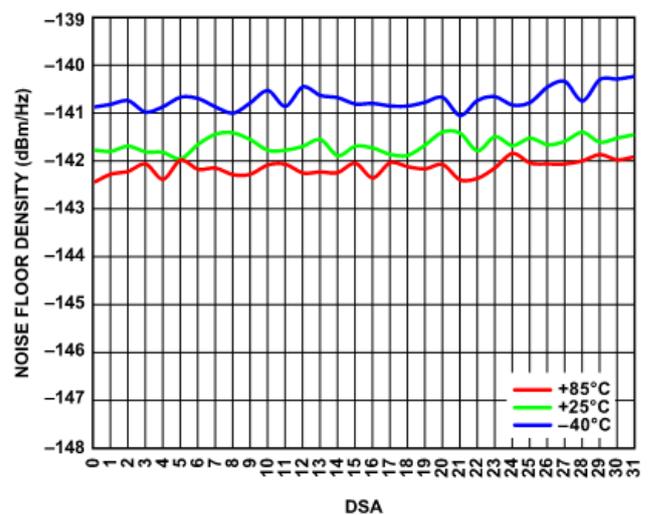


図 20. 異なる温度でのノイズ・フロア密度とDSAの関係

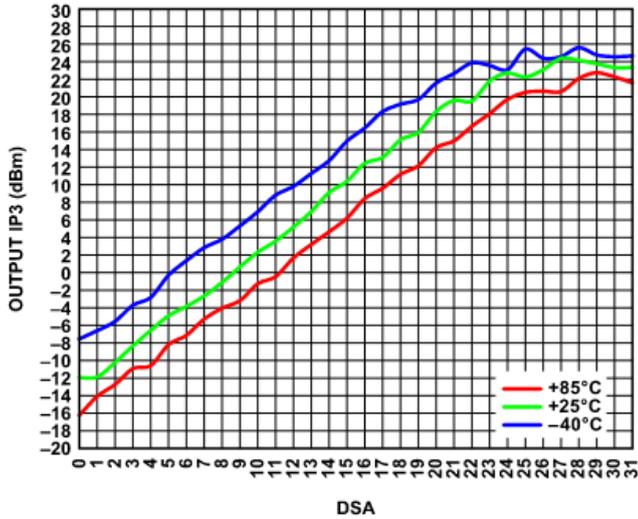


図 21. 異なる温度での出力IP3とDSAの関係

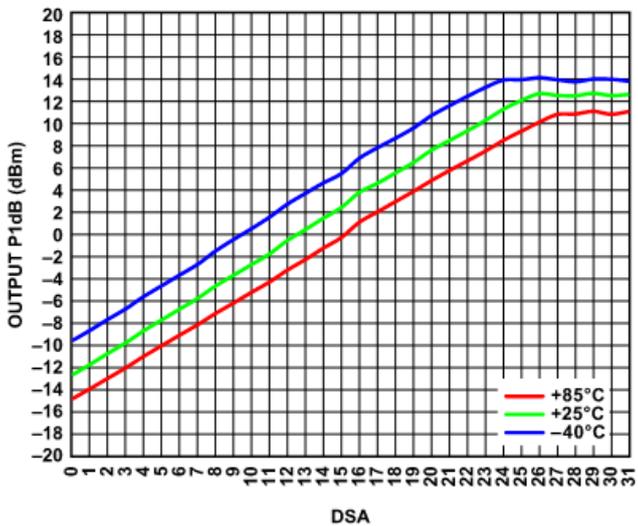


図 22. 異なる温度での出力P1dBとDSAの関係

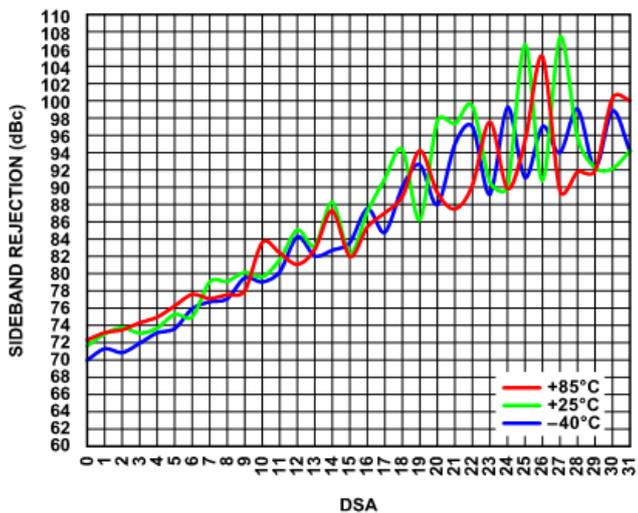


図 23. 異なる温度でのサイドバンド除去比とDSAの関係

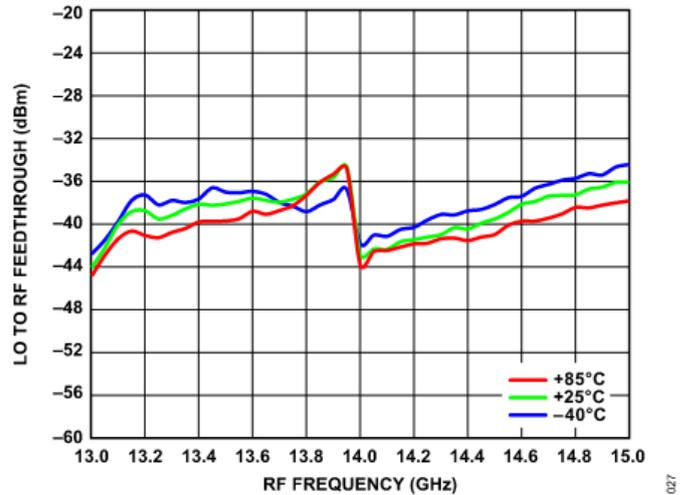


図 24. 異なる温度でのLOからRFへのフィードスルーとRF周波数の関係

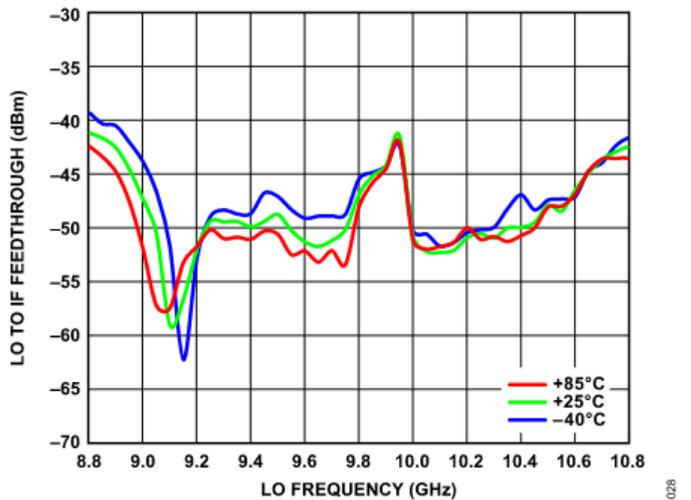


図 25. 異なる温度でのLOからIFへのフィードスルーとLO周波数の関係

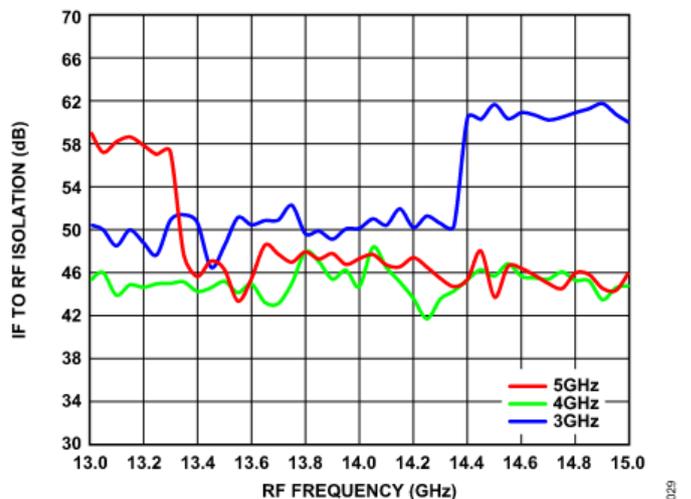


図 26. IFとRFの間の絶縁とRF周波数の関係、IIF = 3GHz, 4GHz, 5GHz

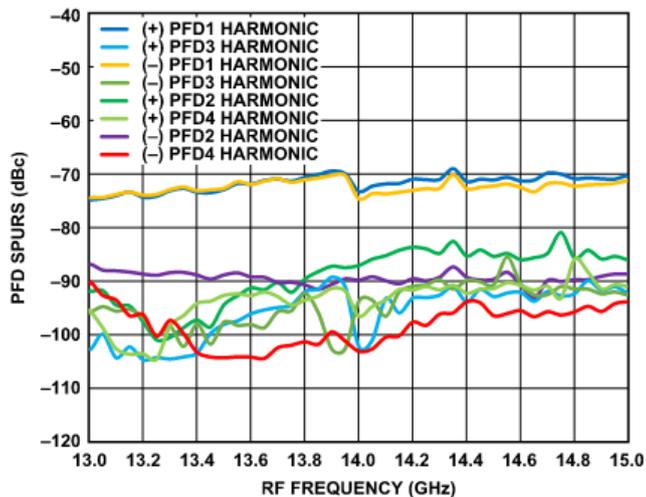


図 27. 異なる温度での位相周波数検出器 (PFD) スプリアスと RF 周波数の関係

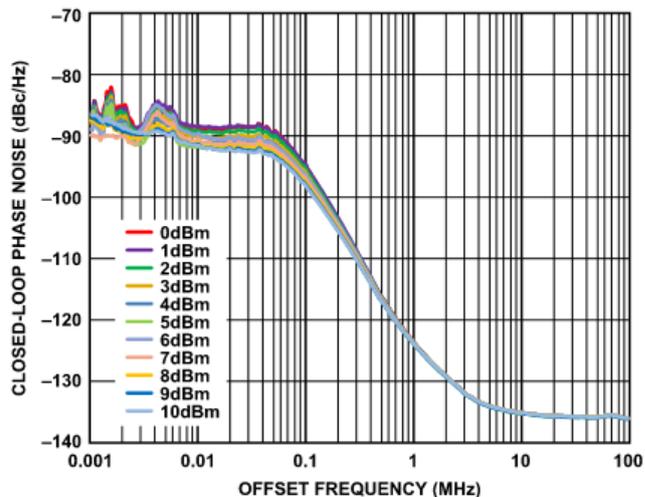


図 30. 異なるリファレンス入力電力でのクローズドループ位相ノイズとオフセット周波数の関係

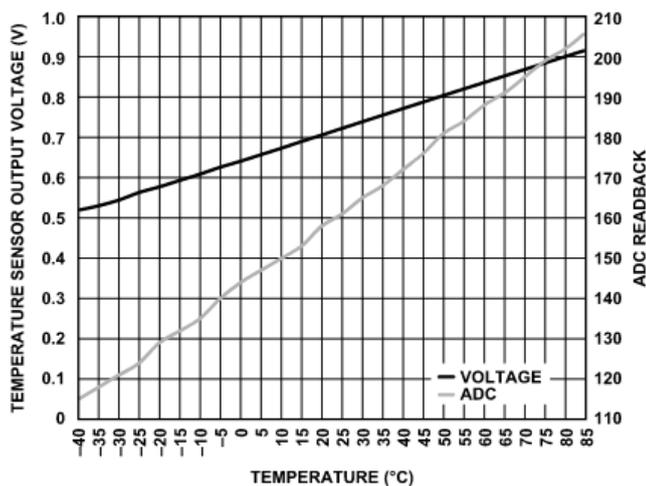


図 28. 温度センサーの出力電圧およびADCリードバックと温度の関係、LO 周波数 = 10GHz

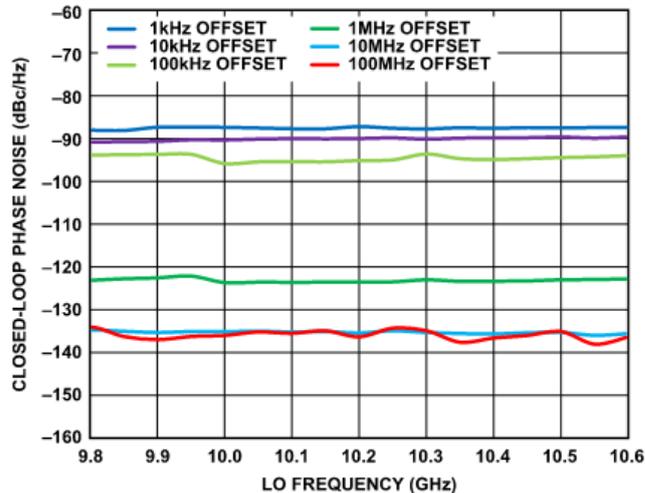


図 31. 異なるオフセット周波数でのクローズドループ位相ノイズと LO 周波数の関係

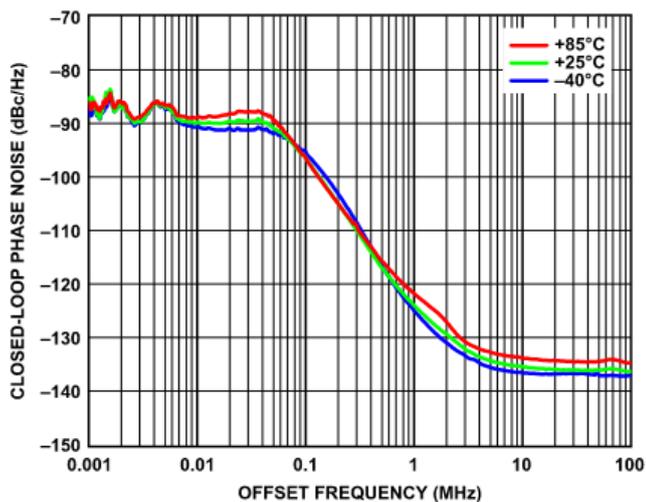


図 29. 異なる温度でのクローズドループ位相ノイズとオフセット周波数の関係、LO = 10GHz

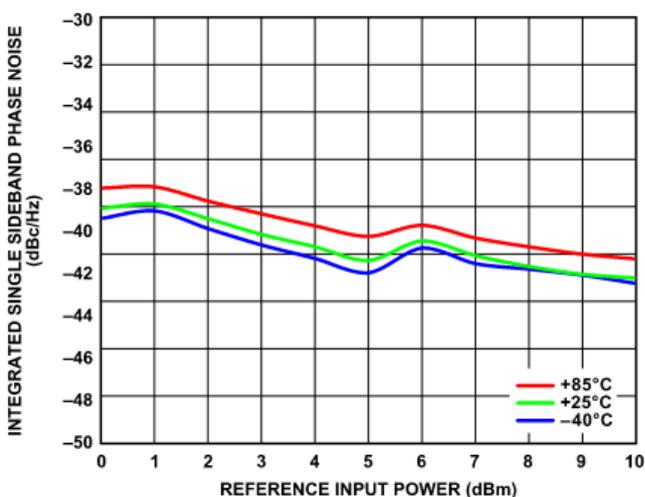


図 32. 異なる温度での積分単側波帯位相ノイズとリファレンス入力電力の関係、1kHz~125MHz

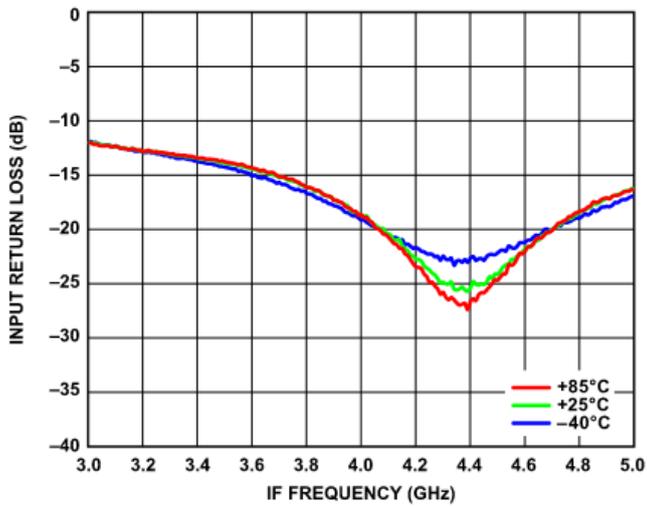


図 33. 異なる温度での入力リターン損失とIF周波数の関係

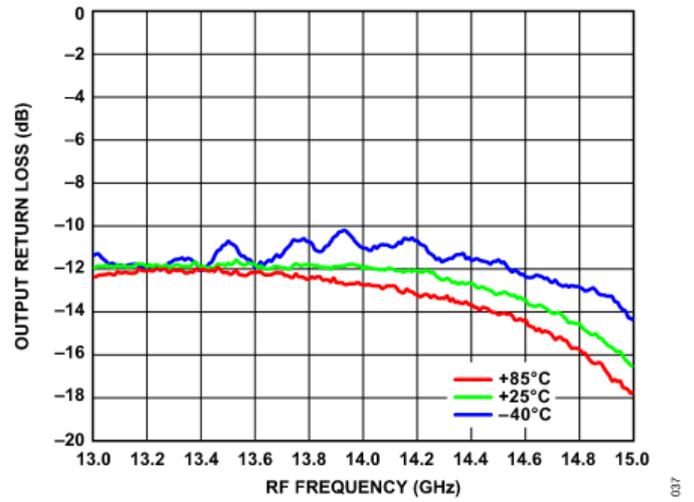


図 34. 異なる温度での出力リターン損失とRF周波数の関係

最大減衰性能 : DSA (レジスタ0X300) = 0

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $IF = 4\text{GHz}$ 、 $V_{CC} = 3.3\text{V}$ 、クロック・リファレンス入力電力 = 3dBm 、上側波帯を選択。

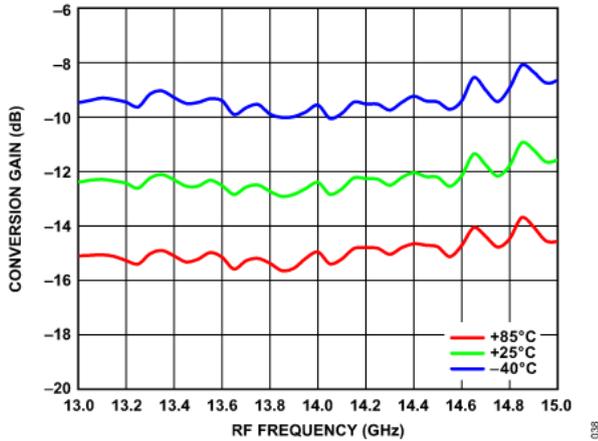


図 35. 異なる温度での変換ゲインとRF周波数の関係

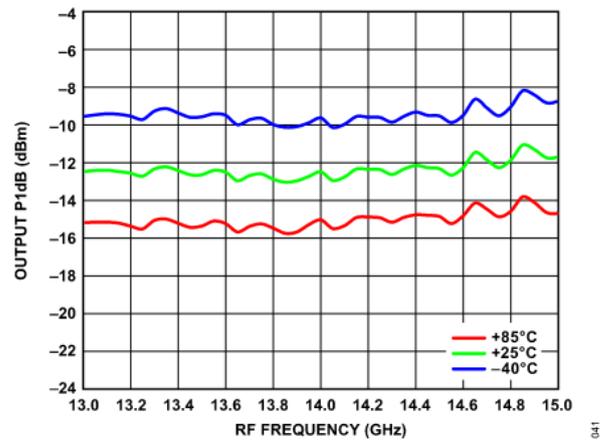


図 38. 異なる温度での出力P1dBとRF周波数の関係

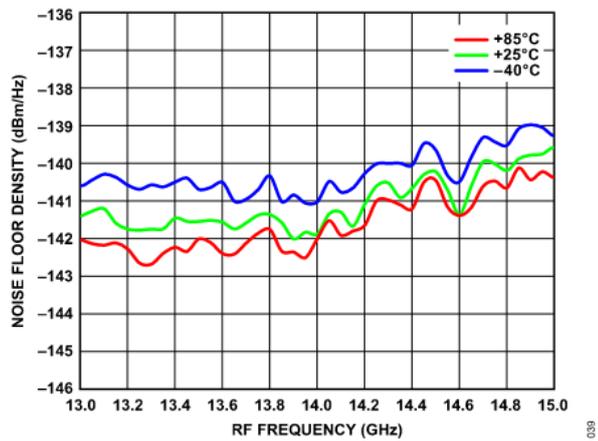


図 36. 異なる温度でのノイズ・フロア密度とRF周波数の関係

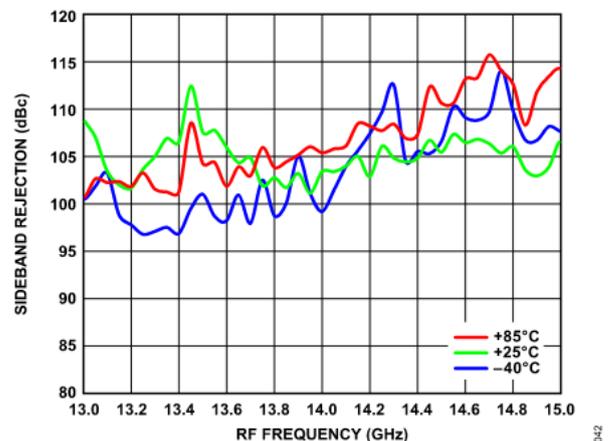


図 39. 異なる温度でのサイドバンド除去比とRF周波数の関係

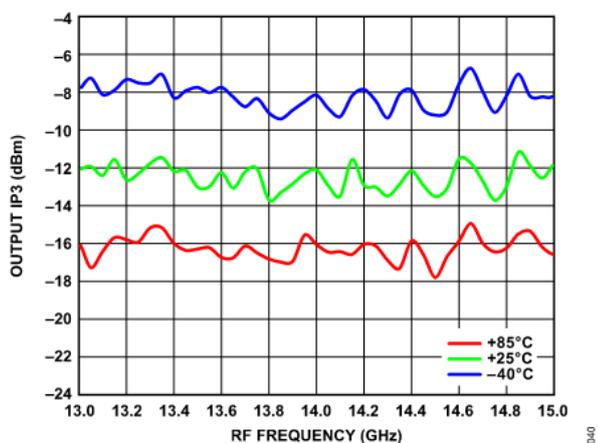


図 37. 異なる温度での出力IP3とRF周波数の関係

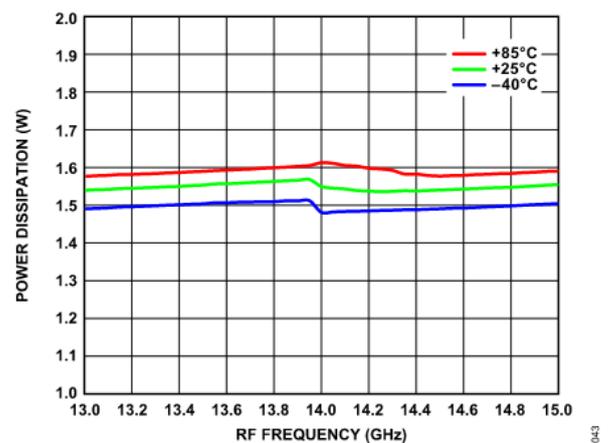


図 40. 異なる温度での消費電力とRF周波数の関係

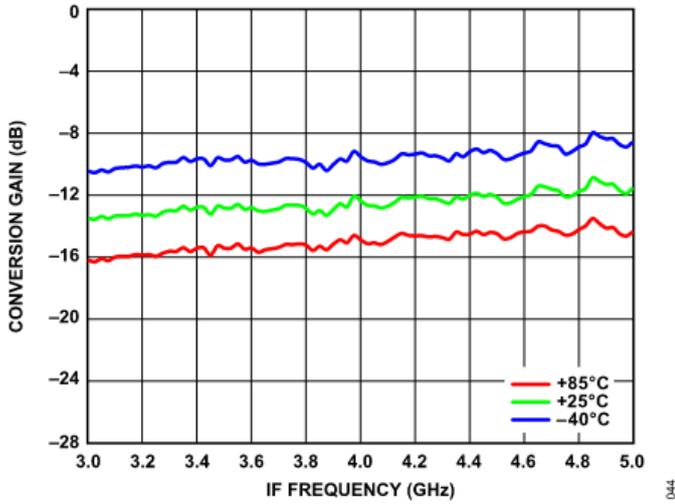


図 41. 異なる温度での変換ゲインとIF周波数の関係

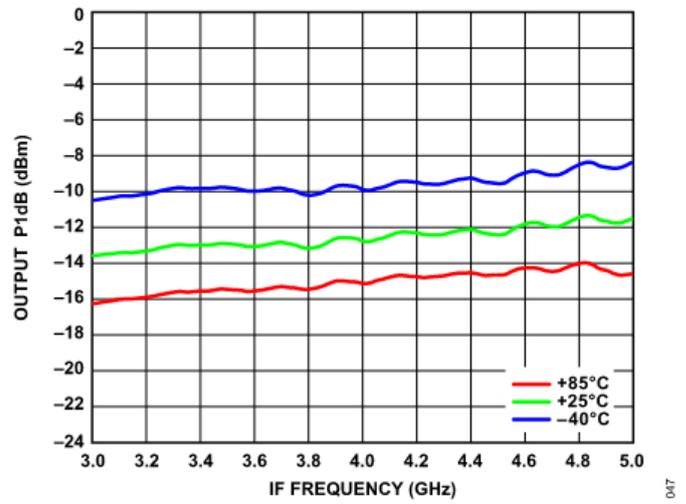


図 44. 異なる温度での出力P1dBとIF周波数の関係

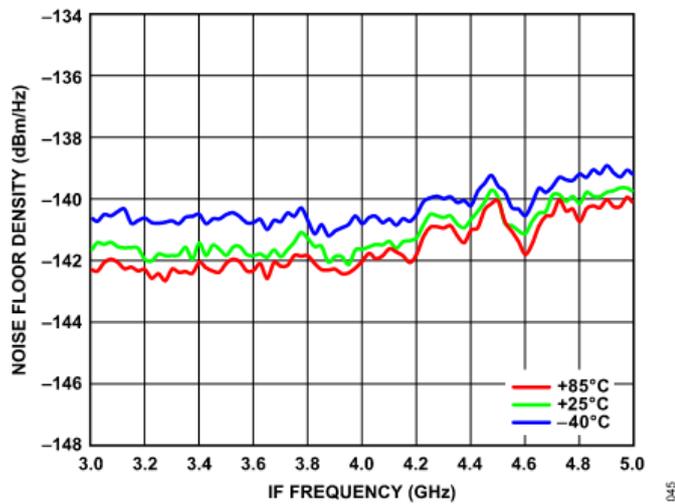


図 42. 異なる温度でのノイズ・フロア密度とIF周波数の関係

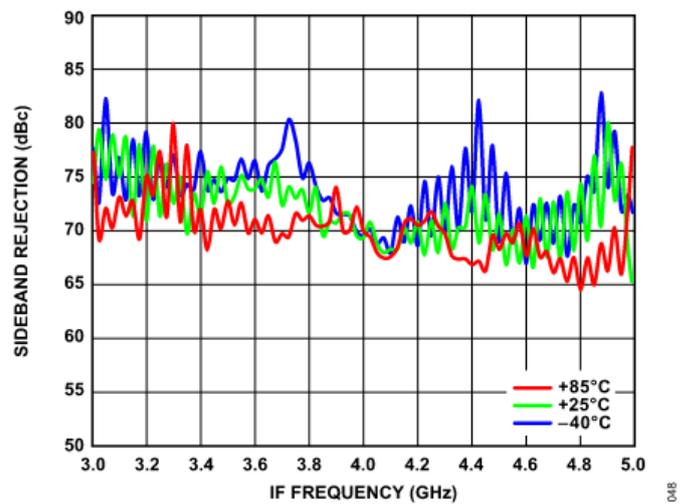


図 45. 異なる温度でのサイドバンド除去比とIF周波数の関係

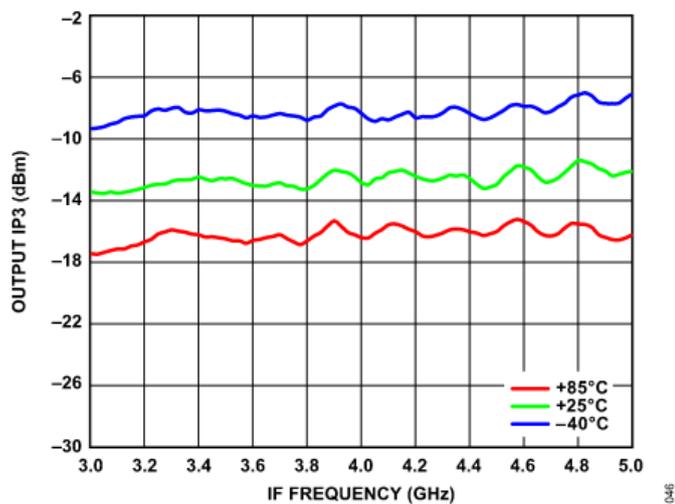


図 43. 異なる温度での出力IP3とIF周波数の関係

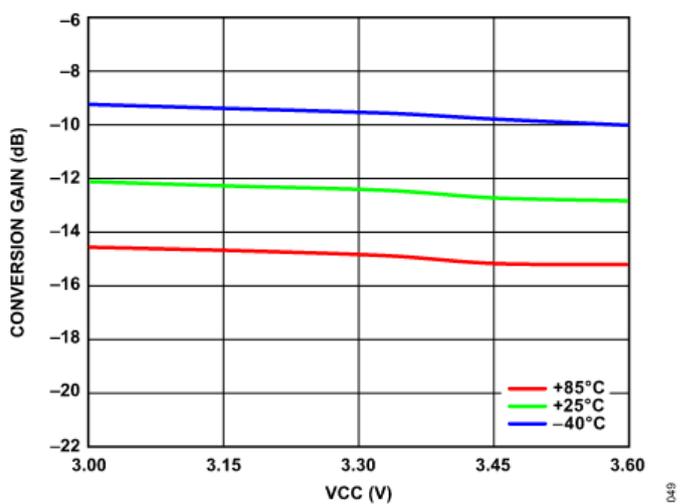


図 46. 異なる温度での変換ゲインとVCC周波数の関係

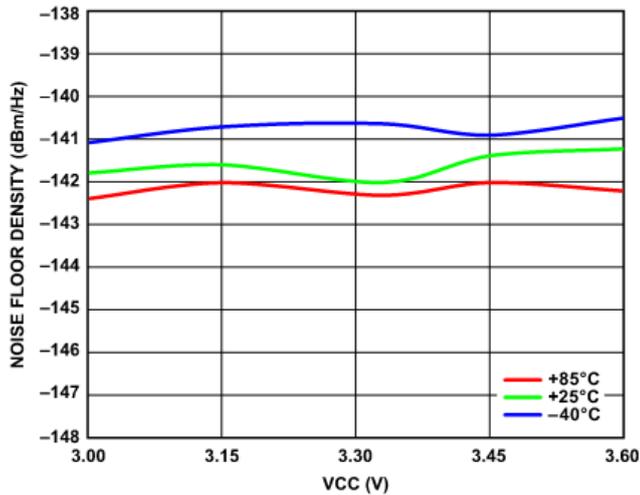


図 47. 異なる温度でのノイズ・フロア密度とVCCの関係

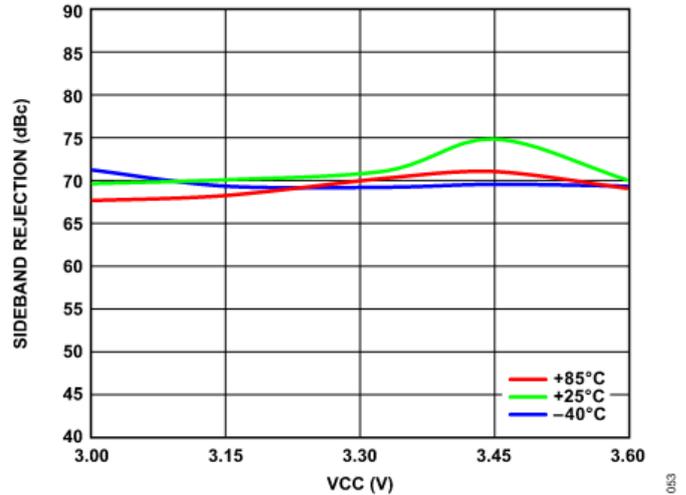


図 50. 異なる温度でのサイドバンド除去比とVCCの関係

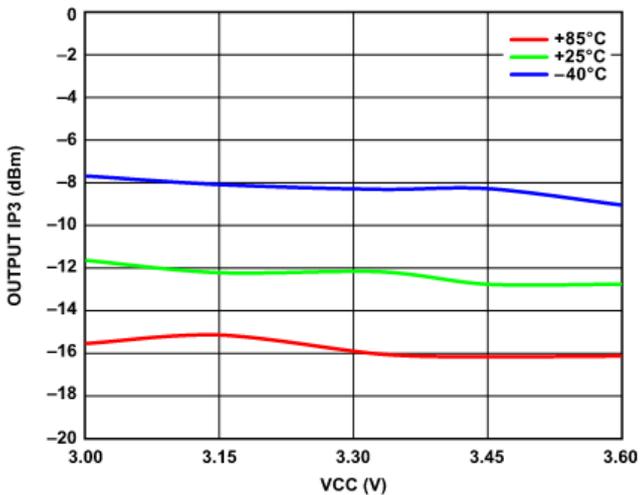


図 48. 異なる温度での出力IP3とVCCの関係

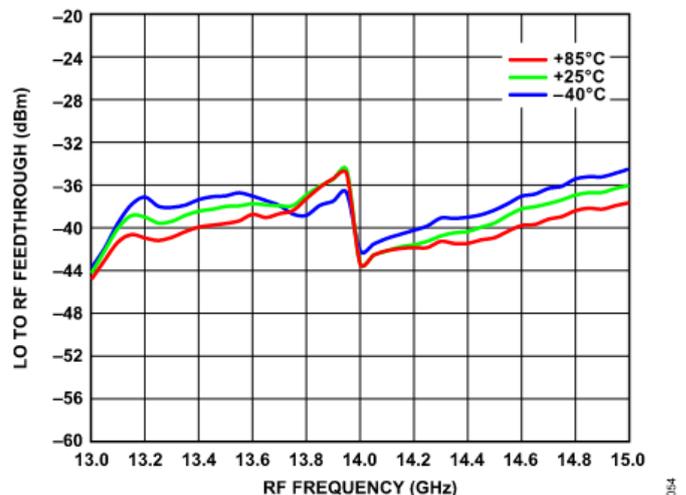


図 51. 異なる温度でのLOからRFへのフィードスルーとRF周波数の関係

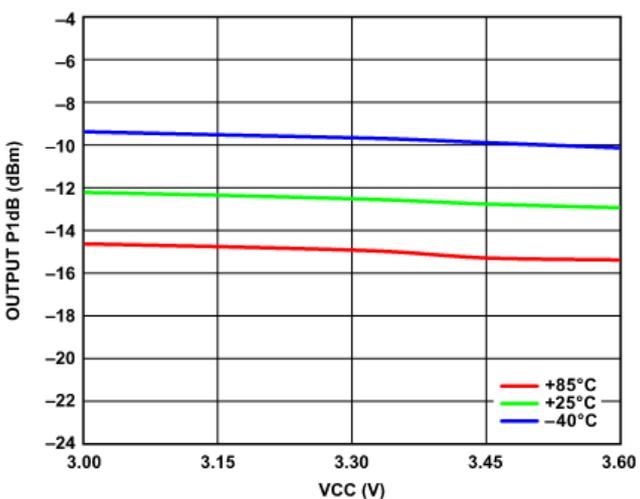


図 49. 異なる温度での出力P1dBとVCCの関係

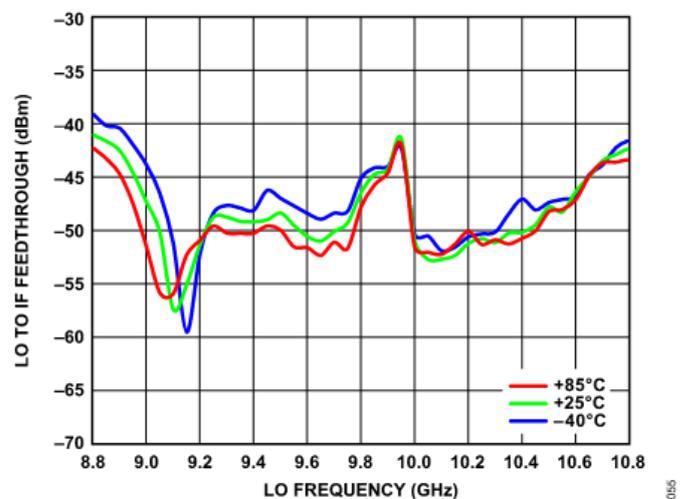


図 52. 異なる温度でのLOからIFへのフィードスルーとLO周波数の関係

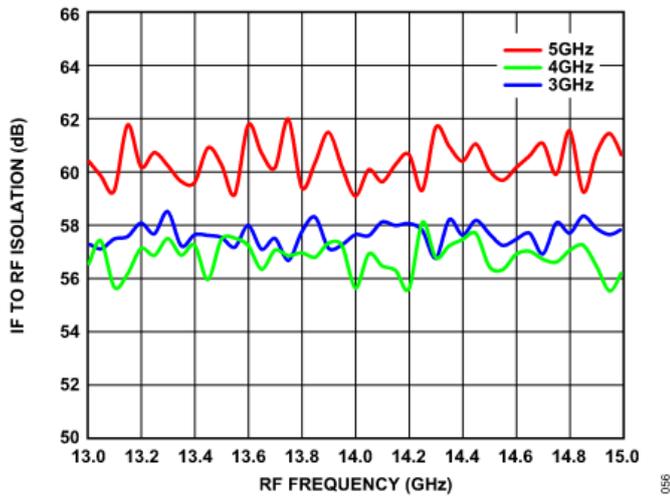


図 53. IFとRFの間の絶縁とRF周波数の関係、IF = 3GHz, 4GHz, 5GHz

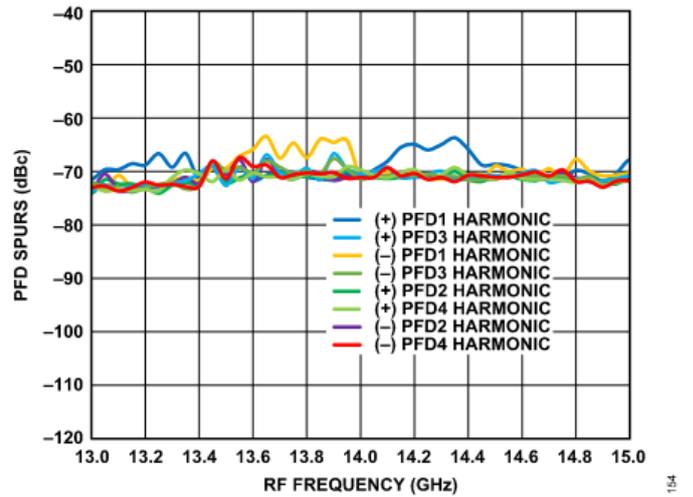


図 54. 異なる温度でのPFDスプリアスとRF周波数の関係、RF出力電力レベルを基準に測定

スプリアス性能

$T_A = 25^\circ\text{C}$ 、 $IF = 4\text{GHz}$ 、 $VCC = 3.3\text{V}$ 、最小減衰($DSA = 31$)、クロック・リファレンス入力電力 = 3dBm 、上側波帯を選択。ミキサーのスプリアス積は、RF出力パワー・レベルをどれだけ下回るかをdBc単位で測定したものです。スプリアスの値は $(M \times IF) + (N \times LO)$ の場合のものです。

$M \times N$ スプリアス出力、 $RF = 14\text{GHz}$ 、 $LO = 10\text{GHz}$

		N × LO					
		0	1	2	3	4	5
M × IF	0	N/A	40	35	≥100	≥100	≥100
	1	77	0	94	≥100	≥100	≥100
	2	≥100	92	78	≥100	≥100	≥100
	3	54	≥100	≥100	≥100	≥100	≥100
	4	56	75	≥100	≥100	≥100	≥100
	5	34	≥100	≥100	≥100	≥100	≥100

$M \times N$ スプリアス出力、 $RF = 14.25\text{GHz}$ 、 $LO = 10.25\text{GHz}$

		N × LO					
		0	1	2	3	4	5
M × IF	0	N/A	40	35	98	≥100	≥100
	1	77	0	95	≥100	≥100	≥100
	2	≥100	96	81	≥100	≥100	≥100
	3	96	≥100	≥100	≥100	≥100	≥100
	4	92	≥100	≥100	≥100	≥100	≥100
	5	≥100	≥100	≥100	≥100	≥100	≥100

$M \times N$ スプリアス出力、 $RF = 14.5\text{GHz}$ 、 $LO = 10.5\text{GHz}$

		N × LO					
		0	1	2	3	4	5
M × IF	0	N/A	38	34	≥100	≥100	≥100
	1	77	0	≥100	≥100	≥100	≥100
	2	≥100	99	86	≥100	≥100	≥100
	3	96	≥100	≥100	≥100	≥100	≥100
	4	87	≥100	≥100	≥100	≥100	≥100
	5	≥100	≥100	≥100	≥100	≥100	≥100

動作原理

リファレンス入力段

図55に示すリファレンス入力段は、外部の25MHzシングルエンド・ソースで駆動できます。リファレンス入力には必ず外部DCブロックを用いてください。

リファレンス・ダブラ、Rカウンタ、リファレンス2分周器

内蔵のリファレンス・ダブラ（2通倍器、図55参照）によって、より高い位相周波数検出器周波数（ f_{PFD} ）が生成されます。リファレンス・ダブラをイネーブルするには、DOUBLER_ENビット（レジスタ0x20E、ビット3）を使用します。

周波数分周器には、5ビットのR分周器カウンタ（1~32が可能）と2分周ブロックの2つがあります。これらの分周器は、入力リファレンス周波数（ f_{REF} ）を分周して、より低い f_{PFD} を生成します。Rカウンタをセットするには、R_DIVビット（レジスタ0x20C、ビット[4:0]）を使用します。

リファレンス2分周ブロックは、RDIV2_ENビット（レジスタ0x20E、ビット0）を使ってイネーブルします。

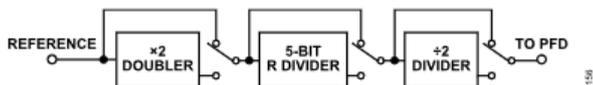


図 55. リファレンス入力パスのブロック図

INTモードおよびNカウンタ

ADMV4630のシンセサイザはINTモードで動作します。

Nカウンタにより、VCOからのフェーズ・ロック・ループ（PLL）帰還パスの分周比を設定できます。分周比はINTのビット値で決まります。INTのビット値を設定するには、レジスタ0x200とレジスタ0x201を使用します。

INTの値をリファレンス・パスと組み合わせることで、 f_{PFD} の分解能で区切られたVCO周波数を生成できます。

f_{PFD} は、リファレンス周波数（ f_{REF} ）とリファレンス・パス設定パラメータから次式を用いて計算できます。

$$f_{PFD} = f_{REF} \times \frac{1+D}{R \times (1+T)} \quad (1)$$

ここで、

Dはリファレンス・ダブラ・ビット（0または1）、
Rは2進5ビット・プログラマブル・カウンタのリファレンス分周比（1~31）、
Tはリファレンス2分周ビット（0または1）です。

VCO周波数（ f_{VCO} ）は次式で計算します。

$$f_{VCO} = \frac{f_{LO}}{2} = f_{PFD} \times N \quad (2)$$

ここで、

f_{LO} はミキサを駆動するLOの周波数、
Nは、INT（16ビットの整数値（0~65,535））の目標値です。

位相周波数検出器 (PFD)とチャージ・ポンプ(CP)

PFDはRカウンタとNカウンタから入力を受け取り、両者の位相差と周波数差に比例した出力を生成します。この比例情報は、外部ループ・フィルタの駆動用電流を生成するCP回路に出力されて、VTUNEチューニング電圧を適切に増減させるために使われます。

図56にPFDとCPの簡略化した回路図を示します。U1およびU2は2個のDタイプ・フリップ・フロップ、U3はAGNDのゲートです。PFDには固定遅延素子が含まれており、これを使用してPFDの伝達関数に不感帯が生じないようにして、リファレンス・スプリアス・レベルを一定にします。

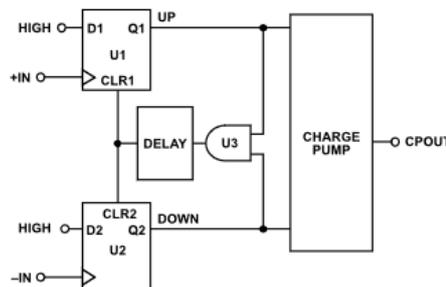


図 56. PFDとCPの簡略回路図

ループ・フィルタとチャージ・ポンプ (CP)電流

PLL用のループ・フィルタは、PFDの周波数、Nカウンタの値、VCOのチューニング感度特性（ k_{VCO} ）、選択したCP電流などによって決まります。 f_{PFD} を低くすると、INTモードでPLLを動作させることができ、それによって整数境界スプリアスをなくすることができますが、帯域内位相ノイズが大きくなってしまいます。このようなトレードオフがあるため、周波数プランニングと f_{PFD} の選択に注意して、エンド・アプリケーションにおいて適切な帯域内位相ノイズ性能を実現しながら、スプリアス・レベルを許容できるレベルに抑える必要があります。

EVAL-ADMV4630Z評価用ボードに実装されているループ・フィルタを、図57に示します。CP電流（ I_{CP} ）は、レジスタ0x22Eによって設定されます。デフォルトのレジスタ値を推奨します。

ADMV4630のループ・フィルタ・シミュレーションに関する詳細なガイドランスについては、アナログ・デバイセズにお問い合わせください。

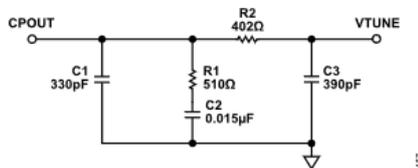


図 57. 推奨ループ・フィルタの回路図

内蔵MUXOUTピン

MUXOUTピンは、様々な内部信号へのアクセスを可能にし、また、デジタル・ロック検出機能を提供します。MUXOUTピンの出力の接続図

を図58に示します。MUXOUTピンの状態は、レジスタ0x24EのMUX_SELの値で決まります。

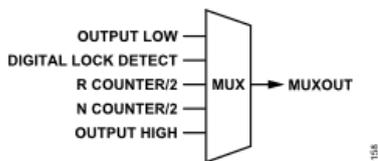


図 58. MUXOUTピンの接続図

アナログ・マルチプレクサ・ブロック、AGPIOピン、ADC

内蔵のAGPIOピンは、外部アナログ入力またはデバイスのアナログ・マルチプレクサ (mux) 信号の出力として使用できます。AGPIOピンを入力として用いる場合、AGPIO信号は内蔵のアナログ・マルチプレクサに転送されます。アナログ・マルチプレクサは、温度センサー、パワー・ディテクタ、AGPIO信号のいずれかを選択します。アナログ・マルチプレクサからの信号をサンプリングするADCが内蔵されています。

ADCをイネーブルしてアナログ・マルチプレクサ信号をサンプリングするには、次の手順に従います。

1. リファレンス入力がADMV4630に供給されていることを確認します。
2. レジスタ0x301のビット[2:0]を0、110、または111に設定して、アナログ・マルチプレクサ出力として温度センサー、パワー・ディテクタ、AGPIO信号のいずれかを選択します。AGPIO信号を選択してADCのサンプリングを行う場合は、レジスタ0x301のビット3を1に設定します。このビット設定では、AGPIOは外部信号入力になります。
3. レジスタ0x302のビット[3:0]を0x00に設定してADCのログ・スケールを無効化しADCをリセットします。
4. レジスタ0x302のビット[1:0]を0x03に設定してADCのサンプリングをイネーブルして開始します。
5. 1ms待機します。
6. レジスタ0x302のビット1を0に設定します。
7. レジスタ0x304からADCの値を読み出します。
8. レジスタ0x302のビット[1:0]を0x00に設定して、ADCをオフにします。

デフォルトのADC入力電圧範囲は0V~1.1Vです。入力範囲をそれより高くする必要がある場合は、サンプリングの前にレジスタ0x302のビット2を1に設定し入力電圧を半分にします。この場合、電圧範囲は0V~2.2Vとなります。

ADC出力のログ・スケールを有効化または無効化するには、レジスタ0x302のビット3を1または0に設定します。

AGPIOピンを出力として用い、アナログ・マルチプレクサ信号をAGPIOピンに転送することもできます。AGPIOピンを出力に設定するには、次の手順に従います。

1. レジスタ0x301のビット3を0にして、AGPIOピンを出力に設定します。
2. レジスタ0x301のビット[2:0]を0または110に設定して、アナログ・マルチプレクサ出力として温度センサーまたはパワー・ディテクタを選択します。
3. レジスタ0x302のビット0を0に設定して、ADCをオフにします。

GPIOXピン

入出力 (I/O) 制御用に3本のGPIOxピンがあります (x = 1、2、3)。レジスタ0x307を用いてGPIOを設定します。詳細については、[レジスタの詳細](#)のセクションを参照してください。

デジタル・ロック検出とMUTE_IF_UNLOCKEDビット

MUXOUTピンに出力されるデジタル・ロック検出機能には、レジスタ0x214で調整できる2つの設定があります。最初の設定であるLD_BIASは、内部の高精度ウィンドウを調整します。もう1つの設定であるLD_COUNTは、PLLロックを宣言するための連続サイクル・カウントを調整します。これらの調整可能な設定は、デフォルトのレジスタ値のままにしておくことを推奨します。ロック検出ステータスは、レジスタ0x24Dのビット0から取得することもできます。

MUTE_IF_UNLOCKEDビット (レジスタ0x103、ビット0) により、PLLがロック解除された場合に出力をミュートすることができます。このビットを1に設定すると、ミュート機能を有効化できます。

シグナル・チェーン・バイアス、マスク、TX_MUTEピン、TXONピン

TXONとTX_MUTEの2つのピンを内蔵しています。これらのピンは、チップに特定の段をブロックまたはイネーブルするよう指令する、信号マスクです。これら2つのピンはハイ (3.3V) またはロー (グラウンド) にすることができます。ミュート・マスク制御レジスタ (レジスタ0x101) とオン・マスク制御レジスタ (レジスタ0x102) を用いると、信号経路のどの段をこれら2つのピンでマスクするかを決定できます。

レジスタ0x100 (バイアス制御)、レジスタ0x101 (ミュート・マスク制御)、レジスタ0x102 (オン・マスク制御) は信号経路の各段のオン/オフ状態を制御します。

レジスタ0x100はバイアス制御レジスタです。このレジスタの各ビットを1または0に設定して、対応する段のバイアスをイネーブルまたはディスエーブルできます。

レジスタ0x101はミュート・マスク制御レジスタです。このレジスタの各ビットを1に設定すると、TX_MUTEピンによってそのビットに対応する段をマスクすることができます。

例えば、LOアンプのミュート・マスク制御ビットがオン (レジスタ0x101、ビット1 = 1) で、チップのTX_MUTEピンがハイに引き上げられている場合、LOアンプはブロックされます。

表5の真理値表に、信号段をブロックするためにはTX_MUTEピンとミュート・マスク制御レジスタをどのように設定すればよいかを示します。MUTE_IF_UNLOCKEDビット (レジスタ0x103、ビット0) がイネーブルされている場合、TX_MUTEピンと同じミュート効果を持ちます。

レジスタ0x102はオン・マスク制御レジスタです。このレジスタの各ビットを1に設定すると、TXONピンによってそのビットに対応する段をマスクできます。TXONピンを機能させるには、レジスタ0x100において対応する段のバイアス制御がオンになっており、かつ、TX_MUTEピンとミュート・マスク制御レジスタがディスエーブルされている必要があります。

例えば、LOアンプのオン・マスク制御ビットがオン (レジスタ0x102、ビット1 = 1) で、チップのTXONピンがローに引き下げられている場合、LOアンプはブロックされます。

表6の真理値表に、信号段をブロックするためにはTXON ピンとオン・マスク制御レジスタをどのように設定すればよいかを示します。

SPI設定

ADMV4630のSPIは、4ピンSPIポートを介し、特定の機能や動作に合わせてデバイスを設定します。このインターフェースにより、柔軟性が高まり、また、カスタマイズがしやすくなります。SPIは、SCLK、SDI、SDO、 $\overline{\text{CS}}$ の4本の制御ラインで構成されています。

ADMV4630のプロトコルは、書込みまたは読出しビットと、その後続く15ビットのレジスタ・アドレス、および8ビットのデータで構成されます。アドレス・フィールドとデータ・フィールドはLSBファースト構造で、MSBで終了します。

書込み動作の場合はMSBを0に設定し、読出し動作の場合はMSBを1に設定します。

書込みサイクルのサンプリングは、SCLKの制御ラインの立上がりエッジで行う必要があります。24ビットのシリアル書込みアドレスおよびデータは、SDI制御ライン上でシフト・インされます。ADMV4630の書込みサイクル用入力ロジック・レベルは、3.3Vインターフェースに対応しています。

読出しサイクルでは、読出し/書込み (R/W) ビットと15ビットのアドレスが、SDI制御ライン上においてSCLKピンの立上がりエッジでシフト・インします。次に、8ビットのシリアル読出しデータが、SCLKの立下がりエッジで、LSBファーストでSDOピンにシフト・アウトします。読出しサイクルの出力ロジック・レベルは3.3Vです。SDOの出力ドライバは命令サイクルのSCLKの最後の立上がりエッジ後にインエーブルされ、その読出しサイクルの終了までアクティブな状態を保ちます。読出し動作中に $\overline{\text{CS}}$ ピンがアサート解除されると、SDOが高インピーダンス状態に戻り、次の読出しトランザクションまでその状態が保たれます。 $\overline{\text{CS}}$ ピンはアクティブ・ローで、書込みまたは読出しシーケンスの終了時にアサート解除する必要があります。

通信サイクルは、 $\overline{\text{CS}}$ ピンのアクティブ・ロー入力で開始され、制御されます。 $\overline{\text{CS}}$ ピンを用いることで、同じシリアル通信ライン上の複数のデバイス (ADMV4630に限らない) を使用できます。 $\overline{\text{CS}}$ ピンの入力がハイのときは、SDOピンが高インピーダンス状態になります。通信サイクル時は、 $\overline{\text{CS}}$ ピンはローになっていなければなりません。

SPI通信プロトコルは、アナログ・デバイセズのSPI標準に従っています。詳細については、[ADI-SPI Serial Control Interface Standard \(Rev 1.0\)](#)ガイドを参照してください。

VCOの自動キャリブレーションおよび自動レベル制御

マルチコアVCOは、内部自動キャリブレーションおよび自動レベル制御 (ALC) ルーチンを使用します。このルーチンはユーザ指定の周波数に合わせてVCOの設定を最適化し、Nカウンタの整数値下位部分 (レジスタ0x200) のプログラム後にPLLをロックします。

ダブル・バッファ付きレジスタ

レジスタ0x20C、レジスタ0x20E、レジスタ0x201はダブル・バッファ付きレジスタで、整数値の下位部分 (レジスタ0x200) に書込みを行った後にのみ、有効となります。レジスタ0x200はこれらのダブル・バッファ付きレジスタに何らかの変更を加え、自動キャリブレーション・ルーチンを開始します。

ダブル・バッファ付きレジスタの推奨プログラミング・シーケンス (ユーザが値を設定) を以下に示します。

1. レジスタ0x20Cをプログラムします。
2. RDIV2_ENビット (レジスタ0x20E、ビット0) をプログラムします。
3. DOUBLER_ENビット (レジスタ0x20E、ビット3) をプログラムします。
4. レジスタ0x201をプログラムします。
5. レジスタ0x200をプログラムします。

初期化レジスタ

最大ゲイン、10GHzのLOでデバイスを初期化するには、下記のレジスタに指定したコードを書き込みます。

1. レジスタ0x000 = 0x99
2. レジスタ0x000 = 0x18
3. レジスタ0x103 = 0x00
4. レジスタ0x22B = 0x0B
5. レジスタ0x22F = 0x27
6. レジスタ0x30A = 0x00
7. レジスタ0x309 = 0x88
8. レジスタ0x30D = 0x09
9. レジスタ0x30E = 0x09
10. レジスタ0x300 = 0x1F

表 5. TX_MUTE ピンおよびミュート・マスク制御を使用する信号段ステータス真理値表

TX_MUTE Pin MUTE_IF_UNLOCKED Bit ¹	Mute-Mask Control Register 0x101 ¹	TXON Pin ¹	On-Mask Control Register 0x102 ¹	Bias Enable Control Register 0x100 ¹	Result (1 is On, 0 is Off) ¹
1	1	0 or 1	0 or 1	0 or 1	0
1	0	Controlled by TXON pin			
0	1	Controlled by TXON pin			

¹ 0と1の設定は、記載されているレジスタのすべてのユーザ指定ビットに適用されます。

表 6. TXONピンおよびオン・マスク制御を使用する信号段ステータス真理値表

TX_MUTE Pin MUTE_IF_UNLOCKED Bit (Register 0x103) ¹	Mute-Mask Control (Register 0x101) ¹	RXON Pin ¹	On-Mask Control (Register 0x102) ¹	Bias Enable Control (Register 0x100) ¹	Result (1 is On, 0 is Off) ¹
0 or 1	0	0 or 1	0	0	0
0 or 1	0	0 or 1	0	1	1
0 or 1	0	0	1	0 or 1	0
0 or 1	0	1	1	0	0
0 or 1	0	1	1	1	1
0	0 or 1	0 or 1	0	0	0
0	0 or 1	0 or 1	0	1	1
0	0 or 1	0	1	0 or 1	0
0	0 or 1	1	1	0	0
0	0 or 1	1	1	1	1

¹ 0と1の設定は、記載されているレジスタのすべてのユーザ指定ビットに適用されます。

レジスタの一覧

表 7. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x000	SPL_CONFIG_1	[7:0]	SOFT-RESET_	LSB_FIRST_	ENDIAN_	SDO-ACTIVE_	SDOACTIVE	ENDIAN	LSB_FIRST	SOFT-RESET	0x00	R/W	
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L								0x30	R	
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H								0x46	R	
0x100	BIAS_CONTROL	[7:0]	RF_MASTER_BIAS_CONTROL	SYNTH_BIAS_CONTROL	DET_BIAS_CONTROL	TXOUTPUT_SWITCH	AMPRF-DRIVER_BIAS_CONTROL	AMPRFPRE-DRIVER_BIAS_CONTROL	AMPLO_BIAS_CONTROL	AMPIF_BIAS_CONTROL	0xDF	R/W	
0x101	MUTE_MASK_CONTROL	[7:0]	RF_MASTER_MUTE_MASK_CONTROL	SYNTH_MUTE_MASK_CONTROL	DET_MUTE_MASK_CONTROL	SWITCHRF_MUTE_MASK_CONTROL	AMPRF-DRIVER_MUTE_MASK_CONTROL	AMPRFPRE-DRIVER_MUTE_MASK_CONTROL	AMPLO_MUTE_MASK_CONTROL	AMPIF_MUTE_MASK_CONTROL	0xBF	R/W	
0x102	ON_MASK_CONTROL	[7:0]	RF_MASTER_ON_MASK_CONTROL	SYNTH_ON_MASK_CONTROL	DET_ON_MASK_CONTROL	SWITCHRF_ON_MASK_CONTROL	AMPRF-DRIVER_ON_MASK_CONTROL	AMPRFPRE-DRIVER_ON_MASK_CONTROL	AMPLO_ON_MASK_CONTROL	AMPIF_ON_MASK_CONTROL	0xFF	R/W	
0x103	MUTE_UNLOCK	[7:0]	RESERVED								MUTE_IF_UNLOCKED	0x01	R/W
0x200	INT_L	[7:0]	INT[7:0]								0x90	R/W	
0x201	INT_H	[7:0]	INT[15:8]								0x01	R/W	
0x20B	SYNTH	[7:0]	RESERVED							PRE_SEL	EN_FBDIV	0x01	R/W
0x20C	R_DIV	[7:0]	RESERVED				R_DIV				0x01	R/W	
0x20E	REFERENCE	[7:0]	RESERVED					DOUBLER_EN	RESERVED		RDIV2_EN	0x04	R/W
0x214	LOCK_DETECT_CONFIG	[7:0]	LD_BIAS		LD_COUNT			RESERVED			0x48	R/W	
0x218	SYNTH_LOCK_TIMEOUT	[7:0]	RESERVED				SYNTH_LOCK_TIMEOUT				0x1F	R/W	
0x21C	VCO_TIMEOUT_L	[7:0]	VCO_TIMEOUT[7:0]								0x19	R/W	
0x21D	VCO_TIMEOUT_H	[7:0]	RESERVED							VCO_TIMEOUT[9:8]		0x00	R/W
0x21E	VCO_BAND_DIV	[7:0]	VCO_BAND_DIV								0x10	R/W	
0x22B	MULTI_FUNC_SYNTH_CTRL_022B	[7:0]	RESERVED							RF_PBS		0x09	R/W
0x22E	CP_CURR	[7:0]	RESERVED					CP_CURRENT			0x0E	R/W	
0x22F	BICP	[7:0]	BICP								0x08	R/W	
0x24D	LOCK_DETECT	[7:0]	RESERVED								LOCK_DETECT	0x00	R
0x24E	MUXOUT	[7:0]	MUX_SEL								0x00	R/W	
0x300	DSA_CONTROL	[7:0]	RESERVED				SEL_DSA_ATTEN				0x00	R/W	
0x301	AGPIO_CONTROL	[7:0]	RESERVED					SEL_AGPIO	SEL_AMUX		0x00	R/W	

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x302	ADC_CONTROL	[7:0]	SEL_ADC_CLKDIV			SEL_ADC_LOG_SCALE	SEL_ADCHALF	ADC_START	EN_ADC	0xCA	R/W	
0x303	ADC_STATUS	[7:0]	RESERVED				ADC_LATCHDATA	ADC_BUSY	ADC_EOC	0x01	R	
0x304	ADC_DATA	[7:0]	ADC_DATA								0xEF	R
0x305	GPIO_WRITEVALS	[7:0]	RESERVED			GPIO_WRITEVALS			RESERVED	0x00	R/W	
0x306	GPIO_READVALS	[7:0]	RESERVED			GPIO_READVALS			RESERVED	0x0E	R	
0x307	GPIO_CONTROL	[7:0]	RESERVED	EN_GPIO_OUT		SEL_GPIO_LEVELS			RESERVED	0x00	R/W	
0x308	RFBIAS_CONTROL1	[7:0]	RESERVED			SEL_BIAS_AMP1F				0x08	R/W	
0x309	RFBIAS_CONTROL2	[7:0]	SEL_BIAS_AMP2FDRIVER			SEL_BIAS_AMP2FPREDRIVER				0x88	R/W	
0x30A	RFBIAS_CONTROL3	[7:0]	SEL_BIAS_AMPLO2			SEL_BIAS_AMPLO1				0x88	R/W	
0x30C	DETECTOR_CONTROL	[7:0]	RESERVED			SEL_DET_TRIM				0x00	R/W	
0x30D	MIXER_CONTROL1	[7:0]	RESERVED			SEL_MIXLOCM_COARSE_P				0x08	R/W	
0x30E	MIXER_CONTROL2	[7:0]	RESERVED			SEL_MIXLOCM_COARSE_N				0x08	R/W	

レジスタの詳細

SPI設定レジスタ

アドレス : 0x000、リセット : 0x00、レジスタ名 : SPI_CONFIG_1

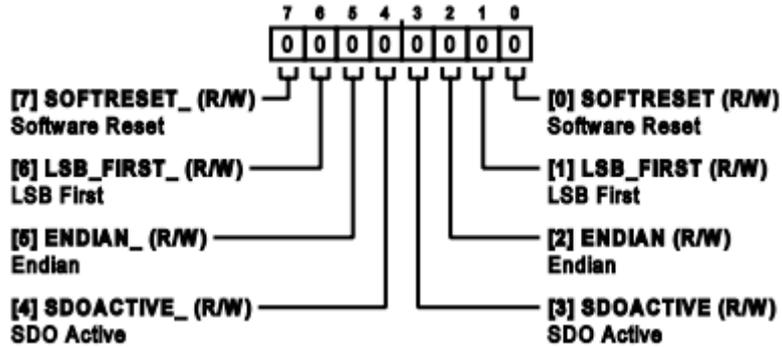


表 8. SPI_CONFIG_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフトウェア・リセット。 1 : リセットをアサート。 0 : リセットをアサートしない。	0x0	R/W
6	LSB_FIRST_	LSBファースト。 0 : LSBファースト。 1 : MSBファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0 : リトル・エンディアン 1 : ビッグ・エンディアン	0x0	R/W
4	SDOACTIVE_	SDOアクティブ。 1 : SDOアクティブ。 0 : SDO非アクティブ。	0x0	R/W
3	SDOACTIVE	SDOアクティブ。 0 : SDO非アクティブ。 1 : SDOアクティブ。	0x0	R/W
2	ENDIAN	エンディアン。 0 : リトル・エンディアン 1 : ビッグ・エンディアン	0x0	R/W
1	LSB_FIRST	LSBファースト。 0 : LSBファースト。 1 : MSBファースト。	0x0	R/W
0	SOFTRESET	ソフトウェア・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

製品IDレジスタ (下位8ビット)

アドレス : 0x004、リセット : 0x30、レジスタ名 : PRODUCT_ID_L

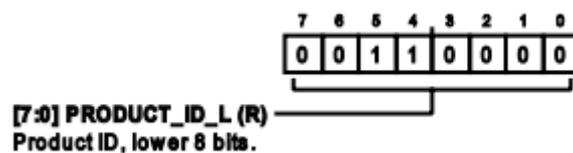


表 9. PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	製品ID、下位8ビット	0x30	R

製品IDレジスタ（上位8ビット）

アドレス：0x005、リセット：0x46、レジスタ名：PRODUCT_ID_H

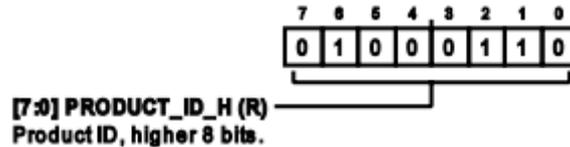


表 10. PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	製品ID、上位8ビット	0x46	R

バイアス制御レジスタ

アドレス：0x100、リセット：0xDF、レジスタ名：BIAS_CONTROL

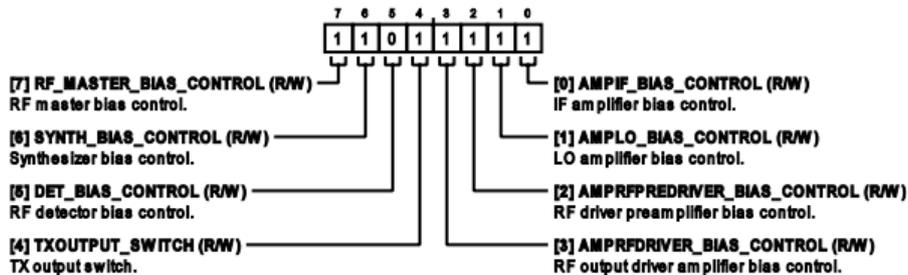


表 11. BIAS_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_MASTER_BIAS_CONTROL	RFマスタのバイアス制御。 0：ディスエーブル。 1：イネーブル。	0x1	R/W
6	SYNTH_BIAS_CONTROL	シンセサイザのバイアス制御。 0：ディスエーブル。 1：イネーブル。	0x1	R/W
5	DET_BIAS_CONTROL	RFディテクタのバイアス制御。 0：ディスエーブル。 1：イネーブル。	0x0	R/W
4	TXOUTPUT_SWITCH	TX出カスイッチ。 0：ディスエーブル。 1：イネーブル。	0x1	R/W
3	AMPRFDRIIVER_BIAS_CONTROL	RF出力ドライバ・アンプのバイアス制御。 0：ディスエーブル。 1：イネーブル。	0x1	R/W
2	AMPRFPREDRIVER_BIAS_CONTROL	RFドライバ・プリアンプのバイアス制御。 0：ディスエーブル。 1：イネーブル。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
1	AMPLO_BIAS_CONTROL	LOアンプのバイアス制御。 0 : ディスエーブル。 1 : イネーブル。	0x1	R/W
0	AMPIF_BIAS_CONTROL	IFアンプのバイアス制御。 0 : ディスエーブル。 1 : イネーブル。	0x1	R/W

ミュート・マスク制御レジスタ

アドレス : 0x101、リセット : 0xBF、レジスタ名 : MUTE_MASK_CONTROL

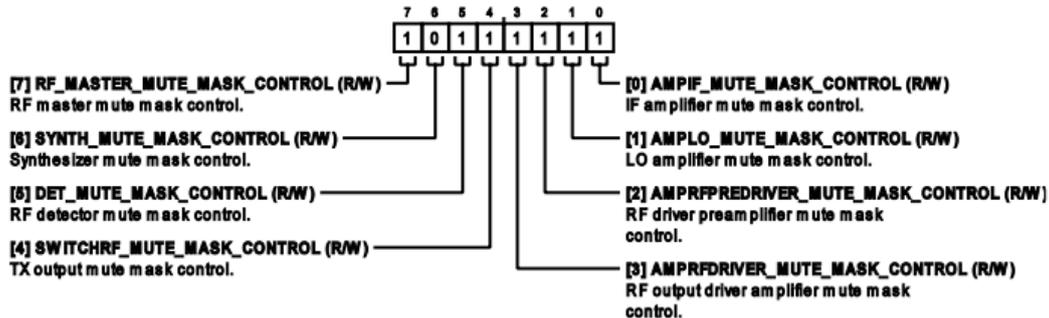


表 12. MUTE_MASK_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_MASTER_MUTE_MASK_CONTROL	RFマスタのミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x1	R/W
6	SYNTH_MUTE_MASK_CONTROL	シンセサイザのミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x0	R/W
5	DET_MUTE_MASK_CONTROL	RFディテクタのミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x1	R/W
4	SWITCHRF_MUTE_MASK_CONTROL	Tx出力のミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x1	R/W
3	AMPRFDRIIVER_MUTE_MASK_CONTROL	RF出力ドライバ・アンプのミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x1	R/W
2	AMRFPREDRIIVER_MUTE_MASK_CONTROL	RFドライバ・プリアンプのミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x1	R/W
1	AMPLO_MUTE_MASK_CONTROL	LOアンプのミュート・マスク制御。 0 : ミュート・マスクをディスエーブル。 1 : ミュート・マスクをイネーブル。	0x1	R/W

ビット	ビット名	説明	リセット	アクセス
0	AMPIF_MUTE_MASK_CONTROL	IFアンプのミュート・マスク制御。 0: ミュート・マスクをディスエーブル。 1: ミュート・マスクをイネーブル。	0x1	R/W

オン・マスク制御レジスタ

アドレス: 0x102、リセット: 0xFF、レジスタ名: ON_MASK_CONTROL

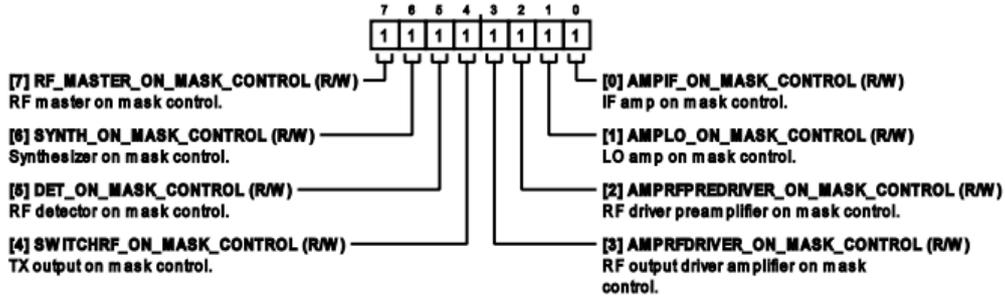


表 13. ON_MASK_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RF_MASTER_ON_MASK_CONTROL	RFマスタのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
6	SYNTH_ON_MASK_CONTROL	シンセサイザのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
5	DET_ON_MASK_CONTROL	RFディテクタのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
4	SWITCHRF_ON_MASK_CONTROL	Tx出力のオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
3	AMPRFDRIIVER_ON_MASK_CONTROL	RF出力ドライバ・アンプのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
2	AMPRFPREDRIIVER_ON_MASK_CONTROL	RFドライバ・プリアンプのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
1	AMPLO_ON_MASK_CONTROL	LOアンプのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W
0	AMPIF_ON_MASK_CONTROL	IFアンプのオン・マスク制御。 0: オン・マスクをディスエーブル。 1: オン・マスクをイネーブル。	0x1	R/W

ミュートIFアンロック・レジスタ

アドレス : 0x103、リセット : 0x01、レジスタ名 : MUTE_UNLOCK

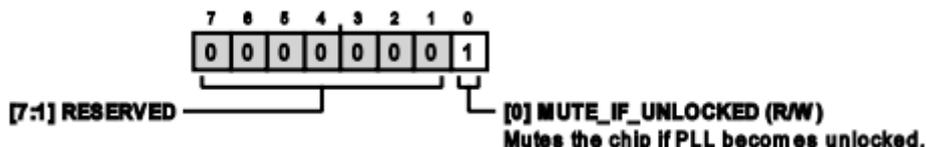


表 14. MUTE_UNLOCKのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	MUTE_IF_UNLOCKED	PLLがロック解除された場合にチップをミュート。 0 : ディスエーブル。 1 : イネーブル。	0x1	R/W

インテジャー・レジスタ (下位8ビット)

アドレス : 0x200、リセット : 0x90、レジスタ名 : INT_L

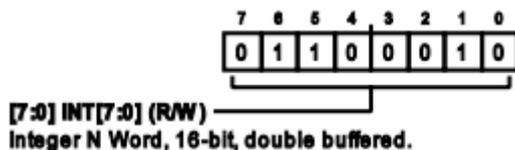


表 15. INT_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INT[7:0]	インテジャーNワード、16ビット、ダブル・バッファ付き	0x90	R/W

インテジャー・レジスタ (上位8ビット)

アドレス : 0x201、リセット : 0x01、レジスタ名 : INT_H

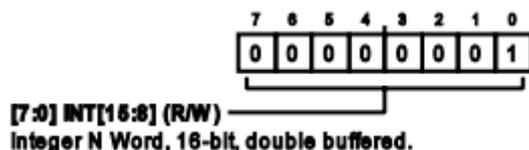


表 16. INT_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INT[15:8]	インテジャーNワード、16ビット、ダブル・バッファ付き	0x1	R/W

シンセサイザ設定レジスタ

アドレス : 0x20B、リセット : 0x01、レジスタ名 : SYNTH

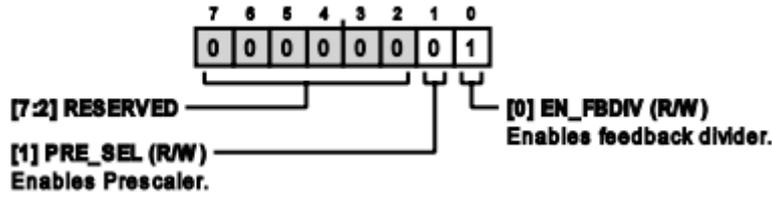


表 17. SYNTHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
1	PRE_SEL	プリスケラをイネーブル。 1: イネーブル。 0: ディスエーブル。	0x0	R/W
0	EN_FBDIV	帰還分周器をイネーブル。 1: イネーブル。 0: ディスエーブル。	0x1	R/W

リファレンス分周器レジスタ

アドレス : 0x20C、リセット : 0x01、レジスタ名 : R_DIV

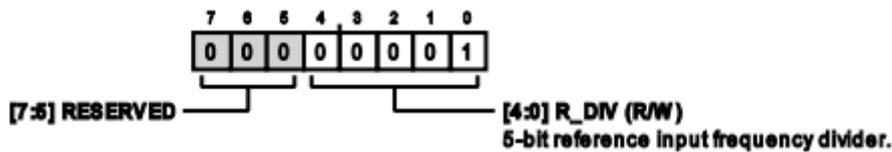


表 18. R_DIVのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	R_DIV	5ビットのリファレンス入力周波数分周器	0x1	R/W

リファレンス設定レジスタ

アドレス : 0x20E、リセット : 0x04、レジスタ名 : REFERENCE

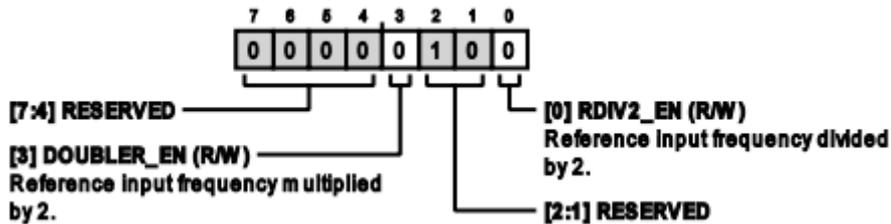


表 19. REFERENCEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	DOUBLER_EN	リファレンス入力周波数2通倍。 1: イネーブル。 0: ディスエーブル。	0x0	R/W
[2:1]	RESERVED	予備。	0x2	R/W
0	RDIV2_EN	リファレンス入力周波数2分周。 1: イネーブル。 0: ディスエーブル。	0x0	R/W

ロック検出設定レジスタ

アドレス : 0x214、リセット : 0x48、レジスタ名 : LOCK_DETECT_CONFIG

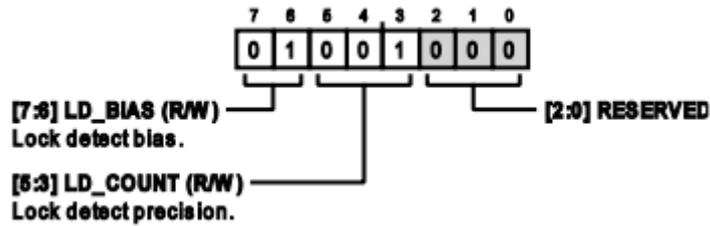


表 20. LOCK_DETECT_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LD_BIAS	ロック検出バイアス。 00 : 40μA。 01 : 30μA。 10 : 20μA。 11 : 10μA。	0x1	R/W
[5:3]	LD_COUNT	ロック検出精度。 000 : 1024連続PFDサイクルでロックを宣言 001 : 2048連続PFDサイクルでロックを宣言 010 : 4096連続PFDサイクルでロックを宣言 011 : 8192連続PFDサイクルでロックを宣言	0x1	R/W
[2:0]	RESERVED	予備。	0x0	R/W

シンセサイザ・ロック・タイムアウト・レジスタ

アドレス : 0x218、リセット : 0x1F、レジスタ名 : SYNTH_LOCK_TIMEOUT

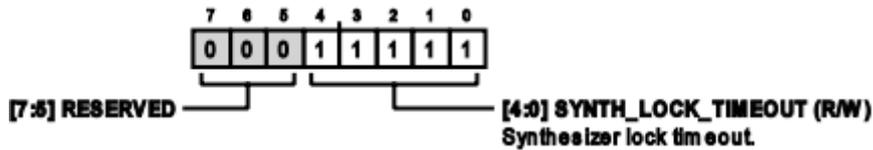


表 21. SYNTH_LOCK_TIMEOUTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SYNTH_LOCK_TIMEOUT	シンセサイザ・ロック・タイムアウト。	0x1F	R/W

VCOタイムアウト・レジスタ (下位8ビット)

アドレス : 0x21C、リセット : 0x19、レジスタ名 : VCO_TIMEOUT_L

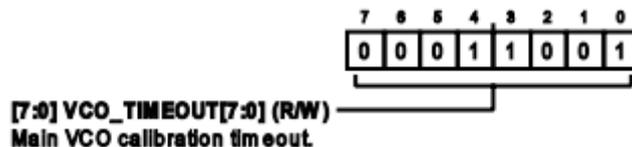


表 22. VCO_TIMEOUT_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_TIMEOUT[7:0]	メインVCOキャリブレーション・タイムアウト。	0x19	R/W

VCOタイムアウト・レジスタ（上位2ビット）

アドレス：0x21D、リセット：0x00、レジスタ名：VCO_TIMEOUT_H

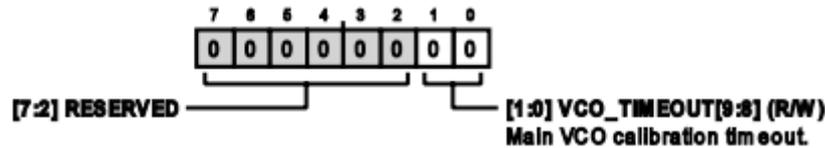


表 23. VCO_TIMEOUT_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	VCO_TIMEOUT[9:8]	メインVCOキャリブレーション・タイムアウト。	0x0	R/W

VCO帯域分周器レジスタ

アドレス：0x21E、リセット：0x10、レジスタ名：VCO_BAND_DIV

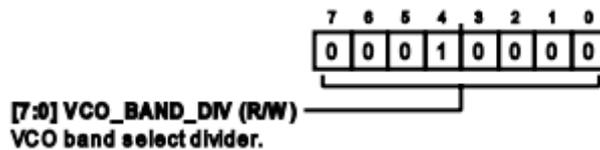


表 24. VCO_BAND_DIVのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND_DIV	VCO帯域選択分周器。	0x10	R/W

多機能シンセサイザ設定レジスタ

アドレス：0x22B、リセット：0x09、レジスタ名：MULTI_FUNC_SYNTH_CTRL_022B

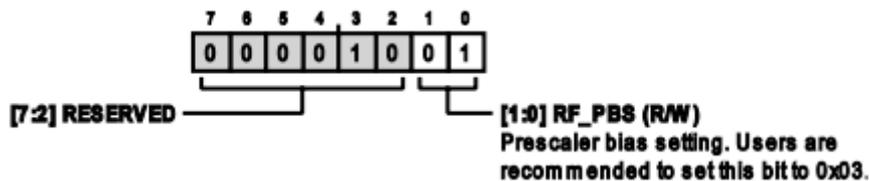


表 25. MULTI_FUNC_SYNTH_CTRL_022Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x2	R
[1:0]	RF_PBS	プリスケララのバイアス設定。このビットは0x03に設定することを推奨します。	0x1	R/W

チャージ・ポンプ電流レジスタ

アドレス：0x22E、リセット：0x0E、レジスタ名：CP_CURR

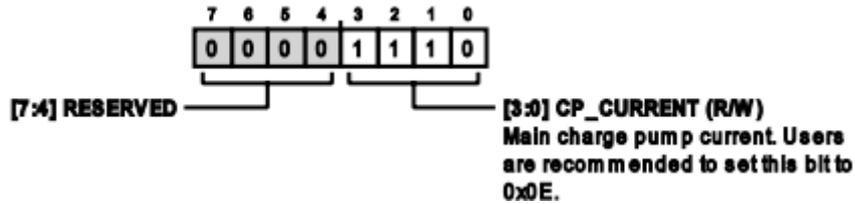


表 26. CP_CURRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CP_CURRENT	メイン・チャージ・ポンプ電流。このビットは0x0Eに設定することを推奨します。	0xE	R/W

ブリード電流レジスタ

アドレス：0x22F、リセット：0x08、レジスタ名：BICP

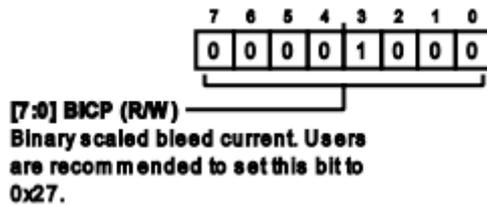


表 27. BICPのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BICP	バイナリ・スケールのブリード電流。このビットは0x27に設定することを推奨します。	0x8	R/W

ロック検出レジスタ

アドレス：0x24D、リセット：0x00、レジスタ名：LOCK_DETECT

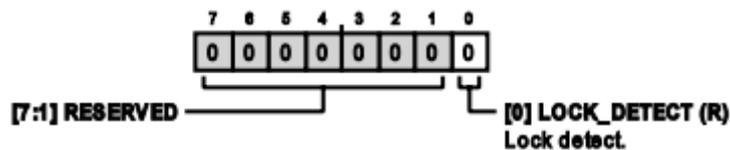


表 28. LOCK_DETECTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	LOCK_DETECT	ロック検出。 1：PLLはロックされている。 0：PLLはロックされていない。	0x0	R

MUXOUT選択レジスタ

アドレス：0x24E、リセット：0x00、レジスタ名：MUXOUT

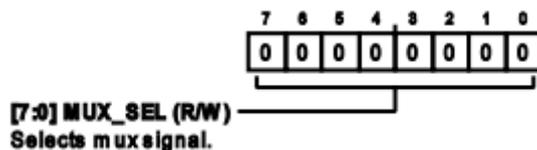


表 29. MUXOUTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MUX_SEL	マルチプレクサ信号の選択。 0001 : デジタル・ロック検出。 0000 : 出力ロー。 0100 : Rカウンタ/2。 0101 : Nカウンタ/2。 1110 : 出力ハイ。	0x0	R/W

DSA制御レジスタ

アドレス : 0x300、リセット : 0x00、レジスタ名 : DSA_CONTROL

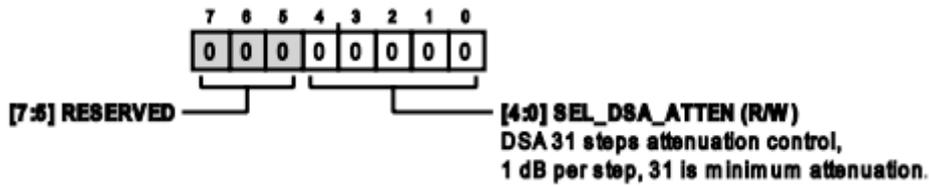


表 30. DSA_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_DSA_ATTEN	DSAの31ステップ減衰制御、ステップあたり1dB、31dBが最小減衰	0x0	R/W

AGPIO制御レジスタ

アドレス : 0x301、リセット : 0x00、レジスタ名 : AGPIO_CONTROL

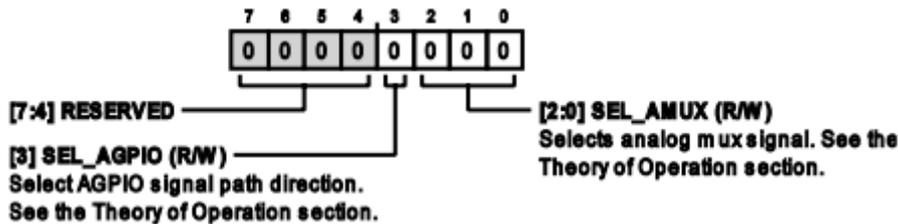


表 31. AGPIO_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	SEL_AGPIO	AGPIOの信号経路方向の選択。詳細については動作原理のセクションを参照してください。 0 : アナログ・マルチプレクサからAGPIOへ出力。AGPIOは出力。 1 : AGPIO信号がアナログ・マルチプレクサに送られる。AGPIOは外部信号の入力。	0x0	R/W
[2:0]	SEL_AMUX	アナログ・マルチプレクサ信号を選択。詳細については動作原理のセクションを参照してください。 0 : RFパワー・ディテクタ。 110 : 温度センサー。 111 : AGPIO。SEL_AGPIOビットも1に設定する必要があります。	0x0	R/W

ADC制御レジスタ

アドレス : 0x302、リセット : 0xCA、レジスタ名 : ADC_CONTROL

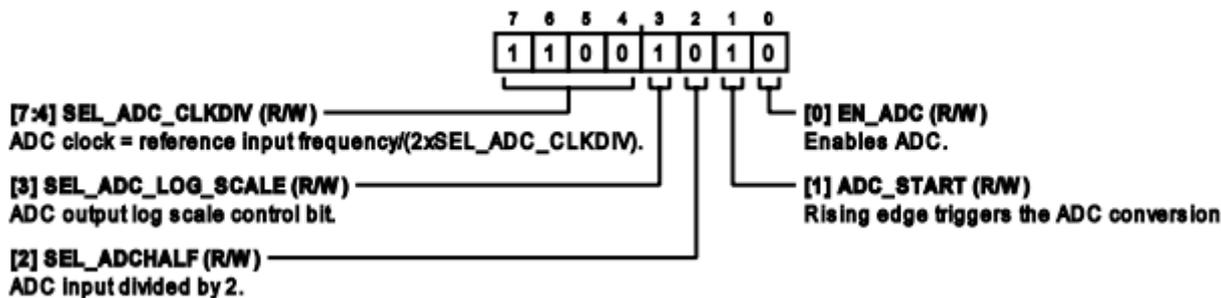


表 32. ADC_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_ADC_CLKDIV	ADCクロック = リファレンス入力周波数/(2×SEL_ADC_CLKDIV)。	0xC	R/W
3	SEL_ADC_LOG_SCALE	ADC出力ログ・スケール制御ビット。 1: ADC出力ログ・スケールをイネーブル。 0: ADC出力ログ・スケールをディスエーブル。	0x1	R/W
2	SEL_ADCHALF	ADC入力2分周。 0: ディスエーブル。 1: イネーブル。	0x0	R/W
1	ADC_START	立上がりエッジでADC変換が開始される。	0x1	R/W
0	EN_ADC	ADCをイネーブル。 0: ディスエーブル。 1: イネーブル。	0x0	R/W

ADCステータス・レジスタ

アドレス : 0x303、リセット : 0x01、レジスタ名 : ADC_STATUS

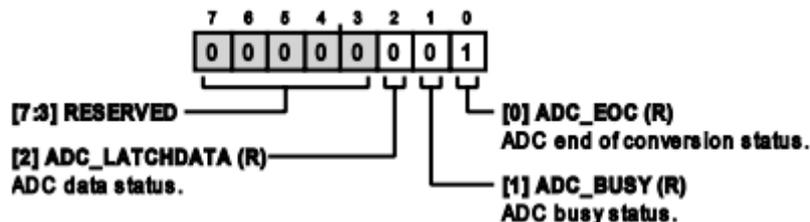


表 33. ADC_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x0	R
2	ADC_LATCHDATA	ADCデータ・ステータス。 1: データ準備完了。 0: データ準備が完了していない。	0x0	R
1	ADC_BUSY	ADCビジー・ステータス。 1: ビジー。 0: 非ビジー。	0x0	R
0	ADC_EOC	ADC変換終了ステータス。 0: ADCの変換が完了していない。 1: ADCの変換が完了している。	0x1	R

ADCデータ・レジスタ

アドレス : 0x304、リセット : 0xEF、レジスタ名 : ADC_DATA

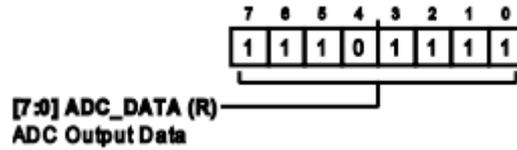


表 34. ADC_DATAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_DATA	ADC出力データ。	0xEF	R

GPIOライト・レジスタ

アドレス : 0x305、リセット : 0x00、レジスタ名 : GPIO_WRITEVALS

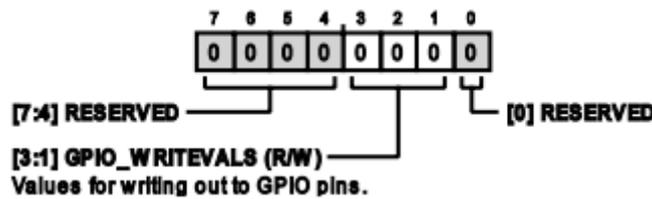


表 35. GPIO_WRITEVALSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:1]	GPIO_WRITEVALS	GPIOピンに書き出す値。	0x0	R/W
0	RESERVED	予備。	0x0	R

GPIOリード・レジスタ

アドレス : 0x306、リセット : 0x0E、レジスタ名 : GPIO_READVALS

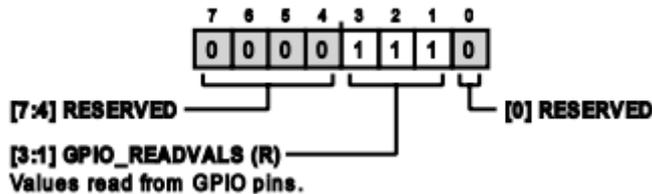


表 36. GPIO_READVALSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:1]	GPIO_READVALS	GPIOピンから読み込む値。	0x7	R
0	RESERVED	予備。	0x0	R

GPIO制御レジスタ

アドレス : 0x307、リセット : 0x00、レジスタ名 : GPIO_CONTROL

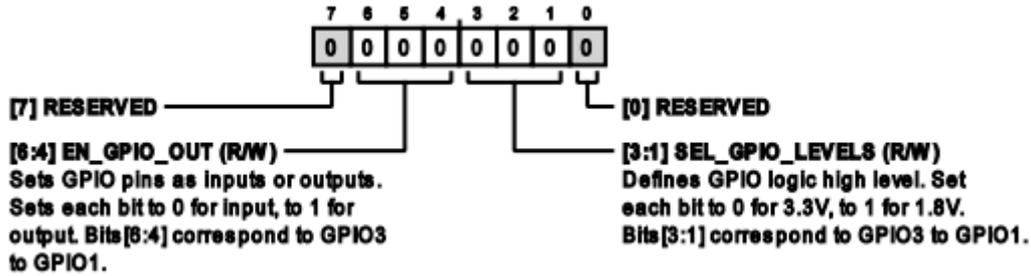


表 37. GPIO_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
[6:4]	EN_GPIO_OUT	GPIOピンを入力または出力に設定。入力の場合は0に、出力の場合は1に各ビットを設定。ビット [6:4]はGPIO3~GPIO1に対応。	0x0	R/W
[3:1]	SEL_GPIO_LEVELS	GPIOロジック・ハイ・レベルを定義。3.3Vの場合は0、1.8Vの場合は1に各ビットを設定。ビット [3:1]はGPIO3~GPIO1に対応。	0x0	R/W
0	RESERVED	予備。	0x0	R

RFバイアス制御1レジスタ

アドレス : 0x308、リセット : 0x08、レジスタ名 : RFBIAS_CONTROL1

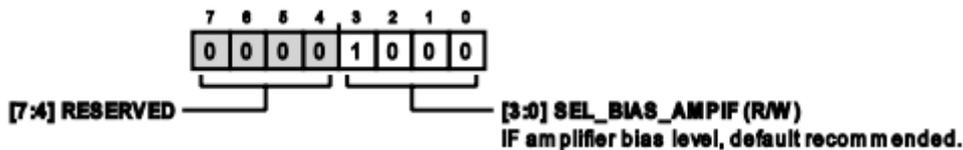


表 38. RFBIAS_CONTROL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	SEL_BIAS_AMPIF	IFアンプのバイアス・レベル。デフォルト値を推奨。	0x8	R/W

RFバイアス制御2レジスタ

アドレス : 0x309、リセット : 0x88、レジスタ名 : RFBIAS_CONTROL2

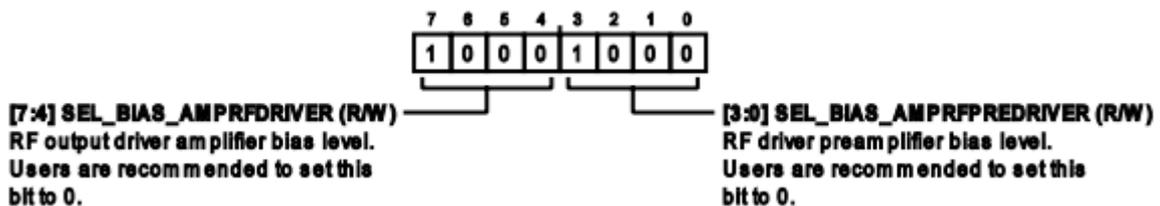


表 39. RFBIAS_CONTROL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_BIAS_AMPRFDRIIVER	RF出力ドライバ・アンプのバイアス・レベル。このビットは0に設定することを推奨します。	0x8	R/W
[3:0]	SEL_BIAS_AMPRFPREDRIIVER	RFドライバ・プリアンプのバイアス・レベル。このビットは0に設定することを推奨します。	0x8	R/W

RFバイアス制御3レジスタ

アドレス : 0x30A、リセット : 0x88、レジスタ名 : RFBIAS_CONTROL3

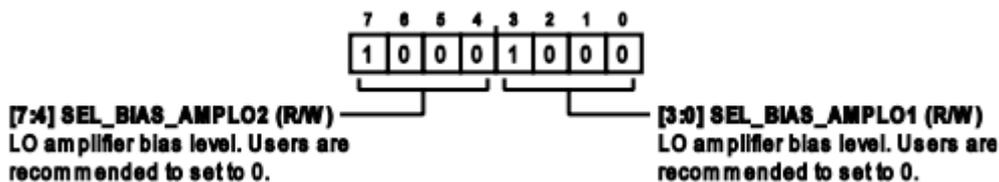


表 40. RFBIAIS_CONTROL3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_BIAS_AMPLO2	LOアンプのバイアス・レベル。0に設定することを推奨します。	0x8	R/W
[3:0]	SEL_BIAS_AMPLO1	LOアンプのバイアス・レベル。0に設定することを推奨します。	0x8	R/W

ディテクタ制御レジスタ

アドレス : 0x30C、リセット : 0x00、レジスタ名 : DETECTOR_CONTROL

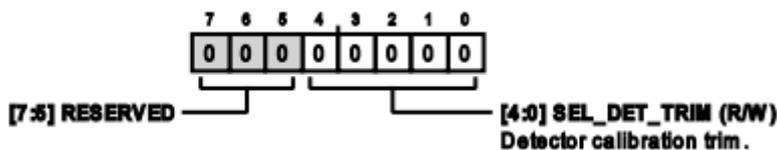


表 41. DETECTOR_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_DET_TRIM	ディテクタのキャリブレーション調整。	0x8	R/W

ミキサ・バイアス制御1レジスタ

アドレス : 0x30D、リセット : 0x08、レジスタ名 : MIXER_CONTROL1

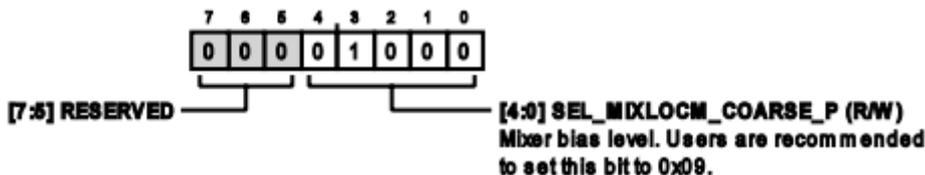


表 42. MIXER_CONTROL1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_MIXLOCM_COARSE_P	ミキサのバイアス・レベル。このビットは0x09に設定することを推奨します。	0x8	R/W

ミキサ・バイアス制御2レジスタ

アドレス : 0x30E、リセット : 0x08、レジスタ名 : MIXER_CONTROL2

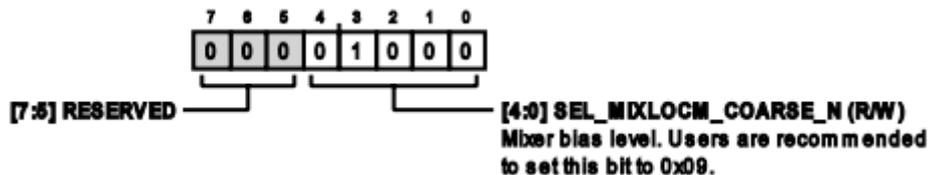
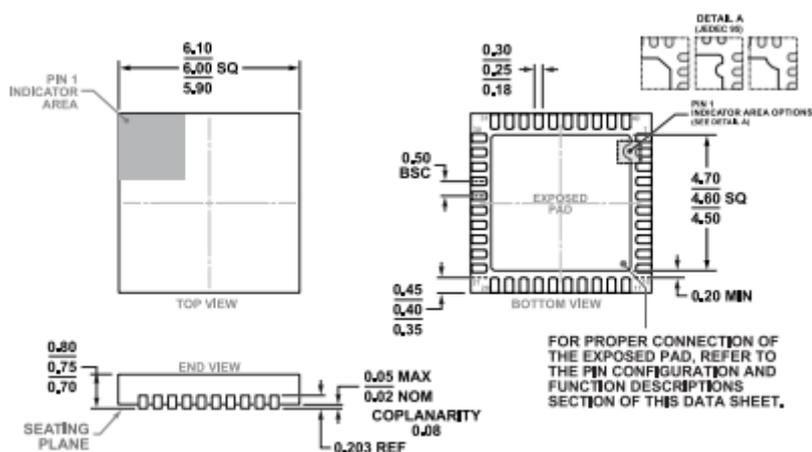


表 43. MIXER_CONTROL2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SEL_MIXLOCM_COARSE_N	ミキサのバイアス・レベル。このビットは0x09に設定することを推奨します。	0x8	R/W

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD-6

図 59. 40ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
6mm x 6mmボディ、0.75mmパッケージ高
(CP-40-7)
寸法 : mm

更新 : 2022年5月11日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV4630BCPZN	-40°C to +85°C	40-Lead LFCSP (6mm x 6mm w/ EP)	Reel, 50	CP-40-7
ADMV4630BCPZN-RL7	-40°C to +85°C	40-Lead LFCSP (6mm x 6mm w/ EP)	Reel, 750	CP-40-7

1 Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADMV4630Z	Evaluation Assembly Board

1 Z = RoHS 準拠製品。