

フラクショナルN PLLおよびVCOを内蔵するKバンド直交復調器

特長

- ▶ 低位相ノイズのVCOを備えたフラクショナルNシンセサイザ
- ▶ Kバンド直交位相復調器
- ▶ 4線式SPIを介してプログラム可能
- ▶ RF動作周波数範囲：17GHz~22GHz
- ▶ LO内部周波数範囲：17GHz~21.5GHz
- ▶ 両側波帯ノイズ指数：5dB（最大変換ゲイン時）
- ▶ 出力積分位相ノイズ（1kHz~10MHz）：1°未満
- ▶ 最大変換ゲイン：>50dB
- ▶ 変換ゲイン制御範囲：>50dB
- ▶ IM3：-54dBc（コンポジット入力レベル-30dBm、 $\Delta f_{RF} = 1$ MHzの場合）
- ▶ 3ベースバンド、SPIで選択可能なLPFのコーナー周波数：ベースバンド・パスごとに125MHz、250MHz、500MHz

アプリケーション

- ▶ 衛星通信

概要

ADMV4540は、シンセサイザを内蔵した次世代Kバンド衛星通信に最適な高集積の直交復調器です。

ADMV4540のRFフロント・エンドは2つの低ノイズ・アンプ（LNA）パスで構成されています。これらのパスは、それぞれ最大ゲイン時に最適カスケード両側波帯ノイズ指数（5dB）を実現しながら、外付け部品を最小限に抑えます。このデュアル・パス構成によりアンテナ偏波のサポートが可能です。LNAパスはSPIを通じて選択できます。

これらのLNAの出力は、同相および直交位相（I/Q）ミキサーを使ってベースバンドへダウンコンバートされます。このI/Qミキサーの出力は、完全差動で低ノイズ低歪みのプログラマブル・フィルタと可変ゲイン・アンプ（VGA）へ送られます。各チャンネルは、帯域外の大きな干渉源を除去すると同時に、目的の信号を確実に増幅できるので、システムに使用するA/Dコンバータ（ADC）の帯域幅と分解能に関する要件が緩和されます。ADMV4540はチャンネル間で優れたマッチング性能を発揮し、あらゆるゲイン設定と帯域幅設定で広いスプリアスフリー・ダイナミック・レンジ（SFDR）を実現することから、高密度の衛星群やマルチ・キャリアを使用する衛星通信システムや、近傍干渉源を伴う衛星通信システムに最適です。

125MHz、250MHz、500MHzの3つのフィルタ・コーナーは、すべてシリアル・ペリフェラル・インターフェース（SPI）を介してプログラムできます。フィルタは、141MHz、282MHz、565MHzの-3dBコーナー周波数で、6次バターワース応答を実現します。565MHzを超える動作では、フィルタをディスエーブルして完全にバイパスすることによって、-3dB帯域幅を最大900MHzまで拡大できます。

機能ブロック図

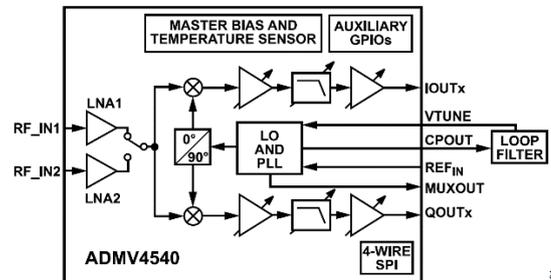


図 1.

ADMV4540の高ダイナミック・レンジのベースバンド出力アンプは、57dB（公称値）の変換ゲインを実現します。ADMV4540の3ベースバンド可変電圧減衰器（VVA）ピン（VCTRL_BBVVAx）を自動ゲイン制御（AGC）に使用すれば、ADMV4540のRF入力ダイナミック・レンジを拡大することができます。

豊富な機能を備えたこのデバイスは、フラクショナルN、フェーズ・ロック・ループ（PLL）、低位相ノイズの電圧制御発振器（VCO）を内蔵しています。このVCOが2つのダブル・バランスD/I/Qミキサーに必要なオンチップ局部発振器（LO）信号を生成するため、外付け部品を使って周波数合成を行う必要はありません。VCOが内蔵の自動キャリブレーション・ルーチンを使用することにより、PLLが必要な設定を選択してロックします。

ADMV4540のPLLへのリファレンス入力（REF_IN）には、50MHzで差動励振を行う水晶発振器を採用しています。もしくは、最大100MHzのシングルエンド外部周波数リファレンスでREF_INを駆動することもできます。位相周波数検出器（PFD）の比較周波数は最大100MHzまで動作します。そのため、17GHz~21.5GHzの範囲で、極めて微小なステップでLOを連続的に動作させることが可能です。

ADMV4540は3.3Vの電源を使用し、3.2W未満の総消費電力で動作します。露出パドル付き、48端子、RoHS準拠の7mm x 7mm LGAパッケージで提供されます。ADMV4540は、+3.3V電源と-40°C~+85°Cの温度範囲で使用できます。

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

目次

特長	1	イメージ除去の最適化	34
アプリケーション	1	DCオフセット補正ループ	34
機能ブロック図	1	アプリケーション情報	35
概要	1	ADMV4540への給電	36
仕様	4	ヒート・シンクの選択	36
絶対最大定格	7	推奨ランド・パターン	36
熱抵抗	7	レイアウト時の考慮事項	36
静電放電 (ESD) 定格	7	レジスタの一覧	37
ESDに関する注意	7	レジスタの詳細	40
ピン配置およびピン機能の説明	8	アナログ・デバイセスPI標準レジスタ	40
標準的性能特性	10	製品ID (16ビットの下位8ビット) レジスタ	40
RF帯域幅の性能特性	10	製品ID (16ビットの上位8ビット) レジスタ	40
ベースバンド帯域幅の性能特性	14	アナログ・デバイセスPI定義のリビジョン番号 レジスタ	41
温度センサーとADC	19	RFシグナル・チェーン・イネーブル・レジスタ	41
PLLとVCOの性能特性	20	Iパスのコモンモード・レジスタ	41
VCTRL_BBVVA1、VCTRL_BBVVA2、 VCTRL_BBVVA3を同時制御した場合の性能	25	Qパスのコモンモード・レジスタ	41
動作原理	27	LOシグナル・チェーン・イネーブル・レジスタ	41
SPIプロトコル	27	LO位相調整レジスタ	42
電源シーケンシング	28	水晶発振器ビット・レジスタ	42
SPIのスタートアップ・シーケンス	28	ベースバンドIパス回路イネーブル・レジスタ	42
周波数更新シーケンス	28	ベースバンドQパス回路イネーブル・レジスタ	42
Nカウンタ	29	ベースバンド共通ブロック・イネーブル・レジスタ	43
ダブル・バッファ構成のレジスタ	30	ベースバンド選択アンプ1のIQゲインおよび バイアス・レジスタ	43
ループ・フィルタ	30	ベースバンド選択アンプ2のIQゲインおよび バイアス・レジスタ	43
リファレンス入力	30	ベースバンド選択アンプ3のIQゲインおよび バイアス・レジスタ	43
水晶発振器	31	ベースバンドIQフィルタ帯域幅選択レジスタ	44
チャージ・ポンプ電流のセットアップ	31	ベースバンド・デジタル・ステップ減衰設定レジスタ	44
ブリード電流 (BICP) のセットアップ	31	N分周器INTのLSBおよびトリガ・レジスタ	44
デジタル・ロック検出	31	N分周器INTのMSBレジスタ	44
PFDとチャージ・ポンプ	32	N分周器FRAC1のLSBレジスタ	44
VCOの自動キャリブレーション	32	N分周器FRAC1の中位ビット・レジスタ	45
自動キャリブレーションのロック時間	32	N分周器FRAC1のMSBレジスタ	45
シンセサイザ・ロック・タイムアウト	32	精密周波数モード使用時の補助フラクショナル・ モジュラスLSBレジスタ	45
VCO帯域選択時間	32	精密周波数モード使用時の補助フラクショナル・ モジュラスMSBレジスタ	45
PLLのセトリング時間	32	N分周器イネーブルおよびモード選択レジスタ	45
VCOキャリブレーション帯域のリードバック	33	R分周器設定点レジスタ	45
温度センサーの設定	33	R分周器制御レジスタ	46
ADCの設定	33	ロック検出設定レジスタ	46
ゲイン・ポリシー	33	VCO帯域用SPIオーバーライド値レジスタ	46
パワーダウン	33	VCO選択用SPIオーバーライド値レジスタ	46
MUXOUT	33		
GPIO	34		
LNAの選択	34		
ベースバンド・フィルタの選択	34		

目次

SYNTH_LOCK_TIMEOUT	47	AGPIO MUXおよびピン制御レジスタ	50
VCOキャリブレーション・タイムアウトLSBレジスタ	47	ADC制御ビット・レジスタ	50
VCOキャリブレーション・タイムアウトMSBレジスタ	47	ADCステータス・ビット・レジスタ	51
自動周波数キャリブレーション（AFC）測定分解能 レジスタ	47	ADC結果レジスタ	51
ALC_SELECTレジスタ	47	GPIOX書込みレジスタ	51
汎用制御レジスタ1	47	GPIO読出しレジスタ	51
汎用制御レジスタ2	48	GPIOxピンの制御	52
チャージ・ポンプ高Zレジスタ	48	スペア読出しレジスタ1	52
チャージ・ポンプ制御レジスタ	48	スペア読出しレジスタ2	52
チャージ・ポンプ電流レジスタ	48	スペア読出しレジスタ3	52
チャージ・ポンプ・ブリード電流レジスタ	48	スペア書込みレジスタ1	52
FRAC2 LSBレジスタ	49	スペア書込みレジスタ2	52
FRAC2 MSBレジスタ	49	スペア書込みレジスタ3	53
VCOおよび帯域選択調整レジスタ	49	外形寸法	54
VCOキャリブレーションFSMレジスタ	49	オーダー・ガイド	54
ロック検出リードバック・レジスタ	49	評価用ボード	54
MUXOUT	50		
PLL MUXOUT レベル制御レジスタ	50		

改訂履歴

10/2021—Revision 0: Initial Version

仕様

特に指定のない限り、電源電圧 (V_{CC}) = 3.3V、T_A = 25°C。

シングルエンド入力駆動時に50Ωのソース入力インピーダンスを使用し、評価用ボードのRF配線パターンをRF_INxまでディエンベッドしています。

特に指定のない限り、性能指標はIチャンネルごと、およびQチャンネルごとの値で、評価用ボードのIチャンネルとQチャンネルの配線パターンは、そのIチャンネルとQチャンネルのピンまでディエンベッドされており、IチャンネルとQチャンネルの出力は1μFのコンデンサを使ってそれぞれのチャンネル出力にACカップリングされています。また、IチャンネルとQチャンネルの正出力と負出力は180°バラに接続されており、BB_AMP1_GAIN_x = 0です。

特に指定のない限り、PLLフィルタ帯域幅 = 220kHz (60°の位相マージン)、リファレンス周波数 (f_{REF}) = 50MHz、DOUBLER_EN = 1、PFD周波数 (f_{PFD}) = 100MHz、外部リファレンス電力はシングルエンド外部リファレンス使用時に3dBmに設定されています。

特に指定のない限り、VCTRL_BBVA1 = 3.3V、VCTRL_BBVA2およびVCTRL_BBVA3を自動ゲイン制御 (AGC) に使用し、IチャンネルとQチャンネルの合計出力電力はそれぞれ-10dBに設定されています。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RF INPUT INTERFACE					
Operating Frequency	RF_IN1およびRF_IN2	17		22	GHz
Return Loss	シングルエンド入力駆動		12		dB
Nominal Input Impedance	シングルエンド入力駆動		50		Ω
Composite Carrier Input Power					
Minimum	入力キャリア帯域幅: 250MHz		-66		dBm
Maximum	入力キャリア帯域幅: 1GHz		-30		dBm
RF1 to RF 2 Isolation			>25		dB
SYNTHESIZER					
LO Internal Frequency		17		21.5	GHz
PFD Frequency (f _{PFD})				100	MHz
VCO Tuning Sensitivity (K _{VCO})			190		MHz/V
VTUNE		1	1.5	2	V
MUXOUT		0		VCC	V
Charge Pump Current (I _{CP})		0.3		4.8	mA
CLOSED-LOOP PHASE NOISE					
	f _{REF} = 50MHz、f _{PFD} = 100MHz、CP_CURRENT = 4、BICP = 4、PLLフィルタ帯域幅 = 220kHz (位相マージン58°)、f _{REF} = 50MHz、ループ・フィルタのセクションを参照				
1 kHz Offset			-84		dBc/Hz
10 kHz Offset			-96		dBc/Hz
100 kHz Offset			-98		dBc/Hz
1 MHz Offset			-115		dBc/Hz
10 MHz Offset			-128		dBc/Hz
Output Integrated Phase Noise	1kHz~10MHzの範囲で積分		0.8		°RMS
BASEBAND I/Q INTERFACE					
I/Q Output Voltage	IとQの差動出力		200		mV p-p
I/Q Output Impedance	IとQの差動出力		100		Ω
I/Q Amplitude Imbalance			±0.5		dB
I/Q Phase Imbalance			1.6		Degrees
Return Loss	IとQの差動リターン・ロス		10		dB
BASEBAND LOW-PASS FILTERS (LPFs)					
125 MHz SPI-Selectable LPF	レジスタ0x13C = 0x00				
3 dB Filter Bandwidth			140		MHz
2 × 3 dB Bandwidth Rejection			35		dB
Group Delay Variation			1.6		ns
3 dB Bandwidth Tolerance			±10		%

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
250 MHz SPI-Selectable LPF	レジスタ0x13C = 0x05				
3 dB Filter Bandwidth			285		MHz
2 × 3 dB Bandwidth Rejection			35		dB
Group Delay Variation			1.4		ns
3 dB Bandwidth Tolerance			±10		%
500 MHz SPI-Selectable LPF	レジスタ0x13C = 0x0A				
3 dB Filter Bandwidth			565		MHz
2 × 3 dB Bandwidth Rejection			35		dB
Group Delay Variation			1		ns
3 dB Bandwidth Tolerance			±10		%
Bypass SPI-Selectable LPF	レジスタ0x13C = 0x0F				
3dB Filter Bandwidth			900		MHz
2 × 3 dB Bandwidth Rejection			35		dB
Group Delay Variation			0.2		ns
I/Q DEMODULATOR PERFORMANCE					
Maximum Conversion Gain		50	57		dB
Conversion Gain Control Range	VCTRL_BBVA2とVCTRL_BBVA3を使用するベースバンド・アンプのゲイン制御		55		dB
	VCTRL_BBVAxを使用するベースバンド・アンプのゲイン制御		70		dB
Input Third-Order Intercept (IIP3)	-30dBmのコンポジット入力レベル、デルタRF周波数 (Δf_{RF}) = 1MHz		-3		dBm
Third-Order Intermodulation Level (IM3)	-30dBmのコンポジット入力レベル、 Δf_{RF} = 1MHz		-54		dBc
Input 1 dB Compression Point (IP1dB)	最大減衰時		-19		dBm
Image Rejection	キャリブレーションなし		30		dBc
Double Sideband Noise Figure	最大変換ゲイン時		5		dB
	最大減衰時		8		dB
Input Second-Order Intercept Point (IIP2)	-30dBmのコンポジット入力レベル、 Δf_{RF} = 12MHz		28		dBm
In Band Output Spurious			-50		dBc
Output Fractional Spurs			-60		dBc
LO to RF Leakage (dBm)			-60		dBm
DC Offset Error	25°C		7.5		mV
	+85°C		7.8		mV
	-40°C		8		mV
PLL REFIN INTERFACE					
REF _{IN} Frequency	シングルエンド・モード、DOUBLER_EN = 0		50	100	MHz
	シングルエンド・モード、DOUBLER_EN = 1			50	MHz
	水晶発振器モード		50		MHz
Power Level REF _{IN}	シングルエンド・モード	-5	+3	+5	dBm
VCTRL_BBVAx INTERFACE					
AGC Voltage	各VCTRL_BBVAxピン	0		3.3	V
Impedance	各VCTRL_BBVAxピン		6.2		kΩ
Gain Slope	VCTRL_BBVA1 = 3.3V、AGCにVCTRL_BBVA2とVCTRL_BBVA3を使用、各VCTRL_BBVAxの直列抵抗 = 5kΩ、AGC電圧 = 1.1V~2.6V		35		dB/V
	AGCにVCTRL_BBVAxを使用、各VCTRL_BBVAxの直列抵抗 = 5kΩ、AGC電圧 = 1.1V~2.8V		45		dB/V

仕様

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
LOGIC INPUTS					
Input Voltage Range					
High, V_{INH}		1.5		3.3	V
Low, V_{INL}		0		0.4	V
Input High and Low Current, I_{INH}/I_{INL}			100		μ A
LOGIC OUTPUTS					
Output Voltage Range					
High, V_{OH}		1.5		3.3	V
Low, V_{OL}		0		0.4	V
Output High Current, I_{OH}			100		μ A
POWER INTERFACE					
V_{CC}		3.135	3.3	3.465	V
Supply Current (I_{CC})			980		mA
Total Power Consumption			3.2		W
	パワーダウン、PD = ロジック・ハイ		600		mW
	パワーダウン、レジスタ0x100、レジスタ0x120、レジスタ0x130、レジスタ0x131、およびレジスタ0x132 = 0x00.1		300		mW

1 パワーダウン時の消費電力をさらに最適化する方法については、[アナログ・デバイセス](#)までご連絡ください。

絶対最大定格

表 2.

Parameter	Rating
Maximum RF Power	0 dBm
Single-Ended External Reference Power	8 dBm
V _{CC}	4 V
Maximum Power Dissipation	4 W
VCTRL_BBVAx	3.7 V
Digital Logic	-0.4 V to V _{CC} + 0.4 V
AGPIO	3.7 V
VCM_BBx	3.7 V
Source and Sink Current (MUXOUT)	300 μ A
Temperature	
Storage Range (T _{STG})	-50°C to +125°C
Operating Ambient (T _A) Range	-40°C to +85°C
Maximum Junction (T _J)	125°C
Lifetime at Maximum T _J	1 \times 10 ⁶ hours
Peak	
Reflow Soldering	260°C
Time	40 secs
Moisture Sensitivity Level (MSL) ¹	MSL3

¹ IPC/JEDEC J-STD-20 MSL分類に準拠。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} はジャンクションと周囲の間の熱抵抗値、 θ_{JC} はジャンクションとケースの間の熱抵抗値です。

表 3. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JC}	Unit
CC-48-5	24.5	10	°C/W

¹ 仕様規定されている熱抵抗値は、JEDEC仕様のJESD-51に基づいて計算しています。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADMV4540のESD定格

表 4. ADMV4540、48端子LGA

ESD Model	Withstand Threshold	
	(V)	Class
HBM	\pm 500	1B
FICDM	\pm 500	C2A

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電にさらされた場合は損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

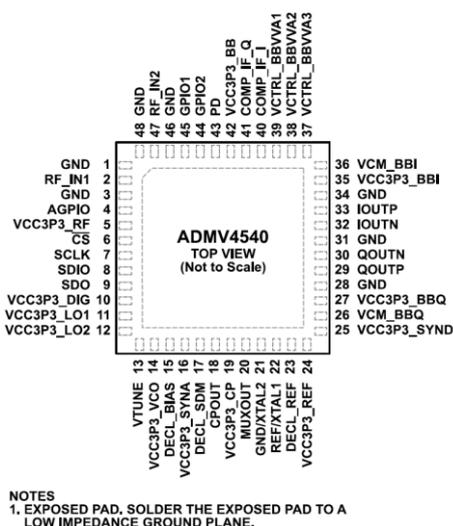


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	GND	グラウンド。
2	RF_IN1	RF入力1。RF_IN1ピンの入力インピーダンスは50Ωです。グラウンドにDCカップリングされています。RF_IN1ピンにはDC電圧をかけないでください。
3	GND	グラウンド。
4	AGPIO	アナログ汎用入出力。AGPIOピンへの温度センサー出力を設定するには、 温度センサーの設定 のセクションを参照してください。AGPIOピンを入力として使用するには、 ADCの設定 のセクションを参照してください。
5	VCC3P3_RF	RFパスの3.3V電源。VCC3P3_RFピンの近くに0.01 μFのコンデンサを配置してください。
6	CS	SPIチップ・セレクトのデジタル・ロジック・ピン（負極性、3.3Vロジック）。最大限の性能を引き出すには33Ωの直列抵抗を接続します。シリアル通信は、CSピンがロジック・ローになるとイネーブルになります。シリアル・データ・コマンドの最後でCSピンがロジック・ハイにセットされると、そのレジスタ・アドレスに書き込まれるデータがコマンドで与えられます。
7	SCLK	SPIクロックのデジタル・ロジック・ピン（3.3Vロジック）。最大限の性能を引き出すには33Ωの直列抵抗を接続します。書き込みモードでは、SCLKの立上がりエッジでデータがサンプリングされます。読み出しサイクルでは、出力データはSCLKの立下がりエッジで変化します。
8	SDIO	3線式モードのSPIデータ入出力用デジタルロジック・ピン。4線式モードのSPIデータ入力（3.3Vロジック）。最大限の性能を引き出すには33Ωの直列抵抗を接続します。
9	SDO	デジタル・ロジック・ピン。4線式SPIモードの場合、SDOはシリアル・データ出力（3.3Vロジック）のデジタル・ロジック・ピンです。3線式SPIモードの場合、SDOは使用せず、グラウンドに接続できます。最大限の性能を引き出すには33Ωの直列抵抗を接続します。
10	VCC3P3_DIG	SPIおよびデジタル電源。VCC3P3_DIGピンの近くに0.01 μFのコンデンサを配置してください。
11	VCC3P3_LO1	LOパスの3.3V電源1。VCC3P3_LO1ピンの近くに0.01 μFのコンデンサを配置してください。
12	VCC3P3_LO2	LOパスの3.3V電源2。VCC3P3_LO2ピンの近くに0.01 μFのコンデンサを配置してください。
13	VTUNE	VCO調整入力（1V～2V）。VTUNEピンはループ・フィルタの出力によって駆動されます。
14	VCC3P3_VCO	VCOの3.3V電源。VCC3P3_VCOピンの近くに0.01 μFのコンデンサを配置してください。
15	DECL_BIAS	VCOコア・バイアスのデカップリング・ピン。DECL_BIASピンの近くに1 μFのコンデンサを配置してください。
16	VCC3P3_SYNA	シンセサイザのアナログ3.3V電源。VCC3P3_SYNAピンの近くに0.01 μFのコンデンサを配置してください。
17	DECL_SDM	Σ-Δモジュレータ用低ドロップアウト（LDO）レギュレータのデカップリング・ピン。DECL_SDMピンの近くに1 μFのコンデンサを配置してください。
18	CPOUT	シンセサイザ・チャージ・ポンプ出力。CPOUTピンはループ・フィルタを介してVTUNE（ピン13）に接続します。ループ・フィルタ部品C1は、できるだけCPOUTピンの近くに配置してください。
19	VCC3P3_CP	チャージ・ポンプの3.3V電源。VCC3P3_CPピンの近くに0.01 μFのコンデンサを配置してください。
20	MUXOUT	PLLマルチプレクサ出力。接続オプションについては EVAL-ADMV4540 を参照してください。
21	GND/XTAL2	差動リファレンス用の第2リファレンス・クロック入力、またはシングルエンド・リファレンスからのグラウンド。設定オプションについては、 水晶発振器 のセクションと リファレンス入力 のセクションを参照してください。

ピン配置およびピン機能の説明

表 5. ピン機能の説明

ピン番号	記号	説明
22	REF/XTAL1	リファレンス・クロック入力。シングルエンドの外部リファレンス入力。設定オプションの詳細については リファレンス入力 のセクションを参照してください。
23	DECL_REF	リファレンス用1.8V LDOレギュレータのデカップリング・ピン。DECL_REFピンの近くに1 μ Fのコンデンサを配置してください。
24	VCC3P3_REF	リファレンス入力バッファの3.3V電源。VCC3P3_REFピンの近くに0.01 μ Fのコンデンサを配置してください。
25	VCC3P3_SYND	シンセサイザのデジタル3.3V電源。VCC3P3_SYNDピンの近くに0.01 μ Fのコンデンサを配置してください。
26	VCM_BBQ	ベースバンドQチャンネル出力のコモンモード・レベル入力。VCM_BBQピンはフロート状態のままにします。
27	VCC3P3_BBQ	ベースバンドQチャンネルの3.3V電源。VCC3P3_BBQピンの近くに0.01 μ Fのコンデンサを配置してください。
28	GND	グラウンド。
29、30	QOUTP、QOUTN	ベースバンドQチャンネルの正出力と負出力。これらの100 Ω 差動インピーダンス出力は、ACカップリング・コンデンサを使ってACカップリングできます。デフォルトのコモンモード出力電圧は1.65Vです。
31	GND	グラウンド。
32、33	IOUTN、IOUTP	ベースバンドIチャンネルの負出力と正出力。これらの100 Ω 差動インピーダンス出力は、ACカップリング・コンデンサを使ってACカップリングできます。デフォルトのコモンモード出力電圧は1.65Vです。
34	GND	グラウンド。
35	VCC3P3_BBI	ベースバンドIチャンネルの3.3V電源VCC3P3_BBIピンの近くに0.01 μ Fのコンデンサを配置してください。
36	VCM_BBI	ベースバンドIチャンネル出力のコモンモードレベル入力。このピンはフロート状態のままにしておきます。
37	VCTRL_BBVVA3	ベースバンドVVA制御電圧3。5k Ω の直列抵抗を接続します。
38	VCTRL_BBVVA2	ベースバンドVVA制御電圧2。5k Ω の直列抵抗を接続します。
39	VCTRL_BBVVA1	ベースバンドVVA制御電圧1。5k Ω の直列抵抗を接続します。
40	COMP_IF_I	ベースバンドIチャンネルのオフセット・キャンセレーション補正コンデンサ。COMP_IF_Iピンの近くに1 μ Fのコンデンサを配置してください。
41	COMP_IF_Q	ベースバンドQチャンネルのオフセット・キャンセレーション補正コンデンサ。COMP_IF_Qピンの近くに1 μ Fのコンデンサを配置してください。
42	VCC3P3_BB	ベースバンド3.3V電源。VCC3P3_BBピンの近くに0.01 μ Fのコンデンサを配置してください。
43	PD	デジタル・ロジックのパワーダウン・ピン。通常動作にするにはロジック・ロー（0V）に設定します。シンセサイザをロックしたままADMV4540をパワーダウンするには、ロジック・ハイ（3.3V）に設定します。詳細については、 パワーダウン のセクションを参照してください。
44	GPIO1	デジタル・ロジックの汎用デジタル入出力ピン1。3.3Vの入力電圧を超えないようにし、詳細については GPIO のセクションを参照してください。
45	GPIO2	デジタル・ロジックの汎用デジタル入出力ピン2。3.3Vの入力電圧を超えないようにし、詳細については GPIO のセクションを参照してください。
46	GND	グラウンド。
47	RF_IN2	RF入力2。RF_IN2の入力インピーダンスは50 Ω です。グラウンドにDCカップリングされています。RF_IN2ピンにはDC電圧をかけないでください。
48	GND EPAD	グラウンド。 露出パッド。露出パッドは低インピーダンスのグラウンド・プレーンにハンダ付けします。詳細については、 ヒート・シンク の選択のセクションと 推奨ランド・パターン のセクションを参照してください。

標準的性能特性

RF帯域幅の性能特性

特に指定のない限り、ベースバンド周波数 (f_{BB}) = 36MHz、 V_{CC} = 3.3V、 T_A = 25°C。特に指定のない限り、評価用ボードのRF配線パターンはRF_INxまでディエンベッドされています。最小入力電力の測定は、BB_AMPL_GAIN_x = 0、RF_INx = -66dBm、およびVCTRL_BBVVAx = 3.3Vで行っています。最大入力電力の測定は、RF_INx = -30dBm、BB_AMPL_GAIN_x = 3、VCTRL_BBVVA1 = 3.3V、AGCにVCTRL_BBVVA2とVCTRL_BBVA3を使用という条件で、AGCを通じたIチャンネルおよびQチャンネルあたりの合計出力電力を-10dBmに設定して行っています。性能指標はIチャンネルごと、およびQチャンネルごとの値で、評価用ボードのIチャンネルとQチャンネルの配線パターンは、IチャンネルとQチャンネルのピンまでディエンベッドされています。特に指定のない限り、IチャンネルとQチャンネルの出力は1μFのコンデンサを使ってそれぞれのチャンネル出力にACカップリングされており、IチャンネルとQチャンネルの正出力と負出力は180°バラに接続されています。特に指定のない限り、PLLフィルタ帯域幅 = 220kHz (60°の位相マージン)、 f_{REF} = 50MHz、DOUBLER_EN = 1、 f_{PFD} = 100MHz、外部リファレンス電力はシングルエンド外部リファレンス使用時で3dBmに設定されています。

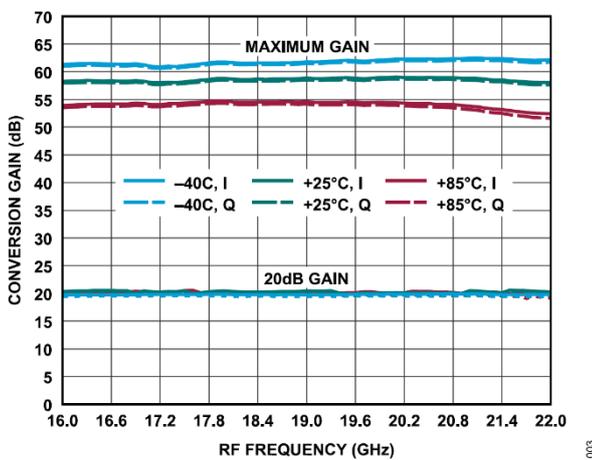


図 3. 様々な温度での変換ゲインとRF周波数の関係、IチャンネルおよびQチャンネルが最大ゲイン時（最小入力電力）と20dBゲイン時（最大入力電力）

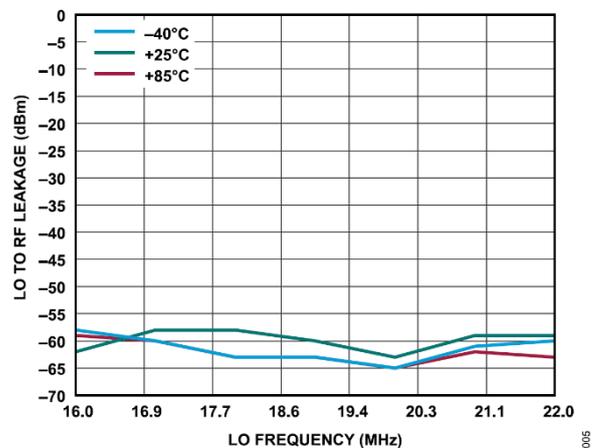


図 5. 様々な温度でのLOからRFへのリークとLO周波数の関係

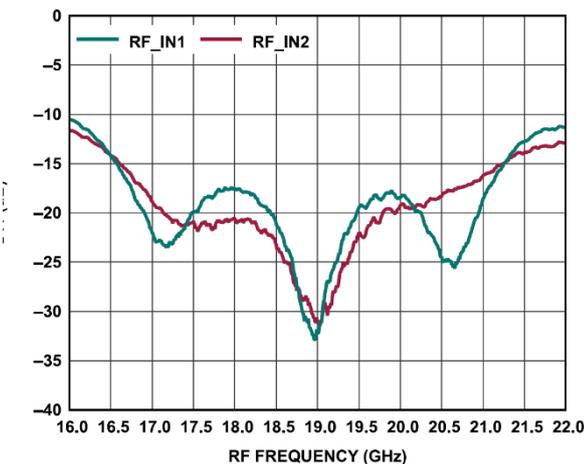


図 4. RF_IN1とRF_IN2での入力リターン・ロス (S11) とRF周波数の関係

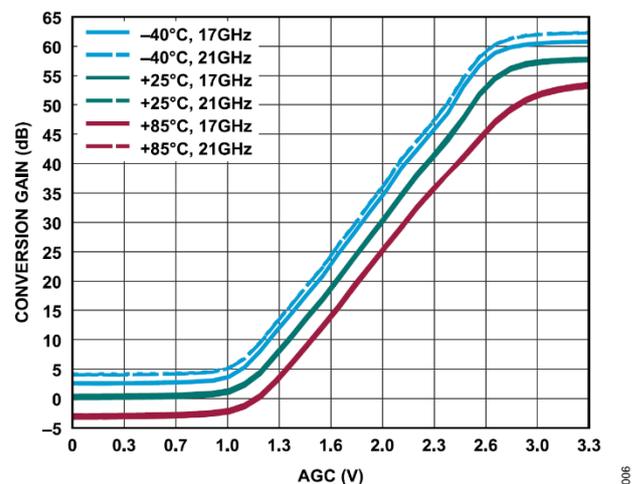


図 6. 様々な温度での変換ゲインとAGCの関係、LO = 17GHzおよび21GHz

代表的性能特性

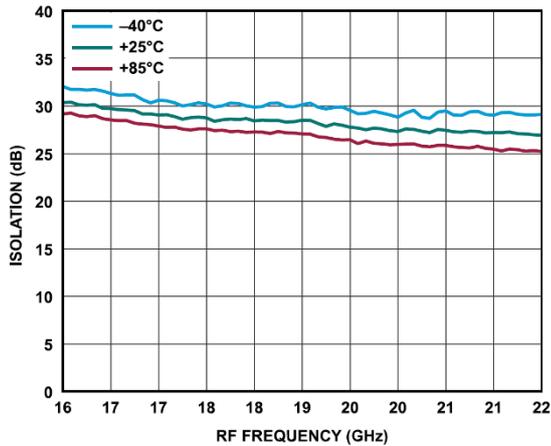


図 7. 様々な温度でのRF_IN1とRF_IN2間の絶縁とRF周波数の関係、20dBゲイン時（最大入力電力）

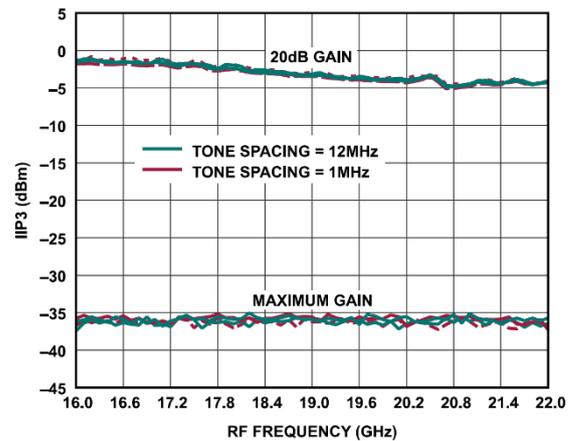


図 10. IIP3とRF周波数の関係、トーン間隔 = 12MHz および1MHz、最大ゲイン時（最小入力電力）と20dBゲイン時（最大入力電力）

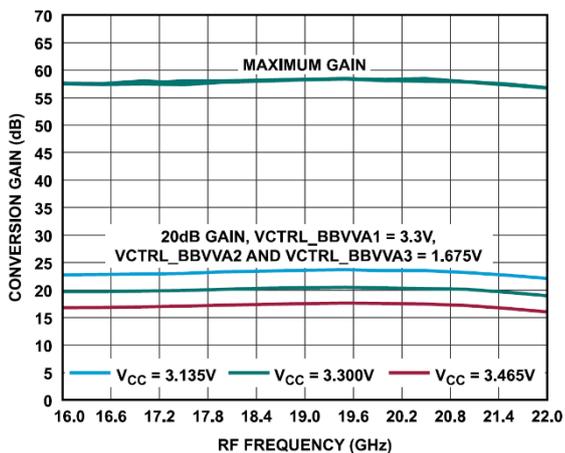


図 8. 様々な電源電圧（±5%）での変換ゲインとRF周波数の関係、最大ゲイン時（最小入力電力と20dBゲイン時（最大入力電力）

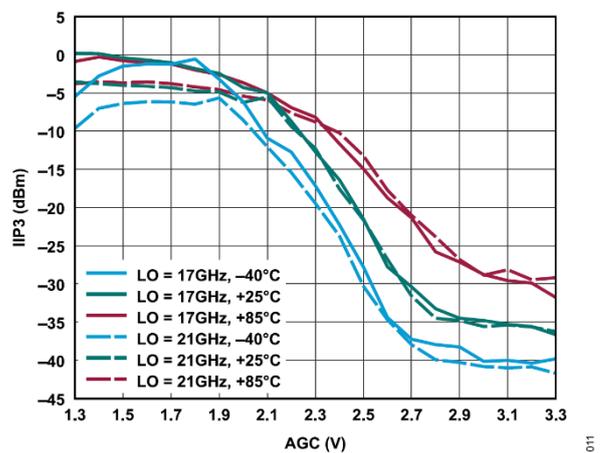


図 11. 様々な温度でのIIP3とAGCの関係、LO = 17GHzおよび21GHz

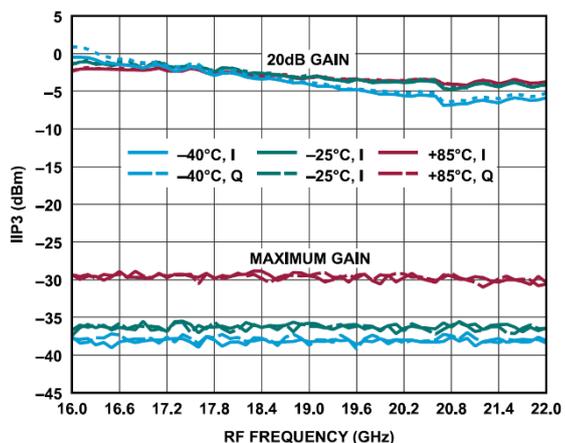


図 9. 様々な温度でのIIP3とRF周波数の関係、トーン間隔 = 1MHz、IチャンネルおよびQチャンネルが最大ゲイン時（最小入力電力）と20dBゲイン時（最大入力電力）

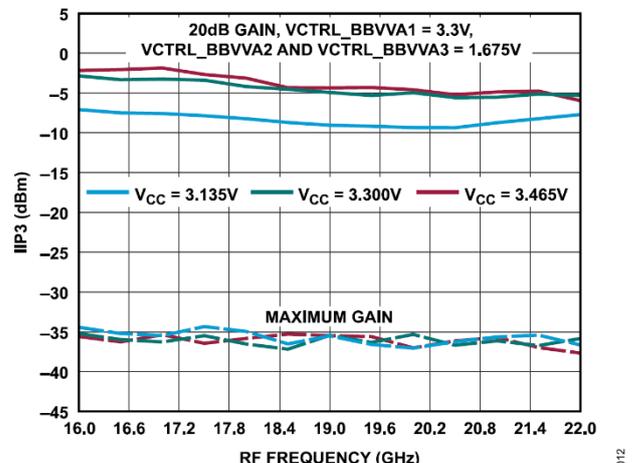


図 12. 様々な電源電圧（±5%）でのIIP3とRF周波数の関係、最大ゲイン時（最小入力電力と20dBゲイン時（最大入力電力）

代表的性能特性

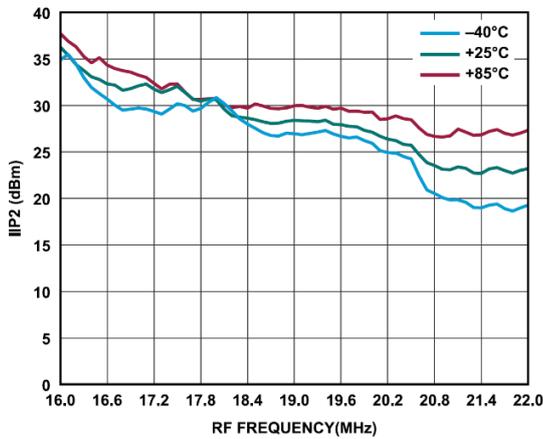


図 13. 様々な温度でのIIP2とRF周波数の関係、
トーン間隔 = 12MHz、20dBゲイン時（最大入力電力）

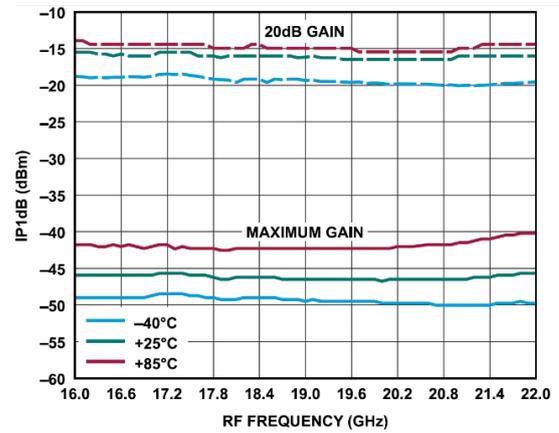


図 16. 様々な温度での入力P1dBとRF周波数の関係、
最大ゲイン時（最小入力電力）と
20dBゲイン時（最大入力電力）

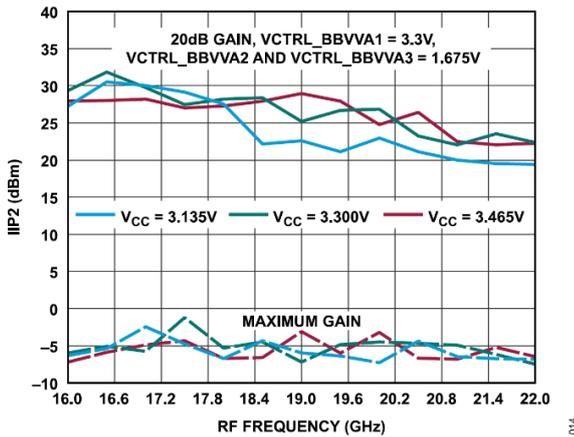


図 14. 様々な電源電圧（±5%）でのIIP2とRF周波数の関係、
最大ゲイン時（最小入力電力）と
20dBゲイン時（最大入力電力）

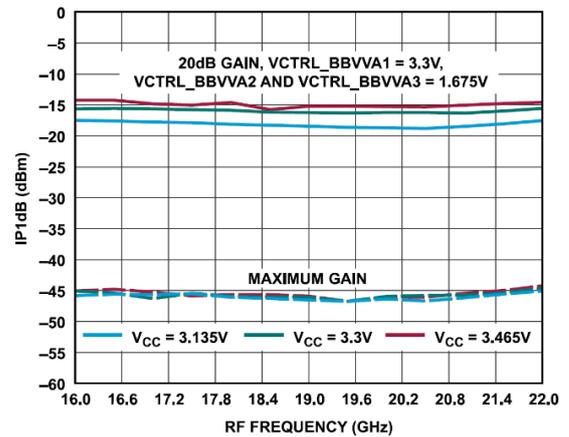


図 17. 様々な電源電圧（±5%）での入力P1dBと
RF周波数の関係、最大ゲイン時（最小入力電力）と
20dBゲイン時（最大入力電力）

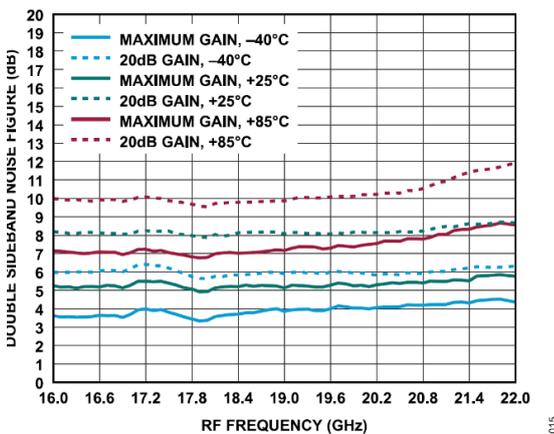


図 15. 様々な電源電圧での両側波帯ノイズ指数と
RF周波数の関係、最大ゲイン時（最小入力電力）と
20dBゲイン時（最大入力電力）

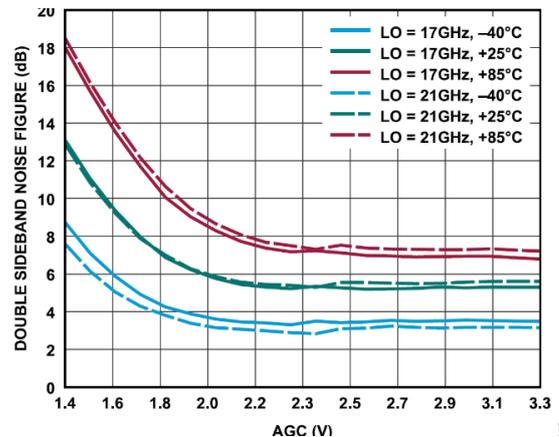


図 18. 様々な温度での両側波帯ノイズ指数と
AGCの関係、LO = 17GHzおよび21GHz

代表的性能特性

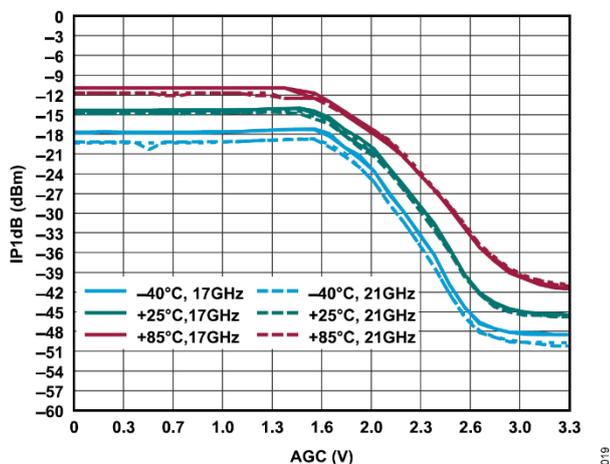


図 19. 様々な温度での入力P1dBとAGCの関係、
LO = 17GHzおよび21GHz

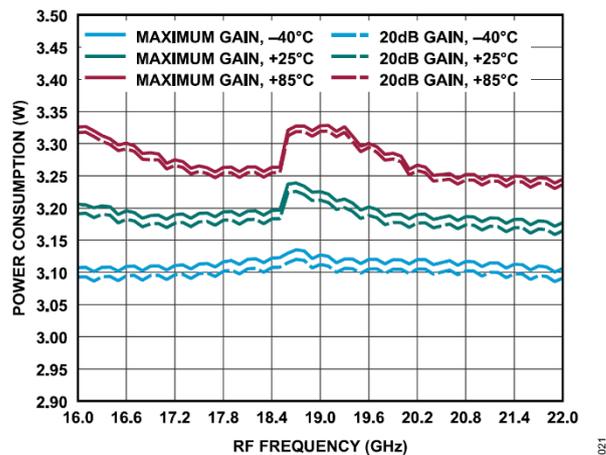


図 21. 様々な温度での消費電力とRF周波数の関係、
最大ゲイン時（最小入力電力）と20dBゲイン時（最大入力電力）

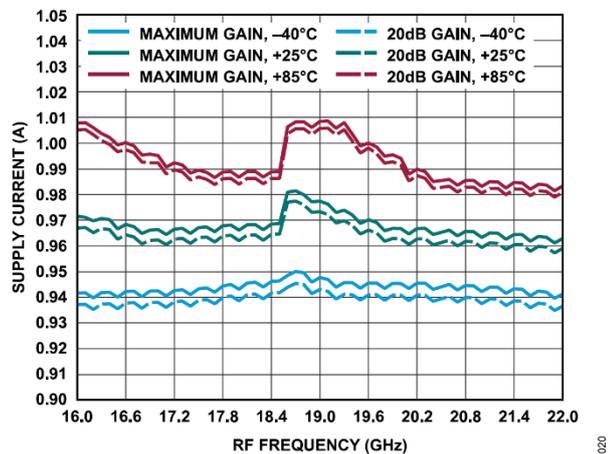


図 20. 様々な温度での電源電流とRF周波数の関係、
最大ゲイン時（最小入力電力）と20dBゲイン時（最大入力電力）

代表的性能特性

ベースバンド帯域幅の性能特性

特に指定のない限り、 $f_{BB} = 36\text{MHz}$ 、 $V_{CC} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$ 。特に指定のない限り、評価用ボードのRF配線パターンはRF_INxまでディエンベッドされています。最小入力電力の測定は、 $BB_AMP1_GAIN_x = 0$ 、 $RF_INx = -66\text{dBm}$ 、 $V_{CTRL_BBVVAx} = 3.3\text{V}$ で行っています。最大入力電力の測定は、 $RF_INx = -30\text{dBm}$ 、 $BB_AMP1_GAIN_x = 0$ 、 $V_{CTRL_BBVVA1} = 3.3\text{V}$ 、AGCに V_{CTRL_BBVVA2} と V_{CTRL_BBVVA3} を使用するという条件で、AGCを通じたIチャンネルおよびQチャンネルあたりの合計出力電力を -10dBm に設定して行っています。性能指標はIチャンネルごと、およびQチャンネルごとの値で、評価用ボードのIチャンネルとQチャンネルの配線パターンはIチャンネルとQチャンネルのピンまでディエンベッドされています。特に指定のない限り、IチャンネルとQチャンネルの出力は $1\mu\text{F}$ のコンデンサを使ってそれぞれのチャンネル出力にACカップリングされており、IチャンネルとQチャンネルの正出力と負出力は 180° バランに接続されています。特に指定のない限り、PLLフィルタ帯域幅 $= 220\text{kHz}$ (60° の位相マージン)、 $f_{REF} = 50\text{MHz}$ 、 $DOUBLER_EN = 1$ 、 $f_{PFD} = 100\text{MHz}$ 、外部リファレンス電力はシングルエンド外部リファレンス使用時で 3dBm に設定されています。

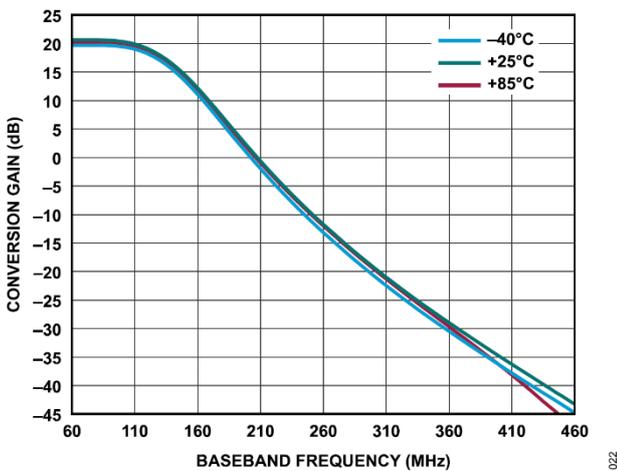


図 22. 125MHz、SPIで選択可能なベースバンドLPFの周波数応答、様々な温度での変換ゲインとベースバンド周波数の関係

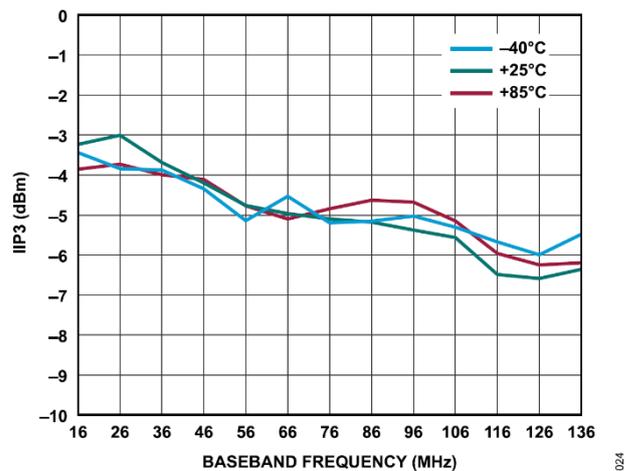


図 24. 125MHz、SPIで選択可能なベースバンドLPF、様々な温度でのIIP3とベースバンド周波数の関係、20dBゲイン時（最大入力電力）

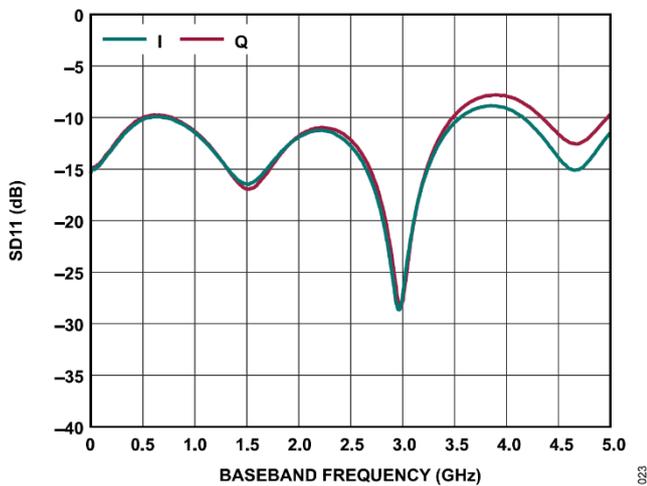


図 23. 125MHz、SPIで選択可能なベースバンドLPF、IおよびQの差動リターン・ロス (SD11) とベースバンド周波数の関係

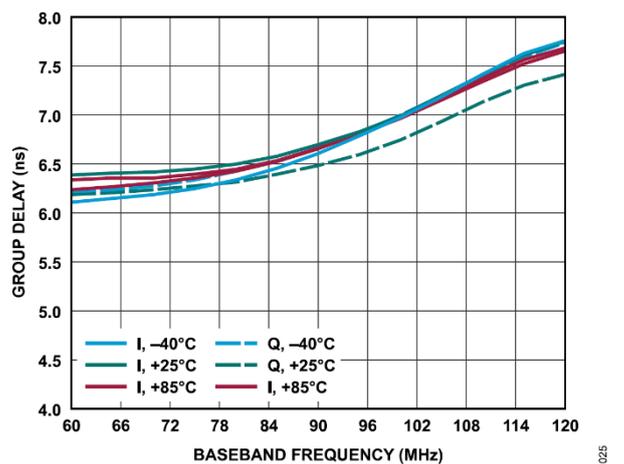


図 25. 125MHz、SPIで選択可能なベースバンドLPF、様々な温度でのグループ遅延とベースバンド周波数の関係、IチャンネルとQチャンネル

代表的性能特性

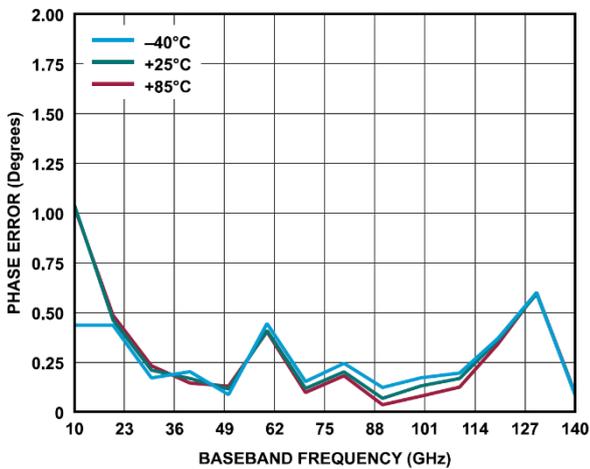


図 26. 125MHz、SPIで選択可能なベースバンドLPF、様々な温度での位相誤差とベースバンド周波数の関係

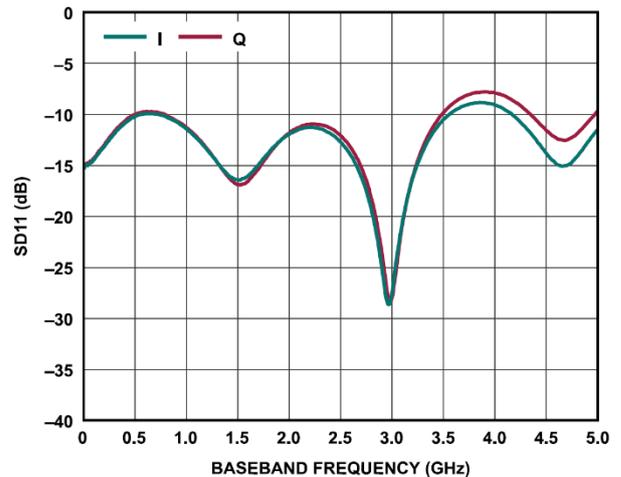


図 29. 250MHz、SPIで選択可能なベースバンドLPF、IおよびQのSD11とベースバンド周波数の関係

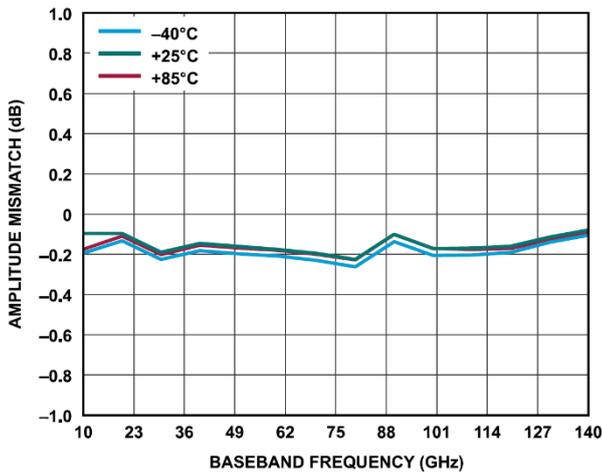


図 27. 125MHz、SPIで選択可能なベースバンドLPF、様々な温度での振幅不整合とベースバンド周波数の関係

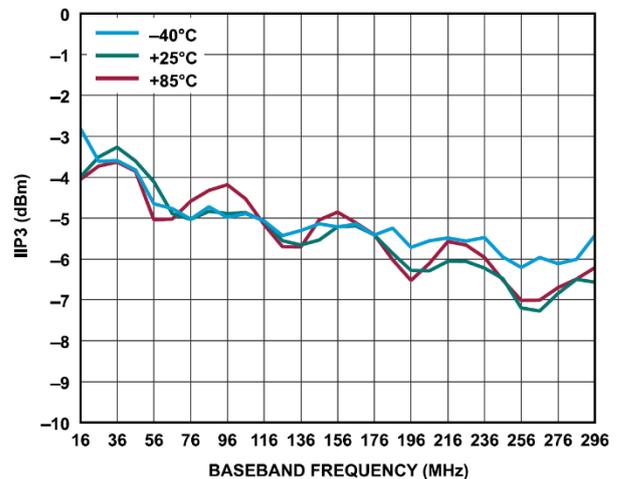


図 30. 250MHz、SPIで選択可能なベースバンドLPF、様々な温度でのIIP3とベースバンド周波数の関係、20dBゲイン時（最大入力電力）

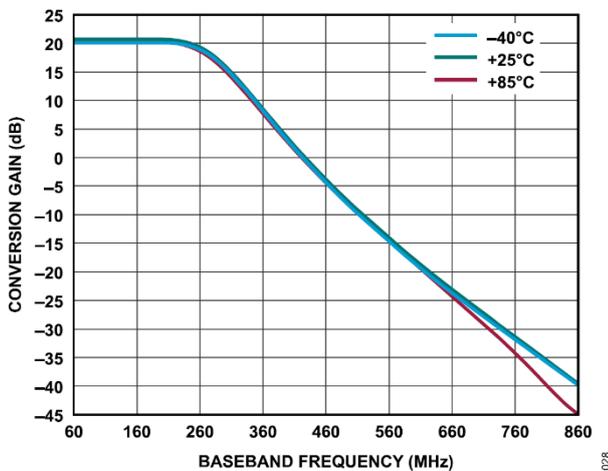


図 28. 250MHz、SPIで選択可能なベースバンドLPFの周波数応答、様々な温度での変換ゲインとベースバンド周波数の関係

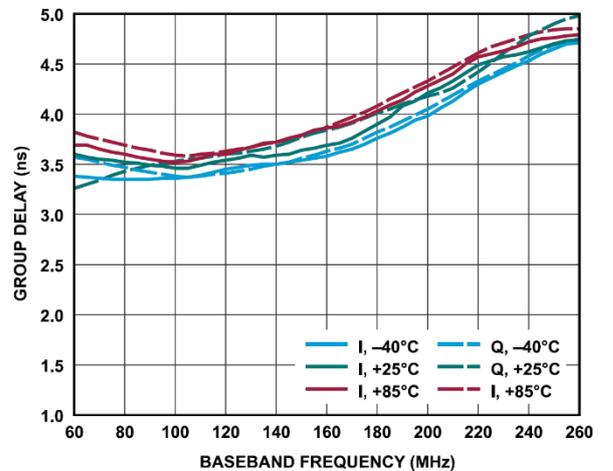


図 31. 250MHz、SPIで選択可能なベースバンドLPF、様々な温度でのグループ遅延とベースバンド周波数の関係、IチャンネルとQチャンネル

代表的性能特性

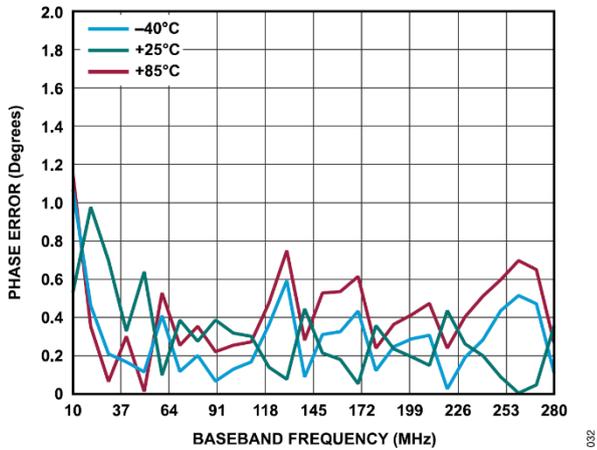


図 32. 250MHz、SPIで選択可能なベースバンドLPF、様々な温度での位相誤差とベースバンド周波数の関係

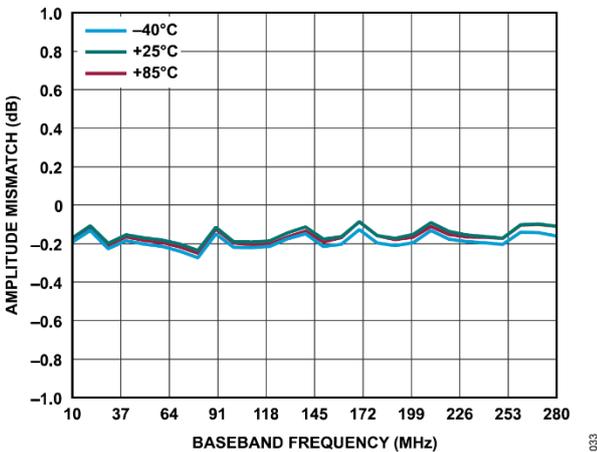


図 33. 250MHz、SPIで選択可能なベースバンドLPF、様々な温度での振幅不整合とベースバンド周波数の関係

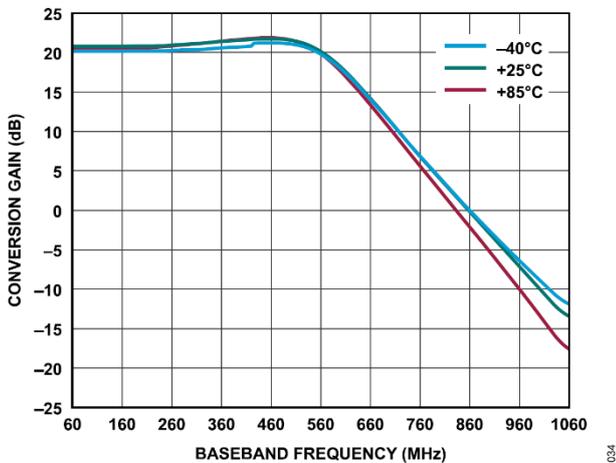


図 34. 500MHz、SPIで選択可能なLPFの周波数応答、様々な温度での変換ゲインとベースバンド周波数の関係

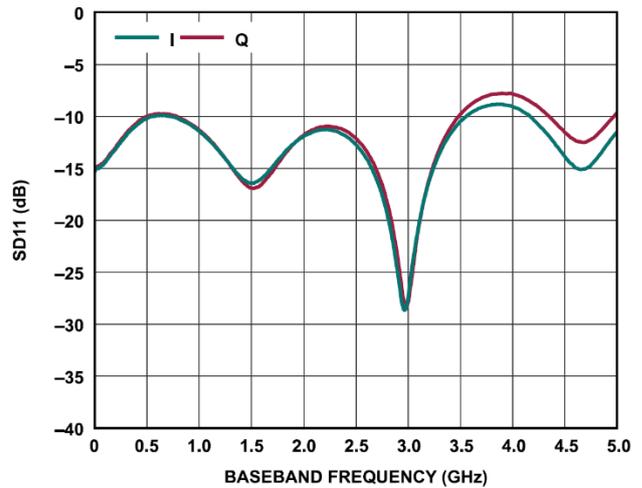


図 35. 500MHz、SPIで選択可能なLPF、IおよびQのSD11とベースバンド周波数の関係

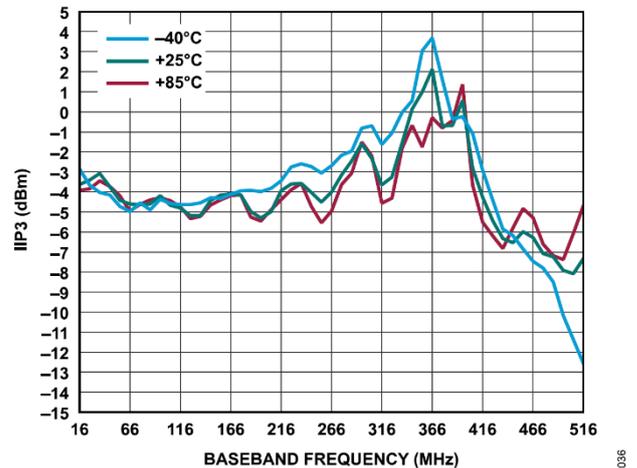


図 36. 500MHz、SPIで選択可能なLPF、様々な温度でのIIP3とベースバンド周波数の関係、20dBゲイン時（最大入力電力）

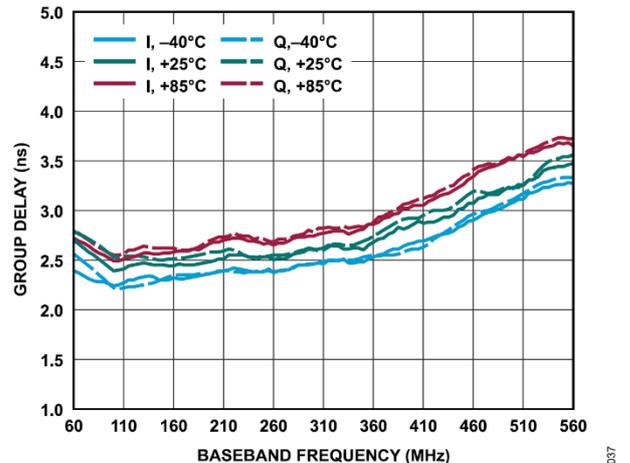


図 37. 500MHz、SPIで選択可能なLPF、様々な温度でのグループ遅延とベースバンド周波数の関係、IチャンネルとQチャンネル

代表的性能特性

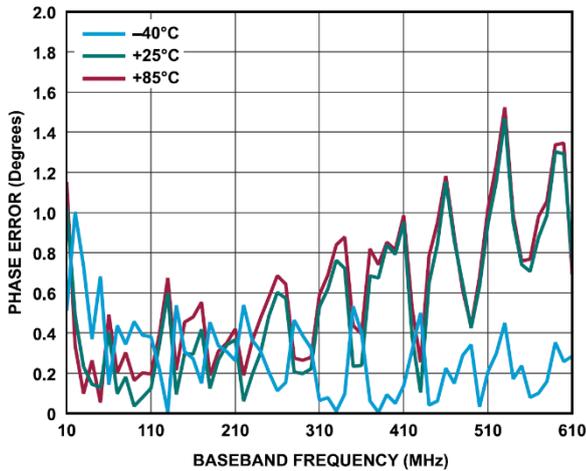


図 38. 500MHz、SPIで選択可能なLPF、様々な温度での位相誤差とベースバンド周波数の関係

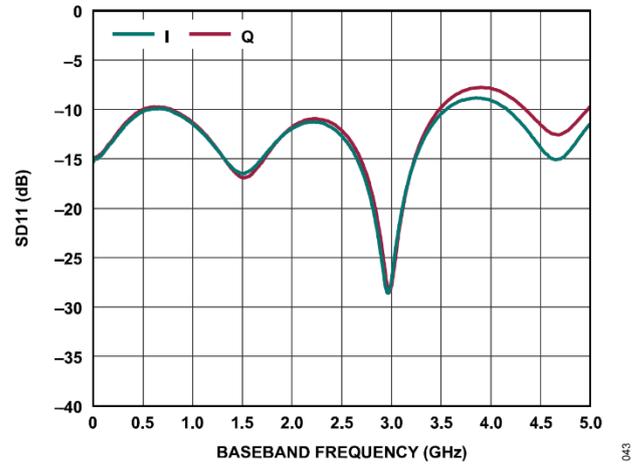


図 41. バイパス、SPIで選択可能なLPF、IおよびQの差動SD11とベースバンド周波数の関係

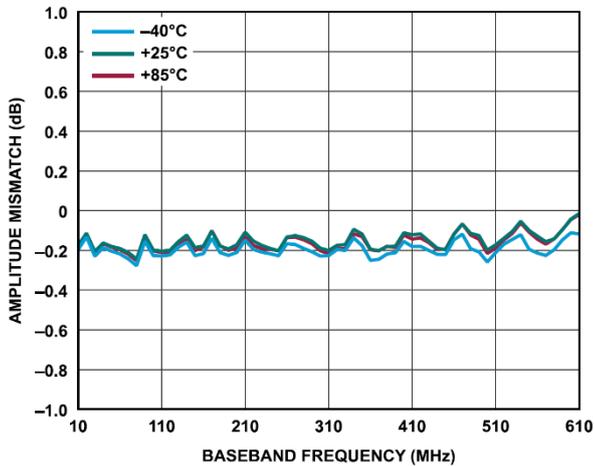


図 39. 500MHz、SPIで選択可能なLPF、様々な温度での振幅不整合とベースバンド周波数の関係

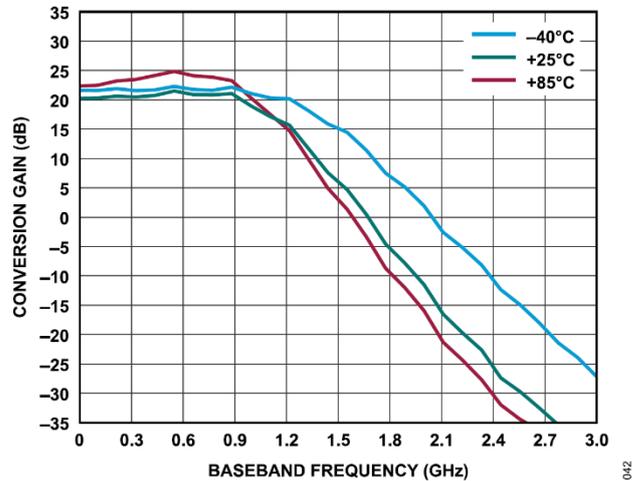


図 42. バイパス、SPIで選択可能なLPF、様々な温度での変換ゲインとベースバンド周波数の関係

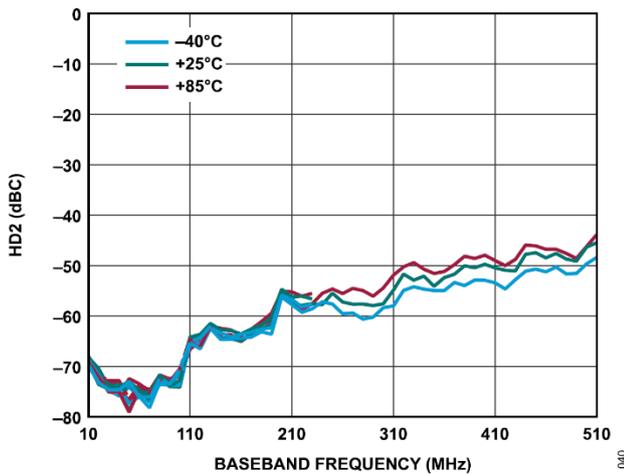


図 40. 様々な温度での高調波歪み2 (HD2) とベースバンド周波数の関係、20dBゲイン時 (最大入力電力)

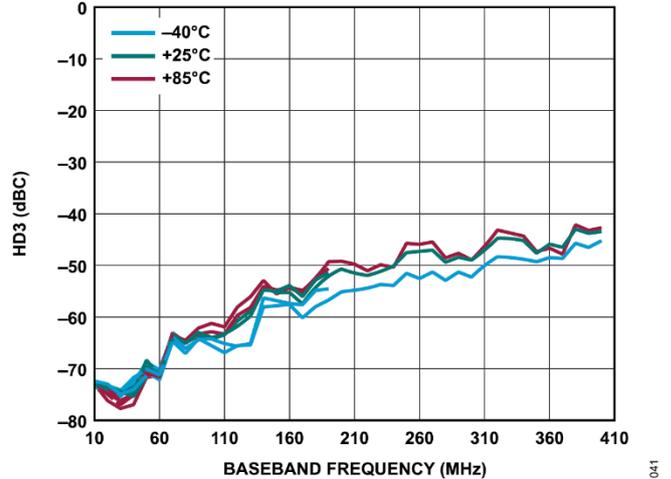


図 43. 様々な温度での高調波歪み3 (HD3) とベースバンド周波数の関係、20dBゲイン時 (最大入力電力)

代表的性能特性

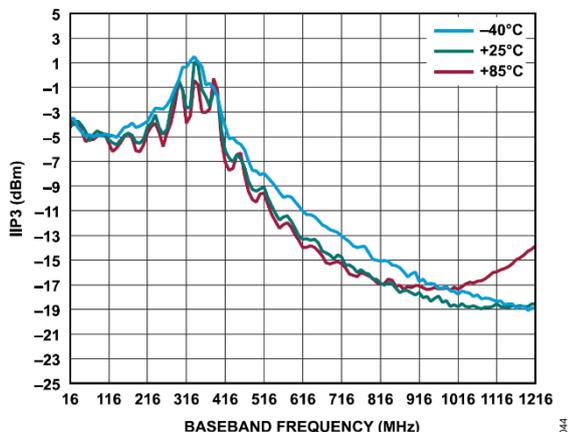


図 44. バイパス、SPIで選択可能なLPF、様々な温度でのIIP3とベースバンド周波数の関係、20dBゲイン時（最大入力電力）

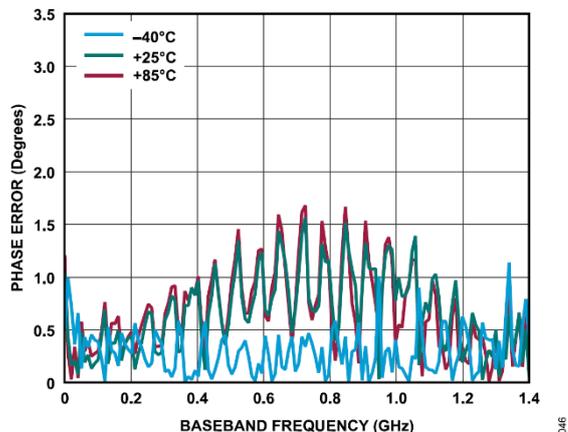


図 46. バイパス、SPIで選択可能なLPF、様々な温度での位相誤差とベースバンド周波数の関係

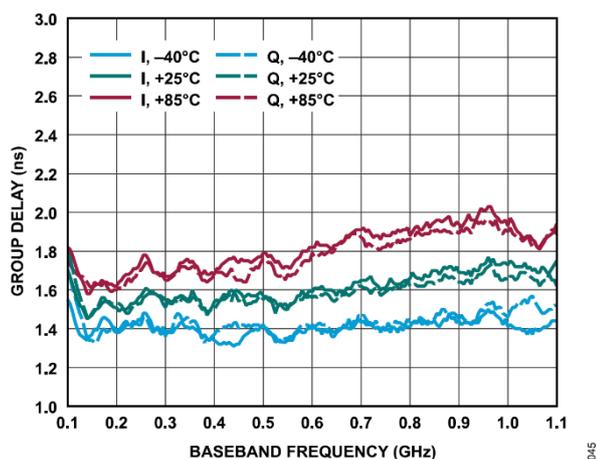


図 45. バイパス、SPIで選択可能なLPF、様々な温度でのグループ遅延とベースバンド周波数の関係、IチャンネルとQチャンネル

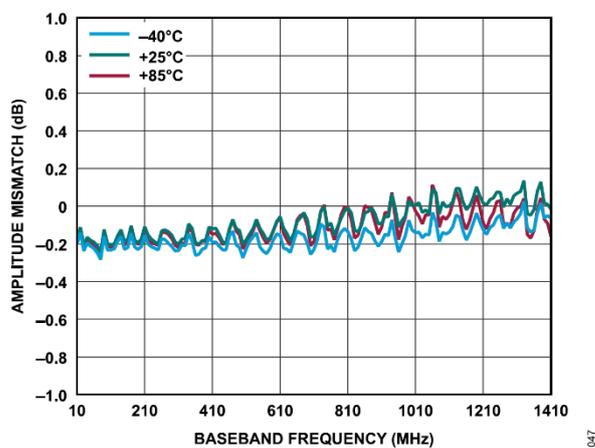


図 47. バイパス、SPIで選択可能なLPF、様々な温度での振幅不整合とベースバンド周波数の関係

代表的性能特性

温度センサーとADC

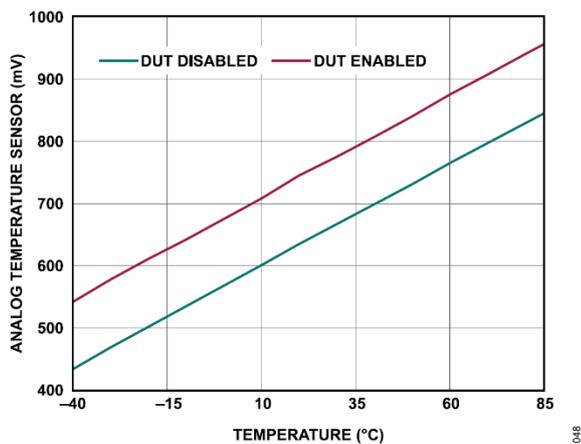


図 48. AGPIOピンのアナログ温度センサと温度の関係、テスト対象デバイス (DUT) をディスエーブル時とイネーブル時

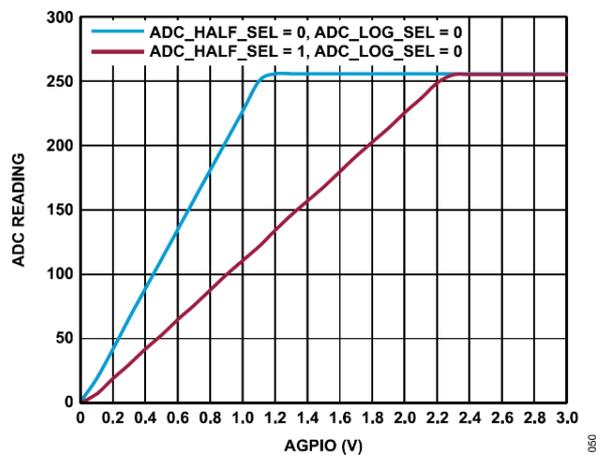


図 50. ADC読出し値とAGPIOの関係、ADC_LOG_SEL = 0

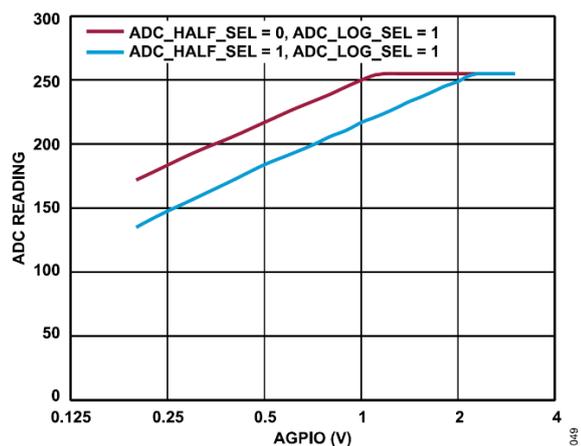


図 49. ADC読出し値とAGPIOの関係、ADC_LOG_SEL = 1

代表的性能特性

PLLとVCOの性能特性

特に指定のない限り、IチャンネルとQチャンネルの出力は1μFのコンデンサを使ってそれぞれのチャンネル出力にACカップリングされており、IチャンネルとQチャンネルの正出力と負出力は180°バランに接続されています。特に指定のない限り、f_{BB} = 100MHz、V_{CC} = 3.3V、T_A = 25°C。特に指定のない限り、PLLフィルタ帯域幅 = 220kHz (60°の位相マージン)、f_{REF} = 50MHz、DOUBLER_EN = 1、f_{PDF} = 100MHz、外部リファレンス電力はシングルエンド外部リファレンス使用時に3dBmに設定されています。

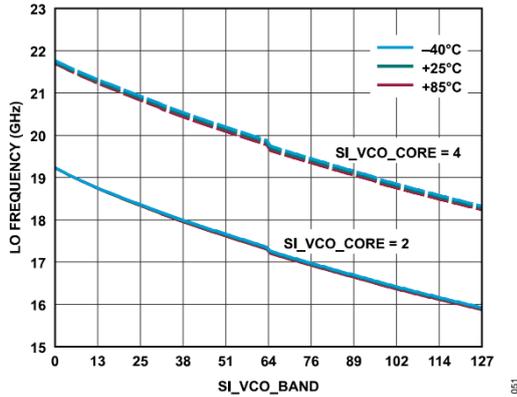


図 51. 様々な温度でのLO周波数とSI_VCO_BANDの関係、VTUNE = 1.5V、オープン・ループ、SI_VCO_CORE = 1および4

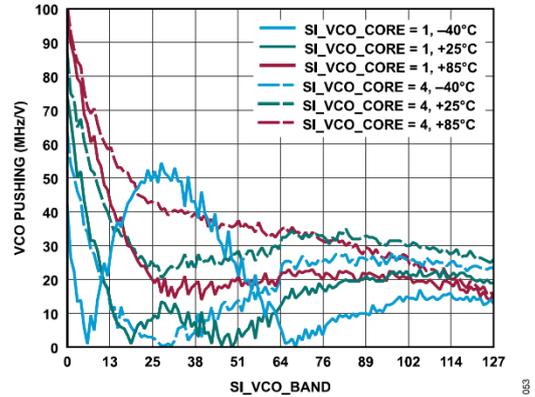


図 53. 様々な温度でのVCOプッシングとSI_VCO_BANDの関係、VTUNE = 1.5V、オープン・ループ、SI_VCO_CORE = 1および4

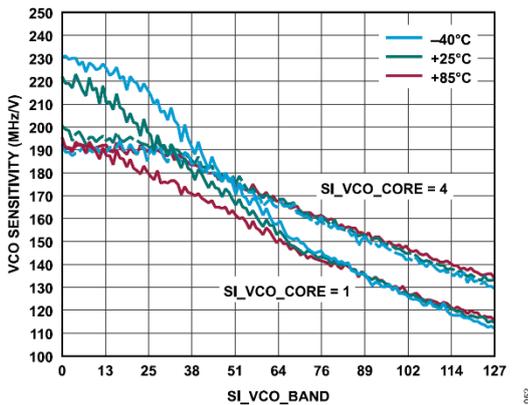


図 52. 様々な温度でのVCO感度とSI_VCO_BANDの関係、VTUNE = 1.5V、オープン・ループ、SI_VCO_CORE = 1および4

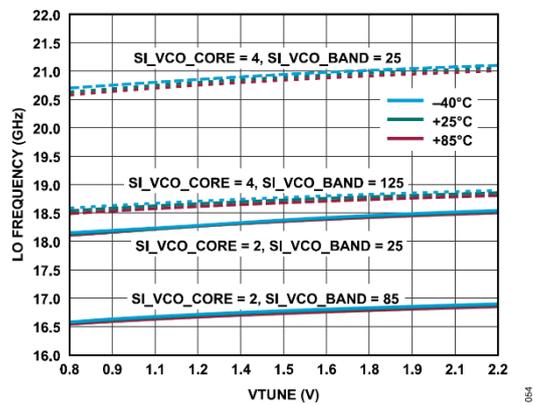


図 54. 様々な温度でのLO周波数とVTUNEの関係、4帯域 (2帯域がVCOコア1、あとの2帯域がVCOコア2)

代表的性能特性

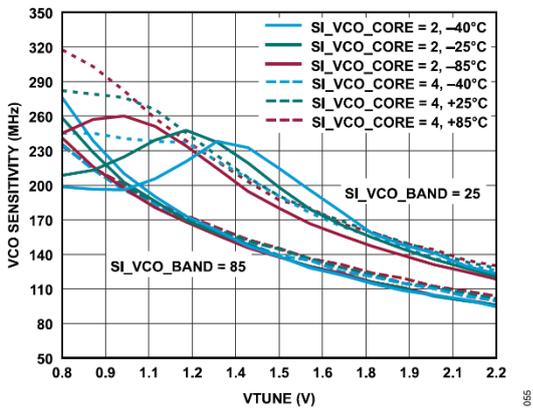


図 55. 様々な温度でのVCO感度とVTUNEの関係、
SI_VCO_CORE = 2および4

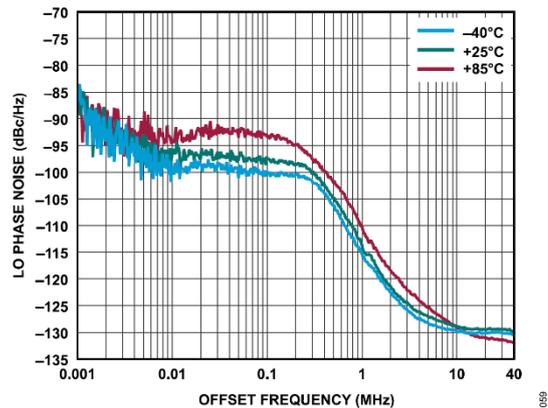


図 58. 様々な温度でのLO位相ノイズとオフセット周波数の関係、
18.6 GHz、CP_CURRENT = 4、SI_VCO_CORE = 4

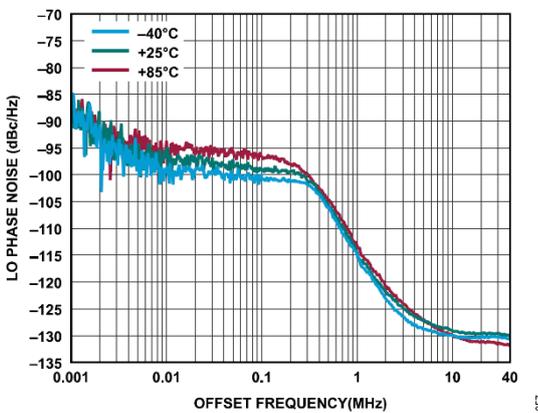


図 56. 様々な温度でのLO位相ノイズとオフセット周波数の関係、
17.1GHz、CP_CURRENT = 4、SI_VCO_CORE = 1

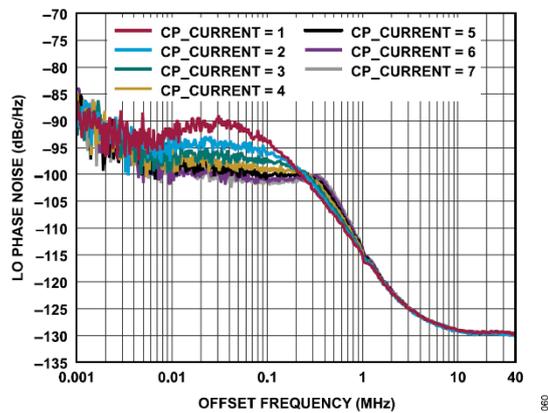


図 59. LO位相ノイズとオフセット周波数の関係、
CP_CURRENT = 1~7、LO = 17GHz、SI_VCO_CORE = 1

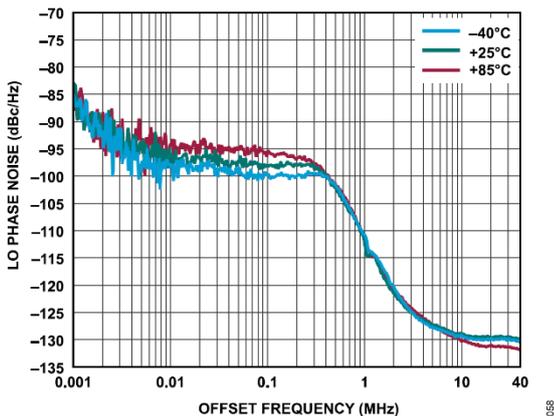


図 57. 様々な温度でのLO位相ノイズとオフセット周波数の関係、
18.6 GHz、CP_CURRENT = 4、SI_VCO_CORE = 1

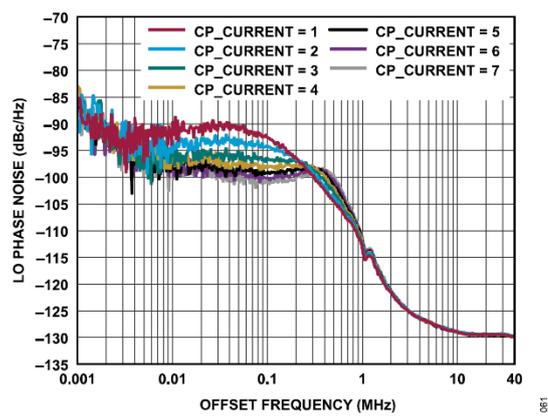


図 60. LO位相ノイズとオフセット周波数の関係、
CP_CURRENT = 1~7、LO = 18.5 GHz、SI_VCO_CORE = 1

代表的性能特性

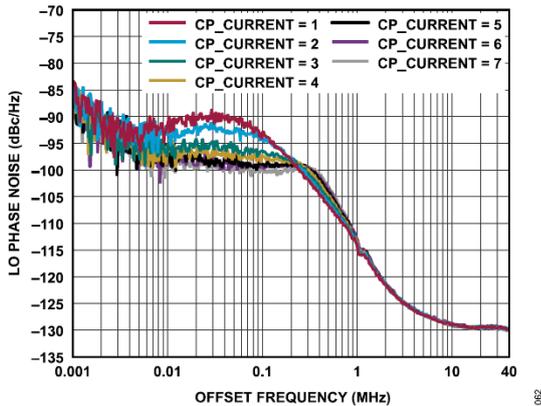


図 61. LO位相ノイズとオフセット周波数の関係、CP_CURRENT = 1~7、LO = 19GHz、SI_VCO_CORE = 4

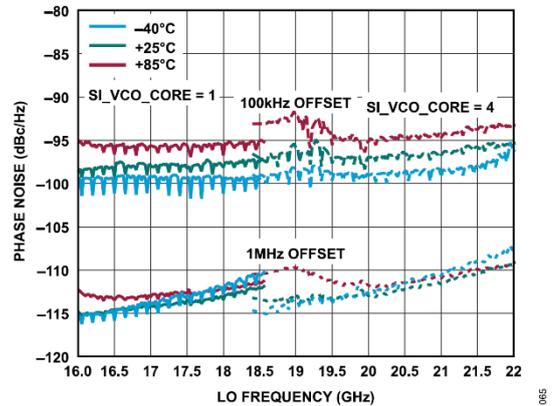


図 64. 様々な温度での位相ノイズとLO周波数の関係、100kHzオフセット時と1MHzオフセット時、CP_CURRENT = 4

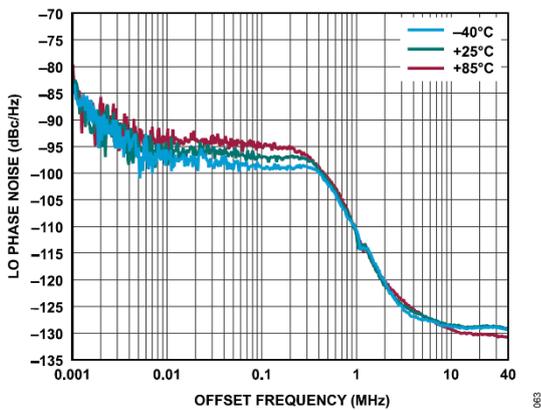


図 62. 様々な温度でのLO位相ノイズとオフセット周波数の関係、21 GHz、CP_CURRENT = 4、SI_VCO_CORE = 4

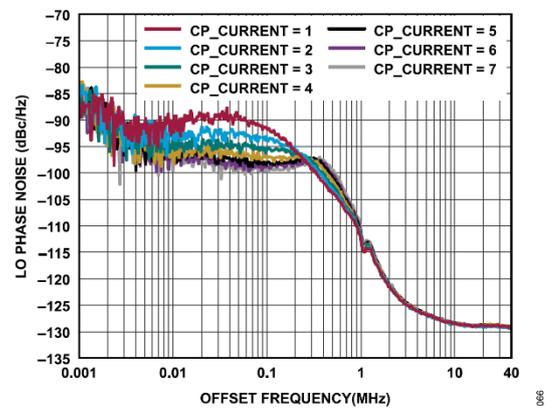


図 65. LO位相ノイズとオフセット周波数の関係、CP_CURRENT = 1~7、LO = 21GHz、SI_VCO_CORE = 1

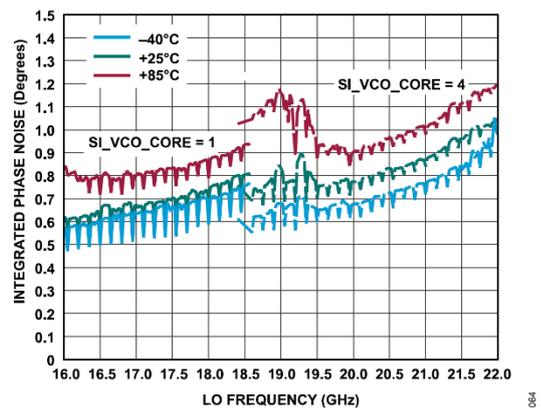


図 63. 様々な温度での1kHz~10MHzの積分位相ノイズとLO周波数の関係、CP_CURRENT = 4

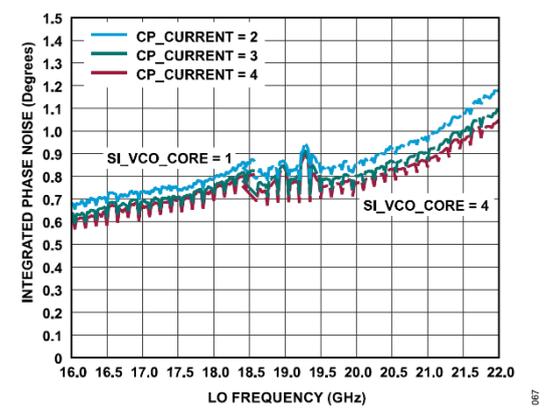


図 66. 1kHz~10MHzの積分位相ノイズとLO周波数の関係、CP_CURRENT = 2、3、4

代表的性能特性

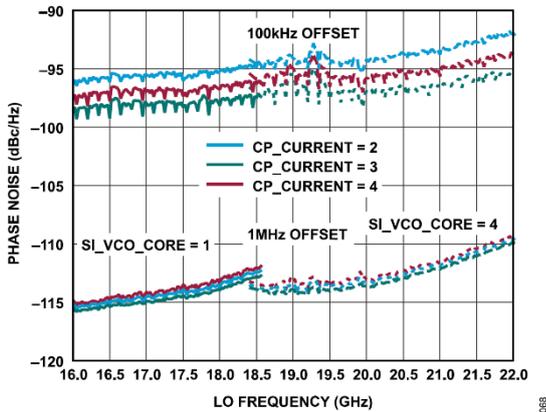


図 67. 様々な温度での位相ノイズとLO周波数の関係、100kHzオフセット時と1MHzオフセット時、CP_CURRENT = 2、3、4

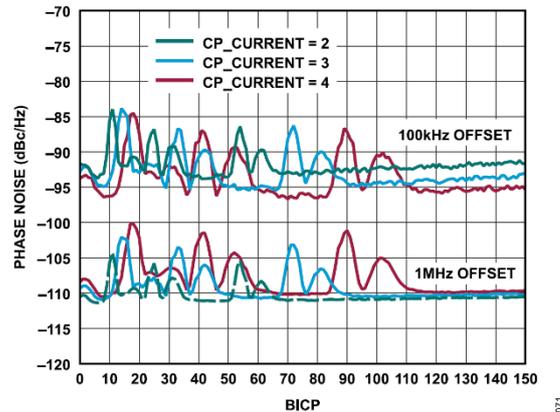


図 70. 位相ノイズとBICPの関係、100kHzオフセット時と1MHzオフセット時、CP_CURRENT = 2、3、4、LO = 21GHz

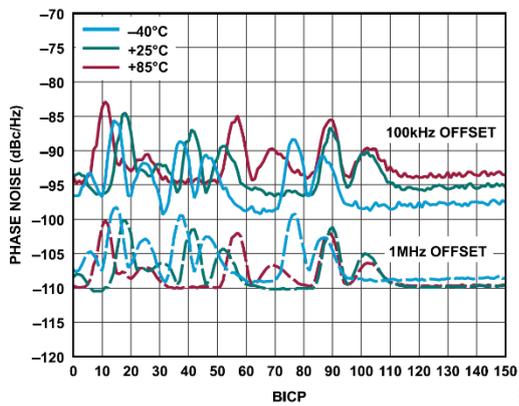


図 68. 様々な温度での位相ノイズとBICPの関係、1MHzオフセット時と100kHzオフセット時、CP_CURRENT = 4、LO = 21GHz

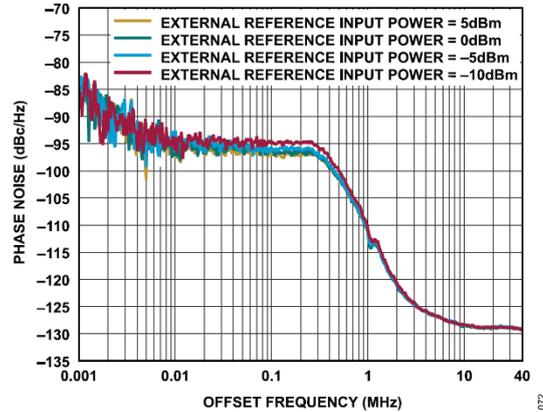


図 71. 様々な外部リファレンス入力電力での位相ノイズとオフセット周波数の関係、LO = 21GHz

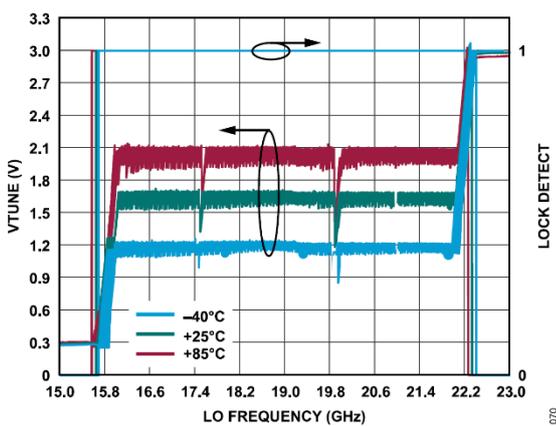


図 69. 様々な温度でのVTUNEおよびロック検出とLO周波数の関係

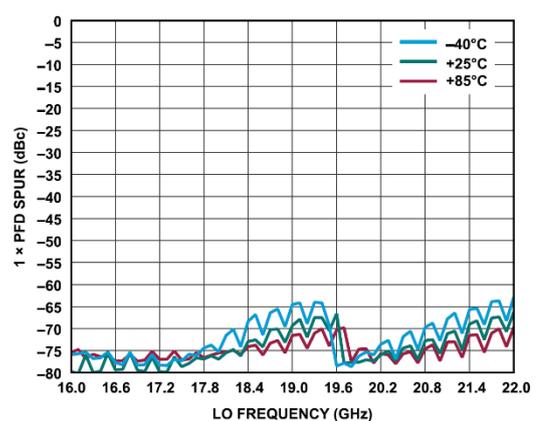


図 72. 様々な温度での1 x PFDスプリアスとLO周波数の関係、スプリアスはメインチャンネルおよびQチャンネルの出力周波数基準

代表的性能特性

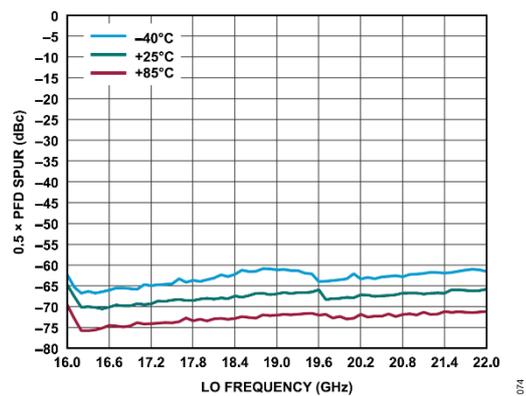


図 73. 様々な温度での0.5 × PFDスプリアスとLO周波数の関係、
スプリアスはメインチャンネルおよびQチャンネルの
出力周波数基準

代表的性能特性

VCTRL_BBVVA1、VCTRL_BBVVA2、VCTRL_BBVVA3を同時制御した場合の性能

特に指定のない限り、 $f_{BB} = 36\text{MHz}$ 、 $V_{CC} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$ 。特に指定のない限り、評価用ボードのRF配線パターンはRF_INxまでディエンベッドされています。最小入力電力の測定は、RF_INx = -66dBmおよびVCTRL_BBVVAx = 3.3Vで行っています。最大入力電力の測定は、RF_INx = -30dBm、AGCにVCTRL_BBVVAxを使用するという条件で、AGCを通じたIチャンネルおよびQチャンネルあたりの合計出力電力を-10dBmに設定して行っています。性能指標はIチャンネルごと、およびQチャンネルごとの値で、評価用ボードのIチャンネルとQチャンネルの配線パターンはIチャンネルとQチャンネルのピンまでディエンベッドされています。特に指定のない限り、IチャンネルとQチャンネルの出力は1 μF のコンデンサを使ってそれぞれのチャンネル出力にACカップリングされており、IチャンネルとQチャンネルの正出力と負出力は180°バラに接続されています。特に指定のない限り、PLLフィルタ帯域幅 = 220kHz (60°の位相マージン)、 $f_{REF} = 50\text{MHz}$ 、DOUBLER_EN = 1、 $f_{PFD} = 100\text{MHz}$ 、外部リファレンス電力はシングルエンド外部リファレンス使用時に3dBmに設定されています。

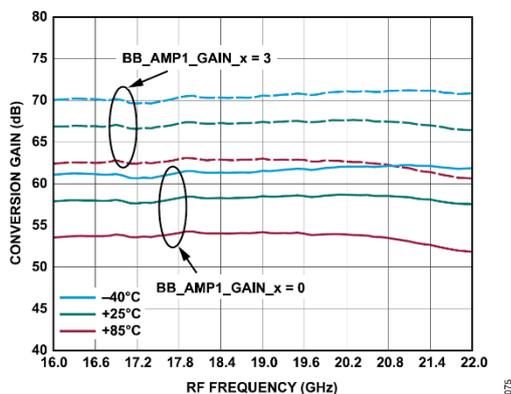


図 74. 様々な温度およびBB_AMP1_GAIN_x設定での変換ゲインとRF周波数の関係、最大ゲイン時（最小入力電力）

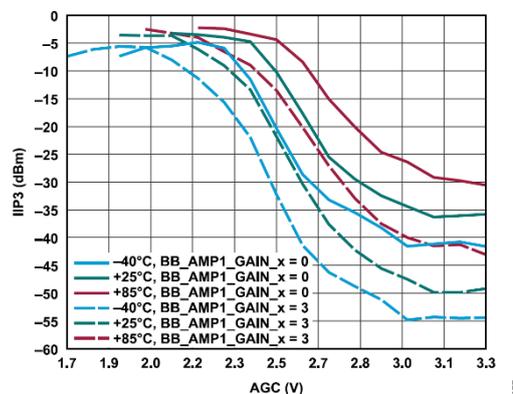


図 76. 様々な温度およびBB_AMP1_GAIN_x設定でのIIP3とAGCの関係、LO = 21GHz、最大ゲイン時（最小入力電力）

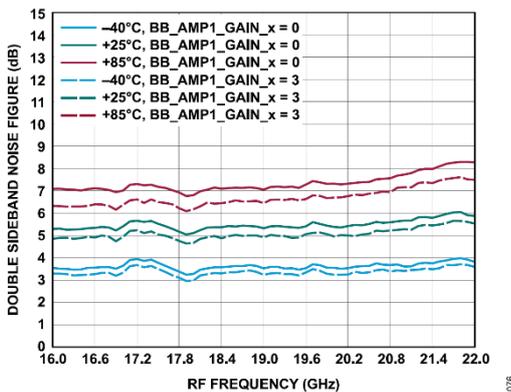


図 75. 様々な温度およびBB_AMP1_GAIN_x設定での両側波帯ノイズとRF周波数の関係、最大ゲイン時（最小入力電力）

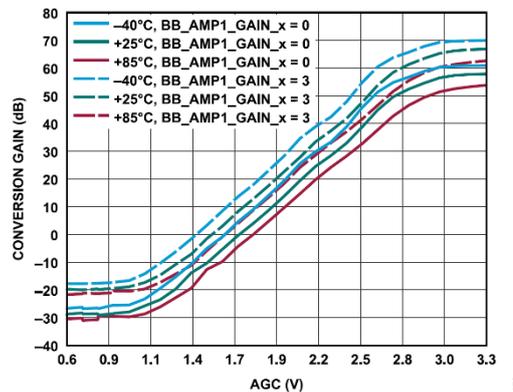


図 77. 様々な温度およびBB_AMP1_GAIN_x設定での変換ゲインとAGCの関係、LO = 17GHz、最大ゲイン時（最小入力電力）

代表的性能特性

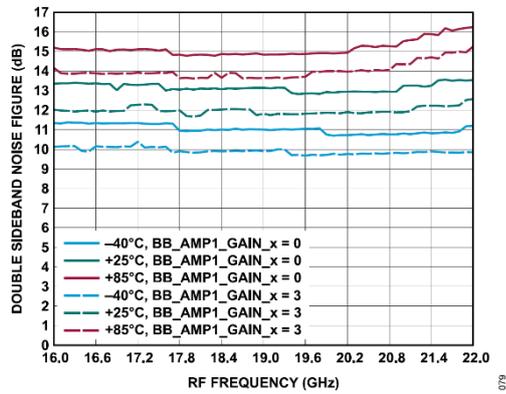


図 78. 様々な温度およびBB_AMP1_GAIN_x設定での両側波帯ノイズとRF周波数の関係、20dBゲイン時（入力電力）

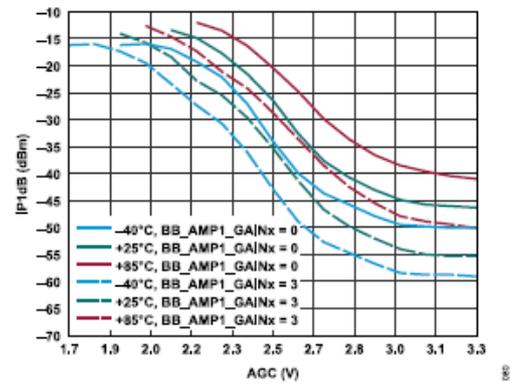


図 79. 様々な温度でのIP1dBとAGCの関係、LO = 21GHz

動作原理

ADMV4540は高集積の直交復調器で、フラクショナルNシンセサイザを内蔵しており、次世代のKバンド衛星通信に最適です。フラクショナルN PLLは、低ノイズ動作を実現するために、LOを正確なりファレンス入力信号にロックします。次いで、このLO信号が増幅されて、I/Qミキサーに必要なLOレベルが生成されます。I/Qミキサーは差動ベースバンド出力を生成し、この出力が差動ベースバンド・アンプを使って増幅されます。アンプのゲインは、外部制御電圧を使って制御できます。さらにこの差動ベースバンド出力はSPIで選択可能な3つのLPFでフィルタ処理されますが、オプションでバイパスすることもできます。

SPIプロトコル

ADMV4540のSPIを使用すれば、4線式のSPIポート（SCLK、SDIO、SDO、CS）を使い、デバイスを特定の動作に合わせて設定できます。SPIは3.3VのDCロジックに対応しています。デジタル・ロックのタイミングについては表6を参照してください。

ADMV4540のプロトコルは、読出し／書込みビットと、その後続く15個のレジスタ・アドレス・ビット（A14～A0）、および8個のデータ・ビット（D7～D0）で構成されます。レジスタ0x000のビット6が0に設定されている場合、アドレス・フィールドとデータ・フィールドのデフォルトはどちらもMSBファーストで構成され、LSBで終了します。書込みの場合は最初のビット（MSB）を0に設定し、読出しの場合は1に設定してください。CS、SCLK、SDIO、およびオプションのSDOピンは、ADMV4540との通信に使用できます。データはSCLKの立上がりエッジでラッチされます。代表的な書込みシーケンスを図80に、4線式SPI読出しシーケンスを図81に示します。

表 6. デジタル・ロジックのタイミング

Parameter	Value	Unit	Description
f _{SCLK}	10	MHZ	Maximum serial clock rate, 1/t _{SCLK} , which is the SCLK time
t _{HI}	50	ns	Minimum period that SCLK is in logic high state
t _{LO}	50	ns	Minimum period that SCLK is in logic low state
t _{DS}	15	ns	Setup time between data and rising edge of SCLK
t _{DH}	10	ns	Hold time between data and rising edge of SCLK
t _{DV}	14	ns	Maximum time delay between the falling edge of SCLK and the output data valid for a read operation in 4-wire mode
t _H	10	ns	Hold time between the rising edge of CS and the last falling edge of SCLK
t _S	10	ns	Setup time between the falling edge of CS and the rising edge of SCLK
t _Z	12	ns	Maximum time delay between CS deactivation and SDIO bus return to high impedance
t _{ACCESS}	14	ns	Maximum time delay between the falling edge of SCLK and the output data valid for a read operation in 3-wire mode

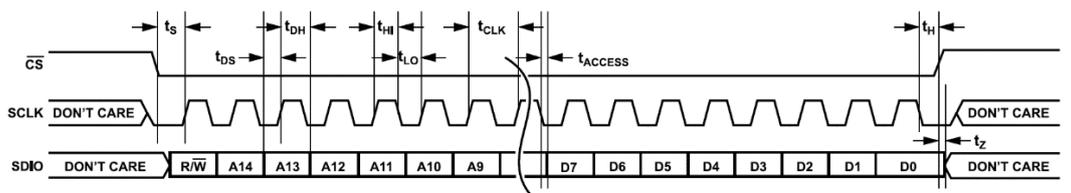


図 80. アナログ・デバイセズの標準SPIのSPIレジスタ・タイミング図（MSBファースト）

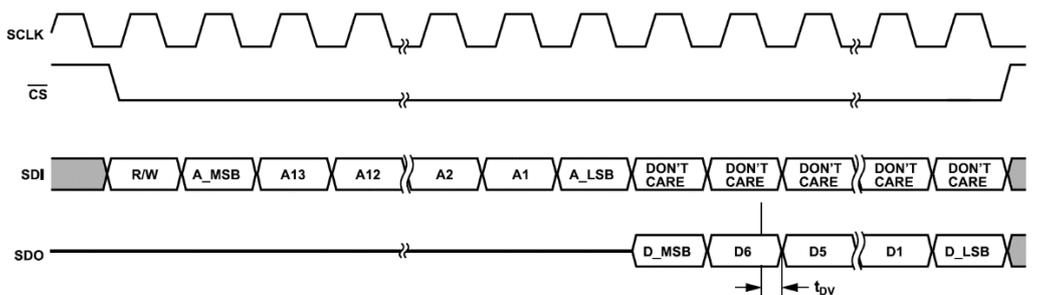


図 81. アナログ・デバイセズの標準的なSPIレジスタ読出しのタイミング図（4線式モード）

動作原理

電源シーケンシング

ADMV4540は、すべての電源ピンを同時にターンオンできるように設計されています。異なる電源ピンを同時にターンオンできない場合は、他のすべての電源ピンの前に、VCC3P3_DIGを3.3Vでターンオンしてください。任意電源シーケンスは推奨できません。より詳細なガイダンスが必要な場合は、[アナログ・デバイス](#)の営業担当までお問い合わせください。

SPIのスタートアップ・シーケンス

ADMV4540のSPI設定時は、必要な動作モードに合わせてSPIを構成する必要があります。スタートアップ時には、RF入力ポートおよびベースバンド・フィルタの設定と共に、SPIモードを選択しなければなりません。

ソフト・リセットと3線式および4線式モード

3線式モードでソフト・リセットを設定するには、次の手順に従ってください。

1. レジスタ0x000に0x81を書き込みます。
2. レジスタ0x000に0x00を書き込みます。

4線式モードでソフト・リセットを設定するには、次の手順に従ってください。

1. レジスタ0x000に0x81を書き込みます。
2. レジスタ0x000に0x18を書き込みます。

ベースバンドとコモンモードの推奨設定

ソフト・リセットを行って3線式モードか4線式モードを選択した後に、以下のレジスタを指定の推奨設定にプログラムします。

1. レジスタ0x133に0xCCを書き込みます。
2. レジスタ0x134に0xFFを書き込みます。
3. レジスタ0x135に0xFFを書き込みます。
4. レジスタ0x10Aに0x4eを書き込みます。
5. レジスタ0x10Bに0x4eを書き込みます。

RF入力ポートの選択

スタートアップ時はRF_IN1またはRF_IN2を選択する必要があります。両方の入力を同時に選択することはできません。

RF_IN1入力ポートの場合はレジスタ0x100に0x3Eを書き込み、RF_IN2の場合はレジスタ0x100に0x3Dを書き込みます。

ベースバンド・フィルタ設定

スタートアップ時は、以下の4種類のフィルタ設定のいずれか1つを選択する必要があります。

- ▶ ベースバンド・フィルタを125MHzに設定するには、レジスタ0x013Cに0x00を書き込みます。
- ▶ ベースバンド・フィルタを250MHzに設定するには、レジスタ0x013Cに0x05を書き込みます。
- ▶ ベースバンド・フィルタを500MHzに設定するには、レジスタ0x013Cに0x0Aを書き込みます。
- ▶ ベースバンド・フィルタをバイパスに設定するには、レジスタ0x013Cに0x0Fを書き込みます。

周波数更新シーケンス

SPIスタートアップ・シーケンスの実行後は、DOUBLER_EN = 0のときのLOロック書込みシーケンスのセクションとDOUBLER_EN = 1のときのLOロック書込みシーケンスのセクションに示す詳細に従ってレジスタをプログラムすることにより、出力周波数を更新することができます。

LOシンセサイザの計算

以下は、DOUBLER_EN = 0のときのLOロック書込みシーケンスのセクションとDOUBLER_EN = 1のときのLOロック書込みシーケンスのセクションに示す周波数更新実行時のレジスタ値計算に必要な、LOシンセサイザの計算です。

$$\text{Reference Multiplier} = \frac{(1 + \text{DOUBLER_EN})}{((1 + \text{REF_DIV_2}) \times (\text{R_DIV}))} \quad (1)$$

$$f_{\text{PFD}} = \text{Reference Multiplier} \times f_{\text{REF}} \quad (2)$$

$$\text{VCO Frequency} = \frac{\text{LO Frequency}}{1.5} \quad (3)$$

$$N = \frac{\text{VCO Frequency}}{f_{\text{PFD}}} \quad (4)$$

$$\text{INT_DIV} = \text{Integer Value of } N \quad (5)$$

$$\text{FRAC Value Required} = N - \text{INT_DIV} \quad (6)$$

$$\text{FRAC1 Required} = \frac{\text{FRAC Value Required} \times \text{MOD1}}{\text{MOD1}} \quad (7)$$

$$\text{FRAC1} = \text{Integer Value of FRAC1 Required} \quad (8)$$

FRAC1が0の場合は、SD_EN_OUT_OFF = 1、SD_EN_FRAC0 = 0、およびBICP = 0です。

FRAC1が0でない場合は、SD_EN_OUT_OFF = 0、SD_EN_FRAC0 = 0、およびBICP = 4または130です。

$$\text{FRAC1 Remainder} = \text{FRAC1 Required} - \text{FRAC1} \quad (9)$$

$$\text{FRAC2} = \text{FRAC1 Remainder} \times \text{MOD2} \quad (10)$$

$$\text{VCO Frequency} = \frac{\text{LO Frequency}}{1.5} \quad (11)$$

ここで、

DOUBLER_EN = 1の場合はCP_CURRENT = 4、DOUBLER_EN = 0の場合はCP_CURRENT = 8、

R_DIV = 1、

REF_DIV_2 = 0、

f_REF = 50MHz、

MOD1は $2^{24} = 16777216$ の固定値を持つ24ビットのプライマリ・モジュラス、

MOD2はプログラマブルな14ビット補助フラクショナル・モジュラス (2~16,383) で、推奨値は3です。

動作原理

DOUBLER_EN = 0のときのLOロック書込みシーケンス

DOUBLER_EN = 0のときのLO周波数更新には、以下の書込みシーケンスと、**LOシンセサイザの計算**のセクションで計算した値を使用します。

1. レジスタ0x22Dに0xA1を書き込みます。
2. レジスタ0x240に0x02を書き込みます。
3. LO周波数が18.6GHzを超える場合はレジスタ0x217に0x04を書込み、LO周波数が6GHz以下の場合はレジスタ0x217に0x01を書き込みます。
4. レジスタ0x22FにBICPの値を書き込みます。
5. レジスタ0x022EにCP_CURRENTの値を書き込みます。
6. レジスタ0x20CにR_DIVの値を書き込みます。
7. レジスタ0x20Eに0x04を書き込みます。
8. レジスタ0x22AにSD_EN_OUT_OFFの値とSD_EN_FRAC0の値を書き込みます。
9. レジスタ0x208とレジスタ0x209にMOD2の値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
10. レジスタ0x233とレジスタ0x234にFRAC2の値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
11. レジスタ0x20Bに0x01を書き込みます。
12. レジスタ0x22Bに0x0Aを書き込みます。
13. レジスタ0x202～レジスタ0x204にFRAC1の値を書き込みます。書込みは、高い方から低い方のレジスタの順番で行ってください。
14. レジスタに0x200とレジスタ0x201にINT_DIVの値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
15. レジスタ0x24Dを読み出します。レジスタ0x24Dのデータが0x01の場合、シンセサイザはロックされます。

DOUBLER_EN = 1のときのLOロック書込みシーケンス

DOUBLER_EN = 1のときのLO周波数更新には、以下の書込みシーケンスと、**LOシンセサイザの計算**のセクションで計算した値を使用します。DOUBLER_EN = 1は、最大限の積分位相ノイズ性能を得るための推奨モードです。

1. レジスタ0x21Fに0x80を書き込みます。
2. LOシンセサイザの計算 (**LOシンセサイザの計算**のセクションを参照) と、**DOUBLER_EN = 0のときのLOロック書込みシーケンス**のセクションに概要を示す手順に基づき、DOUBLER_EN = 0の状態デバイスをロックします。
3. レジスタ0x24Dを読み出すことによって、シンセサイザがロックされていることを確認します。リードバックが0x01の場合は、シンセサイザがロックされています。

4. レジスタ0x21Fに0xC0を書き込みます。
5. DOUBLER_EN = 1の状態、LOシンセサイザの計算 (**LOシンセサイザの計算**のセクションを参照) をもう一度実行します。これらの値は、次のステップのために書き留めておいてください。
6. レジスタ0x022Dに0xA1を書き込みます。
7. レジスタ0x240に0x02を書き込みます。
8. LO周波数が18.6GHzを超える場合はレジスタ0x217に0x04を書込み、LO周波数が18.6GHz以下の場合はレジスタ0x217に0x01を書き込みます。
9. レジスタ0x22FにBICPの値を書き込みます。
10. レジスタ0x022EにCP_CURRENTの値を書き込みます。ループ・ゲインを一定に保つために、ステップ2で使った値の半分の値にプログラムしてください。
11. レジスタ0x20CにR_DIVの値を書き込みます。
12. レジスタ0x20Eに0x0Cを書き込みます。
13. レジスタ0x22AにSD_EN_OUT_OFFの値とSD_EN_FRAC0の値を書き込みます。
14. レジスタ0x208とレジスタ0x209にMOD2の値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
15. レジスタ0x233とレジスタ0x234にFRAC2の値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
16. レジスタ0x20Bに0x01を書き込みます。
17. レジスタ0x22Bに0x0Aを書き込みます。
18. レジスタ0x202～レジスタ0x204にFRAC1の値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
19. レジスタに0x200とレジスタ0x201にINT_DIVの値を書き込みます。書込みは、高い方から低い方の順番で行ってください。
20. レジスタ0x24Dを読み出します。レジスタ0x24Dのデータが0x01の場合、シンセサイザはロックされます。
21. レジスタ0x21Fに0x80を書き込みます。

Nカウンタ

Nカウンタは、LOからのPLL帰還パスの分周比を設定します。Nカウンタからの信号は、ミキサの入力でLO周波数を得るために1.5倍されます。分周比は、このカウンタを構成するインテジャール値 (INT_DIV)、フラクショナルN値 (FRAC1とFRAC2)、およびモジュラス値 (MOD2) を使って決定されません。INT_DIV、FRAC1、MOD2、およびFRAC2の値の設定に使用するレジスタは、レジスタ0x200からレジスタ0x204、レジスタ0x208からレジスタ0x209、およびレジスタ0x233からレジスタ0x234です。

動作原理

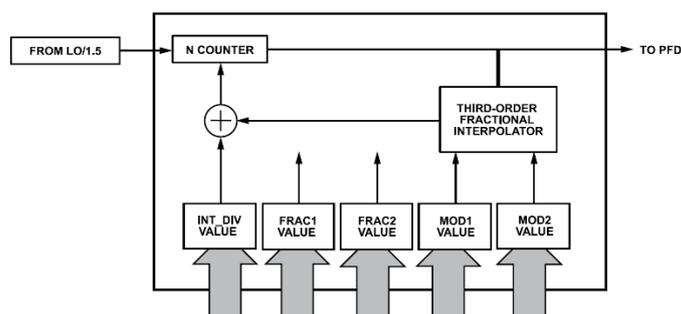


図 82. Nカウンタの機能ブロック図

ダブル・バッファ構成のレジスタ

ADMV4540内部のPLLにはいくつかのダブル・バッファ構成のビット・フィールドが含まれています。これらのフィールドは、Nカウンタ整数値の下位部分（レジスタ0x200）に書き込みを行った後にのみ、有効となります。このレジスタはこれらのダブル・バッファ構成のビット・フィールドに変更を加えて、自動キャリブレーション・ルーチンを開始します。これらのダブルバッファ構成のビットフィールドと、その対応レジスタのリストを以下に示します。

- ▶ RDIV2_SEL（レジスタ0x20E）
- ▶ DOUBLER_EN（レジスタ0x20E）
- ▶ R_DIV（レジスタ0x20C）
- ▶ CP_CURRENT（レジスタ0x22E）
- ▶ FRAC2（レジスタ0x233とレジスタ0x234）
- ▶ FRAC1（レジスタ0x202からレジスタ0x204まで）
- ▶ MOD2（レジスタ0x208とレジスタ0x209）
- ▶ INT_DIV（レジスタ0x200とレジスタ0x201）

ループ・フィルタ

ADMV4540のループ・フィルタの構成を図83に示します。抵抗とコンデンサの値の許容誤差は1%以内でなければなりません。ループ・フィルタは、積分位相ノイズと17GHz~21.5GHzの動作に合わせて最適化されています。通倍器をイネーブルするときは、チャージ・ポンプ電流を4に設定してください。通倍器をディスエーブルするときはチャージ・ポンプ設定を8にします。

実装されているループ・フィルタは3次パッシブ・フィルタです（図83参照）。フィルタは、以下のシミュレーション入力パラメータを使って設計されています： $f_{\text{PFD}} = 50\text{MHz}/100\text{MHz}$ 、 $K_{\text{VCO}} = 190\text{MHz/V}$ 、LO周波数 = 21.2GHz、 $I_{\text{CP}} = 1.5\text{mA}$ （ $\text{CP_CURRENT} = 4$ ）。これによって得られるループ・フィルタの帯域幅は220kHz、位相マージンは 60° で、このときの各部品値は、 $C_1 = 220\text{pF}$ 、 $C_2 = 15\text{nF}$ 、 $C_3 = 150\text{pF}$ 、 $R_1 = 750\Omega$ 、 $R_2 = 750\Omega$ です。 C_1 はCPOUT（ピン18）のできるだけ近くに配置してください。

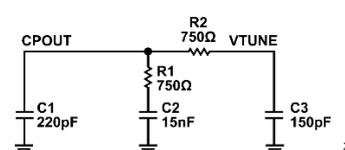


図 83.ループ・フィルタ

リファレンス入力

リファレンス入力段を図84に示します。この段には、より高い f_{PFD} を生成する内蔵リファレンス2通倍ブロック（2通倍器）があります。 f_{PFD} を高くすることは、システム全体の位相ノイズ性能を向上させる上で有効です。通常、 f_{PFD} を2倍にすると、帯域内位相ノイズ性能が最大で3dBc/Hz向上します。リファレンス2通倍ブロックをイネーブルするには、DOUBLER_ENビット（レジスタ0x20E、ビット3）を使用します。リファレンス2通倍ブロックの後段には、2つの分周器、つまり5ビットのRカウンタ（1~32までカウント可能）と2分周ブロックがあります。これらの分周器を使用すると、REFIN周波数を分周して、より低い f_{PFD} を生成できます。これは、出力のフラクショナルN整数境界スプリアスを最小限に抑える助けとなります。Rカウンタの設定には、レジスタ0x20CのR_DIVビット（ビット[4:0]）を使用します。R_DIV = 1の場合、Rカウンタはバイパスされます。さらに、R_DIV = 0はRカウンタの32分周値に相当します。リファレンス2分周ブロックをイネーブルするには、RDIV2_SELビット（レジスタ0x020E、ビット0）を使用します。

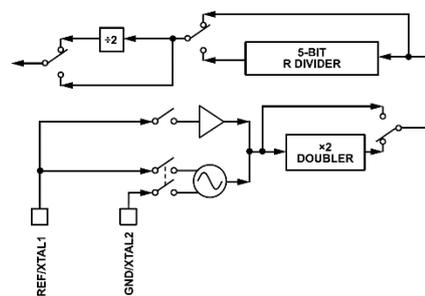


図 84.リファレンス入力段

ADMV4540には、リファレンス信号をデバイスに入力するオプションが2つあります。シングルエンド外部リファレンスと差動水晶発振器です。

動作原理

シングルエンド外部リファレンスの構成図を図85に示します。

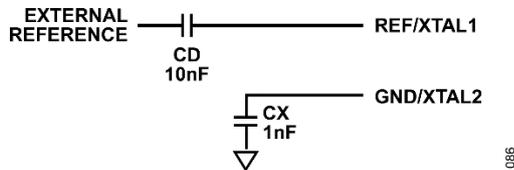


図 85. シングルエンド・リファレンス用の外部回路

ADMV4540のシングルエンド外部リファレンス・オプションをイネーブルするにはレジスタ0x129のEN_XTAL_BUFMODEビット（ビット1）を1に設定し、ディスエーブルするには0に設定します。

差動水晶発振器オプションを設定する方法については、[水晶発振器](#)のセクションを参照してください。

水晶発振器

ADMV4540の差動水晶発振器オプションをイネーブルするにはレジスタ0x129のEN_XTAL_BUFMODEビット（ビット1）を0に設定し、ディスエーブルするには1に設定します。水晶発振器の回路を図86に示します。

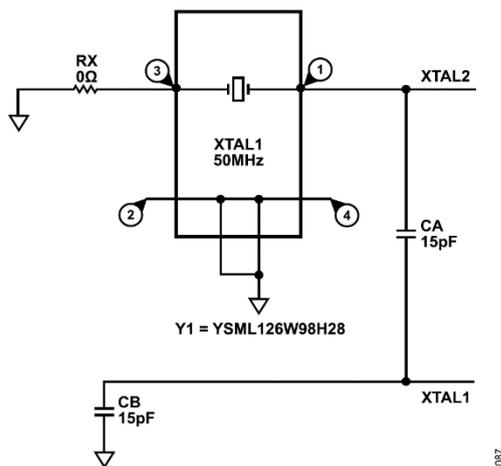


図 86. 水晶発振器用外部回路

チャージ・ポンプ電流のセットアップ

特定の目的に合わせて設計されたループ・フィルタの場合は、レジスタ0x22EのCP_CURRENT値（ビット[3:0]）を調整することによってI_{CP}を設定します。I_{CP}を計算するには以下の式を使用します。

$$I_{CP} = (CP_CURRENT + 1) \times 300\mu A \quad (12)$$

ここで、CP_CURRENTは整数値（0～15）です。

f_{PPD} = 100MHzの場合の推奨値はCP_CURRENT = 4です。この場合、推奨されるループ・フィルタ構成に基づき電流値は1.5mAになります。適用可能な範囲は0.30mA～4.8mA（0.30mAステップ）です。

f_{PPD}を変更する場合、既存のループ・フィルタ部品に変更がないのであれば、以下の式に従ってI_{CP}の値を調整することを推奨します。

$$I_{CP(NEW)} = \frac{I_{CP(DEFAULT)} \times f_{PPD(DEFAULT)}}{f_{PPD(NEW)}} \quad (13)$$

ここで、

I_{CP(NEW)}は新たに必要なI_{CP}値、

I_{CP(DEFAULT)}はデフォルトのI_{CP}値、

f_{PPD(DEFAULT)}はデフォルトのf_{PPD}値、

f_{PPD(NEW)}は新たに必要なf_{PPD}値です。

I_{CP(NEW)}が得られたら、ラウンド関数（丸め関数）を使ってレジスタ0x22EのCP_CURRENT値を更新することができます。

$$CP_CURRENT = ROUND\left(\frac{I_{CP(NEW)}}{300\mu A}\right) - 1 \quad (14)$$

ここで、ROUNDはラウンド関数です。

ブリード電流（BICP）のセットアップ

チャージ・ポンプはバイナリ・スケールのブリード電流（I_{BLEED}）を含みますが、これはレジスタ0x22FのBICP値を使って設定します。ブリード電流は、フラクショナルNモードでの動作時に整数境界スプリアスと位相ノイズを改善するため、位相周波数検出器にわずかな位相オフセットを設定します。フラクショナルNモードでブリード電流をイネーブルするには、BLEED_EN = 1（レジスタ0x22Dのビット0）に設定します。インテジャーマードではBLEED_ENを0に設定する必要があります。

一般に、最適なブリード電流値は4または130で、この値にすると、ほとんどのアプリケーションで最大限の性能を得ることができます。しかし、目的のアプリケーション向けに実際の測定値から適切なブリード電流値を経験的に決定することにより、性能を更に改善できる場合もあります。適用可能な範囲は0μA～956.25μA（3.75μAステップ）です。

$$I_{BLEED} = BICP \times 3.75\mu A \quad (15)$$

ここで、BICPは整数値（0～255）です。

デジタル・ロック検出

デジタル・ロック検出ビット（LOCK_DETECT）はレジスタ0x24Dのビット0です。ロジック・ハイは、デジタル・ロック検出がPLLのロックを宣言したことを示します。

デジタル・ロック検出機能には、レジスタ0x214で調整できる設定がいくつかあります。レジスタ0x214のLD_BIASビットとLDPビットは、内部精度ウィンドウを調整します。これについては、レジスタ・マップにリストされた設定を維持することを推奨します。

ロック検出出力は、EN_MUXOUT（レジスタ0x120のビット7）を1に、MUX_SELビット・フィールド（レジスタ0x24Eのビット[7:0]）を1に設定することによって、MAXOUTピンから取り出すこともできます。

動作原理

PFDとチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受け取り、これらのカウンタの位相差と周波数差に比例した出力を生成します。更にこの比例情報は、外部ループ・フィルタの駆動用電流を生成するチャージ・ポンプ回路に出力されて、VTUNEを適切に増減させるために使われます。

図87に、PFDとチャージ・ポンプの簡略化された回路図を示します。PFDには固定遅延素子が含まれています。この素子はPFDの伝達関数に不感帯が生じないようにして、リファレンス・スプリアス・レベルを一定にします。

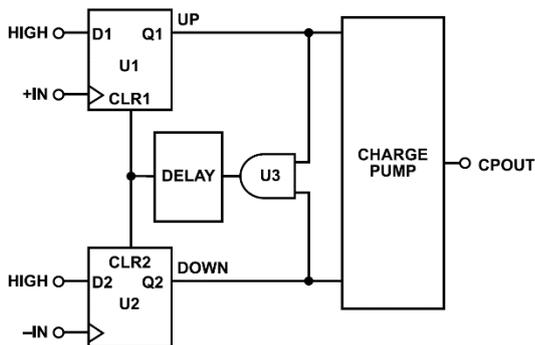


図 87. PFDとチャージ・ポンプの簡略回路図

VCOの自動キャリブレーション

内部VCOは内部自動キャリブレーション・ルーチンを使用します。このルーチンは特定の周波数に合わせてVCOの設定を最適化し、Nカウンタの整数値下位部分（レジスタ0x200）のプログラム後にPLLをロックできるようにします。DOUBLER_EN = 1のときのLOロック書込みシーケンスのセクションに示すように、より高いPFD周波数で動作させる場合を除き、通常のアプリケーションでは、自動キャリブレーションをレジスタ・マップのデフォルト値に維持してください。

自動キャリブレーションのロック時間

PLLロック時間はいくつかの設定値に分割されます。周波数変更に必要な合計ロック時間は、シンセサイザ・ロック、VCO帯域の選択、およびPLLセトリングの3つの時間の合計です。

シンセサイザ・ロック・タイムアウト

シンセサイザ・ロックのタイムアウトにより、帯域選択回路に対してVCOチューニング電圧（VTUNE）を決めるVCOキャリブレーションD/Aコンバータ（DAC）の値を安定させることができます。SYNTH_LOCK_TIMEOUTビット（レジスタ0x218）とVCO_TIMEOUTビット（レジスタ0x21Cとレジスタ0x21D）は、VCOキャリブレーションのプロセスが次のフェーズ（VCO帯域の選択）に進むまでにDACが最終電圧に安定するための許容時間を選択します。PFD周波数はこのロジック用のクロックであり、この時間は次式を使用して設定します。

$$(SYNTH_LOCK_TIMEOUT \times 1024 + VCO_TIMEOUT) / f_{PFD} \quad (16)$$

ここで、

SYNTH_LOCK_TIMEOUTは0x218のビット[4:0]で設定し、VCO_TIMEOUTはレジスタ0x21Cのビット[7:0]とレジスタ0x21Dのビット[1:0]で設定します。

この時間の計算値は30μs以上でなければなりません。

SYNTH_LOCK_TIMEOUTビットの最小値は2、最大値は31です。また、VCO_TIMEOUTの最小値は2、最大値は1023です。

VCO帯域選択時間

VCO帯域選択クロック（f_{BSC}）は、VCO_BAND_DIVビット（レジスタ0x21Eのビット[7:0]）とf_{PFD}を使用し、次式により生成します。

$$f_{BSC} = (f_{PFD} / VCO_BAND_DIV)$$

この周波数の計算値は2.4MHz未満でなければなりません。

1つのVCOコアと帯域キャリブレーションのステップには16クロック・サイクルが必要で、全帯域の選択プロセスには11ステップかかるため、最終的に次式の関係が成り立ちます。

$$11 \times \left(\frac{16 \times VCO_BAND_DIV}{f_{PFD}} \right) \quad (17)$$

VCO_BAND_DIVの最小値は1、最大値は255です。

PLLのセトリング時間

ループの安定に必要な時間は、ループ・フィルタの帯域幅に反比例します。

動作原理

VCOキャリブレーション帯域のリードバック

VCOキャリブレーション帯域データをリードバックするには、必要なレジスタをロードし、**DOUBLER_EN = 0**のときのLOロック書込みシーケンスおよび**DOUBLER_EN = 1**のときのLOロック書込みシーケンスのセクションに述べる手順に従ってデバイスをロックします。レジスタ0x24Dのビット1を読み出すことにより、デバイスがロックされたら各周波数のVCO帯域を読み出します。レジスタ0x24Dのビット0が1の場合は、レジスタ0x248のビット[7:1]にあるSI_VCO_FSM_CAPS_RBを読み出すことにより、VCO帯域をリードバックできます。ADMV4540には2つのVCOコアがあり、それぞれのVCOコアは128の帯域で構成されています。

温度センサーの設定

ADMV4540は温度センサーを内蔵しています。この温度センサー出力は、ADMV4540のAGPIOピン（ピン4）に温度センサー値が出力されるように設定できます。正確な測定を行うには、このピンの負荷が1kΩ未満にならないようにする必要があります。

AGPIOピンから出力を読み出すように温度センサーを設定するには、レジスタ0x301に0x06を書き込みます。

次の式は、AGPIOピンの温度センサー電圧指示値と、温度センサーの温度の関係を表しています。

$$\text{Temperature on the Chip near the Temperature Sensor (}^{\circ}\text{C)} = \text{APIO}(V) \times 314 - 179 \quad (18)$$

温度センサーの出力は、オンチップADCから読み出すように設定することもできます。オンチップADCから出力を読み出すように温度センサーを設定するには、レジスタ301に0x0Eを書き込みます。

ADCの出力を読み出す方法については、**ADCの設定**のセクションを参照してください。

ADCの設定

ADMV4540は分解能8ビットのADCを内蔵しており、温度センサー出力を読み出したり、AGPIOピンの電圧を0V~2.3Vの範囲で読み出したりするために使用できます。

AGPIOピンから読出しを行うようにADCを設定するには、レジスタ0x301に0x0Fを書き込みます。

温度センサーの電圧をADCから読み出すには、以下のステップに従ってください。

1. レジスタ0x302のビット0 (ENABLE_ADC) でADCをイネーブルします。
2. ADC_STARTビット（レジスタ0x302のビット1）を0に設定します。
3. ADC_START（レジスタ0x302のビット1）を1に設定します。
4. レジスタ0x303 (ADC_STATUS) のADC_EOCビット（ビット0）が1、ADC_BUSYビット（ビット1）が0になるまで、このレジスタの読出しを続けます。
5. レジスタ0x304 (ADC_DATA) を読出してADCデータを取得します。

ADCの範囲は、ADC_HALF_SELビット（レジスタ0x302のビット2）を0に設定することによって0V~1.2Vに設定できます。

ADCの範囲は、ADC_HALF_SELビット（レジスタ0x302のビット2）を1に設定することによって0V~2.3 Vに設定できます。

ADCの範囲は、ADC_LOG_SELビット（レジスタ0x302のビット3）を0に設定することにより、電圧を線形スケールに設定できます。

ADCの範囲は、ADC_LOG_SELビット（レジスタ0x302のビット3）を1に設定することにより、対数スケールに設定できます。

ADCクロック (ADC_CLK) はf_{REF}から生成されます。

$$\text{ADC_CLOCK} = \frac{f_{\text{REF}}}{(2 \times \text{SEL_ADC_CLKDIV})} \quad (19)$$

ここで、SEL_ADC_CLKDIVはレジスタ0x302のビット[7:4]に保存されます。

ゲイン・ポリシー

ADMV4540には、VCTRL_BBVVA1（ピン39）、VCTRL_BBVVA2（ピン38）、VCTRL_BBVVA3（ピン37）の3本のベースバンドVCTRLピンがあります。最大指定RF入力電力時に、全温度範囲にわたってノイズ指数を最適化するための推奨ゲイン・ポリシーを以下に示します。

- ▶ VCTRL_BBVVA1（ピン39）を3.3Vに維持する。
- ▶ VCTRL_BBVVA2（ピン38）とVCTRL_BBVVA3（ピン37）を同時に掃引してADMV4540を減衰させる。

3つのベースバンドVCTRL_BBVVAxピンも同時に掃引できます。この条件でのRF性能は、**VCTRL_BBVVA1、VCTRL_BBVVA2、VCTRL_BBVVA3を同時制御した場合の性能**のセクションに示されています。

パワーダウン

ADMV4540には、シンセサイザをロックした状態で消費電力を減らすためのパワーダウン・ピン（PD、ピン43）があります。

ADMV4540がパワーダウン・ステートになると、残りのアナログ回路、温度センサー、ADCがディスエーブルされます。デバイスをパワーダウンするには、このピンを3.3Vのロジック・ハイに設定します。この場合、消費電力は約0.6Wになります。デバイスをパワーアップするにはロジック・ローに設定してください。

MUXOUT

ADMV4540の内蔵出力マルチプレクサを使用すれば、チップ上の様々な内部信号にアクセスできます。**MUXOUT**レジスタのMUX_SELビット・フィールド（レジスタ0x24Eのビット[7:0]）には、使用可能な信号がリストされます。EN_MUXOUTビット（レジスタ0x120のビット7）を1に設定すると、MUXOUT信号がイネーブルされます。このビットを0に設定するとMUXOUT信号はディスエーブルされます。

動作原理

GPIO

ADMV4540には2つのGPIOピンがあり、出力または入力として設定できます。GPIO1がピン44で、GPIO2がピン45です。両方のGPIOxピンを出力として設定するには、EN_GPIO_OUTビット（レジスタ0x307のビット[5:4]）を0x3に設定します。[GPIOxピンの制御](#)のセクションを参照してください。両方のGPIOxピンを出力として設定するには、EN_GPIO_OUTビット（レジスタ0x307のビット[5:4]）を0x0に設定します。

GPIOxピンを3.3Vロジックとして設定するには、SEL_GPIO_LEVELSビット（レジスタ0x307のビット[2:1]）を0x3に設定します。GPIOxピンを1.8Vロジックとして設定するには、SEL_GPIO_LEVELSビット（レジスタ0x307のビット[2:1]）を0x0に設定します。

GPIOxを出力として設定すると、2つのGPIOxピンの出力値はGPIO_WRITEVALSビット（レジスタ0x305のビット[2:1]）に設定されます。ビット1がGPIO1のロジック・レベルを設定し、ビット2がGPIO2のロジック・レベルを設定します（[GPIOx書き込みレジスタ](#)のセクションを参照）。

GPIOxピンを入力として設定すると、2つのGPIOxピンの入力値はGPIO_READVALSビット（レジスタ0x306のビット[2:1]）に読み込まれます。ビット1がGPIO1のロジック・レベルを設定し、ビット2がGPIO2のロジック・レベルを設定します（[GPIO読出しレジスタ](#)のセクションを参照）。

LNAの選択

ADMV4540には2つのRF信号入力パスがあり、SPIでどちらかを選択することができます。同時に両方のパスを使用することはできません。各パスには、SPI設定を使用して特定のLNAを設定します。

- ▶ RF_IN1（ピン2）を選択するには、レジスタ0x0100に0x3Eを書き込みます。
- ▶ RF_IN1（ピン47）を選択するには、レジスタ0x0100に0x3Dを書き込みます。

ベースバンド・フィルタの選択

ADMV4540には、デジタル的に選択できるIチャンネルとQチャンネルのLPF構成として、3つの6次バターワース構成と、すべてのフィルタをバイパスできる4番目の構成があります。これら3つのLPFの帯域幅は、IチャンネルとQチャンネルでそれぞれ約125MHz、250MHz、および500MHzです。これら4つの構成のいずれか1つを選択するには、以下の手順を実行します。

- ▶ 125MHzのベースバンド・フィルタ設定を選択するには、レジスタ0x013Cに0x00を書き込みます。
- ▶ 250MHzのベースバンド・フィルタ設定を選択するには、レジスタ0x013Cに0x05を書き込みます。
- ▶ 500MHzのベースバンド・フィルタ設定を選択するには、レジスタ0x013Cに0x0Aを書き込みます。
- ▶ ベースバンド・フィルタをバイパスする設定を選択するには、レジスタ0x013Cに0x0Fを書き込みます。

イメージ除去の最適化

ADMV4540はキャリブレーションなしで35dBcのイメージ除去を実現します。イメージ除去は、最大位相範囲6°で分解能約0.4°の位相ビット（レジスタ0x128ビット[2:0]のLO_PHASE_Iとレジスタ0x128ビット[5:3]のLO_PHASE_Q）と、最大範囲1.5dBの0.1dB DSAビット（レジスタ0x140ビット[3:0]のSEL_BB_ATT_Iとレジスタ0x140ビット[7:4]のSEL_BB_ATT_Q）を調整することによって、最適化することができます。

DCオフセット補正ループ

ADMV4540には、IパスとQパスにそれぞれDCオフセット補正ループがあります。DCオフセット補正ループは、デフォルトでイネーブルされています（レジスタ0x130ビット4のEN_BB_OFS_LOOP_Iと、レジスタ0x131ビット4のEN_BB_OFS_LOOP_Q）。DCオフセット補正ループはイネーブルのままにしてください。ディスエーブルするとDCオフセットがベースバンド・アンプを飽和させて、出力信号がクリッピングされます。

アプリケーション情報

ADMV4540は、地上衛星通信システムのレシーバに使用することを意図したものです。ADMV4540は、低ノイズ・ダウンコンバータ、フラクショナルN PLLとシンセサイザ、ベースバンド・アンプ、およびローパス・ベースバンド・フィルタを内蔵しています。この集積化ソリューションはレシーバのADCと直

接インターフェースを取ることができ、DVB-S2X規格をサポートしています。また、以前の規格との後方互換性を備えています。ADMV4540の簡略化したシステム・ブロック図を [図 88](#) に示します。

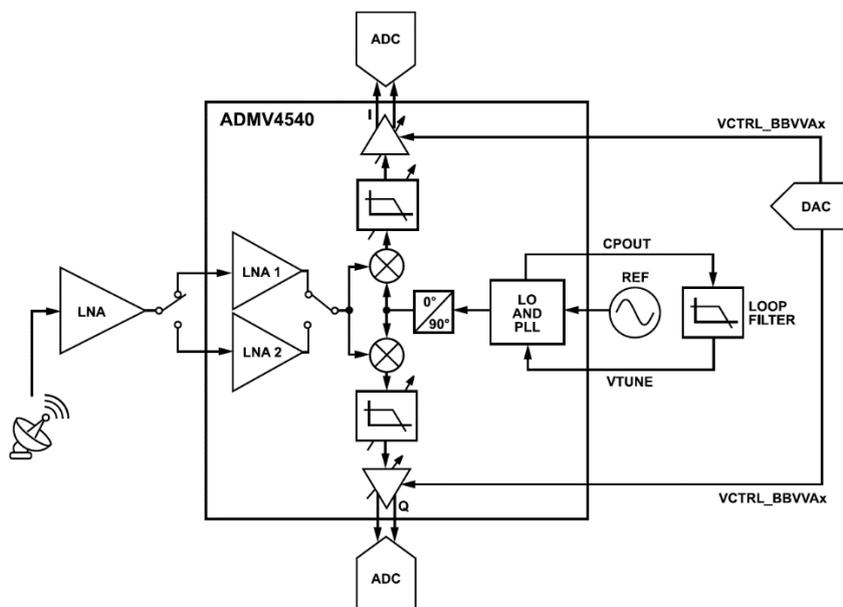


図 88. ADMV4540のシステム・ブロック図

アプリケーション情報

ADMV4540への給電

ADMV4540には2つの電源ドメインがあります。最大限の位相ノイズ性能とノイズ指数性能を実現するには、それぞれのドメインに、ADMV4540-EVALZのユーザ・ガイドに示されているADM7172などの3.3V低ノイズLDOレギュレータを使用することを推奨します。

- ▶ VCC3P3_VCO (ピン14)
- ▶ VCC3P3_BBI (ピン35)、VCC3P3_BBQ (ピン27)、およびVCC3P3_BB (ピン42)

低ノイズの電源を供給できるように、他のすべての電源ラインは単一の低ノイズ3.3V電源電圧に接続することができます。

すべての電源には0.01 μ Fのデカップリング・コンデンサが必要です。コンデンサは電源ピンのできるだけ近くに配置してください。

低ノイズLDOレギュレータからそれぞれのベースバンド電源ピンまでの電圧降下を最小限に抑えるために、3つのベースバンド電源ピンにはそれぞれ専用の電源プレーンを使用してください。

ヒート・シンクの選択

効率的に熱を伝達するために、ADMV4540底面にはヒート・シンクを取り付ける必要があります。底面のヒート・シンクには、デバイス下の基板最下層に広い露出銅領域が必要です。ADMV4540を取り付けるPCB上面から、ヒート・シンクを配置する下面へ効率的に熱を伝達するために、露出パッドには十分な数のサーマル・ビアを配置してください。サーマル・ビアは、ビアが通過する各層のグラウンド・プレーンに接続します。また、ビアはメッキで塞ぎ、上面および下面グラウンド・プレーンの表面と同一面になるようにしてください。熱伝達効率を高めるために、ヒート・シンクは銅埋め込み型のを推奨します。PCBの最下層と下面側ヒート・シンクの間には、効率的に熱を伝達するために、高熱伝導率の薄い熱界面材料 (TIM) を入れてください。

ADMV4540の底面と露出パッド間の熱伝達を最大にするには、露出パッド面積の90%以上をハンダで覆う必要があります。ハンダ・ボイドが生じないようにしてください。ADMV4540下側のハンダにボイドがあると、ADMV4540のRF性能が低下します。

推奨ランド・パターン

ADMV4540下面の露出パッドは、熱抵抗および電気インピーダンスの低いグラウンド・プレーンにハンダ付けします。通常このパッドは、ADMV4540-EVALZ評価用ボードの、ハンダ・マスクで覆われていない開口部にハンダ付けします。これらのグラウンド・ビアを、ADMV4540-EVALZ評価用ボードの他のすべてのグラウンド層に接続して、デバイス・パッケージからの熱伝達量を最大限に高めます。ADMV4540の推奨ハンダ・マスクについては、ADMV4540-EVALZのガーバー・ファイルを参照してください。露出パッドのハンダ被覆の詳細については、ヒート・シンクの選択のセクションを参照してください。

レイアウト時の考慮事項

このデータシートに示すすべての測定値は、ADMV4540-EVALZで測定しています。ADMV4540-EVALZの設計は、ADMV4540アプリケーションの推奨レイアウトとして利用できます。評価用ボード使用の詳細については、ADMV4540-EVALZのユーザ・ガイドを参照してください。

RF配線パターンのルーティング

ADMV4540の2つのRF入力には50 Ω の配線パターンが必要です。これらの配線パターンには最適なRF送信ライン・レイアウト手法を使用する必要がありますが、コプレーナ導波路 (CPWG) パターンまたはストリップライン・パターンとすることができます。これらの配線パターンは、RF入力ピンの隣にあるグラウンド・ピンまで、最小波長の1/8以下のビア間隔 (代表値) を持つ狭いビア・フェンスを使用する必要があります。これらのビア・フェンスは、絶縁強化のためにRF_INxピン (ピン2とピン47) もカバーするようにしてください。

外部リファレンスと水晶発振器のパターン・ルーティング

REF/XTAL1 (ピン22) とGND/XTAL2 (ピン21) へのリファレンス配線パターンは50 Ω とすることを推奨します。通常、これらの配線パターンは最下層に配置するか、IおよびQ配線パターンとループ・フィルタ用配線パターンが配置されている層とは別の層に配置します。ADMV4540のIおよびQ出力のスプリアス除去性能を最大にするには、このルーティング方法が推奨されます。

ベースバンド配線パターンのルーティング

IOUTPおよびIOUTNの配線には、100 Ω の差動配線パターンと50 Ω のシングルエンド配線パターンを使用する必要があります。同様に、QOUTPとQOUTNにも、100 Ω の差動配線パターンと50 Ω のシングルエンド配線パターンを使用してください。最小波長の1/8以下のビア間隔 (代表値) を持つ狭いビア・フェンスを使用し、IOUTx配線パターンとQOUTx配線パターンの間に十分な絶縁を確保してください。

レジスタの一覧

表 7. レジスタの一覧

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x000	ADI_SPI_CONFIG	[7:0]	SOFT_RESET_	LSB_FIRST_	ENDIAN_	SDO_ACTIVE_	SDO_ACTIVE	ENDIAN	LSB_FIRST	SOFT_RESET	0x00	R/W	
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID_L								0x4A	R	
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID_H								0x00	R	
0x00B	SPI_REV	[7:0]	SPI_REV								0x01	R	
0x100	RF_CKT_ENABLES	[7:0]	RESERVE_D	ENABLE_RF_MIXER_BIAS	EN_RFAMP_Q	EN_RFAMP_I	EN_LNA_Q	EN_LNA_I	EN_LNA_1	EN_LNA_2	0x3D	R/W	
0x10A	COMMON_MODE_I	[7:0]	RESERVED					COMMON_MODE_I				0x4A	R/W
0x10B	COMMON_MODE_Q	[7:0]	RESERVED					COMMON_MODE_Q				0x4A	R/W
0x120	LO_CKT_ENABLES	[7:0]	EN_MUXOUT	EN_SYNTH	EN_VCO_QUADBUF	EN_LO_BUF_Q	EN_LO_BUF_I	EN_LO_PPF_DRIVER	EN_LO_MULT	EN_LO_DIVIDER	0xFF	R/W	
0x128	LO_PHASE_IMR	[7:0]	RESERVED		LO_PHASE_Q			LO_PHASE_I			0x00	R/W	
0x129	XTAL_OSC	[7:0]	RESERVED						EN_XTAL_BUFMODE	EN_XTAL_OSC	0x0F	R/W	
0x130	BB_CKT_ENABLES_I	[7:0]	ENABLE_BBAMP3_I	EN_BB_DC_SWCH_I	ENABLE_BBAMP2_I	EN_BB_OFS_LOOP_I	EN_BB_OFS_OTRIM_I	ENABLE_BB_OFS_I	ENABLE_BB_FLT_I	ENABLE_BBAMP1_I	0xBF	R/W	
0x131	BB_CKT_ENABLES_Q	[7:0]	ENABLE_BBAMP3_Q	EN_BB_DC_SWCH_Q	ENABLE_BBAMP2_Q	EN_BB_OFS_LOOP_Q	EN_BB_OFS_OTRIM_Q	ENABLE_BB_OFS_Q	ENABLE_BB_FLT_Q	ENABLE_BBAMP1_Q	0xBF	R/W	
0x132	BB_CKT_ENABLES_COMMON	[7:0]	RESERVED							EN_BB_COMMON	0x01	R/W	
0x133	BB_AMP1_SEL_IQ	[7:0]	RESERVED		BB_AMP1_GAIN_Q		RESERVED		BB_AMP1_GAIN_I		0xEE	R/W	
0x134	BB_AMP2_SEL_IQ	[7:0]	RESERVED		BB_AMP2_GAIN_Q		RESERVED		BB_AMP2_GAIN_I		0xEE	R/W	
0x135	BB_AMP3_SEL_IQ	[7:0]	RESERVED		BB_AMP3_GAIN_Q		RESERVED		BB_AMP3_GAIN_I		0xEE	R/W	
0x13C	BB_FLT_SEL_IQ	[7:0]	RESERVED				SEL_BB_FLT_FC_Q		SEL_BB_FLT_FC_I		0x0A	R/W	
0x140	BB_DSA_IQ	[7:0]	SEL_BB_ATT_Q				SEL_BB_ATT_I				0x77	R/W	
0x200	INT_L	[7:0]	INT_DIV[7:0]								0x89	R/W	
0x201	INT_H	[7:0]	INT_DIV[15:8]								0x01	R/W	
0x202	FRAC1_L	[7:0]	FRAC1[7:0]								0x00	R/W	
0x203	FRAC1_M	[7:0]	FRAC1[15:8]								0x00	R/W	
0x204	FRAC1_H	[7:0]	FRAC1[23:16]								0x00	R/W	
0x208	MOD_L	[7:0]	MOD2[7:0]								0x00	R/W	
0x209	MOD_H	[7:0]	RESERVED		MOD2[13:8]						0x00	R/W	
0x20B	SYNTH	[7:0]	RESERVED						PRE_SEL	EN_FBDIV	0x01	R/W	
0x20C	R_DIV	[7:0]	RESERVED			R_DIV				0x03	R/W		
0x20E	SYNTH_0	[7:0]	RESERVED				DOUBLER_EN	RESERVED		RDIV2_SEL	0x04	R/W	

レジスタの一覧

表 7. レジスタの一覧

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x214	MULTI_FUNC_SYNTH_CTRL_0214	[7:0]	LD_BIAS		LDP		RESERVED			0x48	R/W		
0x215	SI_BAND_0	[7:0]	SI_VCO_BAND									0x00	R/W
0x217	SI_VCO_CORE	[7:0]	RESERVED				SI_VCO_CORE				0x00	R/W	
0x218	SYNTH_LOCK_TIMEOUT	[7:0]	RESERVED			SYNTH_LOCK_TIMEOUT				0x1F	R/W		
0x21C	VCO_TIMEOUT_L	[7:0]	VCO_TIMEOUT[7:0]									0x20	R/W
0x21D	VCO_TIMEOUT_H	[7:0]	RESERVED						VCO_TIMEOUT[9:8]			0x00	R/W
0x21E	VCO_BAND_DIV	[7:0]	VCO_BAND_DIV									0x14	R/W
0x21F	ALC_SELECT	[7:0]	RESERVE D	DISABLE _CAL	RESERVED						0x80	R/W	
0x22A	SD_CTRL	[7:0]	RESERVED		SD_EN FRAC0	SD_EN OUT_OFF	RESERVED				0x02	R/W	
0x22B	MULTI_FUNC_SYNTH_CTRL_022B	[7:0]	RESERVED						RF_PBS		0x09	R/W	
0x22C	MULTI_FUNC_SYNTH_CTRL_022C	[7:0]	RESERVED						CP_HIZ		0x03	R/W	
0x22D	MULTI_FUNC_SYNTH_CTRL_022D	[7:0]	RESERVED		SEL_PFD POLARITY	RESERVED			BLEED_ EN	0x81	R/W		
0x22E	CP_CURR	[7:0]	RESERVED				CP_CURRENT				0x0F	R/W	
0x22F	BICP	[7:0]	BICP									0x08	R/W
0x233	FRAC2_L	[7:0]	FRAC2[7:0]									0x00	R/W
0x234	FRAC2_H	[7:0]	RESERVED			FRAC2[13:8]				0x00	R/W		
0x240	VCO_FORCE	[7:0]	RESERVED						FORCE_ VCO_ CORE	FORCE_ VCO_ BAND	0x00	R/W	
0x248	VCO_FSM_CAPS_RB	[7:0]	SI_VCO_FSM_CAPS_RB								RESERVE D	0x00	R
0x24D	LOCK_DETECT	[7:0]	RESERVED							LOCK_ DETECT	0x00	R	
0x24E	MUXOUT	[7:0]	MUX_SEL									0x00	R/W
0x300	PLLMUXOUT_CONTROL	[7:0]	RESERVED								SEL_ MUXOUT_ LEVEL	0x01	R/W
0x301	AGPIO_CONTROL	[7:0]	RESERVED				SEL_ AGPIO	SEL_AMUX			0x00	R/W	
0x302	ADC_CONTROL	[7:0]	SEL_ADC_CLKDIV			ADC_ LOG_ SEL	ADC_ HALF_ SEL	ADC_ START	ENABLE_ ADC	0xCA	R/W		
0x303	ADC_STATUS	[7:0]	RESERVED				ADC_ LATCH DATA	ADC_ BUSY	ADC_ EOC	0x00	R		
0x304	ADC_DATA	[7:0]	ADC_DATA									0x00	R
0x305	GPIO_WRITEVALS	[7:0]	RESERVED				GPIO_ WRITEVALS		RESERVE D	0x00	R/W		

レジスタの一覧

表 7. レジスタの一覧

Register	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x306	GPIO_READVALS	[7:0]	RESERVED						GPIO_READVALS	RESERVED	0x00	R
0x307	GPIO_CONTROL	[7:0]	RESERVED		EN_GPIO_OUT		RESERVED	SEL_GPIO_LEVELS	RESERVED	0x00	R/W	
0x600	SPARE_READREG1	[7:0]	SPARE_READBITS1								0x00	R
0x601	SPARE_READREG2	[7:0]	SPARE_READBITS2								0xFF	R
0x602	SPARE_READREG3	[7:0]	SPARE_READBITS3								0x00	R
0x603	SPARE_WRITEREG1	[7:0]	SPARE_WRITEBITS1								0x00	R/W
0x604	SPARE_WRITEREG2	[7:0]	SPARE_WRITEBITS2								0xFF	R/W
0x605	SPARE_WRITEREG3	[7:0]	SPARE_WRITEBITS3								0x00	R/W

レジスタの詳細

アナログ・デバイセスPI標準レジスタ

アドレス：0x000、リセット：0x00、レジスタ名：ADI_SPI_CONFIG

表 8. ADI_SPI_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0：リセットをアサート。 1：リセットをアサートしない。	0x0	R/W
6	LSB_FIRST_	LSBファースト。 0：LSBファースト。 1：MSBファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0：リトル・エンディアン。 1：ビッグ・エンディアン。	0x0	R/W
4	SDOACTIVE_	SDOアクティブ。 0：SDO非アクティブ。 1：SDOアクティブ	0x0	R/W
3	SDOACTIVE	SDOアクティブ。 0：SDO非アクティブ。 1：SDOアクティブ。	0x0	R/W
2	ENDIAN	エンディアン。 0：リトル・エンディアン。 1：ビッグ・エンディアン。	0x0	R/W
1	LSB_FIRST	LSBファースト。 0：LSBファースト。 1：MSBファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0：リセットをアサート。 1：リセットをアサートしない。	0x0	R/W

製品ID（16ビットの下位8ビット）レジスタ

アドレス：0x004、リセット：0x4A、レジスタ名：PRODUCT_ID_L

表 9. PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_L	PRODUCT_ID_L、下位8ビット。	0x4A	R

製品ID（16ビットの上位8ビット）レジスタ

アドレス：0x005、リセット：0x00、レジスタ名：PRODUCT_ID_H

表 10. PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID_H	PRODUCT_ID_H、上位8ビット。	0x0	R

レジスタの詳細

アナログ・デバイセスPI定義のリビジョン番号レジスタ

アドレス：0x00B、リセット：0x01、レジスタ名：SPI_REV

表 11. SPI_REVビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REV	SPIレジスタ・マップのリビジョン。	0x1	R

RFシグナル・チェーン・イネーブル・レジスタ

アドレス：0x100、リセット：0x3D、レジスタ名：RF_CKT_ENABLES

表 12. RF_CKT_ENABLESのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	ENABLE_RF_MIXER_BIAS	1：ミキサーのサブブロック・バイアスをイネーブル。	0x0	R/W
5	EN_RFAMP_Q	1：QパスのRFアンプをイネーブル	0x1	R/W
4	EN_RFAMP_I	1：IパスのRFアンプをイネーブル	0x1	R/W
3	EN_LNA_Q	1：QパスのLNAをイネーブル	0x1	R/W
2	EN_LNA_I	1：IパスのLNAをイネーブル	0x1	R/W
1	EN_LNA_1	1：LNA2をイネーブル。	0x0	R/W
0	EN_LNA_2	1：LNA1をイネーブル。	0x1	R/W

Iパスのコモンモード・レジスタ

アドレス：0x10A、リセット：0x4A、レジスタ名：COMMON_MODE_I

表 13. COMMON_MODE_Iビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x9	R/W
[2:0]	COMMON_MODE_I	IパスDACのコモンモード・レベル。	0x2	R/W

Qパスのコモンモード・レジスタ

アドレス：0x10B、リセット：0x4A、レジスタ名：COMMON_MODE_Q

表 14. COMMON_MODE_Qビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x9	R/W
[2:0]	COMMON_MODE_Q	QパスDACのコモンモード・レベル。	0x2	R/W

LOシグナル・チェーン・イネーブル・レジスタ

アドレス：0x120、リセット：0xFF、レジスタ名：LO_CKT_ENABLES

表 15. LO_CKT_ENABLESのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_MUXOUT	1：PLLテスト信号用にMUXOUTピンをイネーブル。	0x1	R/W
6	EN_SYNTH	1：シンセサイザをイネーブル。	0x1	R/W
5	EN_VCO_QUADBUF	1：LOの逡倍器ドライバ（クワッド・バッファ）をイネーブル。	0x1	R/W
4	EN_LO_BUF_Q	1：LOのQパス20GHzバッファをイネーブル。	0x1	R/W
3	EN_LO_BUF_I	1：LOのIパス20GHzバッファをイネーブル。	0x1	R/W
2	EN_LO_PPFDRIIVER	1：LOのPolyphase®フィルタ・ドライバをイネーブル。	0x1	R/W

レジスタの詳細

表 15. LO_CKT_ENABLESのビットの説明

ビット	ビット名	説明	リセット	アクセス
1	EN_LO_MULT	1: LOの通倍器をイネーブル。	0x1	R/W
0	EN_LO_DIVIDER	1: LOの分周器をイネーブル。	0x1	R/W

LO位相調整レジスタ

アドレス: 0x128、リセット: 0x00、レジスタ名: LO_PHASE_IMR

表 16. LO_PHASE_IMRビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:3]	LO_PHASE_Q	LOのQチャンネル位相調整。	0x0	R/W
[2:0]	LO_PHASE_I	LOのIチャンネル位相調整。	0x0	R/W

水晶発振器ビット・レジスタ

アドレス: 0x129、リセット: 0x0F、レジスタ名: XTAL_OSC

表 17. COMMON_MODE_Qビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:2]	RESERVED	予備。	0x3	R/W
1	EN_XTAL_BUFMODE	1: リファレンス・バッファ・モードをイネーブル。	0x1	R/W
0	EN_XTAL_OSC	1: 水晶発振器をイネーブル。	0x1	R/W

ベースバンドIパス回路イネーブル・レジスタ

アドレス: 0x130、リセット: 0xBF、レジスタ名: BB_CKT_ENABLES_I

表 18. BB_CKT_ENABLES_Iのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ENABLE_BBAMP3_I	1: ベースバンドIパスのアンプ3をイネーブル。	0x1	R/W
6	EN_BB_DC_SWCH_I	1: ベースバンドIパスのDCオフセット・モニタリング回路をイネーブル。	0x0	R/W
5	ENABLE_BBAMP2_I	1: ベースバンドIパスのアンプ2をイネーブル。	0x1	R/W
4	EN_BB_OFS_LOOP_I	1: Iパスのオフセット補正をイネーブル。	0x1	R/W
3	EN_BB_OFS_OTRIM_I	1: Iパスのオフセット電流をイネーブル。	0x1	R/W
2	ENABLE_BB_OFS_I	1: Iパスのベースバンド・オフセット・ループ・オペアンプをイネーブル。	0x1	R/W
1	ENABLE_BB_FLT_I	1: ベースバンドIパス・フィルタをイネーブル。	0x1	R/W
0	ENABLE_BBAMP1_I	1: ベースバンドIパスのアンプ1をイネーブル。	0x1	R/W

ベースバンドQパス回路イネーブル・レジスタ

アドレス: 0x131、リセット: 0xBF、レジスタ名: BB_CKT_ENABLES_Q

表 19. BB_CKT_ENABLES_Qのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	ENABLE_BBAMP3_Q	1: ベースバンドQパスのアンプ3をイネーブル。	0x1	R/W
6	EN_BB_DC_SWCH_Q	1: ベースバンドQパスのDCオフセット・モニタリング回路をイネーブル。	0x0	R/W
5	ENABLE_BBAMP2_Q	1: ベースバンドQパスのアンプ2をイネーブル。	0x1	R/W
4	EN_BB_OFS_LOOP_Q	1: Qパスのオフセット補正をイネーブル。	0x1	R/W
3	EN_BB_OFS_OTRIM_Q	1: Qパスのオフセット電流をイネーブル。	0x1	R/W

レジスタの詳細

表 19. BB_CKT_ENABLES_Qのビットの説明

ビット	ビット名	説明	リセット	アクセス
2	ENABLE_BB_OFS_Q	1: Qパスのベースバンド・オフセット・ループ・オペアンプをイネーブル。	0x1	R/W
1	ENABLE_BB_FLT_Q	1: ベースバンドQパス・フィルタをイネーブル。	0x1	R/W
0	ENABLE_BBAMP1_Q	1: ベースバンドQパスのアンプ1をイネーブル。	0x1	R/W

ベースバンド共通ブロック・イネーブル・レジスタ

アドレス: 0x132、リセット: 0x01、レジスタ名: BB_CKT_ENABLES_COMMON

表 20. BB_CKT_ENABLES_COMMONビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	EN_BB_COMMON	1: 共有バイアス・ブロックをイネーブル、減衰調整とバイアス。	0x1	R/W

ベースバンド選択アンプ1のIQゲインおよびバイアス・レジスタ

アドレス: 0x133、リセット: 0xEE、レジスタ名: BB_AMP1_SEL_IQ

表 21. BB_AMP1_SEL_IQビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x3	R/W
[5:4]	BB_AMP1_GAIN_Q	ベースバンドQパスのアンプ1のゲイン・モードを選択。	0x2	R/W
[3:2]	RESERVED	予備。	0x3	R/W
[1:0]	BB_AMP1_GAIN_I	ベースバンドIパスのアンプ1のゲイン・モードを選択。	0x2	R/W

ベースバンド選択アンプ2のIQゲインおよびバイアス・レジスタ

アドレス: 0x134、リセット: 0xEE、レジスタ名: BB_AMP2_SEL_IQ

表 22. BB_AMP2_SEL_IQビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x3	R/W
[5:4]	BB_AMP2_GAIN_Q	ベースバンドQパスのアンプ2のゲイン・モードを選択。	0x2	R/W
[3:2]	RESERVED	予備。	0x3	R/W
[1:0]	BB_AMP2_GAIN_I	ベースバンドIパスのアンプ2のゲイン・モードを選択。	0x2	R/W

ベースバンド選択アンプ3のIQゲインおよびバイアス・レジスタ

アドレス: 0x135、リセット: 0xEE、レジスタ名: BB_AMP3_SEL_IQ

表 23. BB_AMP2_SEL_IQビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x3	R/W
[5:4]	BB_AMP2_GAIN_Q	ベースバンドQパスのアンプ2のゲイン・モードを選択。	0x2	R/W
[3:2]	RESERVED	予備。	0x3	R/W
[1:0]	BB_AMP2_GAIN_I	ベースバンドIパスのアンプ2のゲイン・モードを選択。	0x2	R/W

レジスタの詳細

ベースバンドIQフィルタ帯域幅選択レジスタ

アドレス：0x13C、リセット：0x0A、レジスタ名：BB_FLT_SEL_IQ

表 24. BB_FLT_SEL_IQビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:2]	SEL_BB_FLT_FC_Q	ベースバンドQパス・フィルタの帯域幅を選択。 00：125MHz。 01：250MHz。 10：500MHz。 11：バイパス。	0x2	R/W
[1:0]	SEL_BB_FLT_FC_I	ベースバンドIパス・フィルタの帯域幅を選択。 00：125MHz。 01：250MHz。 10：500MHz。 11：バイパス。	0x2	R/W

ベースバンド・デジタル・ステップ減衰設定レジスタ

アドレス：0x140、リセット：0x77、レジスタ名：BB_DSA_IQ

表 25. BB_DSA_IQビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_BB_ATT_Q	ベースバンドQパス減衰設定の選択。	0x7	R/W
[3:0]	SEL_BB_ATT_I	ベースバンドIパス減衰設定の選択。	0x7	R/W

N分周器INTのLSBおよびトリガ・レジスタ

アドレス：0x200、リセット：0x89、レジスタ名：INT_L

表 26. INT_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INT_DIV[7:0]	インテジャーNワード・ダブル・バッファ構成。インテジャー・ワードのLSBに書込みを行うと、通常は自動キャリブレーションが行われます。	0x89	R/W

N分周器INTのMSBレジスタ

アドレス：0x201、リセット：0x01、レジスタ名：INT_H

表 27. INT_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INT_DIV[15:8]	インテジャーNワード・ダブル・バッファ構成。インテジャー・ワードのLSBに書込みを行うと、通常は自動キャリブレーションが行われます。	0x1	R/W

N分周器FRAC1のLSBレジスタ

アドレス：0x202、リセット：0x00、レジスタ名：FRAC1_L

表 28. FRAC1_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1[7:0]	フラクショナルNワード・ダブル・バッファ構成。24ビットFRAC1値の低位8ビット。	0x0	R/W

レジスタの詳細

N分周器FRAC1の中位ビット・レジスタ

アドレス：0x203、リセット：0x00、レジスタ名：FRAC1_M

表 29. FRAC1_Mのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1[15:8]	フラクショナルNワード-ダブル・バッファ構成。24ビットFRAC1値の中位8ビット。	0x0	R/W

N分周器FRAC1のMSBレジスタ

アドレス：0x204、リセット：0x00、レジスタ名：FRAC1_H

表 30. FRAC1_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC1[23:16]	フラクショナルNワード-ダブル・バッファ構成。24ビットFRAC1値の上位8ビット。	0x0	R/W

精密周波数モード使用時の補助フラクショナル・モジュラスLSBレジスタ

アドレス：0x208、リセット：0x00、レジスタ名：MOD_L

表 31. MOD_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MOD2[7:0]	14ビット補助フラクショナル・モジュラス。推奨設定は3です。	0x0	R/W

精密周波数モード使用時の補助フラクショナル・モジュラスMSBレジスタ

アドレス：0x209、リセット：0x00、レジスタ名：MOD_H

表 32. MOD_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	MOD2[13:8]	14ビット補助フラクショナル・モジュラス。推奨設定は3です。	0x0	R/W

N分周器イネーブルおよびモード選択レジスタ

アドレス：0x20B、リセット：0x01、レジスタ名：SYNTH

表 33. SYNTHのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
1	PRE_SEL	プリスケラ選択。 0：2xプリスケラをディスエーブル。 1：2xプリスケラをイネーブル。	0x0	R/W
0	EN_FBDIV	帰還分周器をイネーブル。	0x1	R/W

R分周器設定点レジスタ

アドレス：0x20C、リセット：0x03、レジスタ名：R_DIV

表 34. R_DIVのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	R_DIV	R分周器ワード。5ビットのリファレンスR分周器ワード。	0x3	R/W

レジスタの詳細

R分周器制御レジスタ

アドレス：0x20E、リセット：0x04、レジスタ名：SYNTH_0

表 35. SYNTH_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	DOUBLER_EN	リファレンス2逓倍器をイネーブル - ダブル・バッファ構成。	0x0	R/W
2	RESERVED	予備。	0x1	R/W
1	RESERVED	予備。	0x0	R
0	RDIV2_SEL	リファレンスを2分周。ダブル・バッファ構成。 0：リファレンス2分周をディスエーブル。 1：リファレンス2分周をイネーブル。	0x0	R/W

ロック検出設定レジスタ

アドレス：0x214、リセット：0x48、レジスタ名：MULTI_FUNC_SYNTH_CTRL_0214

表 36. MULTI_FUNC_SYNTH_CTRL_0214のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LD_BIAS	ロック検出バイアス。 00：40 μ A。 01：30 μ A。 10：20 μ A。 11：10 μ A。	0x1	R/W
[5:3]	LDP	ロック検出精度。 000：1024連続PFDサイクルでロックをチェック。 001：2048連続PFDサイクルでチェック。 010：4096連続PFDサイクルでチェック。 011：8192連続PFDサイクルでチェック。	0x1	R/W
[2:0]	RESERVED	予備。	0x0	R/W

VCO帯域用SPIオーバーライド値レジスタ

アドレス：0x215、リセット：0x00、レジスタ名：SI_BAND_0

表 37. SI_BAND_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SI_VCO_BAND	FORCE_VCO_BAND = 1の場合にVCO帯域を設定します。	0x0	R/W

VCO選択用SPIオーバーライド値レジスタ

アドレス：0x217、リセット：0x00、レジスタ名：SI_VCO_CORE

表 38. SI_VCO_COREのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	SI_VCO_CORE	FORCE_VCO_CORE = 1の場合にVCOコアを設定します。	0x0	R/W

レジスタの詳細

SYNTH_LOCK_TIMEOUT

アドレス：0x218、リセット：0x1F、レジスタ名：SYNTH_LOCK_TIMEOUT

表 39. SYNTH_LOCK_TIMEOUTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
[4:0]	SYNTH_LOCK_TIMEOUT	シンセサイザ・ロック・タイムアウト。SYNTH_LOCK_TIMEOUTの推奨値は約30 μ sです。	0x1F	R/W

VCOキャリブレーション・タイムアウトLSBレジスタ

アドレス：0x21C、リセット：0x20、レジスタ名：VCO_TIMEOUT_L

表 40. VCO_TIMEOUT_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_TIMEOUT[7:0]	メインVCOキャリブレーション・タイムアウト。	0x20	R/W

VCOキャリブレーション・タイムアウトMSBレジスタ

アドレス：0x21D、リセット：0x00、レジスタ名：VCO_TIMEOUT_H

表 41. VCO_TIMEOUT_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	VCO_TIMEOUT[9:8]	メインVCOキャリブレーション・タイムアウト。	0x0	R/W

自動周波数キャリブレーション（AFC）測定分解能レジスタ

アドレス：0x21E、リセット：0x14、レジスタ名：VCO_BAND_DIV

表 42. VCO_BAND_DIVのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND_DIV	AFC測定の1サイクルの継続時間を設定する値です。AFC測定の継続時間は16 × VCO_BAND_DIVです。この値は、PFDレートに応じて約10 μ sとなるように設定する必要があります。この値を必要以上に長くすると自動キャリブレーションの時間が長くなり、短くすると周波数測定分解能が不十分になって自動キャリブレーションの精度を確保できなくなるおそれがあります。	0x14	R/W

ALC_SELECTレジスタ

アドレス：0x21F、リセット：0x80、レジスタ名：ALC_SELECT

表 43. ALC_SELECTのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x1	R/W
6	DISABLE_CAL	VCOキャリブレーションをディスエーブル。	0x0	R/W
[5:0]	RESERVED	予備。	0x0	R/W

汎用制御レジスタ1

アドレス：0x22A、リセット：0x02、レジスタ名：SD_CTRL

表 44. SD_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R/W
5	SD_EN_FRAC0	FRAC = 0で Σ - Δ をイネーブル。	0x0	R/W

レジスタの詳細

表 44. SD_CTRLのビットの説明

ビット	ビット名	説明	リセット	アクセス
4	SD_EN_OUT_OFF	Σ - Δ イネーブル、出力オフ。	0x0	R/W
[3:0]	RESERVED	予備。	0x2	R

汎用制御レジスタ2

アドレス：0x22B、リセット：0x09、レジスタ名：MULTI_FUNC_SYNTH_CTRL_022B

表 45. MULTI_FUNC_SYNTH_CTRL_022Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x2	R
[1:0]	RF_PBS	プリスケラ・バイアス・オプション。	0x1	R/W

チャージ・ポンプ高Zレジスタ

アドレス：0x22C、リセット：0x03、レジスタ名：MULTI_FUNC_SYNTH_CTRL_022C

表 46. MULTI_FUNC_SYNTH_CTRL_022Cのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	CP_HIZ	チャージ・ポンプ・トライステート。 0：チャージ・ポンプ・トライステート・モード0。 1：チャージ・ポンプ・トライステート・モード1。 2：チャージ・ポンプ・トライステート・モード2。 3：チャージ・ポンプ・トライステート・モード3。	0x3	R/W

チャージ・ポンプ制御レジスタ

アドレス：0x22D、リセット：0x81、レジスタ名：MULTI_FUNC_SYNTH_CTRL_022D

表 47. MULTI_FUNC_SYNTH_CTRL_022Dのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x2	R/W
5	SEL_PFD_POLARITY	PFDの極性選択。	0x0	R/W
[4:1]	RESERVED	予備。	0x0	R
0	BLEED_EN	ブリード・イネーブル。	0x1	R/W

チャージ・ポンプ電流レジスタ

アドレス：0x22E、リセット：0x0F、レジスタ名：CP_CURR

表 48. CP_CURRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CP_CURRENT	メイン・チャージ・ポンプ電流。	0xF	R/W

チャージ・ポンプ・ブリード電流レジスタ

アドレス：0x22F、リセット：0x08、レジスタ名：BICP

表 49. BICPのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BICP	バイナリ・スケールのブリード電流。	0x8	R/W

レジスタの詳細

FRAC2 LSBレジスタ

アドレス：0x233、リセット：0x00、レジスタ名：FRAC2_L

表 50. FRAC2_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	FRAC2[7:0]	精密周波数モードのFrac2ワード - ダブル・バッファ構成。	0x0	R/W

FRAC2 MSBレジスタ

アドレス：0x234、リセット：0x00、レジスタ名：FRAC2_H

表 51. FRAC2_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:0]	FRAC2[13:8]	精密周波数モードのFrac2ワード - ダブル・バッファ構成。	0x0	R/W

VCOおよび帯域選択調整レジスタ

アドレス：0x240、リセット：0x00、レジスタ名：VCO_FORCE

表 52. VCO_FORCEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
1	FORCE_VCO_CORE	VCOコア・キャリブレーションをオーバーライド。	0x0	R/W
0	FORCE_VCO_BAND	VCO帯域キャリブレーションをオーバーライド。	0x0	R/W

VCOキャリブレーションFSMレジスタ

アドレス：0x248、リセット：0x00、レジスタ名：VCO_FSM_CAPS_RB

表 53. VCO_FSM_CAPS_RBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	SI_VCO_FSM_CAPS_RB	VCOキャリブレーション帯域のリードバックに示したように、SI_VCO_FSM_CAPS_RBビットを使ってVCOキャリブレーション帯域をリードバックします。	0x0	R
0	RESERVED	予備	0x0	R

ロック検出リードバック・レジスタ

アドレス：0x24D、リセット：0x00、レジスタ名：LOCK_DETECT

表 54. LOCK_DETECTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	LOCK_DETECT	ロック検出信号のステート。	0x0	R

レジスタの詳細

MUXOUT

アドレス：0x24E、リセット：0x00、レジスタ名：MUXOUT

表 55. MUXOUTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	MUX_SEL	MUXOUTピンから出力する信号を選択。 0 = ロジック0。 1 = ロック検出。 2 = アップ。 3 = ダウン。 4 = RDIV/2。 5 = NDIV/2。 8 = ロジック1。	0x0	R/W

PLL MUXOUTレベル制御レジスタ

アドレス：0x300、リセット：0x01、レジスタ名：PLLMUXOUT_CONTROL

表 56. PLLMUXOUT_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	SEL_MUXOUT_LEVEL	1 : 3.3V。 0 : 1.8V。	0x1	R/W

AGPIO MUXおよびピン制御レジスタ

アドレス：0x301、リセット：0x00、レジスタ名：AGPIO_CONTROL

表 57. AGPIO_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
3	SEL_AGPIO	AGPIOの選択。 0 : AMUXからAGPIO出力へ。 1 : AGPIO入力からADCへ。	0x0	R/W
[2:0]	SEL_AMUX	ADCへのAMUX入力を選択（SEL_AGPIOもアサートが必要）。 6 : 温度センサー。 7 : AGPIO入力。	0x0	R/W

ADC制御ビット・レジスタ

アドレス：0x302、リセット：0xCA、レジスタ名：ADC_CONTROL

表 58. ADC_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SEL_ADC_CLKDIV	ADCクロック = REFCLK/(2 × SEL_ADC_CLKDIV)。	0xC	R/W
3	ADC_LOG_SEL	ADCログ・スケールの選択。 0 : スケールなし。 1 : ADC出力にログ・スケールを使用。	0x1	R/W
2	ADC_HALF_SEL	ADCの選択。 0 : ADCへの1×入力。 1 : ADCへの2分周入力。	0x0	R/W

レジスタの詳細

表 58. ADC_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
1	ADC_START	遷移。 ADC_STARTを0から1に切り替えてADC変換を開始。	0x1	R/W
0	ENABLE_ADC	ADCをイネーブルまたはディスエーブル。 0 : ADCをディスエーブル。 1 : ADCをイネーブル。	0x0	R/W

ADCステータス・ビット・レジスタ

アドレス : 0x303、リセット : 0x00、レジスタ名 : ADC_STATUS

表 59. ADC_STATUSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x0	R
2	ADC_LATCHDATA	ADCラッチ・データ。 1 : SPIからADCデータを読み出す準備が整ったことを示します。	0x0	R
1	ADC_BUSY	ADCビジー・インジケータ。 1 : ADCがビジーであることを示します。	0x0	R
0	ADC_EOC	ADC変換終了。 1 : ADC変換が完了したことを示します。	0x0	R

ADC結果レジスタ

アドレス : 0x304、リセット : 0x00、レジスタ名 : ADC_DATA

表 60. ADC_DATAのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_DATA	ADC出力データ (8ビット)。	0x0	R

GPIOX書込みレジスタ

アドレス : 0x305、リセット : 0x00、レジスタ名 : GPIO_WRITEVALS

表 61. GPIO_WRITEVALSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x0	R
[2:1]	GPIO_WRITEVALS	GPIOxピンに書き出す値。	0x0	R/W
0	RESERVED	予備。	0x0	R

GPIO読出しレジスタ

アドレス : 0x306、リセット : 0x00、レジスタ名 : GPIO_READVALS

表 62. GPIO_READVALSのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予備。	0x0	R
[2:1]	GPIO_READVALS	GPIOxピンから読み出す値。	0x0	R
0	RESERVED	予備。	0x0	R

レジスタの詳細

GPIOxピンの制御

アドレス：0x307、リセット：0x00、レジスタ名：GPIO_CONTROL

表 63. GPIO_CONTROLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予備。	0x0	R
[5:4]	EN_GPIO_OUT	GPIOを入力または出力としてイネーブル。 0：GPIOは入力。 1：GPIOは出力。	0x0	R/W
3	RESERVED	予備。	0x0	R
[2:1]	SEL_GPIO_LEVELS	GPIOの出力電圧レベル。 0：3.3V。 1：1.8V。	0x0	R/W
0	RESERVED	予備。	0x0	R

スペア読出しレジスタ1

アドレス：0x600、リセット：0x00、レジスタ名：SPARE_READREG1

表 64. SPARE_READREG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_READBITS1	スペア読出しレジスタ（8ビット）。	0x0	R

スペア読出しレジスタ2

アドレス：0x601、リセット：0xFF、レジスタ名：SPARE_READREG2

表 65. SPARE_READREG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_READBITS2	スペア読出しレジスタ（8ビット）。	0xFF	R

スペア読出しレジスタ3

アドレス：0x602、リセット：0x00、レジスタ名：SPARE_READREG3

表 66. SPARE_READREG3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_READBITS3	スペア読出しレジスタ（8ビット）。	0x0	R

スペア書込みレジスタ1

アドレス：0x603、リセット：0x00、レジスタ名：SPARE_WRITEREG1

表 67. SPARE_WRITEREG1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_WRITEBITS1	スペア書込みレジスタ（8ビット）。	0x0	R/W

スペア書込みレジスタ2

アドレス：0x604、リセット：0xFF、レジスタ名：SPARE_WRITEREG2

表 68. SPARE_WRITEREG2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_WRITEBITS2	スペア書込みレジスタ（8ビット）。	0xFF	R/W

レジスタの詳細

スペア書き込みレジスタ3

アドレス : 0x605、リセット : 0x00、レジスタ名 : SPARE_WRITEREG3

表 69. SPARE_WRITEREG3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_WRITEBITS3	スペア書き込みレジスタ (8ビット)。	0x0	R/W

外形寸法

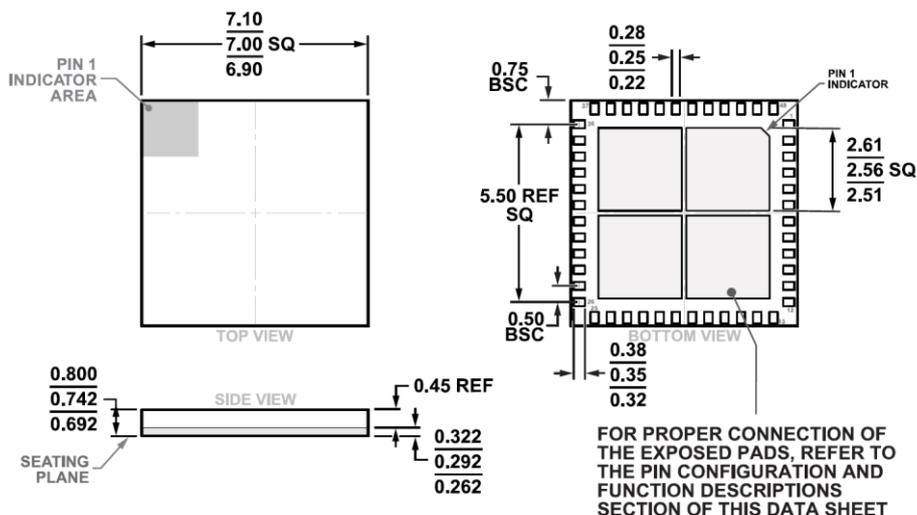


図 89. 48端子ランド・グリッド・アレイ [LGA]
(CC-48-5)
寸法 : mm

07-29-2019-A

更新 : 2021年10月21日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADMV4540ACCZ	-40°C to +85°C	48-Terminal Land Grid Array [LGA]	Reel, 0	CC-48-5
ADMV4540ACCZ-RL7	-40°C to +85°C	48-Terminal Land Grid Array [LGA]	Reel, 750	CC-48-5

1 Z = RoHS準拠製品。

評価用ボード

Model	Description
ADMV4540-EVALZ	Evaluation Board

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年12月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年12月5日

製品名：ADMV4540

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：20頁、図51の下の説明文

【誤】

図 51. 様々な温度での L0 周波数と SI_VCO_BAND の関係、VTUNE = 1.5V、オープン・ループ、SI_VCO_CORE = 1 および 4

【正】

図 51. 様々な温度での L0 周波数と SI_VCO_BAND の関係、VTUNE = 1.5V、オープン・ループ、SI_VCO_CORE = 2 および 4

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年12月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年12月5日

製品名：ADMV4540

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：33頁、「VCO キャリブレーション帯域のリードバック」の項、上から5行目

【誤】

レジスタ 0x24D のビット 1 を読み出すことにより、デバイスがロックされたら各周波数の VCO 帯域を読み出します。

【正】

レジスタ 0x24D のビット 0 を読み出すことにより、デバイスがロックされたことを確認したら各周波数の VCO 帯域を読み出します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年12月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年12月5日

製品名：ADMV4540

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：34頁、「GPIO」の項、上から5行目

【誤】

両方の GPIOx ピンを出力として設定するには、EN_GPIO_OUT ビット（レジスタ 0x307 のビット [5:4]）を 0x0 に設定します。

【正】

両方の GPIOx ピンを入力として設定するには、EN_GPIO_OUT ビット（レジスタ 0x307 のビット [5:4]）を 0x0 に設定します。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年12月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年12月5日

製品名：ADMV4540

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：34ページ、左の段、LNAの選択の項、下から4行箇条書きの部分

【誤】

- ▶ RF_IN1 (ピン2) を選択するには、レジスタ 0x0100 に 0x3E を書き込みます。
- ▶ RF_IN1 (ピン47) を選択するには、レジスタ 0x0100 に 0x3D を書き込みます。

【正】

- ▶ RF_IN1 (ピン2、LNA1) を選択するには、レジスタ 0x0100 に 0x3E を書き込みます。
- ▶ RF_IN2 (ピン47、LNA2) を選択するには、レジスタ 0x0100 に 0x3D を書き込みます。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
 この正誤表は、2023年12月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
 なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年12月5日

製品名：ADMV4540

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：41ページ、表12、下の2行(ビット0と1の解説行)、下記赤枠内

【誤】

RFシグナル・チェーン・イネーブル・レジスタ

アドレス：0x100、リセット：0x3D、レジスタ名：RF_CKT_ENABLES

表 12. RF_CKT_ENABLESのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	ENABLE_RF_MIXER_BIAS	1: ミキサのサブブロック・バイアスをイネーブル。	0x0	R/W
5	EN_RFAMP_Q	1: QパスのRFアンプをイネーブル	0x1	R/W
4	EN_RFAMP_I	1: IパスのRFアンプをイネーブル	0x1	R/W
3	EN_LNA_Q	1: QパスのLNAをイネーブル	0x1	R/W
2	EN_LNA_I	1: IパスのLNAをイネーブル	0x1	R/W
1	EN_LNA_1	1: LNA2をイネーブル。	0x0	R/W
0	EN_LNA_2	1: LNA1をイネーブル。	0x1	R/W

。

【正】

RFシグナル・チェーン・イネーブル・レジスタ

アドレス：0x100、リセット：0x3D、レジスタ名：RF_CKT_ENABLES

表 12. RF_CKT_ENABLESのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予備。	0x0	R
6	ENABLE_RF_MIXER_BIAS	1: ミキサのサブブロック・バイアスをイネーブル。	0x0	R/W
5	EN_RFAMP_Q	1: QパスのRFアンプをイネーブル	0x1	R/W
4	EN_RFAMP_I	1: IパスのRFアンプをイネーブル	0x1	R/W
3	EN_LNA_Q	1: QパスのLNAをイネーブル	0x1	R/W
2	EN_LNA_I	1: IパスのLNAをイネーブル	0x1	R/W
1	EN_LNA_1	1: LNA1をイネーブル。	0x0	R/W
0	EN_LNA_2	1: LNA2をイネーブル。	0x1	R/W

アナログ・デバイセズ株式会社

本 社 / 〒105-7323 東京都港区東新橋 1-9-1
 東京汐留ビルディング 23F
 大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36
 新大阪トラストタワー 10F
 名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島 6-1
 名古屋ルーセントタワー 40F