

デュアル・チャンネル、0.5GHz～32GHz マイクロ波ダウン・コンバータ

特長

- ▶ デュアル・チャンネル、0.5GHz～32GHzレシーバ
- ▶ LNA内蔵
- ▶ ダウン・コンバージョン・ミキサー内蔵
- ▶ ミキサー・バイパス用スイッチ内蔵
- ▶ LPF内蔵：8GHzの帯域幅
- ▶ DSA内蔵
- ▶ DSA範囲：31dB、1dBステップ
- ▶ 単一の共通LO入力。
- ▶ 50Ωに整合した入出力
- ▶ 20.00mm x 14.00mm、179ボールCSP_BGA

アプリケーション

- ▶ フェーズド・アレイ・レーダー用レシーバ
- ▶ 衛星通信 (SATCOM) 用レシーバ
- ▶ 電子戦
- ▶ 電子テストおよび計測用装置
- ▶ ATE (自動試験装置)

概要

ADMFM2000は、入力RFおよび局部発振器 (LO) の周波数範囲が5GHz～32GHz、出力中間周波数 (IF) の周波数範囲が0.5GHz～8GHzのデュアル・チャンネル・マイクロ波ダウン・コンバータです。ダウン・コンバージョン・ミキサーをバイパスして、0.5～8GHzのIFパスに直接アクセスすることもできます。共通LO入力信号は分割されて2つの独立したバッファ・アンプに供給され、各チャンネルのミキサーを駆動します。各ダウン・コンバージョン・パスは、低ノイズ・アンプ (LNA)、ミキサー、IFフィルタ、デジタル・ステップ減衰器 (DSA)、およびIFアンプで構成されています。

ADMFM2000は表面実装コンポーネントとベア・ダイ・コンポーネントの組み合わせを使用して製造されており、歪みの小さい正確なゲイン調整が可能です。シールドされた小型の20.00mm x 14.00mm 179ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ (CSP_BGA) を採用しており、-40°C～+85°Cの温度範囲で動作します。

機能ブロック図

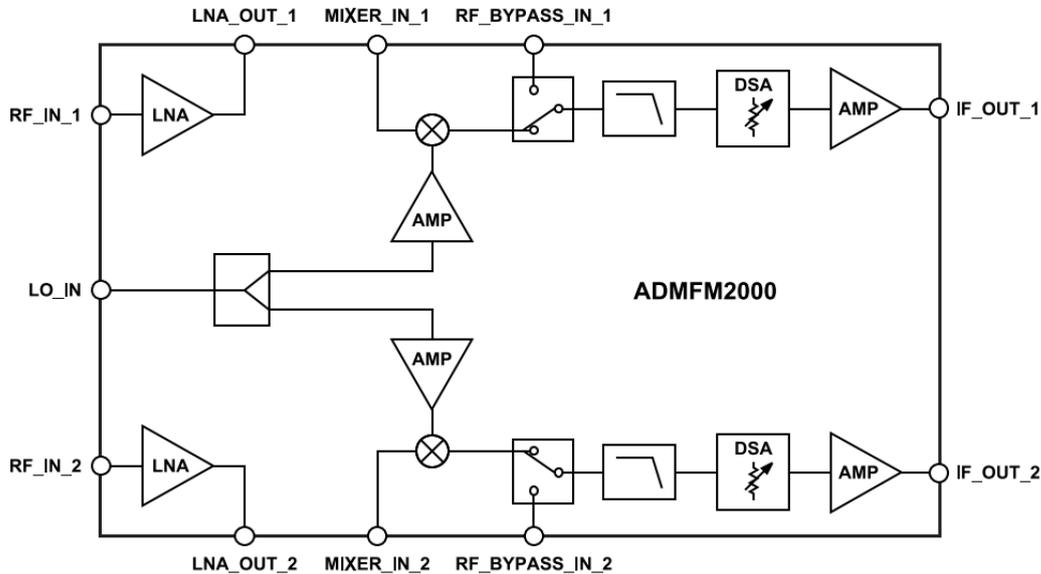


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

| | | | |
|---|----|---------------------------|----|
| 特長..... | 1 | 動作原理..... | 21 |
| アプリケーション..... | 1 | LNA..... | 21 |
| 概要..... | 1 | ミキサー..... | 21 |
| 機能ブロック図..... | 1 | LO..... | 21 |
| 仕様..... | 3 | スイッチ..... | 21 |
| 絶対最大定格..... | 6 | LPF..... | 22 |
| 熱抵抗..... | 6 | DSA..... | 22 |
| 静電放電 (ESD) 定格..... | 6 | IFアンプ..... | 23 |
| ESDに関する注意..... | 6 | アプリケーション情報..... | 24 |
| ピン配置およびピン機能の説明..... | 7 | 基本的な接続方法..... | 24 |
| 代表的な性能特性..... | 9 | カスケード接続したLNAとミキサーの性能..... | 26 |
| LNA (RF_IN_x TO LNA_OUT_x)..... | 9 | レイアウトに関する推奨事項..... | 27 |
| MIXER (MIXER_IN_x~IF_OUT_x)..... | 12 | ベント・ホール..... | 27 |
| ダイレクトIF (RF_BYPASS_IN_x~IF_OUT_x)..... | 16 | パワー・マネージメントに関する推奨事項..... | 27 |
| カスケード接続したLNAとミキサー (RF_IN_x~IF_OUT_x)..... | 19 | 外形寸法..... | 28 |
| スプリアス性能..... | 20 | オーダー・ガイド..... | 28 |
| | | 評価用ボード..... | 28 |

改訂履歴

3/2024—Revision 0: Initial Version

仕様

特に指定のないかぎり、VDD_LNA_1 = VDD_LNA_2 = VDD_IF_1 = VDD_IF_2 = VDD_LO_DRIVER_1 = VDD_LO_DRIVER_2 = 5V、VSS_DSAS = -5V、VGG_RFAMP_1 = VGG_RFAMP_2 = VGG_LOAMP_1 = VGG_LOAMP_2 = オープン、LO_IN電力 (P_{LO_IN}) = 6dBm (ユーザ評価用ボードのLO_IN RFコネクタが基準)、およびT_A = 25°C。

表 1. 仕様

| パラメータ | テスト条件/コメント | 最小値 | 代表値 | 最大値 | 単位 |
|-------------------------------------|---|-----|------|-----|--------|
| OPERATING CONDITIONS | | | | | |
| Frequency Range | | 0.5 | | 32 | GHz |
| LNA Input | | 5 | | 32 | GHz |
| Mixer Input | | 5 | | 32 | GHz |
| Direct IF Input | | 0.5 | | 8 | GHz |
| LNA Output | | 5 | | 32 | GHz |
| IF Output | | 0.5 | | 8 | GHz |
| LO Input | | 7 | | 30 | GHz |
| LNA | 入力 : RF_IN_1およびRF_IN_2、出力 : LNA_OUT_1およびLNA_OUT_2 | | | | |
| Gain | 18GHz | | 12 | | dB |
| Gain Flatness | 任意の4GHz帯域幅内 | | 1 | | dB p-p |
| Gain Variation over Temperature | -40°C~+85°C | | 1.2 | | dB |
| Noise Figure | 18GHz | | 3.5 | | dB |
| Input 1 dB Compression Point (P1dB) | 18GHz | | 2 | | dBm |
| Second Harmonic (HD2) | RF_IN_x周波数 (f _{RF_IN_x}) = 9GHz、およびLNA_OUT_x電力 (P _{LNA_OUT_x}) = -6dBm | | -37 | | dBc |
| Third Harmonic (HD3) | f _{RF_IN_x} = 9GHz、およびP _{LNA_OUT_x} = -6dBm | | | | dBc |
| Input Third-Order Intercept (IP3) | 18GHz、1MHzトーン間隔、および出力電力 (P _{OUT}) = トーンあたり-6dBm | | -69 | | dBm |
| Input Second-Order Intercept (IP2) | 9GHz、11MHzトーン間隔、P _{OUT} = トーンあたり-6dBm | | 12 | | dBm |
| Channel to Channel Isolation | P _{LNA_OUT_1} ~P _{LNA_OUT_2} 、18GHz、P _{RF_IN_1} = -20dBm、およびRF_IN_2 : 50Ω終端 | | 25 | | dB |
| MIXER | 入力 : MIXER_IN_1およびMIXER_IN_2、LO : LO_IN = 6dBm、SW1_CTRL_A = -5V、SW1_CTRL_B = 0V、SW2_CTRL_A = 0V、SW2_CTRL_B = -5V、および出力 : IF_OUT_1およびIF_OUT_2 = 3GHz | | -55 | | |
| Gain | 18GHz | | -6.3 | | dB |
| Gain Flatness | 任意の4GHz帯域幅内 | | 2 | | dB p-p |
| Gain Variation over Temperature | -40°C~+85°C | | 2 | | dB |
| DSA Range | f = 100Hz | 0 | | 31 | dB |
| DSA Step Size | f = 1kHz | | 1 | | dB |
| Noise Figure | 単側波帯、18GHz | | 23.5 | | dB |
| Input P1dB | 18GHz | | 16.5 | | dBm |
| Input IP3 | MIXER_IN_x周波数1 (f _{MIXER_IN_x}) = 18GHz、1MHzトーン間隔、P _{OUT} = トーンあたり-15dBm | | 23.5 | | dBm |
| Input IP2 | f _{MIXER_IN_x} = 18GHz、11MHzトーン間隔、P _{OUT} = トーンあたり-15dBm | | 39.7 | | dBm |
| Mixer Isolation | | | | | |
| RF to IF | (18GHzでのMIXER_IN_x電力 (P _{MIXER_IN_x})) - (18GHzでのIF_OUT_x電力 (P _{IF_OUT_x}))、P _{MIXER_IN_x} = -10dBm | | 57 | | dB |
| LO to RF | (18GHzでのP _{LO_IN}) - (18GHzでのP _{MIXER_IN_x})、P _{LO_IN} = 8dBm | | 32 | | dB |
| LO to IF | (18GHzでのP _{LO_IN}) - (18GHzでのP _{IF_OUT_x})、P _{LO_IN} = 8dBm | | 77 | | dB |

仕様

表 1. 仕様 (続き)

| パラメータ | テスト条件/コメント | 最小値 | 代表値 | 最大値 | 単位 |
|--|--|------|------|-----|--------|
| Channel to Channel Isolation IF to IF | MIXER_IN_2 : 50Ω終端、MIXER_IN_1周波数 ($f_{MIXER_IN_1}$) = 18GHzでのMIXER_IN_1電力 ($P_{MIXER_IN_1}$) = -10dBm、IF_OUT_1周波数 ($f_{IF_OUT_1}$) = 3.0GHz (3GHzでのIF_OUT_1電力 ($P_{IF_OUT_1}$)) - (3GHzでのIF_OUT_2電力 ($P_{IF_OUT_2}$)) | | -80 | | dB |
| DIRECT IF MODE | 入力 : RF_BYPASS_IN_1およびRF_BYPASS_IN_2、出力 : IF_OUT_1およびIF_OUT_2、SW1_CTRL_A = 0V、SW1_CTRL_B = -5V、SW2_CTRL_A = -5V、およびSW2_CTRL_B = 0V | | | | |
| Gain | 3GHz | | 5.0 | | dB |
| Gain Flatness | 3GHz ± 1.0GHz | | 1.2 | | dB p-p |
| Gain Variation over Temperature | -40°C ~ +85°C | | 0.6 | | dB |
| DSA Range | | 0 | | 31 | dB |
| DSA Step Size | | | 1 | | dB |
| Noise Figure | 3.0GHz | | 12.1 | | dB |
| Input P1dB | 3.0GHz | | 14.5 | | dBm |
| HD2 | 3.0GHz、 $P_{IF_OUT_x} - P(2 \times f_{IF_OUT_x})$ 、および $P_{OUT} = 5dBm$ | | -50 | | dBc |
| HD3 | 3.0GHz、 $P_{IF_OUT_x} - P(3 \times f_{IF_OUT_x})$ 、 $P_{OUT} = 5dBm$ | | -77 | | dBc |
| Input IP3 | 3.0GHz、1MHz トーン間隔、および $P_{OUT} =$ トーンあたり 5dBm | | 27 | | dBm |
| Input IP2 | 3.0GHz、11MHz トーン間隔、および $P_{OUT} =$ トーンあたり 5dBm | | 32.4 | | dBm |
| Channel to Channel Isolation | $P_{IF_OUT_1} \sim P_{IF_OUT_2}$ 、3.0GHz、 $R_{F_BYPASS_IN_1}$ 電力 ($P_{R_{F_BYPASS_IN_1}}$) = -20dBm、および $R_{F_BYPASS_IN_2}$: 50Ω終端 | | -67 | | dB |
| DSA SPECIFICATIONS | | 0 | | 31 | dB |
| Range | | | | | dB |
| Step Size | 連続する任意の減衰状態の間、0.5GHz ~ 8GHz | | 1 | | dB |
| Step Error | 連続する任意の減衰状態の間、0.5GHz ~ 8GHz | | ±0.5 | | dB |
| Settling Time | 最小減衰 ~ 最大減衰、 t_{FALL} (90% ~ 10% RF) | | 38 | | ns |
| | 最大減衰 ~ 最小減衰、 t_{RISE} (10% ~ 90% RF) | | 42 | | ns |
| | t_{ON} (50%制御 ~ 90%RF) | | 60 | | ns |
| | t_{ON} と t_{OFF} (50%制御 ~ 10%RF) | | 60 | | ns |
| LNA MIXER CASCADED | 入力 : RF_IN_1およびRF_IN_2、出力 : IF_OUT_1およびIF_OUT_2、LNA_OUT_xとMIXER_IN_xの間で5.5dBの減衰、SW1_CTRL_A = -5V、SW1_CTRL_B = 0V、SW2_CTRL_A = 0V、およびSW2_CTRL_B = -5V $f_{RF_IN_x} = 18GHz$ および $f_{IF_OUT_x} = 3.0GHz$ | | | | |
| Gain | | | 0.5 | | dB |
| DSA Range | | 0 | | 31 | dB |
| DSA Step Size | | | 1 | | dB |
| Noise Figure | 単側波帯 | | 16.7 | | dB |
| Input P1dB | | | 10.6 | | dBm |
| Input IP3 | 18GHz、1MHz トーン間隔、および $P_{OUT} =$ トーンあたり -15dBm | | 10.2 | | dBm |
| Input IP2 | 9GHz、11MHz トーン間隔、および $P_{OUT} =$ トーンあたり -15dBm | | 24.3 | | dBm |
| Channel to Channel Isolation | $P_{IF_OUT_1} \sim P_{IF_OUT_2}$ 、18GHz、 $P_{RF_IN_1} = -20dBm$ 、および RF_IN_2 : 50Ω終端 | | 60 | | dB |
| LO CHARACTERISTICS | | | | | |
| LO Drive Level ¹ | | 4 | 6 | 8 | dBm |
| LOGIC INPUTS | | | | | |
| SWx_CTRL_x | SW1_CTRL_A、SW1_CTRL_B、SW2_CTRL_A、および SW2_CTRL_B | | | | |
| Input Low Voltage (V_{IL}) | | -0.2 | | 0 | V |

仕様

表 1. 仕様 (続き)

| パラメータ | テスト条件/コメント | 最小値 | 代表値 | 最大値 | 単位 |
|---|--|-----|------|-----|----|
| Input High Voltage (V_{IH}) DSAx_Vx | DSA1_V0、DSA1_V1、DSA1_V2、DSA1_V3、 DSA1_V4、DSA2_V0、DSA2_V1、DSA2_V2、 DSA2_V3、およびDSA2_V4 | | | | |
| V_{IL} | | | -80 | | dB |
| V_{IH} | | | | | |
| POWER SUPPLIES | | | | | |
| VDD_LNA_1 and VDD_LNA_2 | | | 5 | | V |
| VDD_IF_1 and VDD_IF_2 | | | 5 | | V |
| VDD_LO_DRIVER_1 and VDD_LO_DRIVER_2 VSS_DSAS | | | 5 | | V |
| VSS_DSAS | | | -5 | | V |
| VDD_LNA_x Current ($I_{VDD_LNA_x}$) | | | 66 | | mA |
| VDD_IF_x Current ($I_{VDD_IF_x}$) | | | 72 | | mA |
| VDD_LO_DRIVER_x Current ($I_{VDD_LO_DRIVER_x}$) | | | 68 | | mA |
| VSS_DSAS Current (I_{VSS_DSAS}) | | | 12 | | mA |
| Total Power Consumption | | | 2.18 | | W |

1 LOの電力仕様は、ユーザ評価用ボードのRFコネクタ (LO_IN) における電力レベルです。図60は、ユーザ評価用ボードのLO配線パターンの挿入損失を示すプロットです。

絶対最大定格

表 2. 絶対最大定格

| Parameter | Rating |
|--|------------------|
| Maximum Supply Voltage | |
| VDD_LNA_1 and VDD_LNA_2 | 8 V |
| VDD_IF_1 and VDD_IF_2 | 7 V |
| VDD_LO_DRIVER_1, VDD_LO_DRIVER_2 | 10 V |
| VSS_DSAS | -7 V |
| Maximum Input Power | |
| RF_IN_1 and RF_IN_2 | 23 dBm |
| MIXER_IN_1 and MIXER_IN_2 | 21 dBm |
| RF_BYPASS_IN_1 and RF_BYPASS_IN_2 | 26 dBm |
| LO_IN | 24 dBm |
| Switch Control Inputs | |
| SW1_CTRL_A, SW1_CTRL_B, SW2_CTRL_A, and SW2_CTRL_B | -7.5 V to +0.5 V |
| DSA Control Inputs | |
| DSA1_V0, DSA1_V1, DSA1_V2, DSA1_V3, DSA1_V4, DSA2_V0, DSA2_V1, DSA2_V2, DSA2_V3, and DSA2_V4 | 7.5 V |
| Temperature | |
| Operating Range | -40°C to +85°C |
| Storage Range | -40°C to +150°C |

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

推奨レイアウトのセクションで、複数のグラウンド・ビアを利用してデバイス・パッケージからの放熱を最大にする設計について詳しく説明します。

θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 3. 熱抵抗

| Package Type ¹ | θ_{JC} ² | Unit |
|---------------------------|----------------------------|------|
| BV-179-1 | 70 | °C/W |

¹ JEDEC規格JESD-51のシミュレーションに基づきます。

² 熱抵抗 θ_{JC} は、グラウンド・パドルの温度を常に85°Cに保ち、パッケージ内で最も温度の高い局部回路からPCBのグラウンド・パドルを介した熱伝達のシミュレーションを行うことで決定されたものです。この回路の消費電力は0.35Wです。

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したのですが、対象はESD保護区域内に限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。
ANSI/ESDA/JEDEC JS-002準拠の帯電デバイス・モデル（CDM）。

ADMFM2000のESD定格

表 4. ADMFM2000、179ボールBGA_CAV

| ESD Model | Withstand Threshold (V) | Class |
|------------|-------------------------|-------|
| HBM | ±250 | 1A |
| CDM | | |
| RF Pins | ±175 | C0B |
| NonRF Pins | ±500 | C2A |

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

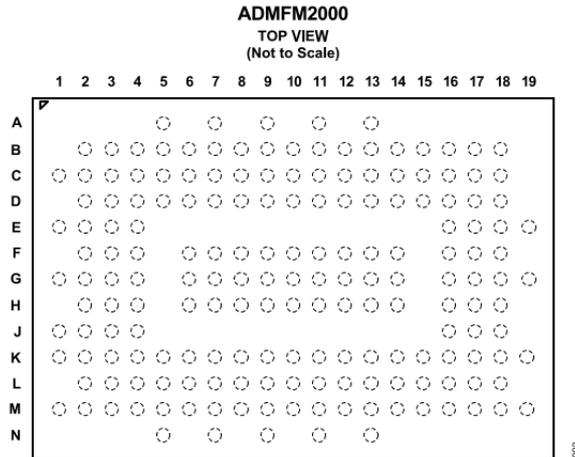


図 2. BGAのボール配置（上面図）

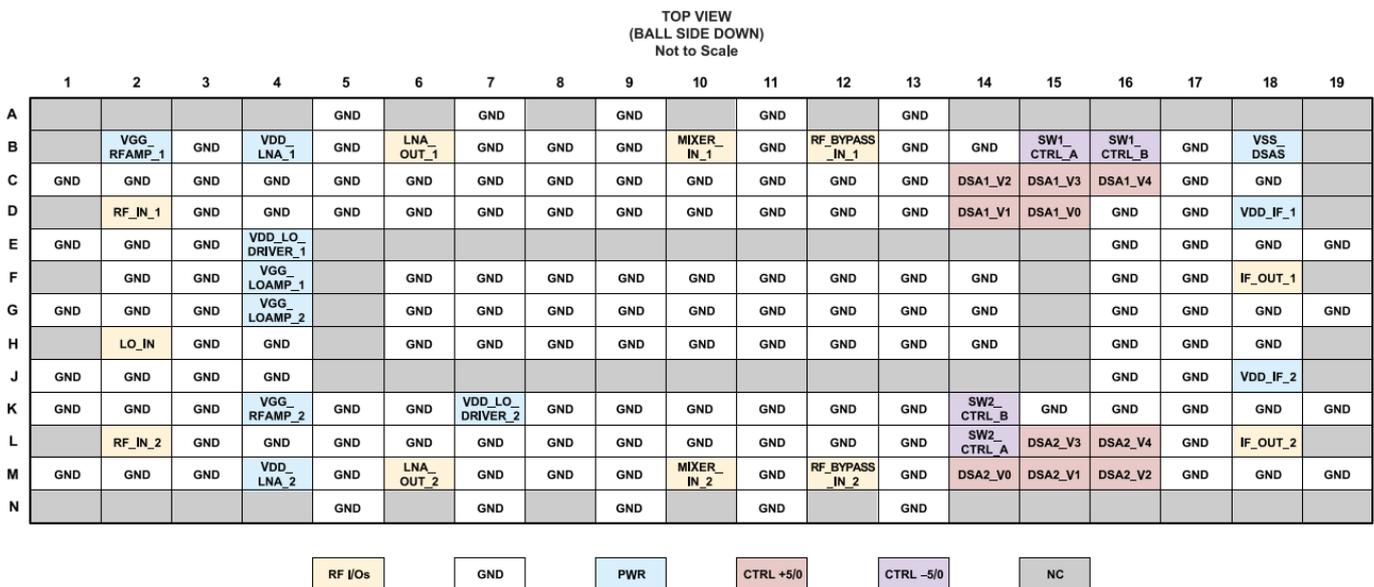


図 3. BGAのボール配置（上面図）

表 5. ピン機能の説明

| ピン番号 | 記号 | タイプ | 説明 |
|-----------------------|----------------|--------|-------------------------------|
| RF Inputs and Outputs | | | |
| D2 | RF_IN_1 | Input | チャンネル1、RF入力、ACカップリング、50Ωに整合。 |
| L2 | RF_IN_2 | Input | チャンネル2、RF入力、ACカップリング、50Ωに整合。 |
| H2 | LO_IN | Input | LO入力、ACカップリング、50Ωに整合。 |
| B6 | LNA_OUT_1 | Output | チャンネル1、LNA出力、ACカップリング、50Ωに整合。 |
| M6 | LNA_OUT_2 | Output | チャンネル2、LNA出力、ACカップリング、50Ωに整合。 |
| B10 | MIXER_IN_1 | Input | チャンネル1、ミキサーへの入力。 |
| M10 | MIXER_IN_2 | Input | チャンネル2、ミキサーへの入力。 |
| B12 | RF_BYPASS_IN_1 | Input | チャンネル1、IF入力、ACカップリング、50Ωに整合。 |
| M12 | RF_BYPASS_IN_2 | Input | チャンネル2、IF入力、ACカップリング、50Ωに整合。 |
| F18 | IF_OUT_1 | Output | チャンネル1、IF出力、ACカップリング、50Ωに整合。 |
| L18 | IF_OUT_2 | Output | チャンネル2、IF出力、ACカップリング、50Ωに整合。 |

ピン配置およびピン機能の説明

表 5. ピン機能の説明 (続き)

| ピン番号 | 記号 | タイプ | 説明 |
|--|-----------------|------------------|--|
| Power Supplies | | | |
| B2 | VGG_RFAMP_1 | Input | チャンネル1のLNA用ゲイン制御電圧 (オプション)。このピンは内部で自己バイアスされており、通常はオープンにしておきます。 |
| B4 | VDD_LNA_1 | Input | チャンネル1のLNA用アナログ5.0V入力。 |
| B18 | VSS_DSAS | Input | DSA用のアナログ-5.0V。 |
| D18 | VDD_IF_1 | Input | チャンネル1のIFアンプとチャンネル1のDSA用のアナログ5.0V入力。 |
| E4 | VDD_LO_DRIVER_1 | Input | チャンネル1のLOドライブ用アナログ5.0V入力。 |
| F4 | VGG_LOAMP_1 | Input | チャンネル1のLOアンプ用ゲイン制御電圧 (オプション)。このピンは内部で自己バイアスされており、通常はオープンにしておきます。 |
| G4 | VGG_LOAMP_2 | Input | チャンネル2のLOアンプ用ゲイン制御電圧 (オプション)。このピンは内部で自己バイアスされており、通常はオープンにしておきます。 |
| J18 | VDD_IF_2 | Input | チャンネル2のIFアンプとチャンネル2のDSA用アナログ5.0V入力。 |
| K4 | VGG_RFAMP_2 | Input | チャンネル2のLNA用ゲイン制御電圧 (オプション)。このピンは内部で自己バイアスされており、通常はオープンにしておきます。 |
| K7 | VDD_LO_DRIVER_2 | Input | チャンネル2のLOドライブ用アナログ5.0V入力。 |
| M4 | VDD_LNA_2 | Input | チャンネル2のLNA用アナログ5.0V入力。 |
| A5, A7, A9, A11, A13, B3, B5, B7 to B9, B11, B13, B14, B17, C1 to C13, C17, C18, D3 to D13, D16, D17, E1 to E3, E16 to E19, F2, F3, F6 to F14, F16, F17, G1 to G3, G6 to G14, G16 to G19, H3, H4, H6 to H14, H16 to H18, J1 to J4, J16, J17, K1 to K3, K5, K6, K8 to K13, K15 to K19, L3 to L13, L17, M1 to M3, M5, M7 to M9, M11, M13, M17 to M19, N5, N7, N9, N11, N13 | GND | Input/ Output | グラウンド。 |
| Control Signals | | | |
| B15 | SW1_CTRL_A | Input | チャンネル1のスイッチ制御入力A。SW1_CTRL_Aピンは常に有効なロジック・レベルに維持する必要があります (表1を参照)。 |
| B16 | SW1_CTRL_B | Input | チャンネル1のスイッチ制御入力B。SW1_CTRL_Bピンは常に有効なロジック・レベルに維持する必要があります (表1を参照)。 |
| K14 | SW2_CTRL_B | Input | チャンネル2のスイッチ制御入力B。SW2_CTRL_Aピンは常に有効なロジック・レベルに維持する必要があります (表1を参照)。 |
| L14 | SW2_CTRL_A | Input | チャンネル2のスイッチ制御入力A。SW2_CTRL_Bピンは常に有効なロジック・レベルに維持する必要があります (表1を参照)。 |
| Channel 1 DSA Control Inputs | | | |
| D15 | DSA1_V0 | Input | 必要な減衰を得るためのチャンネル1 DSA並列制御電圧入力。 |
| D14 | DSA1_V1 | Input | これらのピンには、内部プルアップ/プルダウン抵抗が接続されていません。したがって、DSA1_Vxピンはフロート状態のままにせず、常に有効なロジック・レベル (5V VINHまたは0V VINL) に維持してください。 |
| C14 | DSA1_V2 | Input | |
| C15 | DSA1_V3 | Input | |
| C16 | DSA1_V4 | Input | |
| Channel 2 DSA Control Inputs | | | |
| M14 | DSA2_V0 | Input | 必要な減衰を得るためのチャンネル2のDSA並列制御電圧入力。 |
| M15 | DSA2_V1 | Input | これらのピンには、内部プルアップ/プルダウン抵抗が接続されていません。したがって、DSA2_Vxピンはフロート状態のままにせず、常に有効なロジック・レベル (表1を参照) に維持してください。 |
| M16 | DSA2_V2 | Input | |
| L15 | DSA2_V3 | Input | |
| L16 | DSA2_V4 | Input | |

代表的な性能特性

LNA (RF_IN_x TO LNA_OUT_x)

T_A = 25°C、VDD_LNA_1 = VDD_LNA_2 = 5V、VGG_RFAMP_1 = VGG_RFAMP_2 = オープン、RF電力 (P_{RF}) = RF_IN_1とRF_IN_2で-20dBm。

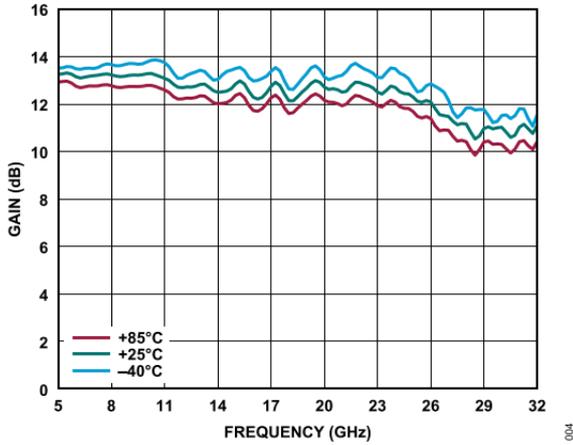


図4. 様々な温度でのゲインの周波数特性

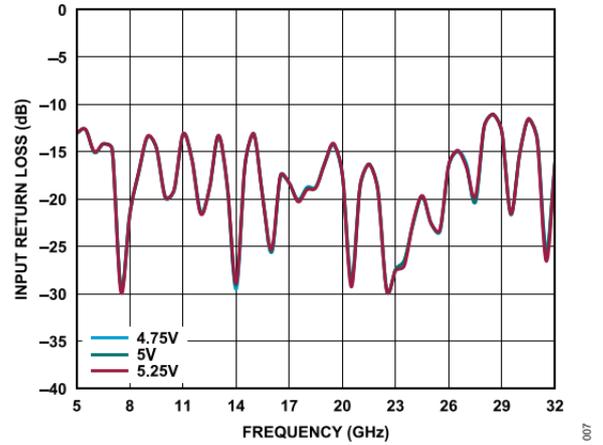


図7. 様々な電源電圧での入力リターン・ロスの周波数特性

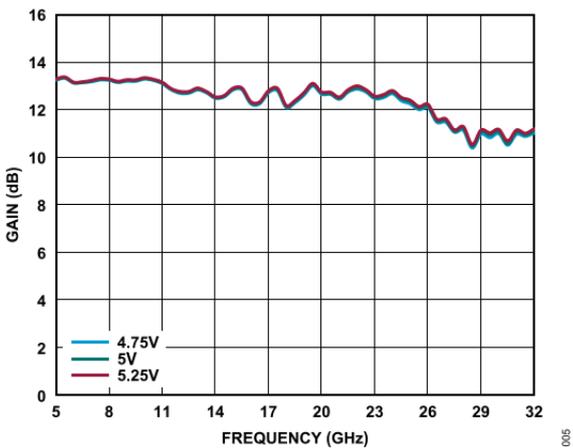


図5. 様々な電源電圧でのゲインの周波数特性

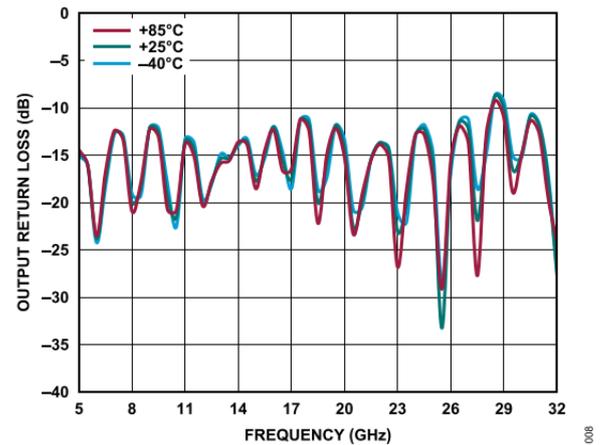


図8. 様々な温度での出力リターン・ロスの周波数特性

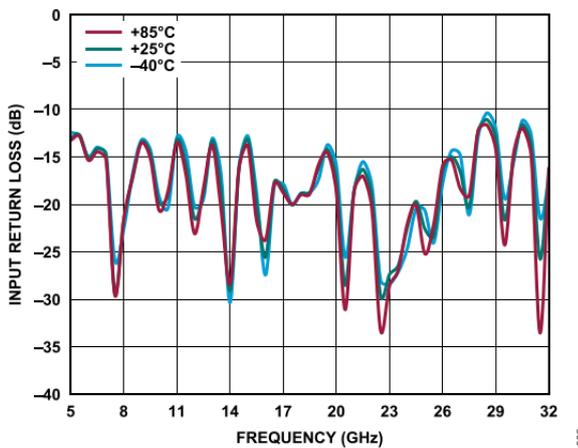


図6. 様々な温度での入力リターン・ロスの周波数特性

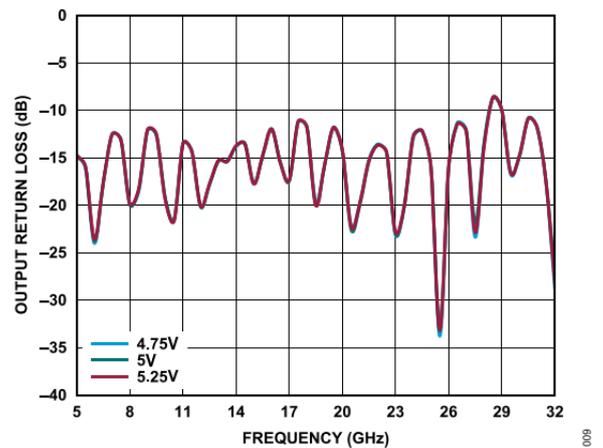


図9. 様々な電源電圧での出力リターン・ロスの周波数特性

代表的な性能特性

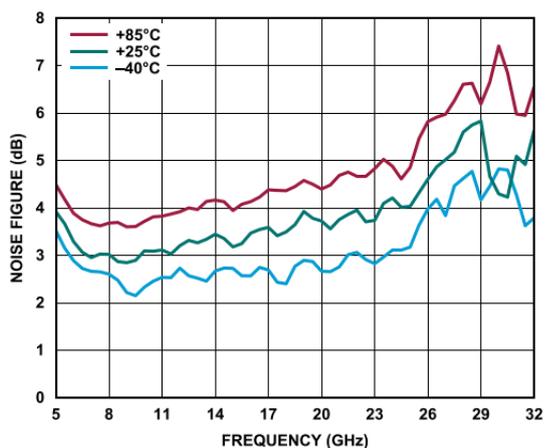


図10. 様々な温度でのノイズ指数の周波数特性

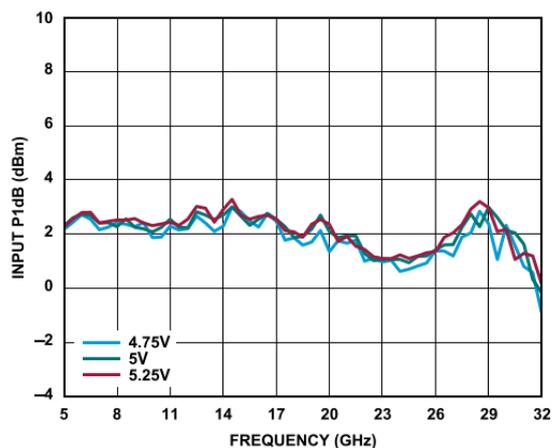


図13. 様々な電源電圧での入力P1dBの周波数特性

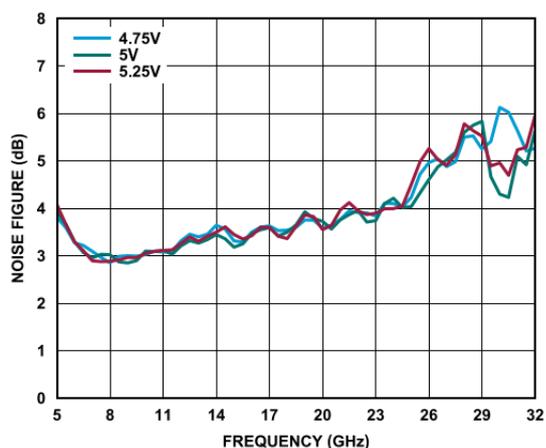


図11. 様々な電源電圧でのノイズ指数の周波数特性

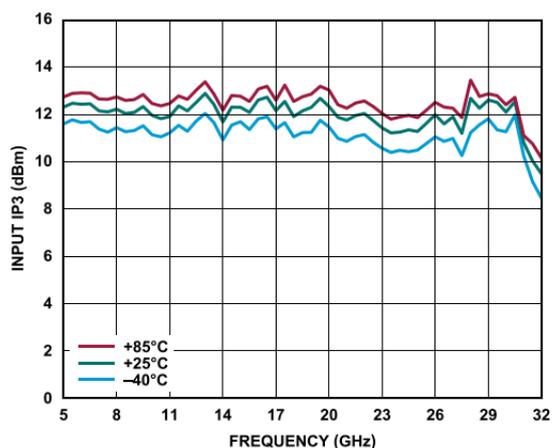


図14. 様々な温度での入力IP3の周波数特性、トーンあたり $P_{OUT} = 1\text{MHz}$ トーン間隔で -6dBm

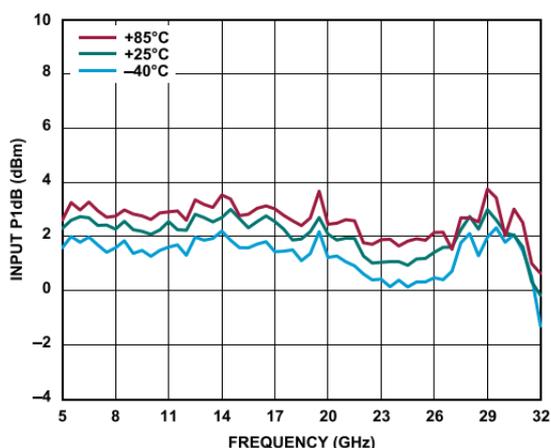


図12. 様々な温度での入力P1dBの周波数特性

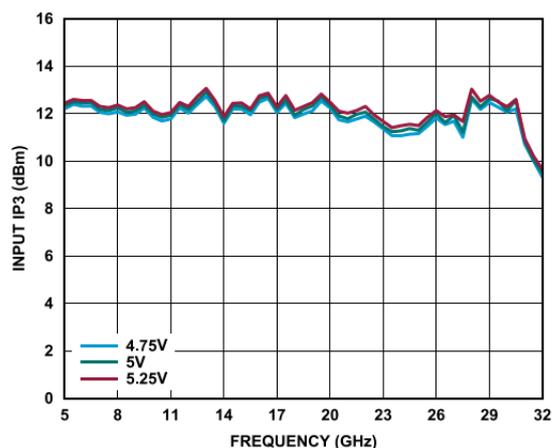


図15. 様々な電源電圧での入力IP3の周波数特性、トーンあたり $P_{OUT} = 1\text{MHz}$ トーン間隔で -6dBm

代表的な性能特性

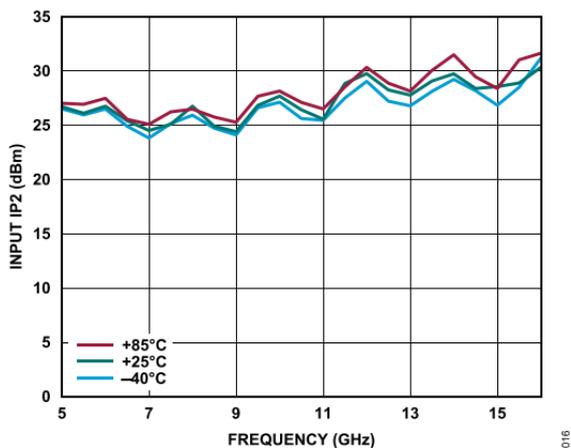


図16. 様々な温度での入力IP2の周波数特性、トーンあたり $P_{OUT} = 11\text{MHz}$ トーン間隔で -6dBm

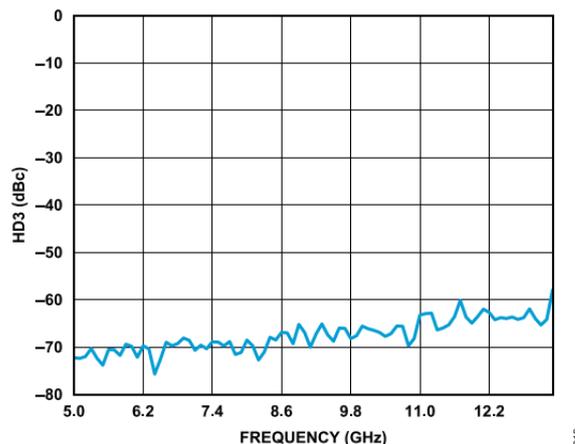


図19. HD3の周波数特性、 $P_{LNA_OUT_x} = -6\text{dBm}$

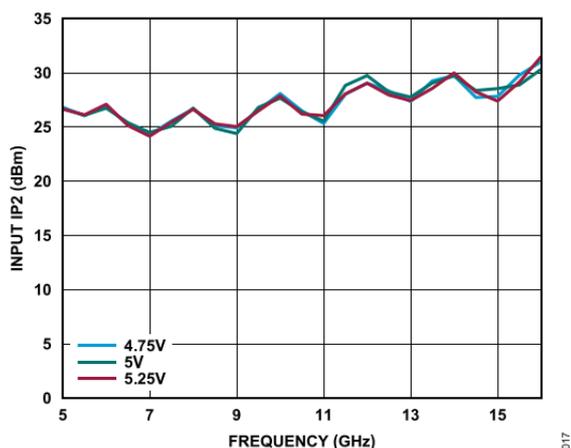


図17. 様々な電源電圧での入力IP2の周波数特性、トーンあたり $P_{OUT} = 11\text{MHz}$ トーン間隔で -6dBm

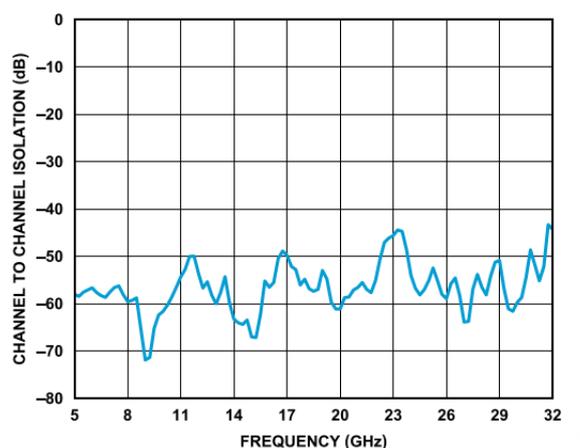


図20. $P_{LNA_OUT_1}$ と $P_{LNA_OUT_2}$ でのチャンネル間アイソレーションの周波数特性、 $P_{RF_IN_1} = -20\text{dBm}$ 、 $RF_IN_2 = 50\Omega$ 終端

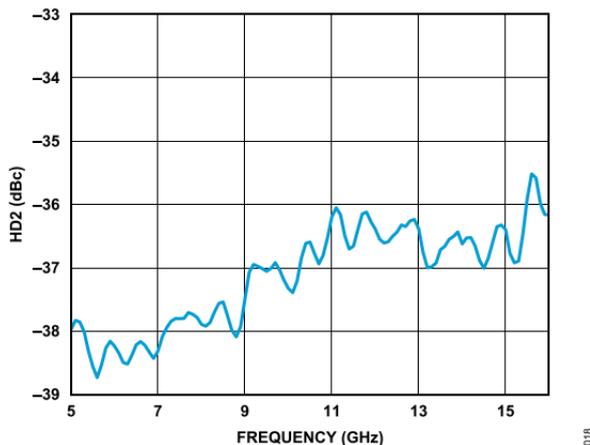


図18. HD2の周波数特性、 $P_{LNA_OUT_x} = -6\text{dBm}$

代表的な性能特性

MIXER (MIXER_IN_x~IF_OUT_x)

T_A = 25°C、VDD_IF_1 = VDD_IF_2 = VDD_LO_DRIVER_1 = VDD_LO_DRIVER_2 = 5V、VSS_DSAS = -5V、VGG_LO_AMP_1 = VGG_LO_AMP_2 = オープン、MIXER_IN_1とMIXER_IN_2でP_{MIXER_IN_x} = -20dBm、IF_OUT_1とIF_OUT_2でf_{IF} = 3.0 GHz、特性評価およびユーザ評価用ボードのLO_IN RFコネクタを基準としてP_{LO_IN} = 6dBm。

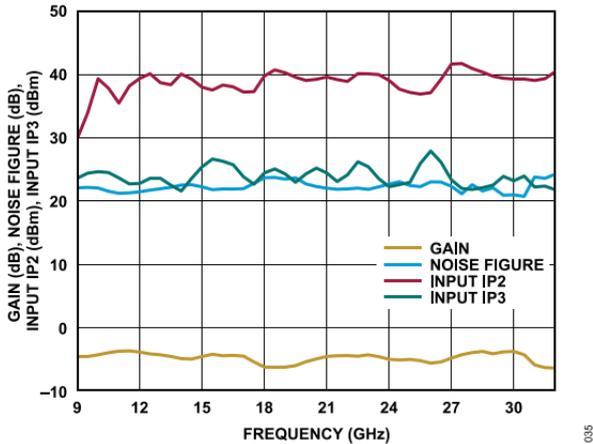


図21. ゲイン、ノイズ指数、入力IP2、入力IP3の周波数特性、IF周波数 = 3.0GHz

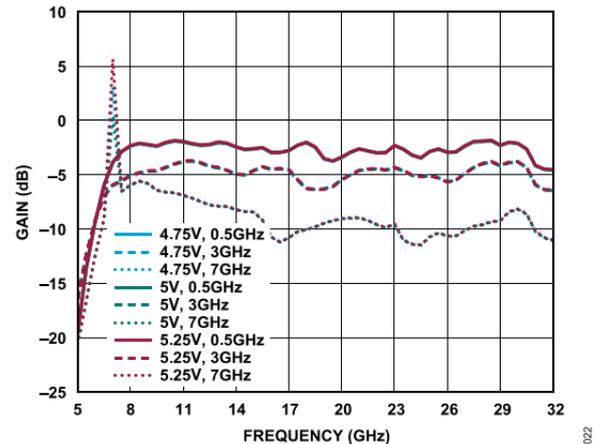


図23. 様々な電源電圧とIF周波数でのゲインの周波数特性

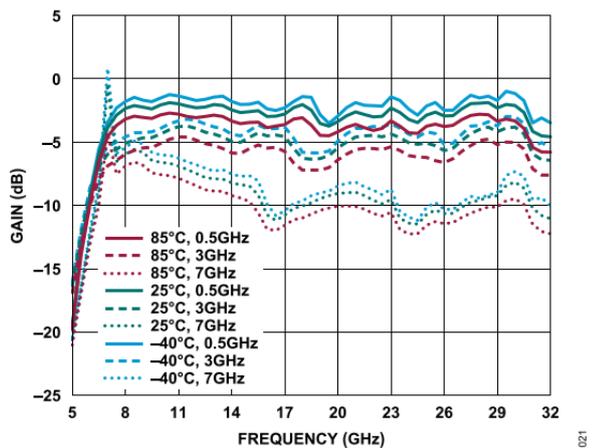


図22. 様々な温度とIF周波数でのゲインの周波数特性

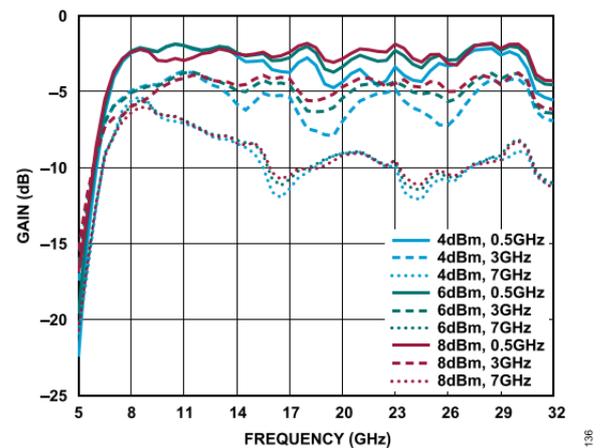


図24. 様々なLO駆動電力レベルと周波数でのゲインの周波数特性

代表的な性能特性

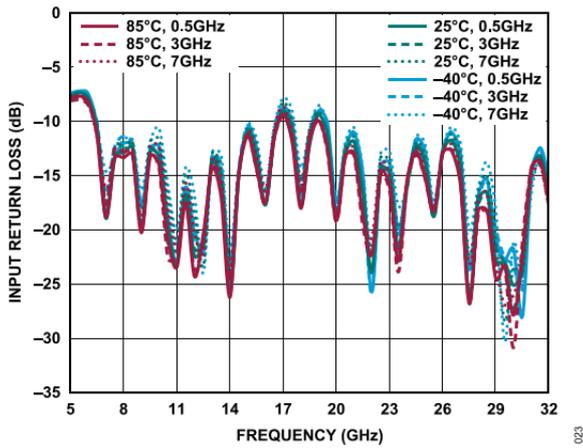


図25. 様々な温度とIF周波数での入力リターン・ロスの周波数特性

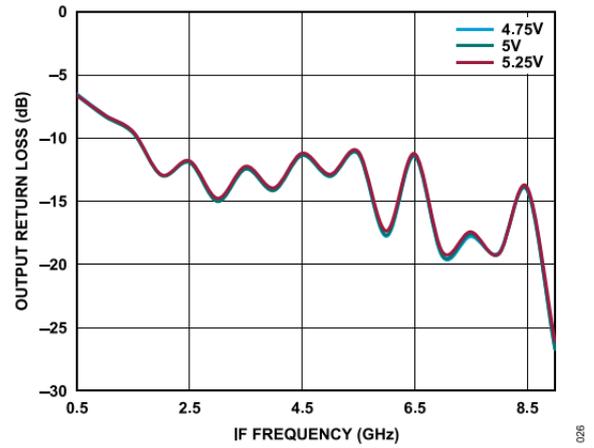


図28. 様々な電源電圧での出力リターン・ロスのIF周波数特性、固定RF入力 (18GHz)

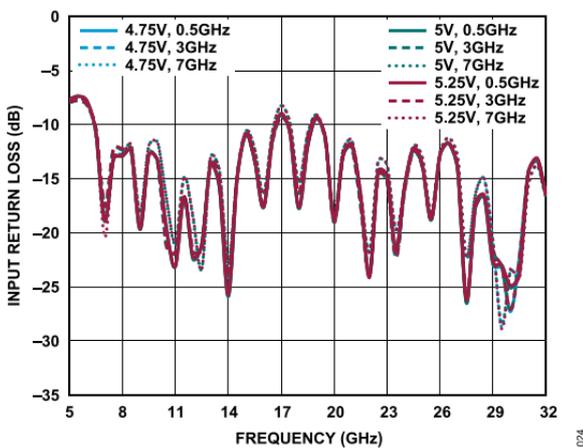


図26. 様々な電源電圧とIF周波数での入力リターン・ロスの周波数特性

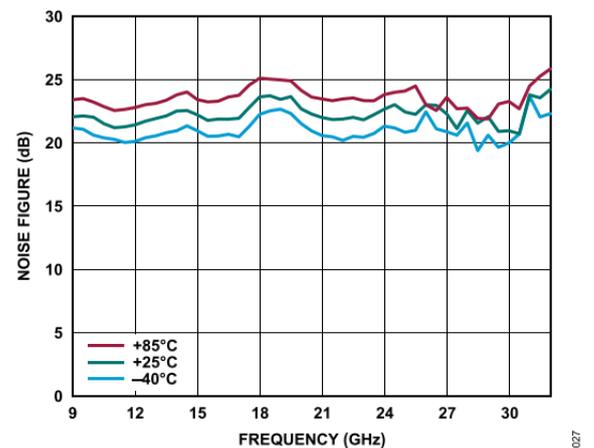


図29. 様々な温度でのノイズ指数の周波数特性、IF周波数 = 3.0GHz

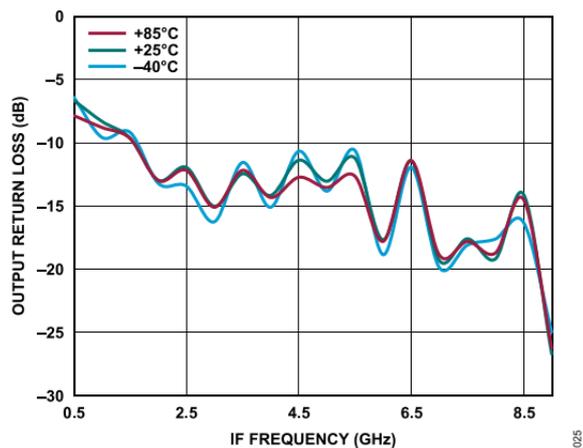


図27. 様々な温度での出力リターン・ロスのIF周波数特性、固定RF入力 (18GHz)

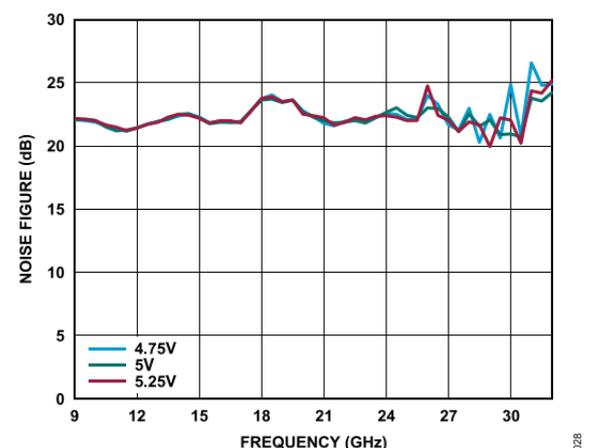


図30. 様々な電源電圧でのノイズ指数の周波数特性、IF周波数 = 3.0GHz

代表的な性能特性

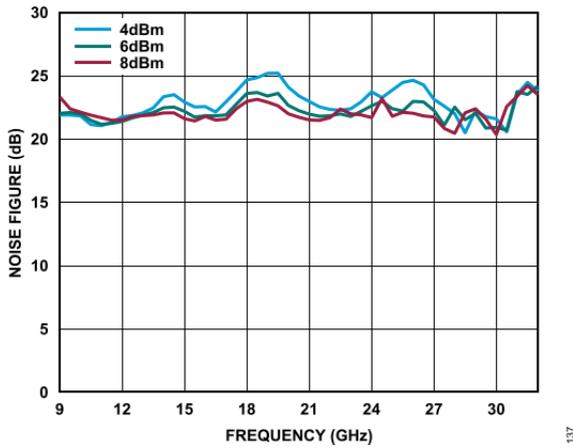


図31. 様々なLO駆動電力レベルでのノイズ指数の周波数特性

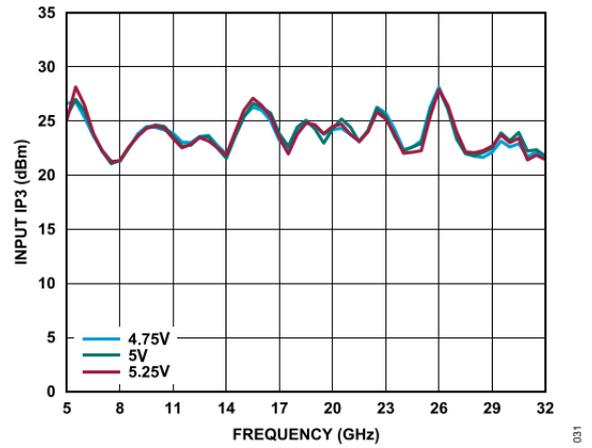


図34. 様々な電源電圧での出力IP3の周波数特性、IF周波数 = 3.0GHz、トーンあたり $P_{OUT} = 1\text{MHz}$ トーン間隔で15dBm

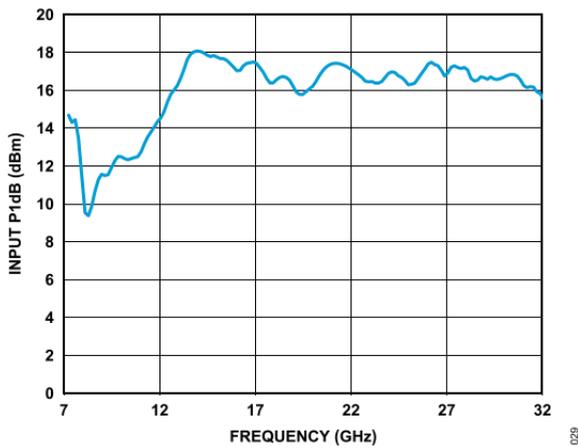


図32. 入力P1dBの周波数特性、IF周波数 = 3.0GHz

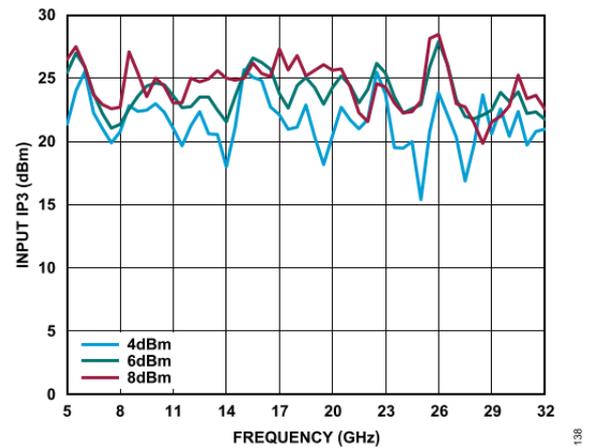


図35. 様々なLO駆動電力レベルでの入力IP3の周波数特性

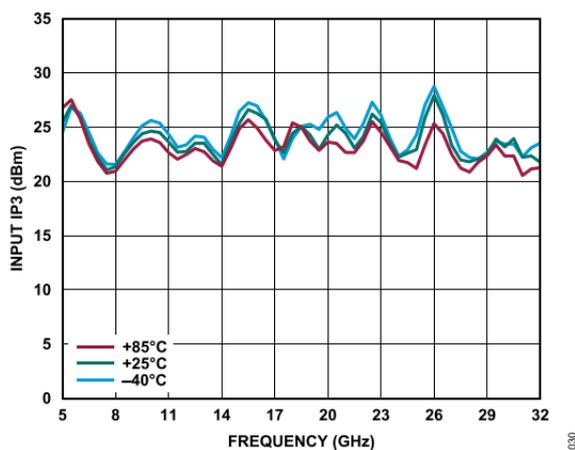


図33. 様々な温度での入力IP3の周波数特性、IF周波数 = 3.0GHz、トーンあたり $P_{OUT} = 1\text{MHz}$ トーン間隔のときに-15dBm

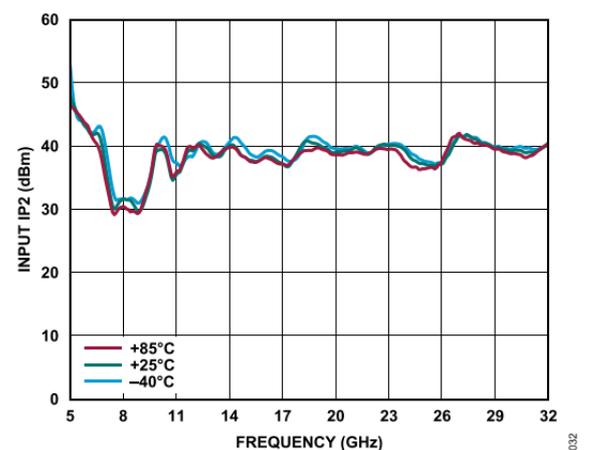


図36. 様々な温度での入力IP2の周波数特性、IF周波数 = 3.0GHz、トーンあたり $P_{OUT} = 11\text{MHz}$ トーン間隔のときに-15dBm

代表的な性能特性

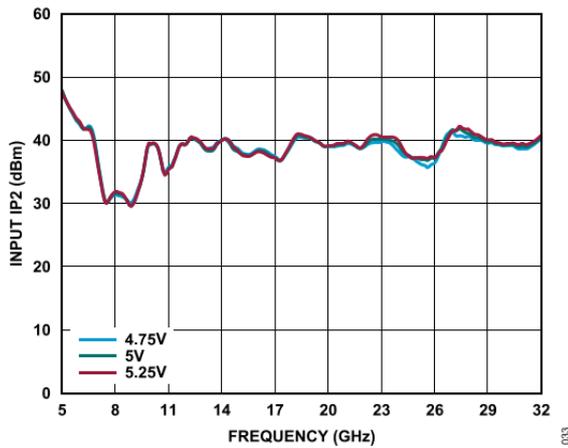


図37. 様々な電圧での入力IP2の周波数特性、IF周波数 = 3.0GHz、トーンあたり $P_{OUT} = 11\text{MHz}$ トーン間隔で -15dBm

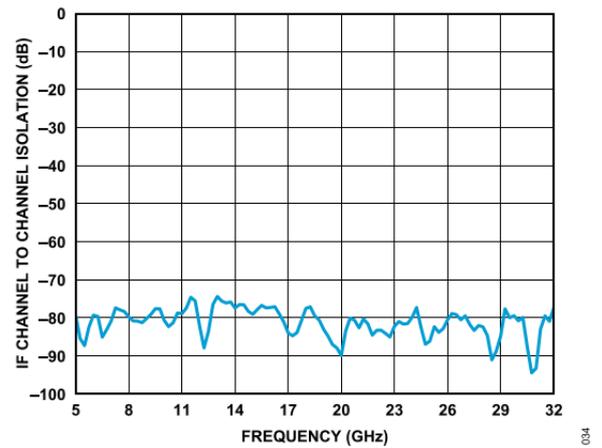


図38. IFチャンネル間アイソレーションの周波数特性、(3GHzでの $P_{IF_OUT_1} - (3\text{GHzでの} P_{IF_OUT_2})$ 、MIXER_IN_2 : 50Ω 終端、 $P_{MIXER_IN_1} = -10\text{dBm}$ 、 $f_{IF_OUT_1} = 3.0\text{GHz}$

代表的な性能特性

ダイレクトIF (RF_BYPASS_IN_x~IF_OUT_x)

T_A = 25°C、VDD_IF_1 = VDD_IF_2 = 5V、VSS_DSAS = -5V、P_{RF_BYPASS_IN_1} = -20dBm、およびRF_BYPASS_IN_2電力 (P_{RF_BYPASS_IN_2}) = -20dBm。

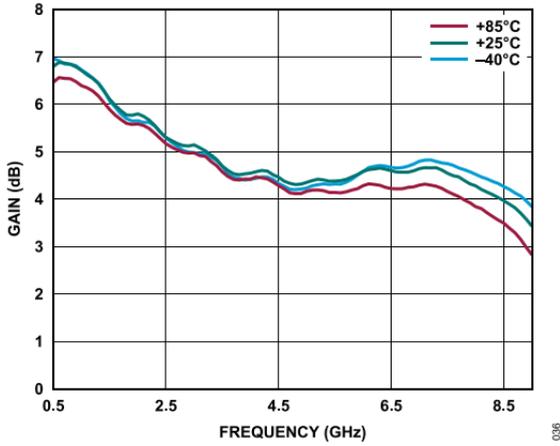


図39. 様々な温度でのゲインの周波数特性

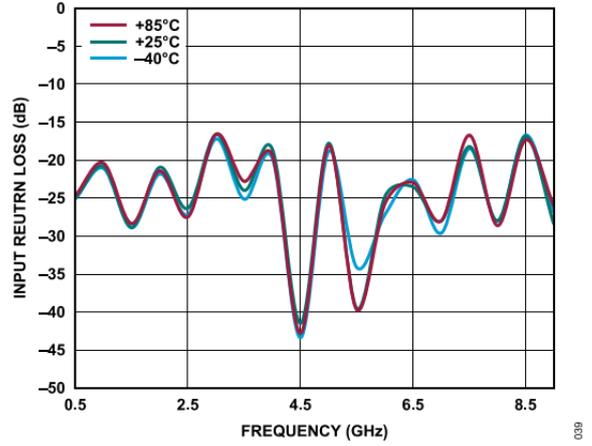


図42. 様々な温度での入力リターン・ロスの周波数特性

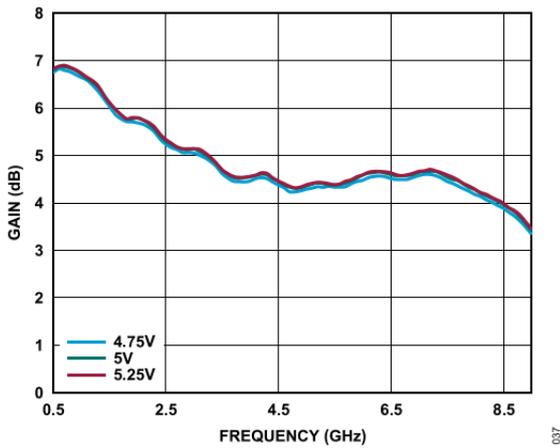


図40. 様々な電源電圧でのゲインの周波数特性

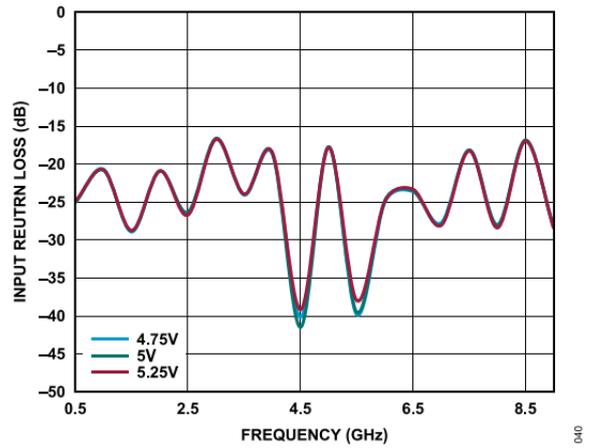


図43. 様々な電源電圧での入力リターン・ロスの周波数特性

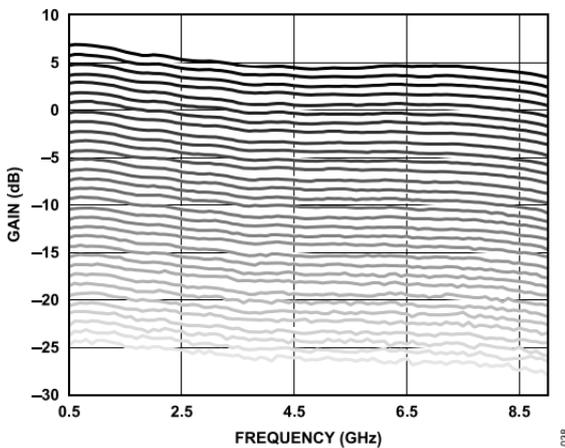


図41. 様々なDSA設定でのゲインの周波数特性

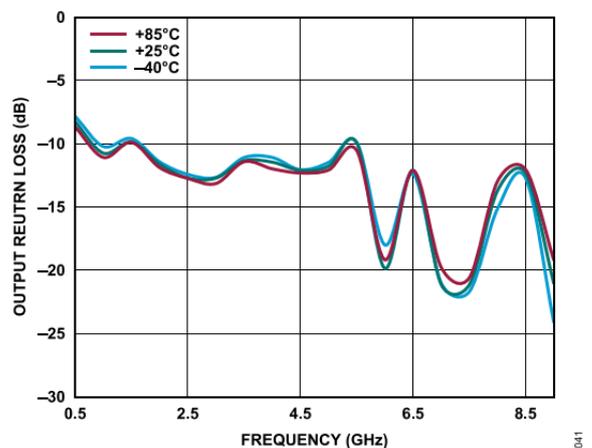


図44. 様々な温度での出力リターン・ロスの周波数特性

代表的な性能特性

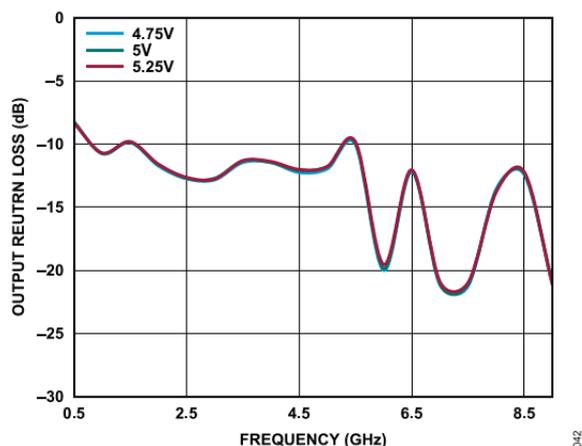


図45. 様々な電源電圧での出力リターン・ロスの周波数特性

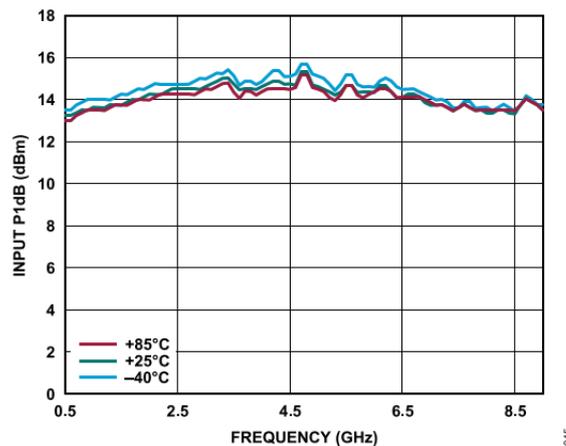


図48. 様々な温度での入力P1dBの周波数特性

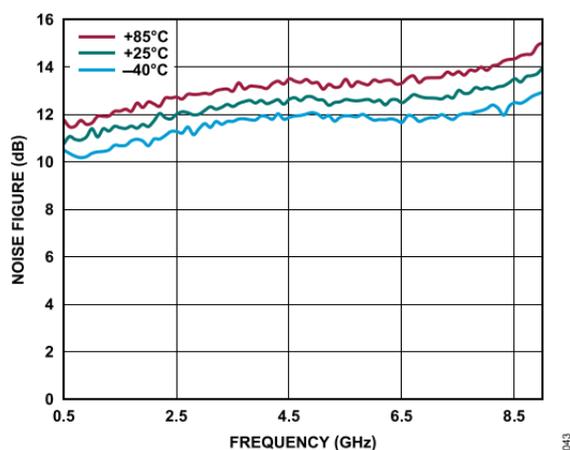


図46. 様々な温度でのノイズ指数の周波数特性

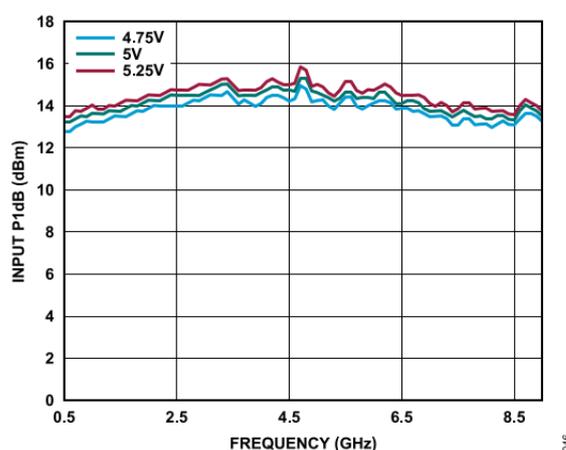


図49. 様々な電源電圧での入力P1dBの周波数特性

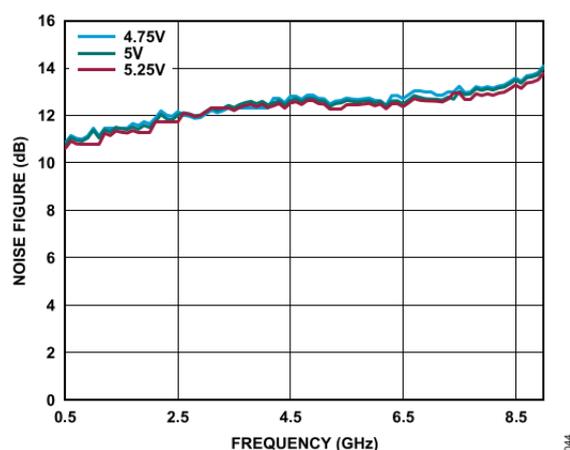


図47. 様々な電源電圧でのノイズ指数の周波数特性

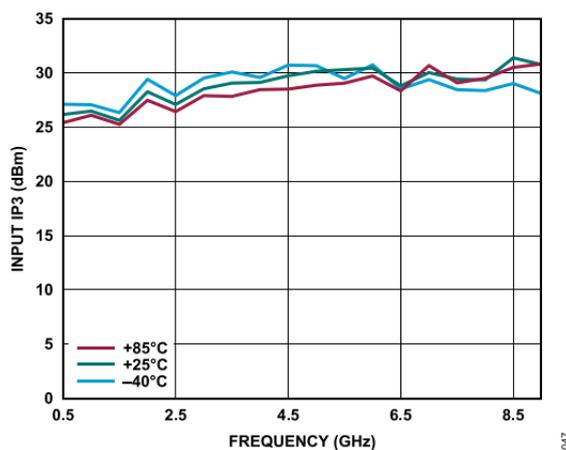


図50. 様々な温度での入力IP3の周波数特性、トーンあたり $P_{OUT} = 1$ MHzトーン間隔で5dBm

代表的な性能特性

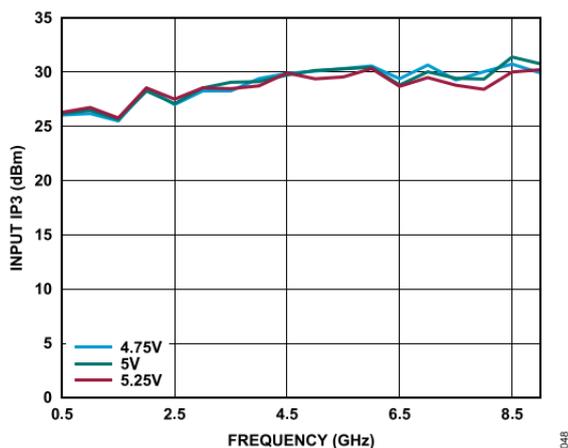


図51. 様々な電源電圧での入力IP3の周波数特性、トーンあたり $P_{OUT} = 1$ MHz トーン間隔で5dBm

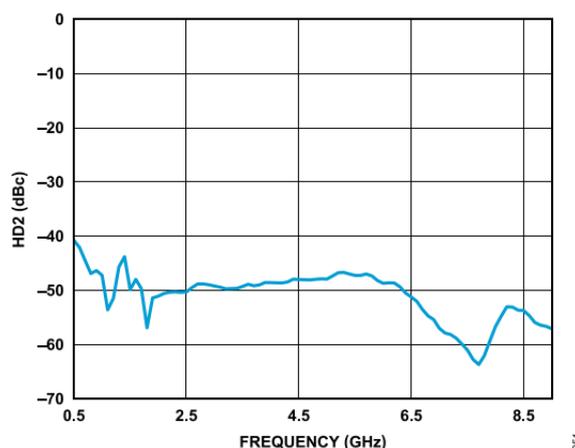


図54. HD2の周波数特性、 $P_{OUT} = 5$ dBm

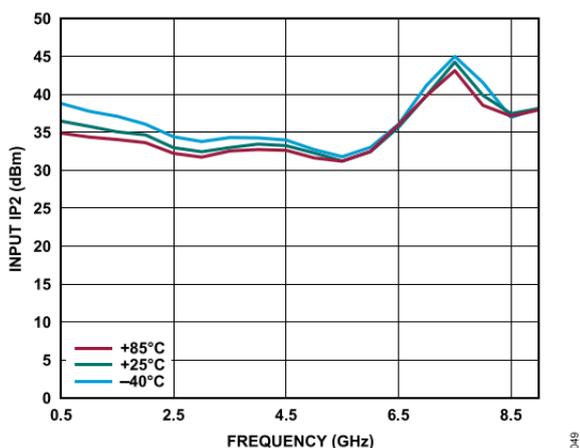


図52. 様々な温度での入力IP2の周波数特性、トーンあたり $P_{OUT} = 11$ MHz トーン間隔で5dBm

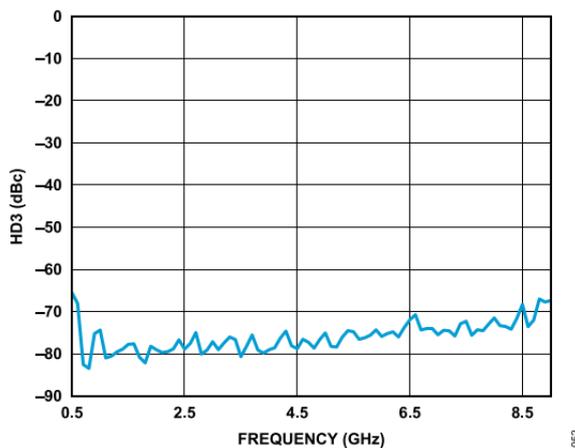


図55. HD3の周波数特性、 $P_{OUT} = 5$ dBm

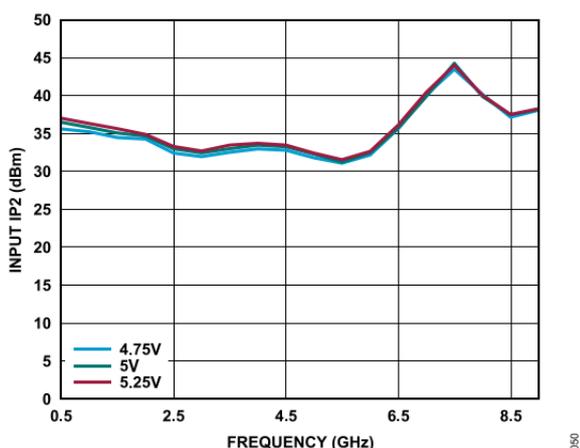


図53. 様々な電源電圧での入力IP2の周波数特性、トーンあたり $P_{OUT} = 11$ MHz トーン間隔で5dBm

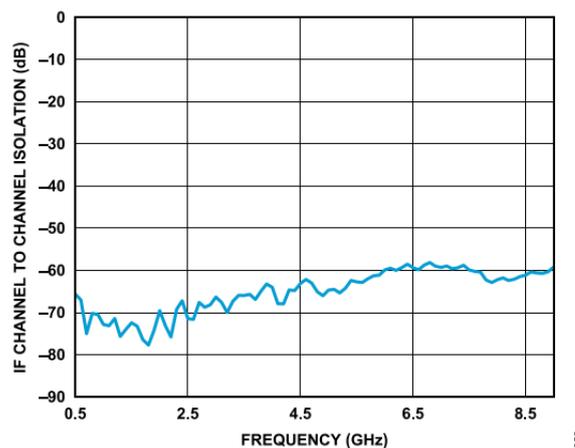


図56. IFチャンネル間アイソレーションの周波数特性

代表的な性能特性

カスケード接続したLNAとミキサー (RF_IN_x~IF_OUT_x)

T_A = 25°C、VDD_IF_1 = VDD_IF_2 = 5V、VSS_DSAS = -5V、P_{RF_IN_x} = -20dBm、LNA_OUT_xとMIXER_IN_xの間で5.5dBの減衰、SW1_CTRL_A = -5V、SW1_CTRL_B = 0V、SW2_CTRL_A = 0V、およびSW2_CTRL_B = -5V。

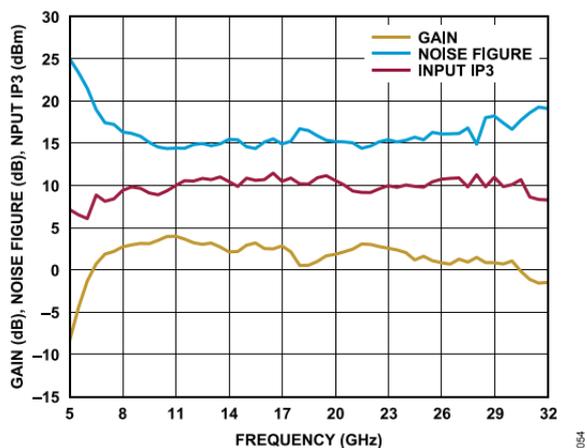


図57. ゲイン、ノイズ指数、および入力IP3の周波数特性、IF周波数 = 3.0GHz、トーンあたりP_{OUT} = -15dBm

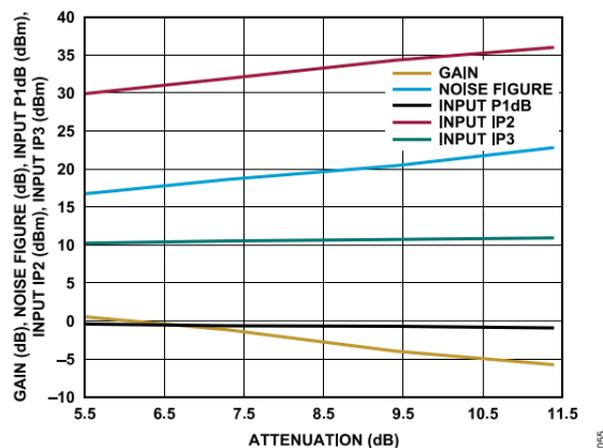


図58. ゲイン、ノイズ指数、入力P1dB、入力IP2、入力IP3とLNA_OUT_x~MIXER_IN_x間の減衰の関係、RF周波数 = 18GHz、IF周波数 = 3.0GHz、トーンあたりP_{OUT} = -15dBm

代表的な性能特性

スプリアス性能

ミキサーのスプリアス値は、IF出力パワー・レベルをどれだけ下回るかをdB単位で測定したものです。スプリアス値は(N × LO) - (M × RF)です。N/Aは、該当なしを表します。

M × Nスプリアス出力、IF = 1GHz

RF入力周波数 = 10GHz、ミキサー入力でのRF入力周波数 = -20dBm、LO周波数 = 11GHz、LO入力電力 = 6dBm。

IF出力でのRF入力およびLO入力信号以外のM × Nスプリアスは、1GHz時のメインIF出力より51 dB以上低下します。8GHzを超えると、信号パス上のローパス・フィルタ (LPF) によって、かなりの量のスプリアスが除去されます。

表 6. ミキサー・モード¹におけるM × Nスプリアス

| | | N × LO | | | | | |
|--------|---|--------|--------|--------|--------|--------|--------|
| | | 0 | 1 | 2 | 3 | 4 | 5 |
| M × RF | 0 | N/A | -10.1 | +57.4 | +69.2 | +70.5 | N/A |
| | 1 | +3.8 | 0.0 | +51.2 | +87.0 | +83.8 | +94.4 |
| | 2 | +87.6 | +61.6 | +56.7 | +100.2 | +108.6 | +104.7 |
| | 3 | +108.9 | +111.6 | +95.6 | +109.0 | +114.0 | +110.5 |
| | 4 | +105.5 | +108.6 | +112.6 | +117.9 | +100.9 | +114.0 |
| | 5 | +102.5 | +103.9 | +112.2 | +112.2 | +107.5 | +114.7 |

1 レベル (dB) はIF出力 = 1GHzで-26dBmが基準です。

動作原理

ADMFM2000はデュアル・チャンネルのマイクロ波ダウンコンバータです。各ダウン・コンバージョン・パスは、LNA、ミキサー、フィルタ、DSA、IFアンプ、および両方のミキサーを駆動するシングルLO入力で構成されています。

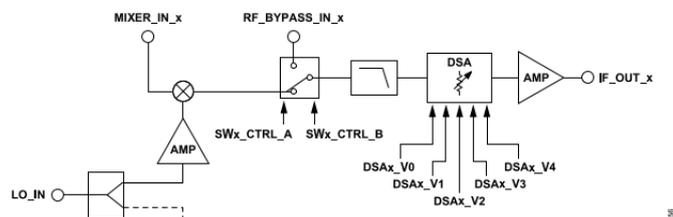


図59. ADMFM2000の簡略ブロック図

0.5GHz～8GHzのIFにダウン・コンバートします。ミキサーは受動デバイスで、外付けのバイアス部品やRFマッチング回路は不要です。ADMFM2000のミキサーは、LO入力ピンでのLO駆動レベルが6dBmあれば良好に動作します。

LO

共通LO入力は7GHz～30GHzの範囲で動作し、分割されて各チャンネルの独立したバッファ・アンプに供給されます。これらのアンプは各チャンネルのミキサーを別々に駆動します。バッファ・アンプは、VGG_LOAMP_1ピンとVGG_LOAMP_2ピンを使って各チャンネルのゲイン制御も行います。VGG_LOAMP_xピンは内部で自己バイアスされており、通常はオープンにしておきます。LO入力ピン位置でのLO駆動レベルは代表値で6dBmです。

スイッチ

ADMFM2000は各チャンネルに広帯域SPDT RFスイッチを備えており、ミキサーをバイパスするために使用できます。SPDTを使用するには、制御ピン（SW_CHx_CTRL_AとSW_CHx_CTRL_B、x = 1または2）に負の制御電圧を加える必要があります。これらの制御ピンに加えられるロジック・レベルに応じて、IFパスはミキサーまたはRF_BYPASS_INピンに接続されます（図59と表7を参照）。チャンネル2の動作モードに必要なロジック・レベルは、チャンネル1に必要なロジック・レベルの逆です。

LNA

ADMFM2000は各チャンネルに広帯域LNAを備えており、動作範囲は5GHz～32GHzです。これらのLNAは、必要な5V単電源で自己バイアスされます。入力と出力は内部で50Ωに整合されており、DCブロック・コンデンサを内蔵しています。

各LNAは、各チャンネルに対応するVGG_RFAMP_1ピンとVGG_RFAMP_2ピンを使用してゲインを制御します。これらのピンは内部で自己バイアスされており、通常はオープンにしておきます。

ミキサー

ADMFM2000は各チャンネルにダブル・バランスド・ミキサーを備えています。各ミキサーは、5GHz～32GHzのRFに対応する

表 7. SW1_CTRL_A、SW1_CTRL_B、SW2_CTRL_A、およびSW2_CTRL_Bのスイッチ制御真理値表

| Digital Control Inputs ¹ | | RF Paths | |
|-------------------------------------|------------|------------------|------------------|
| SWx_CTRL_A | SWx_CTRL_B | Channel 1 Status | Channel 2 Status |
| High | Low | Direct IF mode | Mixer mode |
| Low | High | Mixer mode | Direct IF mode |

1 表7に詳細を示すロジック・レベルのハイとローについては、表1のロジック入力を参照してください。

動作原理

LPF

スイッチ後段にある帯域幅8GHzのLPFは、ダイレクトIFモード時に、ミキサで生成されるかRF_BYPASS_IN_1入力ピンやRF_BYPASS_IN_2入力ピンに誘導されるかした、高調波およびその他のスプリアスを除去します。

DSA

LPF後段にあるDSAのゲイン制御範囲は31dBで、ステップ・サイズは1dBです。DSAの減衰は、DSAx_V0~DSAx_V4ピンのロジック・レベルによって設定します（図3と表8を参照）。すべてのピンをハイにすると減衰は最小になり、すべてのピンをローにすると最大になります。DSAにはVSS_DSASピンの-5V負電源が必要であること、および前述のピンのロジック制御は正（0Vと5V）であることに留意してください。

表 8. DSA1_V0、DSA1_V1、DSA1_V2、DSA1_V3、DSA1_V4、およびDSA2_V0、DSA2_V1、DSA2_V2、DSA2_V3、DSA2_V4の減衰真理値表

| Digital Control Input ¹ | | | | | Attenuation State (dB) |
|------------------------------------|---------|---------|---------|---------|------------------------|
| DSAx_V4 | DSAx_V3 | DSAx_V2 | DSAx_V1 | DSAx_V0 | |
| High | High | High | High | High | 0 (reference) |
| High | High | High | High | Low | 1 |
| High | High | High | Low | High | 2 |
| High | High | High | Low | Low | 3 |
| High | High | Low | High | High | 4 |
| High | High | Low | High | Low | 5 |
| High | High | Low | Low | High | 6 |
| High | High | Low | Low | Low | 7 |
| High | Low | High | High | High | 8 |
| High | Low | High | High | Low | 9 |
| High | Low | High | Low | High | 10 |
| High | Low | High | Low | Low | 11 |
| High | Low | Low | High | High | 12 |
| High | Low | Low | High | Low | 13 |
| High | Low | Low | Low | High | 14 |
| High | Low | High | Low | Low | 15 |
| Low | High | High | High | High | 16 |
| Low | High | High | High | Low | 17 |
| Low | High | High | Low | High | 18 |
| Low | High | High | Low | Low | 19 |
| Low | High | Low | High | High | 20 |
| Low | High | Low | High | Low | 21 |
| Low | High | Low | Low | High | 22 |
| Low | High | Low | Low | Low | 23 |
| Low | Low | High | High | High | 24 |
| Low | Low | High | High | Low | 25 |
| Low | Low | High | Low | High | 26 |
| Low | Low | High | Low | Low | 27 |
| Low | Low | Low | High | High | 28 |
| Low | Low | Low | High | Low | 29 |
| Low | Low | Low | Low | High | 30 |
| Low | Low | Low | Low | Low | 31 |

¹ 表8に詳細を示すロジック・レベルのハイとローについては、表1のロジック入力を参照してください。

動作原理

IFアンプ

IFアンプはDSAの後段に置かれています。アンプには5Vの電源電圧が必要で、内部で50Ωに整合された出力を備えています。

アプリケーション情報

基本的な接続方法

ADMFM2000を動作させるための基本的な接続方法を図61に示します。表9には各ピンの詳細な接続方法を示します。図61は、ADMFM2000の特性評価に使用した回路です。特性評価時に使用したLO電力仕様は、LO_INの電力ではなく、RFコネクタの電力レベルを基準としています。図60に、RFコネクタとLO_INピン間における挿入損失のプロットを示します。

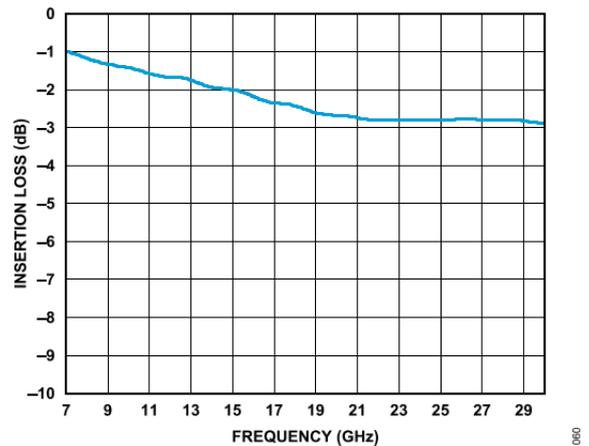


図60. ADMFM2000特性評価用ボードのLO配線パターンの挿入損失の周波数特性

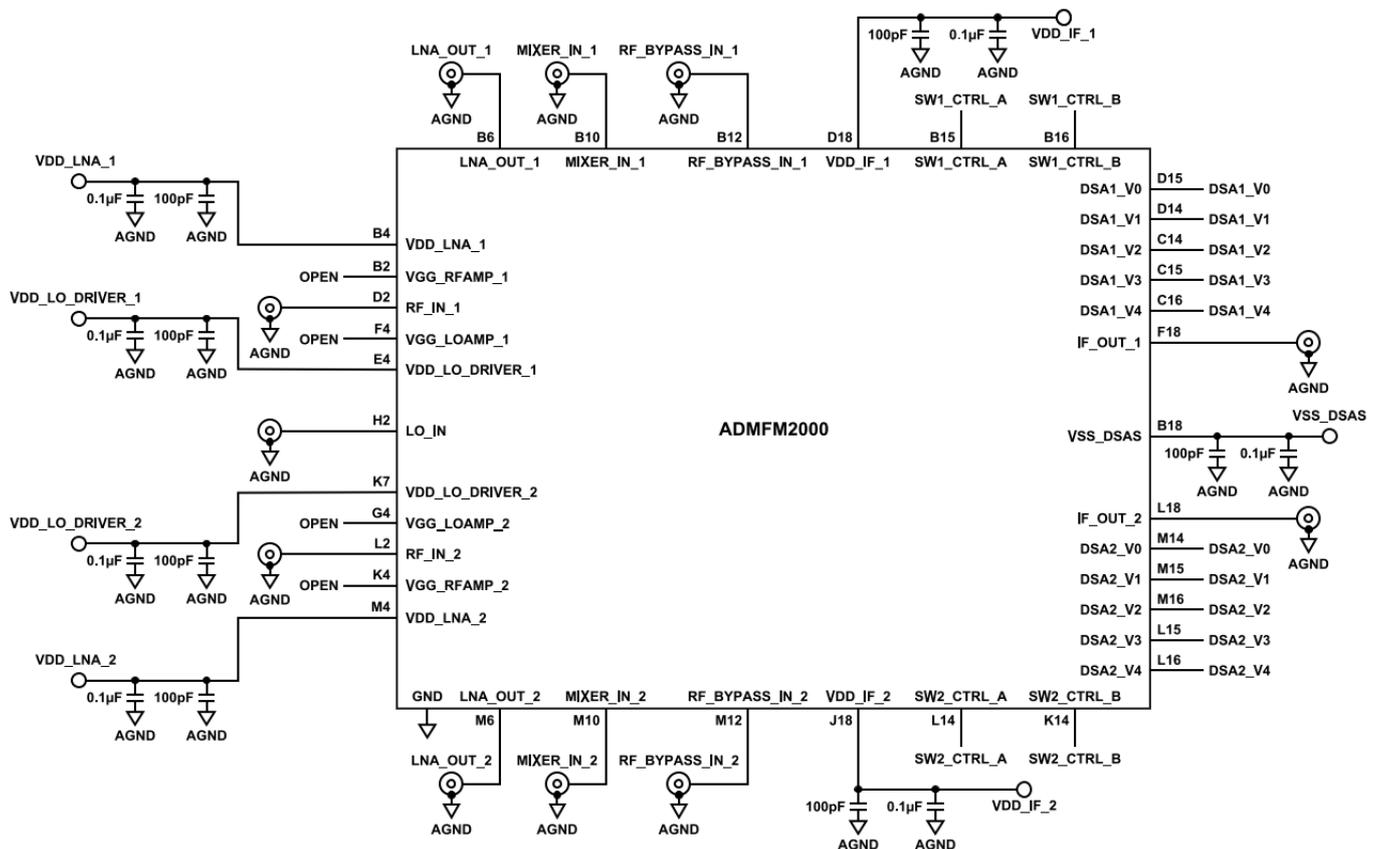


図61. 基本的な接続方法

表 9. 接続の説明

| Functional Blocks | Pin No. | Mnemonic | Description | Basic Connection |
|---|--------------------------|---|---|--|
| 5 V Supply Voltage for LNA, DSA, and IF Amplifier | B4, D18, E4, J18, K7, M4 | VDD_LNA_1, VDD_IF_1, VDD_LO_DRIVER_1, VDD_IF_2, | Analog 5.0 V supply voltage for Channel 1 LNA, analog 5.0 V supply voltage for Channel 1 IF amplifier and Channel 1 DSA, analog 5.0 V supply voltage for Channel 1 LO driver, analog 5.0 V supply voltage for Channel 2 IF amplifier and Channel 2 DSA, analog 5.0 V supply | Decouple these pins using 10 pF and 0.1 µF capacitors to ground. Locate the decoupling capacitors as |

アプリケーション情報

表9.接続の説明（続き）

| Functional Blocks | Pin No. | Mnemonic | Description | Basic Connection |
|-----------------------------|---|---|---|--|
| | | VDD_LO_DRIVER_2, VDD_LNA_2 | voltage for Channel 2 LO driver, analog 5.0 V supply voltage for Channel 2 LNA. | close as possible to the pins. |
| -5 V Supply Voltage for DSA | B18 | VSS_DSAS | Analog -5.0 V supply voltage for DSAs. | Decouple this pin using 10 pF and 0.1 μF capacitors to ground. Locate the decoupling capacitors as close as possible to the pin. |
| LNA Inputs | D2, L2 | RF_IN_1, RF_IN_2 | Single-ended RF inputs for Channel 1 and Channel 2. | Connect these pins to an RF input source with a typical input power of -20 dBm. |
| LNA Outputs | B6, M6 | LNA_OUT_1, LNA_OUT_2 | Single-ended RF outputs for Channel 1 and Channel 2. | Connect these pins to signal analyzer. |
| Mixer Inputs | B10, M10 | MIXER_IN_1, MIXER_IN_2 | Single-ended mixer inputs for Channel 1 and Channel 2. | Connect these pins to an RF input source with a typical input power of -10 dBm. |
| LO Input | H2 | LO_IN | Single-ended LO input for Channel 1 and Channel 2. | Connect this pin to RF input source, typical input power 6 dBm. |
| IF Inputs | B12, M12 | RF_BYPASS_IN_1, RF_BYPASS_IN_2 | Single-ended IF inputs for Channel 1 and Channel 2. | Connect these pins to an IF input source with a typical input power of -20 dBm. |
| IF Outputs | F18, L18 | IF_OUT_1, IF_OUT_2 | Single-ended IF outputs for Channel 1 and Channel 2. | Connect these pins to signal analyzer. |
| Amplifier Gain Control | B2, K4, F4, G4 | VGG_RFAMP_1, VGG_RFAMP_2, VGG_LOAMP_1, VGG_LOAMP_2 | Optional gain control voltage, these pins are internally self-biased and must normally be left open. | Set these pins to left open. |
| Switch Control | B15, B16, L14, K14 | SW1_CTRL_A, SW1_CTRL_B, SW2_CTRL_A, SW2_CTRL_B | Channel 1 Switch Control Input A, and Channel 1 Switch Control Input B, Channel 2 Switch Control Input A, and Channel 2 Switch Control Input B. | These pins must always be kept at a valid logic level (Refer to Table 1). |
| DSA Attenuation | D15, D14, C14, C15, C16, M14, M15, M16, L15, L16 | DSA1_Vx ¹ , DSA2_Vx ¹ | Channel 1 DSA attenuation control voltage, and Channel 2 DSA attenuation control voltage. | These pins must always be kept at a valid logic level (Refer to Table 1) and not be left floating. |
| Ground | A5, A7, A9, A11, A13, B3, B5, B7, B8, B9, B11, B13, B14, B17, C1 to C13, C17, C18, D3 to D13, D16, D17, E1 to E3, E16 to E19, F2, F3, F6 to F14, F16, F17, G1 to G3, G6 to G14, G16 to G19, H3, H4, H6 to H14, H16 to H18, J1 to J4, J16, J17, K1 to K3, K5, K6, K8 to K13, K15 to K19, L3 to L13, L17, M1 to M3, M5, M7 to M9, M11, M13, M17 to M19, N5, N7, N9, N11, N13 | GND | Ground. | Connect these balls to the ground of the PCB. |

1 x=0, 1, 2, 3, 4

アプリケーション情報

カスケード接続したLNAとミキサーの性能

ADMFM2000は、アプリケーションに関して高い柔軟性を備えています。各チャンネルのLNA出力、ミキサー入力、ミキサー・バイパス入力へのアクセスが可能で、LNAとミキサー間のフィルタリングや減衰の設定を変更することができます。

表10に、カスケード接続したLNAとミキサーの全体的性能を異なる減衰レベルごとに示します。この減衰は通常、LNAとミキサー

間に置かれたバンドパス・フィルタの挿入損失によって生じます。入力P1dBおよび入力IP3と減衰の関係が一貫しているということは、LNAがそのチャンネルの性能の支配的要素であることを意味しています。

2つのIFチャンネル間の絶縁は、RF入力が30GHz以下では-60dBより良好な値を示します。

表 10. LNAとミキサーをカスケード接続した場合の全体的性能と減衰の関係（18GHz RF入力、3GHz IF出力）

| Attenuation Between LNA Output (LNA_OUT_x ¹) and Mixer Input (MIXER_IN_x ¹) | Gain (dB) | Input P1dB (dBm) | Input IP2 (dBm) ² | Input IP3 (dBm) | Noise Figure (dB) |
|---|-----------|------------------|------------------------------|-----------------|-------------------|
| 5.5 | +0.52 | -0.43 | 29.9 | 10.2 | 16.7 |
| 7.3 | -1.2 | -0.67 | 31.9 | 10.5 | 18.6 |
| 9.4 | -4 | -0.74 | 34.3 | 10.7 | 20.4 |
| 11.4 | -5.8 | -0.96 | 36 | 10.9 | 22.8 |

1 x = 1または2。

2 9GHz RF入力時。

アプリケーション情報

レイアウトに関する推奨事項

ADMFM2000下面のグラウンド・ボールは、熱抵抗および電気インピーダンスの低いグラウンド・プレーンにハンダ付けします。
ADMFM2000-EVALZのグラウンド・プレーンにグラウンド・ビアを分散して配置し、デバイス・パッケージからの放熱を最大にします。図62のレイアウトにおいて、PCB配線パターンが接続された緑色のドットはADMFM2000の入力と出力です。グレーのドットはグラウンド・ビアで、赤丸で囲んだグレーのドットは電源プレーンに続くビアか、デジタル制御用のビアです。ADMFM2000-EVALZの詳細については、www.analog.com/EVAL-ADMFM2000を参照してください。

デカップリング・コンデンサは、電源電圧ボールのできるだけ近くに配置してください。

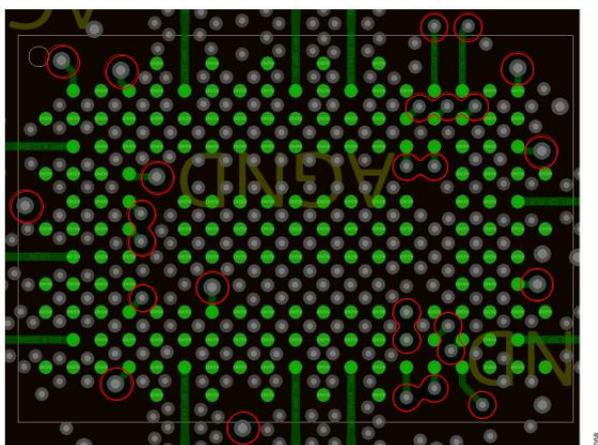


図62. ADMFM2000-EVALZの評価用ボード・レイアウト、上面 (ADMFM2000越しに見た状態)

ベント・ホール

ADMFM2000パッケージのメタル・リッド上面には、ベント・ホールが設けられています。ADMFM2000-EVALZのリフロー・プロセス時はこのベント・ホールは開いたままにし、ボード洗浄時はカプトン・テープでカバーします。洗浄終了後はカプトン・テープを除去してください。組み立てが完了したPCBを保管または使用するときは、ベント・ホールは開いたままにします。

ADMFM2000を湿気や水分から保護するためには、通気性のテープを使用することを推奨します。パッケージ上面にヒートシンクを追加するときは、ベント・ホールを塞がずに空気の循環を確保してください。

パワー・マネージメントに関する推奨事項

ADMFM2000には2つの+5V電源と1つの-5V電源があります。各電源は最大電流要件が異なります。+5Vと-5Vの両方を複数のADMFM2000デバイスに供給するには、このセクションと図63に詳細を示すパワー・マネージメントに関する推奨事項に従ってください。このアプリケーションでは12V電源を使用できるようになっていますが、この電源は2つのLT8627SP (+5V) デバイスと1つのLTM8074 (-5V) デバイスの入力電圧として使用します。

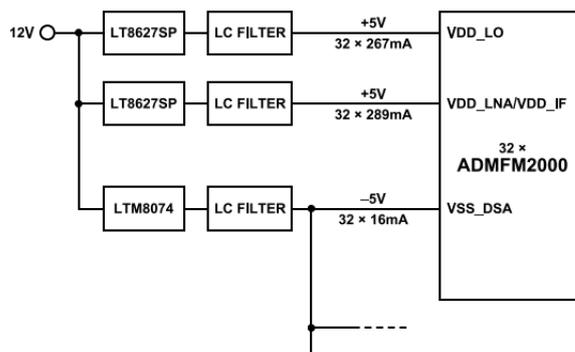


図63. パワー・マネージメント

2つの5V電源は、LT8627SPによって電圧が12Vから5Vに降圧されます。-5V電源は、LTM8074によって電圧が+12Vから-5Vに降圧されます。LT8627SPの出力は、最大32個のADMFM2000デバイスの2つの5V電源を駆動できます。LOドライブ電源用の1つのLT8627SPに対する5V時の予想最大電流はADMFM2000デバイス1つあたり267mAで、32個のLOドライブ入力では合計8.54Aになります。LNA電源用のもう1つのLT8627SPに対する5V時の予想最大電流はADMFM2000デバイス1つあたり289mAで、32個のLOドライブ入力では合計9.25Aになります。

-5V電源については、LTM8074によって電圧が12Vから-5Vに降圧されます。-5V時の予想最大電流はADMFM2000デバイス1つあたり16mAで、32個のADMFM2000デバイスでは合計512mAになります。

外形寸法

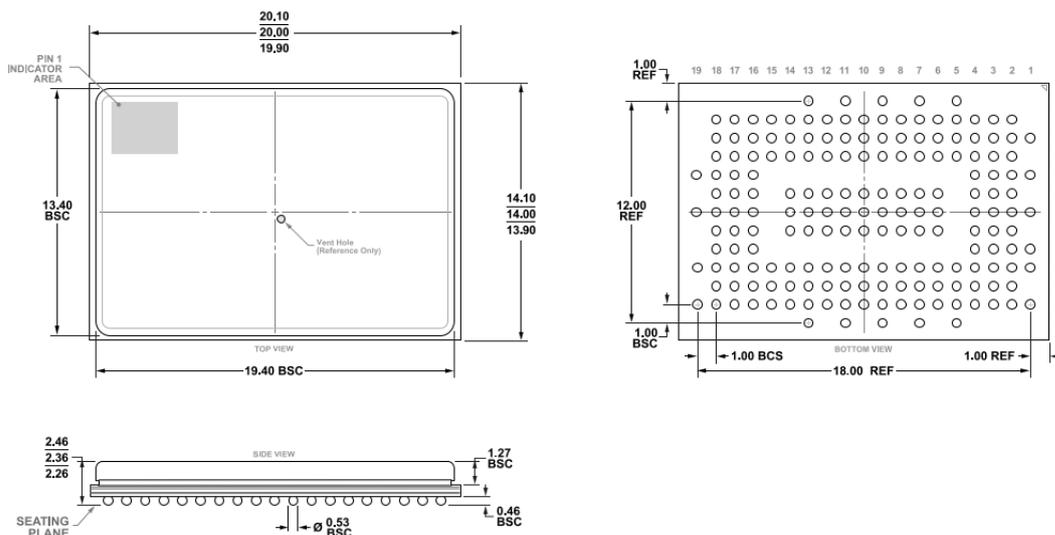


図64. 179ボール・プレモールド・キャビティ・ボール・グリッド・アレイ [BGA_CAV]
(BV-179-1)
寸法 : mm

更新 : 2023年10月10日

オーダー・ガイド

| Model ¹ | Temperature Range | Package Description | Package Option |
|--------------------|-------------------|---------------------|----------------|
| ADMFM2000ABVZ | -40°C to +85°C | 179-Ball BGA_CAV | BV-179-1 |

1 Z = RoHS適合製品。

評価用ボード

表 11. 評価用ボード

| Model ¹ | Description |
|--------------------|------------------|
| ADMFM2000-EVALZ | Evaluation Board |

1 Z = RoHS適合製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年11月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年11月5日

製品名：ADMFM2000

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：8頁、表5. ピン機能の説明(続き)内、K14pinとL14pinの説明欄の説明

【誤】

K14pinの説明「チャンネル2のスイッチ制御入力B。SW2_CTRL Aピンは常に有効なロジック・レベルに維持する必要があります(表1を参照)。」

L14pinの説明「チャンネル2のスイッチ制御入力A。SW2_CTRL Bピンは常に有効なロジック・レベルに維持する必要があります。(表1を参照)」

【正】

K14pinの説明「チャンネル2のスイッチ制御入力B。SW2_CTRL Bピンは常に有効なロジック・レベルに維持する必要があります(表1を参照)。」

L14pinの説明「チャンネル2のスイッチ制御入力A。SW2_CTRL Aピンは常に有効なロジック・レベルに維持する必要があります。(表1を参照)」