

0.38GHz~15GHz RxVGA

特長

- ▶ LNA およびビームフォーマから RF ADC へのインターフェースになる広帯域 RxVGA
- ▶ 動作周波数範囲：0.38GHz~15GHz、2種類の製品
 - ▶ ADL6332-A：0.38GHz~8.0GHz
 - ▶ ADL6332-B：1.0GHz~15.0GHz
- ▶ RF ADC の同相モード除去、偶数次高調波、および相互変調を差動シグナル・チェーンにより最適化
- ▶ 50Ω のシングルエンド入力と 50Ω の差動出力
- ▶ 広帯域 RF 入力バランを内蔵
- ▶ 1dB ステップでのゲイン・コントロール範囲：70dB
- ▶ RF DSA の範囲：1.0dB ステップで 24.0dB
- ▶ 各 12dB のアンプ・バイパス損失
- ▶ 複数の予め定義された減衰値とバイパス・アンプ段との間の非同期トグル
- ▶ 4GHz でのパワー・ゲイン：15.0dB (ADL6332-A)、15.7dB (ADL6332-B)
- ▶ 4GHz でのノイズ指数：8.5dB (ADL6332-A)、8.5dB (ADL6332-B)
- ▶ 4GHz での OIP3：32.8dBm (ADL6332-A)、30.9dBm (ADL6332-B)
- ▶ 4GHz での OIP2：59.6dBm (ADL6332-A)、55.5dBm (ADL6332-B)
- ▶ 4GHz での OP1dB：11.8dBm (ADL6332-A)、12.6dBm (ADL6332-B)
- ▶ 3 線式/4 線式 SPI を介して全機能をプログラム可能
- ▶ 3.3V 単電源
- ▶ 24 端子、4.0mm × 4.0mm LGA

機能ブロック図

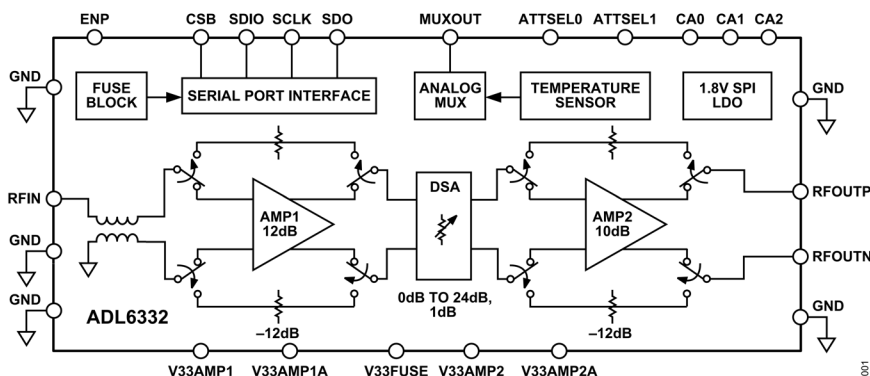


図 1. 機能ブロック図

アプリケーション

- ▶ 航空宇宙/防衛
- ▶ 計測器と試験装置
- ▶ 通信システム

概要

ADL6332 RxVGA は、LNA/ビームフォーマ/Rx フロント・エンドから RF A/D コンバータ (RF-ADC) へのインターフェースを可能にします。各 ADL6332 IC は、バラン、バイパス・アッテネータを備えた 2 つの差動 RF アンプと、適切な受信機性能を提供するためのデジタル・ステップ・アッテネータ (DSA) からなり、24 端子、4.0mm × 4.0mm LGA パッケージで提供されます。

シリアル・ポート・インターフェース (SPI) 制御を用いると、RF 信号パスの設定や、電源電流と性能の最適化が可能です。

良好なインピーダンス整合の下で 0.38GHz~8.0GHz (ADL6332-A) または 1.0GHz~15.0GHz (ADL6332-B) の範囲のシングルエンド入力を提供するために、内蔵 RF バランが使用されます。

表 1. ADL6332 の周波数範囲

ADL6332 Variant	Frequency Range (GHz)
A	0.38 to 8.0
B	1.0 to 15.0

Rev. A

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	AMP1 および AMP2 のトリミングおよびチューニング	29
アプリケーション	1	RF 経路の事前設定	30
概要.....	1	補助 MUX OUT/温度センサー	32
機能ブロック図	1	NVM (ヒューズ) スペース (リファレンスのみ)	32
仕様.....	3	シリアル・ポート・インターフェース (SPI)	33
デジタル・ロジックのタイミング	7	SPI バスを共有する複数チップの設定	33
絶対最大定格.....	9	初期化シーケンス	34
熱抵抗.....	9	基本的な接続方法	35
ESD に関する注意.....	9	アプリケーション情報	36
ピン配置およびピン機能の説明	10	消費電流の最適化.....	36
代表的な性能特性.....	11	AC カップリング	37
ADL6332-A	12	レジスタの一覧.....	38
ADL6332-B.....	19	レジスタの詳細.....	40
動作原理.....	26	外形寸法.....	55
RF 入出力.....	26	オーダー・ガイド.....	55
プログラマビリティ・ガイド	27	評価用ボード.....	55
機能および信号経路のイネーブル	27		

改訂履歴

7/2024—Rev. 0 to Rev. A

Change to Data Sheet Title.....	1
Changes to Features Section.....	1
Changes to General Description Section and Table 1	1
Changes to Table 2	3
Changes to Figure 35 Caption to Figure 38 Caption.....	15
Added ADL6332-B Section and Figure 53 to Figure 92; Renumbered Sequentially.....	19
Changes to AMP1 and AMP2 Trimming and Tuning Section.....	29
Changes to Current Consumption Optimization Section, Figure 96 Caption, and Figure 98 Caption	36
Added Figure 97 and Figure 99	36
Changes to Ordering Guide	55
Changes to Evaluation Boards.....	55

3/2024—Revision 0: Initial Version

仕様

特に指定のない限り、V33AMP1 電圧 (V_{33AMP1}) = V33AMP1A 電圧 (V_{33AMP1A}) = V33AMP2 電圧 (V_{33AMP2}) = V33AMP2A 電圧 (V_{33AMP2A}) = V33FUSE 電圧 (V_{33FUSE}) = 3.3V、T_A = 25°C、固定ゲイン・モード、DSA 減衰量 = 0dB、電源抵抗 (R_S) = 50Ω シングルエンド、負荷抵抗 (R_L) = 50Ω 差動。

表 2. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
FREQUENCY RANGE (ADL6332-A)		0.38		8.0	GHz
Power Gain					
Full Fixed Gain Mode ¹	0.38 GHz		12.0		dB
	1.0 GHz		15.4		dB
	2.0 GHz		15.5		dB
	4.0 GHz		15.0		dB
	8.0 GHz		13.7		dB
AMP1 Bypass Attenuation Mode ² : AMP2 = Fixed Gain Mode	0.38 GHz		-15.0		dB
	1.0 GHz		-9.9		dB
	2.0 GHz		-9.8		dB
	4.0 GHz		-10.5		dB
	8.0 GHz		-12.6		dB
AMP2 Bypass Attenuation Mode ² : AMP1 = Fixed Gain Mode	0.38 GHz		-12.8		dB
	1.0 GHz		-7.5		dB
	2.0 GHz		-7.4		dB
	4.0 GHz		-7.8		dB
	8.0 GHz		-8.6		dB
Full Bypass Attenuation Mode ²	0.38 GHz		-37.0		dB
	1.0 GHz		-32.3		dB
	2.0 GHz		-32.5		dB
	4.0 GHz		-33.5		dB
	8.0 GHz		-34.5		dB
FREQUENCY RANGE (ADL6332-B)		1.0		15.0	GHz
Power Gain					
Full Fixed Gain Mode ¹	1.0 GHz		15.1		dB
	2.0 GHz		15.8		dB
	4.0 GHz		15.7		dB
	8.0 GHz		15.1		dB
	12.0 GHz		14.8		dB
	15.0 GHz		14.8		dB
AMP1 Bypass Attenuation Mode ² : AMP2 = Fixed Gain Mode	1.0 GHz		-10.2		dB
	2.0 GHz		-9.5		dB
	4.0 GHz		-9.8		dB
	8.0 GHz		-11.4		dB
	12.0 GHz		-13.8		dB
	15.0 GHz		-17.8		dB
AMP2 Bypass Attenuation Mode ² : AMP1 = Fixed Gain Mode	1.0 GHz		-7.6		dB
	2.0 GHz		-6.9		dB
	4.0 GHz		-6.6		dB
	8.0 GHz		-7.0		dB
	12.0 GHz		-7.7		dB
	15.0 GHz		-9.1		dB
Full Bypass Attenuation Mode ²	1.0 GHz		-32.1		dB
	2.0 GHz		-31.8		dB
	4.0 GHz		-32.2		dB

仕様

表 2. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
	8.0 GHz		-33.2		dB
	12.0 GHz		-36.4		dB
	15.0 GHz		-41.0		dB
NOISE/HARMONIC PERFORMANCE (ADL6332-A)					
Input Signal Frequency 0.4 GHz					
Full Fixed Gain Mode ¹					
Output Second-Order Intercept (OIP2L/OIP2H ³)	Pin = -22 dBm/tone		53.5/67.4		dBm
Output Third-Order Intercept (OIP3)	Pin = -22 dBm/tone		31.4		dBm
Output 1dB Compression Point (OP1dB)			12.3		dBm
Noise Figure (NF)			10.2		dB
AMP1 Bypass Attenuation Mode ²					
Input Second-Order Intercept (IIP2L/IIP2H ⁴)	Pin = +2 dBm/tone		51.9/45.2		dBm
Input Third-Order Intercept (IIP3)	Pin = +2 dBm/tone		31.7		dBm
Input 1dB Compression Point (IP1dB) ⁵			>10		dBm
NF			30.3		dB
Input Signal Frequency 1.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		63.1/64.0		dBm
OIP3	Pin = -22 dBm/tone		33.2		dBm
OP1dB			13.1		dBm
NF			8.1		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		67.6/61.5		dBm
IIP3	Pin = +2 dBm/tone		30.1		dBm
IP1dB ⁵			>10		dBm
NF			25.8		dB
Input Signal Frequency 2.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		62.4/60.4		dBm
OIP3	Pin = -22 dBm/tone		33.0		dBm
OP1dB			12.8		dBm
NF			8.2		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		66.1/63.3		dBm
IIP3	Pin = +2 dBm/tone		29.8		dBm
IP1dB ⁵			>10		dBm
NF			25.7		dB
Input Signal Frequency 4.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		59.6/N/A ⁶		dBm
OIP3	Pin = -22 dBm/tone		32.8		dBm
OP1dB			11.8		dBm
NF			8.5		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		63.9/N/A ⁶		dBm
IIP3	Pin = +2 dBm/tone		29.1		dBm
IP1dB ⁵			>10		dBm
NF			26.5		dB
Input Signal Frequency 8.0 GHz					

仕様

表 2. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		56.1/N/A ⁶		dBm
OIP3	Pin = -22 dBm/tone		33.4		dBm
OP1dB			11.8		dBm
NF			8.2		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		63.4/N/A ⁶		dBm
IIP3	Pin = +2 dBm/tone		29.0		dBm
IP1dB ⁵			> 10		dBm
NF			26.7		dB
NOISE/HARMONIC PERFORMANCE (ADL6332-B)					
Input Signal Frequency 1.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		56.2/64.1		dBm
OIP3	Pin = -22 dBm/tone		30.1		dBm
OP1dB			13.4		dBm
NF			8.5		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		63.1/56.2		dBm
IIP3	Pin = +2 dBm/tone		29.4		dBm
IP1dB ⁵			>10		dBm
NF			26.6		dB
Input Signal Frequency 2.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		58.0/56.3		dBm
OIP3	Pin = -22 dBm/tone		30.6		dBm
OP1dB			13.3		dBm
NF			8.4		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		61.6/58.4		dBm
IIP3	Pin = +2 dBm/tone		28.9		dBm
IP1dB ⁵			>10		dBm
NF			26.2		dB
Input Signal Frequency 4.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		55.5/50.8		dBm
OIP3	Pin = -22 dBm/tone		30.9		dBm
OP1dB			12.6		dBm
NF			8.5		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		61.9/66.5		dBm
IIP3	Pin = +2 dBm/tone		28.4		dBm
IP1dB ⁵			>10		dBm
NF			26.5		dB
Input Signal Frequency 8.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		53.5/N/A ⁷		dBm
OIP3	Pin = -22 dBm/tone		32.5		dBm
OP1dB			12.6		dBm

仕様

表 2. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NF			8.1		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		64.8/N/A ⁷		dBm
IIP3	Pin = +2 dBm/tone		28.3		dBm
IP1dB ⁵			> 10		dBm
NF			27.0		dB
Input Signal Frequency 12.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22 dBm/tone		50.1/N/A ⁷		dBm
OIP3	Pin = -22 dBm/tone		29.8		dBm
OP1dB			11.2		dBm
NF			8.6		dB
AMP1 Bypass Mode ²					
IIP2L/IIP2H ⁴	Pin = +2 dBm/tone		65.8/N/A ⁷		dBm
IIP3	Pin = +2 dBm/tone		27.6		dBm
IP1dB ⁵			>10		dBm
NF			28.7		dB
INPUT/OUTPUT CHARACTERISTICS					
Input Impedance	Single-ended		50		Ω
Input Return Loss	Single-ended		12.0		dB
Output Impedance	Differential		50		Ω
Output Return Loss	In band, includes output balun single-ended		12.0		dB
GAIN FLATNESS					
1.0 GHz to 12 GHz	In a 1 GHz bandwidth		0.5		dB
1.5 GHz to 12 GHz	In a 3 GHz bandwidth		1.1		dB
DSA ATTENUATION					
Range			24.0		dB
Step	Through SPI		1.0		dB
Differential Nonlinearity (DNL)		0	0.16	0.5	dB
SWITCHING TIME	1.0 dB step through ATTSEL pins		25		ns
DIGITAL LOGIC					
Input Voltage	SCLK, SDO, SDIO, CSB, ENP, CA0, CA1, CA2, ATTSEL0, ATTSEL1				
High (V_{IH})		1.07			V
Low (V_{IL})				0.68	V
Input Current					
High (I_{IH})				-100	μ A
Low (I_{IL})				100	μ A
Output Voltage	SDO, SDIO (3-wire SPI mode)				
At 1.8 V					
High (V_{OH})	Output high current (I_{OH}) = -100 μ A or -1 mA static load	1.5			V
Low (V_{OL})	Output low current (I_{OL}) = 100 μ A or 1 mA static load			0.2	V
At 3.3 V					
High (V_{OH})	I_{OH} = -100 μ A or -1 mA static load	2.7			V
Low (V_{OL})	I_{OL} = 100 μ A or 1 mA static load			0.2	V
POWER SUPPLY					
Voltage					
V33AMP1A		3.135	3.3	3.465	V

仕様

表 2. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V33AMP1		3.135	3.3	3.465	V
V33AMP2A		3.135	3.3	3.465	V
V33AMP2		3.135	3.3	3.465	V
V33FUSE		3.135	3.3	3.465	V
Current					
Full Fixed Gain Mode ¹	3.3 V supply				
V33AMP1A			80		mA
V33AMP1			160		mA
V33AMP2A			80		mA
V33AMP2			160		mA
V33FUSE			35		mA
AMP1 Bypass Attenuation Mode ²	3.3 V supply				
V33AMP1A			2		mA
V33AMP1			0.1		mA
V33AMP2A			80		mA
V33AMP2			160		mA
V33FUSE			22		mA
AMP2 Bypass Attenuation Mode ²	3.3 V supply				
V33AMP1A			80		mA
V33AMP1			160		mA
V33AMP2A			0.1		mA
V33AMP2			0.1		mA
V33FUSE			22		mA
AMP1 and AMP2 Bypass Attenuation Mode ²	3.3 V supply				
V33AMP1A			2		mA
V33AMP1			0.1		mA
V33AMP2A			0.1		mA
V33AMP2			0.1		mA
V33FUSE			12		mA
Power-Down Mode	3.3 V supply		3		mA

¹ フル固定ゲイン・モードは、製造時に最適化されたパラメータを用い、AMP1 と AMP2 を固定ゲイン設定とし、DSA = 0dB として設定されています。

² バイパス減衰モードは、製造時に最適化されたパラメータを用い、AMP1 または AMP2 をバイパス設定とし、DSA = 0dB として設定されています。減衰モードでアンプをバイパスすると、全電流がアンプあたり 230mA (代表値) だけ減少します。

³ OIP2L はツー・トーン差周波数を指し、OIP2H はツー・トーン和周波数を指します。

⁴ IIP2L はツー・トーン差周波数を指し、IIP2H はツー・トーン和周波数を指します。

⁵ 絶対最大定格を超えています。

⁶ 該当なし。ADL6332-A の場合、入力信号周波数が 4GHz 以上になると、OIP2H/IIP2H は動作周波数範囲を超えます。

⁷ 該当なし。ADL6332-B の場合、入力信号周波数が 7.5GHz 以上になると、OIP2H/IIP2H は動作周波数範囲を超えます。

デジタル・ロジックのタイミング

C_{LOAD} = 25pF

表 3. SPI のタイミング仕様

Parameter	Description	Min	Typ	Max	Unit
f _{SCLK}	Maximum serial-clock rate			25	MHz
t _{PWH}	Minimum period that SCLK is in logic-high state	10			ns
t _{PWL}	Minimum period that SCLK is in logic-low state	10			ns

仕様

表 3. SPI タイミング仕様 (続き)

Parameter	Description	Min	Typ	Max	Unit
t_{DS}	Setup time between data and rising edge of SCLK	10			ns
t_{DH}	Hold time between data and rising edge of SCLK	5			ns
t_{DCS}	Setup time between falling edge of CSB and SCLK	10			ns
t_{DV}	Maximum time delay between falling edge of SCLK and output data valid for a read operation			10	ns

SPI のタイミング図

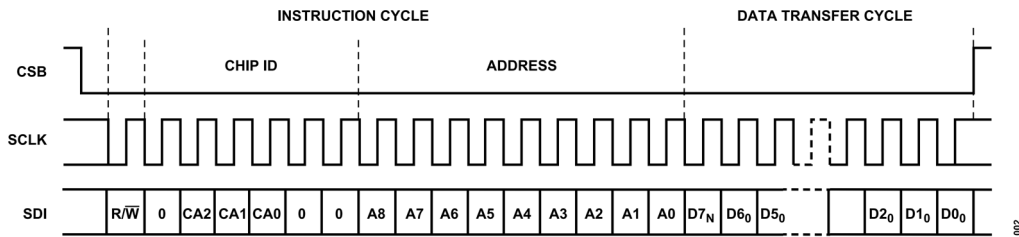


図 2. SPI レジスタのタイミング、MSB ファースト

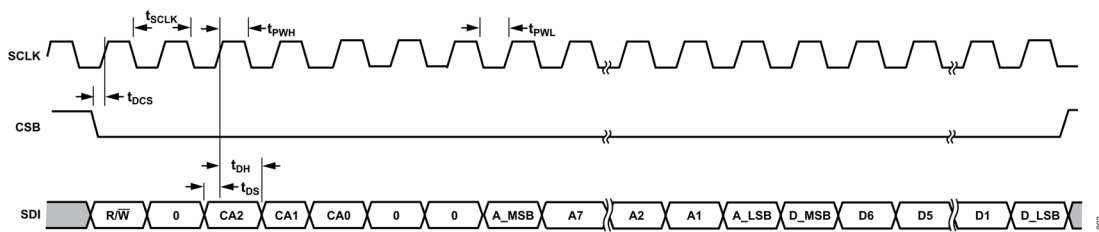


図 3. SPI レジスタ書き込みのタイミング図 (3 線式/4 線式 SPI モード)

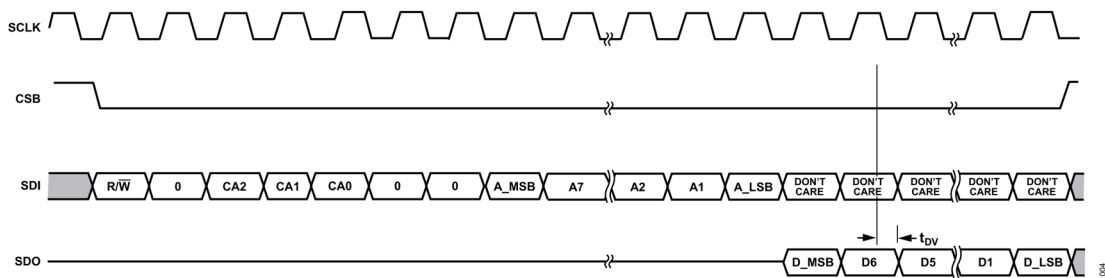


図 4. SPI レジスタ読出しのタイミング図 (4 線式 SPI モード)

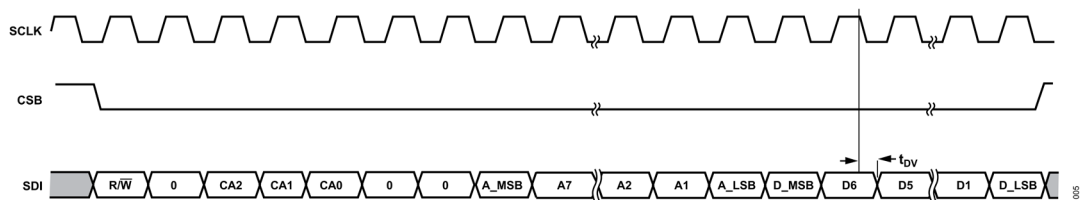


図 5. SPI レジスタ読出しのタイミング図 (3 線式 SPI モード、SDIO ピンは双方向モード、入力 (書き込み) と出力 (読出し))

絶対最大定格

表 4. 絶対最大定格

Parameter	Rating
V33AMP1, V33AMP1A, V33AMP2, V33AMP2A, V33FUSE	-0.3 V to +3.6 V
RFIN	10 dBm
SCLK, SDO, SDIO, CSB, CA0, CA1, CA2, ENP, ATTSEL0, ATTSEL1	-0.3 V to +3.6 V
Maximum Junction Temperature	125°C
Operating Temperature Range (Measured at the Exposed Pad)	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションからケースまでの伝導熱抵抗です。ケースの温度はパッケージの底部で測定されます。

（特に指定のない限り）表 5 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に従って使用します。

表 5. 熱抵抗

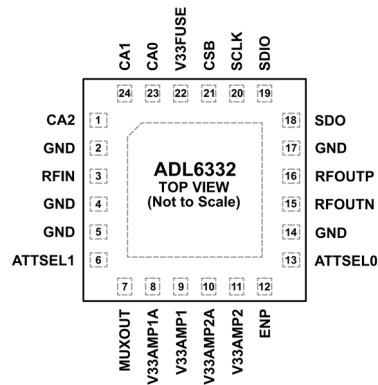
Package Type	θ_{JC}	Unit
CC-24-17	9.6	°C/W

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD. THE EXPOSED PAD MUST BE CONNECTED TO THE GROUND FOR ELECTRICAL AND THERMAL PURPOSES.

図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	タイプ	説明
1	CA2	Input	SPI チップ・アドレス (MSB)。
2, 4, 5, 14, 17	GND	Input/Output	グラウンド・リファレンス。
3	RFIN	Input	シングルエンド RF 入力。
6	ATTSEL1	Input	事前にプログラムされたモード選択 (A、B、C、および D 状態)。
7	MUXOUT	Output	チップ温度読み取り用の電圧測定ピン。使用しないときは、接続なしのまま。
8	V33AMP1A	Input	AMP1 のアナログ 3.3V 電源入力。
9	V33AMP1	Input	AMP1 のアナログ 3.3V 電源入力。
10	V33AMP2A	Input	AMP2 のアナログ 3.3V 電源入力。
11	V33AMP2	Input	AMP2 のアナログ 3.3V 電源入力。
12	ENP	Input	パワー・アップ/イネーブル入力。アクティブ・ハイ。
13	ATTSEL0	Input	事前にプログラムされたモード選択 (A、B、C、および D 状態)。
15	RFOUTN	Output	平衡差動 RF 出力の負側。
16	RFOUTP	Output	平衡差動 RF 出力の正側。
18	SDO	Output	シリアルポートのデータ出力。
19	SDIO	Input/Output	シリアルポートの双方向データ入出力。
20	SCLK	Input	シリアルポートのクロック入力。
21	CSB	Input	シリアルポートのイネーブル入力。アクティブ・ロー。
22	V33FUSE	Input	デジタル 3.3V 電源入力。
23	CA0	Input	SPI チップ・アドレス (LSB)。
24	CA1	Input	SPI チップ・アドレス。
	EPAD	Input/Output	露出パッド。電気的および熱的性能のため、露出パッドはグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、 $V_{33AMP1} = V_{33AMP1A} = V_{33AMP2} = V_{33AMP2A} = V_{33FUSE} = 3.3V$ 、 $T_A = 25^\circ C$ 。

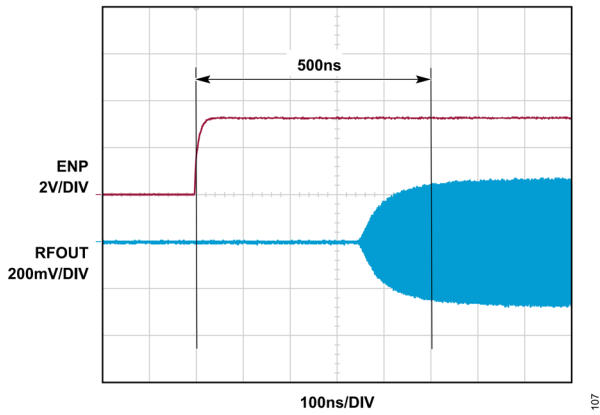


図 7. 固定ゲイン・モードでの ENP イネーブル応答 (DSA 減衰量が最小)

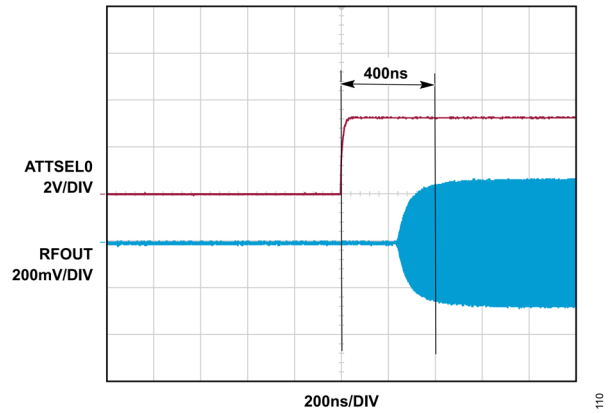


図 10. 最小ゲイン (AMP1/AMP2 バイパス、DSA = 24.0dB) から最大ゲイン (AMP バイパスなし、DSA = 0.0dB) までのゲイン・セトリング・タイム

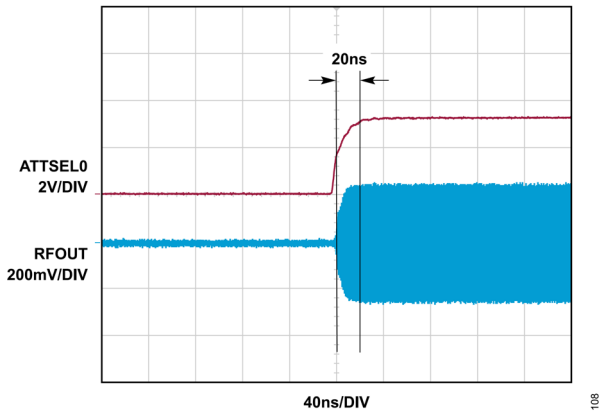


図 8. 固定ゲイン・モードでのゲイン・セトリング・タイム (DSA が 24.0dB~0.0dB)

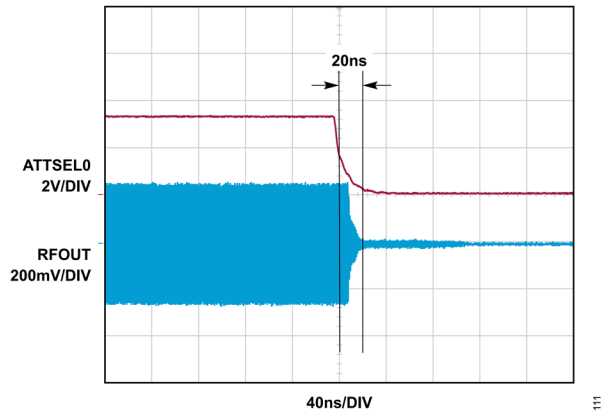


図 11. 最大ゲイン (AMP バイパスなし、DSA = 0.0dB) から最小ゲイン (AMP1/AMP2 バイパス、DSA = 24.0dB) までのゲイン・セトリング・タイム

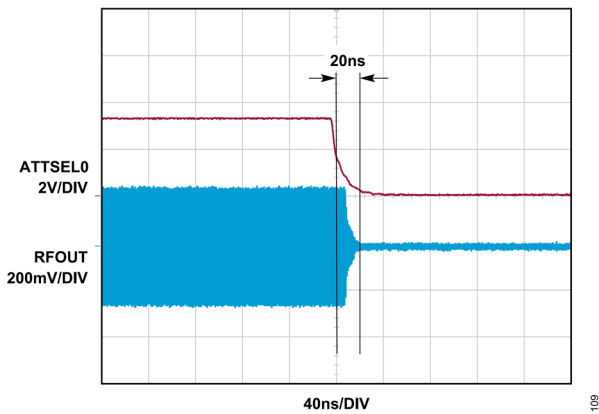


図 9. 固定ゲイン・モードでのゲイン・セトリング・タイム (DSA が 0.0dB~24.0dB)

代表的な性能特性

ADL6332-A

特に指定のない限り、V33AMP1 電圧 (V33AMP1) = V33AMP1A 電圧 (V33AMP1A) = V33AMP2 電圧 (V33AMP2) = V33AMP2A 電圧 (V33AMP2A) = V33FUSE 電圧 (V33FUSE) = 3.3V、T_A = 25°C、固定ゲイン・モード、DSA 減衰 = 0dB、電源抵抗 (R_S) = 50Ω シングルエンド、負荷抵抗 (R_L) = 50Ω 差動。

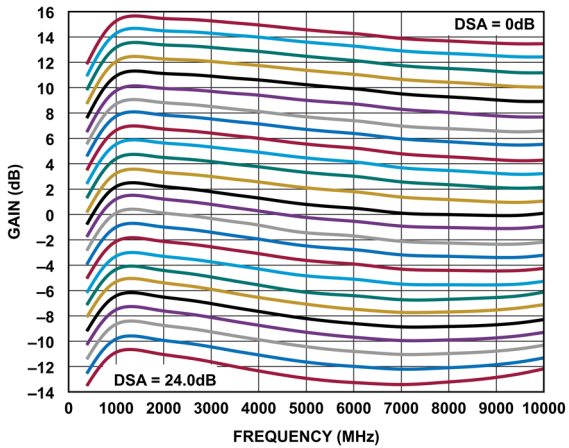


図 12. ゲインと周波数の関係、1.0dB の DSA ステップ

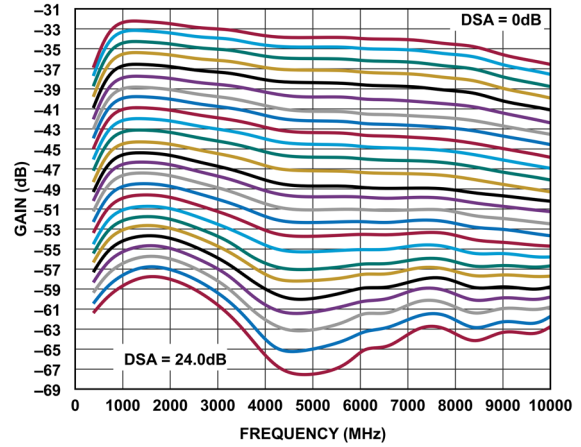


図 15. ゲインと周波数の関係、1.0dB の DSA ステップ、AMP1 および AMP2 バイパス

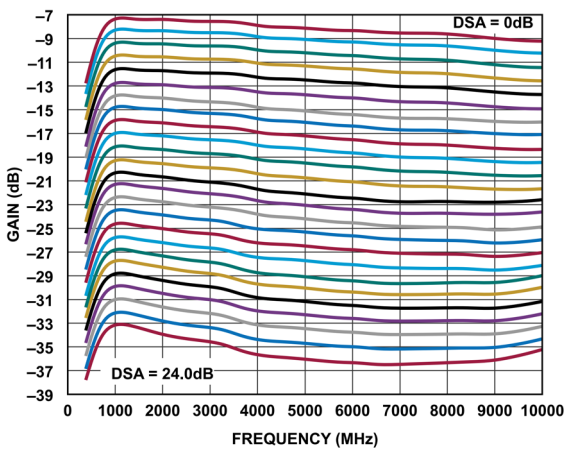


図 13. ゲインと周波数の関係、1.0dB の DSA ステップ、AMP2 バイパス

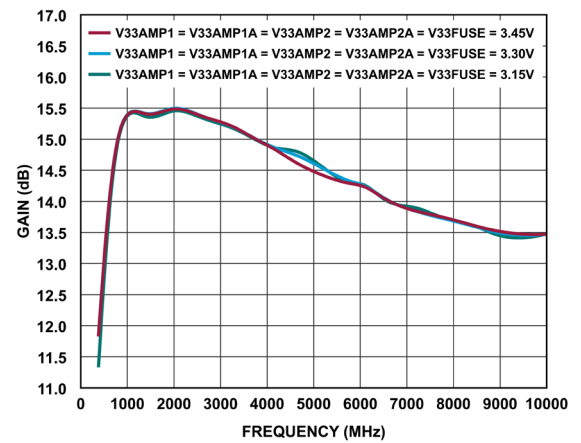


図 16. 様々な電源電圧におけるゲインと周波数の関係

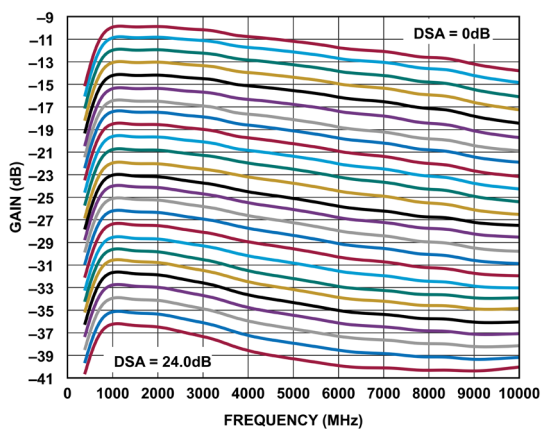


図 14. ゲインと周波数の関係、1.0dB の DSA ステップ、AMP1 バイパス

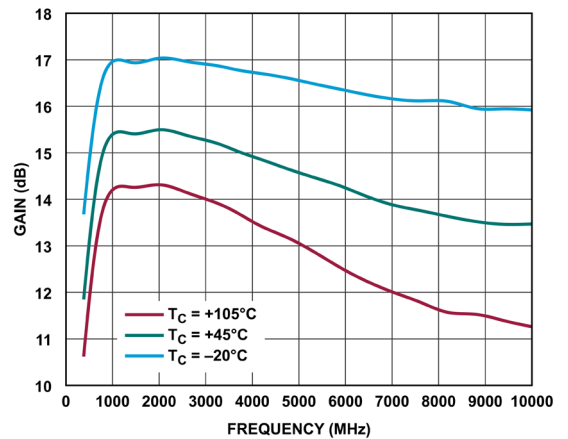


図 17. 様々な温度におけるゲインと周波数の関係

代表的な性能特性

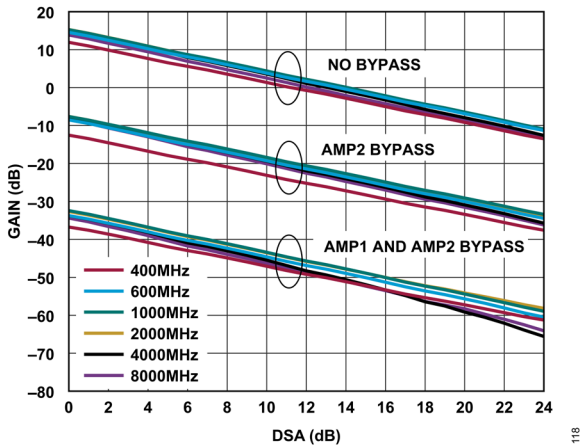


図 18. 様々な周波数におけるゲインと 1.0dB DSA ステップの関係、AMP2 バイパス

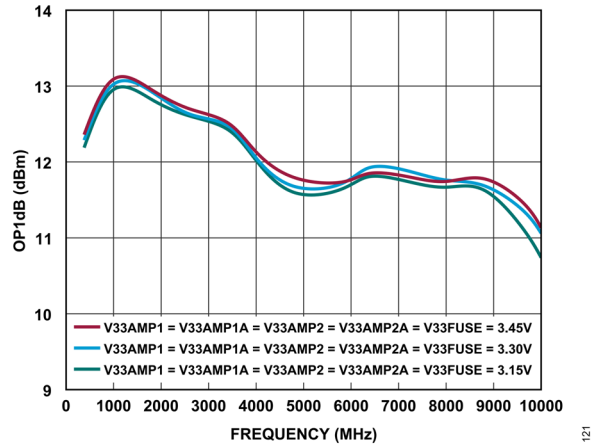


図 21. 様々な電源電圧における OP1dB と周波数の関係

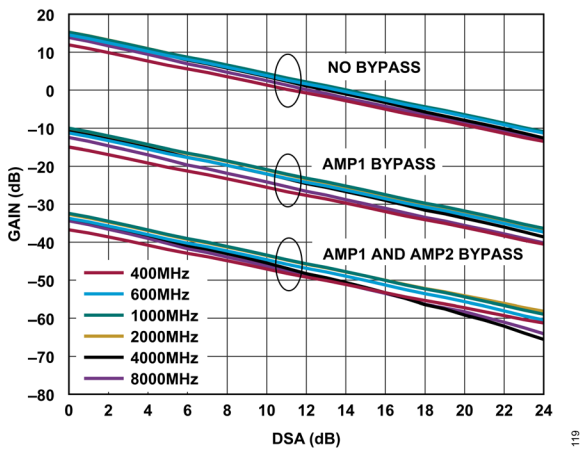


図 19. 様々な周波数におけるゲインと 1.0dB DSA ステップの関係、AMP1 バイパス

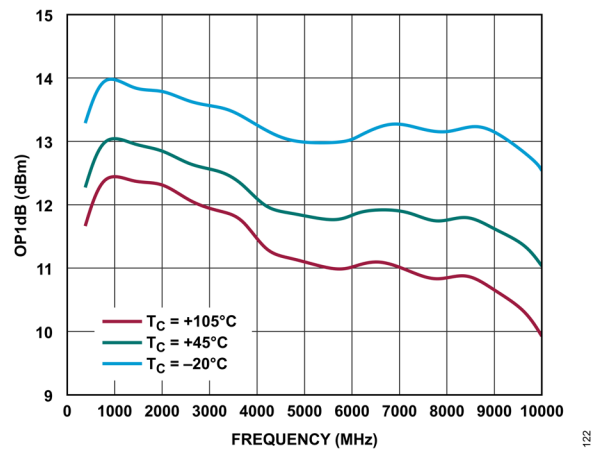


図 22. 様々な温度における OP1dB と周波数の関係

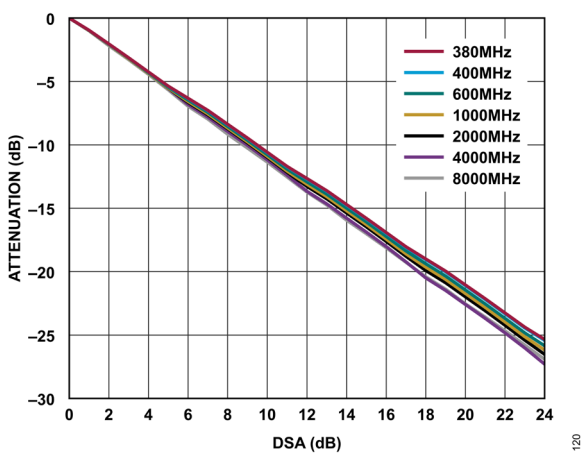


図 20. 様々な周波数における減衰量と DSA の関係

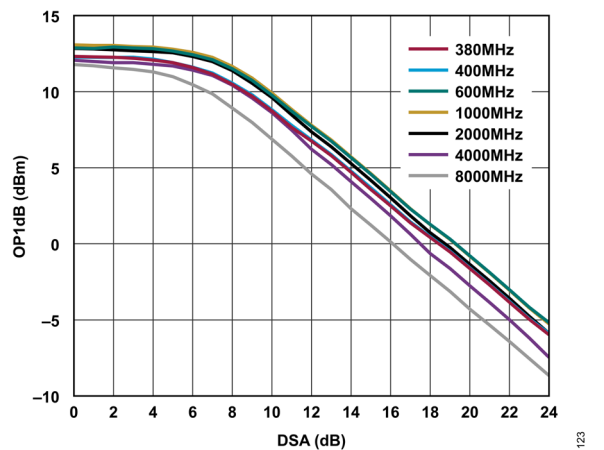


図 23. 様々な周波数における OP1dB と 1.0dB DSA ステップの関係

代表的な性能特性

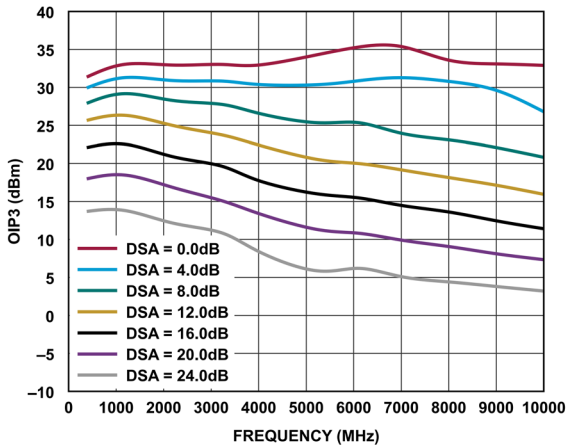


図 24. 様々な DSA 値での OIP3 と周波数の関係

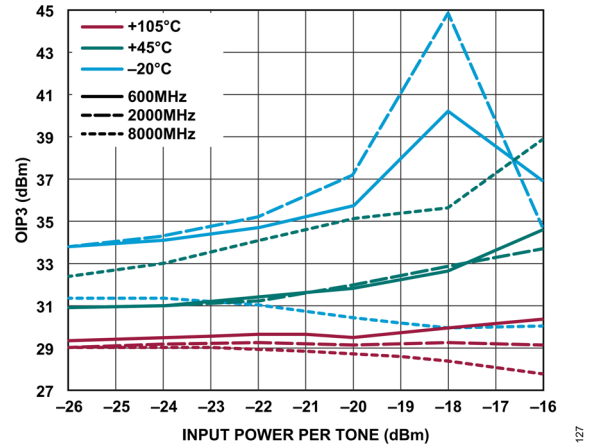


図 27. 様々な温度における 600MHz、2000MHz、8000MHz での OIP3 とトーンあたりの入力電力の関係

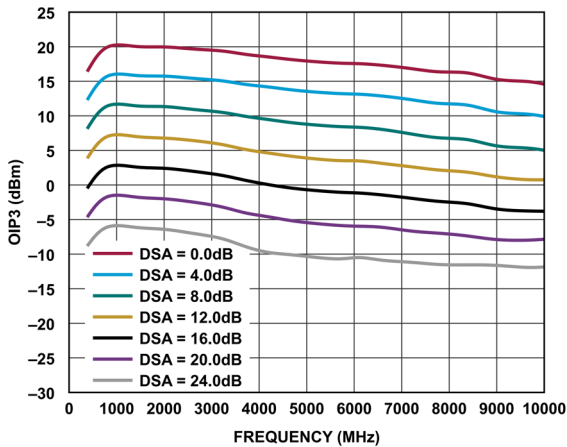


図 25. 様々な DSA 値での OIP3 と周波数の関係、AMP1 バイパス

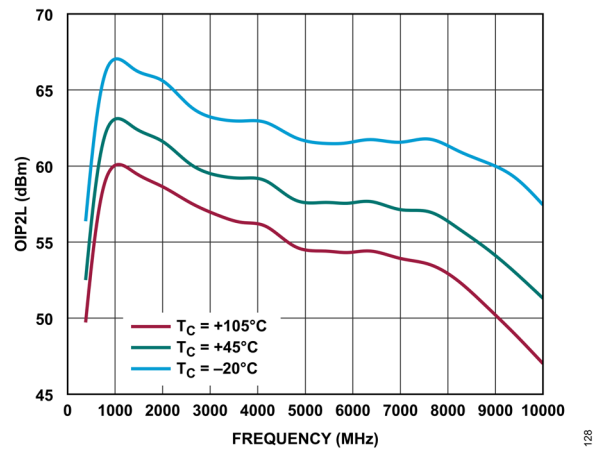


図 28. 様々な温度における OIP2L と周波数の関係

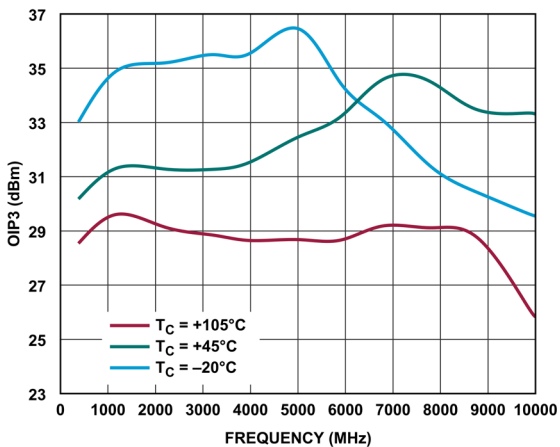


図 26. 様々な温度における OIP3 と周波数の関係

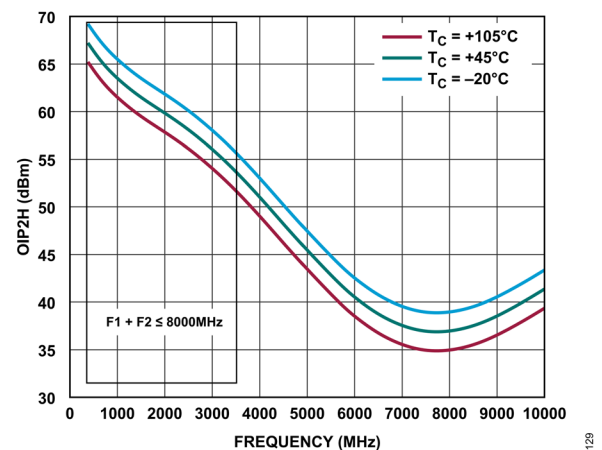


図 29. 様々な温度における OIP2H と周波数の関係、トーン間隔は 1010MHz

代表的な性能特性

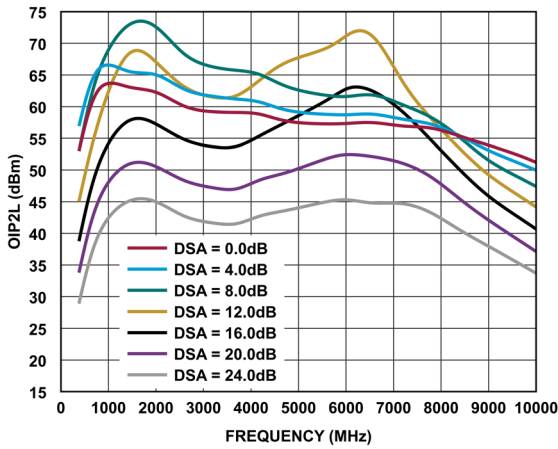


図 30. 様々な DSA 値での OIP2L と周波数の関係

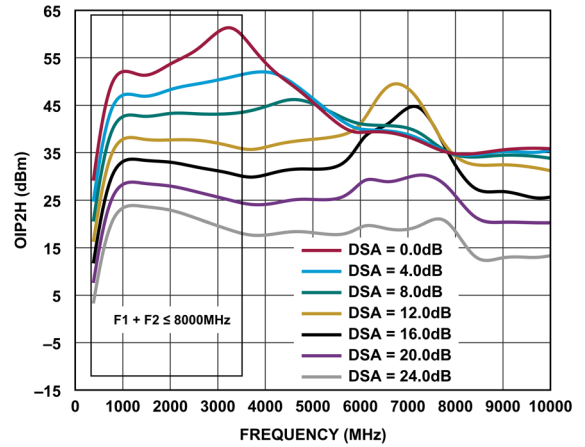


図 33. 様々な DSA 値での OIP2H と周波数の関係、AMP1 バイパス、トーン間隔は 1010MHz

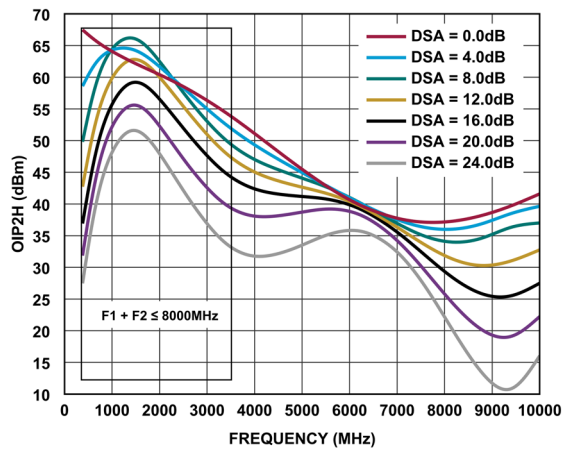


図 31. 様々な DSA 値での OIP2H と周波数の関係、トーン間隔は 1010MHz

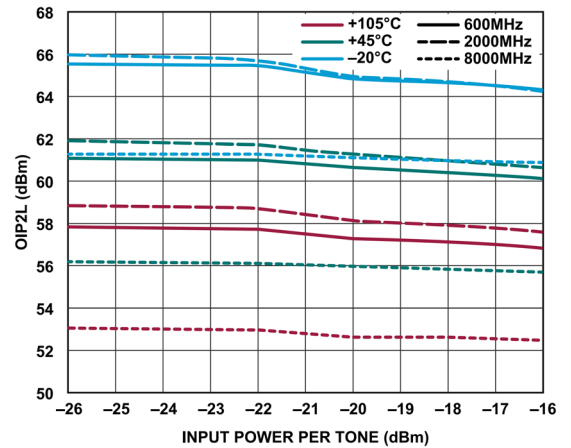


図 34. 様々な温度における 600MHz、2000MHz、8000MHz での OIP2L とトーンあたりの入力電力の関係

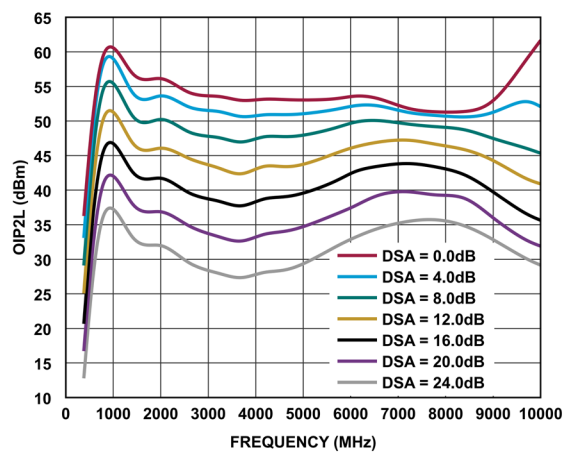


図 32. 様々な DSA 値での OIP2L と周波数の関係、AMP1 バイパス

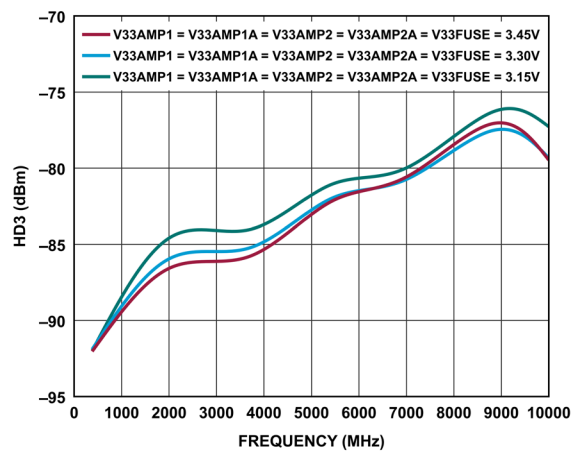


図 35. 様々な電源電圧での 3 次高調波歪み (HD3) と周波数の関係、出力電力は -7dBm

代表的な性能特性

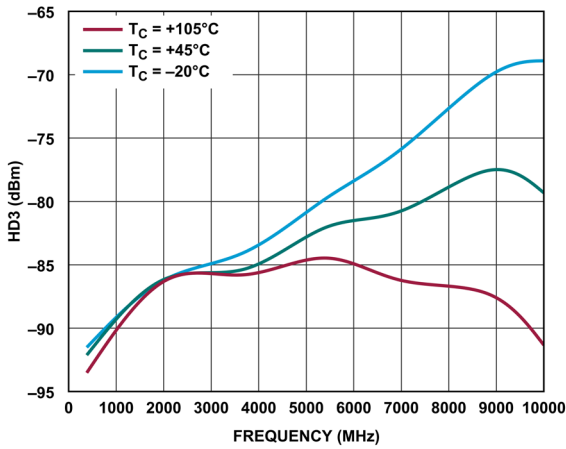


図 36. 様々な温度における HD3 と周波数の関係、出力電力は-7dBm

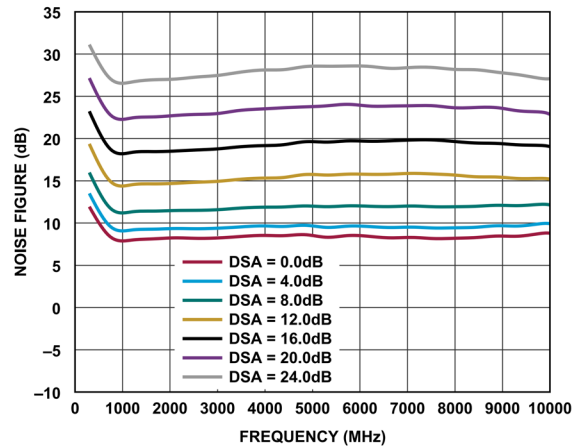


図 39. 様々な DSA 値でのノイズ指数と周波数の関係

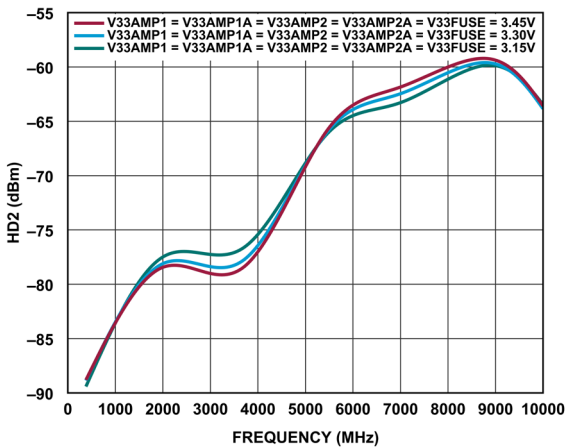


図 37. 様々な電源電圧での 2 次高調波歪み (HD2) と周波数の関係、出力電力は-7dBm

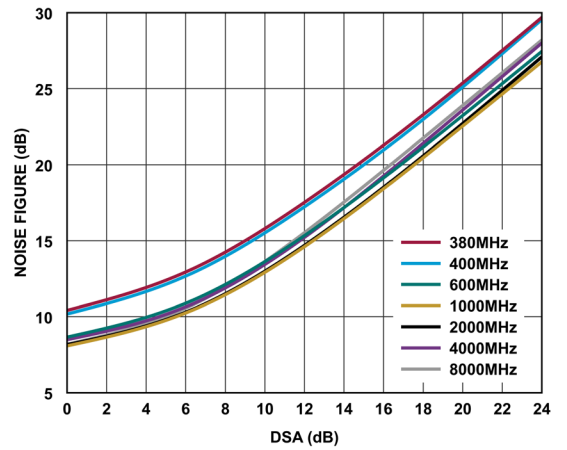


図 40. 様々な周波数におけるノイズ指数と 1.0dB DSA ステップの関係

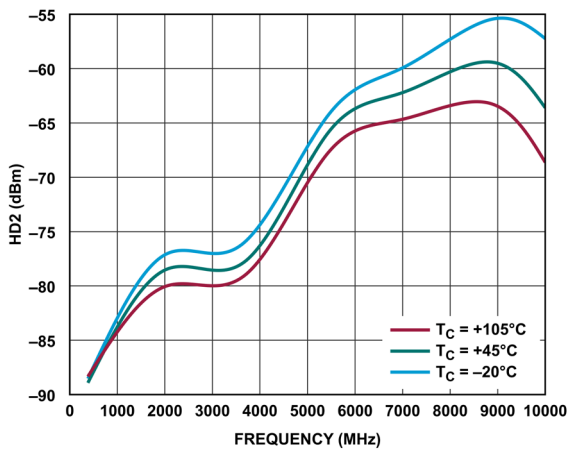


図 38. 様々な温度における HD2 と周波数の関係、出力電力は-7dBm

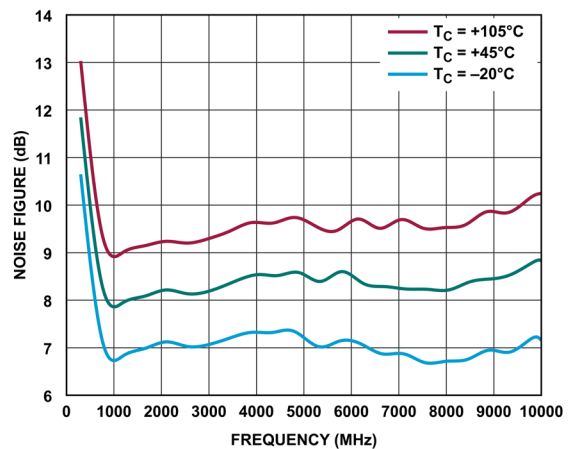


図 41. 様々な温度におけるノイズ指数と周波数の関係

代表的な性能特性

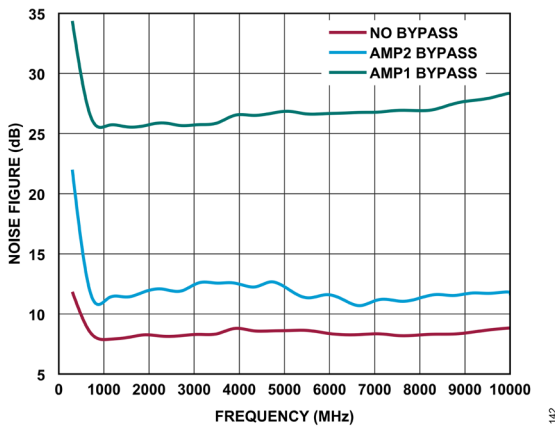


図 42. 様々なバイパス・モードでのノイズ指数と周波数の関係

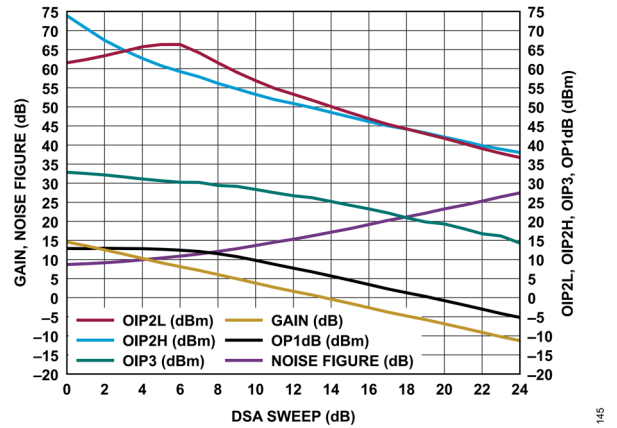


図 45. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 600MHz

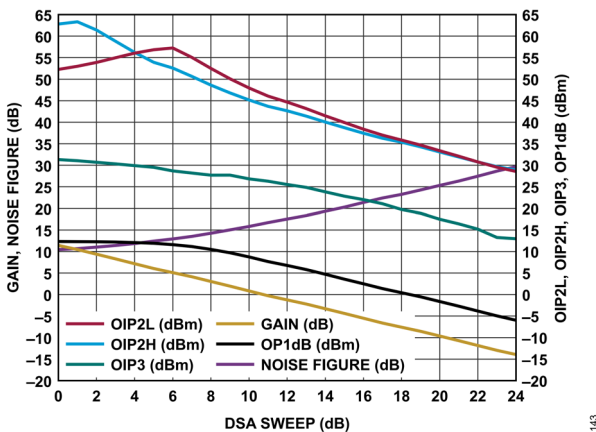


図 43. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 380MHz

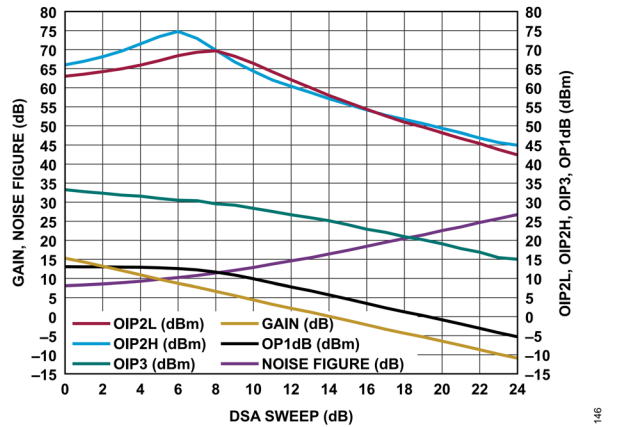


図 46. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 1000MHz

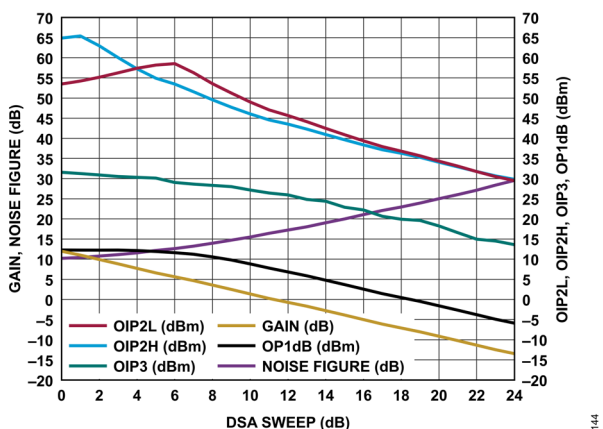


図 44. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 400MHz

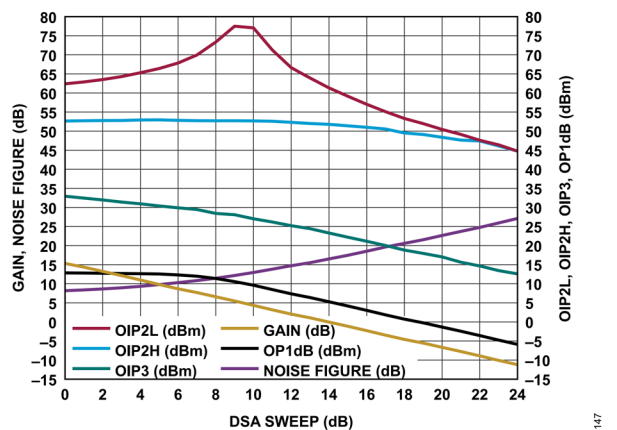


図 47. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 2000MHz

代表的な性能特性

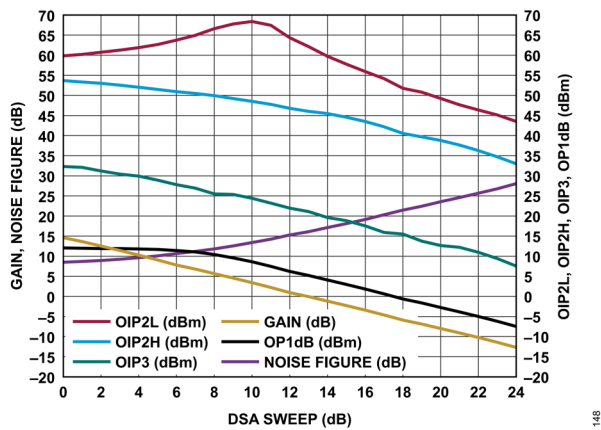


図 48. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スweep の関係、周波数 = 4000MHz

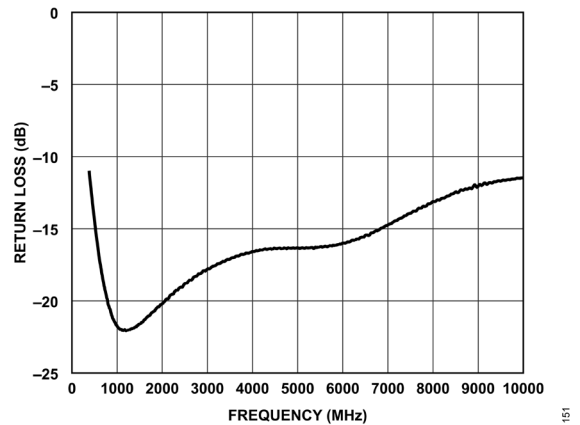


図 51. シングルエンド RF 入力 S11 の 50Ω 整合時のリターン・ロス

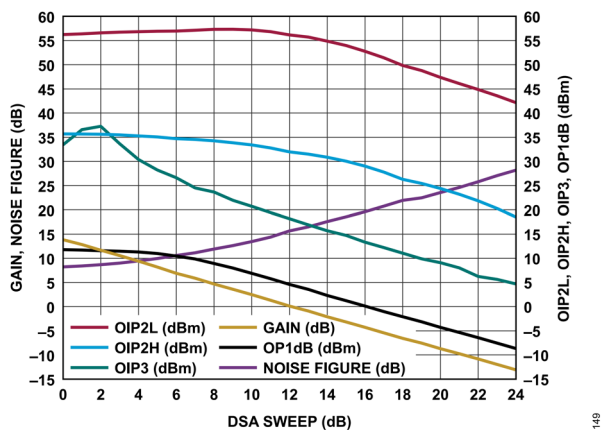


図 49. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スweep の関係、周波数 = 8000MHz

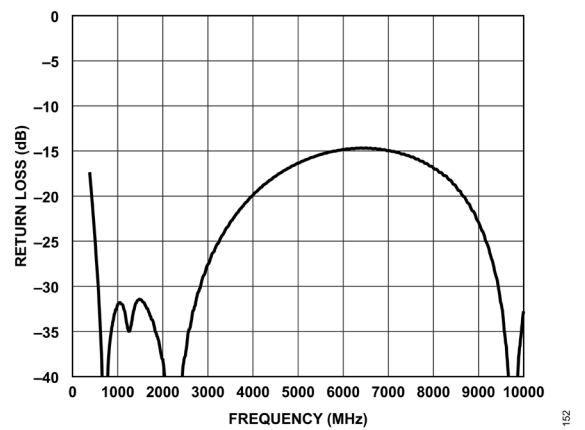


図 52. 差動 RF 出力 S22 の 50Ω 整合時のリターン・ロス

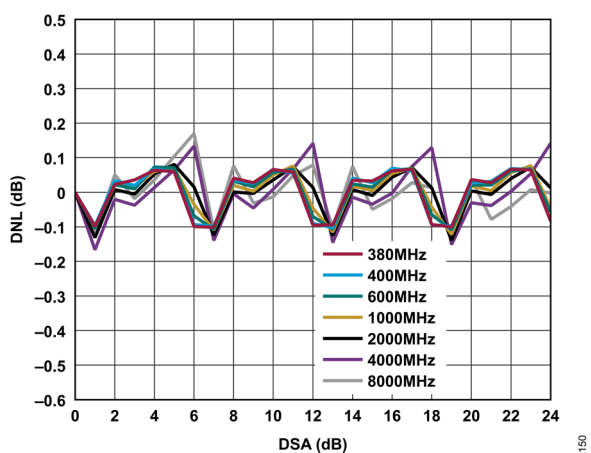


図 50. DSA ゲイン・ステップ・エラー

代表的な性能特性

ADL6332-B

特に指定のない限り、 $V_{33AMP1} = V_{33AMP1A} = V_{33AMP2} = V_{33AMP2A} = V_{33FUSE} = 3.3V$ 、 $T_A = 25^\circ C$ 、固定ゲイン・モード、DSA 減衰量 = 0dB、 $R_s = 50\Omega$ シングルエンド、 $R_L = 50\Omega$ 差動。OIP3 の最適化については、AMP1 および AMP2 のトリミングおよびチューニングのセクションを参照してください。

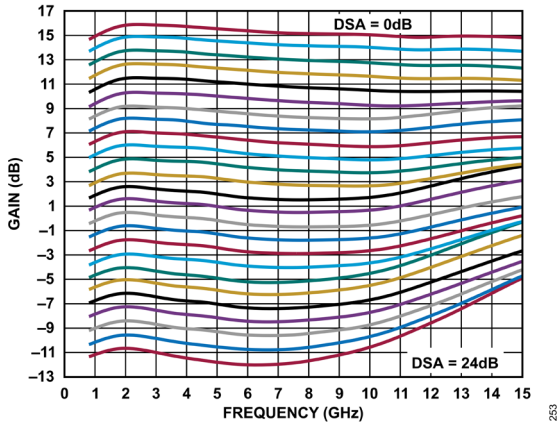


図 53. ゲインと周波数の関係、1.0dB の DSA ステップ

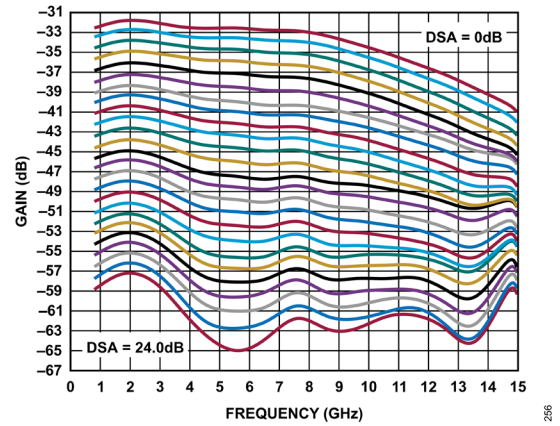


図 56. ゲインと周波数の関係、1.0dB の DSA ステップ、AMP1 および AMP2 バイパス

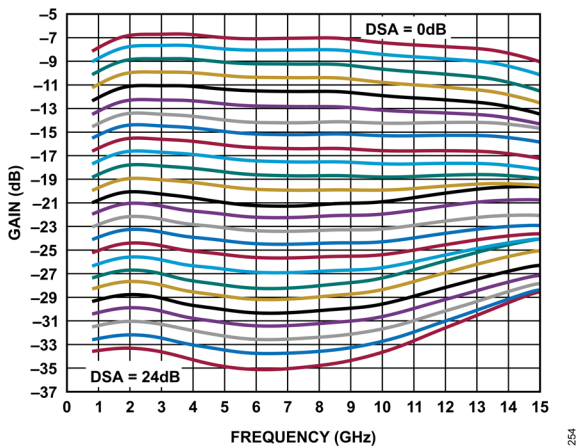


図 54. ゲインと周波数の関係、1.0dB の DSA ステップ、AMP2 バイパス

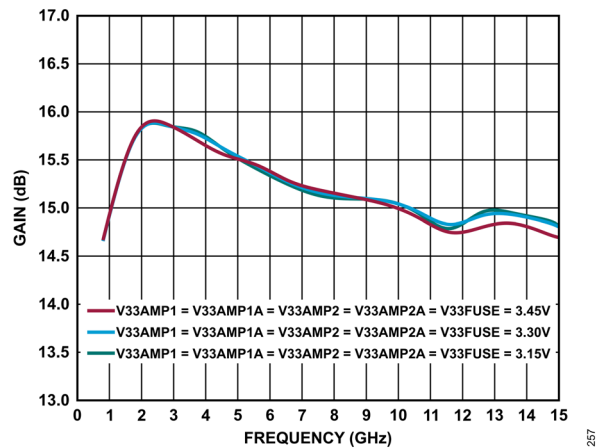


図 57. 様々な電源電圧におけるゲインと周波数の関係

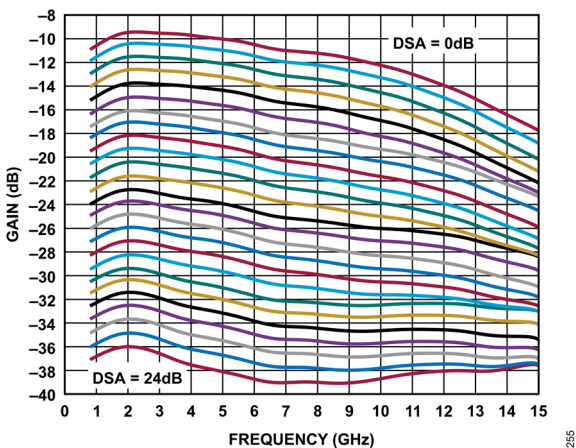


図 55. ゲインと周波数の関係、1.0dB の DSA ステップ、AMP1 バイパス

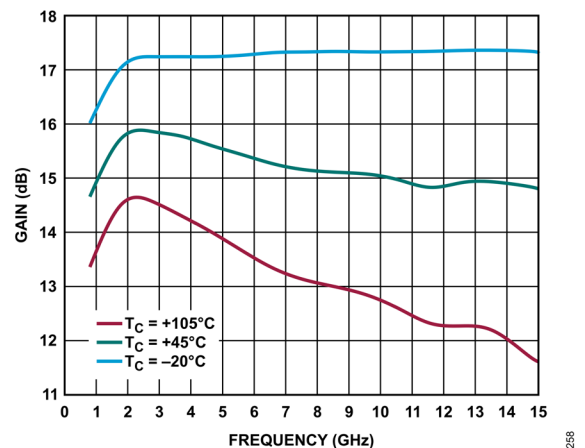


図 58. 様々な温度におけるゲインと周波数の関係

代表的な性能特性

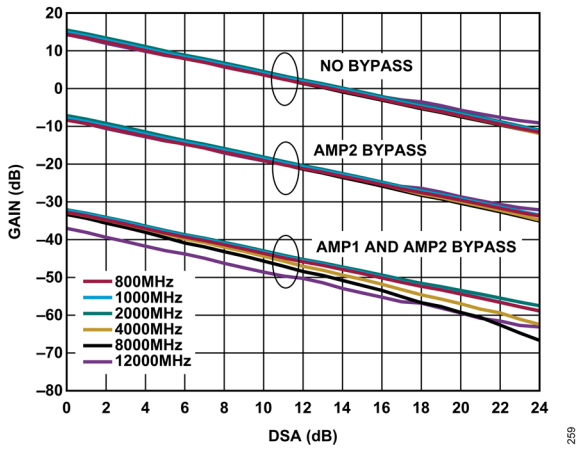


図 59. 様々な周波数におけるゲインと 1.0dB DSA ステップの関係、AMP2 バイパス

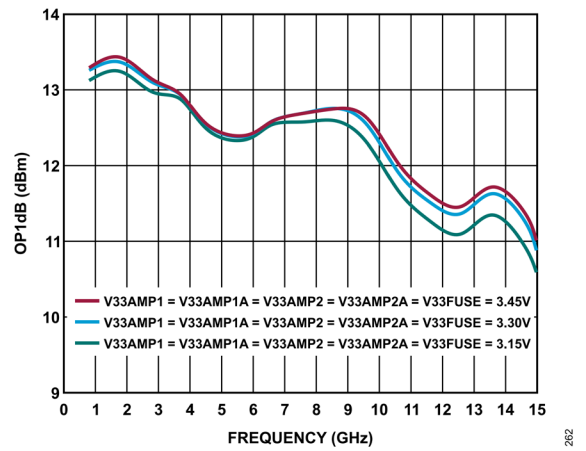


図 62. 様々な電源電圧における OP1dB と周波数の関係

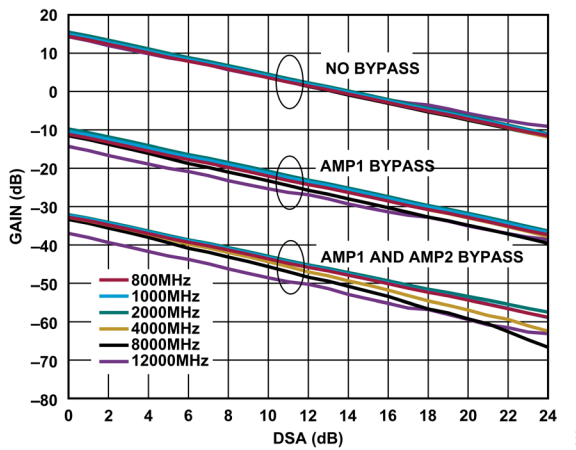


図 60. 様々な周波数におけるゲインと 1.0dB DSA ステップの関係、AMP1 バイパス

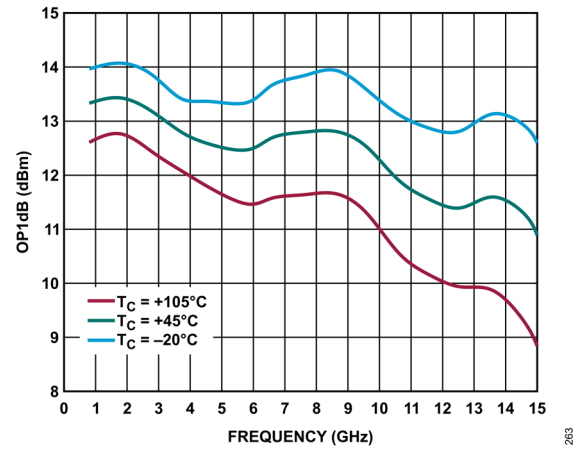


図 63. 様々な温度における OP1dB と周波数の関係

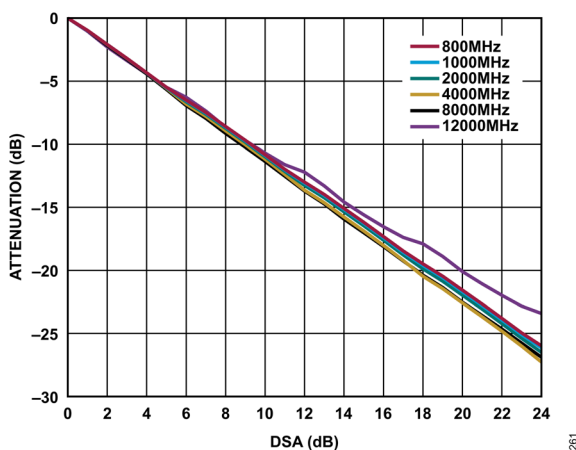


図 61. 様々な周波数における減衰量と DSA の関係

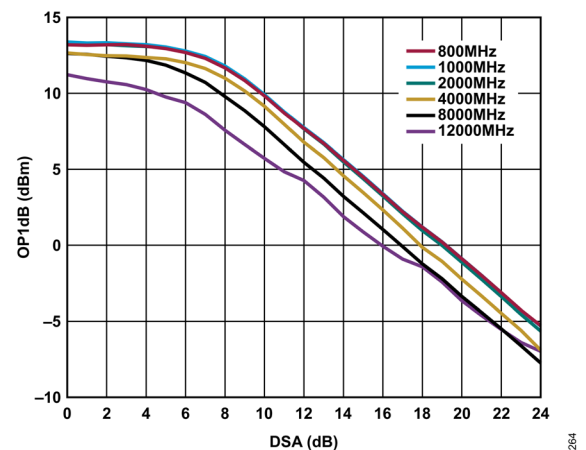


図 64. 様々な周波数における OP1dB と 1.0dB DSA ステップの関係

代表的な性能特性

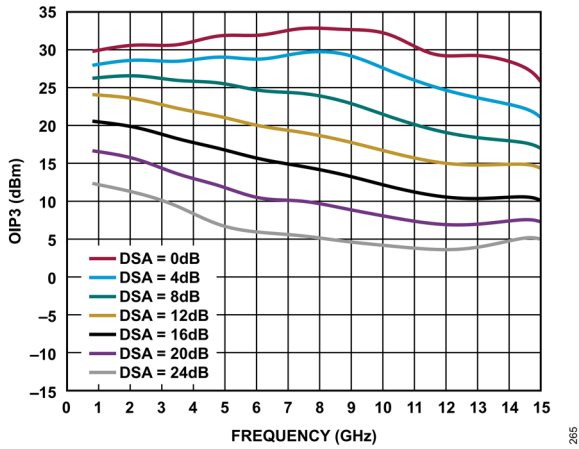


図 65. 様々な DSA 値での OIP3 と周波数の関係

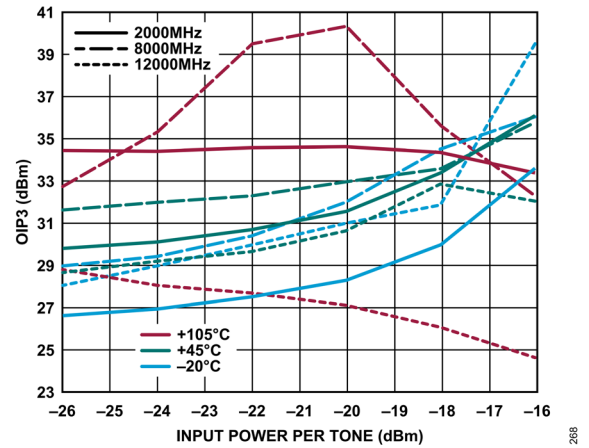


図 68. 様々な温度における 2000MHz、8000MHz、12000MHz での OIP3 とトーンあたりの入力電力の関係

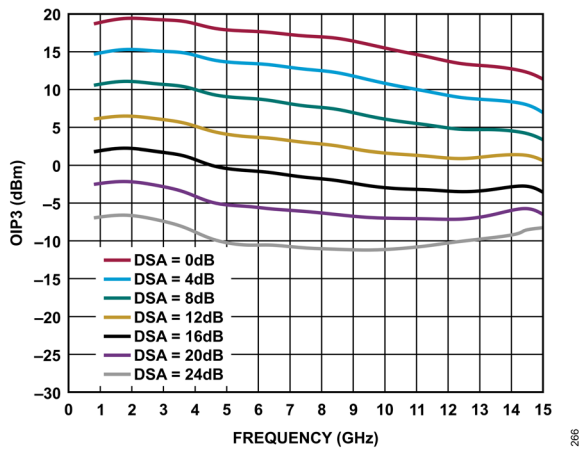


図 66. 様々な DSA 値での OIP3 と周波数の関係、AMP1 バイパス

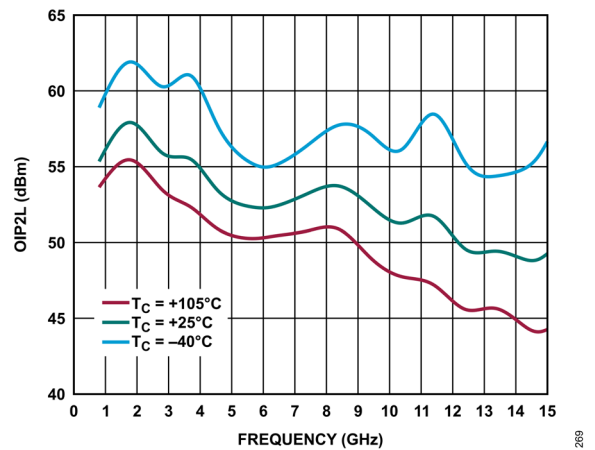


図 69. 様々な温度における OIP2L と周波数の関係

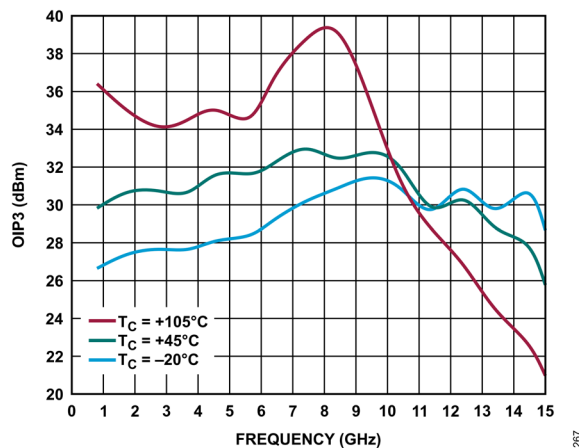


図 67. 様々な温度における OIP3 と周波数の関係

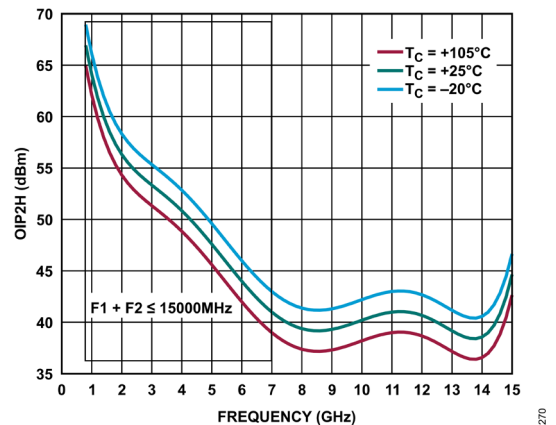


図 70. 様々な温度における OIP2H と周波数の関係、トーン間隔は 1010MHz

代表的な性能特性

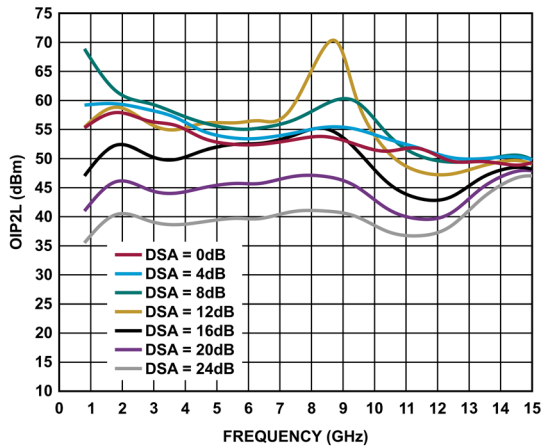


図 71. 様々な DSA 値での OIP2L と周波数の関係

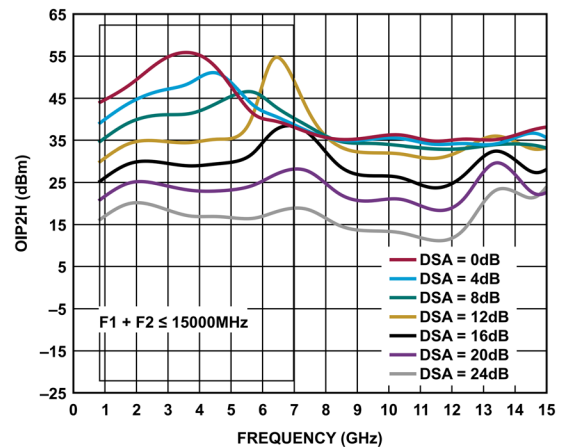


図 74. 様々な DSA 値での OIP2H と周波数の関係、AMP1 バイパス、トーン間隔は 1010MHz

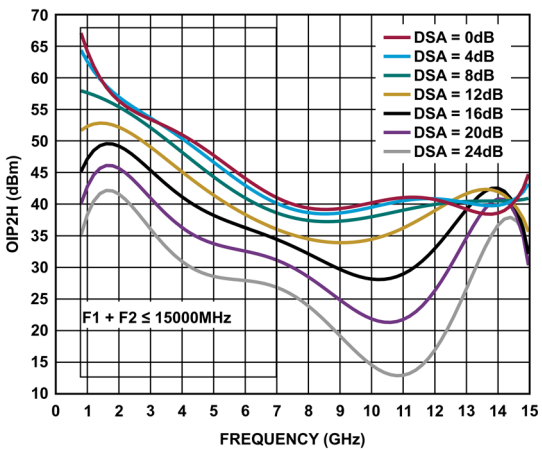


図 72. 様々な DSA 値での OIP2H と周波数の関係、トーン間隔は 1010MHz

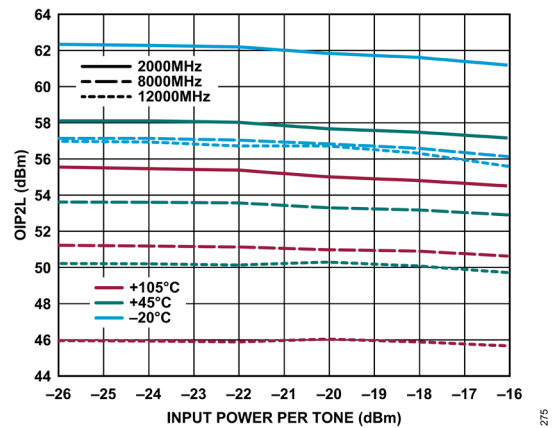


図 75. 様々な温度における 2000MHz、8000MHz、12000MHz での OIP2L とトーンあたりの入力電力の関係

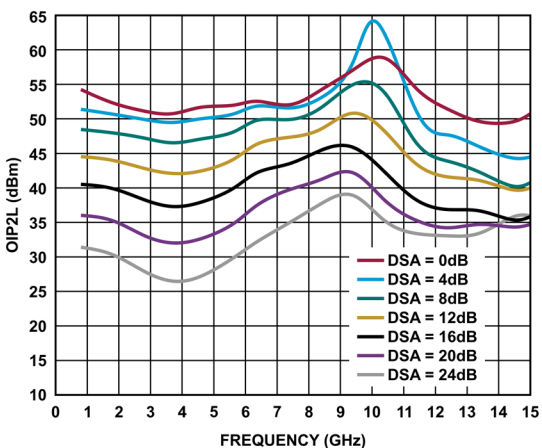


図 73. 様々な DSA 値での OIP2L と周波数の関係、AMP1 バイパス

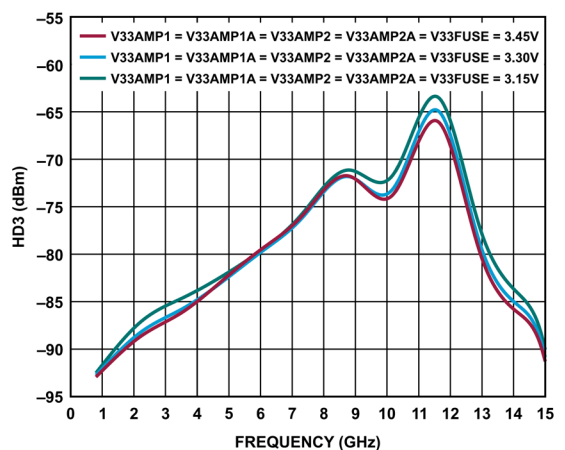


図 76. 様々な電源電圧における HD3 と周波数の関係、出力電力は-7dBm

代表的な性能特性

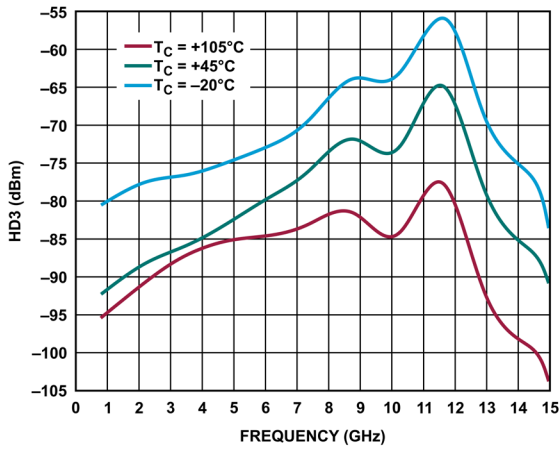


図 77. 様々な温度における HD3 と周波数の関係、出力電力は-7dBm

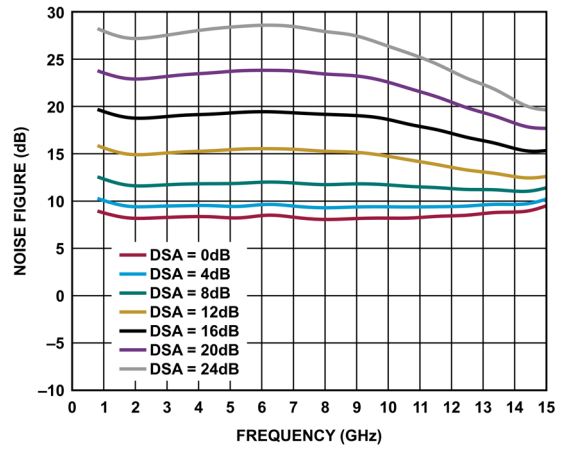


図 80. 様々な DSA 値でのノイズ指数と周波数の関係

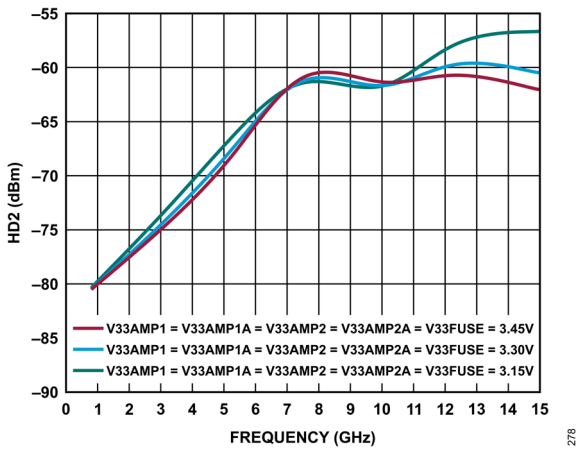


図 78. 様々な電源電圧における HD2 と周波数の関係、出力電力は-7dBm

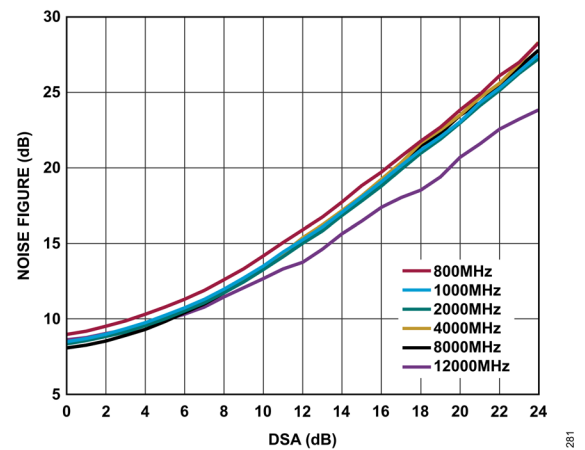


図 81. 様々な周波数におけるノイズ指数と 1.0dB DSA ステップの関係

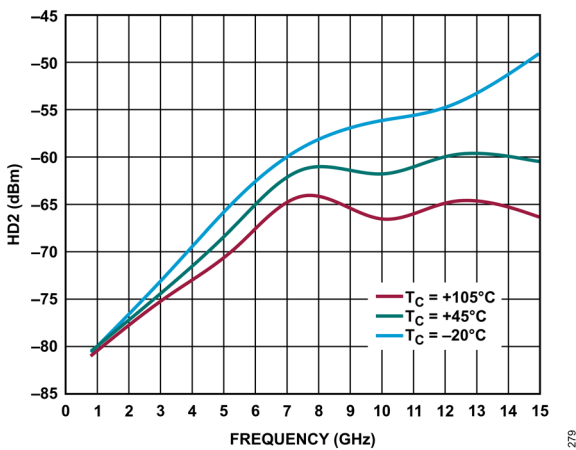


図 79. 様々な温度における HD2 と周波数の関係、出力電力は-7dBm

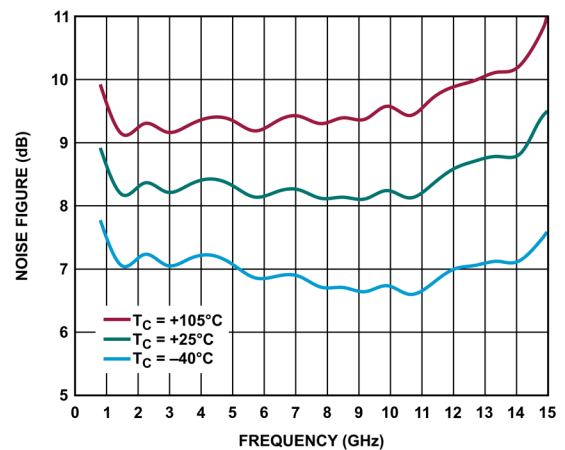


図 82. 様々な温度におけるノイズ指数と周波数の関係

代表的な性能特性

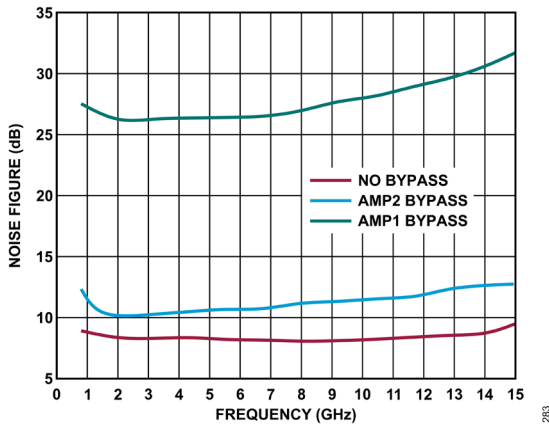


図 83. 様々なバイパス・モードでのノイズ指数と周波数の関係

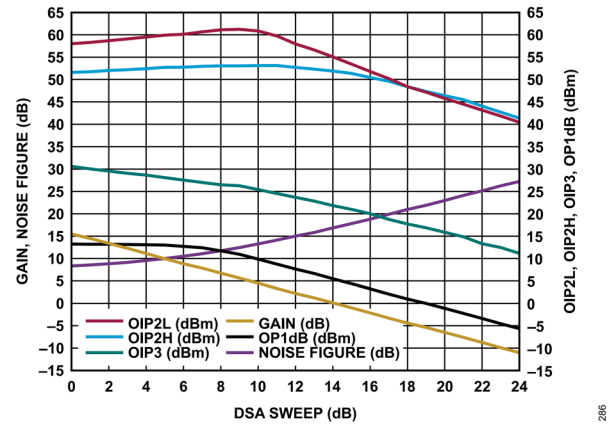


図 86. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 2000MHz

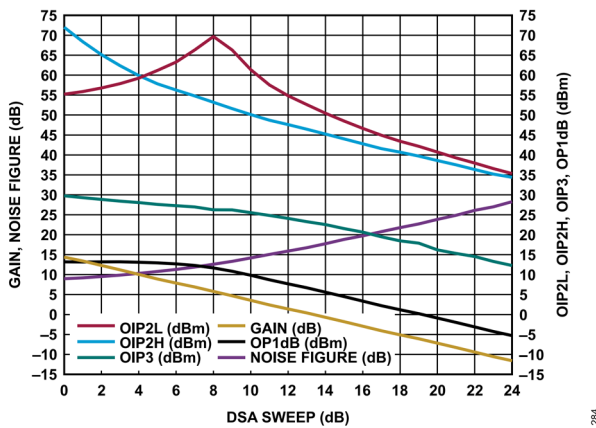


図 84. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 800MHz

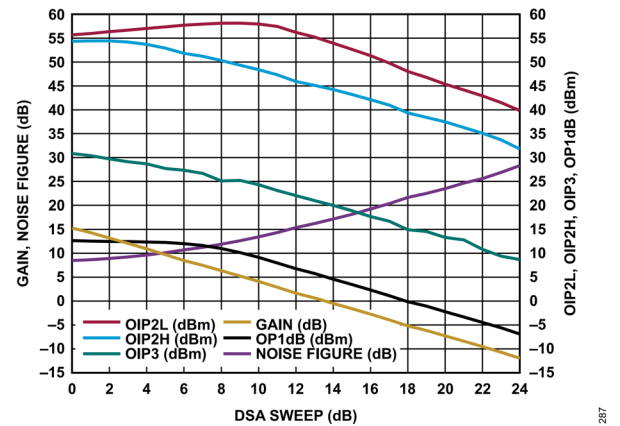


図 87. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 4000MHz

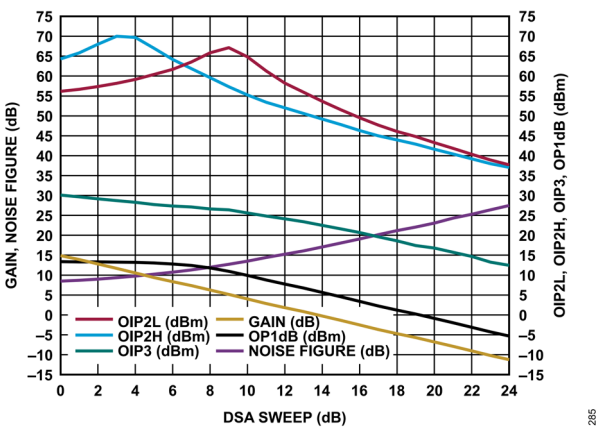


図 85. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 1000MHz

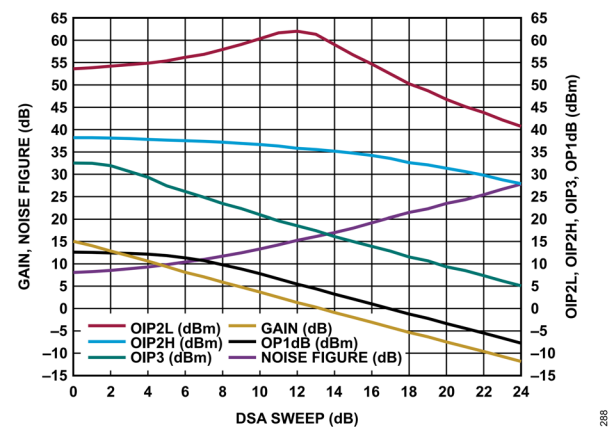


図 88. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スイープの関係、周波数 = 8000MHz

代表的な性能特性

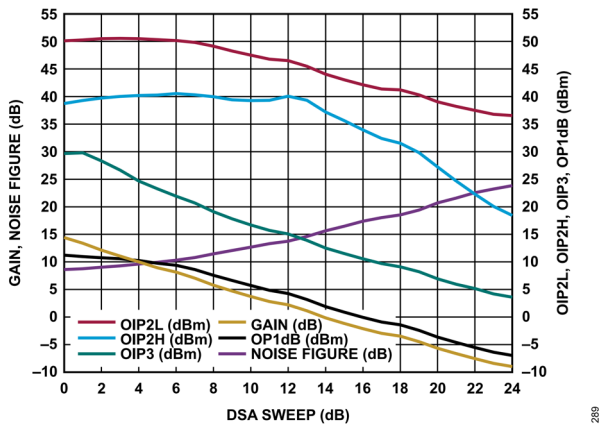


図 89. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dB と DSA スweep の関係、周波数 = 12000MHz

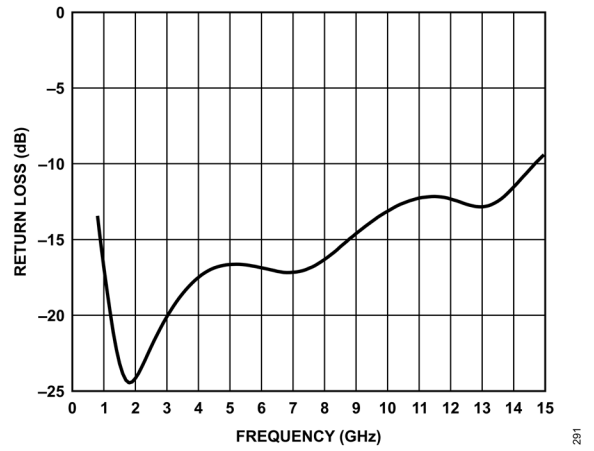


図 91. シングルエンド RF 入力 S11 の 50Ω 整合時のリターン・ロス

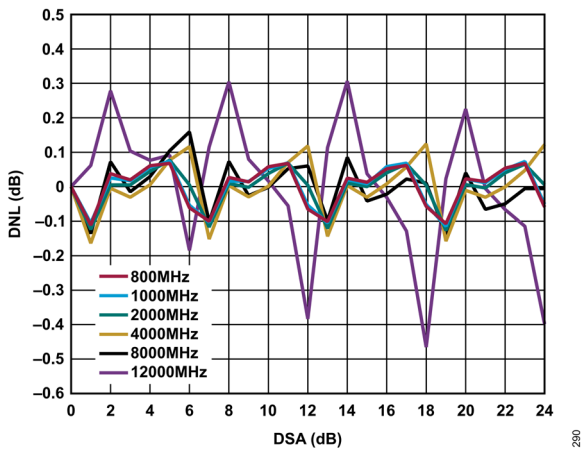


図 90. DSA ゲイン・ステップ・エラー

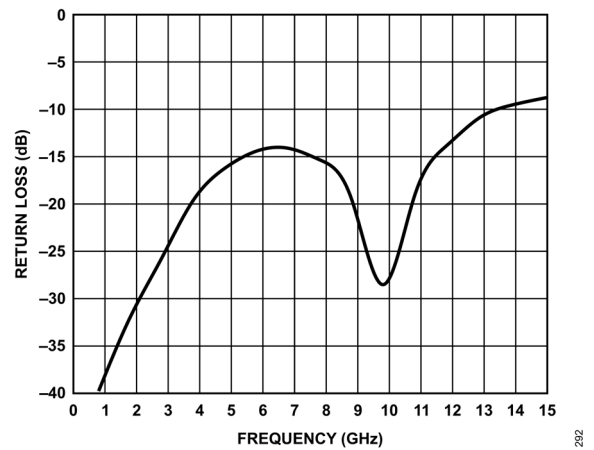


図 92. 差動 RF 出力 S22 の 50Ω 整合時のリターン・ロス

動作原理

ADL6332 は、固定ゲインを有する 2 つのアンプ (AMP1 \approx 12dB、AMP2 \approx 10dB) と、0dB \sim 24dB を 1dB ステップで調整可能な DSA を内蔵しています。AMP1 と AMP2 にはバイパス減衰モードがあり、これらのアンプを個別に無効にして、固定された 12dB のアッテネータを介して RF 信号をルーティングできます。アンプをバイパス減衰モードに設定すると、AMP1 で約 24dB、AMP2 で約 22dB だけゲインの低下 (バイパス減衰モードに設定された AMP からのゲイン変化) があるため、24dB DSA と併用すると、1dB ステップで 70dB の総合ゲイン・コントロールが可能になります。

更に、バイパス減衰モードでは、アンプの電流はほぼゼロに低下します。

図 93 に示すように、ADL6332 のすべての回路ブロックは、SPI を介してプログラム可能です。

RF 入出力

ADL6332 の入力インピーダンスはシングルエンドの 50Ω 、出力インピーダンスは差動 50Ω であり、これは、マッチング・ネットワークのないシグナル・チェーンにおいて、 50Ω のシングルエンド LNA から 50Ω 差動入力インピーダンスの RF-ADC へのインターフェースを可能にします。

プログラマビリティ・ガイド

表7に示すように、レジスタ・マップは、7つの機能グループに細分できます。ADL6332のすべてのレジスタの完全なリストは、レジスタの一覧のセクションを参照してください。

表7. メモリ・マップの機能グループ

Register Address	Functional Blocks
0x000 to 0x011	SPI configuration
0x100 to 0x101	Function enable
0x104 to 0x109	AMP1 performance trimming and tuning
0x10A to 0x10D	RF path four preconfigurations: AMP1, AMP2, fixed gain/bypass, DSA attenuation
0x10F to 0x115	AMP2 performance trimming and tuning
0x120 to 0x121	Auxiliary mux selection (debug only), SPI supply control

表7. メモリ・マップの機能グループ (続き)

Register Address	Functional Blocks
0x140 to 0x145	FUSE space. Read only. Trimmed parameters for AMP1 and AMP2 are stored.

機能および信号経路のイネーブル

各回路ブロックのイネーブル・ビットは、レジスタ 0x100 および 0x101 にあります (表8と表9)。図93に、レジスタ 0x100 および 0x101 に対応するイネーブル制御を有する各ブロックを、赤色で強調表示してわかりやすく示します。ENP ピン 12 は、ADL6332の1次イネーブル・ピンであり、アクティブ・ハイです。イネーブル・レジスタ内のビットは、ENPの状態とは無関係に設定できます。

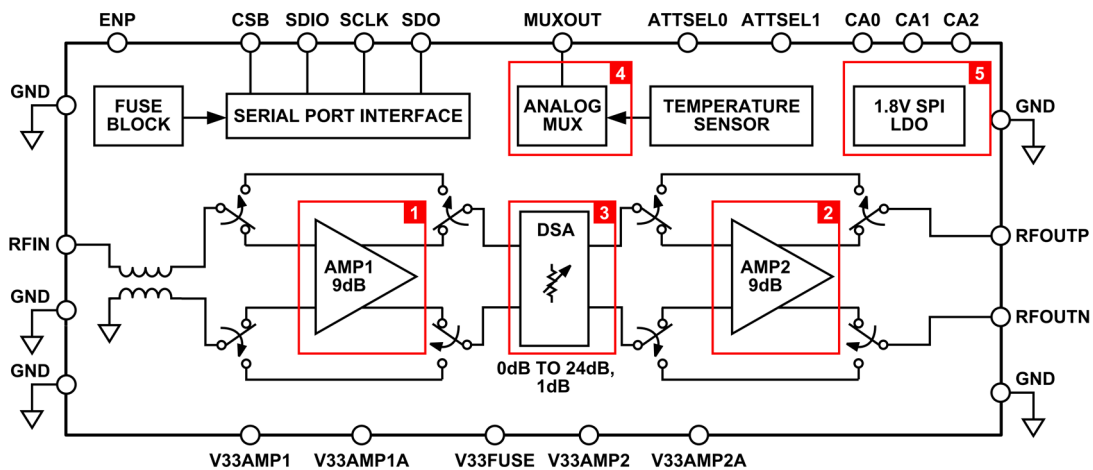


図93. 信号経路のイネーブルのブロック図

057

プログラマビリティ・ガイド

表 8. レジスタ 0x100 : MUX および LDO 用のイネーブル・レジスタ

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	AMUX_BG_EN	AMUX バンドギャップ・イネーブル。MUXOUT ピン 7 を使用しない場合は、0 に設定します。 0 : AMUX バンドギャップをディスエーブル。 1 : AMUX バンドギャップをイネーブル。	0x1	R/W
3	RESERVED	予約済み。	0x0	R
2	RESERVED	予約済み。	0x0	R/W
1	RESERVED	予約済み。	0x0	R
0	LDO18_EN	AMUX ブロックの 1.8V LDO イネーブル。MUXOUT ピン 7 を使用しない場合は、0 に設定します。 0 : ディスエーブル 1 : イネーブル	0x1	R/W

表 9. レジスタ 0x101 : AMP1/AMP2 および DSA 用のイネーブル・レジスタ

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	AMP2_EN	AMP2 イネーブル。 0 : ディスエーブル 1 : イネーブル	0x0	R/W
1	RESERVED	DSA イネーブル。 0 : ディスエーブル 1 : イネーブル	0x0	R/W
0	LDO18_EN	AMP1 イネーブル。 0 : ディスエーブル 1 : イネーブル	0x0	R/W

プログラマビリティ・ガイド

AMP1 および AMP2 のトリミングおよびチューニング

アンプの初期最適化は工場で行われ、最適化/トリミングされたパラメータは、FUSE ブロックと呼ばれる不揮発性メモリ (NVM) に格納されます。AMP1 用レジスタ 0x104、0x105、0x106、AMP2 用レジスタ 0x110、0x111、0x112 の MSB が 1 (デフォルト) の場合、工場トリミングされたパラメータが動作時に自動的に使用されます (通常動作モード)。これらの値は、レジスタ 0x140、0x141、0x142、0x143、0x144、0x145 で読出し可能です (表 16)。AMP1 用のレジスタ 0x104、0x105、0x106 および AMP2 用のレジスタ 0x110、0x111、0x112 の MSB を 0 に設定すると、以下のレジスタがチューニング可能になります。

- ▶ レジスタ 0x104 の AMP1_IGREF
- ▶ レジスタ 0x105 の AMP1_IDREF_Z
- ▶ レジスタ 0x106 の AMP1_IDREF_P
- ▶ レジスタ 0x110 の AMP2_IGREF
- ▶ レジスタ 0x111 の AMP2_IDREF_Z
- ▶ レジスタ 0x112 の AMP2_IDREF_P

ADL6332-A に限り、表 10 のレジスタ 0x103～レジスタ 0x115 のデフォルト値 (リセット値) を使用します。ADL6332-B では、広い周波数範囲で OIP3 の最適な性能を実現するために、レジスタ 0x107 の AMP1_CROSS_Z とレジスタ 0x113 の AMP2_CROSS_Z の両方を 0 に設定する必要があります。消費電流を低くする必要がある場合は、アプリケーション情報のセクションを参照してください。

表 10. AMP1 および AMP2 のトリミングおよびチューニング・レジスタ

Reg	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x103	[7:0]	RESERVED				AMP1_MON_EN	AMP1_CROSS_S_EN	AMP1_IM3_EN	AMP1_LP_MODE
0x104	[7:0]	NVM_TRM_A MP1_IGREF	RESERVED			AMP1_IGREF			
0x105	[7:0]	NVM_TRM_A MP1_IDREF_Z	RESERVED	AMP1_IDREF_Z					
0x106	[7:0]	NVM_TRM_A MP1_IDREF_P	RESERVED			AMP1_IDREF_P			
0x107	[7:0]	RESERVED		AMP1_CROSS_Z					
0x108	[7:0]	RESERVED				AMP1_CROSS_P			
0x109	[7:0]	SPARE_010B				AMP1_IM3_CAP			
0x10F	[7:0]	RESERVED				AMP2_MON_EN	AMP2_CROSS_S_EN	AMP2_IM3_EN	AMP2_LP_MODE
0x110	[7:0]	NVM_TRM_A MP2_IGREF	RESERVED			AMP2_IGREF			
0x111	[7:0]	NVM_TRM_A MP2_IDREF_Z	RESERVED	AMP2_IDREF_Z					
0x112	[7:0]	NVM_TRM_A MP2_IDREF_P	RESERVED			AMP2_IDREF_P			
0x113	[7:0]	RESERVED		AMP2_CROSS_Z					
0x114	[7:0]	RESERVED				AMP2_CROSS_P			
0x115	[7:0]	SPARE_011B				AMP2_IM3_CAP			

プログラマビリティ・ガイド

RF 経路の事前設定

ADL6332 には、ATTSEL0 ピンおよび ATTSEL1 ピンで選択される 4 つの事前設定可能な RF ゲイン設定値があります。設定可能なパラメータ (AMP1 と AMP2 の固定ゲインまたはバイパス減衰モード、および DSA 減衰レベル) は、RF 状態 A、B、C、および D と呼ばれる 4 つのレジスタ・スペース (表 11、表 12、表 13、表 14、表 15) に格納されます。

- 状態 A : レジスタ 0x10A の SIG_PATH0_2
- 状態 B : レジスタ 0x10B の SIG_PATH1_2

- 状態 C : レジスタ 0x10C の SIG_PATH2_2
- 状態 D : レジスタ 0x10D の SIG_PATH3_2

各モードは、リセットがアサートされた後に完全な RF チェーンを設定できます。表 11 に各モードのデフォルト設定値を示します。パラメータの上書きは動作前または動作中に行ってください。

この機能により、非同期外部制御を用いて、RF 性能を迅速に切り替えることができます。

表 11. デフォルト/リセット RF パラメータを有する 4 つの事前設定レジスタ

RF State	ATTSEL1 (Pin 6)	ATTSEL0 (Pin 13)	Reg. Address	Reg. Name	Bits	Bit 7	Bit 6	Bits[5:0], DSA Setting 0 dB to 24.0 dB at 1.0 dB Step
						AMP2 Setting: Bypass Attenuation/ Fixed Gain	AMP1 Setting: Bypass Attenuation/ Fixed Gain	
A	0	0	0x10A	SIG_PATH0_2	[7:0]	Default = Bypass Attenuation	Default = Bypass attenuation	Default = 24.0 dB Attenuation
B	0	1	0x10B	SIG_PATH1_2	[7:0]	Default = Fixed Gain	Default = Fixed Gain	Default = 16.0 dB Attenuation
C	1	0	0x10C	SIG_PATH2_2	[7:0]	Default = Fixed Gain	Default = Fixed Gain	Default = 8.0 dB Attenuation
D	1	1	0x10D	SIG_PATH3_2	[7:0]	Default = Fixed Gain	Default = Fixed Gain	Default = 0.0 dB Attenuation

表 12. レジスタ 0x10A : 状態 A

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS0	Amp 2 のバイパス状態 A の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x1	R/W
6	AMP1_BYPASS0	Amp 1 のバイパス状態 A の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x1	R/W
[5:0]	DSA_ATTNO	DSA アッテネータ状態 A の設定値。 0 : 0dB 1 : 1dB 2 : 2dB ... 24 : 24dB	0x18	R/W

表 13. レジスタ 0x10B : 状態 B

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS1	Amp 2 のバイパス状態 B の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x0	R/W
6	AMP1_BYPASS1	Amp 1 のバイパス状態 B の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x0	R/W
[5:0]	DSA_ATTNO	DSA アッテネータ状態 B の設定値。 0 : 0dB 1 : 1dB ... 16 : 16dB ... 24 : 24dB	0x10	R/W

プログラマビリティ・ガイド

表 14. レジスタ 0x10C : 状態 C

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS2	Amp 2 のバイパス状態 C の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x0	R/W
6	AMP1_BYPASS2	Amp 1 のバイパス状態 C の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x0	R/W
[5:0]	DSA_ATT2	DSA アッテネータ状態 C の設定値。 0 : 0dB 1 : 1dB ... 8 : 8dB ... 24 : 24dB	0x8	R/W

表 15. レジスタ 0x10D : 状態 D

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS3	Amp 2 のバイパス状態 D の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x0	R/W
6	AMP1_BYPASS3	Amp 1 のバイパス状態 D の設定値。 0 : 固定ゲイン・モード 1 : バイパス減衰モード	0x0	R/W
[5:0]	DSA_ATT3	DSA アッテネータ状態 D の設定値。 0 : 0dB 1 : 1dB ... 2 : 24dB	0x0	R/W

プログラマビリティ・ガイド

補助 MUX OUT/温度センサー

ADL6332 には、動作および監視ポイントの様々なモードを可能にする複数の補助マルチプレクサ制御ブロックがあります。すべてを利用可能ですが、多くのパラメータは、アナログ・デバイゼスの製造プロセス中の監視に使用されます。デフォルト（リセット）のレジスタ設定では、温度に比例する内部電圧を監視でき、MUXOUT ピン 7 から温度変化の追跡に使用できます。温度センサー機能を使用する必要がない場合は、0x100 レジスタで AMUX_BG_EN[4] および LDO18_EN[0] にゼロを設定して、その機能を無効化できます。

NVM（ヒューズ）スペース（リファレンスのみ）

不揮発性メモリ（NVM）スペースは見ることはできませんが、NVM からの値はレジスタ 0x140、0x141、0x142、0x143、0x144、0x145（表 16）にロードされ、これらの値は、AMP1 のレジスタ 0x104、0x105、0x106 および AMP2 のレジスタ 0x110、0x111、0x112 の MSB が 1（デフォルト/リセット）の場合に使用されます。

表 16. NVM レジスタ

Reg. Address	Reg. Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x140	FUSE_REA_DBACK_0	[7:0]	RESERVED			TRM_AMP1_IGREF_RDBK				
0x141	FUSE_REA_DBACK_1	[7:0]	RESERVED		TRM_AMP1_IDREF_Z_RDBK					
0x142	FUSE_REA_DBACK_2	[7:0]	RESERVED			TRM_AMP1_IDREF_P_RDBK				
0x143	FUSE_REA_DBACK_3	[7:0]	RESERVED			TRM_AMP2_IGREF_RDBK				
0x144	FUSE_REA_DBACK_4	[7:0]	RESERVED		TRM_AMP2_IDREF_Z_RDBK					
0x145	FUSE_REA_DBACK_5	[7:0]	RESERVED			TRM_AMP2_IDREF_P_RDBK				

シリアル・ポート・インターフェース (SPI)

ADL6332 の SPI を用いると、3 線式または 4 線式 SPI モードを介して、デバイスが特定の機能や動作を実行するように設定できます。この SPI は、4 つの制御ラインで構成されています。それらは、4 線式 SPI モードの場合は SCLK、SDIO、SDO、CSB です。SPI モードのデフォルト状態である 3 線式 SPI モードの場合は、SCLK、SDIO、CSB を使用します。4 線式 SPI モードを有効にするには、レジスタ 0x000 の SDOACTIVE[3] と SDOACTIVE_[4] を 1 に設定します。表 3 に、SPI ポートのタイミング要件を示します。

ADL6332 プロトコルは、読出し/書込みビット、4 つのチップ・アドレス・ビット (MSB は常に 0)、9 つのレジスタ・アドレス・ビット、およびそれに続く 8 つのデータ・ビットで構成されています。アドレスとデータの両方のフィールドは、デフォルトで MSB を先頭にし LSB で終了するように構成されます。本デバイスを正しくアドレス指定するには、チップ・アドレス・プリフィックス・ビットが、外部で設定されたチップ・アドレス・ピン CA2、CA1、CA0 と一致する必要があります。

SPI に書き込む ADL6332 の入力ロジック・レベルは 1.8V または 3.3V です。

リードバック・サイクルでは、SPI_1P8_3P3_CTRL ビット (レジスタ 0x121、ビット 4) を設定することで、SDO を 1.8V (デフォルト) または 3.3V のリードバック出力レベルに設定できます。

SPI バスを共有する複数チップの設定

同じ 3 線式または 4 線式 SPI を使用し、すべてのデバイスに対して 1 本の CSB ラインを用いると、最大 8 つの ADL6332 デバイスをアドレス指定できます。この機能のために、ADL6332 のチップ・アドレス・ピン (CA2、CA1、CA0) を用いて、SPI 書込みチップ・アドレス・プリフィックスでチップを識別します (図 2 に示す SPI ポートを参照)。

ADL6332 は、4 つの MSB がチップ・アドレス・ピンによって設定されたチップ・アドレスとは等しくない場合、アドレスへの書込みを無視し、4 つの MSB チップ・アドレス・プリフィックス・ビットがチップ・アドレス・ピンと等しいアドレスへのアクセスのみを受け入れます。唯一の例外は、アドレス 0x000 のソフトウェア・リセットです。共有バス上のすべての ADL6332 チップは、SPI ホスト・コントローラからの 0x000 レジスタ内の 0x81 ソフトウェア・リセットを受け入れます。

図 94 に、チップ・アドレス・ピン CA2、CA1、CA0 を、関連するチップ・アドレス・プリフィックス・ビットで設定する方法を示します。

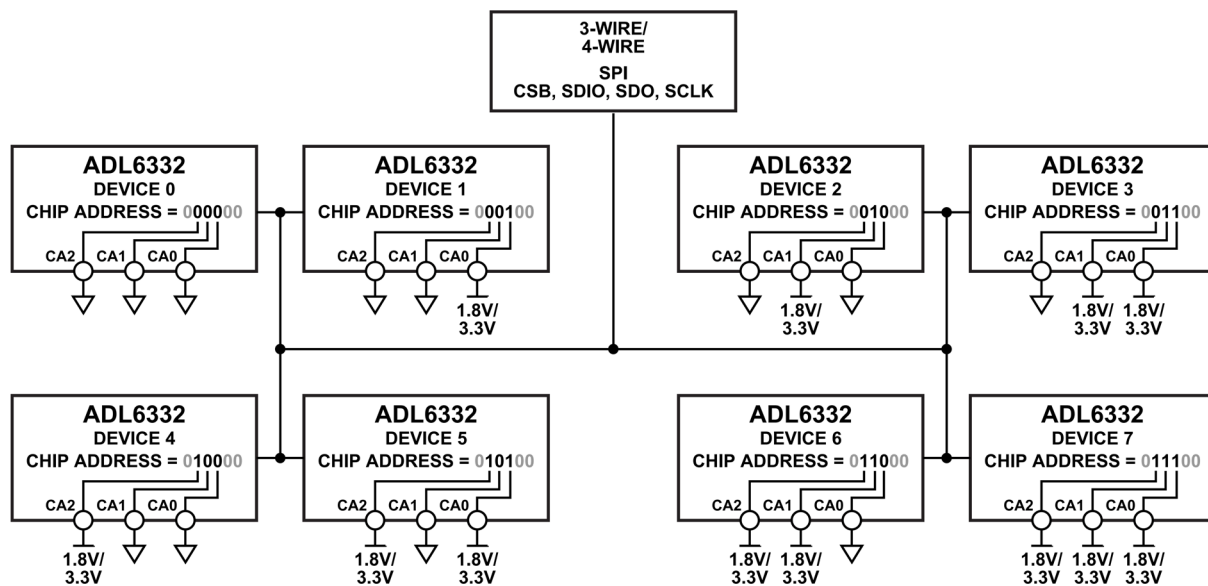


図 94. SPI バスを共有するための複数チップの設定

シリアル・ポート・インターフェース (SPI)

初期化シーケンス

ADL6332 には、ソフトウェア・リセットによってトリガされる初期化シーケンスが組み込まれており、NVM から通常のアンプ動作のためのメモリにデータを正確にロードします。AMP1 および AMP2 のキャリブレーション／トリミングされた設定値は、アナログ・デバイゼスの工場プログラムされ、出荷前に NVM に保存されます。ソフトウェア・リセットの実行後に、NVM 内のデータは必ず、動作のためにデジタル・レジスタ 0x140～0x145 にロードする必要があります。このロード・プロセスでは、ソフトウェア・リセットの実行後、4つの SPI サイクル（書き込みまたは読み出し）が必要です。ロード・プロセスは、ENP ピンの状態（ハイまたはロー）とは無関係です。

本デバイスの完全な初期化手順は次のとおりです。

1. 3.3V を供給します。
2. ソフトウェア・リセットを実行します。
3. 読み出しまたは書き込みの 4つの SPI コマンドを ADL6332 に送信します。

レジスタ 0x000 に 0x81 を送信するソフトウェア・リセットは、3.3V が供給された直後の実行を常に推奨します。

例 1 (表 17) :

3.3V が供給された後 :

1. ソフトウェア・リセットに対応したレジスタ 0x000 に 0x81 を書き込みます。
2. 4 線式 SPI モードを設定するには、レジスタ 0x000 に 0x18 を書き込みます。
3. レジスタ 0x00A (スクラッチ・パッド) に 0x01 を書き込みます。
4. レジスタ 0x00A (スクラッチ・パッド) に 0x02 を書き込みます。
5. レジスタ 0x00A (スクラッチ・パッド) に 0x03 を書き込みます。
6. AMP2、DSA、AMP1 が通常のアンプ動作を開始できるように、レジスタ 0x101 に 0x07 を書き込みます。

レジスタ 0x00A は「スクラッチ・パッド」と呼ばれ、SPI 通信テスト用の読み出し／書き込みレジスタです。これは ADL6332 の性能には影響しません。

4 回の書き込みサイクルが送信された後、レジスタ 0x140～0x145 のデータは正しくロードされ、動作時に使用できます。

例 1 は、通常動作時に ADL6332 を起動する基本シーケンスです。シーケンスが完了すると、これらのレジスタはデフォルト設定に設定されます。3.3V 電源を使用し ENP ピンがハイに設定されている場合、ADL6332 からの予期しない出力信号を回避するために、ステップ 6 の最後の SPI サイクルで、レジスタ 0x101 の AMP2、DSA、AMP1 をイネーブルにすることを推奨します。

表 17. 例 1 : SPI コマンドの書き込み

Address	Write Data	Notes
0x000	0x81	Software reset
0x000	0x18	1st Cycle: Configure 4-wire SPI mode.
0x00A	0x01	2nd Cycle: Scratch pad writing. Any data is fine.
0x00A	0x02	3rd Cycle: Scratch pad writing. Any data is fine.
0x00A	0x03	4th Cycle: Scratch pad writing. Any data is fine.
0x101	0x07	The data in registers 0x140 to 0x145 are correctly loaded to use for operation. Enable AMP2, DSA, AMP1 functions to start operations. Default register values are used for RF performance.

基本的な接続方法

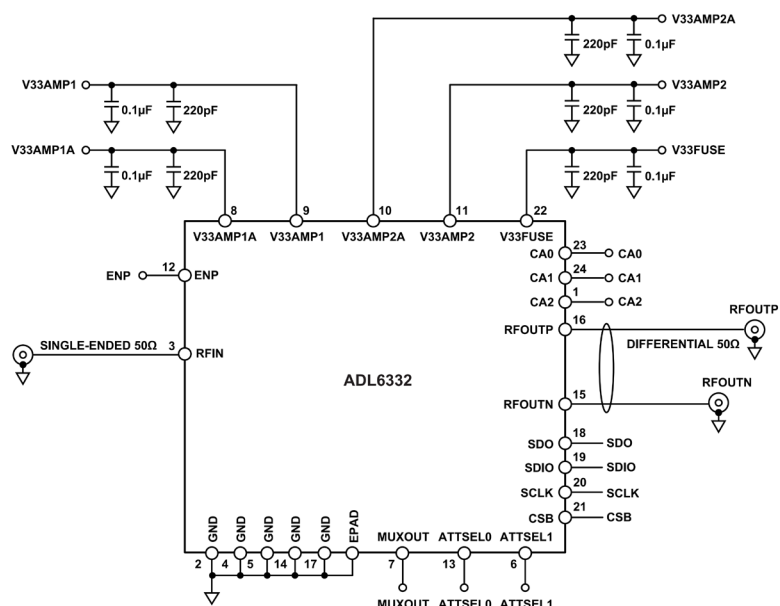


図 95. 基本的な接続方法

表 18. 基本的な接続方法

機能ブロック	ピン番号	記号	説明	基本的な接続方法
3.3 V	8, 9, 10, 11	V33AMP1A, V33AMP1, V33AMP2A, V33AMP2	アンプ、アナログ電源電圧	このピンを、220pF と 0.1µF のコンデンサを介してグラウンドとデカップリングします。デカップリング・コンデンサは、このピンの近くに配置してください。
3.3 V	22	V33FUSE	デジタル、DSA、他のバイアス電圧	このピンを、220pF と 0.1µF のコンデンサを介してグラウンドとデカップリングします。デカップリング・コンデンサは、このピンの近くに配置してください。
Preprogrammed Mode	13, 6	ATTSELO, ATTSEL1	事前にプログラムされたモードの選択	
RF Input	3	RFIN	RF シングルエンド入力	50Ω シングルエンド入力。AC カップリングを常に推奨します。
RF Output	15, 16	RFOUTN, RFOUTP	RF 差動出力	50Ω 差動出力。AC カップリングを常に推奨します。
Serial Port	21	CSB	アクティブ・ローのチップ・セレクト	許容ロジック・レベル：1.8V～3.3V。
	20	SCLK	SPI クロック	許容ロジック・レベル：1.8V～3.3V。
	18	SDO	SPI データ入力	許容ロジック・レベル：1.8V～3.3V。
	19	SDIO	SPI データ入出力	許容ロジック・レベル：1.8V～3.3V。
Chip Address Selection	23, 24, 1	CA0, CA1, CA2	SPI チップ・アドレス・セレクト	チップ・アドレスの選択。
Device Enable	12	ENP	通常動作時はアクティブ・ハイ	
Ground	2, 4, 5, 14, 17	GND	グラウンド	これらのピンは PCB のグラウンドに接続します。
EPAD	Exposed pad	Exposed pad	露出パッド	露出パッド。電気的および熱的性能のため、露出パッドはグラウンドに接続する必要があります。
MUXOUT	7	MUXOUT	温度センサーからのアナログ電圧出力	チップ温度読み取り用の電圧測定ピン。使用しないときは、接続なしのまま。

アプリケーション情報

消費電流の最適化

AMP1 用のレジスタ 0x104、0x105、0x106 と AMP2 用のレジスタ 0x110、0x111、0x112 の MSB を 0 に設定すると、これらの 6 つのレジスタはチューニング可能です。より低い消費電流が必要な場合、レジスタ 0x104 の AMP1_IGREF とレジスタ 0x110 の AMP2_IGREF の両方の設定値は、AMP1 と AMP2 に対して、それぞれレジスタ 0x140 とレジスタ 0x143 の工場でのトリミングされた IGREF のリードバック値に従って減らすことができます (図 96 と図 97 を参照)。その結果、図 98 と図 99 に示すように、OIP3 の性能が低下します。

IGREF 設定値は、AMP1 および AMP2 のリードバック値より大きくしないことを推奨します。大きくすると、本デバイスの長期的な信頼性に影響を与える可能性があります。

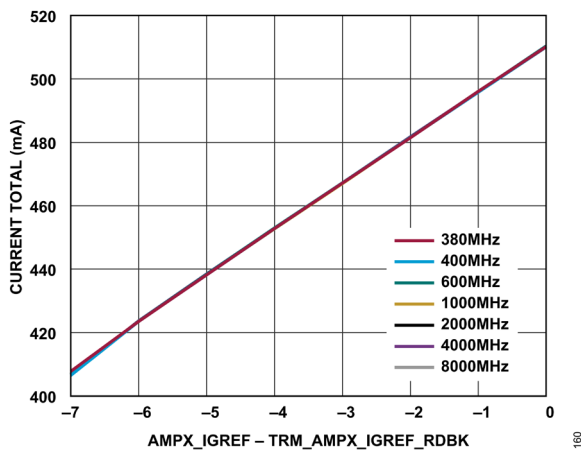


図 96. 様々な周波数における合計電流と IGREF 設定値の関係 (ADL6332-A)

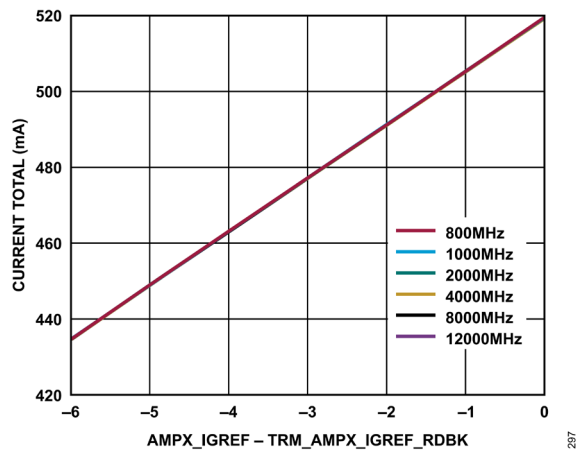


図 97. 様々な周波数における合計電流と IGREF 設定値の関係 (ADL6332-B)

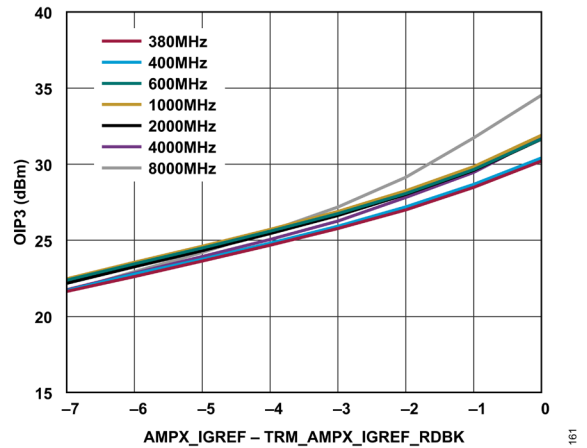


図 98. 様々な周波数における OIP3 と IGREF 設定値の関係 (ADL6332-A)

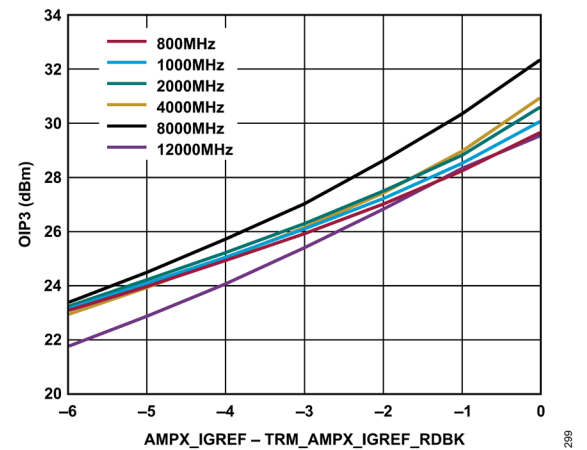


図 99. 様々な周波数における OIP3 と IGREF 設定値の関係 (ADL6332-B)

アプリケーション情報

AC カップリング

ESD クランプは、入力ポートのすぐ後ろと、出力ポートのすぐ前にあります（図 100 を参照）。1.0V 以上の DC 電圧がコモン・モードとして印加されると、ESD 保護ブロック内のシリコン制御整流器（SCR）クランプを 1 つのスパイクでラッチする危険性があります。1V 未満の DC 電圧であっても、本デバイスの相互変調（IM）性能は低下する可能性があります。AC カップリング用の外部 DC ブロック・コンデンサの使用を常に推奨します。

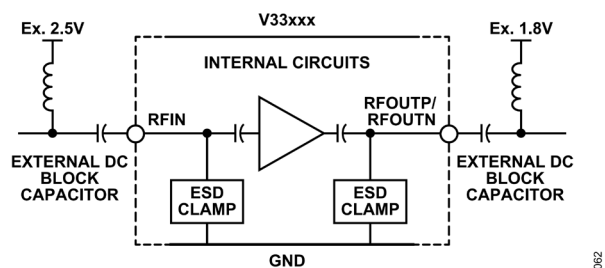


図 100. 簡略化して示した RF 入出力ポートの構造

レジスタの一覧

表 19. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x000	ADI_SPI_CONFIG	[7:0]	SOFTRESET_	LSB_FIRST_	ENDIAN_	SDOACTIVE_	SDOACTIVE_	ENDIAN	LSB_FIRST	SOFTRESET	0x00	R/W		
0x001	REG_0X0001	[7:0]	SINGLE_INSTRUCTION	CSB_STALL	MASTER_SLAVE_RB	RESERVED		SOFT_RESET		MASTER_SLAVE_TRANSFER	0x00	R/W		
0x003	CHIPTYPE	[7:0]	CHIPTYPE										0x00	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]										0x00	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]										0x00	R
0x00A	SCRATCHPAD	[7:0]	SCRATCHPAD										0x00	R/W
0x00B	SPI_REV	[7:0]	SPI_REV										0x00	R
0x010	VARIANT_FEOL	[7:0]	FEOL					VARIANT					0x00	R
0x011	BEOL_SIF	[7:0]	SIF					BEOL					0x00	R
0x012	SPARE_0012	[7:0]	SPARE_0012										0x00	R
0x013	SPARE_0013	[7:0]	SPARE_0013										0x00	R
0x100	SIG_PATH0_0	[7:0]	RESERVED			AMUX_BG_EN	RESERVED			LDO18_EN	0x11	R/W		
0x101	SIG_PATH1_0	[7:0]	RESERVED					AMP2_EN	DSA_EN	AMP1_EN	0x00	R/W		
0x102	SIG_PATH2_0	[7:0]	RESERVED					SIGCHAIN_BYPASS	SEL_IBIAS_GEN_BG	RESERVED	0x00	R/W		
0x103	SIG_PATH0_1	[7:0]	RESERVED				AMP1_MON_EN	RESERVED	AMP1_IM3_EN	AMP1_LP_MODE	0x06	R/W		
0x104	SIG_PATH1_1	[7:0]	NVM_TRM_AMP1_IGREF	RESERVED			AMP1_IGREF					0x89	R/W	
0x105	SIG_PATH2_1	[7:0]	NVM_TRM_AMP1_IDREF_Z	RESERVED	AMP1_IDREF_Z							0xAA	R/W	
0x106	SIG_PATH3_1	[7:0]	NVM_TRM_AMP1_IDREF_P	RESERVED			AMP1_IDREF_P					0x83	R/W	
0x109	SIG_PATH6_1	[7:0]	SPARE_010B					AMP1_IM3_CAP					0x07	R/W
0x10A	SIG_PATH0_2	[7:0]	AMP2_BYP_ASS0	AMP1_BYP_ASS0	DSA_ATTNO							0xD8	R/W	
0x10B	SIG_PATH1_2	[7:0]	AMP2_BYP_ASS1	AMP1_BYP_ASS1	DSA_ATTNO1							0x10	R/W	
0x10C	SIG_PATH2_2	[7:0]	AMP2_BYP_ASS2	AMP1_BYP_ASS2	DSA_ATTNO2							0x08	R/W	
0x10D	SIG_PATH3_2	[7:0]	AMP2_BYP_ASS3	AMP1_BYP_ASS3	DSA_ATTNO3							0x00	R/W	
0x10F	SIG_PATH0_3	[7:0]	RESERVED				AMP2_MON_EN	AMP2_CROSS_EN	AMP2_IM3_EN	AMP2_LP_MODE	0x06	R/W		
0x110	SIG_PATH1_3	[7:0]	NVM_TRM_AMP2_IGREF	RESERVED			AMP2_IGREF					0x89	R/W	
0x111	SIG_PATH2_3	[7:0]	NVM_TRM_AMP2_IDREF_Z	RESERVED	AMP2_IDREF_Z							0xAA	R/W	

レジスタの一覧

表 19. レジスタの一覧（続き）

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x112	SIG_PATH3_3	[7:0]	NVM_TRM_AMP2_IDREF_P	RESERVED			AMP2_IDREF_P				0x83	R/W
0x113	SIG_PATH4_3	[7:0]	RESERVED			AMP2_CROSS_Z					0x2A	R/W
0x114	SIG_PATH5_3	[7:0]	RESERVED			AMP2_CROSS_P					0x03	R/W
0x115	SIG_PATH6_3	[7:0]	SPARE_011B			AMP2_IM3_CAP					0x07	R/W
0x120	AMUX_SEL	[7:0]	RESERVED	AMUX_3_SEL		AMUX_2_SEL	AMUX_1_SEL				0x20	R/W
0x121	MULTI_FUNC_CTRL_0111	[7:0]	RESERVED			SPI_1P8_3P3_CTRL	RESERVED				0x00	R/W
0x140	FUSE_READBACK_0	[7:0]	RESERVED			TRM_AMP1_IGREF_RDBK					0x00	R
0x141	FUSE_READBACK_1	[7:0]	RESERVED		TRM_AMP1_IDREF_Z_RDBK						0x00	R
0x142	FUSE_READBACK_2	[7:0]	RESERVED			TRM_AMP1_IDREF_P_RDBK					0x00	R
0x143	FUSE_READBACK_3	[7:0]	RESERVED			TRM_AMP2_IGREF_RDBK					0x00	R
0x144	FUSE_READBACK_4	[7:0]	RESERVED		TRM_AMP2_IDREF_Z_RDBK						0x00	R
0x145	FUSE_READBACK_5	[7:0]	RESERVED			TRM_AMP2_IDREF_P_RDBK					0x00	R
0x146	GENERIC_READBACK_0	[7:0]	RESERVED		AMP1_CROSS_Z_RDBK						0x00	R
0x147	GENERIC_READBACK_1	[7:0]	RESERVED			AMP1_CROSS_P_RDBK					0x00	R
0x148	GENERIC_READBACK_2	[7:0]	RESERVED		AMP2_CROSS_Z_RDBK						0x00	R
0x149	GENERIC_READBACK_3	[7:0]	RESERVED			AMP2_CROSS_P_RDBK					0x00	R
0x14A	GENERIC_READBACK_4	[7:0]	AMP2_BYPASS_RDBK	AMP1_BYPASS_RDBK	DSA_ATTEN_RDBK						0x00	R

レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : ADI_SPI_CONFIG

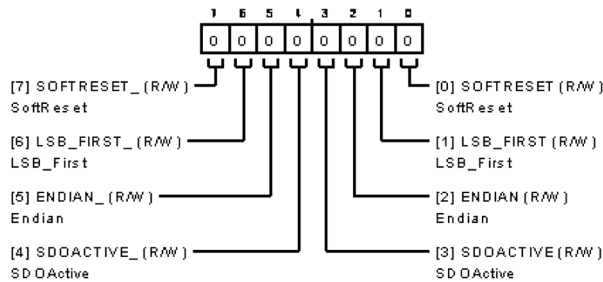


表 20. ADI_SPI_CONFIG のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W
6	LSB_FIRST_	LSB_First。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0 : 降順アドレス指定。 1 : 昇順アドレス指定。	0x0	R/W
4	SDOACTIVE_	SDO アクティブ。 0 : SDO 非アクティブ (3 線式 SPI モード)。 1 : SDO アクティブ (4 線式 SPI モード)。	0x0	R/W
3	SDOACTIVE	SDO アクティブ。 0 : SDO 非アクティブ (3 線式 SPI モード)。 1 : SDO アクティブ (4 線式 SPI モード)。	0x0	R/W
2	ENDIAN	エンディアン。 0 : 降順アドレス指定。 1 : 昇順アドレス指定。	0x0	R/W
1	LSB_FIRST	LSB_First。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : REG_0X0001

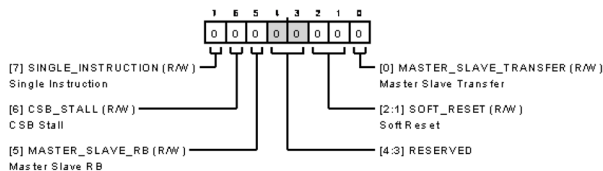


表 21. REG_0X0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。	0x0	R/W
6	CSB_STALL	CSB 停止。	0x0	R/W
5	MASTER_SLAVE_RB	マスタ・スレーブ RB。	0x0	R/W
[4:3]	RESERVED	予約済み。	0x0	R
[2:1]	SOFT_RESET	ソフト・リセット。	0x0	R/W
0	MASTER_SLAVE_TRANSFER	マスタ・スレーブの転送。	0x0	R/W

レジスタの詳細

アドレス : 0x003、リセット : 0x00、レジスタ名 : CHIPTYPE

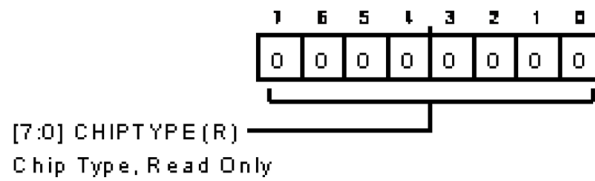


表 22. CHIPTYPE のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読出し専用。	0x0	R

アドレス : 0x004、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

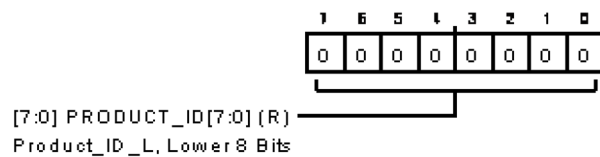


表 23. PRODUCT_ID_L のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	PRODUCT_ID_L、下位 8 ビット。	0x0	R

アドレス : 0x005、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

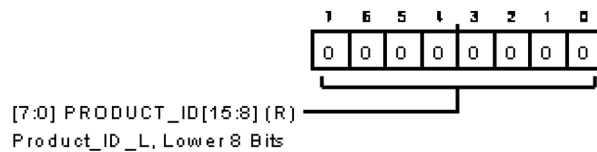


表 24. PRODUCT_ID_H のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	PRODUCT_ID_L、下位 8 ビット。	0x0	R

アドレス : 0x00A、リセット : 0x00、レジスタ名 : SCRATCHPAD

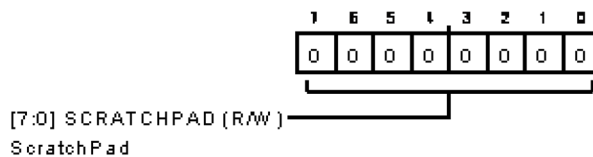


表 25. SCRATCHPAD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	スクラッチ・パッド。	0x0	R/W

レジスタの詳細

アドレス : 0x00B、リセット : 0x00、レジスタ名 : SPI_REV

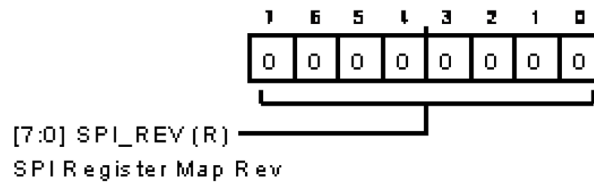


表 26. SPI_REV ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REV	SPI レジスタ・マップのバージョン。	0x0	R

アドレス : 0x010、リセット : 0x00、レジスタ名 : VARIANT_FEOL

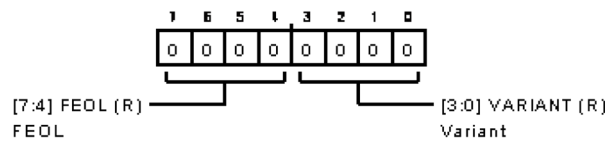


表 27. VARIANT_FEOL のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FEOL	FEOL。	0x0	R
[3:0]	VARIANT	バリエント。	0x0	R

アドレス : 0x011、リセット : 0x00、レジスタ名 : BEOL_SIF

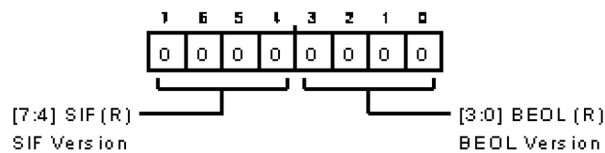


表 28. BEOL_SIF のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SIF	SIF のバージョン。	0x0	R
[3:0]	BEOL	BEOL のバージョン。	0x0	R

アドレス : 0x012、リセット : 0x00、レジスタ名 : SPARE_0012

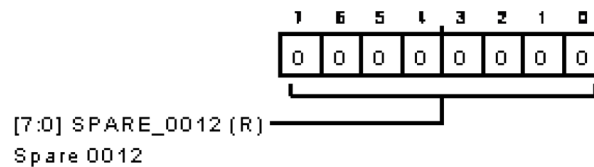


表 29. SPARE_0012 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_0012	予備 0012。	0x0	R

レジスタの詳細

アドレス : 0x013、リセット : 0x00、レジスタ名 : SPARE_0013

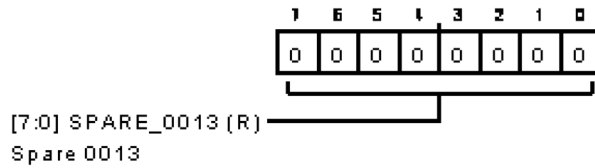


表 30. SPARE_0013 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_0013	予備 0013。	0x0	R

アドレス : 0x100、リセット : 0x11、レジスタ名 : SIG_PATH0_0

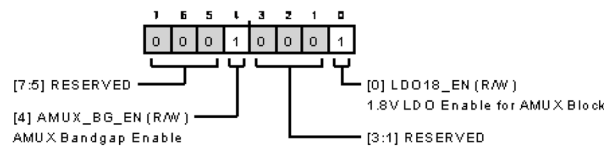


表 31. SIG_PATH0_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	AMUX_BG_EN	AMUX バンドギャップ・イネーブル。 0 : AMUX バンドギャップをディスエーブル。 1 : AMUX バンドギャップをイネーブル。	0x1	R/W
[3:1]	RESERVED	予約済み。	0x0	R/W
0	LDO18_EN	AMUX ブロックの 1.8V LDO イネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x1	R/W

アドレス : 0x101、リセット : 0x00、レジスタ名 : SIG_PATH1_0

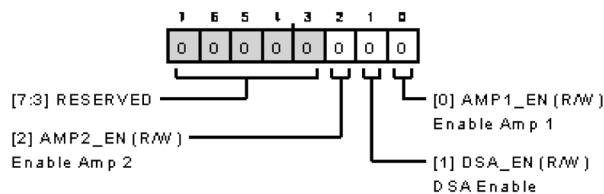


表 32. SIG_PATH1_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	AMP2_EN	Amp 2 をイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
1	DSA_EN	DSA イネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
0	AMP1_EN	Amp 1 をイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

レジスタの詳細

アドレス : 0x102、リセット : 0x00、レジスタ名 : SIG_PATH2_0

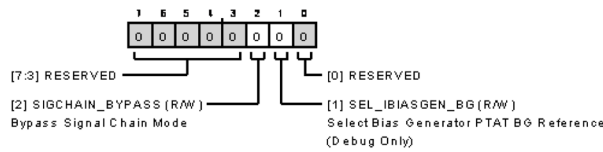


表 33. SIG_PATH2_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	SIGCHAIN_BYPASS	シグナル・チェーン・モードをバイパス。 0 : 個々のアンプ・バイパス設定値に基づく。 1 : 両方のアンプをバイパス。	0x0	R/W
1	SEL_IBIASGEN_BG	バイアス・ジェネレータ PTAT BG リファレンスを選択 (デバッグのみ)。 0 : 専用 PTAT ジェネレータを使用 (デフォルト)。 1 : バンドギャップ・ベースの PTAT ジェネレータを使用。	0x0	R/W
0	RESERVED	予約済み。	0x0	R/W

アドレス : 0x103、リセット : 0x06、レジスタ名 : SIG_PATH0_1

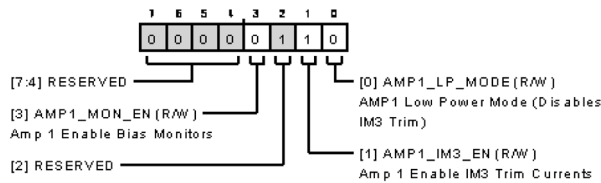


表 34. SIG_PATH0_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	AMP1_MON_EN	Amp 1 イネーブル・バイアス・モニタ。 0 : バイアスの監視をディスエーブル。 1 : バイアスの監視をイネーブル (デバッグのみ)。	0x0	R/W
2	RESERVED	予約済み。	0x1	R/W
1	AMP1_IM3_EN	Amp 1 の IM3 トリム電流イネーブル。 0 : IM3 トリム電流をディスエーブル。 1 : IM3 トリム電流をイネーブル。	0x1	R/W
0	AMP1_LP_MODE	AMP1 低電力モード (IM3 トリムをディスエーブル)。 0 : ディスエーブル。デフォルト・バイアスを使用。 1 : 低バイアスをイネーブル。	0x0	R/W

アドレス : 0x104、リセット : 0x89、レジスタ名 : SIG_PATH1_1

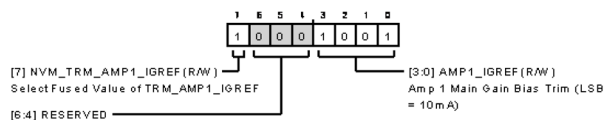


表 35. SIG_PATH1_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP1_IGREF	TRM_AMP1_IGREF の融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP1_IGREF	Amp 1 メイン・ゲイン・バイアス・トリム (LSB = 10mA)。	0x9	R/W

レジスタの詳細

アドレス : 0x105、リセット : 0xAA、レジスタ名 : SIG_PATH2_1

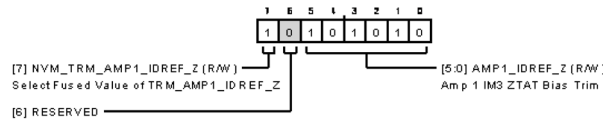


表 36. SIG_PATH2_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP1_IDREF_Z	TRM_AMP1_IDREF_Z の融合値を選択。	0x1	R/W
6	RESERVED	予約済み。	0x0	R
[5:0]	AMP1_IDREF_Z	Amp 1 IM3 ZTAT バイアス・トリム。	0x2A	R/W

アドレス : 0x106、リセット : 0x83、レジスタ名 : SIG_PATH3_1

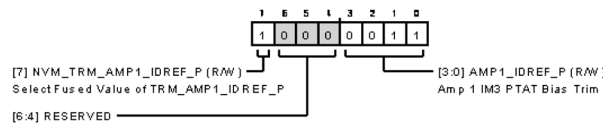


表 37. SIG_PATH3_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP1_IDREF_P	TRM_AMP1_IDREF_P の融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP1_IDREF_P	Amp 1 IM3 PTAT バイアス・トリム。	0x3	R/W

アドレス : 0x109、リセット : 0x07、レジスタ名 : SIG_PATH6_1

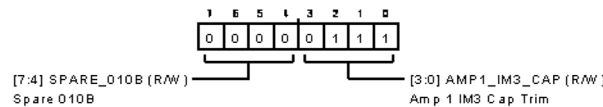


表 38. SIG_PATH6_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SPARE_010B	予備 010B。	0x0	R/W
[3:0]	AMP1_IM3_CAP	Amp 1 IM3 キャップ・トリム。	0x7	R/W

アドレス : 0x10A、リセット : 0xD8、レジスタ名 : SIG_PATH0_2

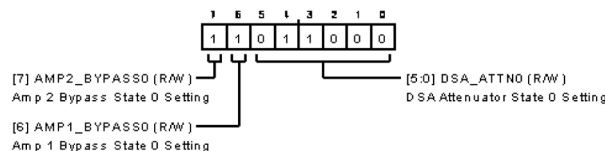


表 39. SIG_PATH0_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS0	Amp 2 のバイパス状態 0 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x1	R/W
6	AMP1_BYPASS0	Amp 1 のバイパス状態 0 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x1	R/W

レジスタの詳細

表 39. SIG_PATH0_2 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[5:0]	DSA_ATTNO	DSA アッテネータ状態 0 の設定値。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。	0x18	R/W

アドレス : 0x10B、リセット : 0x10、レジスタ名 : SIG_PATH1_2

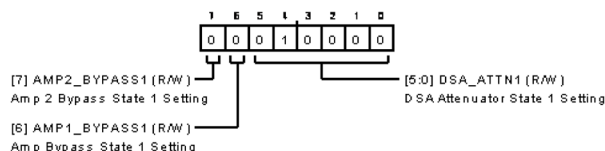


表 40. SIG_PATH1_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS1	Amp 2 のバイパス状態 1 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x0	R/W
6	AMP1_BYPASS1	Amp のバイパス状態 1 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x0	R/W
[5:0]	DSA_ATTNO	DSA アッテネータ状態 1 の設定値。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。	0x10	R/W

レジスタの詳細

表 40. SIG_PATH1_2 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。		

アドレス : 0x10C、リセット : 0x08、レジスタ名 : SIG_PATH2_2

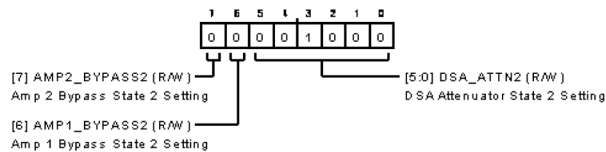


表 41. SIG_PATH2_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS2	Amp 2 のバイパス状態 2 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x0	R/W
6	AMP1_BYPASS2	Amp 1 のバイパス状態 2 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x0	R/W
[5:0]	DSA_ATT2	DSA アッテネータ状態 2 の設定値。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。	0x8	R/W

レジスタの詳細

表 41. SIG_PATH2_2 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。		

アドレス : 0x10D、リセット : 0x00、レジスタ名 : SIG_PATH3_2

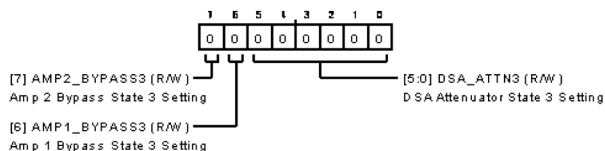


表 42. SIG_PATH3_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS3	Amp 2 のバイパス状態 3 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x0	R/W
6	AMP1_BYPASS3	Amp 1 のバイパス状態 3 の設定値。 0 : 固定ゲイン・モード。 1 : バイパス・モード・イネーブル。	0x0	R/W
[5:0]	DSA_ATT3	DSA アッテネータ状態 3 の設定値。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。	0x0	R/W

レジスタの詳細

表 42. SIG_PATH3_2 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。		

アドレス : 0x10F、リセット : 0x06、レジスタ名 : SIG_PATH0_3

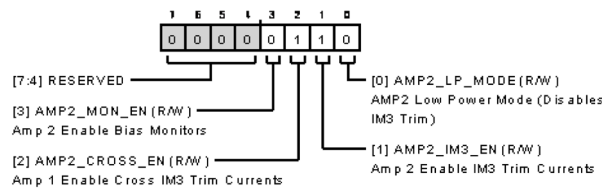


表 43. SIG_PATH0_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	AMP2_MON_EN	Amp 2 イネーブル・バイアス・モニタ。 0 : バイアスの監視をディスエーブル。 1 : バイアスの監視をイネーブル (デバッグのみ)。	0x0	R/W
2	AMP2_CROSS_EN	Amp 1 のクロス IM3 トリム電流イネーブル。 0 : クロス・カップリング段の IM3 トリムをディスエーブル。 1 : クロス・カップリング段の IM3 トリムをイネーブル。	0x1	R/W
1	AMP2_IM3_EN	Amp 2 イネーブル IM3 トリム電流。 0 : IM3 トリム電流をディスエーブル。 1 : IM3 トリム電流をイネーブル。	0x1	R/W
0	AMP2_LP_MODE	AMP2 低電力モード (IM3 トリムをディスエーブル)。 0 : ディスエーブル。デフォルト・バイアスを使用。 1 : 低バイアスをイネーブル。	0x0	R/W

アドレス : 0x110、リセット : 0x89、レジスタ名 : SIG_PATH1_3

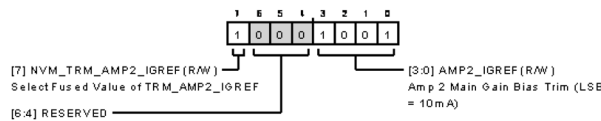


表 44. SIG_PATH1_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP2_IGREF	TRM_AMP2_IGREF の融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_IGREF	Amp 2 メイン・ゲイン・バイアス・トリム (LSB = 10mA)。	0x9	R/W

レジスタの詳細

アドレス : 0x111、リセット : 0xAA、レジスタ名 : SIG_PATH2_3

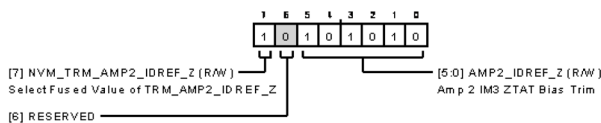


表 45. SIG_PATH2_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP2_IDREF_Z	TRM_AMP2_IDREF_Z の融合値を選択。	0x1	R/W
6	RESERVED	予約済み。	0x0	R
[5:0]	AMP2_IDREF_Z	Amp 2 IM3 ZTAT バイアス・トリム。	0x2A	R/W

アドレス : 0x112、リセット : 0x83、レジスタ名 : SIG_PATH3_3

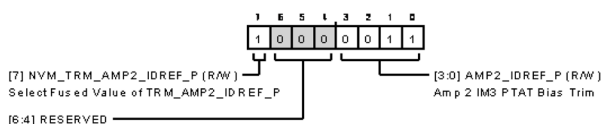


表 46. SIG_PATH3_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP2_IDREF_P	TRM_AMP2_IDREF_P の融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_IDREF_P	Amp 2 IM3 PTAT バイアス・トリム。	0x3	R/W

アドレス : 0x113、リセット : 0x2A、レジスタ名 : SIG_PATH4_3

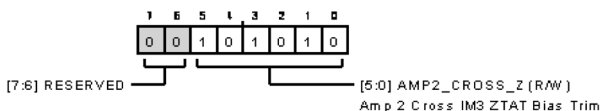


表 47. SIG_PATH4_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	AMP2_CROSS_Z	Amp 2 クロス IM3 ZTAT バイアス・トリム。	0x2A	R/W

アドレス : 0x114、リセット : 0x03、レジスタ名 : SIG_PATH5_3

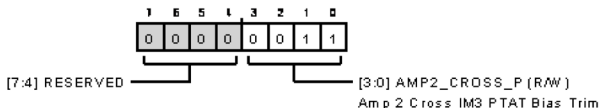
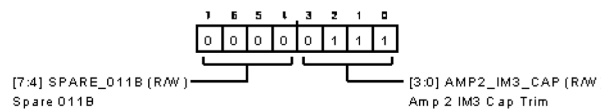


表 48. SIG_PATH5_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_CROSS_P	Amp 2 クロス IM3 PTAT バイアス・トリム。	0x3	R/W

アドレス : 0x115、リセット : 0x07、レジスタ名 : SIG_PATH6_3



レジスタの詳細

表 49. SIG_PATH6_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SPARE_011B	予備 011B。	0x0	R/W
[3:0]	AMP2_IM3_CAP	Amp 2 IM3 キャップ・トリム。	0x7	R/W

アドレス : 0x120、リセット : 0x20、レジスタ名 : AMUX_SEL

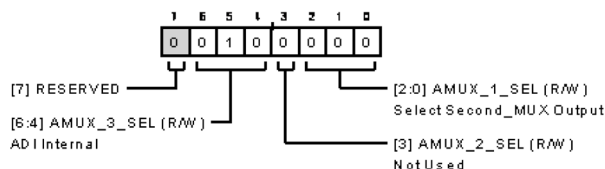


表 50. AMUX_SEL のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
[6:4]	AMUX_3_SEL	アナログ・デバイセズ社内。	0x2	R/W
3	AMUX_2_SEL	不使用。	0x0	R/W
[2:0]	AMUX_1_SEL	Second_MUX 出力の選択。 000 : PTAT (温度センサー)。	0x0	R/W

アドレス : 0x121、リセット : 0x00、レジスタ名 : MULTI_FUNC_CTRL_0111

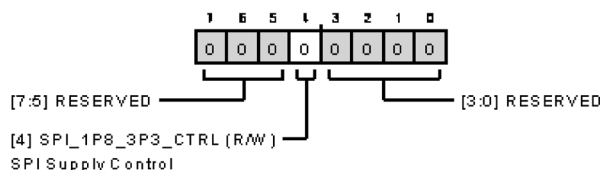


表 51. MULTI_FUNC_CTRL_0111 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	SPI_1P8_3P3_CTRL	SPI 電源制御。 0 : 1.8V リードバック。 1 : 3.3V リードバック。	0x0	R/W
[3:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x140、リセット : 0x00、レジスタ名 : FUSE_READBACK_0

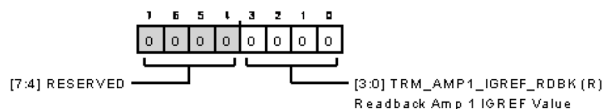


表 52. FUSE_READBACK_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP1_IGREF_RDBK	Amp 1 IREF 値をリードバック。	0x0	R

レジスタの詳細

アドレス : 0x141、リセット : 0x00、レジスタ名 : FUSE_READBACK_1

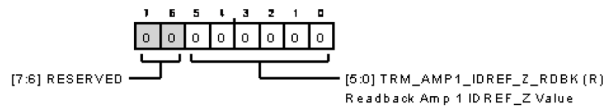


表 53. FUSE_READBACK_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	TRM_AMP1_IDREF_Z_RDBK	Amp 1 IDREF_Z 値をリードバック。	0x0	R

アドレス : 0x142、リセット : 0x00、レジスタ名 : FUSE_READBACK_2

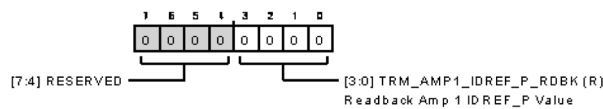


表 54. FUSE_READBACK_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP1_IDREF_P_RDBK	Amp 1 IDREF_P 値をリードバック。	0x0	R

アドレス : 0x143、リセット : 0x00、レジスタ名 : FUSE_READBACK_3

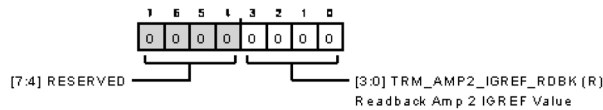


表 55. FUSE_READBACK_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP2_IGREF_RDBK	Amp 2 IGREF 値をリードバック。	0x0	R

アドレス : 0x144、リセット : 0x00、レジスタ名 : FUSE_READBACK_4

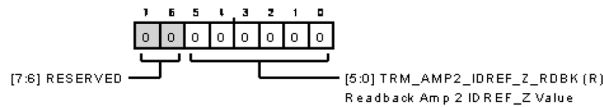


表 56. FUSE_READBACK_4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	TRM_AMP2_IDREF_Z_RDBK	Amp 2 IDREF_Z 値をリードバック。	0x0	R

アドレス : 0x145、リセット : 0x00、レジスタ名 : FUSE_READBACK_5

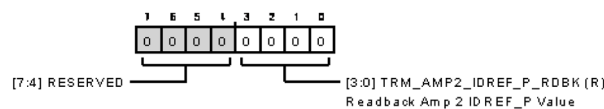


表 57. FUSE_READBACK_5 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP2_IDREF_P_RDBK	Amp 2 IDREF_P 値をリードバック。	0x0	R

レジスタの詳細

アドレス : 0x146、リセット : 0x00、レジスタ名 : GENERIC_READBACK_0

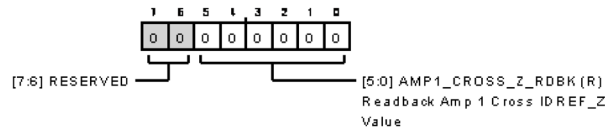


表 58. GENERIC_READBACK_0 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	AMP1_CROSS_Z_RDBK	Amp 1 クロス IDREF_Z 値をリードバック。	0x0	R

アドレス : 0x147、リセット : 0x00、レジスタ名 : GENERIC_READBACK_1

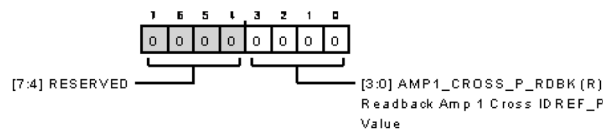


表 59. GENERIC_READBACK_1 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP1_CROSS_P_RDBK	Amp 1 クロス IDREF_P 値をリードバック。	0x0	R

アドレス : 0x148、リセット : 0x00、レジスタ名 : GENERIC_READBACK_2

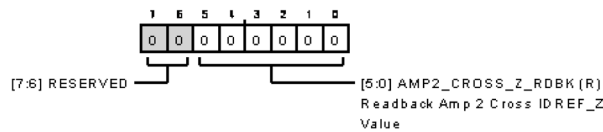


表 60. GENERIC_READBACK_2 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	AMP2_CROSS_Z_RDBK	Amp 2 クロス IDREF_Z 値をリードバック。	0x0	R

アドレス : 0x149、リセット : 0x00、レジスタ名 : GENERIC_READBACK_3

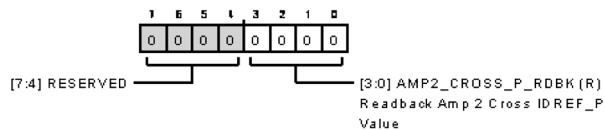


表 61. GENERIC_READBACK_3 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_CROSS_P_RDBK	Amp 2 クロス IDREF_P 値をリードバック。	0x0	R

レジスタの詳細

アドレス : 0x14A、リセット : 0x00、レジスタ名 : GENERIC_READBACK_4

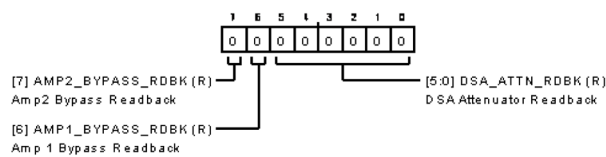


表 62. GENERIC_READBACK_4 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS_RDBK	Amp 2 のバイパス・リードバック。	0x0	R
6	AMP1_BYPASS_RDBK	Amp 1 のバイパス・リードバック。	0x0	R
[5:0]	DSA_ATTEN_RDBK	DSA アッテネータ・リードバック。	0x0	R

外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-24-17	LGA	24-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

更新：2024年3月14日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADL6332ACCZA	-40°C to +105°C	24-Lead LGA (4mm x 4mm x 0.76mm w/ EP)	Cut Tape, 500	CC-24-17
ADL6332ACCZA-R7	-40°C to +105°C	24-Lead LGA (4mm x 4mm x 0.76mm w/ EP)	Reel, 500	CC-24-17
ADL6332ACCZB	-40°C to +105°C	24-Lead LGA (4mm x 4mm x 0.76mm w/ EP)	Cut Tape, 500	CC-24-17
ADL6332ACCZB-R7	-40°C to +105°C	24-Lead LGA (4mm x 4mm x 0.76mm w/ EP)	Reel, 500	CC-24-17

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
ADL6332-EVALZA	Version A (0.38 GHz to 8.0 GHz) Evaluation Board
ADL6332-EVALZB	Version B (1.0 GHz to 15.0 GHz) Evaluation Board

¹ Z = RoHS 準拠製品。