

0.38GHz~15GHzの送信 (Tx) VGA

特長

- ▶ RF-DACをビームフォーマおよびPAに接続する広帯域TxVGA
- ▶ 動作周波数範囲：0.38GHz~15GHz、2つの製品タイプ
 - ▶ ADL6331-A：0.38GHz~8.0GHz
 - ▶ ADL6331-B：1.0GHz~15.0GHz
- ▶ RF-DACの同相モード除去、偶数次高調波、相互変調を最適化
- ▶ 50Ωの差動入力および50Ωのシングルエンド出力
- ▶ 広帯域RF出力カバラン内蔵
- ▶ 1.0dBステップで70dBのゲイン制御範囲
- ▶ RF DSA範囲：24.0dB（1.0dBステップ）
- ▶ アンプのバイパス損失はそれぞれ12dB
- ▶ 複数の事前設定減衰値とバイパス・アンプ段との間の非同期切り替え
- ▶ 4GHzでのパワー・ゲイン：15.5dB（ADL6331-A）、15.8dB（ADL6331-B）
- ▶ 4GHzでのノイズ指数：7.5dB（ADL6331-A）、8.1dB（ADL6331-B）
- ▶ 4GHzでのOIP3：32.8dBm（ADL6331-A）、31.8dBm（ADL6331-B）
- ▶ 4GHzでのOIP2：59.7dBm（ADL6331-A）、56.2dBm（ADL6331-B）
- ▶ 4GHzでのOP1dB：12.2 dBm（ADL6331-A）、12.3dBm（ADL6331-B）
- ▶ 3線式または4線式のSPIを介して全機能をプログラム可能
- ▶ 3.3V単電源
- ▶ 24端子、4.0mm×4.0mmランド・グリッド・アレイ（LGA）

アプリケーション

- ▶ 航空宇宙／防衛
- ▶ 計測および試験装置
- ▶ 通信システム

概要

ADL6331は送信用の可変ゲイン・アンプ（TxVGA）で、無線周波数D/Aコンバータ（RF DAC）からシングルエンド・パワー・アンプ（PA）シグナル・チェーンへのインターフェースとして機能します。各ADL6331 ICは、バラン、バイパス・アッテネータを備えた2つの差動RFアンプ、デジタル・ステップ・アッテネータ（DSA）で構成されており、24端子の4.0mm×4.0mm LGAパッケージで適切なトランスミッタ性能を提供します。

シリアル・ポート・インターフェース（SPI）制御により、RF信号パスの設定や電源電流と性能の最適化を行うことができます。

0.38GHz~8.0GHz（ADL6331-A）または1.0GHz~15.0GHz（ADL6331-B）のシングルエンド出力を良好なインピーダンス・マッチで提供するために、内蔵RFバランを使用しています。

表1. ADL6331の周波数範囲

ADL6331 Variant	Frequency Range (GHz)
A	0.38 to 8.0
B	1.0 to 15.0

機能ブロック図

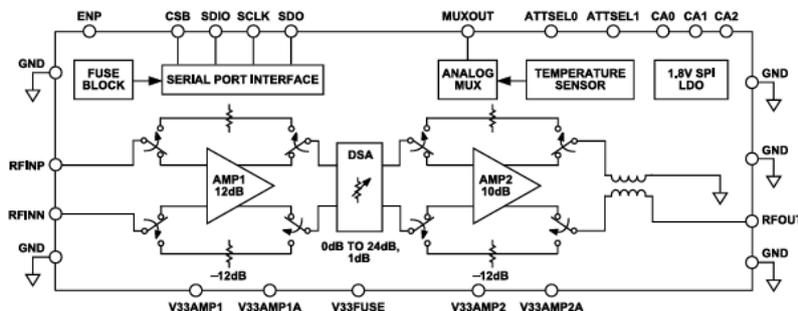


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. B

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	AMP1およびAMP2の製造時の調整とユーザによる調整.....	29
アプリケーション.....	1	RF経路の事前設定.....	30
概要.....	1	補助マルチプレクサ出力/温度センサー.....	31
機能ブロック図.....	1	不揮発性メモリ (FUSE) 空間 (参考資料).....	31
仕様.....	4	シリアル・ポート・インターフェース (SPI).....	33
デジタル・ロジックのタイミング.....	8	SPIバスを共用するための複数チップの設定.....	33
絶対最大定格.....	10	初期化シーケンス.....	34
熱抵抗.....	10	基本的な接続方法.....	35
ESDに関する注意.....	10	アプリケーション情報.....	36
ピン配置およびピン機能の説明.....	11	消費電流の最適化.....	36
代表的な性能特性.....	12	ACカップリング.....	36
ADL6331-A.....	13	レジスタの一覧.....	37
ADL6331-B.....	20	レジスタの詳細.....	39
動作原理.....	27	外形寸法.....	54
RF入出力.....	27	オーダー・ガイド.....	54
プログラマビリティ・ガイド.....	28	評価用ボード.....	54
機能および信号経路の有効化.....	28		

改訂履歴

8/2024—Rev. A to Rev. B

Change to Data Sheet Title.....	1
Changes to Features Section.....	1
Changes to General Description Section.....	1
Changes to Table 2.....	4
Changes to Figure 53 to Figure 58.....	20
Changes to Figure 62 and Figure 63.....	21
Changes to Figure 65 to Figure 67, Figure 69, and Figure 70.....	22
Changes to Figure 71 to Figure 74 and Figure 76.....	23
Changes to Figure 77 to Figure 80 and Figure 82.....	24
Changes to Figure 83.....	25
Changes to Figure 91 and Figure 92.....	26
Change to AMP1 and AMP2 Trimming and Tuning Section.....	29
Change to Current Consumption Optimization Section.....	36
Change to Evaluation Boards.....	54

5/2024—Rev. 0 to Rev. A

Changes to Features Section.....	1
Changes to Table 2.....	4
Changes to Figure 35 Caption to Figure 38 Caption.....	16
Added ADL6331-B Section and Figure 53 to Figure 92; Renumbered Sequentially.....	20
Changes to AMP1 and AMP2 Trimming and Tuning Section.....	29
Changes to Current Consumption Optimization Section.....	36
Changes to Figure 96 Caption.....	36
Added Figure 97.....	36

目次

Changes to Figure 98 Caption36

Added Figure 9936

Changed Common-Mode Voltage Section to AC Coupling Section36

Changes to Ordering Guide54

Changes to Evaluation Boards.....54

2/2024—Revision 0: Initial Version

仕様

V33AMP1電圧 (V_{33AMP1}) = V33AMP1A電圧 (V_{33AMP1A}) = V33AMP2電圧 (V_{33AMP2}) = V33AMP2A電圧 (V_{33AMP2A}) = V33FUSE電圧 (V_{33FUSE}) = 3.3V。特に指定のない限り、T_A = 25°C、固定ゲイン・モード、DSA減衰 = 0dB、ソース抵抗 (R_S) = 50Ω差動、負荷抵抗 (R_L) = 50Ωシングルエンド。

表2. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
FREQUENCY RANGE (ADL6331-A)		0.38		8.0	GHz
Power Gain					
Full Fixed Gain Mode ¹	0.38GHz		12.7		dB
	1.0GHz		15.7		dB
	2.0GHz		15.9		dB
	4.0GHz		15.5		dB
	8.0GHz		14.4		dB
AMP1 Bypass Attenuation Mode ² : AMP2 = Fixed Gain Mode	0.38GHz		-14.6		dB
	1.0GHz		-9.5		dB
	2.0GHz		-9.2		dB
	4.0GHz		-9.6		dB
	8.0GHz		-11.5		dB
AMP2 Bypass Attenuation Mode ² : AMP1 = Fixed Gain Mode	0.38GHz		-12.0		dB
	1.0GHz		-7.1		dB
	2.0GHz		-7.0		dB
	4.0GHz		-7.1		dB
	8.0GHz		-7.8		dB
Full Bypass Attenuation Mode ²	0.38GHz		-36.3		
	1.0GHz		-31.9		dB
	2.0GHz		-31.7		dB
	4.0GHz		-32.8		dB
	8.0GHz		-33.4		dB
FREQUENCY RANGE (ADL6331-B)		1.0		15.0	GHz
Power Gain					
Full Fixed Gain Mode ¹	1.0GHz		15.2		dB
	2.0 GHz		16.0		dB
	4.0 GHz		15.8		dB
	8.0 GHz		14.6		dB
	12.0 GHz		14.8		dB
	15.0 GHz		14.7		dB
AMP1 Bypass Attenuation Mode ² : AMP2 = Fixed Gain Mode	1.0GHz		-10.0		dB
	2.0GHz		-9.1		dB
	4.0GHz		-9.4		dB
	8.0GHz		-11.6		dB
	12.0GHz		-13.5		dB
	15.0GHz		-17.5		dB
AMP2 Bypass Attenuation Mode ² : AMP1 = Fixed Gain Mode	1.0GHz		-7.5		
	2.0GHz		-6.6		dB
	4.0GHz		-6.7		dB
	8.0GHz		-7.3		dB
	12.0GHz		-7.5		dB
	15.0GHz		-9.0		dB
Full Bypass Attenuation Mode ²	1.0GHz		-31.7		dB

仕様

表2. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
	2.0GHz		-31.3		dB
	4.0GHz		-32.1		dB
	8.0GHz		-33.1		dB
	12.0GHz		-35.8		dB
	15.0GHz		-40.0		dB
NOISE/HARMONIC PERFORMANCE (ADL6331-A)					
Input Signal Frequency 0.4 GHz					
Full Fixed Gain Mode ¹					
Output Second-Order Intercept (OIP2L/OIP2H ³)	Pin = -22dBm/ トーン		51.8/65.8		dBm
Output Third-Order Intercept (OIP3)	Pin = -22dBm/ トーン		29.9 d		Bm
Output 1dB Compression Point (OP1dB)			10.5		dBm
Noise Figure (NF)			7.2		dB
AMP1 Bypass Attenuation Mode ²					
Input Second-Order Intercept (IIP2L/IIP2H ⁴)	Pin = +2dBm/ トーン		50.1/42.8		dBm
Input Third-Order Intercept (IIP ³)	Pin = +2dBm/ トーン		28.9		dBm
Input 1dB Compression Point (IP1dB) ⁵			>10		dBm
NF			27.6		dB
Input Signal Frequency 1.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22dBm/ トーン		62.9/63.2		dBm
OIP3	Pin = -22dBm/ トーン		32.7		dBm
OP1dB			12.7		dBm
NF			7.3		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2dBm/ トーン		67.5/60.0		dBm
IIP3	Pin = +2dBm/ トーン		28.8		dBm
IP1dB ⁵			>10		dBm
NF			25.2		dB
Input Signal Frequency 2.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22dBm/ トーン		63.0/59.8		dBm
OIP3	Pin = -22dBm/ トーン		32.8		dBm
OP1dB			13.0		dBm
NF			7.5		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2dBm/ トーン		66.1/61.7		dBm
IIP3	Pin = +2dBm/ トーン		28.8		dBm
IP1dB ⁵			>10		dBm
NF			25.2		dB
Input Signal Frequency 4.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22dBm/ トーン		59.7/N/A ⁶		dBm
OIP3	Pin = -22dBm/ トーン		32.8		dBm
OP1dB			12.2		dBm
NF			7.5		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2dBm/ トーン		64.0/N/A ⁶		dBm
IIP3	Pin = +2dBm/ トーン		28.0		dBm
IP1dB ⁵			>10		dBm
NF			25.4		dB
Input Signal Frequency 8.0 GHz					

仕様

表2. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Full Fixed Gain Mode ¹					
OIP2L/OIP2H ³	Pin = -22dBm/ トーン		55.5/N/A ⁶		dBm
OIP3	Pin = -22dBm/ トーン		37.8		dBm
OP1dB			11.5		dBm
NF			6.8		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H ⁴	Pin = +2dBm/ トーン		64.3/N/A ⁶		dBm
IIP3	Pin = +2dBm/ トーン		27.1		dBm
IP1dB ⁵			>10		dBm
NF			25.3		dB
NOISE/HARMONIC PERFORMANCE (ADL6331-B)					
Input Signal Frequency 1.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H	Pin = -22dBm/ トーン		55.4/62.7		dBm
OIP3	Pin = -22dBm/ トーン		30.1		dBm
OP1dB			12.3		dBm
NF			7.6		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H	Pin = +2dBm/ トーン		61.7/54.6		dBm
IIP3	Pin = +2dBm/ トーン		28.1		dBm
IP1dB ⁵			>10		dBm
NF			25.7		dB
Input Signal Frequency 2.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H	Pin = -22dBm/ トーン		58.2/56.8		dBm
OIP3	Pin = -22dBm/ トーン		31.1		dBm
OP1dB			12.9		dBm
NF			7.9		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H	Pin = +2dBm/ トーン		61.2/58.7		dBm
IIP3	Pin = +2dBm/ トーン		28.2		dBm
IP1dB ⁵			>10		dBm
NF			25.9		dB
Input Signal Frequency 4.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H	Pin = -22dBm/ トーン		56.2/51.6		dBm
OIP3	Pin = -22dBm/ トーン		31.8		dBm
OP1dB			12.3		dBm
NF			8.1		dB
AMP1 Bypass Attenuation Mode ²					
IIP2L/IIP2H	Pin = +2dBm/ トーン		60.2/69.3		dBm
IIP3	Pin = +2dBm/ トーン		27.7		dBm
IP1dB ⁵			>10		dBm
NF			25.9		dB
Input Signal Frequency 8.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H	Pin = -22dBm/ トーン		51.7/N/A ⁷		dBm
OIP3	Pin = -22dBm/ トーン		31.2		dBm
OP1dB			11.2		dBm
NF			7.4		dB
AMP1 Bypass Attenuation Mode ²					

仕様

表2. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
IIP2L/IIP2H	Pin = +2dBm/ トーン		62.6/N/A ⁷		dBm
IIP3	Pin = +2dBm/ トーン		27.0		dBm
IP1dB ⁵			>10		dBm
NF			26.5		dB
Input Signal Frequency 12.0 GHz					
Full Fixed Gain Mode ¹					
OIP2L/OIP2H	Pin = -22dBm/ トーン		48.7/N/A ⁷		dBm
OIP3	Pin = -22dBm/ トーン		27.8		dBm
OP1dB			10.3		dBm
NF			7.1		dB
AMP1 Bypass Mode ²					
IIP2L/IIP2H	Pin = +2dBm/ トーン		63.4/N/A ⁷		dBm
IIP3	Pin = +2dBm/ トーン		26.2		dBm
IP1dB ⁵			>10		dBm
NF			27.4		dB
INPUT/OUTPUT CHARACTERISTICS					
Input Impedance	差動		50		Ω
Input Return Loss	差動		12.0		dB
Output Impedance	シングルエンド		50		Ω
Output Return Loss	帯域内、シングルエンドの出力バランを含む		12.0		dB
GAIN FLATNESS					
1.0 to 12 GHz	1GHzの帯域幅内		0.5		dB
1.5 to 12 GHz	3GHzの帯域幅内		1.1		dB
DSA ATTENUATION					
Range			24.0		dB
Step	SPIを経由		1.0		dB
Differential Nonlinearity (DNL)		0	0.16	0.5	dB
SWITCHING TIME					
	ATTSELピンを介し1.0dBステップ		200		ns
DIGITAL LOGIC					
Input Voltage	SCLK、SDO、SDIO、CSB、ENP、CA0、CA1、CA2、ATTSEL0、ATTSEL1				
High (V _{IH})		1.07			V
Low (V _{IL})				0.68	V
Input Current					
High (I _{IH})				-100	μA
Low (I _{IL})				100	μA
Output Voltage	SDO、SDIO (3線式SPIモード)				
At 1.8 V					
High (V _{OH})	出力ハイ電流 (I _{OH}) = -100μAまたは-1mAの静的な負荷	1.5			V
Low (V _{OL})	出力ロー電流 (I _{OL}) = 100μAまたは1mA、静的な負荷			0.2	V
At 3.3 V					
V _{OH}	I _{OH} = 100μAまたは-1mA、静的な負荷	2.7			V
V _{OL}	I _{OL} = 100μAまたは1mA、静的な負荷			0.2	V
POWER SUPPLY					
Voltage					V
V33AMP1A		3.135	3.3	3.465	V
V33AMP1		3.135	3.3	3.465	V
V33AMP2A		3.135	3.3	3.465	V
V33AMP2		3.135	3.3	3.465	V

仕様

表2. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
V33FUSE		3.135	3.3	3.465	V
Current					
Full Fixed Gain Mode ¹	3.3V電源				
V33AMP1A			80		mA
V33AMP1			160		mA
V33AMP2A			80		mA
V33AMP2			160		mA
V33FUSE			35		mA
AMP1 Bypass Attenuation Mode ²	3.3V電源				
V33AMP1A			2		mA
V33AMP1			0.1		mA
V33AMP2A			80		mA
V33AMP2			160		mA
V33FUSE			22		mA
AMP2 Bypass Attenuation Mode ²	3.3V電源				
V33AMP1A			80		mA
V33AMP1			160		mA
V33AMP2A			0.1		mA
V33AMP2			0.1		mA
V33FUSE			22		mA
AMP1 and AMP2 Bypass Attenuation Mode ²	3.3V電源				
V33AMP1A			2		mA
V33AMP1			0.1		mA
V33AMP2A			0.1		mA
V33AMP2			0.1		mA
V33FUSE			12		mA
Power-Down Mode	3.3V電源		3		mA

- 1 完全固定ゲイン・モードは、製造時に最適化したパラメータを用い、AMP1およびAMP2を固定ゲイン設定、DSA = 0dBとして設定されます。
- 2 バイパス減衰モードは、製造時に最適化したパラメータを用い、AMP1またはAMP2をバイパス設定、DSA = 0dBとして設定されます。減衰モードを用いてアンプをバイパスすると、合計電流はアンプあたり230mA（代表値）減少します。
- 3 OIP2Lは2つのトーンの差周波、OIP2Hは2つのトーンの和周波を表します。
- 4 IIP2Lは2つのトーンの差周波、IIP2Hは2つのトーンの和周波を表します。
- 5 絶対最大定格を超えます。
- 6 「該当なし」を表します。ADL6331-Aでは、入力信号周波数が4GHz以上の場合、OIP2H/IIP2Hは動作周波数範囲を超えます。
- 7 「該当なし」を表します。ADL6331-Bでは、入力信号周波数が7.5GHz以上の場合、OIP2H/IIP2Hは動作周波数範囲を超えます。

デジタル・ロジックのタイミング

負荷容量 (C_{LOAD}) = 25pF

表3. SPIのタイミング仕様

Parameter	Description	Min	Typ	Max	Unit
f _{SCLK}	Maximum serial-clock rate			25	MHz
t _{PWH}	Minimum period that SCLK is in logic-high state	10			ns
t _{PWL}	Minimum period that SCLK is in logic-low state	10			ns

仕様

表3. SPIのタイミング仕様 (続き)

Parameter	Description	Min	Typ	Max	Unit
t_{DS}	Setup time between data and rising edge of SCLK	10			ns
t_{DH}	Hold time between data and rising edge of SCLK	5			ns
t_{DCS}	Setup time between falling edge of CSB and SCLK	10			ns
t_{DV}	Maximum time delay between falling edge of SCLK and output data valid for a read operation			10	ns

SPIのタイミング図

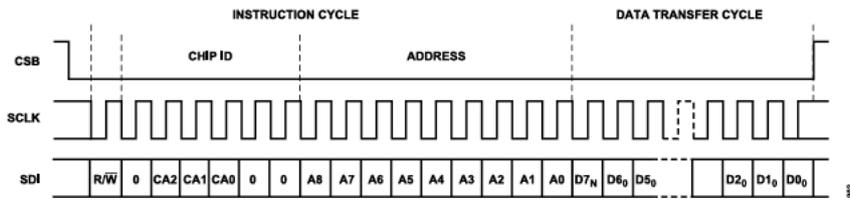


図2. SPIレジスタのタイミング、MSBファースト

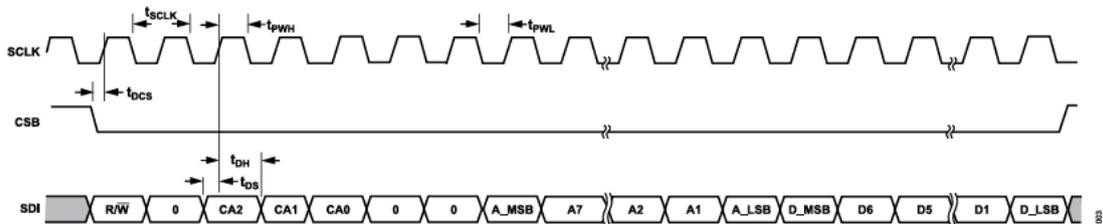


図3. SPIレジスタ書き込みのタイミング図 (3線式および4線式SPIモード)

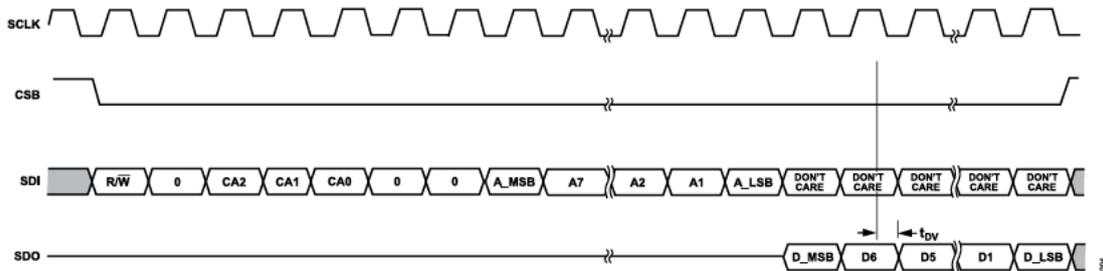


図4. SPIレジスタ読出しのタイミング図 (4線式SPIモード)

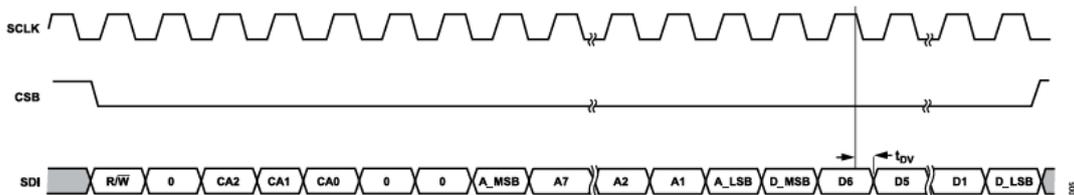


図5. SPIレジスタ読出しのタイミング図 (3線式SPIモード、SDIOピンは入力 (書き込み) および出力 (読出し) の双方向モード)

絶対最大定格

表4. 絶対最大定格

Parameter	Rating
V33AMP1, V33AMP1A, V33AMP2, V33AMP2A, V33FUSE	-0.3 V to +3.6 V
RFINN, RFINP	10 dBm
SCLK, SDO, SDIO, CSB, CA0, CA1, CA2, ENP, ATTSEL0, ATTSEL1	-0.3 V to +3.6 V
Maximum Junction Temperature	125°C
Operating Temperature Range (Measured at the exposed pad)	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JC} は、ジャンクションとケースの間の熱抵抗で、ケース温度はパッケージ底面で測定しています。

表5に仕様規定されている熱抵抗値は、（特に指定のない限り）JEDEC仕様に基づいて計算されており、JESD51-12に従って使用する必要があります。

表5. 熱抵抗

Package Type	θ_{JC}	Unit
CC-24-17	9.6	°C/W

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

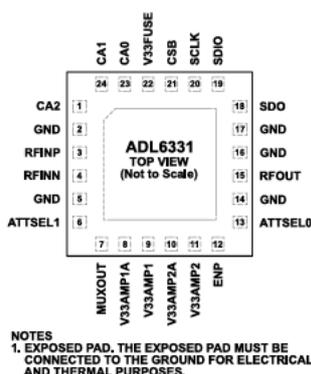


図6. ピン配置

表6. ピン機能の説明

ピン番号	記号	Type	説明
1	CA2	Input	SPIチップ・アドレス (MSB)。
2, 5, 14, 16, 17	GND	Input and Output	グラウンド・リファレンス。
3	RFINP	Input	平衡差動入力の負側。
4	RFINN	Input	平衡差動入力の正側。
6	ATTSSEL1	Input	事前設定されたモード選択 (A、B、C、Dの各状態)。
7	MUXOUT	Output	チップ温度読出しのための電圧測定ピン。不使用時は無接続のままにしてください。
8	V33AMP1A	Input	AMP1のアナログ3.3V電源入力。
9	V33AMP1	Input	AMP1のアナログ3.3V電源入力。
10	V33AMP2A	Input	AMP2のアナログ3.3V電源入力。
11	V33AMP2	Input	AMP2のアナログ3.3V電源入力。
12	ENP	Input	パワー・アップおよびイネーブル入力。アクティブ・ハイ。
13	ATTSSEL0	Input	事前設定されたモード選択 (A、B、C、Dの各状態)。
15	RFOUT	Output	シングルエンドRF出力。
18	SDO	Output	シリアルポート・データ出力。
19	SDIO	Input and Output	シリアルポートの双方向データ入出力。
20	SCLK	Input	シリアルポート・クロック入力。
21	CSB	Input	シリアルポート・イネーブル入力。アクティブ・ロー。
22	V33FUSE	Input	デジタル3.3V電源入力。
23	CA0	Input	SPIチップ・アドレス (LSB)。
24	CA1	Input	SPIチップ・アドレス。
	EPAD	Input and Output	露出パッド。電気的および熱的性能のため、露出パッドはグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、 $V_{33AMP1} = V_{33AMP1A} = V_{33AMP2} = V_{33AMP2A} = V_{33FUSE} = 3.3V$ 、 $T_A = 25^\circ C$ 。

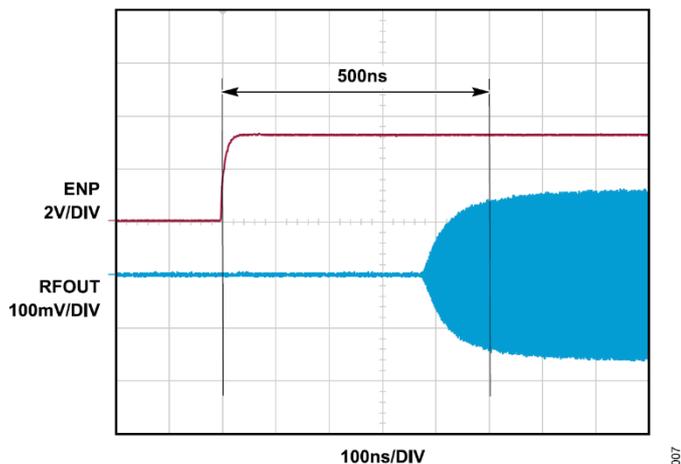


図7. 固定ゲイン・モードでのENPイネーブルの応答、
最小DSA減衰

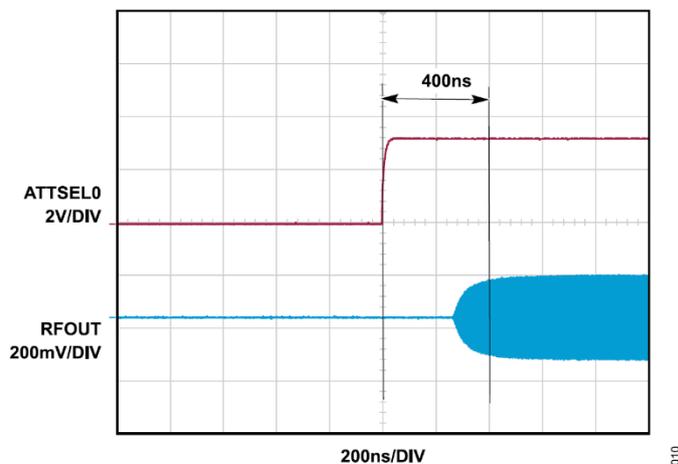


図10. 最小ゲイン (AMP1/AMP2バイパス、 $DSA = 24.0dB$) から
最大ゲイン (AMPバイパスなし、 $DSA = 0.0dB$) までの
ゲイン・セトリング・タイム

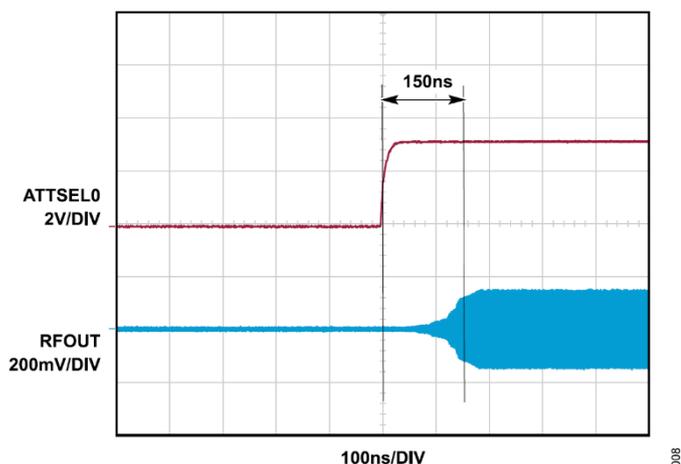


図8. 固定ゲイン・モードでのゲイン・セトリング・タイム、
 $DSA = 24.0dB \sim 0.0dB$

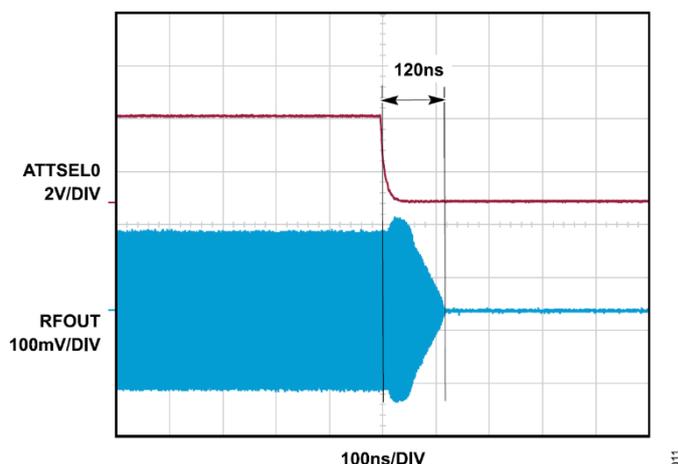


図11. 最大ゲイン (AMPバイパスなし、 $DSA = 0.0dB$) から
最小ゲイン (AMP1/AMP2バイパス、 $DSA = 24.0dB$) からまでの
ゲイン・セトリング・タイム

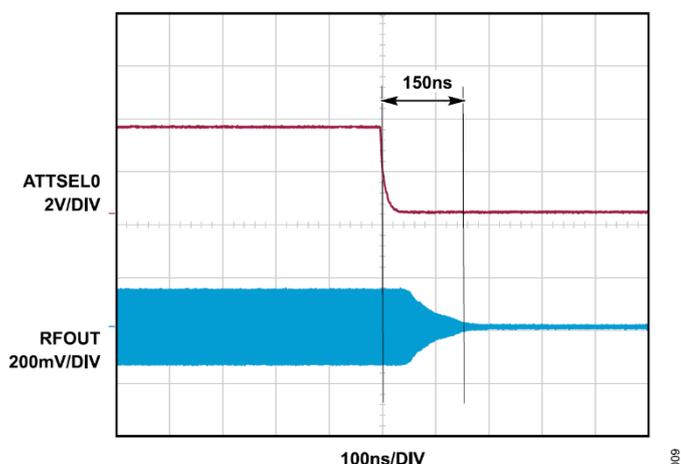


図9. 固定ゲイン・モードでのゲイン・セトリング・タイム、
 $DSA = 0.0dB \sim 24.0dB$

代表的な性能特性

ADL6331-A

特に指定のない限り、 $V_{33AMP1} = V_{33AMP1A} = V_{33AMP2} = V_{33AMP2A} = V_{33FUSE} = 3.3V$ 、 $T_A = 25^\circ C$ 、固定ゲイン・モード、DSA減衰 = 0dB、 $R_S = 50\Omega$ 差動、 $R_L = 50\Omega$ シングルエンド。

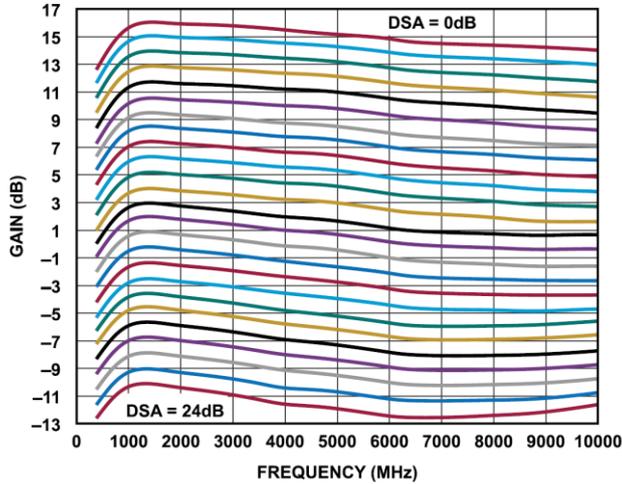


図12. ゲインと周波数の関係、1.0dB DSAステップ

012

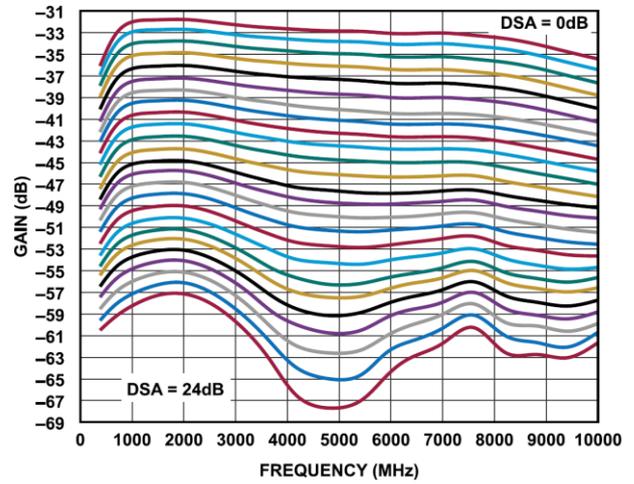


図15. ゲインと周波数の関係、1.0dB DSAステップ、AMP1およびAMP2バイパス

015

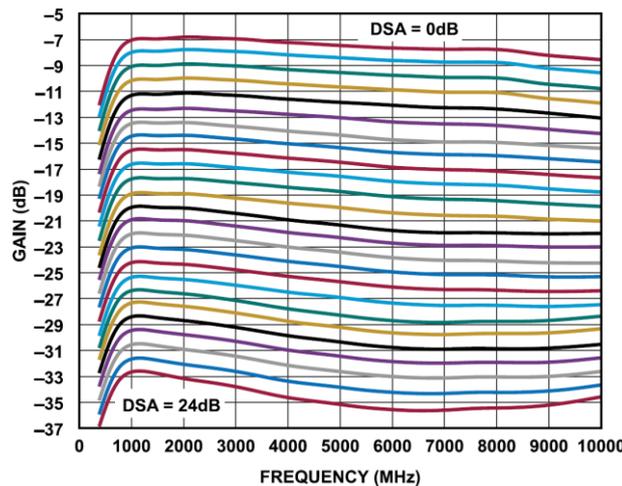


図13. ゲインと周波数の関係、1.0dB DSAステップ、AMP2バイパス

013

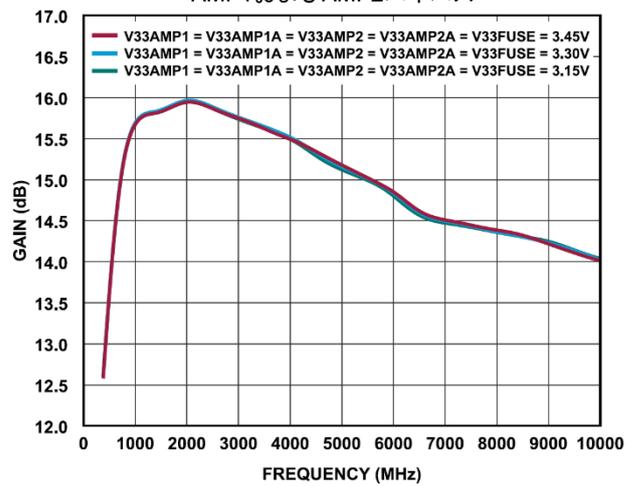


図16. 様々な電源でのゲインと周波数の関係

016

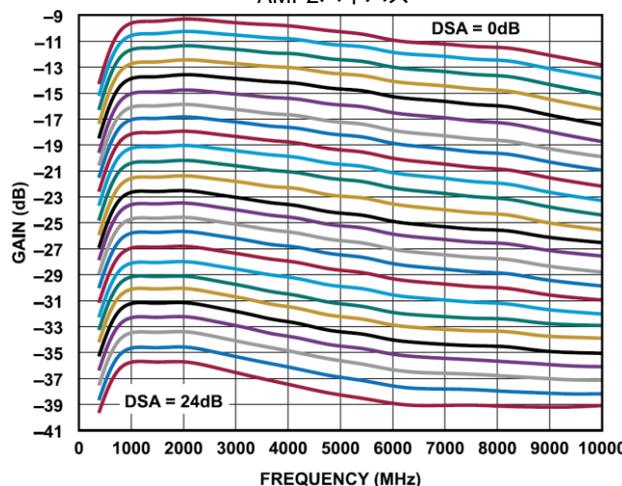


図14. ゲインと周波数の関係、1.0dB DSAステップ、AMP1バイパス

014

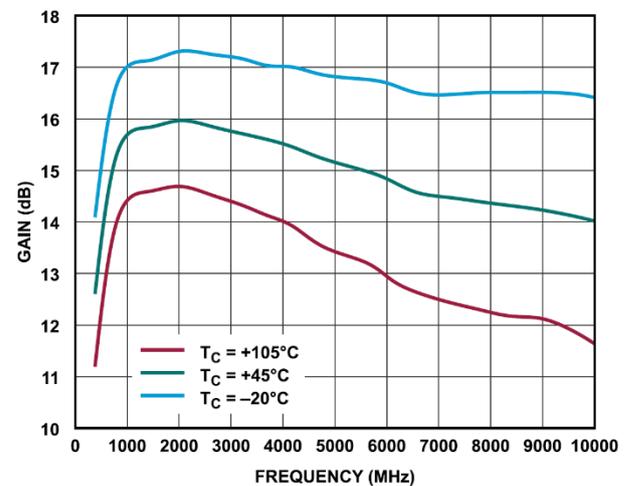


図17. 様々な温度でのゲインと周波数の関係

017

代表的な性能特性

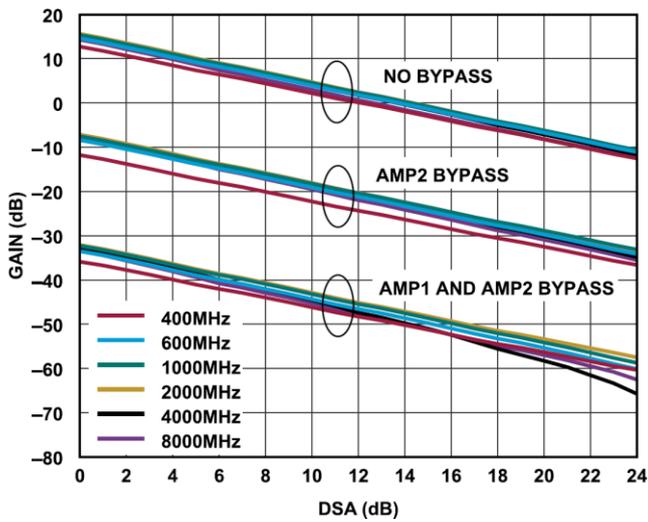


図18. 様々な周波数でのゲインと1.0dB DSAステップの関係、AMP2バイパス

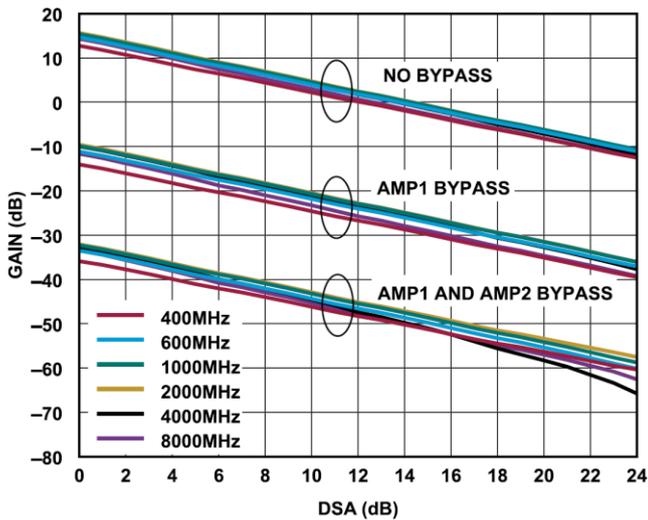


図19. 様々な周波数でのゲインと1.0dB DSAステップの関係、AMP1バイパス

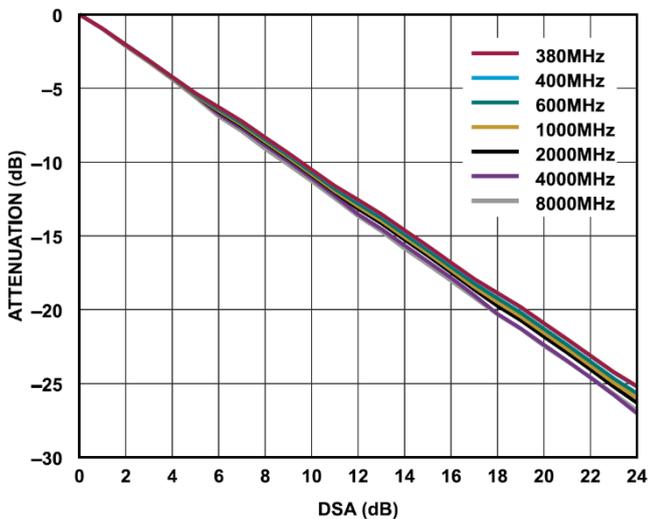


図20. 様々な周波数での減衰とDSAの関係

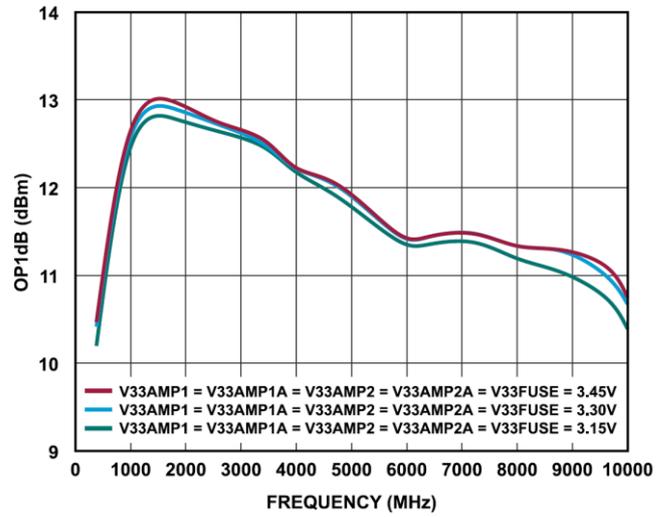


図21. 様々な電源でのOP1dBと周波数の関係

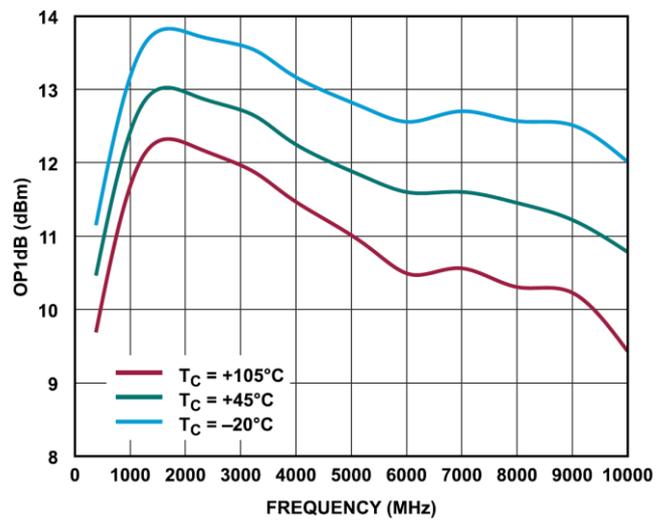


図22. 様々な温度でのOP1dBと周波数の関係

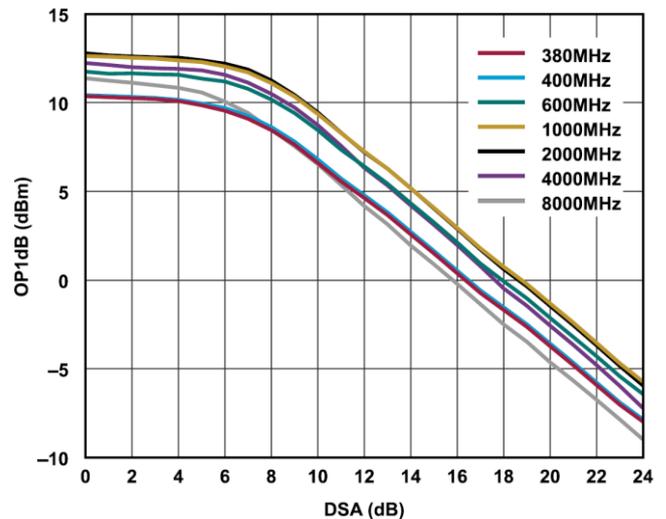


図23. 様々な周波数でのOP1dBと1.0dB DSAステップの関係

代表的な性能特性

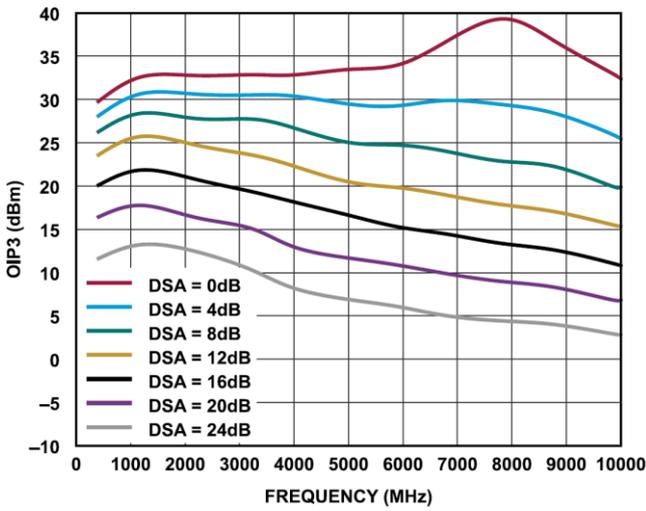


図24. 様々なDSA値でのOIP3と周波数の関係

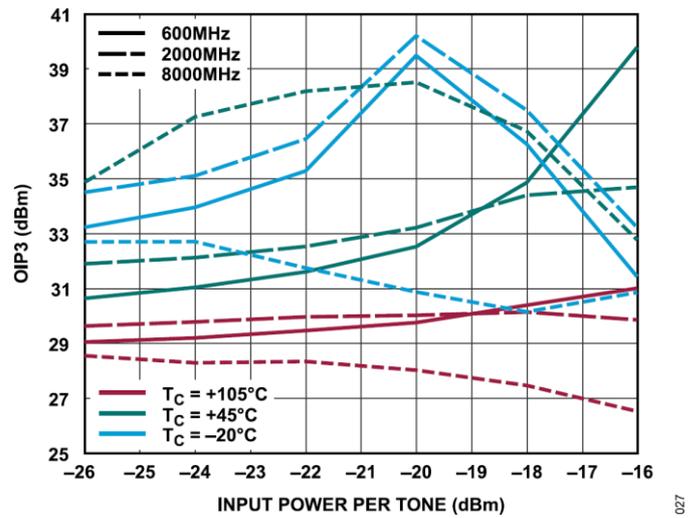


図27. 600MHz、2000MHz、8000MHzでの様々な温度におけるOIP3とトーンあたりの入力電力の関係

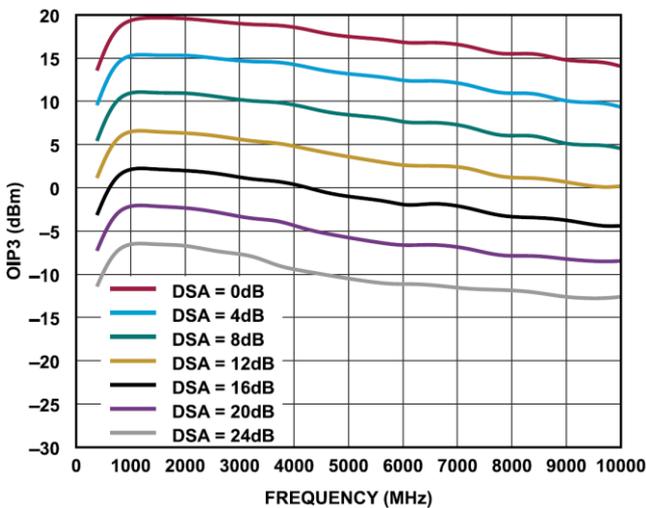


図25. 様々なDSA値でのOIP3と周波数の関係、AMP1バイパス

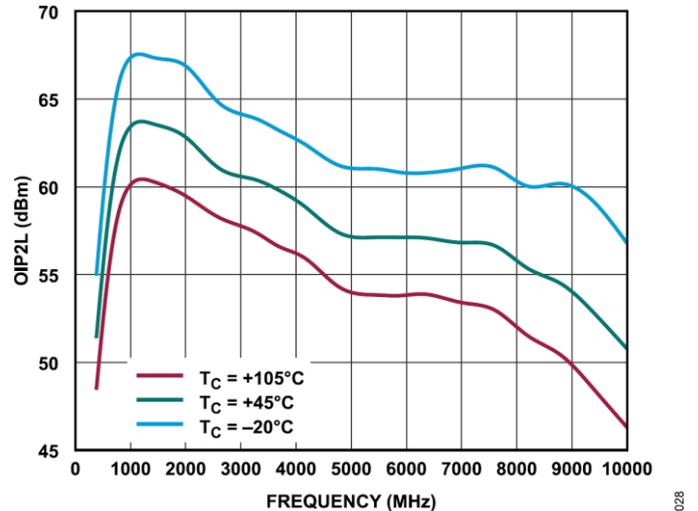


図28. 様々な温度でのOIP2Lと周波数の関係

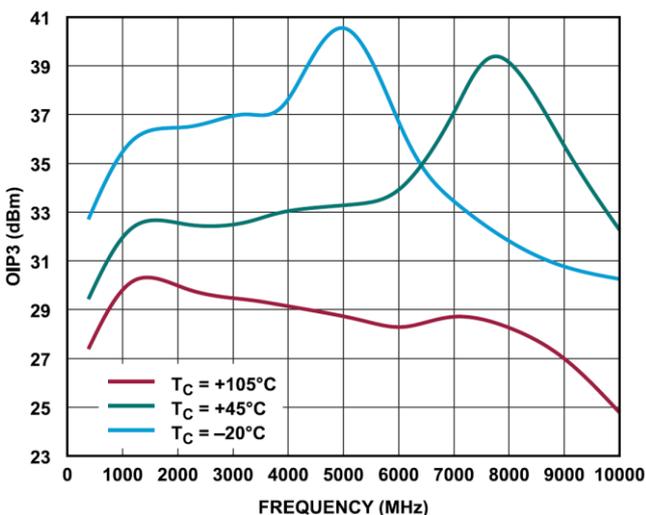


図26. 様々な温度でのOIP3と周波数の関係

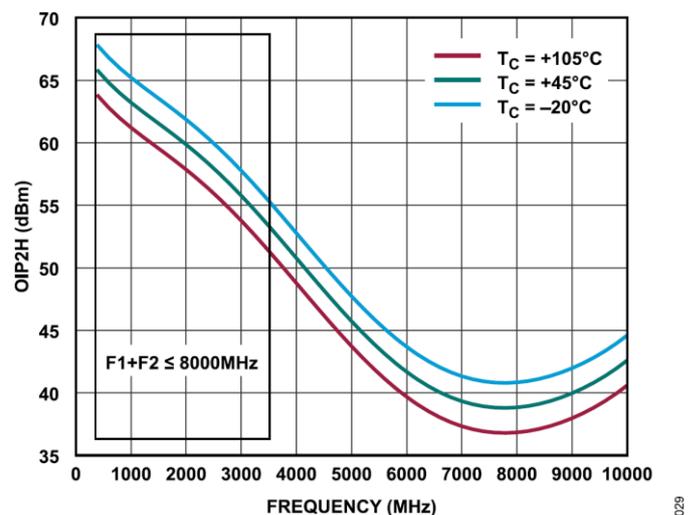


図29. 様々な温度でのOIP2Hと周波数の関係、トーン間隔は1010MHz

代表的な性能特性

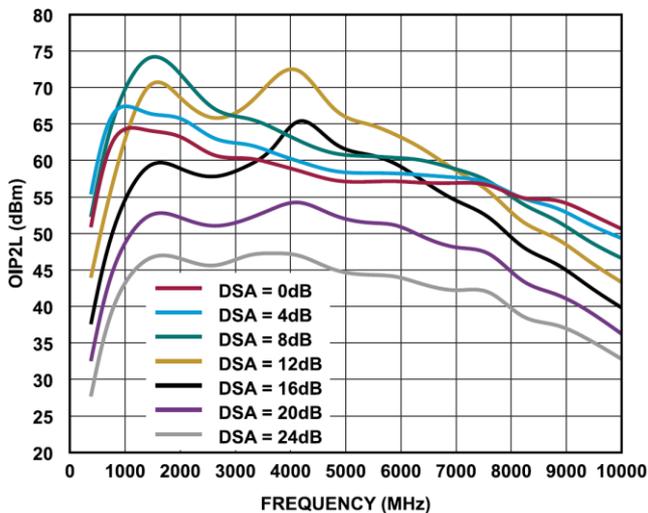


図30. 様々なDSA値でのOIP2Lと周波数の関係

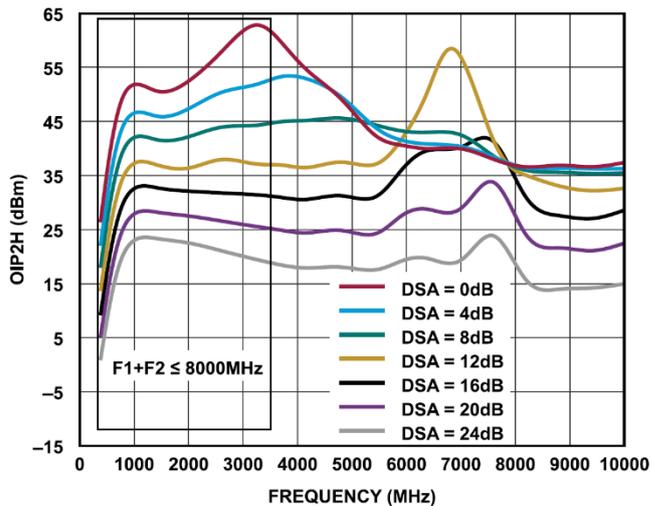


図33. 様々なDSA値でのOIP2Hと周波数の関係、AMP1バイパス、
トーン間隔は1010MHz

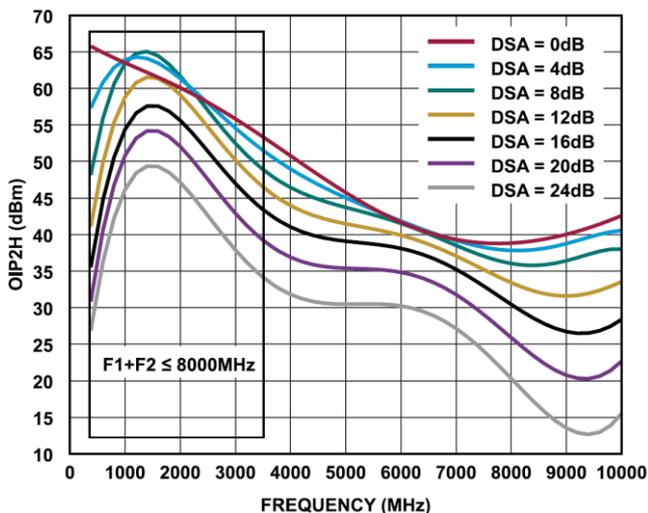


図31. 様々なDSA値でのOIP2Hと周波数の関係、トーン間隔は
1010MHz

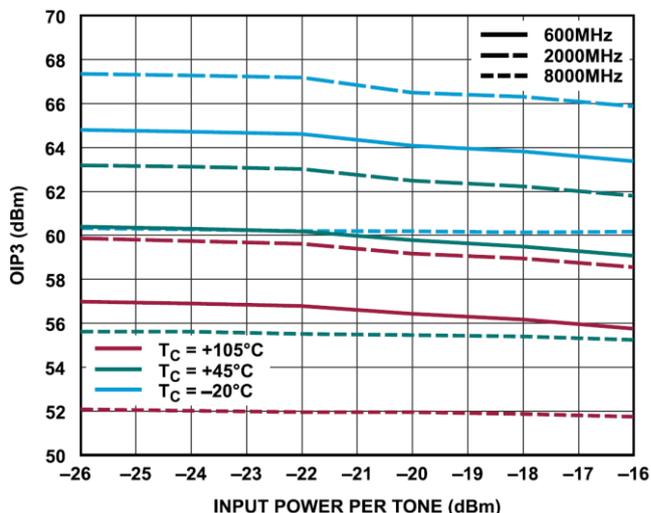


図34. 600MHz、2000MHz、8000MHzでの様々な温度における
OIP2Lとトーンあたりの入力電力の関係

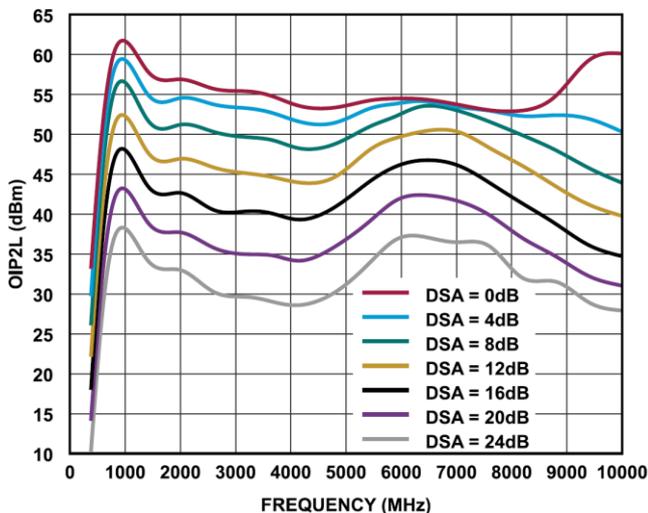


図32. 様々なDSA値でのOIP2Lと周波数の関係、AMP1バイパス

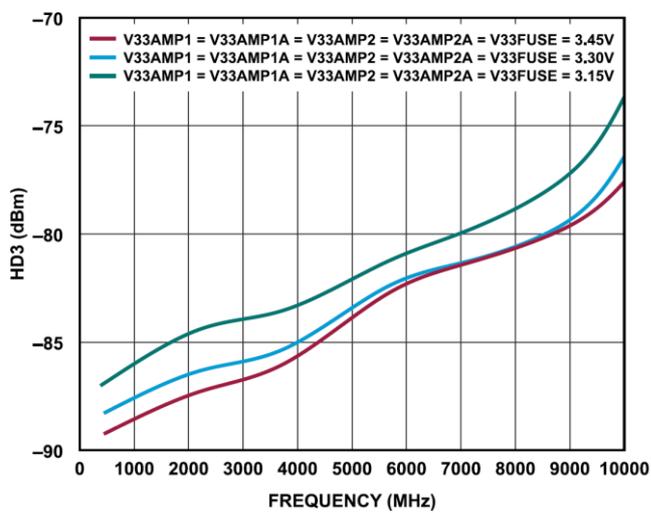
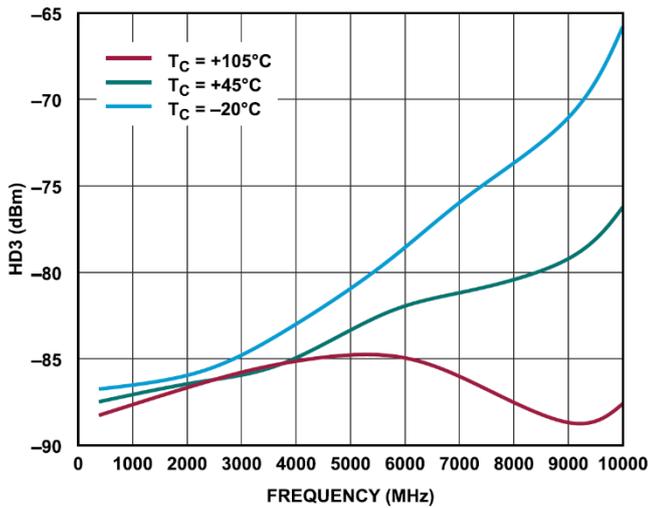


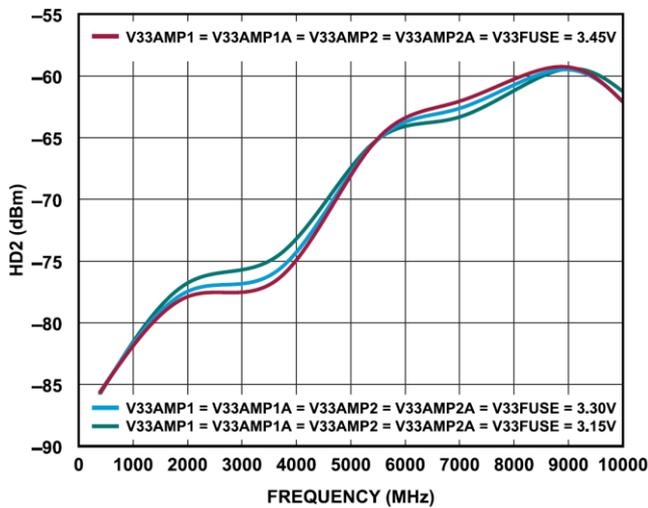
図35. 様々な電源での3次高調波歪み (HD3) と周波数の関係、
出力電力は-7dBm

代表的な性能特性



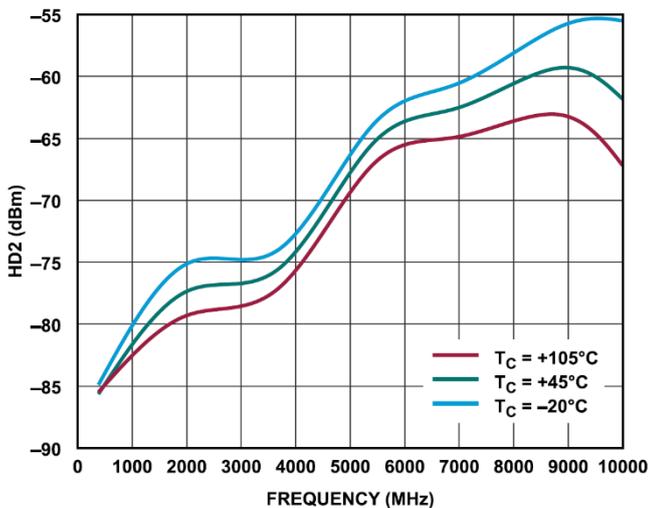
036

図36. 様々な温度でのHD3と周波数の関係、出力電力は-7dBm



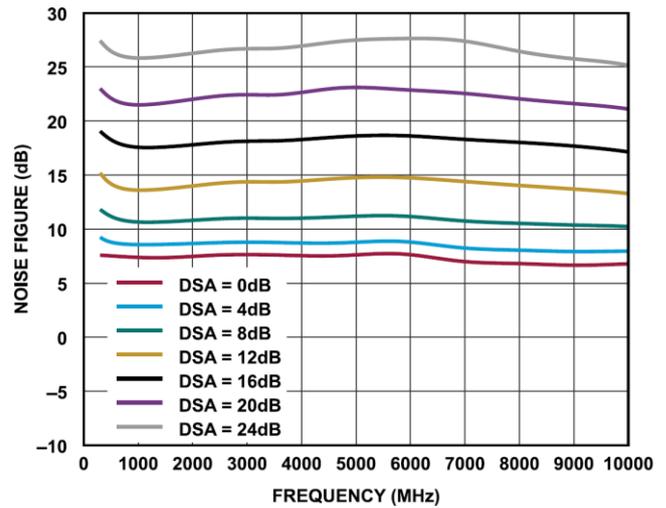
037

図37. 様々な電源での2次高調波歪み (HD2) と周波数の関係、出力電力は-7dBm



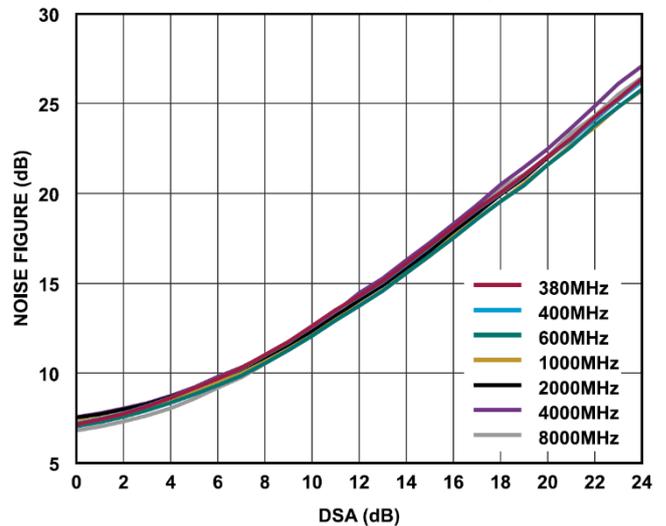
038

図38. 様々な温度でのHD2と周波数の関係、出力電力は-7dBm



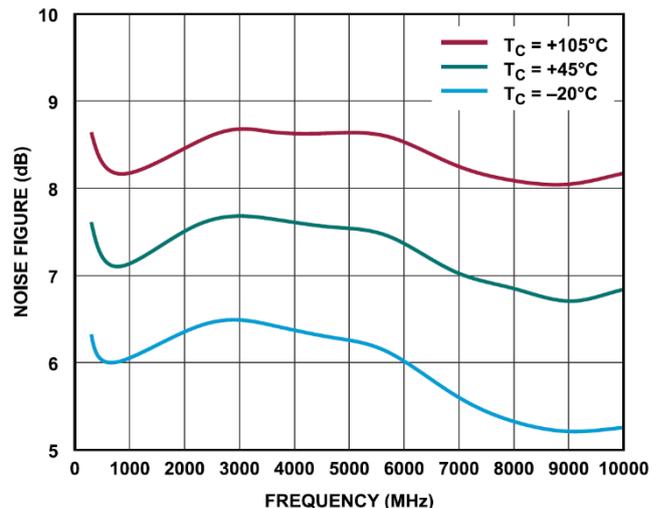
039

図39. 様々なDSA値でのノイズ指数と周波数の関係



040

図40. 様々な周波数でのノイズ指数と1.0dB DSAステップの関係



041

図41. 様々な温度でのノイズ指数と周波数の関係

代表的な性能特性

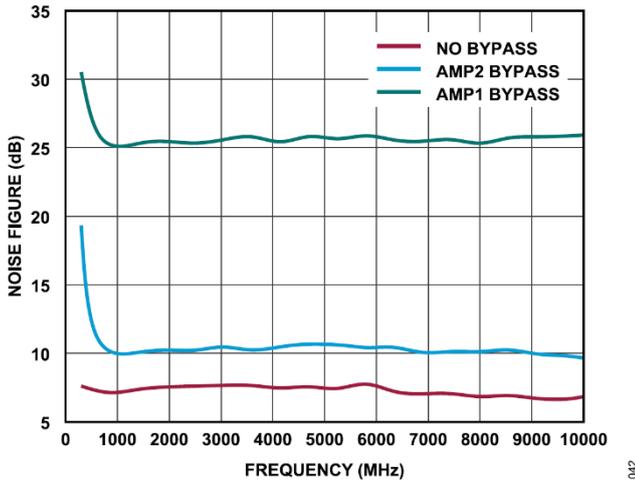


図42. 様々なバイパス・モードでのノイズ指数と周波数の関係

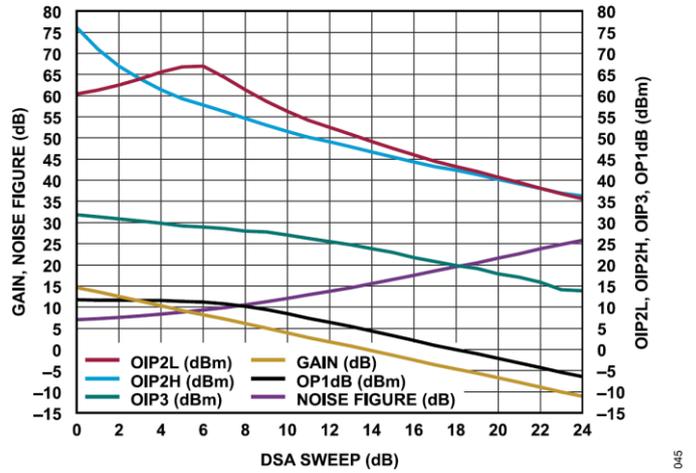


図45. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 600MHz

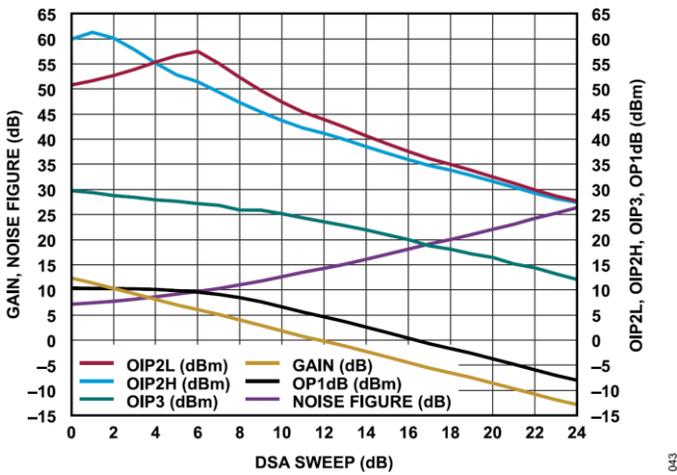


図43. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 380MHz

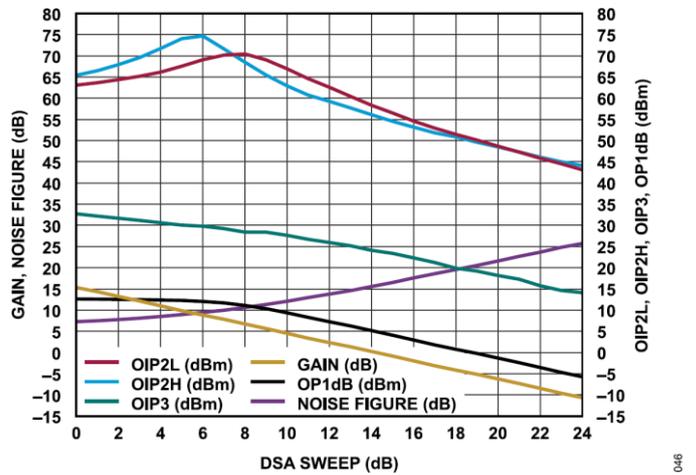


図46. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 1000MHz

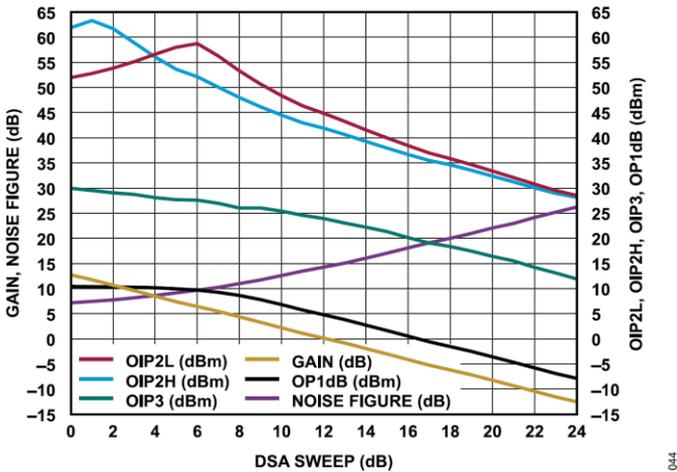


図44. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 400MHz

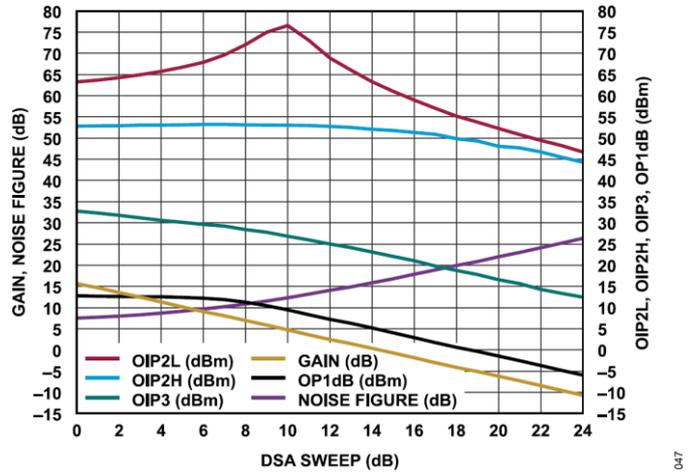


図47. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 2000MHz

代表的な性能特性

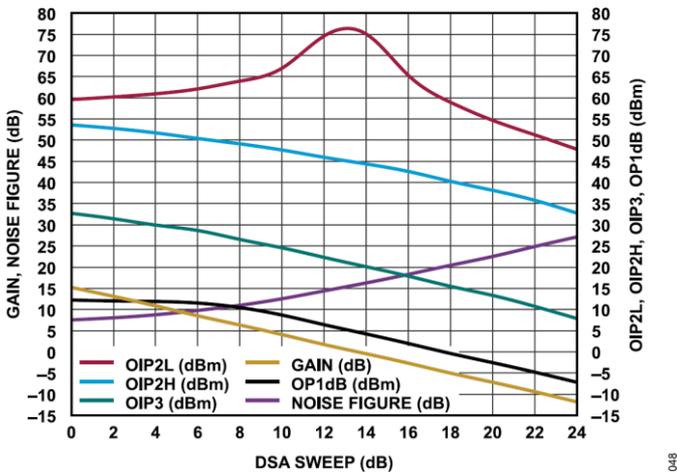


図48. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 4000MHz

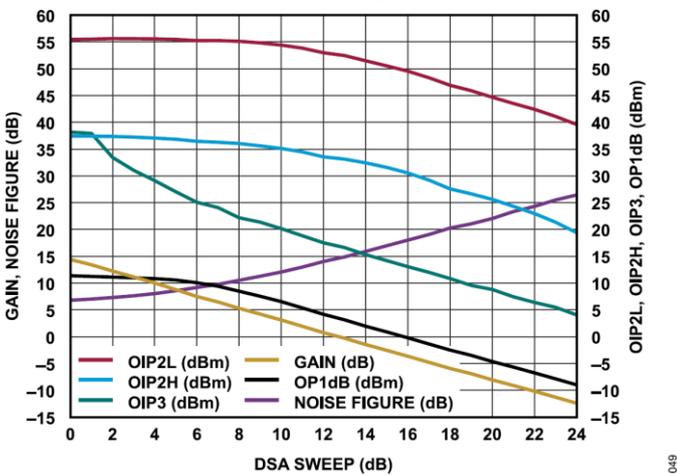


図49. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスイープの関係、周波数 = 8000MHz

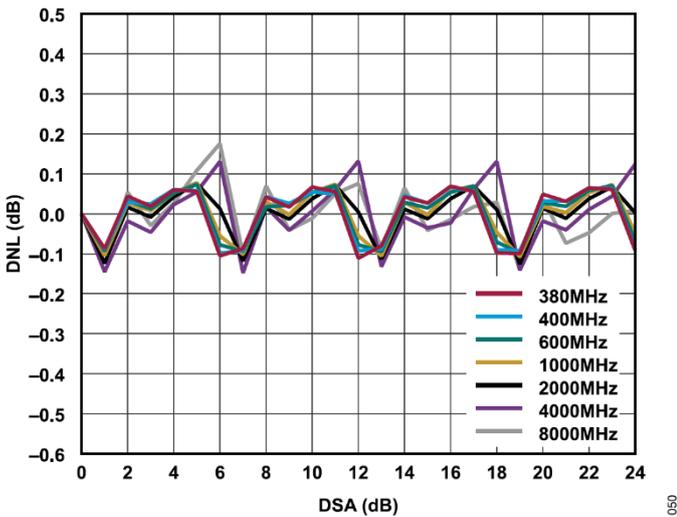


図50. DSAのゲイン・ステップ誤差

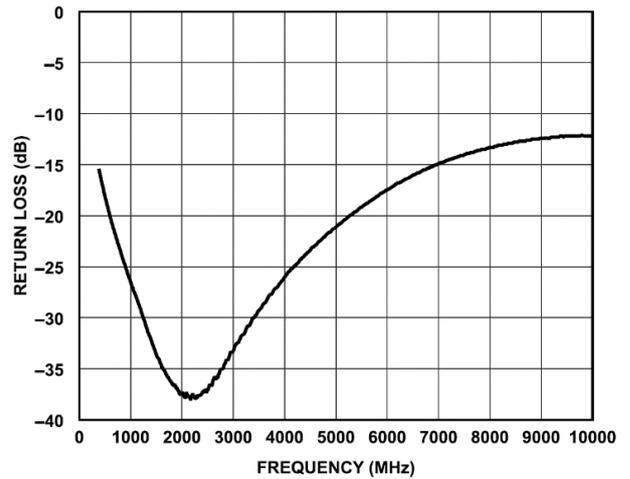


図51. 50Ωマッチでの差動RF入力S11のリターン・ロス

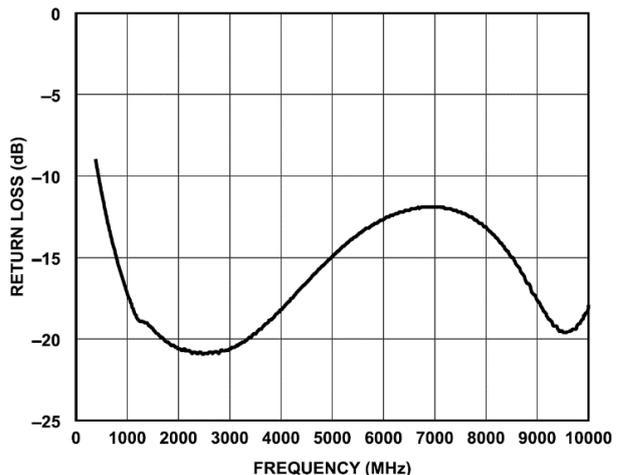


図52. 50ΩマッチでのシングルエンドRF出力S22のリターン・ロス

代表的な性能特性

ADL6331-B

特に指定のない限り、 $V_{33AMP1} = V_{33AMP1A} = V_{33AMP2} = V_{33AMP2A} = V_{33FUSE} = 3.3V$ 、 $T_A = 25^\circ C$ 、固定ゲイン・モード、DSA減衰 = 0dB、 $R_S = 50\Omega$ 差動、 $R_L = 50\Omega$ シングルエンド。OIP3の最適化については、AMP1およびAMP2の製造時の調整とユーザによる調整のセクションを参照してください。

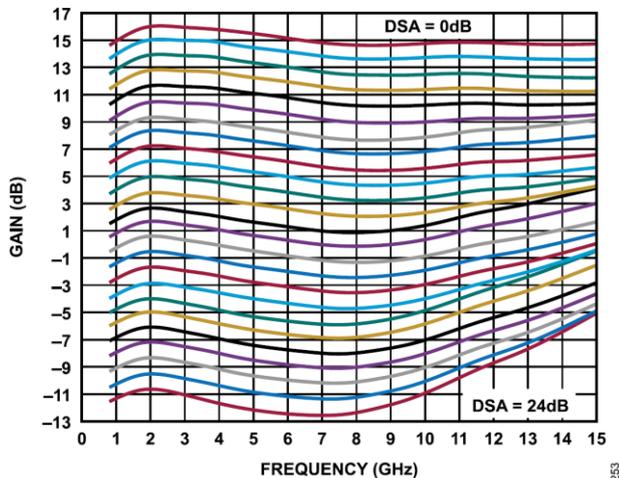


図53. ゲインと周波数の関係、1.0dB DSAステップ

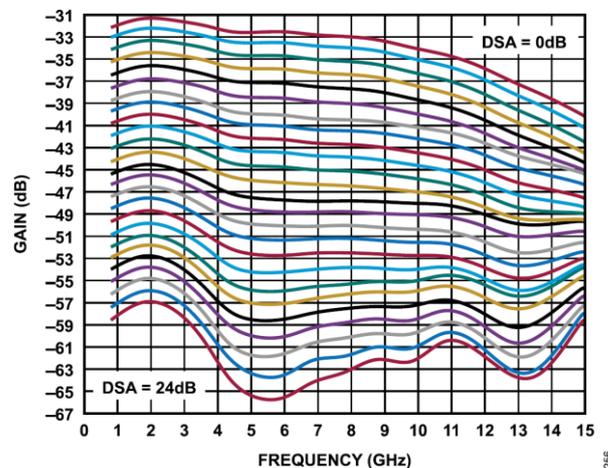


図56. ゲインと周波数の関係、1.0dB DSAステップ、AMP1およびAMP2バイパス

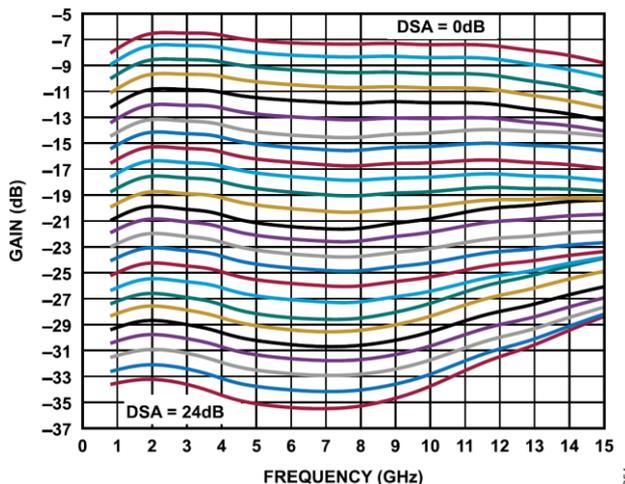


図54. ゲインと周波数の関係、1.0dB DSAステップ、AMP2バイパス

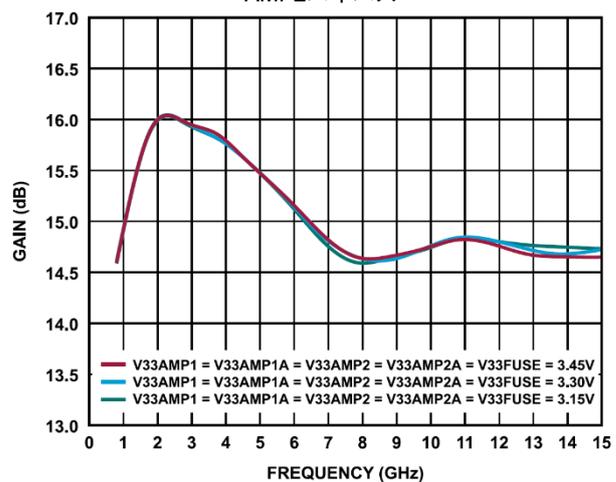


図57. 様々な電源でのゲインと周波数の関係

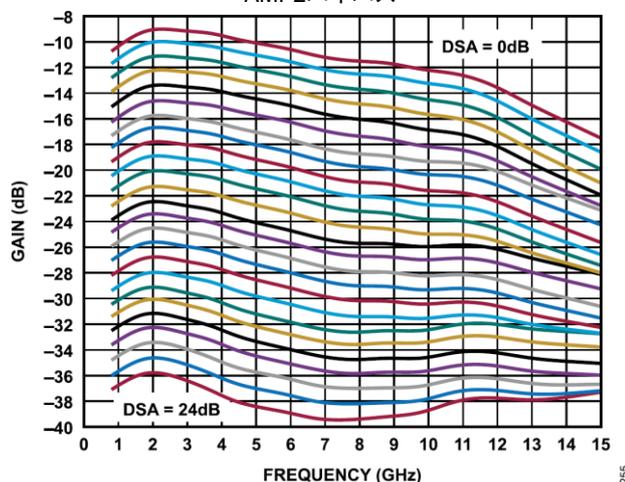


図55. ゲインと周波数の関係、1.0dB DSAステップ、AMP1バイパス

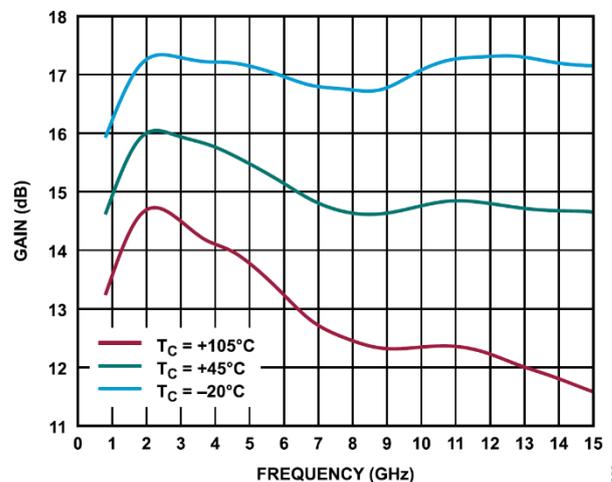


図58. 様々な温度でのゲインと周波数の関係

代表的な性能特性

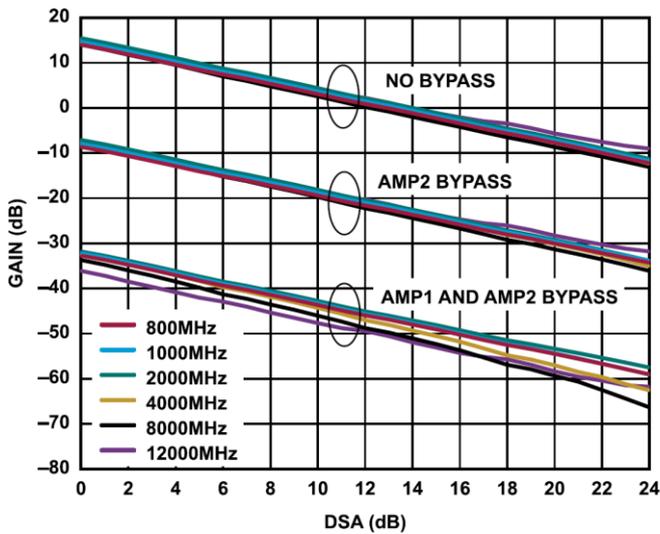


図59. 様々な周波数でのゲインと1.0dB DSAステップの関係、AMP2バイパス

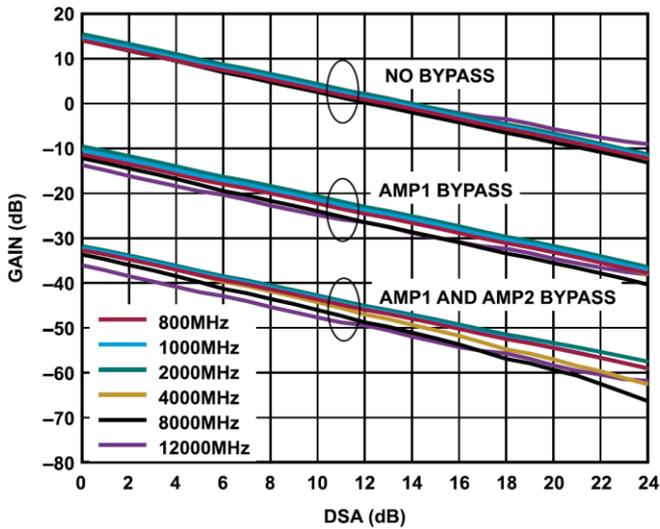


図60. 様々な周波数でのゲインと1.0dB DSAステップの関係、AMP1バイパス

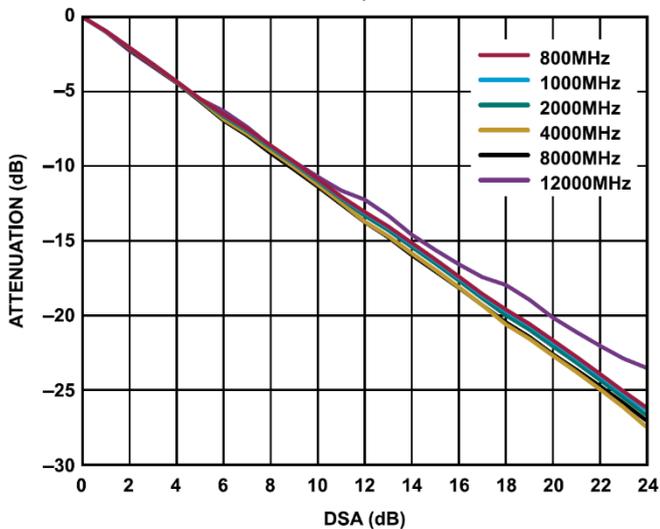


図61. 様々な周波数での減衰とDSAの関係

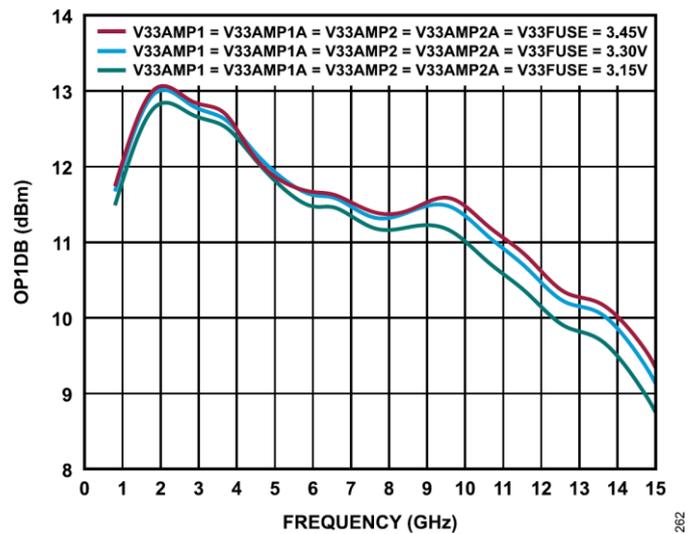


図62. 様々な電源でのOP1dBと周波数の関係

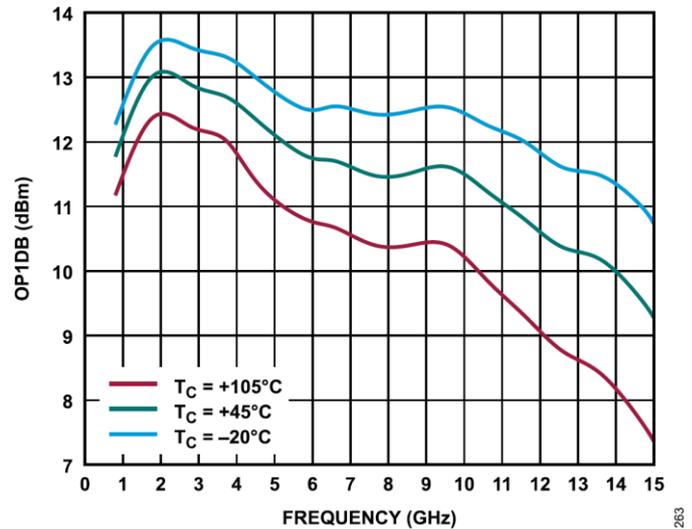


図63. 様々な温度でのOP1dBと周波数の関係

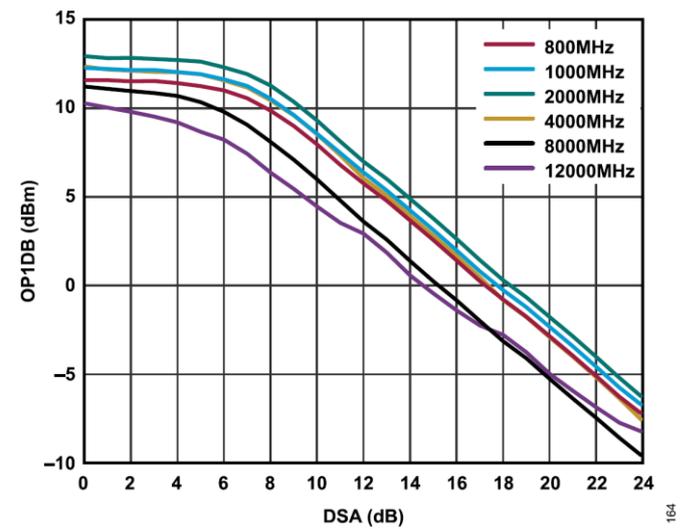


図64. 様々な周波数でのOP1dBと1.0dB DSAステップの関係

代表的な性能特性

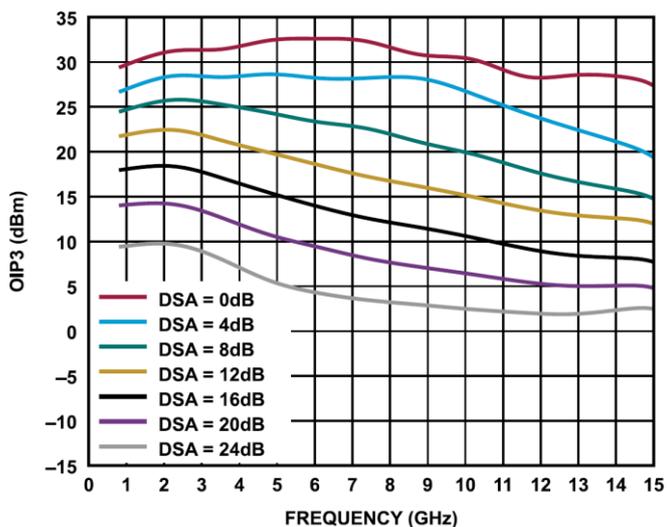


図65. 様々なDSA値でのOIP3と周波数の関係

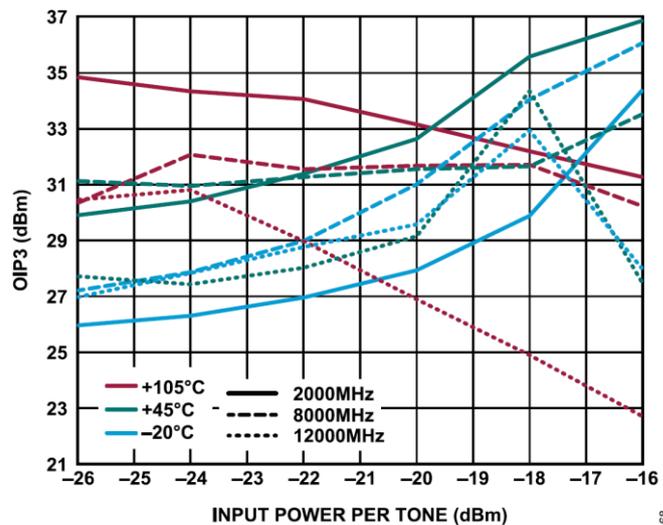


図68. 2000MHz、8000MHz、12000MHzでの様々な温度におけるOIP3とトーンあたりの入力電力の関係

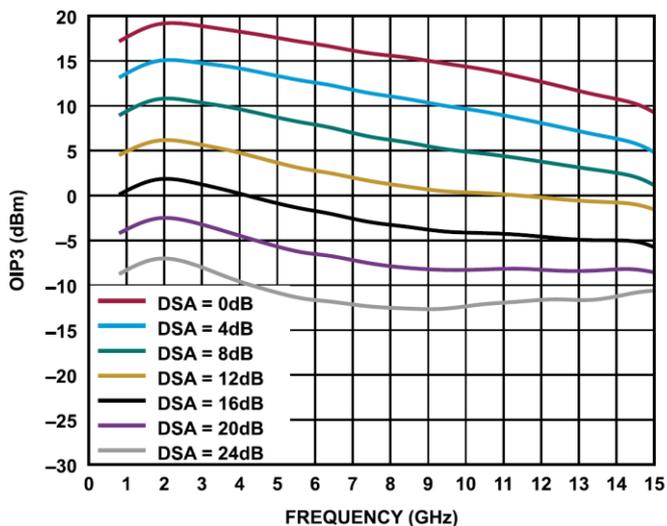


図66. 様々なDSA値でのOIP3と周波数の関係、AMP1バイパス

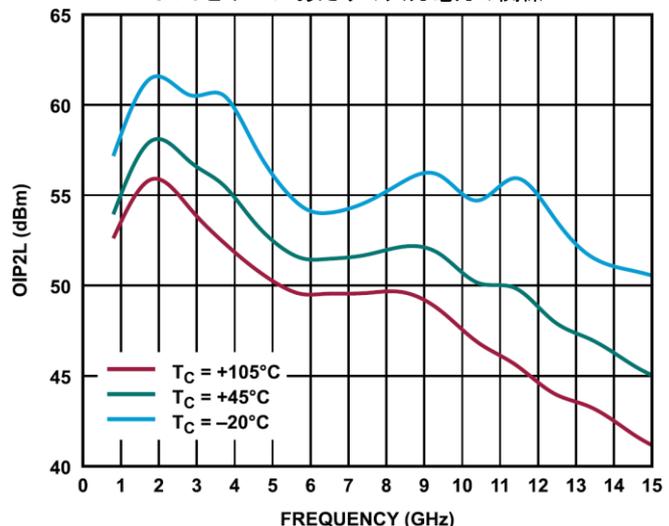


図69. 様々な温度でのOIP2Lと周波数の関係

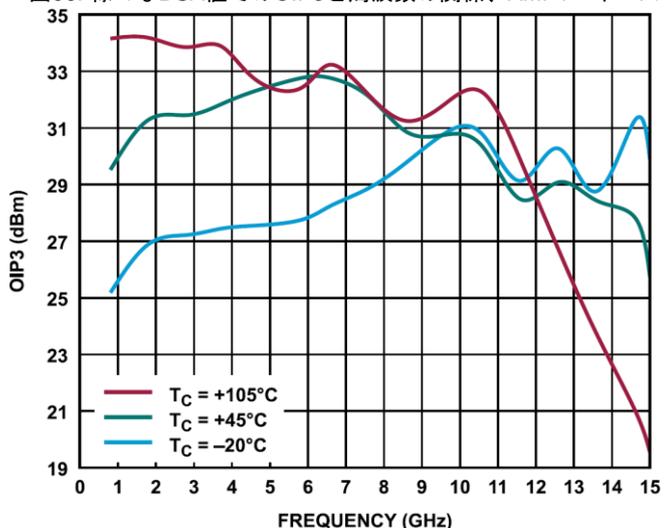


図67. 様々な温度でのOIP3と周波数の関係

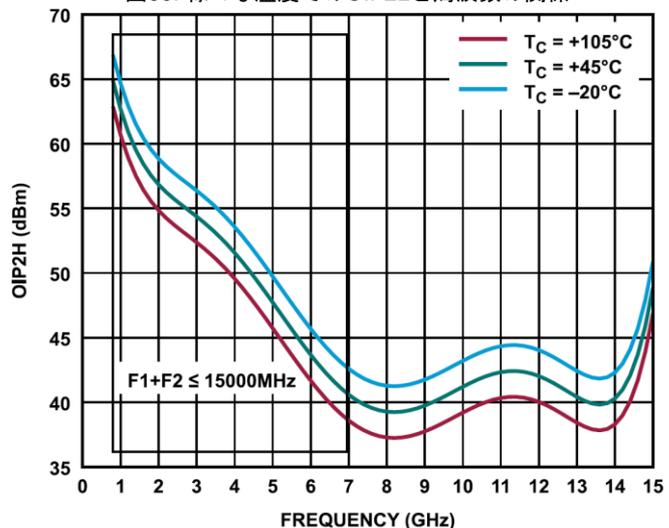


図70. 様々な温度でのOIP2Hと周波数の関係、トーン間隔は1010MHz

代表的な性能特性

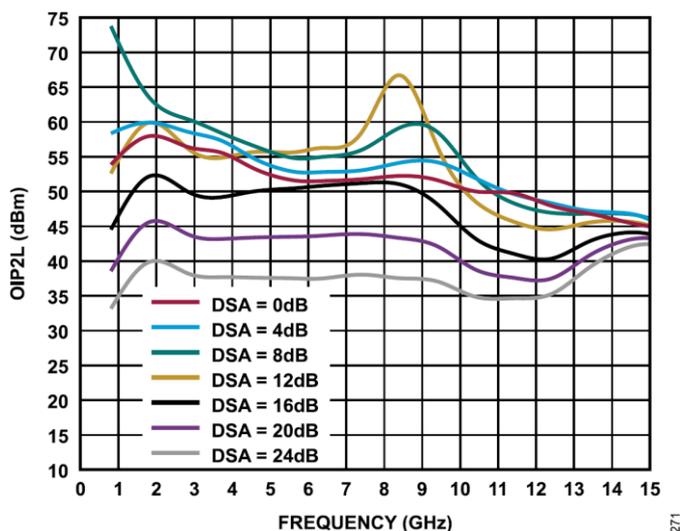


図71. 様々なDSA値でのOIP2Lと周波数の関係

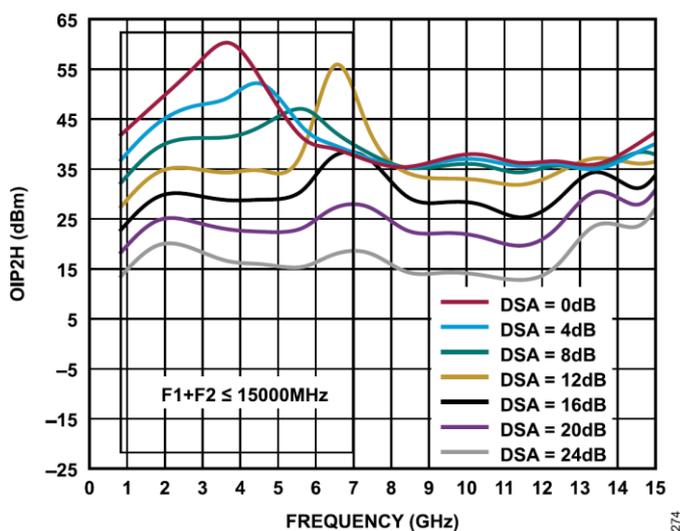


図74. 様々なDSA値でのOIP2Hと周波数の関係、AMP1バイパス、
トーン間隔は1010MHz

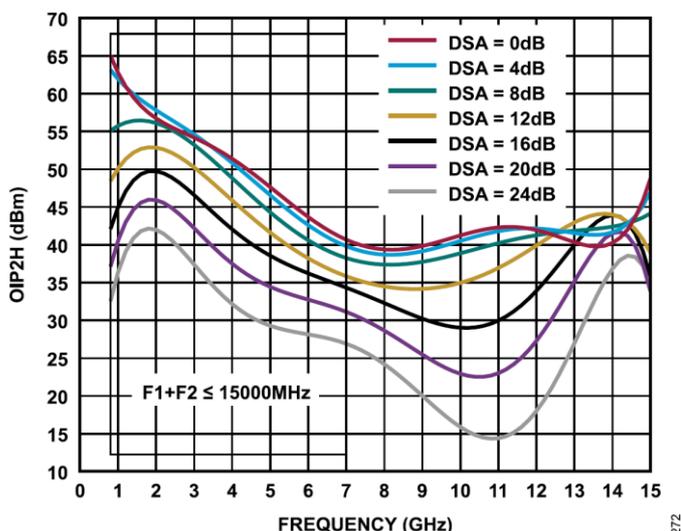


図72. 様々なDSA値でのOIP2Hと周波数の関係、トーン間隔は
1010MHz

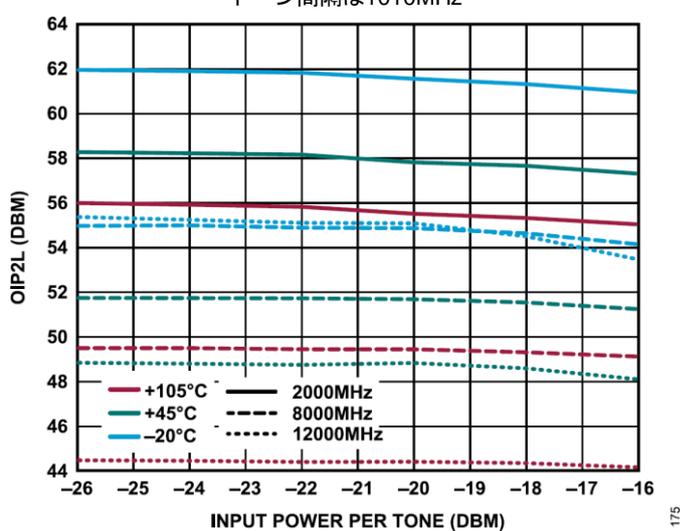


図75. 2000MHz、8000MHz、12000MHzでの様々な温度における
OIP2Lとトーンあたりの入力電力の関係

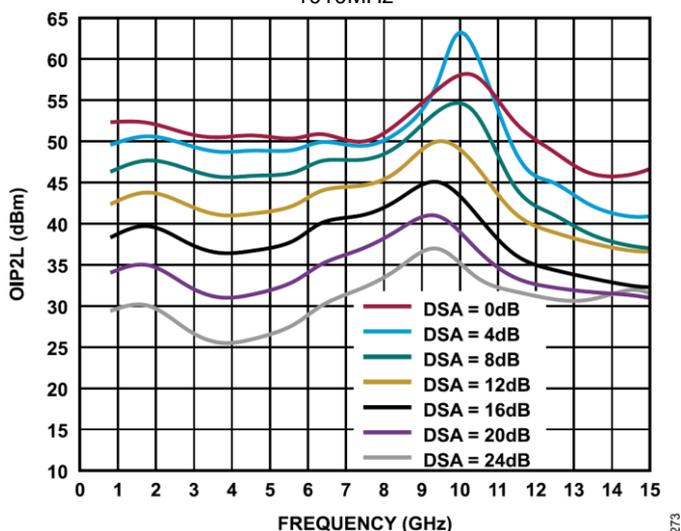


図73. 様々なDSA値でのOIP2Lと周波数の関係、AMP1バイパス

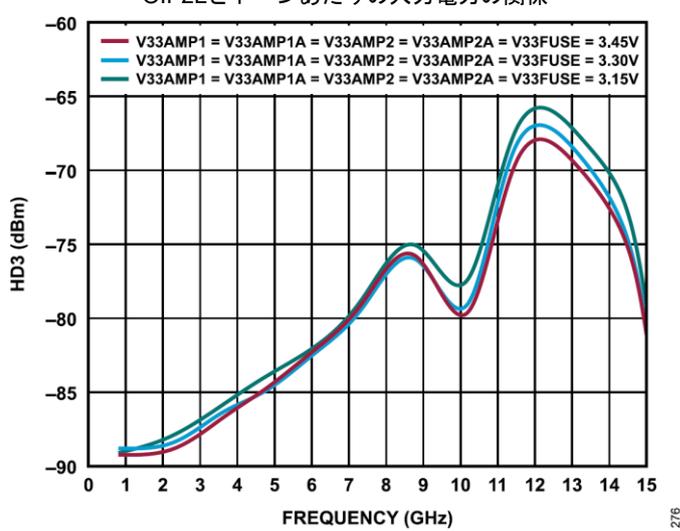


図76. 様々な電源での3次高調波歪み (HD3) と周波数の関係、
出力電力は-7dBm

代表的な性能特性

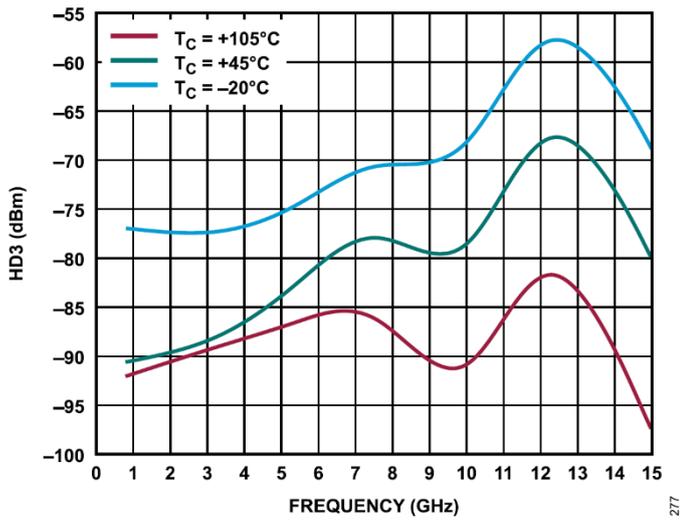


図77. 様々な温度でのHD3と周波数の関係、出力電力は-7dBm

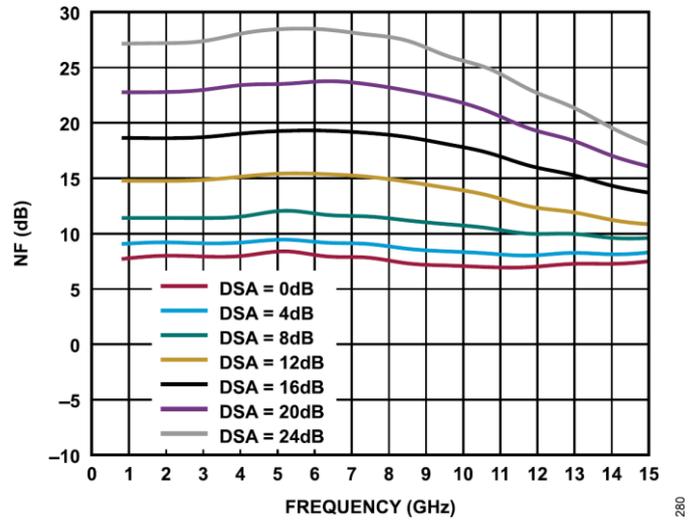


図80. 様々なDSA値でのノイズ指数と周波数の関係

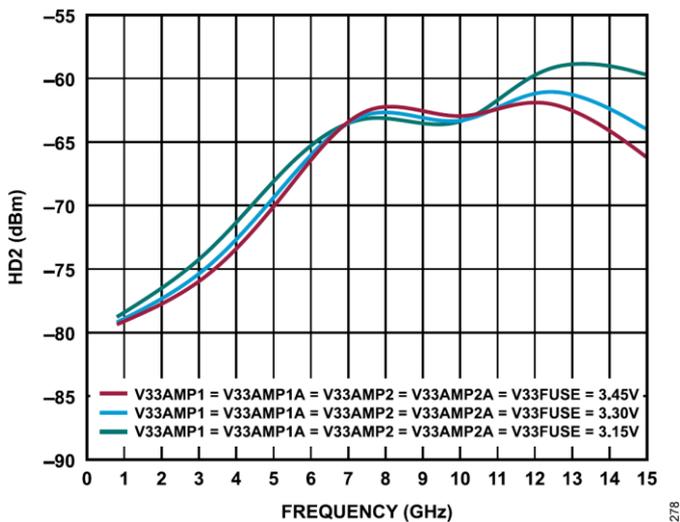


図78. 様々な電源での2次高調波歪み (HD2) と周波数の関係、出力電力は-7dBm

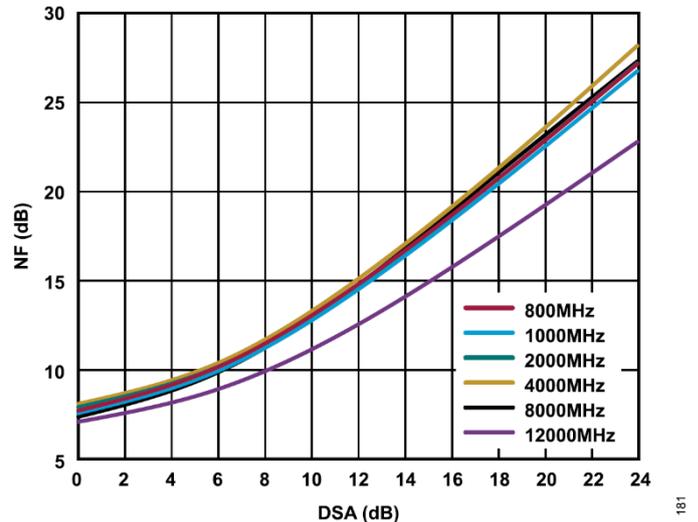


図81. 様々な周波数でのノイズ指数と1.0dB DSAステップの関係

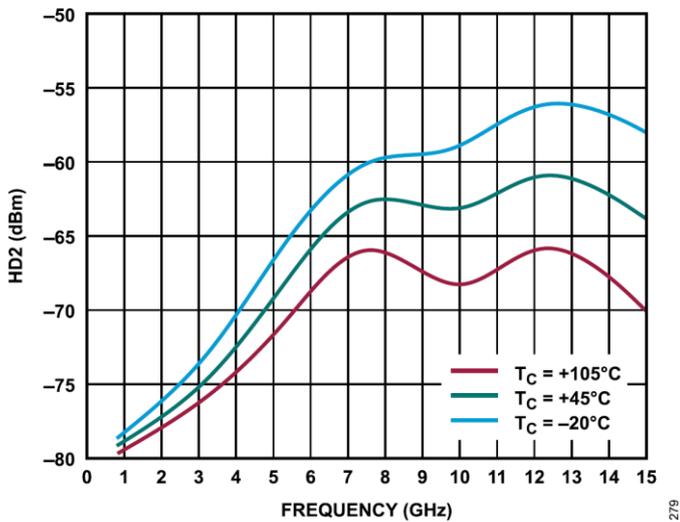


図79. 様々な温度でのHD2と周波数の関係、出力電力は-7dBm

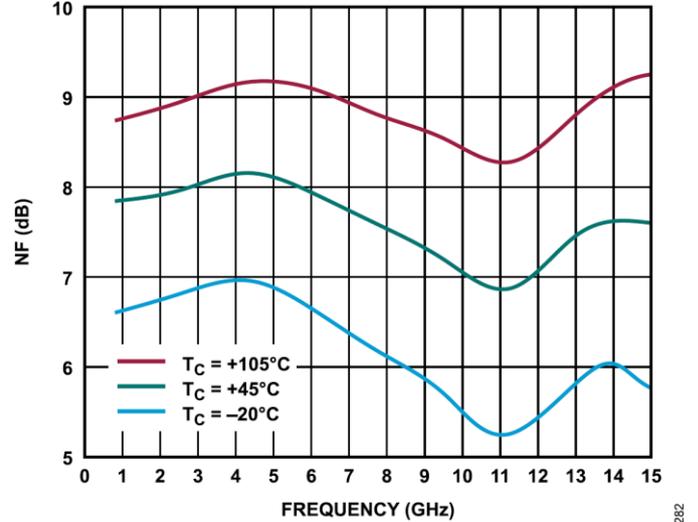


図82. 様々な温度でのノイズ指数と周波数の関係

代表的な性能特性

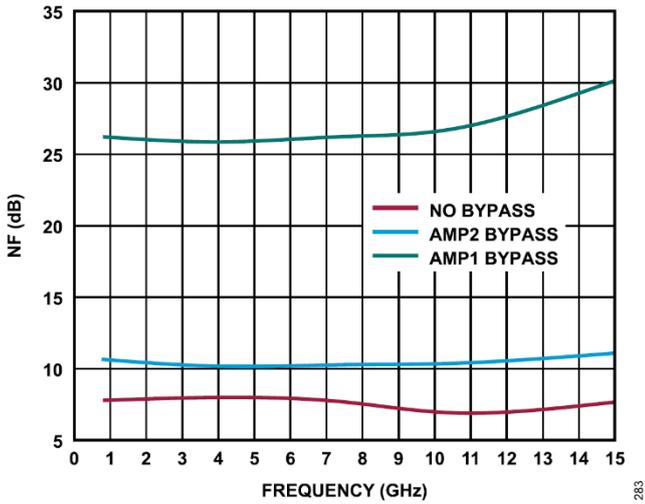


図83. 様々なバイパス・モードでのノイズ指数と周波数の関係

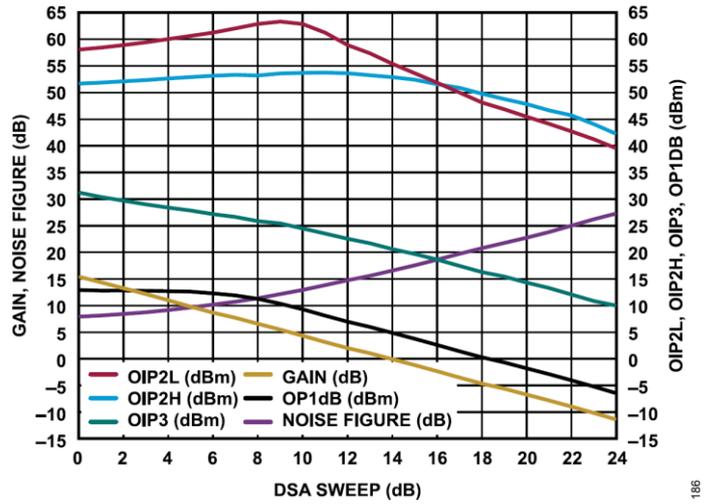


図86. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスweepの関係、周波数 = 2000MHz

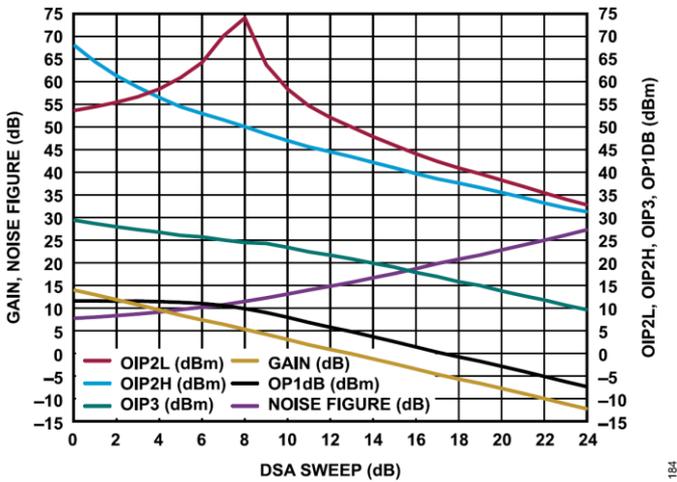


図84. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスweepの関係、周波数 = 800MHz

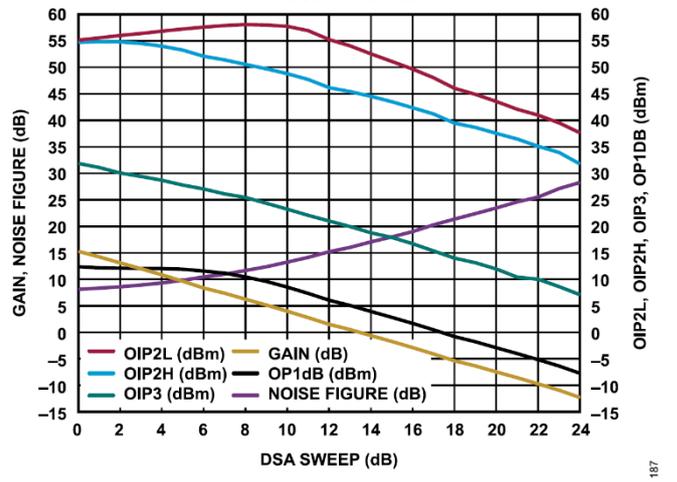


図87. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスweepの関係、周波数 = 4000MHz

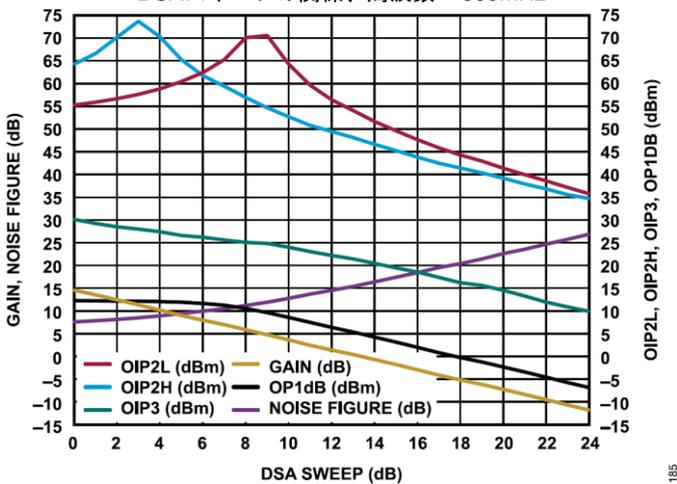


図85. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスweepの関係、周波数 = 1000MHz

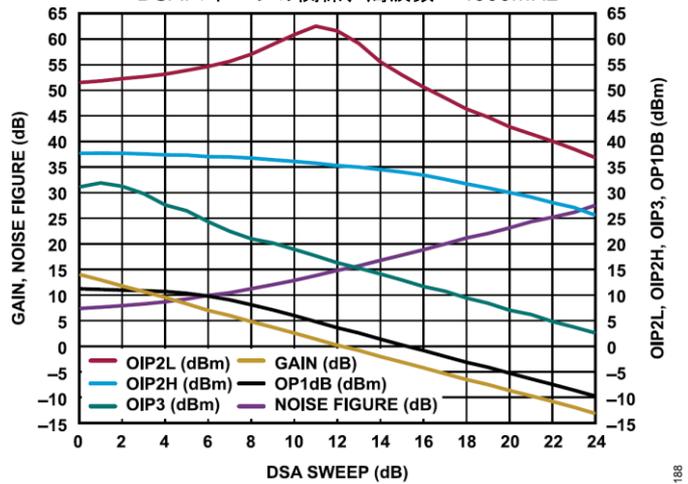


図88. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスweepの関係、周波数 = 8000MHz

代表的な性能特性

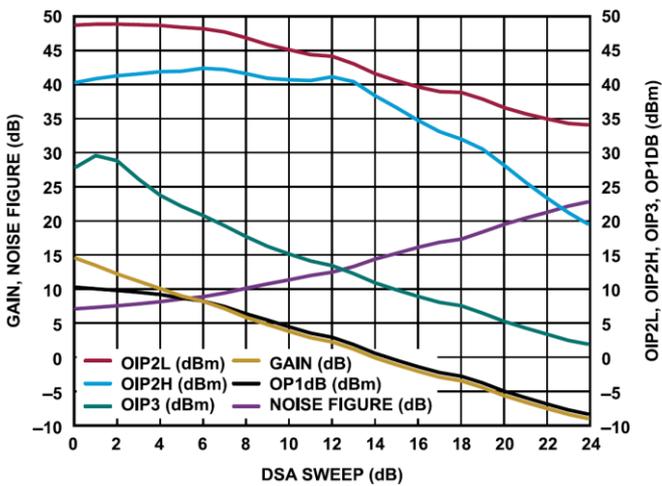


図89. ゲイン、ノイズ指数、OIP2L、OIP2H、OIP3、OP1dBと DSAスweepの関係、周波数 = 12000MHz

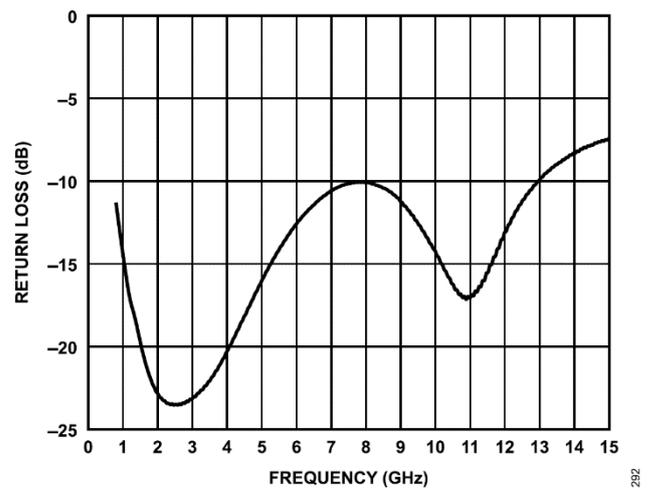


図92. 50ΩマッチでのシングルエンドRF出力S22のリターン・ロス

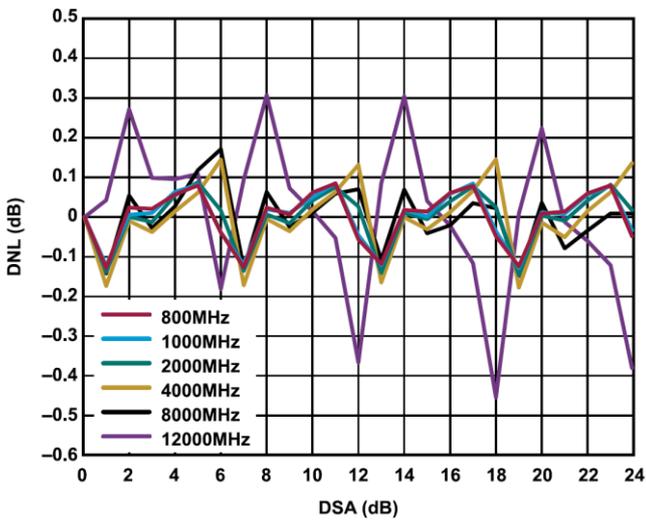


図90. DSAのゲイン・ステップ誤差

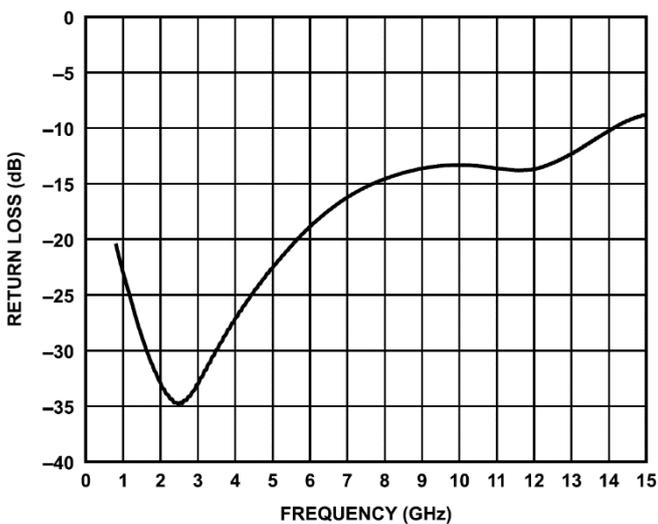


図91. 50Ωマッチでの差動RF入力S11のリターン・ロス

動作原理

ADL6331は、固定ゲインの2つのアンプ（AMP1 \approx 12dB、AMP2 \approx 10dB）と、0dB \sim 24dBの範囲を1dBステップで調整可能なDSAを内蔵しています。AMP1およびAMP2にはバイパス減衰モードがあり、このモードでは、ユーザはこれらのアンプを個別に無効化し、12dBに固定されたアッテネータを通るRF信号経路を設定できます。アンプがバイパス減衰モードに設定されている場合、ゲインの低下は、AMP1で約24dB、AMP2で約22dBで（AMPが有効な場合とバイパス減衰モードになった場合とのゲイン差）、それによって、24dBのDSAを用いた場合に、70dBの全体的なゲイン範囲を1dBステップで制御できます。

更に、バイパス減衰モードではアンプの電流はほぼゼロまで低下します。

図93に示すADL6331の回路ブロックは全て、SPIを通じてプログラム可能です。

RF入出力

ADL6331の入力インピーダンスは差動の50 Ω で、出力インピーダンスはシングルエンドの50 Ω です。そのため、シグナル・チェーンにおいてマッチング回路を用いることなく、50 Ω の差動出力インピーダンスを持つRF DACから50 Ω のシングルエンドPAへのインターフェースが可能になります。

プログラマビリティ・ガイド

レジスタ・マップは、表7に示すように7つの機能ブロックに細分化されます。ADL6331の全レジスタの詳細なリストは、レジスタの一覧のセクションを参照してください。

表7. メモリ・マップの機能グループ

Register Address	Functional Blocks
0x000 to 0x011	SPI configuration
0x100 to 0x101	Function enable
0x104 to 0x109	AMP1 performance trimming and tuning
0x10A to 0x10D	RF path 4 preconfigurations: AMP1, AMP2, Fixed gain/Bypass, DSA attenuation
0x10F to 0x115	AMP2 performance trimming and tuning
0x120 to 0x121	Auxiliary mux selection (Debug only), SPI supply control

表7. メモリ・マップの機能グループ (続き)

Register Address	Functional Blocks
0x140 to 0x145	FUSE space. Read only. Trimmed parameters for AMP1 and AMP2 are stored.

機能および信号経路の有効化

各回路ブロックのイネーブル・ビットは、レジスタ0x100 (表8) および0x101 (表9) にあります。図93に、レジスタ0x100とレジスタ0x101の対応するイネーブル制御を行うブロックを個別に赤色で強調して表示します。ENPピンはADL6331の第一のイネーブル・ピンで、アクティブ・ハイです。イネーブル・レジスタのビットは、ENPピンの状態とは無関係に設定できます。

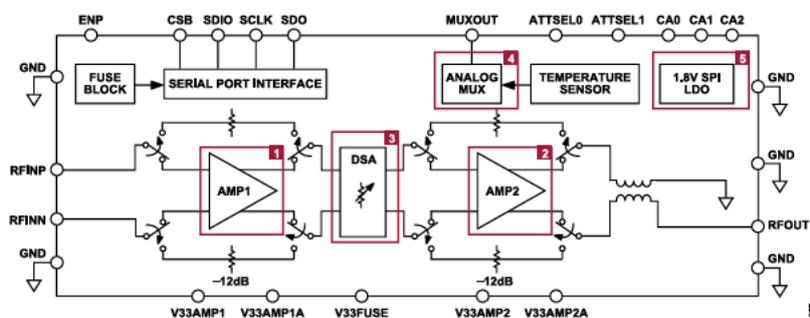


図93. 信号経路のイネーブルのブロック図

表8. レジスタ0x100 : MUXおよびLDOのイネーブル・レジスタ

Bits	Bit Name	Description	Reset	Access
[7:5]	RESERVED	Reserved.	0x0	R
4	AMUX_BG_EN	AMUX Bandgap Enable. If MUXOUT (Pin 7) is not used, set to 0. 0: Disable AMUX Bandgap. 1: Enable AMUX Bandgap.	0x1	R/W
3	RESERVED	Reserved.	0x0	R
2	RESERVED	Reserved.	0x0	R/W
1	RESERVED	Reserved.	0x0	R
0	LDO18_EN	1.8 V LDO Enable for AMUX Block. If MUXOUT (Pin 7) is not used, set to 0. 0: Disable. 1: Enable.	0x1	R/W

表9. レジスタ0x101 : AMP1/AMP2およびDSAのイネーブル・レジスタ

Bits	Bit Name	Description	Reset	Access
[7:3]	RESERVED	Reserved.	0x0	R
2	AMP2_EN	AMP2 Enable. 0: Disable. 1: Enable.	0x0	R/W
1	RESERVED	DSA Enable. 0: Disable. 1: Enable.	0x0	R/W
0	LDO18_EN	AMP1 Enable. 0: Disable. 1: Enable.	0x0	R/W

プログラマビリティ・ガイド

AMP1およびAMP2の製造時の調整とユーザーによる調整

アンプの最初の最適化は製造時に実行され、調整し最適化が行われたパラメータは、FUSEブロックと表記された不揮発性メモリ（NVM）に格納されています。AMP1ではレジスタ0x104、レジスタ0x105、レジスタ0x106のMSBが1（デフォルト）、AMP2ではレジスタ0x110、レジスタ0x111、レジスタ0x112のMSBが1（デフォルト）の場合、動作時には製造時に調整したパラメータが自動的に用いられます（通常動作モードの場合）。これらの値は、レジスタ0x140、レジスタ0x141、レジスタ0x142、レジスタ0x143、レジスタ0x144、レジスタ0x145で読み出すことができます（表16）。AMP1ではレジスタ0x104、レジスタ0x105、レジスタ0x106のMSBが0、AMP2ではレジスタ0x110、レジスタ0x111、レジスタ0x112のMSBが0に設定されている場合、ユーザーは次のレジスタを調整できます。

- ▶ AMP1_IGREF（レジスタ0x104）
- ▶ AMP1_IDREF_Z（レジスタ0x105）
- ▶ AMP1_IDREF_P（レジスタ0x106）
- ▶ AMP2_IGREF（レジスタ0x110）
- ▶ AMP2_IDREF_Z（レジスタ0x111）
- ▶ AMP2_IDREF_P（レジスタ0x112）

ADL6331-Aの場合のみ、表10のレジスタ0x103～レジスタ0x115のデフォルト（リセット）値を用います。ADL6331-Bの場合は、広い周波数範囲全体にわたり最適な性能のOIP3を実現できるよう、レジスタ0x107のAMP1_CROSS_Zおよびレジスタ0x113のAMP2_CROSS_Zの両方を0に設定する必要があります消費電流を更に低減する必要がある場合は、アプリケーション情報のセクションを参照してください。

表10. AMP1およびAMP2の製造時の調整とユーザーによる調整のためのレジスタ

Reg	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x103	[7:0]	RESERVED				AMP1_MON_EN	AMP1_CROSS_S_EN	AMP1_IM3_EN	AMP1_LP_MODE
0x104	[7:0]	NVM_TRM_A MP1_IGREF	RESERVED			AMP1_IGREF			
0x105	[7:0]	NVM_TRM_A MP1_IDREF_Z	RESERVED	AMP1_IDREF_Z					
0x106	[7:0]	NVM_TRM_A MP1_IDREF_P	RESERVED			AMP1_IDREF_P			
0x107	[7:0]	RESERVED			AMP1_CROSS_Z				
0x108	[7:0]	RESERVED				AMP1_CROSS_P			
0x109	[7:0]	SPARE_010B				AMP1_IM3_CAP			
0x10F	[7:0]	RESERVED				AMP2_MON_EN	AMP2_CROSS_S_EN	AMP2_IM3_EN	AMP2_LP_MODE
0x110	[7:0]	NVM_TRM_A MP2_IGREF	RESERVED			AMP2_IGREF			
0x111	[7:0]	NVM_TRM_A MP2_IDREF_Z	RESERVED	AMP2_IDREF_Z					
0x112	[7:0]	NVM_TRM_A MP2_IDREF_P	RESERVED			AMP2_IDREF_P			
0x113	[7:0]	RESERVED			AMP2_CROSS_Z				
0x114	[7:0]	RESERVED				AMP2_CROSS_P			
0x115	[7:0]	SPARE_011B				AMP2_IM3_CAP			

プログラマビリティ・ガイド

RF経路の事前設定

ADL6331には、事前設定可能なRFゲイン設定が4つあり、これらはATTSEL0ピンおよびATTSEL1ピンで選択できます。設定可能なパラメータ（AMP1およびAMP2の固定ゲイン・モードまたはバイパス減衰モード、およびDSAの減衰レベル）は4つのレジスタ空間（表11、表12、表13、表14、表15）に格納され、これらをRF状態A、状態B、状態C、状態Dと呼びます。

▶ 状態A : SIG_PATH0_2（レジスタ0x10A）

- ▶ 状態B : SIG_PATH1_2（レジスタ0x10B）
- ▶ 状態C : SIG_PATH2_2（レジスタ0x10C）
- ▶ 状態D : SIG_PATH3_2（レジスタ0x10D）

各モードは、リセットがアサートされた後にRFチェーン全体を設定できます。各モードのデフォルト設定を表11に示します。ユーザは動作の前または動作中にパラメータを上書きできます。

この機能により、非同期外部制御を用いて短時間にRF性能を切り替えることができます。

表11. デフォルトおよびリセットRFパラメータを持つ4つの事前設定レジスタ

RF State	ATTSEL1 (Pin 6)	ATTSEL0 (Pin 13)	Register Address	Register Name	Bits	Bit 7	Bit 6	Bits[5:0], DSA Setting 0 dB to 24.0 dB at 1.0 dB Step
						AMP2 Setting: Bypass attenuation/ Fixed Gain	AMP1 Setting: Bypass attenuation/ Fixed Gain	
A	0	0	0x10A	SIG_PATH0_2	[7:0]	Default = bypass attenuation	Default = bypass attenuation	Default = 24.0 dB attenuation
B	0	1	0x10B	SIG_PATH1_2	[7:0]	Default = fixed gain	Default = fixed gain	Default = 16.0 dB attenuation
C	1	0	0x10C	SIG_PATH2_2	[7:0]	Default = fixed gain	Default = fixed gain	Default = 8.0 dB attenuation
D	1	1	0x10D	SIG_PATH3_2	[7:0]	Default = fixed gain	Default = fixed gain	Default = 0.0 dB attenuation

表12. レジスタ0x10A : 状態A

Bits	Bit Name	Description	Reset	Access
7	AMP2_BYPASS0	Amplifier 2 bypass State A setting 0: Fixed gain mode 1: Bypass attenuation mode	0x1	R/W
6	AMP1_BYPASS0	Amplifier 1 bypass State A setting 0: Fixed gain mode 1: Bypass attenuation mode	0x1	R/W
[5:0]	DSA_ATTNO	DSA attenuator State A setting 0: 0 dB 1: 1 dB 2: 2 dB ... 24: 24 dB	0x18	R/W

表13. レジスタ0x10B : 状態B

Bits	Bit Name	Description	Reset	Access
7	AMP2_BYPASS1	Amplifier 2 bypass State B setting 0: Fixed gain mode 1: Bypass attenuation mode	0x0	R/W
6	AMP1_BYPASS1	Amplifier 1 bypass State B setting 0: Fixed gain mode 1: Bypass attenuation mode	0x0	R/W
[5:0]	DSA_ATTN1	DSA attenuator State B setting 0: 0 dB 1: 1 dB ...	0x10	R/W

プログラマビリティ・ガイド

表13. レジスタ0x10B : 状態B (続き)

Bits	Bit Name	Description	Reset	Access
		16: 16 dB ... 24: 24 dB		

表14. レジスタ0x10C : 状態C

Bits	Bit Name	Description	Reset	Access
7	AMP2_BYPASS2	Amplifier 2 bypass State C setting 0: Fixed gain mode 1: Bypass attenuation mode	0x0	R/W
6	AMP1_BYPASS2	Amplifier 1 bypass State C setting 0: Fixed gain mode 1: Bypass attenuation mode	0x0	R/W
[5:0]	DSA_ATT2	DSA attenuator State C setting 0: 0 dB 1: 1 dB ... 8: 8 dB ... 24: 24 dB	0x8	R/W

表15. レジスタ0x10D : 状態D

Bits	Bit Name	Description	Reset	Access
7	AMP2_BYPASS3	Amplifier 2 bypass State D setting 0: Fixed gain mode 1: Bypass attenuation mode	0x0	R/W
6	AMP1_BYPASS3	Amplifier 1 bypass State D setting 0: Fixed gain mode 1: Bypass attenuation mode	0x0	R/W
[5:0]	DSA_ATT3	DSA attenuator State D setting 0: 0 dB 1: 1 dB ... 24: 24 dB	0x0	R/W

補助マルチプレクサ出力／温度センサー

ADL6331は、補助マルチプレクサの制御ブロックを複数備えており、様々な動作モードと検出ポイントが可能です。いずれもユーザが使用できますが、多くのパラメータはアナログ・デバイセズによる製造プロセスの間のモニタリング用に用いられます。デフォルト（リセット）レジスタ設定を使用することで、ユーザは温度に比例する内部電圧をモニタでき、これを用いてMUXOUT（7番ピン）から温度変化を追跡できます。温度センサー機能を使用しない場合は、0x100レジスタのAMUX_BG_EN[4]およびLDO18_EN[0]をゼロに設定することでこれを無効化できます。

不揮発性メモリ（FUSE）空間（参考資料）

不揮発性メモリ（NVM）空間はユーザからは見えません。しかしNVMから0x140、0x141、0x142、0x143、0x144、0x145の各レジスタに値をロードすることができます（表16）。これらの値が使用できるのは、AMP1ではレジスタ0x104、レジスタ0x105、レジスタ0x106のMSB、AMP2ではレジスタ0x110、レジスタ0x111、レジスタ0x112のMSBが1の場合（デフォルト／リセット）です。

プログラマビリティ・ガイド

表16. NVMレジスタ

Register Address	Register Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x140	FUSE_REA DBACK_0	[7:0]			RESERVED					TRM_AMP1_IGREF_RDBK
0x141	FUSE_REA DBACK_1	[7:0]		RESERVED						TRM_AMP1_IDREF_Z_RDBK
0x142	FUSE_REA DBACK_2	[7:0]			RESERVED					TRM_AMP1_IDREF_P_RDBK
0x143	FUSE_REA DBACK_3	[7:0]			RESERVED					TRM_AMP2_IGREF_RDBK
0x144	FUSE_REA DBACK_4	[7:0]		RESERVED						TRM_AMP2_IDREF_Z_RDBK
0x145	FUSE_REA DBACK_5	[7:0]			RESERVED					TRM_AMP2_IDREF_P_RDBK

シリアル・ポート・インターフェース (SPI)

ADL6331のSPIを使用して3線式または4線式SPIモードを介し、デバイスが特定の機能や動作を実行するように設定できます。シリアル・ポート・インターフェースは、4線式SPIモードの場合、SCLK、SDIO、SDO、CSBの4つの制御ラインで構成されます。3線式SPIモードの場合SCLK、SDIO、CSBが用いられ、これがSPIモードのデフォルト状態です。4線式SPIモードを有効化するには、レジスタ0x000のSDOACTIVE[3]およびSDOACTIVE_[4]を1に設定する必要があります。SPIポートのタイミング条件を表3に示します。

ADL6331のプロトコルは、読出し/書き込みビット、4個のチップ・アドレス・ビット (MSBは常に0)、9個のレジスタ・アドレス・ビット、それに続く8個のデータ・ビットで構成されています。アドレスとデータの両方のフィールドは、デフォルトではMSBファーストで構成されLSBで終了します。デバイスを正しくアドレス指定するには、チップ・アドレス・プレフィックス・ビットが、外部設定されたチップ・アドレスであるピンCA2、ピンCA1、ピンCA0と一致する必要があります。

SPIに書き込むためのADL6331の入力ロジック・レベルは、1.8Vまたは3.3Vです。

リードバック・サイクルでは、SPI_1P8_3P3_CTRLビット (レジスタ0x121、ビット4) を設定することでSDOを1.8V (デフォルト) または3.3Vのリードバック出力レベルに設定できます。

SPIバスを共用するための複数チップの設定

最大8個のADL6331デバイスを、一本のCSBラインを全てのデバイスに用いて同一の3線式または4線式SPIでアドレス指定できます。この機能を実現するため、ADL6331のチップ・アドレス・ピン (ピンCA2、ピンCA1、ピンCA0) を用いてSPI書き込みチップ・アドレス・プレフィックスでチップを特定できます (図2に示すSPIインターフェース・ポートを参照)。

ADL6331は、4個のMSBがチップ・アドレス・ピンで設定されたチップ・アドレスに等しくないアドレスへの書き込みは無視します。また、デバイスは、4個のMSBチップ・アドレス・プレフィックス・ビットがチップ・アドレス・ピンに等しいアドレスについてのみアクセスを受け入れます。ただ1つの例外は、アドレス0x000でのソフトウェア・リセットです。共用バス上の全てのADL6331チップは、SPIホスト・コントローラからの0x000レジスタの0x81ソフトウェア・リセットを受け入れます。

図94に、関連するチップ・アドレス・プレフィックス・ビットを用いてチップ・アドレス・ピンCA2、ピンCA1、ピンCA0を設定する方法を示します。

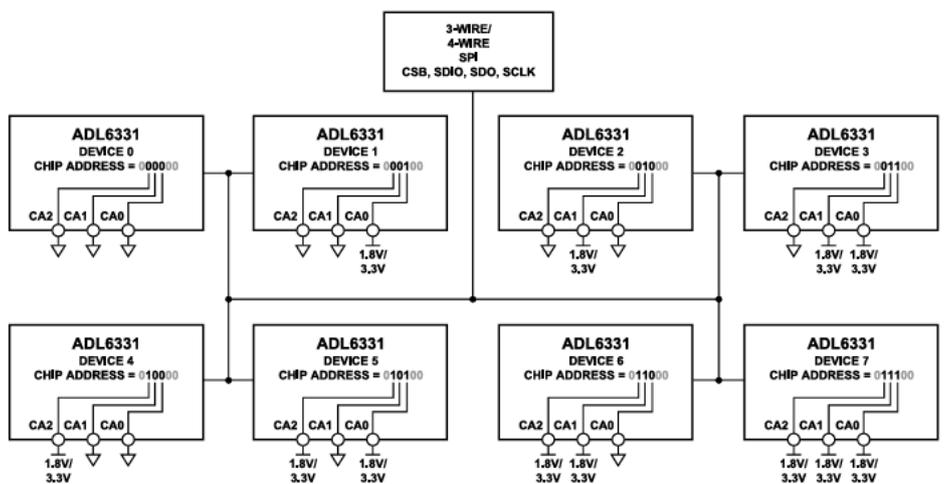


図94. SPIバスを共用するための複数チップの設定

シリアル・ポート・インターフェース (SPI)

初期化シーケンス

ADL6331にはソフトウェア・リセットによってトリガされる初期化シーケンスが組み込まれており、これによりアンプの通常動作時にNVMからメモリにデータを正しくロードできます。キャリブレーションおよび調整が行われたAMP1とAMP2の設定値が製造時にプログラムされ、出荷前にNVMに格納されます。ソフトウェア・リセットが実行された後、動作させるには、NVMのデータをデジタルのレジスタ0x140～レジスタ0x145にロードする必要があります。ソフトウェア・リセットがアサートされた後、このロード・プロセスには4回のSPIサイクル（書き込みまたは読み出し）が必要です。ロード・プロセスはENPピンの状態（ハイかローか）には依存しません。

デバイスを初期化する全手順は次のとおりです。

1. 3.3Vを供給します。
2. ソフトウェア・リセットを適用します。
3. 4つのSPIコマンド（読み出しまたは書き込み）をADL6331に送信します。

3.3Vの供給後直ちに、レジスタ0x000に0x81を送信してソフトウェア・リセットを行うことが常に推奨されます。

表17. 例1：SPIコマンド書き込み

Address	Write Data	Notes
0x000	0x81	Software reset
0x000	0x18	1st Cycle: Configure 4-wire SPI mode
0x00A	0x01	2nd Cycle: Scratch pad writing. Any data is fine.
0x00A	0x02	3rd Cycle: Scratch pad writing. Any data is fine.
0x00A	0x03	4th Cycle: Scratch pad writing. Any data is fine.
0x101	0x07	The data in Register 0x140 to Register 0x145 are correctly loaded to use for operation. Enable AMP2, DSA, and AMP1 functions to start operations. Default register values are used for RF performance.

3.3Vの供給後、次の手順を実行します（表17参照）。

1. レジスタ0x000に0x81を書き込んでソフトウェア・リセットを実行します。
2. レジスタ0x000に0x18を書き込んで4線式SPIモードを設定します。
3. レジスタ0x00Aに0x01を書き込みます¹。
4. レジスタ0x00Aに0x02を書き込みます。
5. レジスタ0x00Aに0x03を書き込みます。
6. レジスタ0x101に0x07を書き込んでAMP2、DSA、AMP1を有効にし、通常のアンプ動作を開始します。

4つの書き込みサイクルが送信された後、レジスタ0x140～レジスタ0x145は正しくロードされ、動作時に用いることができます。

表17は、ADL6331を通常動作で起動するための基本シーケンスです。全てのシーケンスが完了したら、レジスタはデフォルト設定に設定されます。ENPピンが3.3V電源と結合してハイに設定されたときにADL6331から予期せぬ信号が出力されるのを防止するために、最後のSPIサイクル（ステップ6）で（レジスタ0x101で）AMP2、DSA、AMP1を有効化することを推奨します。

¹ レジスタ0x00Aはスクラッチ・ページと呼ばれ、SPI通信テスト用の読書きレジスタであり、ADL6331の性能には影響しません。

基本的な接続方法

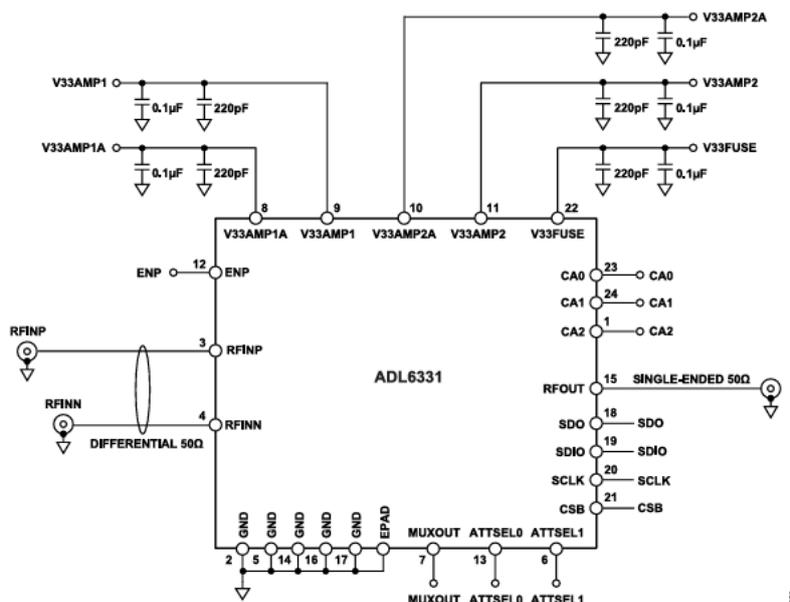


図95. 基本的な接続方法

表18. 基本的な接続方法

Functional Blocks	Pin No.	Mnemonic	Description	Basic Connection
Chip Address Selection	1, 23, 24	CA2, CA1, CA0	SPI chip address selects	Chip address selection.
Ground	2, 5, 14, 16, 17	GND	Ground	Connect the GND pins to the ground of the PCB.
RF Input	3, 4	RFINP, RFINN	RF differential input	50 Ω differential input. AC-coupled is always recommended.
Preprogrammed Mode	6, 13	ATTSEL1, ATTSEL0	Preprogrammed mode selection	
MUXOUT	7	MUXOUT	Analog voltage output from the temperature sensor	Voltage measurement pin for reading chip temperature. Leave as no connect when not in use.
3.3 V	8 to 11	V33AMP1A, V33AMP1, V33AMP2A, V33AMP2	Amplifier, analog supply voltage	Decouple Pin 8 to Pin 11 via 220 pF, 0.1 μF capacitors to ground. Ensure that the decoupling capacitors are located close to the pins.
Device Enable	12	ENP	Active-high for normal operation	Decouple Pin 22 via 220 pF, 0.1 μF capacitors to ground. Ensure that the decoupling capacitors are located close to the pin.
RF Output	15	RFOUT	RF single-ended output	50 Ω single-ended output. AC-coupled is always recommended.
Serial Port	18	SDO	SPI data input	1.8 V to 3.3 V tolerant logic levels.
	19	SDIO	SPI date input and output	1.8 V to 3.3 V tolerant logic levels.
	20	SCLK	SPI clock	1.8 V to 3.3 V tolerant logic levels.
	21	CSB	Active-low chip select	1.8 V to 3.3 V tolerant logic levels.
3.3 V	22	V33FUSE	Digital, DSA, and other bias voltage	
EPAD	Exposed pad	Exposed pad	Exposed pad	Exposed Pad. The exposed pad must be connected to ground for electrical and thermal purposes.

アプリケーション情報

消費電流の最適化

AMP1ではレジスタ0x104、レジスタ0x105、レジスタ0x106のMSBが0、AMP2ではレジスタ0x110、レジスタ0x111、レジスタ0x112のMSBが0に設定されている場合、これら6個のレジスタはユーザが調整できます。消費電流を減らす必要がある場合、レジスタ0x104のAMP1_IGREFおよびレジスタ0x110のAMP2_IGREFのどちららの設定も、レジスタ0x140（AMP1の場合）およびレジスタ0x143（AMP2の場合）の製造時に調整されたIGREFのリードバック値に応じて低減できます。図96と図97を参照してください。AMP1_IGREFおよびAMP2_IGREFを低減するとその結果として、図98および図99に示すようにOIP3性能は低下します。

IGREF設定値をAMP1およびAMP2のリードバック値より大きくすることは推奨できません。これを行うとデバイスの長期信頼性に影響する可能性があります。

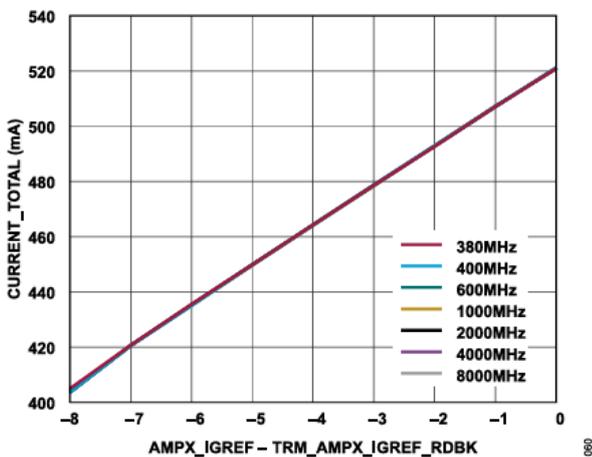


図96. 様々な周波数での合計電流とIGREF設定値の関係 (ADL6331-A)

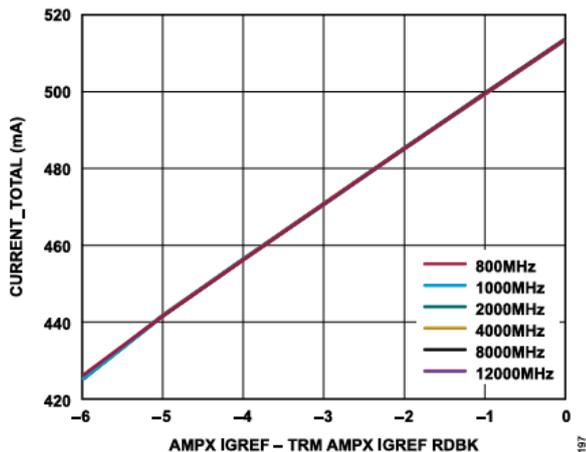


図97. 様々な周波数での合計電流とIGREF設定値の関係 (ADL6331-B)

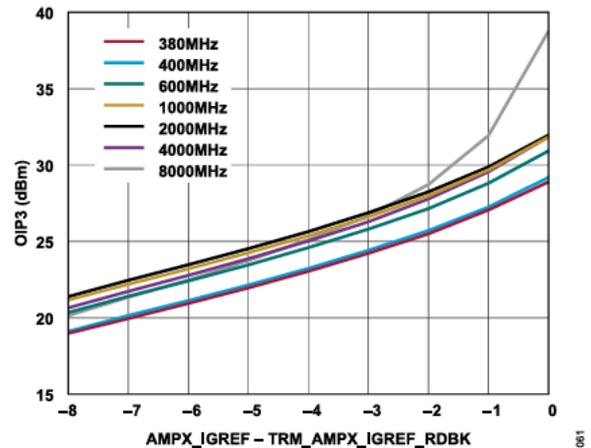


図98. 様々な周波数でのOIP3とIGREF設定値の関係 (ADL6331-A)

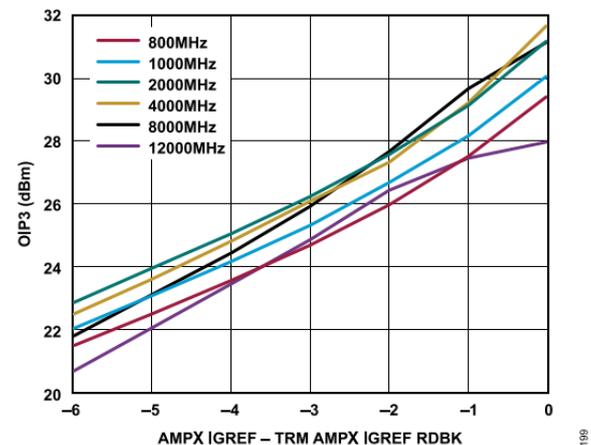


図99. 様々な周波数でのOIP3とIGREF設定値の関係 (ADL6331-B)

ACカップリング

ESDクランプが入力ポートの直後と出力ポートの前に配置されています (図100参照)。1.0V以上のDC電圧が共通モードとして印加されると、ESD保護ブロックのシリコン制御整流器 (SCR) クランプが1つのスパイクでラッチする恐れがあります。DC電圧が1V未満の場合でも、デバイスの相互変調性能が低下する可能性があります。ACカップリングにはDCブロック・コンデンサを外付けすることを常に推奨します。

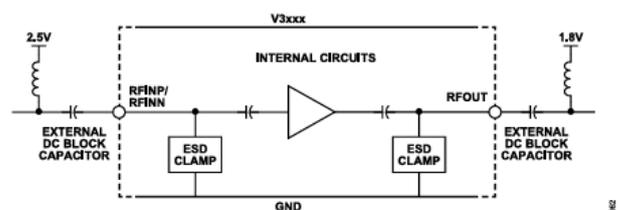


図100. RF入出力ポートの簡略化した構造図

レジスタの一覧

表19. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x000	ADI_SPI_CONFIG	[7:0]	SOFTRESET_	LSB_FIRST_	ENDIAN_	SDOACTIVE_	SDOACTIVE_	ENDIAN	LSB_FIRST	SOFTRESET	0x00	R/W
0x001	REG_0X0001	[7:0]	SINGLE_INSTRUCTION	CSB_STALL	PRIMARY_SUBORDINATE_RB	RESERVED		SOFT_RESET		PRIMARY_SUBORDINATE_TRANSFER	0x00	R/W
0x003	CHIPTYPE	[7:0]	CHIPTYPE								0x00	R
0x004	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x00	R
0x005	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x00	R
0x00A	SCRATCHPAD	[7:0]	SCRATCHPAD								0x00	R/W
0x00B	SPI_REV	[7:0]	SPI_REV								0x00	R
0x010	VARIANT_FEOL	[7:0]	FEOL				VARIANT				0x00	R
0x011	BEOL_SIF	[7:0]	SIF				BEOL				0x00	R
0x012	SPARE_0012	[7:0]	SPARE_0012								0x00	R
0x013	SPARE_0013	[7:0]	SPARE_0013								0x00	R
0x100	SIG_PATH0_0	[7:0]	RESERVED			AMUX_BG_EN	RESERVED			LDO18_EN	0x11	R/W
0x101	SIG_PATH1_0	[7:0]	RESERVED				AMP2_EN		DSA_EN	AMP1_EN	0x00	R/W
0x102	SIG_PATH2_0	[7:0]	RESERVED				SIGCHAIN_BYPASS		SEL_IBIAS_GEN_BG	RESERVED	0x00	R/W
0x103	SIG_PATH0_1	[7:0]	RESERVED			AMP1_MON_EN	RESERVED	AMP1_IM3_EN	AMP1_LP_MODE	0x06	R/W	
0x104	SIG_PATH1_1	[7:0]	NVM_TRM_AMP1_IGREF	RESERVED			AMP1_IGREF				0x89	R/W
0x105	SIG_PATH2_1	[7:0]	NVM_TRM_AMP1_IDREF_Z	RESERVED	AMP1_IDREF_Z					0xAA	R/W	
0x106	SIG_PATH3_1	[7:0]	NVM_TRM_AMP1_IDREF_P	RESERVED			AMP1_IDREF_P				0x83	R/W
0x109	SIG_PATH6_1	[7:0]	SPARE_010B				AMP1_IM3_CAP				0x07	R/W
0x10A	SIG_PATH0_2	[7:0]	AMP2_BYP_ASS0	AMP1_BYP_ASS0	DSA_ATTN0					0xD8	R/W	
0x10B	SIG_PATH1_2	[7:0]	AMP2_BYP_ASS1	AMP1_BYP_ASS1	DSA_ATTN1					0x10	R/W	
0x10C	SIG_PATH2_2	[7:0]	AMP2_BYP_ASS2	AMP1_BYP_ASS2	DSA_ATTN2					0x08	R/W	
0x10D	SIG_PATH3_2	[7:0]	AMP2_BYP_ASS3	AMP1_BYP_ASS3	DSA_ATTN3					0x00	R/W	
0x10F	SIG_PATH0_3	[7:0]	RESERVED			AMP2_MON_EN	AMP2_CROSS_EN	AMP2_IM3_EN	AMP2_LP_MODE	0x06	R/W	
0x110	SIG_PATH1_3	[7:0]	NVM_TRM_AMP2_IGREF	RESERVED			AMP2_IGREF				0x89	R/W
0x111	SIG_PATH2_3	[7:0]	NVM_TRM_AMP2_IDREF_Z	RESERVED	AMP2_IDREF_Z					0xAA	R/W	

レジスタの一覧

表19. レジスタの一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x112	SIG_PATH3_3	[7:0]	NVM_TRM_AMP2_IDREF_P	RESERVED			AMP2_IDREF_P				0x83	R/W
0x113	SIG_PATH4_3	[7:0]	RESERVED			AMP2_CROSS_Z					0x2A	R/W
0x114	SIG_PATH5_3	[7:0]	RESERVED			AMP2_CROSS_P					0x03	R/W
0x115	SIG_PATH6_3	[7:0]	SPARE_011B			AMP2_IM3_CAP					0x07	R/W
0x120	AMUX_SEL	[7:0]	RESERVED	AMUX_3_SEL		AMUX_2_SEL	AMUX_1_SEL				0x20	R/W
0x121	MULTI_FUNC_CTRL_0111	[7:0]	RESERVED			SPI_1P8_3P3_CTRL	RESERVED				0x00	R/W
0x140	FUSE_READBACK_0	[7:0]	RESERVED			TRM_AMP1_IGREF_RDBK					0x00	R
0x141	FUSE_READBACK_1	[7:0]	RESERVED			TRM_AMP1_IDREF_Z_RDBK					0x00	R
0x142	FUSE_READBACK_2	[7:0]	RESERVED			TRM_AMP1_IDREF_P_RDBK					0x00	R
0x143	FUSE_READBACK_3	[7:0]	RESERVED			TRM_AMP2_IGREF_RDBK					0x00	R
0x144	FUSE_READBACK_4	[7:0]	RESERVED			TRM_AMP2_IDREF_Z_RDBK					0x00	R
0x145	FUSE_READBACK_5	[7:0]	RESERVED			TRM_AMP2_IDREF_P_RDBK					0x00	R
0x146	GENERIC_READBACK_0	[7:0]	RESERVED			AMP1_CROSS_Z_RDBK					0x00	R
0x147	GENERIC_READBACK_1	[7:0]	RESERVED			AMP1_CROSS_P_RDBK					0x00	R
0x148	GENERIC_READBACK_2	[7:0]	RESERVED			AMP2_CROSS_Z_RDBK					0x00	R
0x149	GENERIC_READBACK_3	[7:0]	RESERVED			AMP2_CROSS_P_RDBK					0x00	R
0x14A	GENERIC_READBACK_4	[7:0]	AMP2_BYPASS_RDBK	AMP1_BYPASS_RDBK	DSA_ATTN_RDBK						0x00	R

レジスタの詳細

アドレス : 0x000、リセット : 0x00、レジスタ名 : ADI_SPI_CONFIG

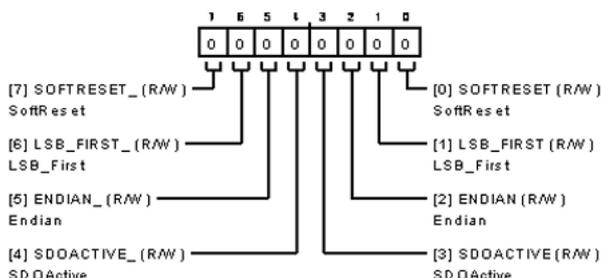


表20. ADI_SPI_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFTRESET_	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W
6	LSB_FIRST_	LSBファースト。 0 : MSBファースト。 1 : LSBファースト。	0x0	R/W
5	ENDIAN_	エンディアン。 0 : 降順アドレス指定。 1 : 昇順アドレス指定。	0x0	R/W
4	SDOACTIVE_	SDOアクティブ。 0 : SDO非アクティブ (3線式SPIモード)。 1 : SDOアクティブ (4線式SPIモード)。	0x0	R/W
3	SDOACTIVE	SDOアクティブ。 0 : SDO非アクティブ (3線式SPIモード)。 1 : SDOアクティブ (4線式SPIモード)。	0x0	R/W
2	ENDIAN	エンディアン。 0 : 降順アドレス指定。 1 : 昇順アドレス指定。	0x0	R/W
1	LSB_FIRST	LSBファースト。 0 : MSBファースト。 1 : LSBファースト。	0x0	R/W
0	SOFTRESET	ソフト・リセット。 0 : リセットをアサートしない。 1 : リセットをアサート。	0x0	R/W

アドレス : 0x001、リセット : 0x00、レジスタ名 : REG_0X0001

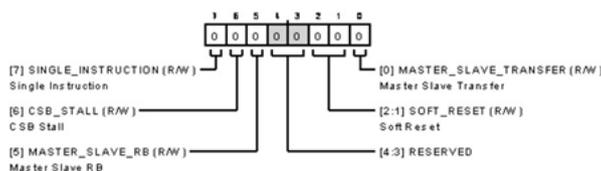


表21. REG_0X0001のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。	0x0	R/W
6	CSB_STALL	CSB停止。	0x0	R/W
5	PRIMARY_SUBORDINATE_RB	プライマリ・セカンダリRB。	0x0	R/W

レジスタの詳細

表21. REG_0X0001のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[4:3]	RESERVED	予約済み。	0x0	R
[2:1]	SOFT_RESET	ソフト・リセット。	0x0	R/W
0	PRIMARY_SUBORDINATE_TRANSFER	プライマリ・セカンダリ転送。	0x0	R/W

アドレス : 0x003、リセット : 0x00、レジスタ名 : CHIPTYPE

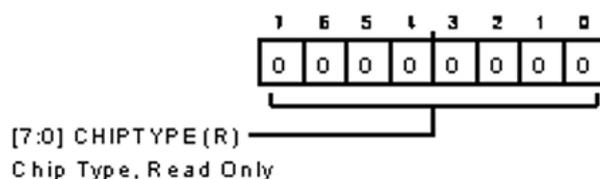


表22. CHIPTYPEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIPTYPE	チップ・タイプ、読み出し専用。	0x0	R

アドレス : 0x004、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

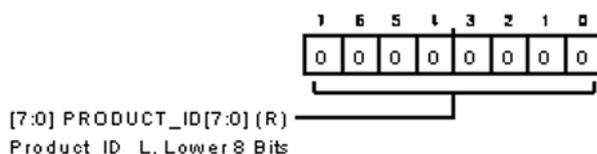


表23. PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	PRODUCT_ID_L、下位8ビット。	0x0	R

アドレス : 0x005、リセット : 0x00、レジスタ名 : PRODUCT_ID_H

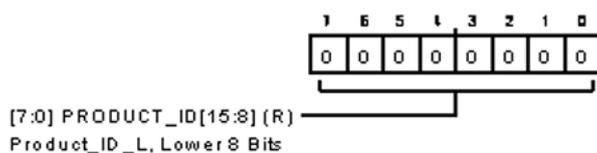


表24. PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	PRODUCT_ID_L、下位8ビット。	0x0	R

アドレス : 0x00A、リセット : 0x00、レジスタ名 : SCRATCHPAD

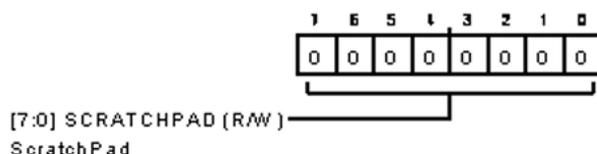


表25. SCRATCHPADのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	スクラッチ・パッド。	0x0	R/W

レジスタの詳細

アドレス : 0x00B、リセット : 0x00、レジスタ名 : SPI_REV

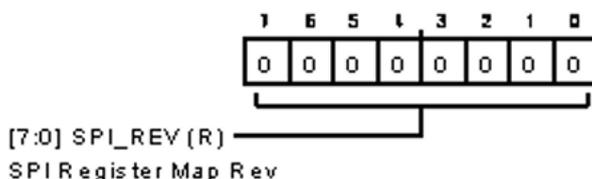


表26. SPI_REVビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REV	SPIレジスタ・マップのバージョン。	0x0	R

アドレス : 0x010、リセット : 0x00、レジスタ名 : VARIANT_FEOL

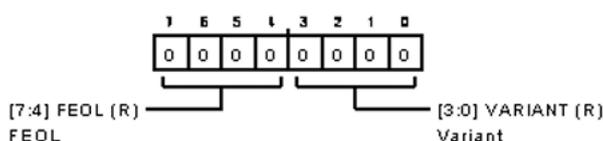


表27. VARIANT_FEOLのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	FEOL	FEOL (前工程)。	0x0	R
[3:0]	VARIANT	バリエーション。	0x0	R

アドレス : 0x011、リセット : 0x00、レジスタ名 : BEOL_SIF

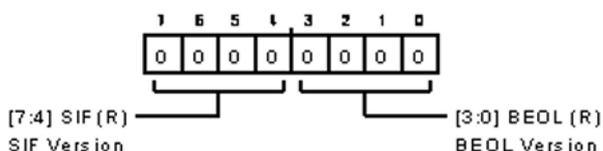


表28. BEOL_SIFのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SIF	SIF (シリアル・インターフェース) のバージョン。	0x0	R
[3:0]	BEOL	BEOL (後工程) のバージョン。	0x0	R

アドレス : 0x012、リセット : 0x00、レジスタ名 : SPARE_0012

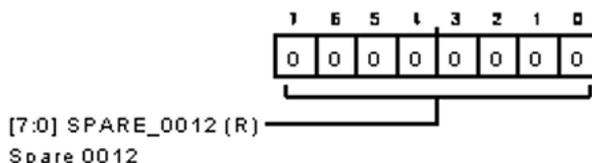


表29. SPARE_0012のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_0012	予備0012。	0x0	R

レジスタの詳細

アドレス : 0x013、リセット : 0x00、レジスタ名 : SPARE_0013

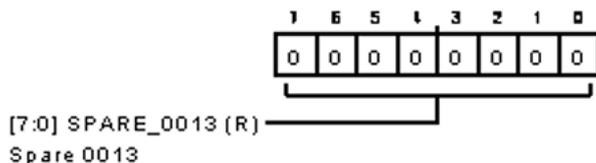


表30. SPARE_0013のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPARE_0013	Spare 0013.	0x0	R

アドレス : 0x100、リセット : 0x11、レジスタ名 : SIG_PATH0_0

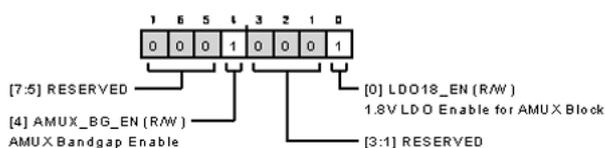


表31. SIG_PATH0_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	AMUX_BG_EN	AMUXのバンドギャップ・イネーブル。 0 : AMUXのバンドギャップを無効化。 1 : AMUXのバンドギャップを有効化。	0x1	R/W
[3:1]	RESERVED	予約済み。	0x0	R/W
0	LDO18_EN	AMUXブロックの1.8VLDOイネーブル。 0 : 無効化。 1 : 有効化。	0x1	R/W

アドレス : 0x101、リセット : 0x00、レジスタ名 : SIG_PATH1_0

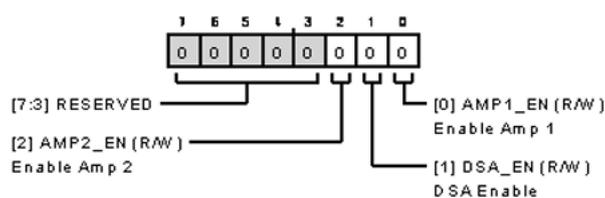


表32. SIG_PATH1_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み	0x0	R
2	AMP2_EN	AMP2イネーブル。 0 : 無効化。 1 : 有効化。	0x0	R/W
1	DSA_EN	DSAイネーブル。 0 : 無効化。 1 : 有効化。	0x0	R/W
0	AMP1_EN	AMP1イネーブル。 0 : 無効化。 1 : 有効化。	0x0	R/W

レジスタの詳細

アドレス : 0x102、リセット : 0x00、レジスタ名 : SIG_PATH2_0

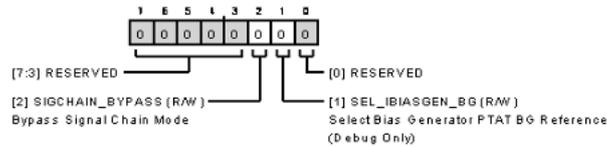


表33. SIG_PATH2_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
2	SIGCHAIN_BYPASS	シグナル・チェーン・モードをバイパス。 0 : 個々のアンプ・バイアス設定に基づく。 1 : 両アンプをバイパス。	0x0	R/W
1	SEL_IBIASGEN_BG	バイアス・ジェネレータPTAT BGリファレンスの選択 (デバッグのみ)。 0 : 専用のPTATジェネレータを使用 (デフォルト)。 1 : バンドギャップ・ベースのPTATジェネレータを使用。	0x0	R/W
0	RESERVED	予約済み。	0x0	R/W

アドレス : 0x103、リセット : 0x06、レジスタ名 : SIG_PATH0_1

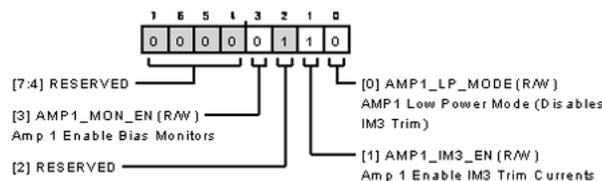


表34. SIG_PATH0_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	AMP1_MON_EN	AMP1のバイアス・モニタ・イネーブル。 0 : バイアス・モニタリングを無効化。 1 : バイアス・モニタリングを有効化 (デバッグのみ)。	0x0	R/W
2	RESERVED	予約済み。	0x1	R/W
1	AMP1_IM3_EN	AMP1のIM3調整電流イネーブル。 0 : IM3調整電流を無効化。 1 : IM3調整電流を有効化。	0x1	R/W
0	AMP1_LP_MODE	AMP1低電力モード (IM3調整を無効化)。 0 : 無効化。デフォルト・バイアスを使用。 1 : 低バイアスを有効化。	0x0	R/W

アドレス : 0x104、リセット : 0x89、レジスタ名 : SIG_PATH1_1

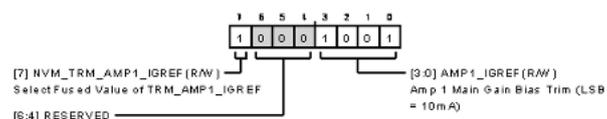


表35. SIG_PATH1_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP1_IGREF	TRM_AMP1_IGREFの融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP1_IGREF	AMP1のメインのゲイン・バイアス調整 (LSB = 10mA)。	0x9	R/W

レジスタの詳細

アドレス : 0x105、リセット : 0xAA、レジスタ名 : SIG_PATH2_1

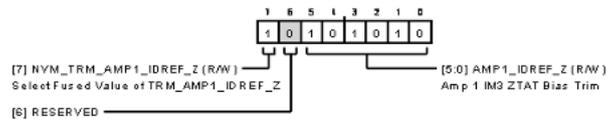


表36. SIG_PATH2_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP1_IDREF_Z	TRM_AMP1_IDREF_Zの融合値を選択。	0x1	R/W
6	RESERVED	予約済み。	0x0	R
[5:0]	AMP1_IDREF_Z	アンプ1のIM3 ZTATのバイアス調整。	0x2A	R/W

アドレス : 0x106、リセット : 0x83、レジスタ名 : SIG_PATH3_1

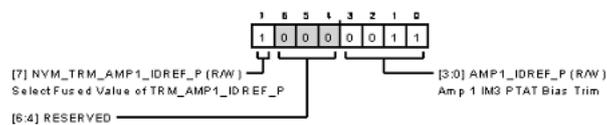


表37. SIG_PATH3_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP1_DREF_P	TRM_AMP1_IDREF_Pの融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP1_IDREF_P	アンプ1のIM3 PTATのバイアス調整。	0x3	R/W

アドレス : 0x109、リセット : 0x07、レジスタ名 : SIG_PATH6_1

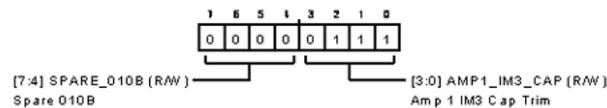


表38. SIG_PATH6_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SPARE_010B	予備010B。	0x0	R/W
[3:0]	AMP1_IM3_CAP	AMP1のIM3キャパシタ調整。	0x7	R/W

アドレス : 0x10A、リセット : 0xD8、レジスタ名 : SIG_PATH0_2

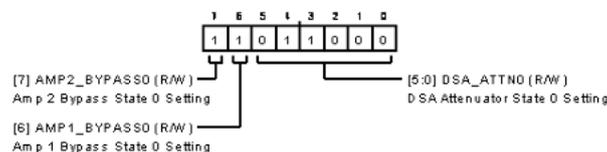


表39. SIG_PATH0_2のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS0	AMP2の状態0設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x1	R/W
6	AMP1_BYPASS0	AMP1の状態0設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x1	R/W

レジスタの詳細

表39. SIG_PATH0_2のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[5:0]	DSA_ATTNO	DSAアッテネータ状態0の設定。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。	0x18	R/W

アドレス : 0x10B、リセット : 0x10、レジスタ名 : SIG_PATH1_2

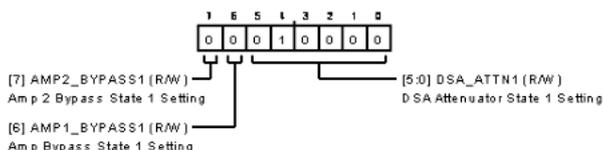


表40. SIG_PATH1_2のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS1	AMP2の状態1設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x0	R/W
6	AMP1_BYPASS1	AMPの状態1設定のバイパス。 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x0	R/W
[5:0]	DSA_ATTNO1	DSAアッテネータ状態1の設定。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。	0x10	R/W

レジスタの詳細

表40. SIG_PATH1_2のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。		

アドレス : 0x10C、リセット : 0x08、レジスタ名 : SIG_PATH2_2

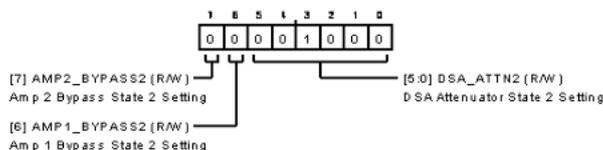


表41. SIG_PATH2_2のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS2	AMP2の状態2設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x0	R/W
6	AMP1_BYPASS2	AMP1の状態2設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x0	R/W
[5:0]	DSA_ATT2	DSAアッテネータ状態2の設定。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。	0x8	R/W

レジスタの詳細

表41. SIG_PATH2_2のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。 10111 : 23dB。 11000 : 24dB。		

アドレス : 0x10D、リセット : 0x00、レジスタ名 : SIG_PATH3_2

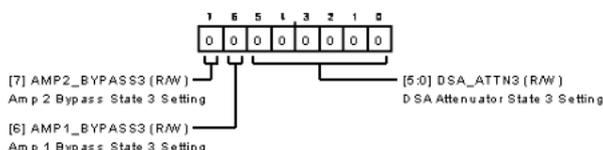


表42. SIG_PATH3_2のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS3	AMP2の状態3設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x0	R/W
6	AMP1_BYPASS3	AMP1の状態3設定のバイパス 0 : 固定ゲイン・モード。 1 : バイパス・モードを有効化。	0x0	R/W
[5:0]	DSA_ATT3	DSAアッテネータ状態3の設定。 00000 : 0dB。 00001 : 1dB。 00010 : 2dB。 00011 : 3dB。 00100 : 4dB。 00101 : 5dB。 00110 : 6dB。 00111 : 7dB。 01000 : 8dB。 01001 : 9dB。 01010 : 10dB。 01011 : 11dB。 01100 : 12dB。 01101 : 13dB。 01110 : 14dB。 01111 : 15dB。 10000 : 16dB。 10001 : 17dB。 10010 : 18dB。 10011 : 19dB。 10100 : 20dB。 10101 : 21dB。 10110 : 22dB。	0x8	R/W

レジスタの詳細

表42. SIG_PATH3_2のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
		10111 : 23dB. 11000 : 24dB.		

アドレス : 0x10F、リセット : 0x06、レジスタ名 : SIG_PATH0_3

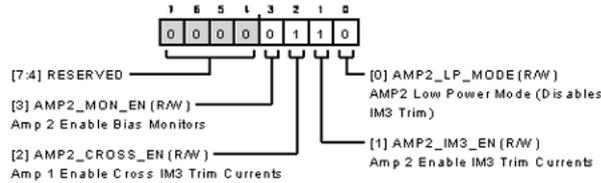


表43. SIG_PATH0_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
3	AMP2_MON_EN	AMP2のバイアス・モニタ・イネーブル。 0 : バイアス・モニタリングを無効化。 1 : バイアス・モニタリングを有効化 (デバッグのみ)。	0x0	R/W
2	AMP2_CROSS_EN	AMP1の交互IM3調整電流イネーブル。 0 : 交互結合段のIM3調整を無効化。 1 : 交互結合段のIM3調整を有効化。	0x1	R/W
1	AMP2_IM3_EN	AMP2のIM3調整電流イネーブル。 0 : IM3調整電流を無効化。 1 : IM3調整電流を有効化。	0x1	R/W
0	AMP2_LP_MODE	AMP2低電力モード (IM3調整を無効化)。 0 : 無効化。デフォルト・バイアスを使用。 1 : 低バイアスを有効化。	0x0	R/W

アドレス : 0x110、リセット : 0x89、レジスタ名 : SIG_PATH1_3

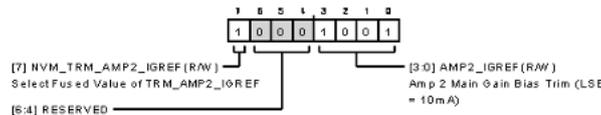
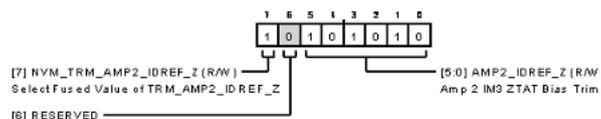


表44. SIG_PATH1_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP2_IGREF	TRM_AMP2_IGREFの融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_IGREF	AMP2のメインのゲイン・バイアス調整 (LSB = 10mA)。	0x9	R/W

アドレス : 0x111、リセット : 0xAA、レジスタ名 : SIG_PATH2_3



レジスタの詳細

表45. SIG_PATH2_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP2_IDREF_Z	TRM_AMP2_IDREF_Zの融合値を選択。	0x1	R/W
6	RESERVED	予約済み。	0x0	R
[5:0]	AMP2_IDREF_Z	アンプ2のIM3 ZTATのバイアス調整。	0x2A	R/W

アドレス : 0x112、リセット : 0x83、レジスタ名 : SIG_PATH3_3

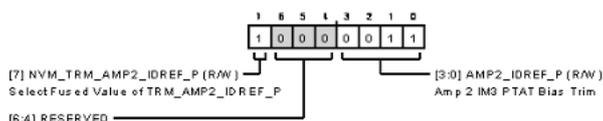


表46. SIG_PATH3_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	NVM_TRM_AMP2_IDREF_P	TRM_AMP2_IDREF_Pの融合値を選択。	0x1	R/W
[6:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_IDREF_P	アンプ2のIM3 PTATのバイアス調整。	0x3	R/W

アドレス : 0x113、リセット : 0x2A、レジスタ名 : SIG_PATH4_3

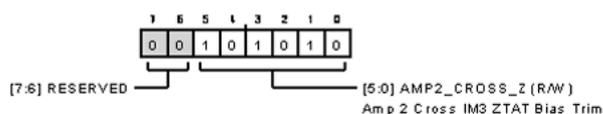


表47. SIG_PATH4_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	AMP2_CROSS_Z	AMP2の交互IM3 ZTATのバイアス調整。	0x2A	R/W

アドレス : 0x114、リセット : 0x03、レジスタ名 : SIG_PATH5_3

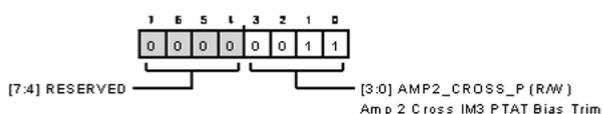


表48. SIG_PATH5_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_CROSS_P	AMP2の交互IM3 PTATのバイアス調整。	0x3	R/W

アドレス : 0x115、リセット : 0x07、レジスタ名 : SIG_PATH6_3

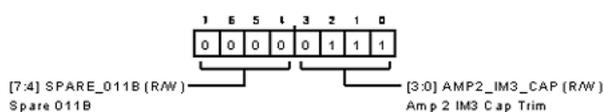


表49. SIG_PATH6_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	SPARE_011B	予備011B。	0x0	R/W
[3:0]	AMP2_IM3_CAP	アンプ2のIM3キャパシタ調整。	0x7	R/W

レジスタの詳細

アドレス : 0x120、リセット : 0x20、レジスタ名 : AMUX_SEL

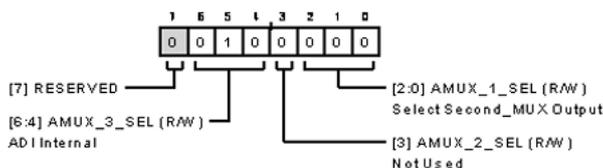


表50. AMUX_SELのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	RESERVED	予約済み。	0x0	R/W
[6:4]	AMUX_3_SEL	アナログ・デバイズ内で使用。	0x2	R/W
3	AMUX_2_SEL	不使用。	0x0	R/W
[2:0]	AMUX_1_SEL	セカンド・マルチプレクサ出力を選択。 000 : PTAT (温度センサー)。	0x0	R/W

アドレス : 0x121、リセット : 0x00、レジスタ名 : MULTI_FUNC_CTRL_0111

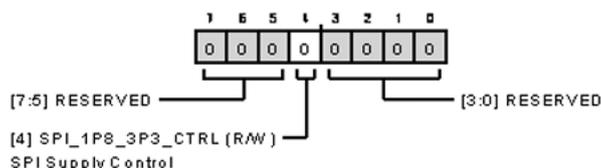


表51. MULTI_FUNC_CTRL_0111のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予約済み。	0x0	R
4	SPI_1P8_3P3_CTRL	SPI電源制御。 0 : 1.8Vリードバック。 1 : 3.3Vリードバック。	0x0	R/W
[3:0]	RESERVED	予約済み。	0x0	R/W

アドレス : 0x140、リセット : 0x00、レジスタ名 : FUSE_READBACK_0

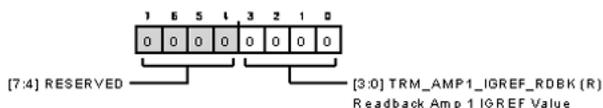
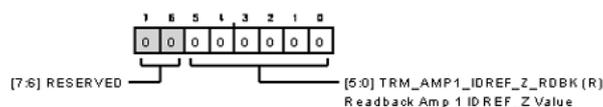


表52. FUSE_READBACK_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP1_IGREF_RDBK	AMP1のIGREF値のリードバック。	0x0	R

アドレス : 0x141、リセット : 0x00、レジスタ名 : FUSE_READBACK_1



レジスタの詳細

表53. FUSE_READBACK_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	TRM_AMP1_IDREF_Z_RDBK	AMP1のIDREF_Z値のリードバック。	0x0	R

アドレス : 0x142、リセット : 0x00、レジスタ名 : FUSE_READBACK_2

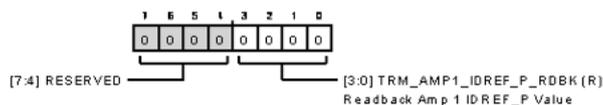


表54. FUSE_READBACK_2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP1_IDREF_P_RDBK	AMP1のIDREF_P値のリードバック。	0x0	R

アドレス : 0x143、リセット : 0x00、レジスタ名 : FUSE_READBACK_3

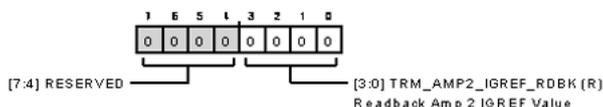


表55. FUSE_READBACK_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP2_IGREF_RDBK	AMP2のIGREF値のリードバック。	0x0	R

アドレス : 0x144、リセット : 0x00、レジスタ名 : FUSE_READBACK_4

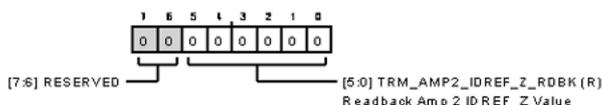


表56. FUSE_READBACK_4のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	TRM_AMP2_IDREF_Z_RDBK	AMP2のIDREF_Z値のリードバック。	0x0	R

アドレス : 0x145、リセット : 0x00、レジスタ名 : FUSE_READBACK_5

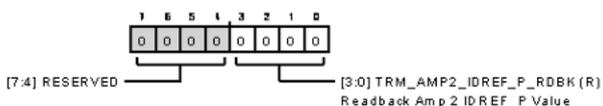


表57. FUSE_READBACK_5のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	TRM_AMP2_IDREF_P_RDBK	AMP2のIDREF_P値のリードバック。	0x0	R

レジスタの詳細

アドレス : 0x146、リセット : 0x00、レジスタ名 : GENERIC_READBACK_0

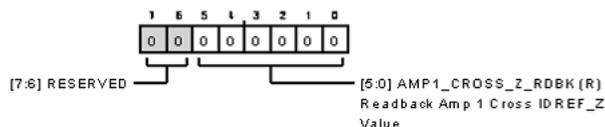


表58. GENERIC_READBACK_0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	AMP1_CROSS_Z_RDBK	AMP1の交互IDREF_Z値のリードバック。	0x0	R

アドレス : 0x147、リセット : 0x00、レジスタ名 : GENERIC_READBACK_1

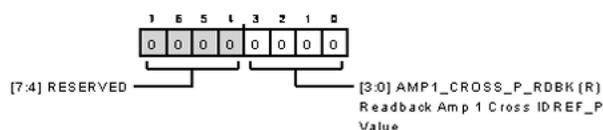


表59. GENERIC_READBACK_1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP1_CROSS_P_RDBK	AMP1の交互IDREF_P値のリードバック。	0x0	R

アドレス : 0x148、リセット : 0x00、レジスタ名 : GENERIC_READBACK_2

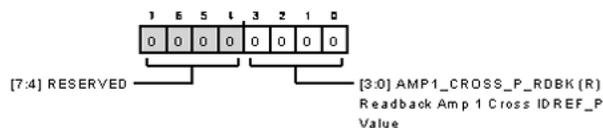


表60. GENERIC_READBACK_2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	RESERVED	予約済み。	0x0	R
[5:0]	AMP2_CROSS_Z_RDBK	AMP2の交互IDREF_Z値のリードバック。	0x0	R

アドレス : 0x149、リセット : 0x00、レジスタ名 : GENERIC_READBACK_3

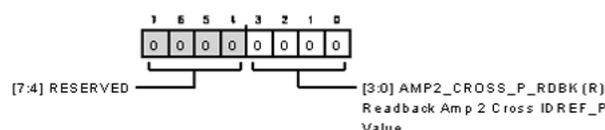


表61. GENERIC_READBACK_3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	AMP2_CROSS_P_RDBK	AMP2の交互IDREF_P値のリードバック。	0x0	R

レジスタの詳細

アドレス : 0x14A、リセット : 0x00、レジスタ名 : GENERIC_READBACK_4

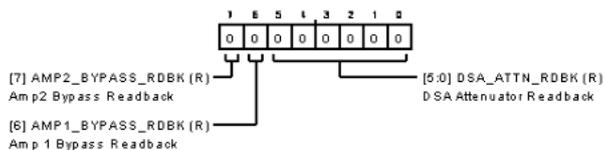


表62. GENERIC_READBACK_4のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AMP2_BYPASS_RDBK	AMP2のリードバックをバイパス。	0x0	R
6	AMP1_BYPASS_RDBK	AMP1のリードバックをバイパス。	0x0	R
[5:0]	DSA_ATTEN_RDBK	DSAアッテネータのリードバック	0x0	R

外形寸法

Package Drawing (Option)	Package Type	Package Description
CC-24-17	LGA	24-Terminal Land Grid Array

最新のパッケージ外形情報およびランド・パターン（フットプリント）については、[パッケージ一覧](#)を参照してください。

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADL6331ACCZA	-40°C to +105°C	24-Lead LGA (4 mm × 4 mm × 0.76 mm w/ EP)	Cut Tape, 500	CC-24-17
ADL6331ACCZA-R7	-40°C to +105°C	24-Lead LGA (4 mm × 4 mm × 0.76 mm w/ EP)	Reel, 500	CC-24-17
ADL6331ACCZB	-40°C to +105°C	24-Lead LGA (4 mm × 4 mm × 0.76 mm w/ EP)	Cut Tape, 500	CC-24-17
ADL6331ACCZB-R7	-40°C to +105°C	24-Lead LGA (4 mm × 4 mm × 0.76 mm w/ EP)	Reel, 500	CC-24-17

¹ Z = RoHS適合製品。

評価用ボード

Model ¹	Description
ADL6331-EVALZA	Version A (0.38 GHz to 8.0 GHz) Evaluation Board
ADL6331-EVALZB	Version B (1.0 GHz to 15.0 GHz) Evaluation Board

¹ Z = RoHS適合製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年11月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年11月5日

製品名：ADL6331

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所：P40、表24. PRODUCT_ID_Hのビットの説明欄

【誤】

PRODUCT_ID_L、下位8ビット。

【正】

PRODUCT_ID_L、上位8ビット。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
 この正誤表は、2024年11月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
 なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年11月5日

製品名：ADL6331

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所：28頁、表9、Bit0とBit1のBit Nameの欄、下記赤枠内

【誤】

Bits	Bit Name	Description	Reset	Access
[7:3]	RESERVED	Reserved.	0x0	R
2	AMP2_EN	AMP2 Enable. 0: Disable. 1: Enable.	0x0	R/W
1	RESERVED	DSA Enable. 0: Disable. 1: Enable.	0x0	R/W
0	LDO18_EN	AMP1 Enable. 0: Disable. 1: Enable.	0x0	R/W

【正】

Bits	Bit Name	Description	Reset	Access
[7:3]	RESERVED	Reserved.	0x0	R
2	AMP2_EN	AMP2 Enable. 0: Disable. 1: Enable.	0x0	R/W
1	DSA_EN	DSA Enable. 0: Disable. 1: Enable.	0x0	R/W
0	AMP1_EN	AMP1 Enable. 0: Disable. 1: Enable.	0x0	R/W