

188dB (10pA~25mA) の範囲をカバーする デュアル対数コンバータ

特長

- ▶ 188dB の電氣的ダイナミック・レンジと 94dB の光學的ダイナミック・レンジ
- ▶ 光學的ゲインの直接測定を可能にするデュアル・チャンネル電流入力
- ▶ 正確に調整された対数応答：
 - ▶ 対数スロープ：200mV/ディケード
 - ▶ 対数適合度誤差：±0.4dB (全温度範囲)
 - ▶ 暗電流を減らすためにオフセットを 70°C で調整
- ▶ LDO 内蔵：60Hz および 100pA の入力電流で 26dB の PSRR ($V_{CC} = 3.0V$)
- ▶ I²C 調整可能：
 - ▶ フォト・ダイオード・バイアス電圧
 - ▶ 低入力電流時におけるノイズと応答時間のトレードオフ
- ▶ 14 ビット ADC を内蔵
- ▶ 必要な外付け部品を最小限に抑制
- ▶ 2.040mm × 1.640mm、20 ピン WLCSP

アプリケーション

- ▶ ATE (自動試験装置)
- ▶ 光パワーのモニタリング
- ▶ マシン・オートメーション
- ▶ 光学モジュール

概要

ADL5309 は、光ファイバ・システムにおける低周波数および広ダイナミック・レンジの光信号電力測定用として最適化された、モノリシック対数トランスインピーダンス・アンプをデュアルで備えています。

このデバイスは、INP1 ピンおよび INP2 ピンの入力電流と内部で生成されるリファレンス電流との比の対数に比例する、温度補償された高精度の出力電圧を生成します。対数スロープとインターセプトはどちらも、公称値 (それぞれ 200mV/ディケードおよび 10pA) となるよう正確に調整されます。低インピーダンスの対数出力 OUT1 と OUT2 は、幅広い A/D コンバータ (ADC) やその他の回路を駆動できるだけの能力を備えています。

デジタル形式の OUT1 出力と OUT2 出力は、IC 間バス (I²C) インターフェースを介して利用できます。I²C インターフェースを介して制御される 14 ビット逐次比較レジスタ (SAR) ADC は、OUT1 チャンネル出力、OUT2 チャンネル出力、および内蔵のデジタル温度計センサーをサンプリングします。

適応型のフォト・ダイオード・バイアスは、PDB1 インターフェースと PDB2 インターフェースを介してサポートされます。ダイオード電流が小さい場合は、逆方向のフォト・ダイオード・バイアスが低い状態に維持され、暗電流を最小限に抑えます。入力電流が大きくなるとバイアス電圧が電流に比例して増加し、フォト・ダイオードの飽和による非線形性を回避します。初期バイアス・レベルおよび電流が上昇したときのスケール・ファクタは I²C を通じて設定できます。

ADL5309 は、-40°C~+105°C の周囲温度で動作するように仕様規定され、2.040mm × 1.640mm、20 端子のウェハ・レベル・チップ・スケール・パッケージ (WLCSP) で提供されます。

機能ブロック図

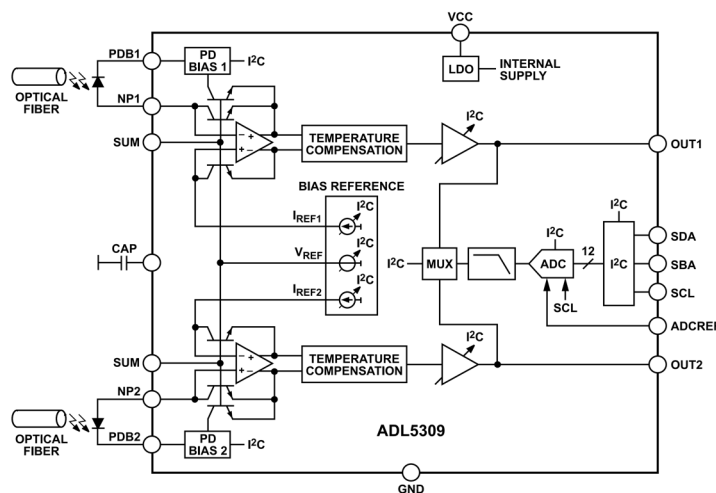


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイゼスは、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイゼス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	INP1 および INP2 のインターフェース.....	17
アプリケーション.....	1	OUT1 および OUT2 のインターフェース.....	17
概要.....	1	PDB1 および PDB2 のインターフェース.....	17
機能ブロック図.....	1	SUM インターフェース.....	17
仕様.....	3	ADCREF インターフェース.....	17
シリアル・インターフェースのタイミング仕様.....	4	SDA、SCL、SBA の各インターフェース.....	18
絶対最大定格.....	5	シリアル・ポート・インターフェース.....	19
熱特性.....	5	プロトコル.....	19
静電放電 (ESD) 定格.....	5	アドレス選択.....	19
ESD に関する注意.....	5	サポートされている読出し・書込み方法.....	19
ピン配置およびピン機能の説明.....	6	リセット、アドレス、ID の各レジスタ.....	20
代表的な性能特性.....	7	ADC レジスタ.....	20
動作原理.....	14	シャドウ・レジスタ.....	22
対数変換.....	14	シャドウ・アクセス・レジスタ.....	23
光学測定.....	14	評価用ボードの回路図.....	24
フォト・ダイオードのバイアス.....	15	外形寸法.....	25
帯域幅.....	16	オーダー・ガイド.....	25
ノイズ.....	16	評価用ボード.....	25
アプリケーション情報.....	17		

改訂履歴

6/2024—Revision 0: Initial Version

仕様

特に指定のない限り、電源電圧 (V_{CC}) = 3.0V、 T_A = 25°C、およびデフォルトのレジスタ設定。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT INTERFACES					
Input Current Range (I_{INP1} , I_{INP2})	Pin B1 = INP1 and Pin C1 = INP2	10		25	pA mA
Input Node Voltage (V_{INP1} , V_{INP2})	$10\text{ pA} < I_{INP1}$ and $I_{INP2} < 3\text{ mA}$		1.6 to 1.8		V
	$10\text{ pA} < I_{INP1}$ and $I_{INP2} < 25\text{ mA}$		1.6 to 2.5		V
SUM Voltage			1.6		V
PHOTODIODE BIAS					
Output Voltage (V_{PDB1} , V_{PDB2})	Pin A2 = PDB1 and Pin D2 = PDB2 $I_{INP1} = I_{INP2} = 1\text{ nA}$		1.6		V
	$I_{INP1} = I_{INP2} = 10\text{ mA}$; $V_{CC} = 5\text{ V}$		4.2		V
Absolute Offset Voltage, $T_C = 70^\circ\text{C}$	$(V_{PDB1} - V_{INP1})$, $(V_{PDB2} - V_{INP2})$, and $I_{INP1} = I_{INP2} = 1\text{ nA}$		0.4		mV
Transresistance (R_T)	$(V_{PDB1} - V_{INP1})/I_{INP1}$ and/or $(V_{PDB2} - V_{INP2})/I_{INP2}$		231		Ω
I_{INP1} , I_{INP2} Threshold (I_{TH})	Constant photodiode bias voltage below I_{TH}		220		μA
LOGARITHMIC OUTPUT					
Logarithmic Slope	Pin A5 = OUT1 and Pin D5 = OUT2 Over $1\text{ nA} < I_{INP1}$ and $I_{INP2} < 1\text{ mA}$ range	198	200	202	mV/dec
Logarithmic Intercept			10		pA
Logarithmic Conformance Error	$1\text{ nA} < I_{INP1}$ and $I_{INP2} < 1\text{ mA}$		± 0.3		dB
	$100\text{ pA} < I_{INP1}$ and $I_{INP2} < 10\text{ mA}$		± 0.6		dB
Logarithmic Conformance Error over Temperature	$1\text{ nA} < I_{INP1}$, $I_{INP2} < 1\text{ mA}$, and $T_A = 5^\circ\text{C}$ to 70°C		± 0.4		dB
	$100\text{ pA} < I_{INP1}$, $I_{INP2} < 10\text{ mA}$, and $T_A = 5^\circ\text{C}$ to 70°C		± 0.8		dB
Output Voltage (V_{OUT1} , V_{OUT2})	I_{INP1} and $I_{INP2} = 100\text{ pA}$		0.403		V
	I_{INP1} and $I_{INP2} = 1\text{ }\mu\text{A}$		0.999		V
	I_{INP1} and $I_{INP2} = 10\text{ mA}$		1.808		V
Small Signal Bandwidth	I_{INP1} and $I_{INP2} = 10\text{ nA}$ and capacitor feedback (CF) = 15 (Default register state)		75		kHz
	I_{INP1} and $I_{INP2} = 10\text{ nA}$ and CF = 0		550		kHz
Rise and Fall Times	I_{INP1} a I_{INP2} from 10 nA to 100 nA , measured at 10% and 90% of steady state V_{OUT1} and V_{OUT2}		1.6/3.8		μs
Short Circuit Output Current	I_{INP1} and $I_{INP2} = 1\text{ nA}$, V_{OUT1} and $V_{OUT2} = 0.7\text{ V}$		32		mA
	I_{INP1} and $I_{INP2} = 10\text{ mA}$, V_{OUT1} and $V_{OUT2} = 1.5\text{ V}$		15		mA
Channel-to-Channel Isolation	DC isolation to OUT1 for $I_{INP2} = 25\text{ mA}$ and $I_{INP1} = 1\text{ nA}$ or OUT2 for $I_{INP1} = 25\text{ mA}$ and $I_{INP2} = 1\text{ nA}$		2		mV
POWER SUPPLY					
Positive Supply Voltage	Pin A3 = VCC	2.85	3	5.25	V
Quiescent Current	I_{INP1} and $I_{INP2} = 1\text{ }\mu\text{A}$		57		mA
Power Supply Rejection Ratio (PSRR)	I_{INP1} and $I_{INP2} = 100\text{ pA}$ at 60 Hz		26		dB
DATA ACQUISITION					
ADC Resolution			14		Bits
LOG Output Conversion Slope			74.5		LSB/dB
Output Data Rate				22	kHz
Output Noise	I_{INP1} , $I_{INP2} = 1\text{ }\mu\text{A}$		6.6		LSB rms
SERIAL BUS ADDRESS (SBA) INTERFACE					
Serial Bus Address 0x6C	Pin A4 = SBA	$-0.05 V_{CC}$		$+0.15 V_{CC}$	V
Serial Bus Address 0x6D		$0.35 V_{CC}$		$0.65 V_{CC}$	V
Serial Bus Address 0x6E		$0.85 V_{CC}$		$1.05 V_{CC}$	V

仕様

表 1. 仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
I ² C INTERFACE	Pin B5 = SDA and Pin C5 = SCL				
Input Low Voltage (V _{INL})	SDA and SCL input voltage (V _{IN}) = 5 V and V _{CC} = 3.0 V			0.9	V
Input High Voltage (V _{INH})	V _{IN} = 5 V and V _{CC} = 3.0 V	2.1		5.5	V
Input Leakage Current (I _{IN})	V _{IN} = 5 V and V _{CC} = 3.0 V			0.2	μA
Input Leakage Current (I _{IN3V})	V _{IN} = 5 V and V _{CC} = 3.0 V			10	μA
Input Hysteresis (V _{HYST})	V _{IN} = 5 V and V _{CC} = 3.0 V		250		mV
Input Capacitance (C _{IN})	V _{IN} = 5 V and V _{CC} = 3.0 V		1		pF
Glitch Rejection	V _{IN} = 5 V and V _{CC} = 3.0 V			50	ns

シリアル・インターフェースのタイミング仕様

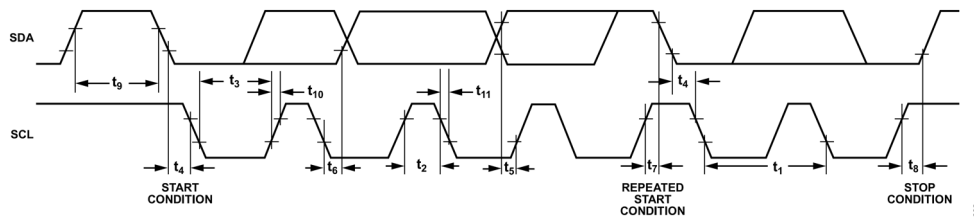


図 2. I²C のタイミング図

表 2. シリアル・インターフェースのタイミング仕様

Parameter	Description	Min	Typ	Max	Unit
f _{SCL(MAX)} = 1/t ₁	Maximum SCL clock frequency	400			kHz
t ₂	Minimum SCL high period		50	600	ns
t ₃	Minimum SCL low period		0.65	1.3	μs
t ₄	Minimum hold time after (repeated) start condition		140	600	ns
t ₅	Minimum data setup time input		30	100	ns
t ₆	Minimum data hold time input		-100	0	ns
t ₆	Minimum data hold time output	300	600	900	ns
t ₇	Minimum repeated start condition setup time		30	600	ns
t ₈	Minimum stop condition setup time		30	600	ns
t ₉	Minimum bus free time between stop condition and start condition		0.12	1.3	μs
t ₁₀	SCL and SDA rise time			0.3	μs
t ₁₁	SCL and SDA fall time			0.3	μs
t _{SP(MAX)}	Maximum suppressed spike pulse width	50	110	250	ns
C _X	SCL and SDA input capacitance		5	10	pF

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
V _{CC}	5.5 V
Current into INP1 and INP2	100 mA
DC Voltage	
SDA and SCL	-0.3 V to 5.5 V
SBA, PDB1, and PDB2	-0.3 V to V _{CC} + 0.3 V
SUM, INP1, INP2, OUT1, OUT2, CAP, and ADCREF	-0.3 V to +3.0 V
Output Short Circuit Duration	
OUT1, OUT2, PDB1, and PDB2	Indefinite
Temperature	
Operating T _A Range	-40°C to +105°C
Maximum T _J	135°C
Storage Temperature Range	-65°C to +150°C
Soldering Conditions	JEDEC J-STD-020

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱特性

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

表 4. 熱抵抗

Package Type ¹	θ_{JA}	Unit
CB-20-16	61.6	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、JEDEC 2S2P サーマル・テスト・ボードを使用した場合にに基づいています。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADL5309 の ESD 定格

表 5. ADL5309、20 端子 WLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	2500	2
FICDM	1250	C5

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

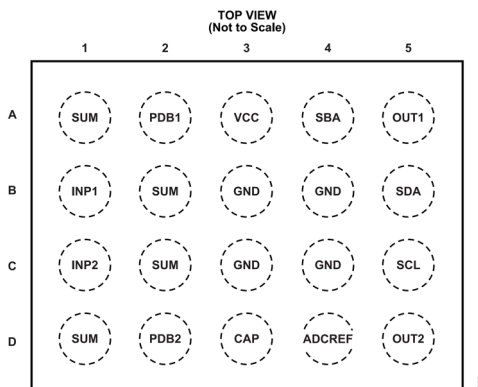


図 3. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
A1, D1, B2, C2	SUM	ガード・ピン。SUM ピンは、INP1 および INP2 への電流ラインをシールドするもので、内部で互いに接続されています。接地しないでください。
B1	INP1	チャンネル 1 の光電流入力。フォト・ダイオードのアノードに接続されます（電流が INP1 ピンに流れ込む）。
C1	INP2	チャンネル 2 の光電流入力。フォト・ダイオードのアノードに接続されます（電流が INP2 ピンに流れ込む）。
A2	PDB1	チャンネル 1 のフォト・ダイオード・バイアス。フォト・ダイオードのカソードに接続すると、適応型のバイアス制御を行うことができます。入力電流が小さい場合、フォト・ダイオードのカソードとアノードの間のオフセットを最小にするため、PDB1 ピンには抵抗性の負荷が加わらないようにしてください。使用しない場合はフロート状態のままにします。
D2	PDB2	チャンネル 2 のフォト・ダイオード・バイアス。フォト・ダイオードのカソードに接続すると、適応型のバイアス制御を行うことができます。入力電流が小さい場合にフォト・ダイオードのカソードとアノードの間のオフセットを最小にするために、PDB2 ピンには抵抗性の負荷が加わらないようにしてください。使用しない場合はフロート状態のままにします。
A3	VCC	正側電源。VCC ピンに 1nF と 4.7μF のコンデンサを用いてグラウンドとデカップリングすることを推奨します。
B3, C3, B4, C4	GND	アナログおよびデジタルのグラウンド。すべてのグラウンド・ピンは PCB 上で低インピーダンスのグラウンド・プレーンに接続します。
D3	CAP	オプションで CAP ピンと GND の間に 0.1μF のコンデンサを接続すると、低入力電流時の OUT1 や OUT2 のノイズを低減できます。
D4	ADCREF	ADC のリファレンス。ADC の読み出し値の精度を向上するためのリファレンス電圧入力。使用しない場合はグラウンドに接続します。
A4	SBA	シリアル・バスのアドレス。SBA ピンに印加される電圧により、3 種類の設定のうちの 1 つに I ² C バス・アドレスが設定されます。SBA は VCC または GND に接続するか、フロート状態のままにします。表 1 を参照してください。
A5	OUT1	チャンネル 1 の対数出力。OUT1 ピンの電圧は、INP1 に加えられた電流に対し対数的に変化します。
D5	OUT2	チャンネル 2 の対数出力。OUT2 ピンの電圧は、INP2 に加えられた電流に対し対数的に変化します。
B5	SDA	I ² C インターフェース・データ入出力。
C5	SCL	I ² C インターフェース・クロック入力。

代表的な性能特性

特に指定のない限り、 $V_{CC} = 3.0V$ 、 $T_A = 25^\circ C$ 、入力電流 (I_{INP}) = 10nA、デフォルトのレジスタ設定。

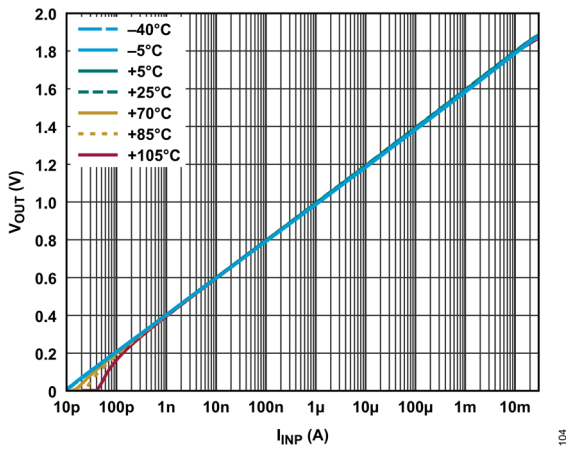


図 4. 様々な温度での V_{OUT} と I_{INP} の関係

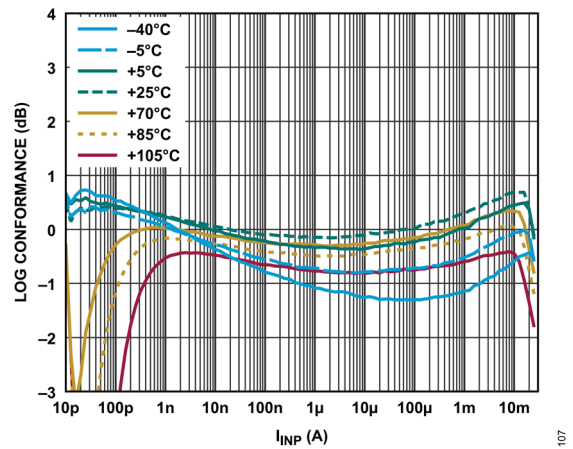


図 7. 様々な温度での対数 (Log) 適合度と I_{INP} の関係、 $25^\circ C$ での値に正規化

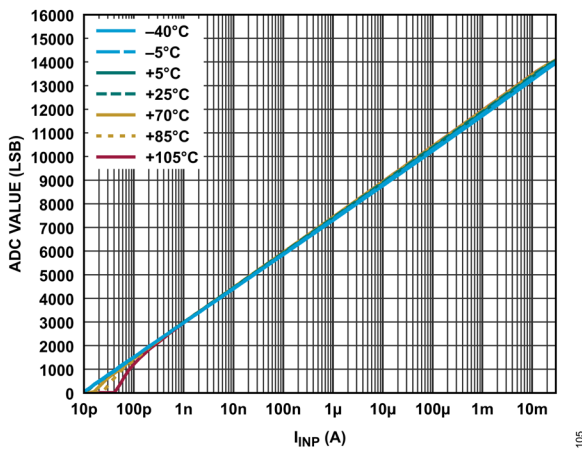


図 5. 様々な温度での ADC 値と I_{INP} の関係

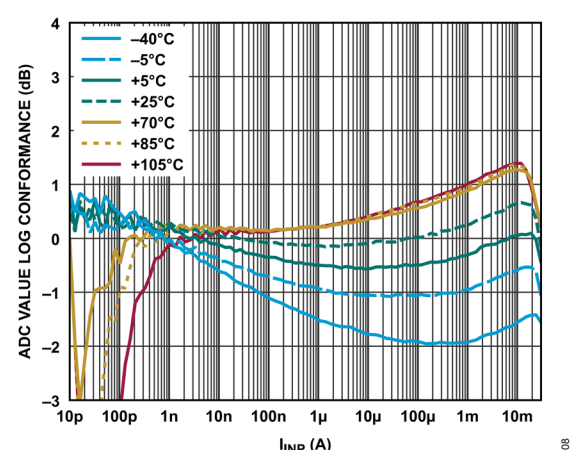


図 8. 様々な温度での ADC 値の対数適合度と I_{INP} の関係、 $25^\circ C$ での値に正規化

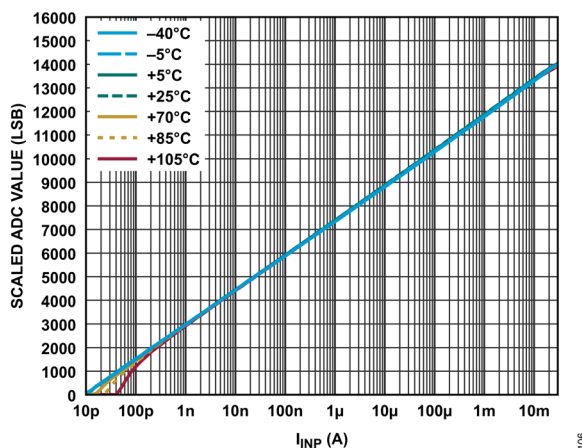


図 6. $ADCREF = 2.000V$ の場合における様々な温度でのスケールされた ADC 値と I_{INP} の関係

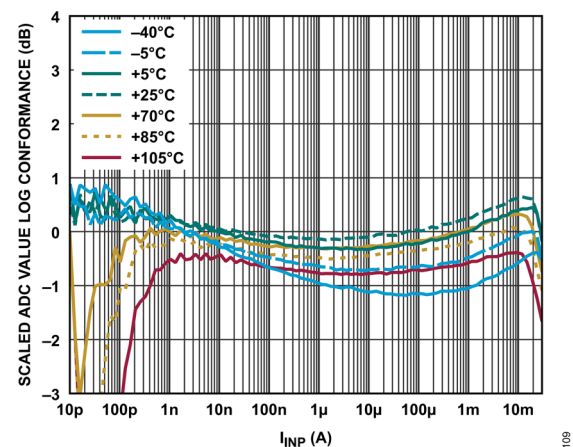


図 9. $ADCREF = 2.000V$ の場合における様々な温度でのスケールされた ADC 値の対数適合度と I_{INP} の関係、 $25^\circ C$ での値に正規化

代表的な性能特性

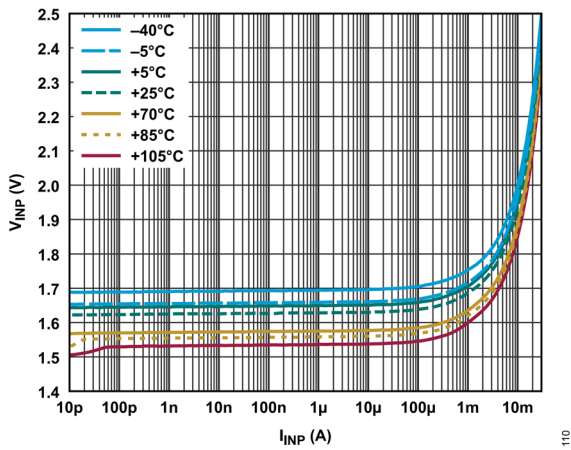


図 10. 様々な温度での入力電圧 (V_{INP}) と I_{INP} の関係

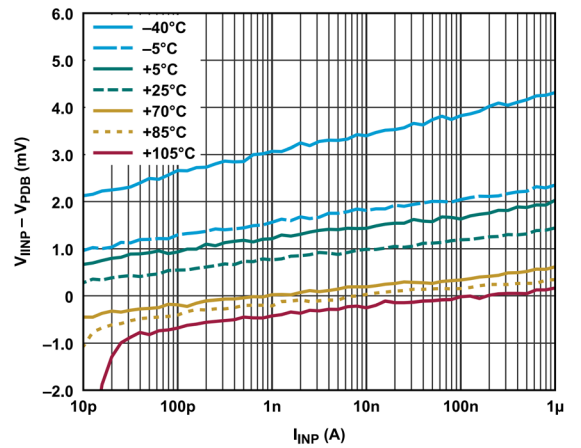


図 13. 様々な温度でのオフセット電圧 ($V_{INP} - V_{PDB}$) と I_{INP} の関係

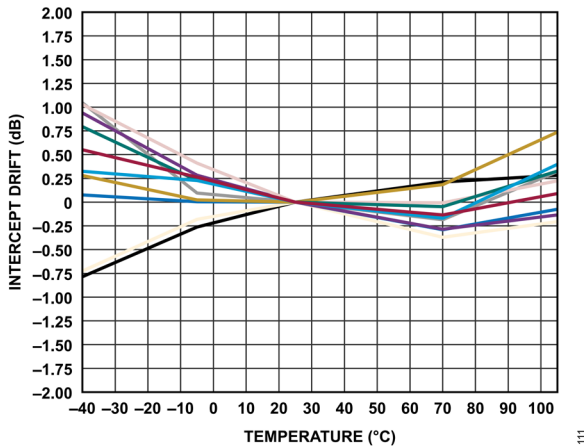


図 11. 10 個のサンプルにおけるインターセプト・ドリフトと温度の関係

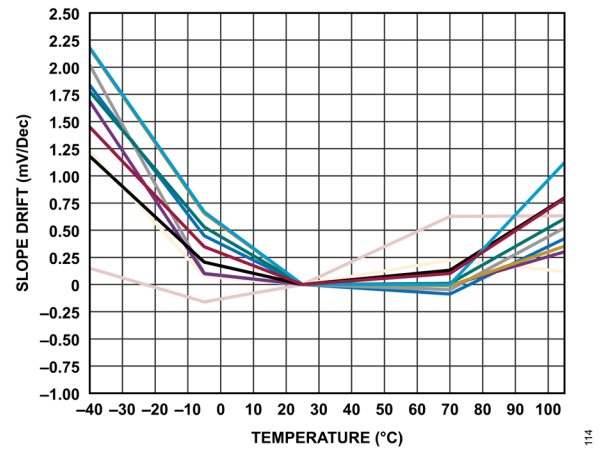


図 14. 10 個のサンプルにおけるスロープ・ドリフトと温度の関係

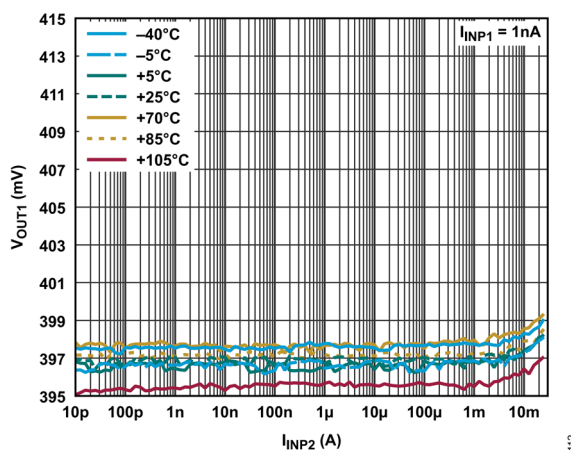


図 12. $I_{INP1} = 1nA$ の場合の V_{OUT1} と I_{INP2} の関係

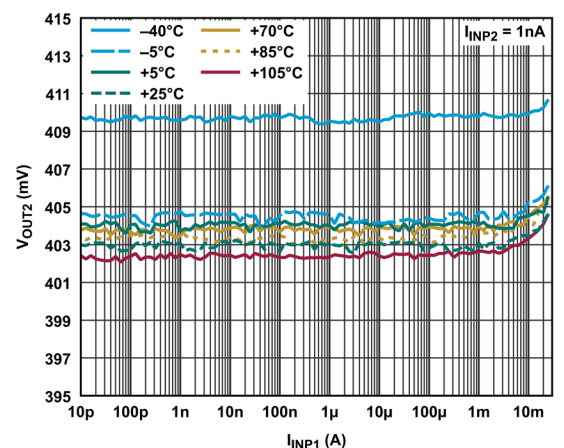


図 15. $I_{INP2} = 1nA$ の場合の V_{OUT2} と I_{INP1} の関係

代表的な性能特性

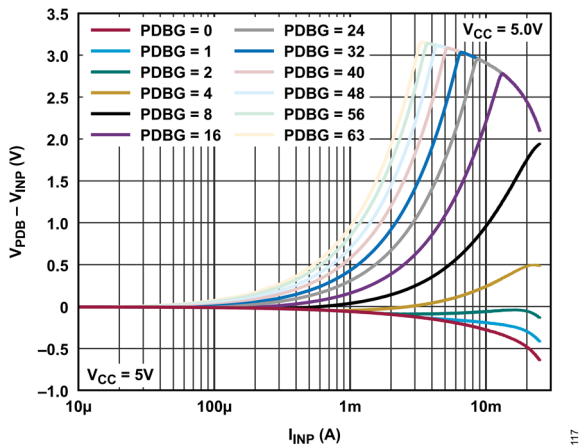


図 16. 様々な PDBG レジスタ値での $V_{PDB} - V_{INP}$ と I_{INP} の関係 ($V_{CC} = 5.0V$ において $PDBG_Fix = 0$)

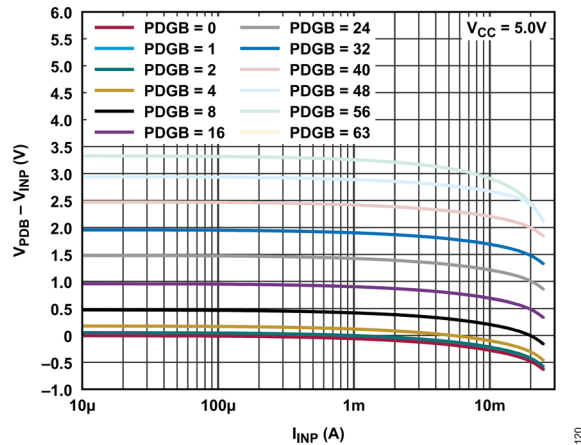


図 19. 様々な PDBG レジスタ値での $V_{PDB} - V_{INP}$ と I_{INP} の関係 ($V_{CC} = 5.0V$ において $PDBG_Fix = 1$)

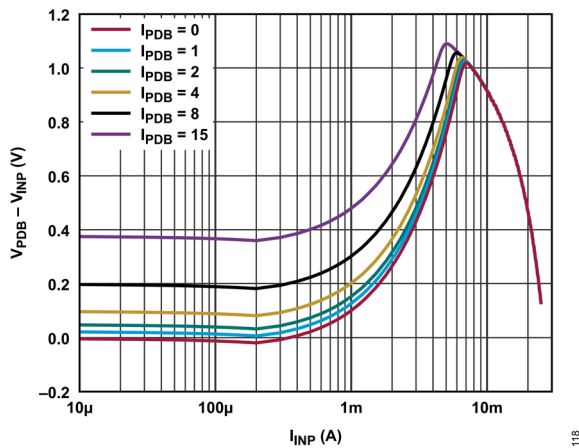


図 17. 様々な IPDB レジスタ値での $V_{PDB} - V_{INP}$ と I_{INP} の関係

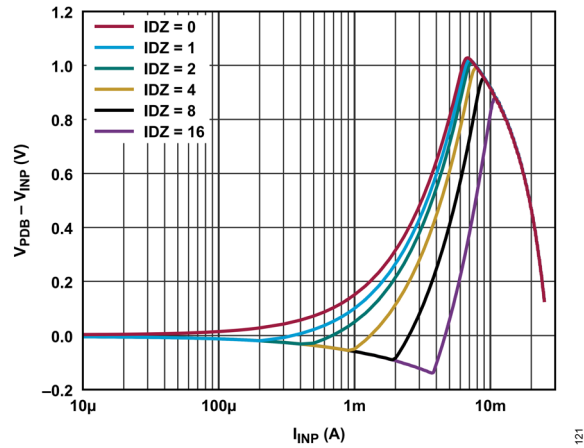


図 20. 様々な IDZ レジスタ値での $V_{PDB} - V_{INP}$ と I_{INP} の関係

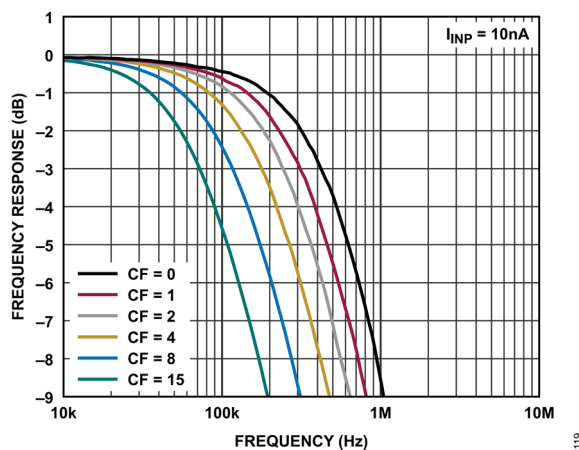


図 18. 様々な CF レジスタ値での $I_{INP} = 10nA$ における I_{INP} 入力 V_{OUT} 出力の小信号 AC 応答

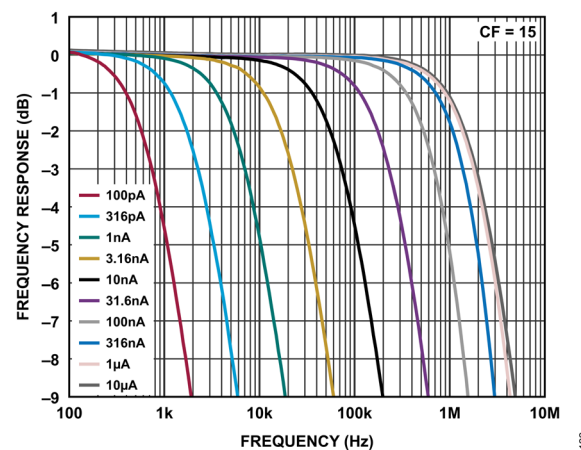


図 21. $CF = 15$ の場合の半桁刻みの様々な I_{INP} 値における I_{INP} 入力 V_{OUT} 出力の小信号 AC 応答

代表的な性能特性

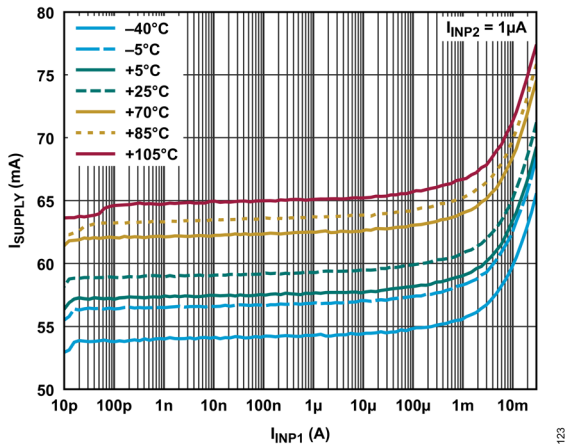


図 22. $I_{INP2} = 1\mu A$ の場合の電源電流 (I_{SUPPLY}) と I_{INP1} の関係

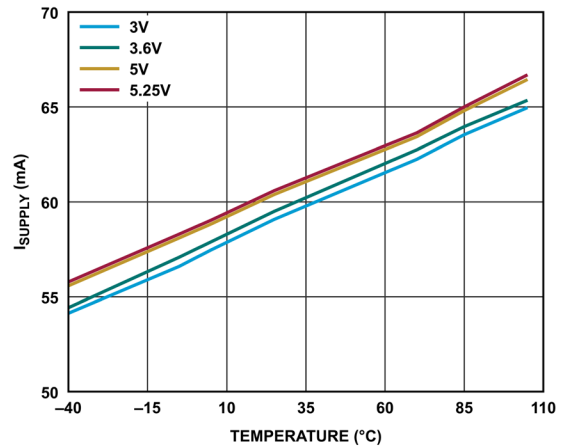


図 25. I_{INP1} 、 $I_{INP2} = 10nA$ での I_{SUPPLY} と温度の関係

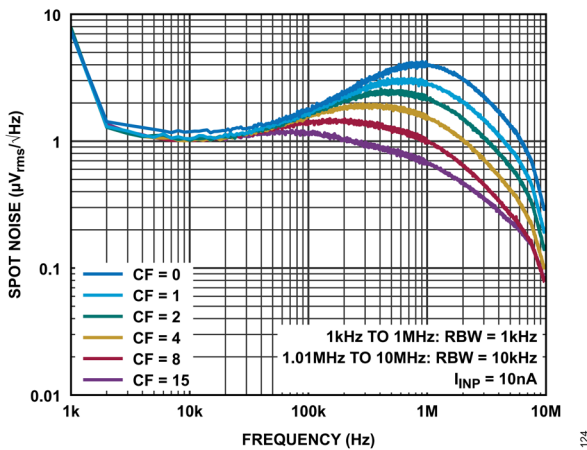


図 23. 様々な CF レジスタ値での $I_{INP} = 10nA$ の場合における V_{OUT} のスポット・ノイズ・スペクトル密度

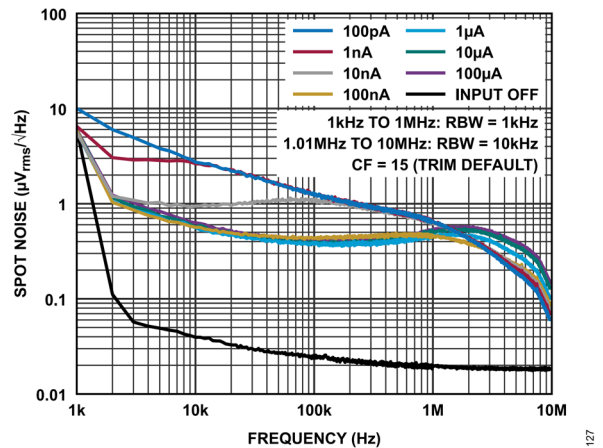


図 26. CF = 15 の場合における V_{OUT} のスポット・ノイズ・スペクトル密度と I_{INP} の関係

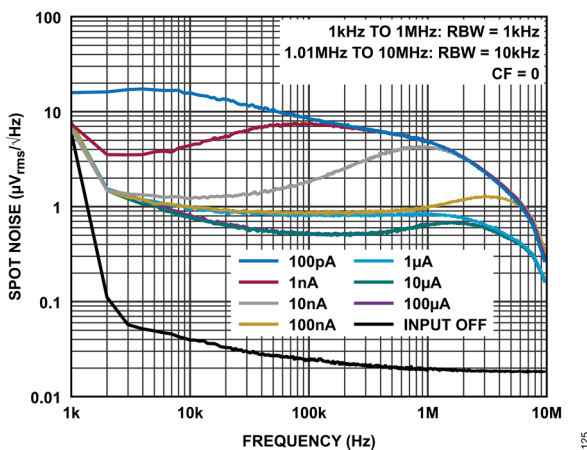


図 24. CF = 0 の場合における V_{OUT} のスポット・ノイズ・スペクトル密度と I_{INP} の関係

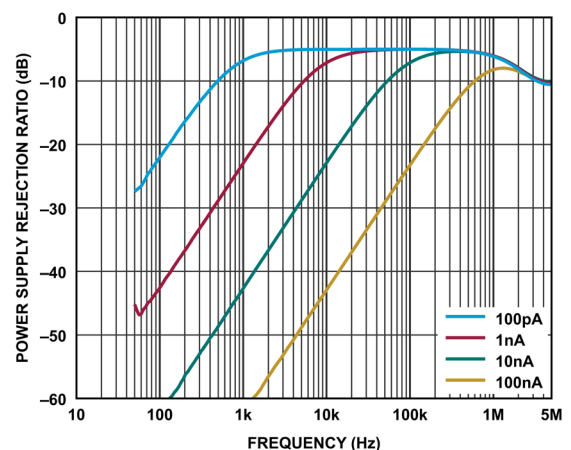


図 27. 様々な I_{INP} 値に対する PSRR

代表的な性能特性

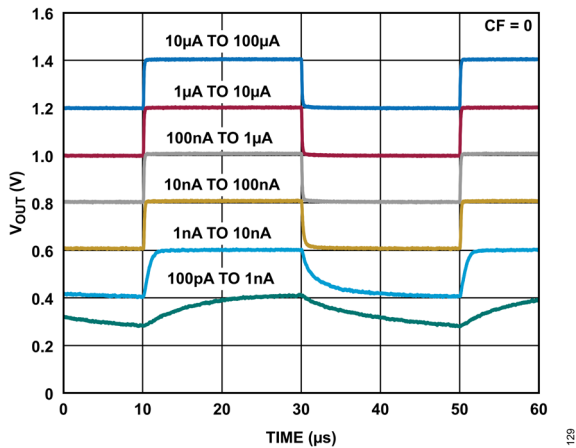


図 28. CF = 0 の場合における I_{INP} の 1 桁の変化に対するパルス応答

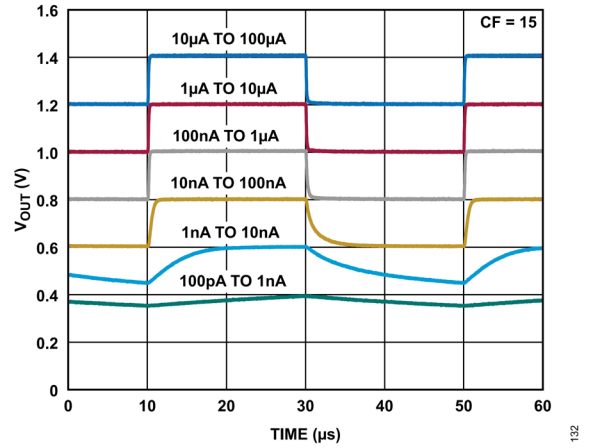


図 31. CF = 15 の場合における I_{INP} の 1 桁の変化に対するパルス応答

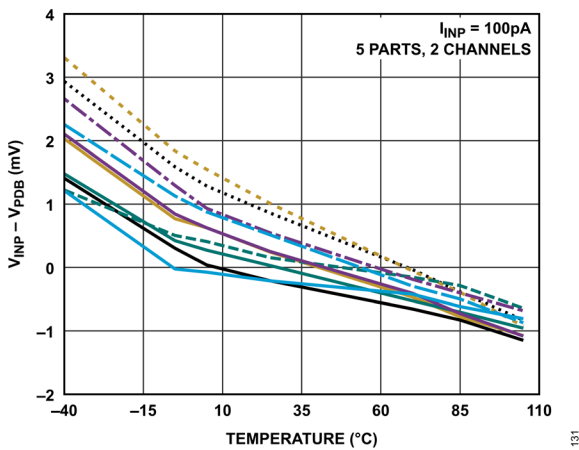


図 29. $I_{INP} = 100\text{pA}$ での $V_{INP} - V_{PDB}$ と温度の関係

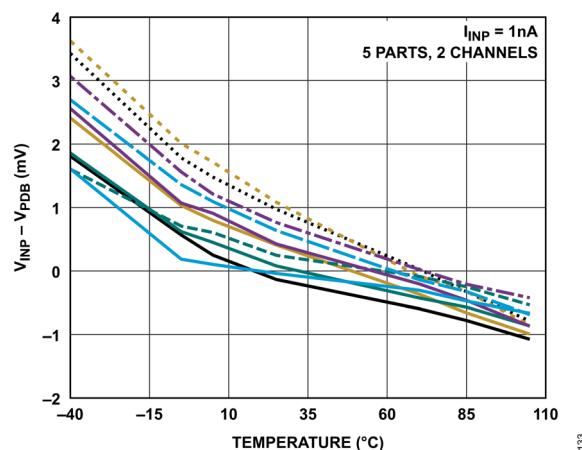


図 32. $I_{INP} = 1\text{nA}$ でのオフセット電圧と温度の関係

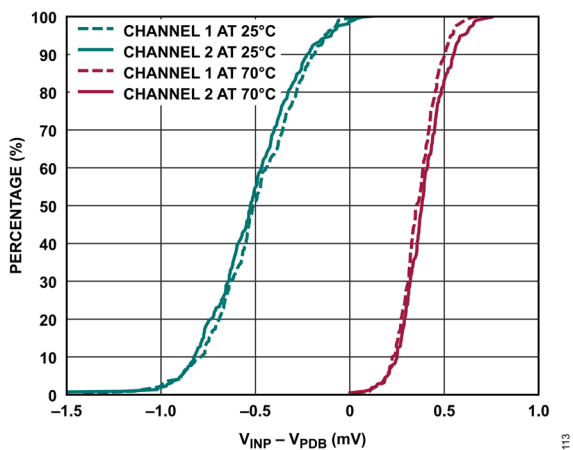


図 30. オフセット電圧の分布

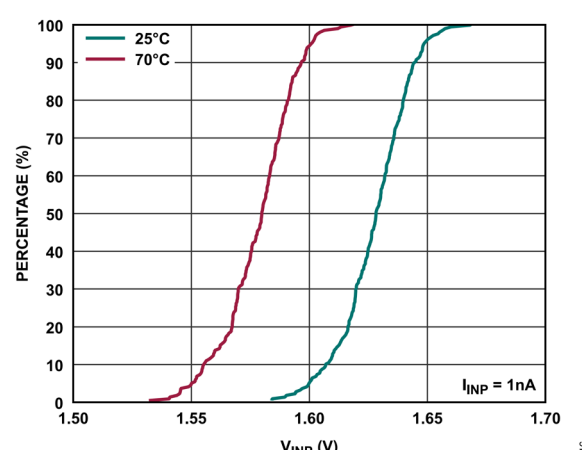


図 33. $I_{INP} = 1\text{nA}$ での入力電圧の分布

代表的な性能特性

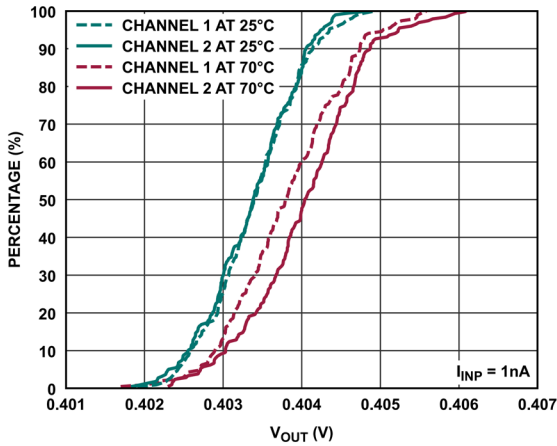


図 34. $I_{INP} = 1nA$ での出力電圧の分布

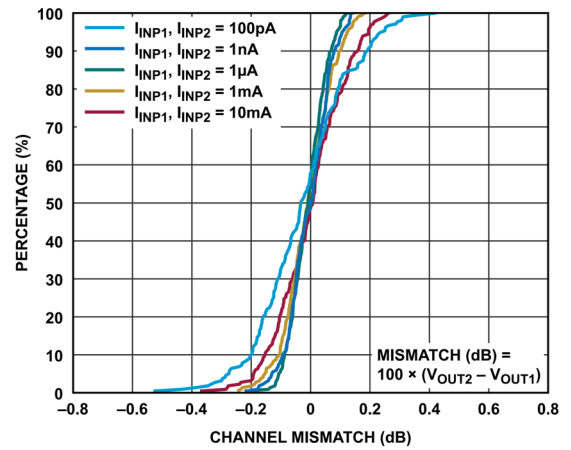


図 37. 25°C でのチャンネル・ミスマッチの分布

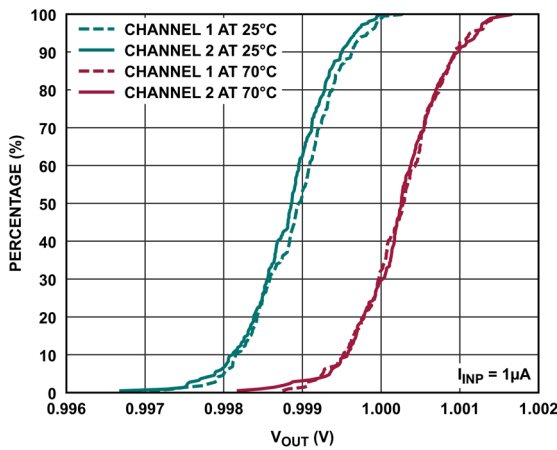


図 35. $I_{INP} = 1μA$ での出力電圧の分布

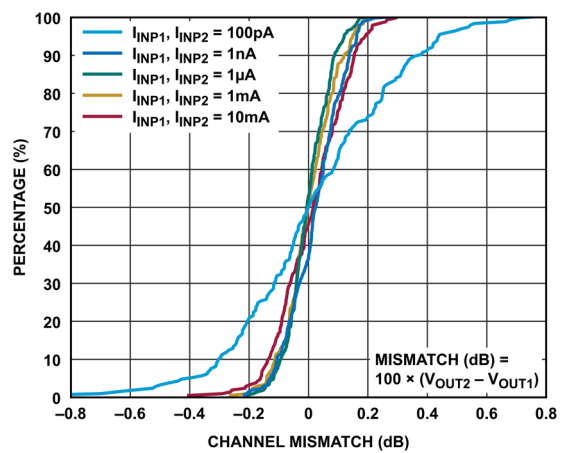


図 38. 70°C でのチャンネル・ミスマッチの分布

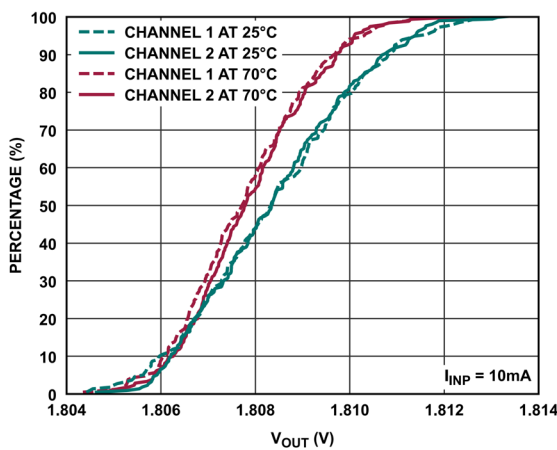


図 36. $I_{INP} = 10mA$ での出力電圧の分布

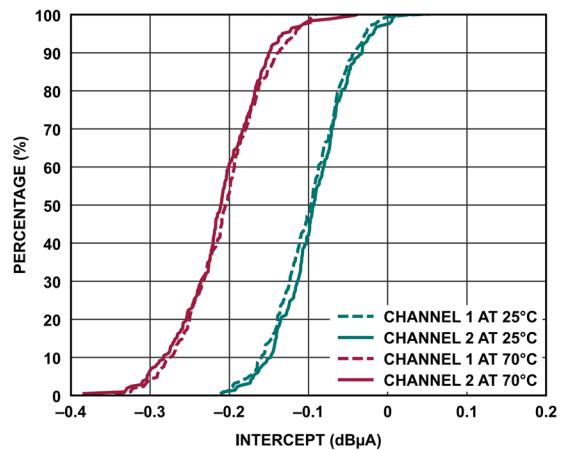


図 39. $(V_{OUT} - 1.0V)$ のインターセプトの分布

代表的な性能特性

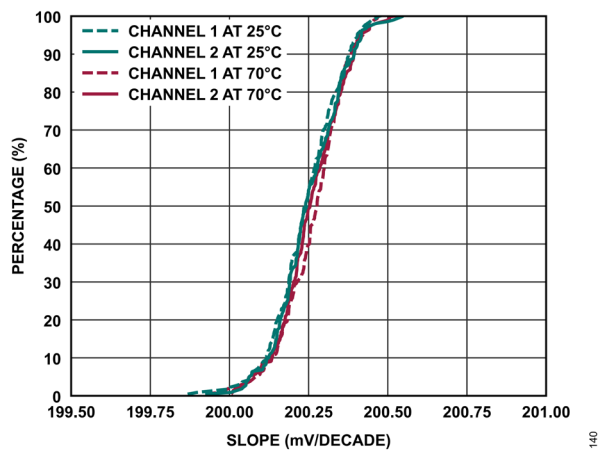


図 40. スロープの分布

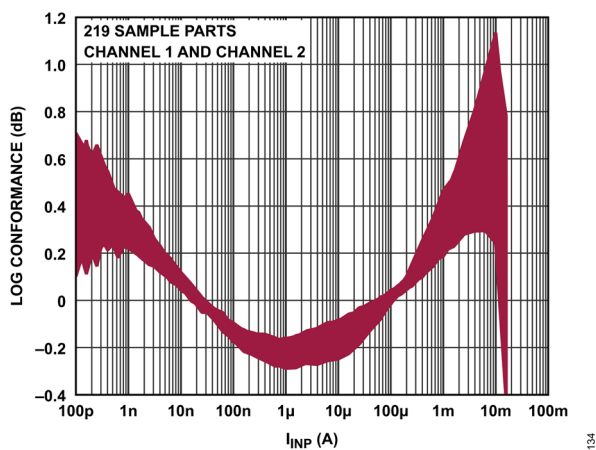


図 41. 219 個のサンプル・デバイスを用いて
両チャンネルについて測定した対数適合度と I_{INP} の関係

動作原理

ADL5309の性能と機能セットは、高ダイナミック・レンジで高精度の光パワー測定用に最適化されています。温度補償され工場トリミングされた対数トランスインピーダンス・アンプは、9桁の光パワーに相当する9桁の入力電流の全範囲にわたり正確な測定を可能にします。アンプの出力電圧は、正確さを損なうことなく、より緩いダイナミック・レンジで測定できます。これは、対数変換では本質的にダイナミック・レンジ圧縮が可能であるためです。そのため、14ビットの内蔵ADCには十分なダイナミック・レンジと分解能が備わり、正確なデジタル結果を提供できます。適応型のフォト・ダイオード・バイアス機能が内蔵されているため、暗電流やダイオードの直列抵抗などの非理想的な要素が測定精度に及ぼす影響を最小限に抑えることができます。内蔵のPCインターフェースを用いると、様々な内部アナログ機能を制御したり、ADCの結果を読み出したりできます。PCデバイスのアドレス指定には合計3つを選択できるため、1つのPCバスを介して最大3個のデバイスと個別に通信できます。

対数変換

対数トランスインピーダンス・アンプ (TIA) は、次式のように入力電流 (I_{PD}) の対数に (概ね) 比例する出力電圧を生成します。

$$V_{OUT} = SLOPE \times \log_{10}\left(\frac{I_{PD}}{I_Z}\right) \quad (1)$$

ここで、

SLOPE は、 I_{PD} が 10 (ディケード) 変化するごとの出力電圧 (V_{OUT}) の変化量を表す対数スロープです。

I_Z は、 V_{OUT} がゼロとなる I_{PD} (外挿値) です。

実際のデバイスは決してゼロになることはなく、10pA 未満の入力電流に対し、開始電圧である 17mV に飽和します。SLOPE と I_Z はどちらも、測定したアンプ出力電圧と一定範囲の入力電流レベルの関係に対し線形回帰を行うことで求めることができます。ADL5309の $V_{OUT} - 1.0V$ の曲線に対する対数スロープとインターセプトは、それぞれ正確に 200mV/dec および 1 μ A となるよう、工場調整されています。 V_{OUT} 曲線から 1.0V (1 μ A 時の V_{OUT} の理想値) を差し引く理由は、指定された入力電流範囲の中央に x 切片を置くためです。その結果、残留スロープ差が x 切片に及ぼす影響を最小限に抑えることができ、その式は以下ようになります。

$$V_{OUT} - 1.0 = SLOPE \times \log_{10}\left(\frac{I_{PD}}{I_Z}\right) \quad (2)$$

dB 単位の入力電流を用いて表すと、式 3 は次式のようになります。

$$V_{OUT} - 1.0 = SLOPE \times (I_{PD, dB} - I_{Z1, dB}) \quad (3)$$

ここで、

$I_{PD, dB}$ は dBA を単位とする入力電流、

$I_{Z1, dB}$ は dBA を単位とするインターセプト電流 (この場合は -120dBA) です。

ログ・アンプを用いて測定した値の精度は、次の 2 つの要素で決まります。

- ▶ 対数適合誤差
- ▶ 温度ドリフト誤差

対数適合誤差は、実際の TIA 変換と理想的な対数線形関係 (式 3 参照) との差を示すもので、dB 単位の入力電流を用いて次式のように表されます。

$$E_{LC} = \frac{20 \times V_{OUT}(T)}{SLOPE} + I_{Z1, dB} - I_{PD, dB} \quad (4)$$

ここで、 E_{LC} は測定誤差です。

したがって、 E_{LC} は対数 TIA の V_{OUT} を測定し、式 3 を用いてデバイスが検出する入力電流を決定する際に生じる測定誤差を表しています。通常、SLOPE と I_Z は室温でのみ定められるため、 E_{LC} の代表値にも TIA 変換の温度ドリフトによる影響が含まれません。

温度ドリフト誤差 (E_{DRIFT}) は、実際の TIA 変換と理想的な対数線形関係との差 (対数適合性) を除いた、TIA 変換の温度ドリフトによってのみ生じる測定誤差を示すものです。

$$E_{DRIFT}(T) = \frac{20}{SLOPE} \times [V_{OUT}(T) - V_{OUT}(T_0)] \quad (5)$$

ここで、

T は動作温度、

T_0 はリファレンス温度です。

この誤差、つまり動作温度で測定した V_{OUT} とリファレンス温度 (通常 25°C) で測定した実際の V_{OUT} の差は入力換算値であり、SLOPE を用いて (I_{PD} の) dB を単位として表されます。これは、誤差が比較的小さく、TIA 変換が概ね対数的 (dB 単位では線形) である限り、正確です。

光学測定

逆バイアスしたフォト・ダイオードのアノードを対数 TIA の入力に接続し、TIA がフォトン生成ダイオード電流を検出できるようにすることで、高ダイナミック・レンジの光パワー・モニタを構築できます。そのため、入射光パワーをフォト・ダイオード電流に変換するために、フォト・ダイオードの変換器としての側面を理解しておくことが重要です。純粋に電氣的な回路では、抵抗性負荷での消費電力は電流の 2 乗に比例します。あるいは逆に、負荷を流れる電流は消費電力の平方根に比例します。

$$I_R = \sqrt{P_{DISS}/R} \quad (6)$$

ここで、

I_R は適応型フォト・ダイオード電流、

P_{DISS} はフォト・ダイオードの消費電力、

R はフォト・ダイオードによる抵抗性負荷です。

動作原理

しかし、逆バイアスされたフォト・ダイオードでは、次式に示すように、フォトン生成 I_{PD} 自体は、ディテクタが吸収する光パワー (P_{OPT}) に正比例します。

$$I_{PD} = \rho \times P_{OPT} \tag{7}$$

ここで、 ρ は応答度 (つまり、光電力から電流への変換ゲイン)、 P_{OPT} は吸収された光パワーです。

比例係数 ρ は光パワーから電流への変換ゲインを示すもので、フォト・ダイオードの応答度と呼ばれます。同じ応答度を用いて、TIA の対数インターセプト電流 (I_z) を、理想的な対数線形変換を行った場合に出力電圧がゼロとなる光インターセプト・パワー・レベル (P_z) を基準として表すことができます。したがって、測定した光パワーからアンプの出力電圧への変換は、次式で表せます。

$$V_{OUT} = SLOPE \times \log_{10}\left(\frac{P_{OPT}}{P_z}\right) \tag{8}$$

入射された光パワーを dB 単位で表すために、式 8 が式 9 になります。

$$P_{OPT, dB} = 10 \times \log_{10}(P_{OPT}) \tag{9}$$

$$V_{OUT} = \frac{SLOPE}{10} \times (P_{OPT, dB} - P_z, dB) \tag{10}$$

したがって、mV/dB を単位とする光パワーの対数スロープは、mV/dB を単位とする入力電流 I_{PD} の対数スロープの 2 倍に等しくなります (式 3 参照)。同様に、dB を単位とする TIA の光学的ダイナミック・レンジは、dB を単位とする電気的ダイナミック・レンジの半分になります。つまり、光の場合 90dB であるのに対し、電気の場合は 180dB になります。

フォト・ダイオードのバイアス

フォト・ダイオード・バイアス機能は、暗電流と直列抵抗が測定精度に及ぼす影響を最小限に抑えることで、最大限の光パワー測定ダイナミック・レンジを実現します。

暗電流はダイオードを流れる微小リーク電流で、その変化量は入射光パワーに比例しないため、光パワー測定の感度が制限されます。一般的に暗電流は逆バイアス電圧と共に増加するため、低逆バイアス電圧を用いることで、暗電流を最小限に抑え光パワー測定の感度を最大限にすることができます。

直列抵抗は、フォト・ダイオードの電流レベルが高い場合に測定誤差の原因となります。この抵抗での電圧降下により、フォト・ダイオード・ジャンクション自体の逆バイアス電圧が減少します。フォト・ダイオードの直列抵抗の影響を最小限に抑えるには、十分に高く、可能ならばジャンクションで一定の逆バイアスを維持できるようダイオード電流に比例した、逆バイアス電圧が必要です。

ADL5309 のフォト・ダイオード・バイアス機能は、図 42 に示すように、フォト・ダイオードを流れる電流の関数としてフォト・ダイオードの逆バイアスを調整します。フォト・ダイオード電流が小さい場合、逆バイアスは特定の低レベルオフセット電圧 (V_{OS}) に保たれ、暗電流の影響を最小限に抑えます。フォト・ダイオード電流が増加すると、逆バイアスもそれに応じて

増加し、直列抵抗の影響を最小限に抑えます。この機能を使用するには、フォト・ダイオードのカソードを PDB ピンに接続する必要があります。

ADL5309 のフォト・ダイオード・バイアスは、I²C インターフェースを介して特定のフォト・ダイオードに合うよう最適化できます。小入力電流時の逆バイアス・レベル V_{OS} 、 R_T (バイアス電流の所定変化量に対するバイアス電圧の変化量)、 I_{TH} (電流が I_{TH} を上回ると R_T が影響を及ぼすようになります) は、すべて、I²C インターフェースを介して調整できます。

入力電流が I_{TH} より大きい場合、フォト・ダイオードの容量を介して適応型フォト・ダイオード・バイアスに正帰還が生じるため、PDB ピンにリングングが見られることがあります。通常、リングングの周波数は約 65MHz で、帯域幅が大幅に低いため急速に減衰するので、 V_{OUT} に影響する形で伝搬することはありません。容量が 8pF 未満のフォト・ダイオードの場合、低温時においてもリングング (振動) の持続は見られません。しかし、容量の大きいフォト・ダイオードでは、リングングの持続が生じる可能性があります。そのような場合、10Ω の抵抗と 220pF のコンデンサを直列に連結したスナバ回路ネットワークを PDB ピンとグラウンドの間に接続して、リングングを低減することを推奨します。リングングはフォト・ダイオードの容量と逆電圧、直列抵抗、PCB レイアウトの関係に依存するため、 I_{TH} より大きな入力電流を生成する光パルス源を用いて PDB ピンに現れるリングングを測定し、過度なリングングを防止することを推奨します。必要に応じ、220pF のコンデンサを増大するか、 R_T を設定する PDBG レジスタの内容を低減することができます。

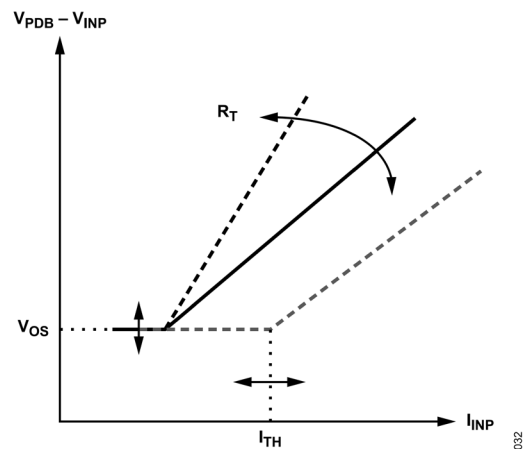


図 42. 適応型フォト・ダイオード・バイアスの動作原理

R_T は、SREG_07 の PDBG_FIX フラグを介して、有効にすることも無効 (実質的にゼロ) にすることもできます (表 9 参照)。無効化した場合 (PDBG_FIX=1)、ダイオードの逆バイアス電圧は、ダイオード電流に応じて変化することなく、全入力電流範囲で一定のままとなります。有効化した場合 (PDBG_FIX=0)、PDBG ビット・フィールドは R_T の値を 15.625Ω 刻みで調整します。SREG_07 レジスタのビット・フィールドで R_T を表すと式 11 のようになります。PDBG_FIX = 1 あるいは PDBG = 0 と設定すると R_T は無効化されることに注意してください。

動作原理

$$R_T = 15.625 \times (1 - PDBG_FIX) \times PDBG \quad (11)$$

R_T は I_{TH} より大きな値で有効となり、 I_{TH} は SREG_07 の PDBG および SREG_08 の IDZ で制御されます。これは次式で表せます。

$$I_{TH} = 32 \mu A \times \left(\frac{100 \times IDZ - PDBG}{PDBG \times (1 - PDBG_FIX)} \right) \quad (12)$$

IDZ が機能する最小値は 1 なので、 I_{TH} の最小値は IDZ = 1 かつ PDBG = 63 の場合に得られ、 $I_{TH} = 18 \mu A$ となります。PDBG_FIX = 1 の場合、 I_{TH} は無限大となり、実質的に R_T を無効化します。IDZ がゼロに設定されている場合、オフセット・キャリブレーションは無効化されます。

PDB ピンと INP ピンの間の初期バイアス電圧 (オフセット電圧) は、レジスタ SREG_08、レジスタ SREG_0A、レジスタ SREG_0B を使用して調整できます。更に、初期バイアス電圧は PDBG と PDBG_FIX に依存します。レジスタ SREG_08 のビット・フィールド IPDB は、25mV 刻みで粗調整を行います。これはどちらのチャンネルについても同じです。SREG_07 の PDBG の寄与は、PDBG_FIX フラグの状態によって異なります。入力電流が I_{TH} より小さい場合、オフセット電圧は mV を単位として次式で表せます。

$$V_{OS} = 62.5 \times PDBG \times PDBG_FIX + 25 \times IPDB + 0.15 \times (OS - 128) \quad (13)$$

$|V_PDB1 - V_INP1|$ および $|V_PDB2 - V_INP2|$ は、OS1 および OS2 を調整することで小入力電流時に IPDB = 0 および PDBG_FIX = 0 の場合に最小となるよう工場で調整されているため、 V_{OS} は必ずしも OS1 = OS2 = 128 で 0mV とはならない点に注意してください。帯域幅と入力電流のこの関係に対する更なる考察は、[図 21](#) を基に行うことができます。

帯域幅

対数 TIA の帯域幅は I_{PD} に応じて変化し、小入力電流時には狭帯域幅となり、電流レベルが増加すると徐々に帯域幅も広がります。一般に、帯域幅とゲインは互いに反比例し、アンプのゲインが増加すると帯域幅が減少し、ゲインが減少すると帯域幅は増加します。対数 TIA も例外ではありません。[式 1](#) を用いると、TIA の小信号ゲイン (Z_t)、つまり I_{PD} の (小さな) 変化による出力電圧の変化は、次式で表せます。

$$Z_t = \frac{dV_{OUT}}{dI_{PD}} = \frac{SLOPE}{\ln(10) \times I_{PD}} \quad (14)$$

ここで、 Z_t は小信号ゲインです。

対数によりダイナミック・レンジは本質的に圧縮されるため、低入力レベルでの TIA ゲインは非常に高く、そのため帯域幅は狭くなると予想されます。同様に、大入力電流時の R_T は非常に低く、帯域幅は広くなることが見込まれます。帯域幅と入力電流のこの関係に対する更なる考察は、対数 TIA の簡略化した回路図である [図 1](#) を基に行うことができます。

全体的なトポロジは、通常、ダイオードまたはバイポーラ・トランジスタのベース・エミッタ接合を用いて I_{IN} から V_{OUT} への対数変換を行う負帰還アンプです。帰還がない場合、つまりオペレーショナル・アンプリファイア (オペアンプ) のゲインがゼロである場合、入力ノードの (グラウンドに対する) インピーダンスは高くなります。ソースからの電流のほとんどがダイオードに流れ込むので、フォト・ダイオードまたは回路基板のわずかな寄生容量が回路の (オープン・ループ) 帯域幅に大きく影響します。アンプのループ・ゲインは、大まかに言ってオペアンプ・ゲイン、入力インピーダンス、および帰還ダイオードのトランスコンダクタンスの積で表せる、ループ・ゲインに概ね等しいファクタ分だけ入力ノードのインピーダンスを低減します。ループ・ゲインが無限であれば、TIA のクロード・ループ入力インピーダンスはゼロ、つまり、実質的に接地され、帰還ダイオードの電流はソース電流 (I_S) と正確に一致します。オペアンプのゲインが高いながらも有限である実際のアンプにおいては、 R_T のゲイン (Z_t) の増加はダイオードのトランスコンダクタンス (理想的には Z_t の逆数) の低下に相当するため、アンプのループ・ゲインの低下にも相当します。同様に、ループ・ゲインの低下はアンプのクロード・ループ入力インピーダンスを増加させ、(入力容量が概ね一定であれば) アンプの帯域幅が減少します。できるだけ広い帯域幅を維持するには、TIA 入力ピンの容量性負荷を最小限に抑えることが重要です。

ノイズ

対数 TIA により生じるノイズ・レベルは、 I_{INP} にも依存します。 V_{OUT} のノイズは、入力電流が小さい場合に最大となり (小信号ゲインが最大になることに対応)、高入力電流レベルの場合に最小となります。[図 24](#) および [図 26](#) に、CF = 0 および CF = 15 の場合のスポット・ノイズ・スペクトル密度と I_{INP} の関係を表すグラフを示します。入力電流が小さい場合、最も支配的なノイズ源の 1 つは、入力ノードで 1/f ノイズ電圧を生成する入力負チャンネル金属酸化膜半導体 (NMOS) ([図 43](#) 参照) の 1/f ノイズです。

入力に容量性負荷があると、このノイズ電圧は、入力の 1/f ノイズ電流の原因となり、スポット・ノイズ・スペクトル密度の曲線が凸形状となる場合があります。そのため、等価並列容量ができるだけ小さいフォト・ダイオードを選択し、また、入力ノードへの配線パターンをできるだけ短くして、ソース容量を最小限に抑えることが重要です。 I_{INP} が小さい場合のノイズ密度と帯域幅のトレードオフは、レジスタ CF を設定することで行うことができます。つまり、([図 23](#) および [図 18](#) に示すように) CF = 15 (デフォルト) では帯域幅およびノイズ密度が最小となり、CF = 0 では、帯域幅およびノイズ密度が最大となります。

アプリケーション情報

INP1 および INP2 のインターフェース

光電効果電流入力は、フォト・ダイオードのアノードから INP ピンに向かって流れます。最大動作入力電流は 25mA です。

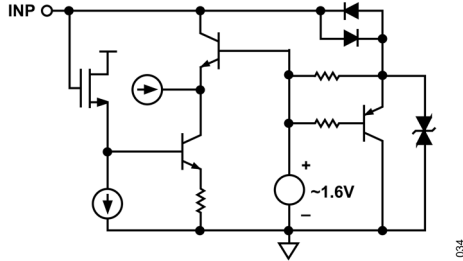


図 43. 簡略化した入力インターフェース

OUT1 および OUT2 のインターフェース

対数 V_{OUT} は、INP に加えられた電流に対し対数的に変化します。動作温度範囲全域で電流入力範囲が 100pA~25mA の場合、公称スロープは 200mV/dec です。

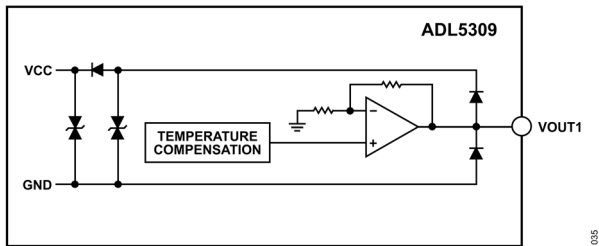


図 44. 簡略化した出力インターフェース

PDB1 および PDB2 のインターフェース

PDB のインターフェース・ピンを 図 45 に示します。このピンの目的は、フォト・ダイオードで使用されるバイアス電圧を生成することです。

光学システムにおいて、フォト・ダイオードは光入力パワーに比例した電流を出力します。その結果、出力ダイナミック・レンジは、光入力パワーのダイナミック・レンジの 2 倍 (dB 単位) となり、極めて広がる場合があります。入力パワーが低い場合は、入力電流が非常に小さく (pA 程度) なることもあります。INP に対しては、ダイオード両端での電圧降下をできるだけ小さく維持して、フォト・ダイオードの暗電流リークを最小限に抑えることが必要です。入力電力が大きくなるとフォト・ダイオード電流も大きくなる可能性があります (最大数十 mA)。この光電流がダイオードの内部直列抵抗に加えられると、光パワーが増加した場合に電圧降下を増加させます。

暗電流問題に対処するため、ADL5309 では、入力電流が小さい場合にフォト・ダイオードのカソード・アノード間電圧をゼロ近くに維持することで暗電流を低減する、フォト・ダイオード・バイアスが可能です。より大電流の動作時には、フォト・ダイオード・バイアス・インターフェースが入力電流に追従し、入力電流に正比例する出力電圧を生成します。その場合のゲインは PDBG レジスタで調整可能です。R_T は、PDBG_FIX ビットをアサートするか PDBG を 0 に設定することで無効化できます。フォト・ダイオード・バイアス V_{OUT} は、 V_{CC} で制限されます。

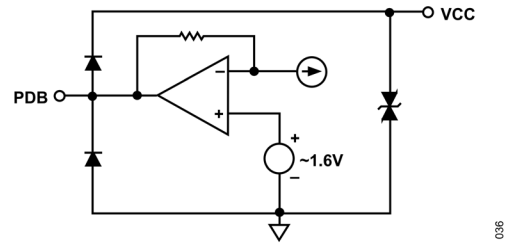


図 45. 簡略化したフォト・ダイオード・バイアス・インターフェース

SUM インターフェース

ノード間のインピーダンスが比較的高い場合でも、ノード間の大きな電圧差が顕著なリーク電流を引き起こす場合があります。ガード処理を行うことでリークによる誤差を低減できます。同じ電圧電位まで駆動される別の導体 (ガード) で高インピーダンス導体を囲むことがガード処理の概念です。絶縁抵抗の両端 (高インピーダンス導体とガード間) に電圧がかかっていない場合、電流は流れません。

電流検出回路での外部ソースによる誤差を低減するには、代表的な高インピーダンス・オペアンプ回路の電圧検出入力とは異なる手法が必要です。高感度ログ・アンプでは、特にアンプの範囲の下限において、リークが誤差の大きな原因となる可能性があります。例えば、INP の電流経路からグラウンドへ通じる 1GΩ のリーク経路があると、SUM がデフォルトの 1.6V に設定されている場合、1.6nA のオフセットが生じます。

ADL5309 は、入力電流経路 INP をシールドするガード・ピンとして SUM ノードを用います。SUM ノードでは、500Ω の内蔵抵抗が 1.6V 電圧リファレンス・バッファに接続されています。

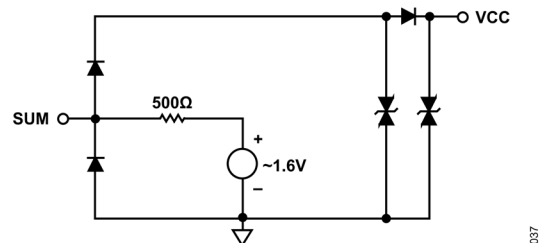


図 46. 簡略化した SUM インターフェース

ADCREf インターフェース

図 5 および 図 8 に示す内蔵 ADC を用いた入力電流測定の精度は、ADCREf ピンに安定したリファレンス電圧を加えることで向上できます。このリファレンス電圧は、ADCREf_PIN_SEL レジスタ (0x0A) = 0x2C、ADC_MUX_CTRL レジスタ (0x04) = 0x08、および ADCREF_MUX_SEL レジスタ (0x07) = 0x03 と設定することで、ADC でサンプリングできます。理想的な ADC 値は次式で計算できます。

$$ADCREf_value_ideal = \frac{V(ADCREf) \times 16383}{2.2} \quad (15)$$

アプリケーション情報

例えば、2.000V のリファレンス電圧を印加すると 14894 と理想の ADC 値が得られます。各電流測定に $ADCREF_value_ideal/ADCREF_value$ の補正値を適用し、チャンネル 1 に対しては $ADC_MUX_CTRL(0x04) = 0x02$ 、チャンネル 2 に対しては $ADC_MUX_CTRL(0x04) = 0x04$ と設定して測定した入力電流の ADC 値にこの補正値を乗じると、[図 6](#) および [図 9](#) に示すように、スケールされた ADC 測定結果は精度が向上します。

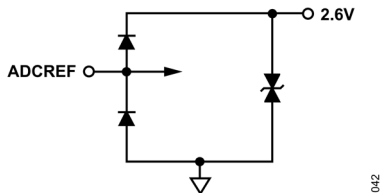


図 47. ADCREF インターフェース

SDA、SCL、SBA の各インターフェース

[図 48](#) に双方向 SDA インターフェースを示します。SDA 出力ドライバはオープン・ドレインで、レシーバーにオフチップのプルアップ抵抗が必要です。プルアップ抵抗は、5.5V の最大正電源に接続できます。レジスタ書き込み動作の間、SDA 出力ドライバは高インピーダンスであり、SDA 入力レシーバーは、200kHz の最大 SDA 周波数で 0.8pF の入力ピン容量を駆動できるドライバによって駆動する必要があります。20kΩ 未満のドライバ出力インピーダンスを推奨します。

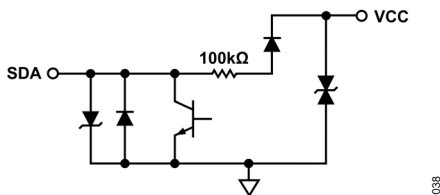


図 48. 簡略化した SDA インターフェース

[図 49](#) に、I²C コントローラにシリアル・クロック入力を行うための SCL インターフェースを示します。この入力が高インピーダンスであり、400kHz の最大 SCL 周波数で 0.8pF の入力ピン容量を駆動できるドライバで駆動する必要があります。10kΩ 未満のドライバ出力インピーダンスを推奨します。

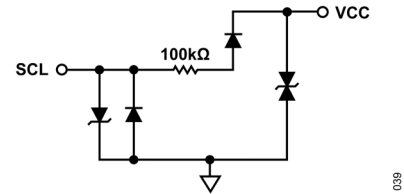


図 49. 簡略化した SCL インターフェース

[図 50](#) に SBA インターフェースを示します。SCL に適用される電圧源によって I²C バス・デバイスのアドレスが 3 通りの設定のうち 1 つに設定されます。これらの設定には、ピンを VCC に接続してデバイス・アドレスを 0x6E に設定する、ピンをフロート状態のままにしてデバイス・アドレスを 0x6D に設定する、あるいは、ピンをグラウンドに接続してデバイス・アドレスを 0x6C に設定する、の 3 通りがあります。このピンのソース・インピーダンスは 10kΩ 未満とすることを推奨します。

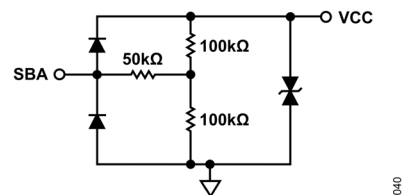


図 50. 簡略化した SBA インターフェース

シリアル・ポート・インターフェース

プロトコル

ADL5309 は、いくつかの内部（アナログ）機能を制御・監視する対象デバイスとして、I²C バス・インターフェースに接続できます。最大3個のADL5309デバイスを同じI²Cバスに接続でき、それぞれが固有のデバイス・アドレスを持ちます。タイミング条件の詳細は表 2 を参照してください。データは一度に 1 バイトずつ、MSB ファーストで送信されます。各命令は、1 つのアドレス・バイトとそれに続く 1 つ以上のデータ・バイトで構成されます。ADL5309 は、単一バイト読出し・書込み方法と、自動インクリメント読出し／書込み命令をサポートしています。

アドレス選択

ADL5309 の I²C デバイス・アドレスは、SBA ピンをグラウンドに接続する、正側電源に接続する、ピンをフロート状態のままにする、の 3 通りの選択肢から選択できます（表 1 参照）。SBA ピンを通じて選択した I²C アドレスは、レジスタ 0x01 から読み出すこともできます。選択した 7 ビットのデバイス・アドレスの後には、1 つの読出し／書込み LSB アドレス・ビットが続きます。この LSB アドレス・ビットは、書込み命令の場合は「0」、読出し命令の場合は「1」になります。例えば、I²C デバイスのアドレス 0x6C に対応する書込みアドレスは、LSB = 0 を追加することで得られます。これは 1 ビット分だけ左にシフトする（2 倍する）のと等価で、0xD8 になります。バスの読出しアドレスは、書込みアドレスの LSB を「0」から「1」に変更したものに等しく、0xD9 になります。

サポートされている読出し・書込み方法

ADL5309 は、以下に示すいくつかの I²C 読出し・書込み方法に対応しています。

- ▶ 単一レジスタの読出し／書込み
- ▶ オートインクリメントを通じた 1 回の動作での複数レジスタの読出し／書込み
- ▶ 間接アドレス指定を用いた 1 つのシャドウ・レジスタの読出し／書込み

図 51 に各方法の処理進行の概要を示します。I²C バスの各トランザクションは、コントローラによって開始され、スタート条件の送信、すなわち SCK がハイの間に SDA ラインをハイからローに遷移させることで始まります。続いて、8 ビットの（選択したターゲットの）デバイス・アドレスが SCK クロック・パルスあたり 1 ビットずつ送信されます。すべてのアドレスとデータは、バスを通じて MSB ファーストで送信されます。

9 番目のクロック・パルスは、ターゲットからコントローラへ ACK（アクノレッジ）信号を送信してアドレスが受信されたことを通知するために予約されています。ACK を送信するために、ターゲットは SDA をロー・レベルに引き下げます。SDA ラインがハイ・レベルのままの場合は、NACK（ノット・アクノレッジ）となります。トランザクションに応じて、一連のバイト読出し／書込み転送が続き、それぞれ ACK ビットまたは NACK ビットで終了します。トランザクションは、コントローラによって送信されるストップ条件、つまり SCK がハイ・レベルの間の SDA ラインのローからハイへの遷移で終了します。

自動インクリメント機能は、1 回のトランザクションで複数の連続するレジスタへの読出し／書込みアクセスを可能にします。各データ・バイトは、手前のレジスタより 1 つ大きなアドレスを持つ次のレジスタとの間で読出し／書込みが行われます。

間接アドレス指定方法を用いると、シャドウ・アクセス・レジスタのセクションで詳細を説明するように、ADL5309 のシャドウ・レジスタにアクセスできます。

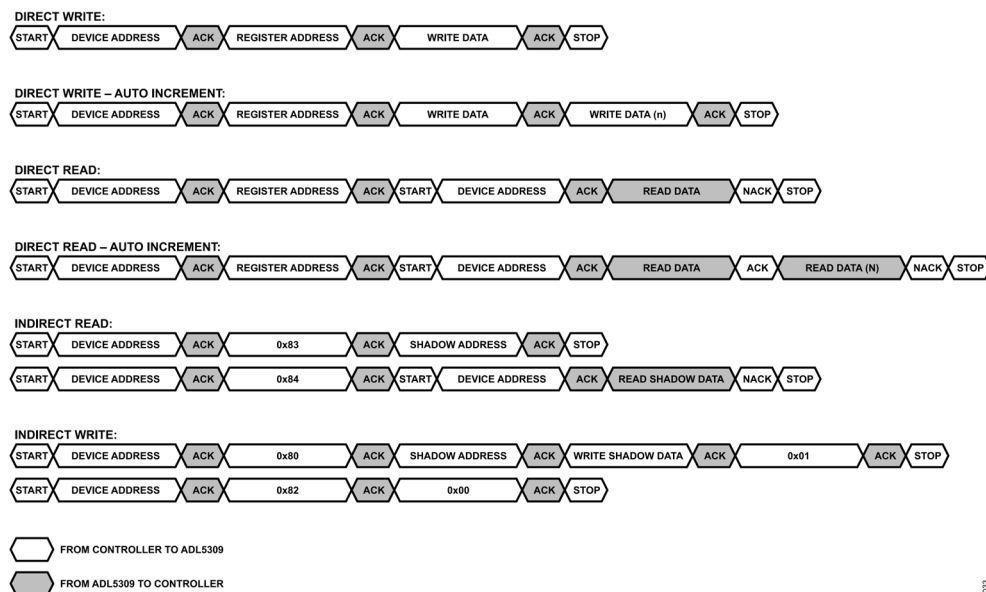


図 51. ADL5309 のシリアル・バス読出し／書込みシーケンス

シリアル・ポート・インターフェース

リセット、アドレス、ID の各レジスタ

表 7. ADL5309 のリセット、アドレス、ID の各レジスタの詳細

アドレス	名前	ビット	フィールド名	説明	デフォルト	アクセス
0x00	REG_00	0	SOFTRESET	このビットに「1」を書き込むと、すべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
0x01	REG_01	[6:0]	DEVICE_ADDRESS	SBA ピンで選択された、アクティブな I ² C デバイス・アドレス。電圧レベル。表 1 を参照してください。	0x6X	R
0x0D	REG_0D	[7:0]	CHIP_ID	ADL5309 の ID。	0x6C	R

ADC レジスタ

ADL5309 には、以下の 3 種類の入力データ・ストリームの任意の組み合わせをサンプリングする、14 ビット、22kSPS の ADC が内蔵されています。

- ▶ チャンネル 1 の V_{OUT}
- ▶ チャンネル 2 の V_{OUT}
- ▶ 内蔵温度センサー

レジスタ REG_05 およびレジスタ REG_06 は、ADC の出力ワードのストリーミングをサポートし、マップの他のレジスタとは異なる動作をします。自動インクリメントを使って I²C 読出し方法で REG_05 を読み出すと、複数の ADC サンプルを 1 回の動作で読み出すことができます。2 バイトを読み出す場合は、REG_05 の MSB が最初に読み出され、次に REG_06 の LSB が読み出されます。しかし、2 バイトより多く読み出す場合は、アドレス・ポインタは REG_05 に戻り、次の ADC サンプルの MSB が読み出されます。したがって、REG_05 から 10 バイトの自動インクリメント読出しを行うと、REG_05 および REG_06 から連続する 2 バイトの ADC ワードが 5 個返されます。

ADC は、REG_04 の MUX_CTRL ビット・フィールドを通じて選択される、最大 3 通りの入力ストリームからのサンプルをデジタル化できます。MUX_CTRL にゼロ以外の値を書き込むと、ADC のマルチストリーム・マルチサンプルの読出し動作が始まります。1 つのサンプルは、MUX_CTRL の最下位ビットに対応するアクティブ・ストリームから始まり、1 回につきそれぞれのアクティブ入力ストリームからデジタル化され、ついで次の入力ストリームがデジタル化されます。したがって、1 つの入力ストリームから n サンプルを取得するには、合計で $2*n$ バイトを読み出す必要があります。複数の入力ストリームが選択されている場合、最初のアクティブな入力ストリーム・サンプルが繰り返されますが、これは無視できるため、読み出す合計バイト数は $2*m*n+2$ (m =入力ストリーム数) となります。

複数のサンプルを用いて平均化を行い内蔵のディザを用いると、ADC を用いた場合の性能を向上できます。REG_08 に 0x1F を書き込むと 32 ビットのディザが可能となり、REG_08 に 0x2F を書き込むと 64 ビットのディザが可能となります。REG_08 に 0x3F を書き込むと、32 ビットおよび 64 ビットのどちらのディザ・ビットも有効化されます。REG_08 のデフォルト値は 0x03 で、ディザは無効化されています。

シリアル・ポート・インターフェース

表 8. ADL5309 の ADC レジスタの詳細

アドレス	名前	ビット	フィールド名	説明	デフォルト	アクセス
0x04	REG_04	4	ADC_BUSY	変換が進行中の場合「1」。REG_05 および REG_06 には常に最後に終了した変換が格納されます。	0x0	R
		[3:0]	MUX_CTRL	以下のとおり対応するビットを「1」にセットして、デジタル化する ADC 入カストリームを選択します。 <ul style="list-style-type: none"> ▶ ビット 0: デジタル温度計 ▶ ビット 1: チャンネル 1 の V_{OUT} ▶ ビット 2: チャンネル 2 の V_{OUT} ▶ ビット 3: ADCREF のテスト入力 ADC はアクティブなすべての入カストリームを順番に巡回して、14 ビットのサンプルを一度に 1 つずつ取得します。	0x0	R/W
0x05	REG_05	[5:0]	ADC_DATA[13:8]	ADC データの MSB	0x00	R
0x06	REG_06	[7:0]	ADC_DATA[7:0]	ADC データの LSB	0x00	R
0x08	REG_08	[5:0]	ADC_CONF	以下に示す ADC ディザ設定レジスタ <ul style="list-style-type: none"> ▶ 0x1F を書き込むと 32 ビット・ディザが有効化 ▶ 0x2F を書き込むと 64 ビット・ディザが有効化 ▶ 0x3F を書き込むと、32 ビットおよび 64 ビットのどちらも有効化。 ▶ 0x03 を書き込むとディザを無効化 	0x03	R/W
0x07	REG_07	[3:0]	AD- CREF_MUX_SEL	ADCREF の MUX 選択。ADCREF 入力を用いるには、これを 0x3 にセットします。	0x0	R/W
0x09	REG_09	1	ADC_RESET	このビットを「1」にセットすると A/D 変換が再開されます。	0x0	R/W
		0	ADC_ENABLE	「1」にセットすると ADC が有効化されます。	0x1	R/W
0x0A	REG_0A	[4:3]	ADCREF_PIN_SEL	ADCREF ピンの選択。ADCREF 入力を用いるには、これを 0x1 にセットします。	0x0	R/W

シリアル・ポート・インターフェース

シャドウ・レジスタ

シャドウ・レジスタを用いることで、両チャンネルの適応型フォト・ダイオード・バイアス回路を詳細に設定でき、デフォルト設定よりも高度な機能が可能となります。

これらのレジスタへのアクセスは、シャドウ・アクセス・レジスタを用いる間接アドレス指定方法で可能です（シャドウ・アクセス・レジスタのセクションを参照）。表 9 に使用可能なレ

ジスタの概要を示します。使用可能なフォト・ダイオード・バイアス設定の詳細な説明については、[フォト・ダイオードのバイアスのセクション](#)を参照してください。デフォルトでは、シャドウ・レジスタはロックされており、読み専用でアクセス可能です。レジスタのロックを解除し書き込みアクセスができるようにするには、まず SREG_20 に 0xE5 を書き込みます（間接アドレス指定を使用）。SREG_20 に 0x00 を書き込むか（ソフト）リセットを発行することで再度ロックされるまで、ロック解除された状態は有効となります。

表 9. ADL5309 のシャドウ・レジスタの詳細

アドレス	名前	ビット	フィールド名	説明	デフォルト	アクセス
0x07	SREG_07	6 [5:0]	PDBG_FIX PDBG	このビットがセットされている場合、フォト・ダイオード・バイアス・トランス抵抗が無効化（実質的にゼロに設定）され、フォト・ダイオード・バイアス電圧は入力電流に対し一定となります。 PDBG_FIX がセットされていない場合はフォト・ダイオード・バイアス・トランス抵抗制御、PDBG_FIX がセットされている場合はフォト・ダイオード・バイアス電圧制御。	0x00	R/W
0x08	SREG_08	[7:4] [3:0]	IDZ IPDB	フォト・ダイオード・バイアス・トランス抵抗のスレッシュホールド制御。 ゼロ入力電流時の両チャンネルのフォト・ダイオード・バイアス電圧を 25mV 刻みで制御します。	0x00	R/W
0x0A	SREG_0A	[7:0]	OS1	チャンネル 1 の V_PDB - V_INP オフセットを 150μV 刻みで制御。	0xXX	R/W
0x0B	SREG_0B	[7:0]	OS2	チャンネル 2 の V_PDB - V_INP オフセットを 150μV 刻みで制御。	0xXX	R/W
0x0C	SREG_0C	[7:4] [3:0]	IMAX CF	IMAX レジスタ（シャドウ・レジスタ 0x0C の 4MSB）は、PDB ピンの最大供給電流を設定します。これは工場にて約 30mA に調整されています。IMAX が変更されると、OS の工場調整（シャドウ・レジスタ 0x0A およびシャドウ・レジスタ 0x0B）の精度に影響するため、再キャリブレーションを行うことを推奨します。 コンデンサ帰還。小入力電流の帯域幅を設定します。	0xFF	R/W
0x20	SREG_20	[7:0]	UNLOCK	0xE5 を書き込むと読み専用で書き込み用にロック解除し、0x00 を書き込むとシャドウ・レジスタを読み専用でロックします。	0x00	R/W

シリアル・ポート・インターフェース

シャドウ・アクセス・レジスタ

表 10 に示すアドレス 0x80～アドレス 0x84 のレジスタを用いると、表 9 に示すシャドウ・レジスタに間接アドレス指定方法を通じてアクセスできます。

シャドウ・レジスタを読み出すには、まずそのアドレスを REG_83 に書き込む必要があります。それにより、データが REG_84 から読み出せます。書き込み動作を可能にするには、まず、間接書き込みを通じて SREG_20 に 0xE5 を書き込んで、シャ

ドウ・レジスタのロックを解除する必要があります。間接書き込みを行うには、自動インクリメント書き込み方法を用いてシャドウ・レジスタ・アドレスを REG_80 に、データを REG_81 に書き込み、最後に 0x01 を REG_82 に書き込んで WRITE_ENBL フラグをセットします。これらすべてを 1 回のトランザクションで行います。その後、新たな書き込み動作において、0x00 を REG_82 に書き込んで WRITE_ENBL ビットをクリアします。

表 10. ADL5309 のシャドウ・アクセス・レジスタの詳細

アドレス	名前	ビット	フィールド名	説明	デフォルト	アクセス
0x80	REG_80	[7:0]	WRITE_ADDR	書き込むシャドウ・レジスタのアドレス	0x00	R/W
0x81	REG_81	[7:0]	WRITE_DATA	レジスタ 0x80 で指定されたシャドウ・レジスタに書き込むデータ	0x00	R/W
0x82	REG_82	0	WRITE_ENBL	REG_80、REG_81 への書き込みを可能にするには「1」にセット	0x00	R/W
0x83	REG_83	[7:0]	READ_ADDR	読み出すシャドウ・レジスタのアドレス	0x00	R/W
0x84	REG_84	[7:0]	READ_DATA	レジスタ 0x83 で指定されたシャドウ・レジスタから読み出すデータ。	0x00	R

評価用ボードの回路図

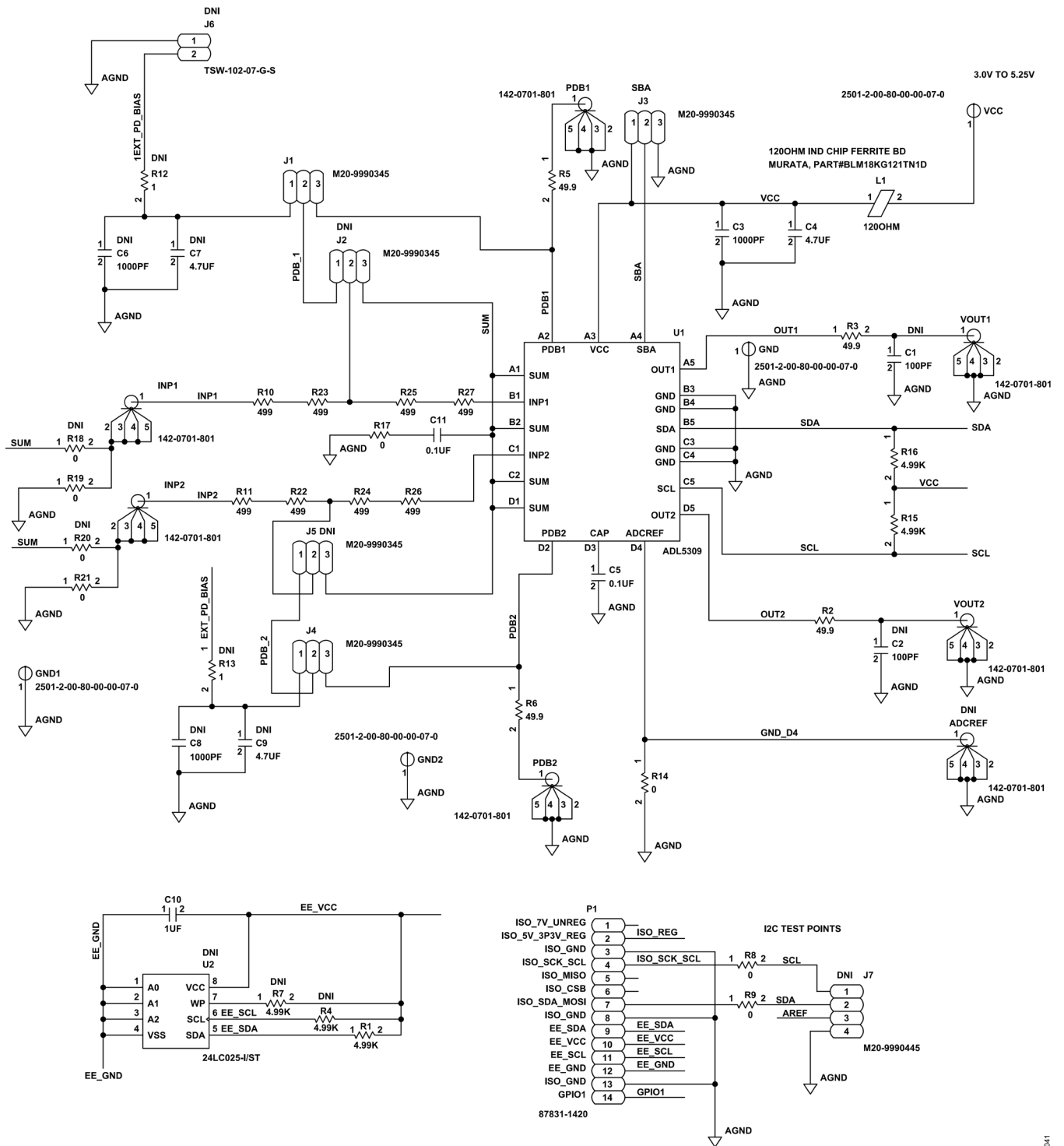


図 52. 評価用ボードの回路図

外形寸法

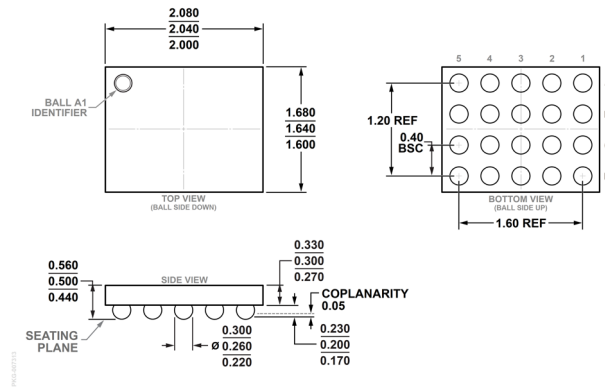


図 53. 20 ボール・ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-20-16)
寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADL5309ACBZ	-40°C to +105°C	20-Ball WLCSP (2.040 mm × 1.640 mm)	Tape, 3000	CB-20-16
ADL5309ACBZ-R7	-40°C to +105°C	20-Ball WLCSP (2.040 mm × 1.640 mm)	Reel, 3000	CB-20-16
ADL5309ACBZ-RL	-40°C to +105°C	20-Ball WLCSP (2.040 mm × 1.640 mm)	Reel, 5000	CB-20-16

¹ Z = RoHS 準拠製品。

評価用ボード

表 11. 評価用ボード

Model ^{1, 2, 3}	Description
ADL5309-EVALZ	Evaluation Board
ADL5309-KIT-EVALZ	Evaluation Board Kit

¹ Z = RoHS 準拠製品。

² ADL5309-EVALZ パッケージには評価用ボードのみが含まれています。

³ ADL5309-KIT-EVALZ には DC2026C Linduino One コントローラ・ボードが含まれています。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年11月27日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年11月27日

製品名：ADL5309

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：18頁、右の段、下から8行目の文

【誤】

「**SCL**に適用される電圧源によって I2C バス・デバイスのアドレスが 3 通りの設定のうちの 1 つに設定されます。」

【正】

「**SBA**に適用される電圧源によって I2C バス・デバイスのアドレスが 3 通りの設定のうちの 1 つに設定されます。」