

188dB (10pA~25mA) をカバーする高速応答対数コンバータ

特長

- ▶ 高速過渡応答 (I_{PD} は220 μ Aから10nAまでステップ状に変化)
 - ▶ 立上がり/立下がり時間: <2.4 μ s
 - ▶ 2dBの電氣的 (1dBの光学的) セトリング・タイム: <3.5 μ s
- ▶ 平坦な周波数応答/アンダーシュートなし
- ▶ 帯域幅: 970kHz ($I_{INP} = 10$ nA)
- ▶ 正確に調整された対数応答
 - ▶ 対数スロープ: 200mV/dec
 - ▶ 対数適合誤差 \pm 0.2dB (25 $^{\circ}$ C, 10nA~1mAの I_{INP})
- ▶ 光学的ゲインの直接測定を可能にする比率入力
- ▶ 調整可能なヒステリシスとラッチ・イネーブルを備えたコンパレータ
- ▶ I²C調整可能
 - ▶ 適応型のフォトダイオード・バイアス
 - ▶ コンパレータ・リファレンス・レベル
- ▶ 必要な外付け部品は最小限
- ▶ PSRR: 34dB (20kHz, $I_{INP} = 10$ nA)
- ▶ 2mm \times 3mm、14端子LGAパッケージ

アプリケーション

- ▶ 光パワーのモニタリング
- ▶ エルビウム添加ファイバ増幅器 (EDFA)

概要

ADL5308は、光ファイバ・システムにおける広いダイナミック・レンジの信号レベル・モニタリング向けに最適化された、対数トランスインピーダンス・アンプです。

このデバイスは、INPピンの入力電流とリファレンス電流の比の対数に比例する、温度補償された正確な出力電圧を生成します。リファレンス電流は、内部生成することも、IREFインターフェースを通じて外部から供給することもできます (対数比検出)。対数スロープとインターセプトはどちらも、公称値 (それぞれ200mV/ディケードおよび10pA) となるよう正確に調整されます。

低インピーダンスのVLOG対数出力は、A/Dコンバータ (ADC) などの広範な回路を駆動する能力を備えており、そのゲインはFBピンを駆動する抵抗分圧器を追加することによって調整できます。

内蔵の高速コンパレータは、I²Cを介してプログラムされるかCREFインターフェースを介して供給される外部のリファレンス・レベルと対数出力とを比較する、コンパクトなソリューションを実現します。このコンパレータは、調整可能なヒステリシスとオプションの出力ラッチ機能 (HYSTピンを使用) を備えています。

適応型のフォトダイオード (PD) バイアスは、PDBピンを通じてサポートされます。ダイオード電流が小さい場合は、逆方向PDバイアスが低い状態に維持され暗電流を最小限に抑えます。入力電流が大きくなるとバイアス電圧が電流に比例して増加し、PDの飽和による非線形性を回避します。初期バイアス・レベルおよび電流が上昇したときのスケールリング・ファクタはI²Cを通じて設定できます。

ADL5308は、-40 $^{\circ}$ C~+105 $^{\circ}$ Cの周囲温度で動作するように仕様規定され、2mm \times 3mm、14端子の小型LGAパッケージで提供されます。

機能ブロック図

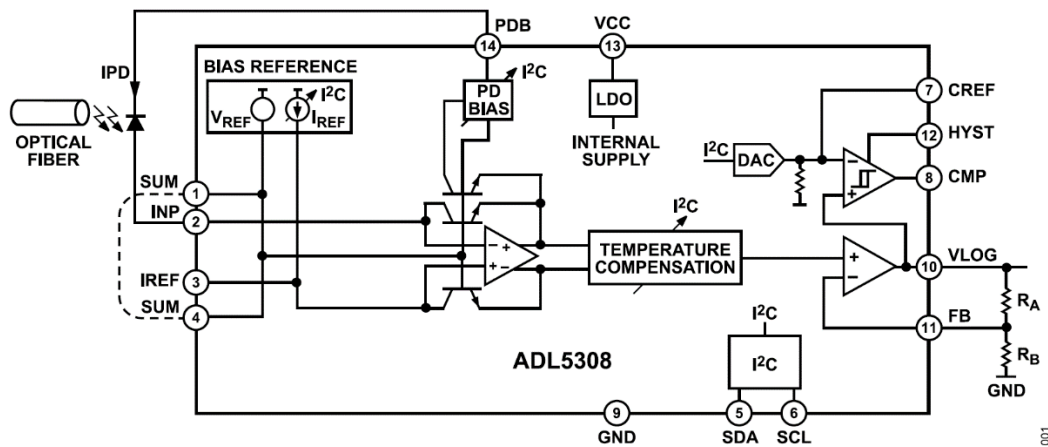


図1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	帯域幅.....	14
アプリケーション.....	1	ノイズ.....	14
概要.....	1	アプリケーション情報.....	15
機能ブロック図.....	1	インターフェースの説明.....	15
仕様.....	3	シリアル・ポート・インターフェース.....	18
シリアル・インターフェースのタイミング仕様.....	4	プロトコル.....	18
絶対最大定格.....	5	アドレス.....	18
熱抵抗.....	5	サポートされている読出し・書込み方法.....	18
ESDに関する注意.....	5	レジスタの一覧.....	19
ピン配置およびピン機能の説明.....	6	評価用ボードの回路図.....	21
代表的な性能特性.....	7	外形寸法.....	22
動作原理.....	12	オーダー・ガイド.....	22
対数変換.....	12	評価用ボード.....	22
光学測定.....	12		
フォトダイオード・バイアス (PDB).....	13		

改訂履歴

8/2023—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 5.0V$ 、 $T_A = 25^\circ C$ 、入力電流 (I_{INP}) = 10nA、デフォルトのレジスタ設定。

表 1. 電気仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
INPUT INTERFACES					
INP Current Range (INP)	INPピン (ピン2) に流れ込む電流	10		25	pA mA
IREF Current Range (IREF)	IREFピン (ピン3) に流れ込む電流	5		1	nA mA
Input Node Voltage	入力電流範囲全体	1.3	1.5 to 2.2	2.4	V
SUM Voltage (SUM)			1.53		V
Absolute Offset Voltage	$ V_{PDB} - V_{INP} $ 、 $I_{INP} = 1nA$ $ V_{PDB} - V_{SUM} $		1	6	mV mV
Temperature Drift			-12		$\mu V/^\circ C$
PHOTODIODE BIAS (PDB)					
Output Voltage	V_{PDB} 、 $I_{PDB} = 1 \mu A$ V_{PDB} 、 $I_{PDB} = 10 mA$		1.53 3.3		V V
Transresistance (R_T)	$(V_{PDB} - V_{INP})/I_{PD}$	180	282	380	Ω
I_{PD} Threshold (I_{TH})	I_{TH} 未満となる一定のPDB電圧		160		μA
LOGARITHMIC OUTPUT					
Logarithmic Slope		198	200	202	mV/dec
Logarithmic Intercept		8	10	12	pA
Logarithmic Conformance Error	$10nA \leq I_{INP} \leq 1mA$	-0.7	± 0.2	0.8	dB
Output Voltage	$I_{INP} = 10mA$ $I_{INP} = 1nA$		1.805 406		V mV
Small Signal Bandwidth	$I_{INP} = 10nA$		970		kHz
Fall, Rise Times	220 μA ~10nAの範囲の I_{INP} 、90%および10%の点で測定		<2.4 μs		
Settling Time	220 μA ~10nAの範囲の I_{INP} 、VLOGは最終値の2dB以内にセトリング、220 Ω /1.2nFのVLOGローパス・フィルタを使用		<3.5		μs
Output Current	$I_{INP} = 1nA$ 、 $V_{VLOG} = 0.6V$ 、シンク $I_{INP} = 10mA$ 、 $V_{VLOG} = 1.6V$ 、ソース		49 17		mA mA
Output Impedance			1		Ω
COMPARATOR					
Output High Voltage	$C_{REF} = 0V$ 、 $I_{INP} = 10mA$		3.3		V
Output Low Voltage	$C_{REF} = 1V$ 、 $I_{INP} = 1nA$		0		V
Short-Circuit Output Current	$C_{MP} = 2.8V$ 、 $C_{REF} = 1V$ 、 $I_{INP} = 10mA$ 、ソース $C_{MP} = 0.2V$ 、 $C_{REF} = 1V$ 、 $I_{INP} = 1nA$ 、シンク		9.2 8.8		mA mA
Hysteresis	$H_{YST} = 1V$ 、 $C_{REF_DAC} (0x40) = 1.27V$		109		mV
Latch Enable Voltage	H_{YST} ピンでの電圧		1.6		V
POWER SUPPLY					
Positive Supply Voltage		4.75	5.0	5.25	V
Quiescent Current	$I_{INP} = 1\mu A$		32		mA
Power-Supply Rejection Ratio	$I_{INP} = 10nA$ 、20kHzで測定		34		dB
I²C INTERFACE					
Logic Low Input Voltage				0.9	V
Logic High Input Voltage		2.1		3.3	V
Current Into SCL, SDA				± 50	μA
Input Hysteresis Voltage, V_{HYST}			250		mV

仕様

表 1. 電気仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
Input Capacitance			1		pF
Glitch Rejection				50	ns

シリアル・インターフェースのタイミング仕様

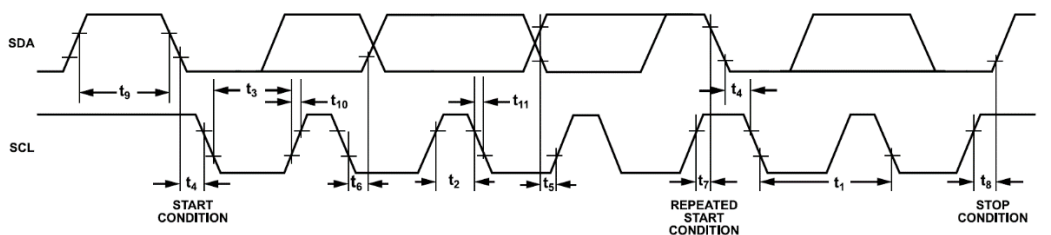


図2. I²Cのタイミング図

表 2. I²Cのタイミング仕様

Parameter	Description	Min	Typ	Max	Unit
$f_{SCL(MAX)} = 1/t_1$	Maximum SCL clock frequency	400			kHz
t_3	Minimum SCL low period		0.65	1.3	μ s
t_2	Minimum SCL high period		50	600	ns
t_9	Minimum bus free time between STOP/START condition		0.12	1.3	μ s
t_4	Minimum hold time after (repeated) START condition		140	600	ns
t_7	Minimum repeated START condition setup-time		30	600	ns
t_8	Minimum STOP condition setup-time		30	600	ns
t_6	Minimum data-hold time input		-100	0	ns
t_6	Minimum data-hold time output	300	600	900	ns
t_5	Minimum data setup-time input		30	100	ns
$t_{SP(MAX)}$	Maximum suppressed spike pulse width	50	110	250	ns
t_{RST}	Stuck bus reset time (condition: SCL or SDA held low)	25	66		ms
C_X	SCL, SDA input capacitance		5	10	pF

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
Supply Voltage (V_{CC})	5.5 V
Current into INP	100 mA
Current into IREF	25 mA
DC Voltage	
SUM, INP, IREF, SDA, SCL	-0.3 V to 3.6 V
CREF, CMP, VLOG, HYST	-0.3 V to 3.6 V
PDB	-0.3 V to $V_{CC} + 0.3$ V
Output Short-Circuit Current Duration	
VLOG, CMP, PDB	Indefinite
Temperature	
Ambient Operating Range	-40°C to +105°C
Storage Range	-65°C to +150°C
Lead (Soldering, 60 sec)	300°C
Maximum Junction (T_J)	135°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCBの設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

表 4. 熱抵抗

Package Type ¹	θ_{JA} ²	θ_{JB} ³	θ_{JC} ⁴	Unit
CC-14-4	86	45	32	°C/W

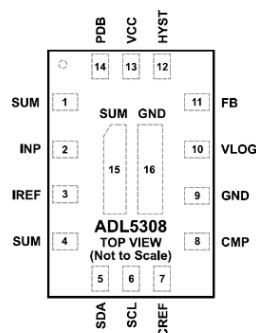
- 1 テスト条件1：熱抵抗のシミュレーション値は、2S2P JEDEC PCBの使用に基づいています。詳細については、*オーダー・ガイド*のセクションを参照してください。
- 2 θ_{JA} は、1立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲の間の熱抵抗です。
- 3 θ_{JB} は、ジャンクションとボードの間の熱抵抗です。
- 4 θ_{JC} はジャンクションとケース下部の間の熱抵抗です。

ESDに関する注意

**ESD（静電放電）の影響を受けやすいデバイスです。**

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. EXPOSED PAD 1, ONE OF THE EXPOSED PADS ON THE UNDERSIDE OF THE DEVICE, PIN 15, IS INTERNALLY CONNECTED TO SUM FOR IMPROVED SHIELDING OF THE INPUT PINS. CONNECT ALL SUM PINS TOGETHER AND LEAVE FLOATING.
 2. EXPOSED PAD 2, ONE OF THE EXPOSED PADS ON THE UNDERSIDE OF THE DEVICE, PIN 16, IS INTERNALLY CONNECTED TO GROUND AND REQUIRES GOOD THERMAL AND ELECTRICAL CONNECTION TO THE GROUND OF THE PCB. CONNECT ALL GROUND PINS TO A LOW IMPEDANCE GROUND PLANE.

図3. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 4	SUM	ガード・ピン。SUMピンは、INPおよびIREFへの入力電流ラインをシールドするために用います。
2	INP	光電流入力。INPはPDのアノードに接続されます（電流がINPに流れ込みます）。
3	IREF	リファレンス電流入力。IREFはオプションで、リファレンス電流に接続すること、または、（光学的ゲインの）対数比測定を行うための2つ目のPDに接続することができます。
5	SDA	I ² Cインターフェースのデータ入出力。
6	SCL	I ² Cインターフェースのクロック入力。
7	CREF	コンパレータのリファレンス・レベル。VLOG電圧がこのピンに印加された電圧より高い場合、コンパレータ出力はハイ・レベルになります。このピンをオープンのままにすると、CREFレジスタの内容がゼロでなければ、リファレンス・レベルは内蔵のI ² CプログラマブルD/Aコンバータ（DAC）によって設定されます。
8	CMP	コンパレータの出力電圧。
9	GND	アナログ・グラウンド。
10	VLOG	対数出力。このピンの電圧は、INPおよびIREFに加えられた電流に対し対数的に変化します。
11	FB	出力アンプの帰還ピン。これを使用すると、2個の抵抗を外付けして対数スロープを変更できます。
12	HYST	ヒステリシス。このピンの電圧は、コンパレータ出力のヒステリシスの大きさを制御します。2.0Vより高い電圧をこのピンに印加するとラッチ機能が有効化されます。
13	VCC	正側電源。1nFと4.7μFのコンデンサを用いてグラウンドとデカップリングすることを推奨します。
14	PDB	PDバイアス。PDBをPDのカソードに接続すると、適応型のバイアス制御を行うことができます。PDの容量が3pFを超える場合、10Ωと220pFの直列ネットワークをこのピンとグラウンドの間に接続することを推奨します。入力電流が小さい場合にPDのカソードとアノードの間のオフセットを最小にするために、このピンには抵抗性の負荷が加わらないようにしてください。
15	SUM	デバイスの下側の露出パッドの1つであるピン15は、入力ピンのシールドを向上させるためにSUMに内部接続されています。すべてのSUMピンを互いに接続し、フロート状態のままにします。
16	GND	デバイスの下側の露出パッドの1つであるピン16は、グラウンドに内部接続されており、PCBのグラウンドへの良好な熱的および電氣的接続が必要です。すべてのグラウンド・ピンは低インピーダンスのグラウンド・プレーンに接続します。

代表的な性能特性

特に指定のない限り、 $V_{CC} = 5.0V$ 、 $T_A = 25^\circ C$ 、入力電流 (I_{INP}) = 10nA、デフォルトのレジスタ設定。

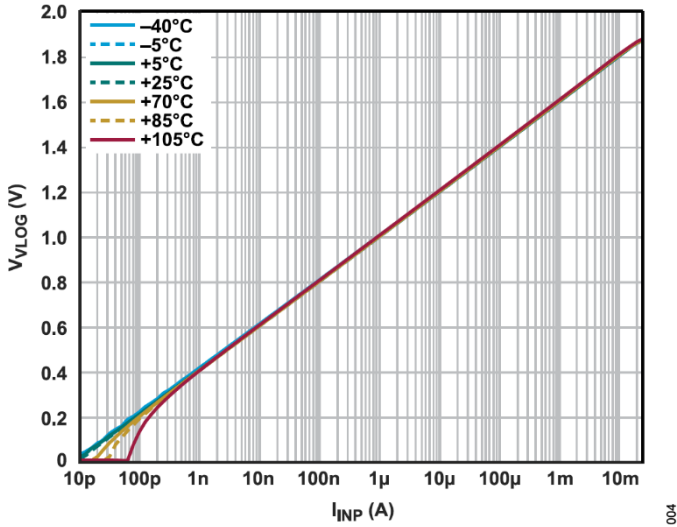


図4. 異なる温度における V_{VLOG} と I_{INP} の関係、 I_{REF} 値は内部調整済み

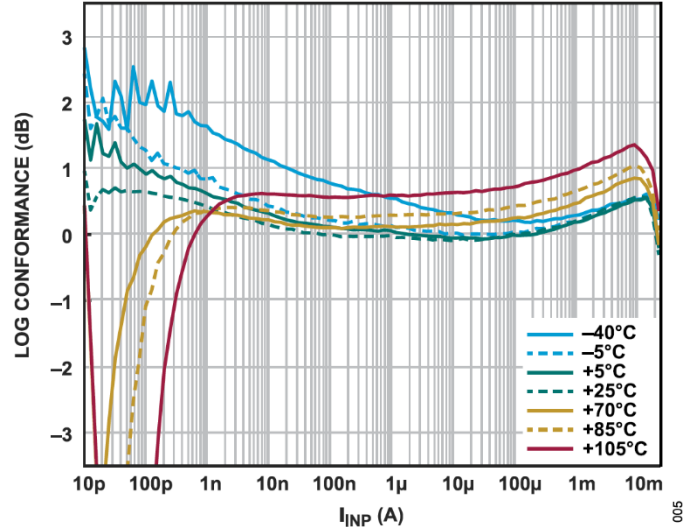


図7. 異なる温度における対数適合誤差と I_{INP} の関係、 $25^\circ C$ で正規化

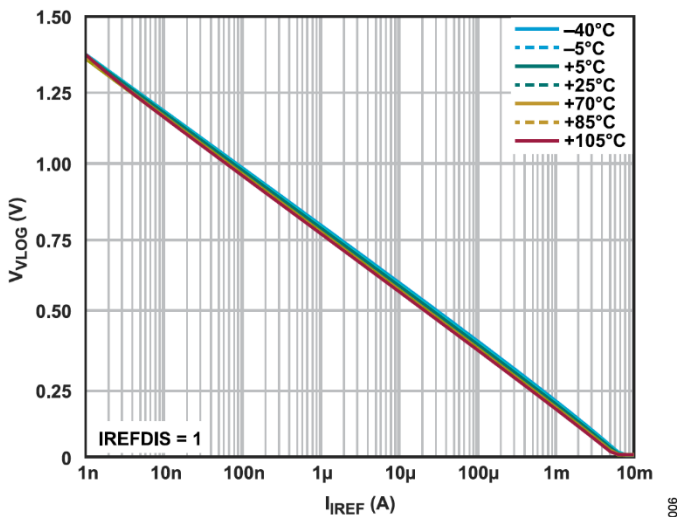


図5. 異なる温度における V_{VLOG} と I_{REF} の関係、 $I_{INP} = 10nA$

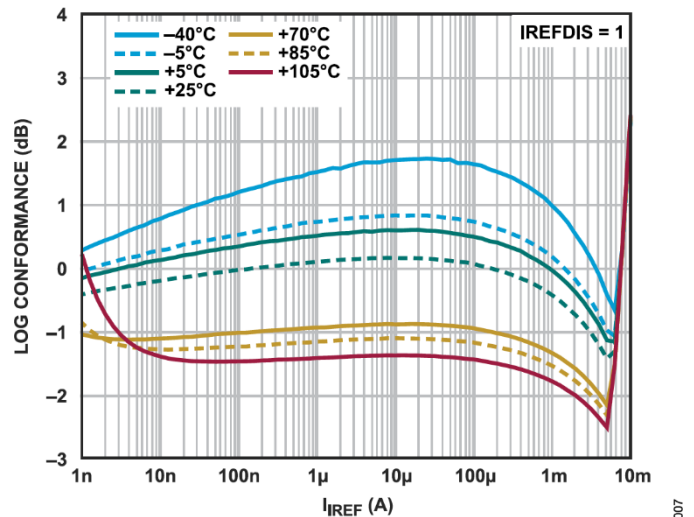


図8. $I_{INP} = 10nA$ の場合の異なる温度における対数適合誤差と I_{REF} の関係、 $25^\circ C$ で正規化

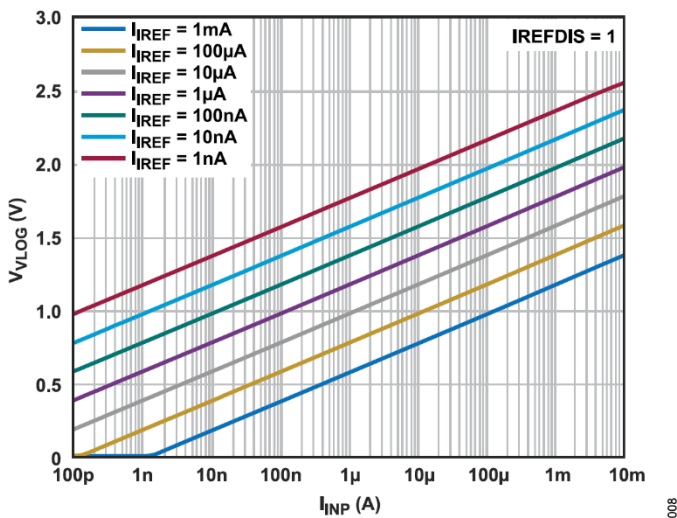


図6. 1桁刻みの異なる I_{REF} 値における V_{VLOG} と I_{INP} の関係

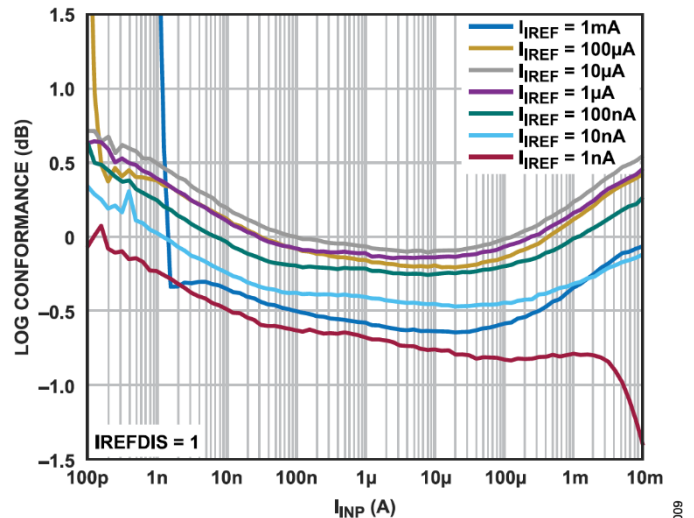


図9. 1桁刻みの異なる I_{REF} 値における対数適合誤差と I_{INP} の関係

代表的な性能特性

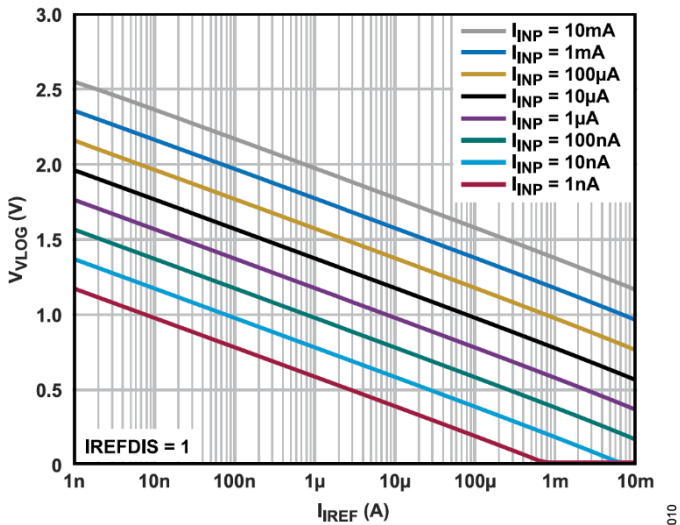


図10. 1桁刻みの異なる I_{INP} 値における V_{VLOG} と I_{REF} の関係

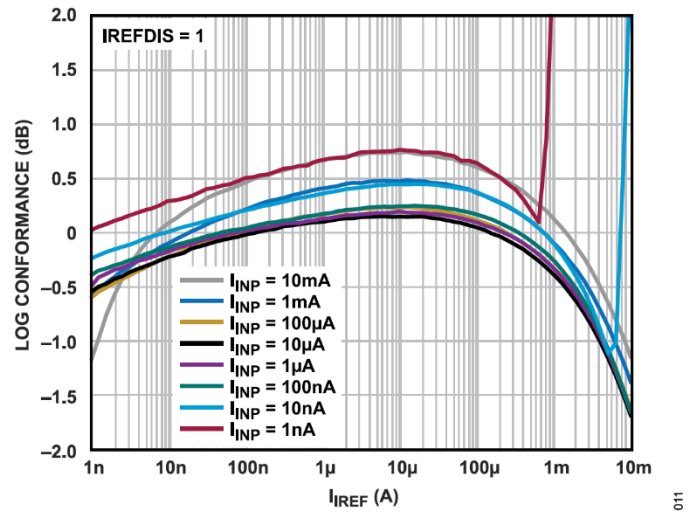


図13. 1桁刻みの異なる I_{INP} 値における対数適合誤差と I_{REF} の関係

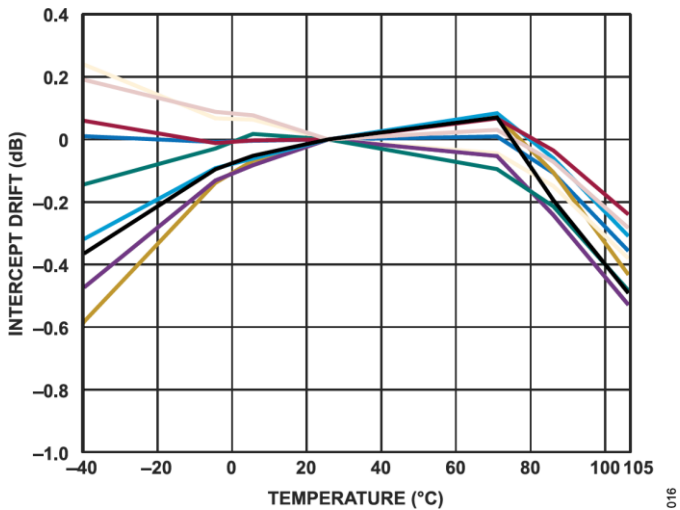


図11. 10個のサンプルにおける $V_{VLOG} - 1.1V$ のインターセプト・ドリフトと温度の関係

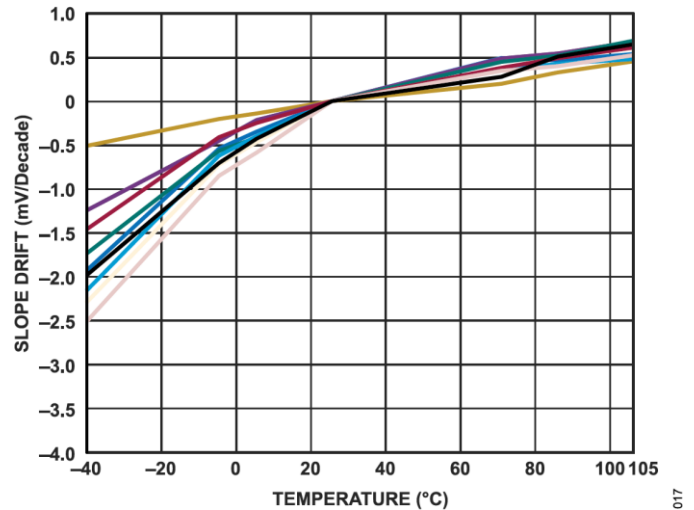


図14. 10個のサンプルにおけるスロープ・ドリフトと温度の関係

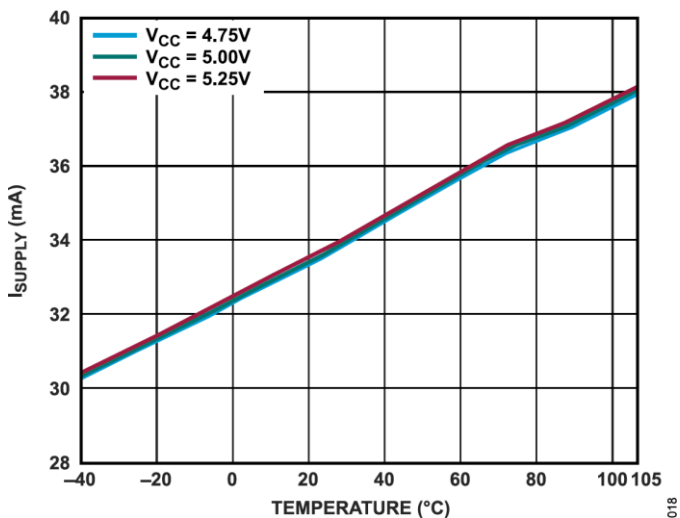


図12. 異なる V_{CC} 値での電源電流と温度の関係、 $I_{INP} = 10nA$

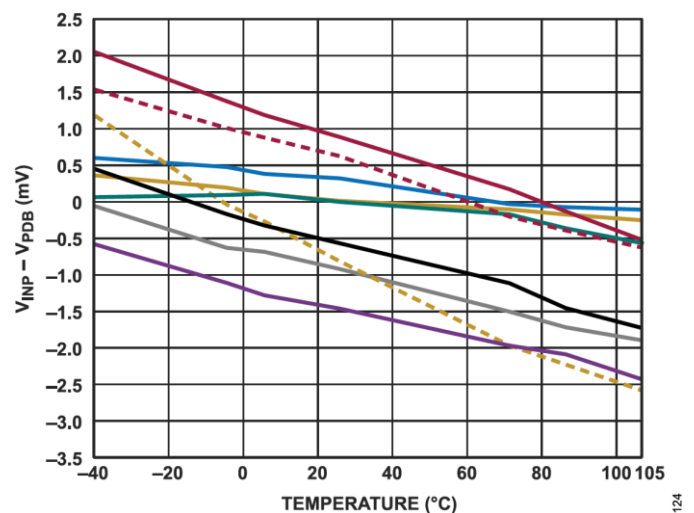


図15. 10個のサンプルにおける10nA時のオフセット電圧と温度の関係

代表的な性能特性

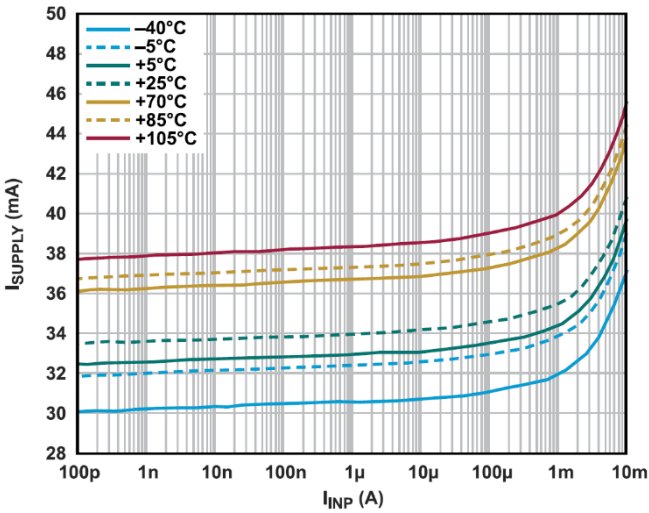


図16. 異なる温度における電源電流と I_{INP} の関係

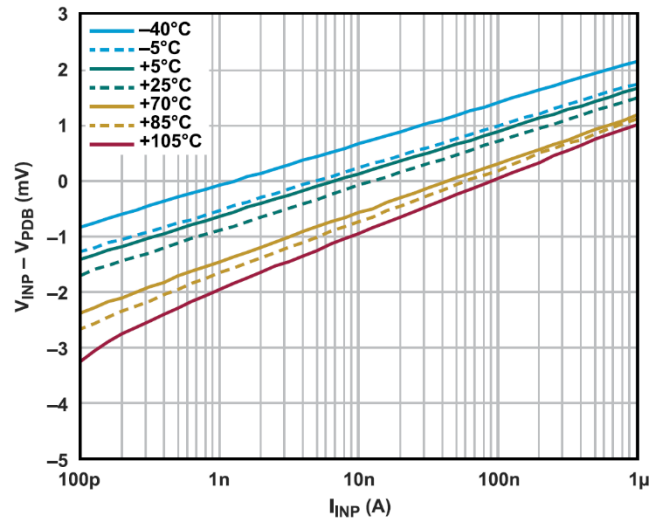


図19. 異なる温度における $V_{INP} - V_{PDB}$ のオフセット電圧と I_{INP} の関係

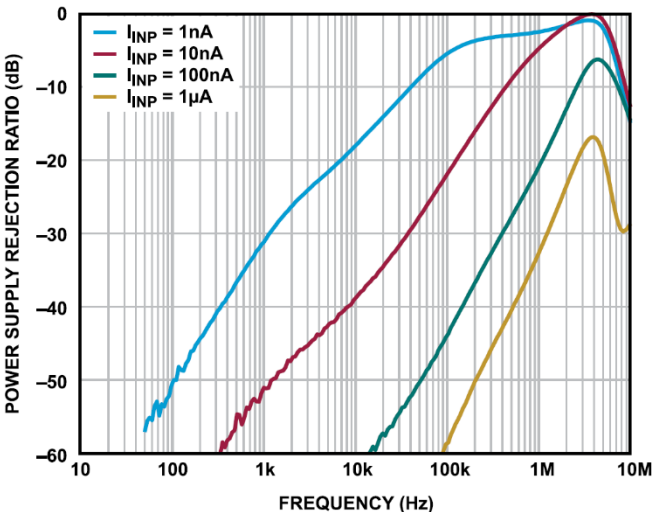


図17. 電源電圧変動除去比 (PSRR)

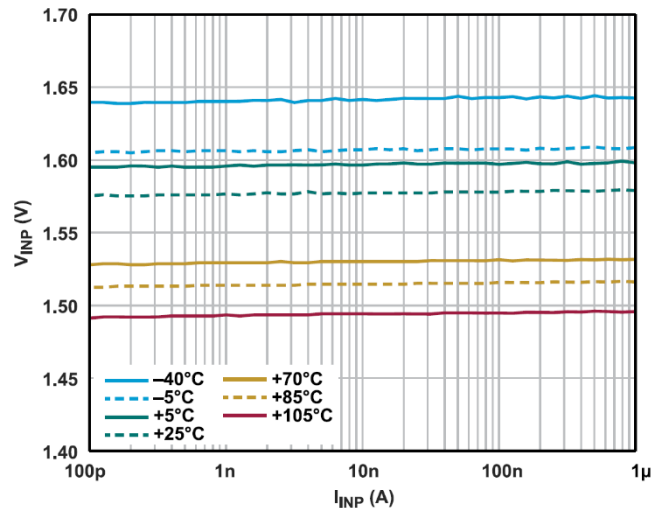


図20. 異なる温度における V_{INP} と I_{INP} の関係

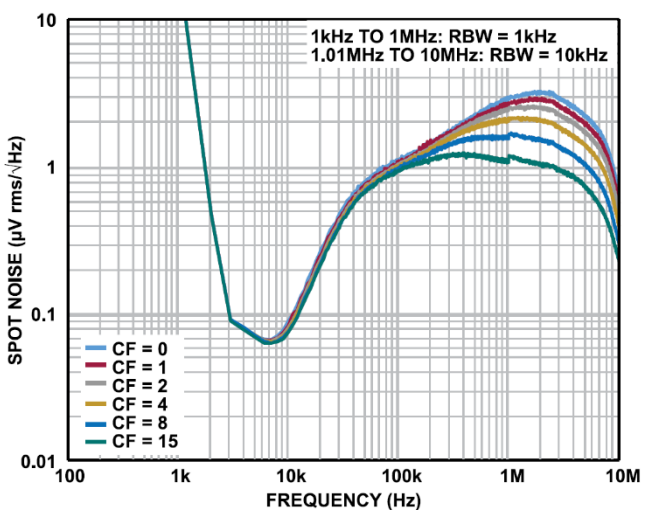


図18. V_{VLOG} のスポット・ノイズ・スペクトル密度と (CF) レジスタの関係、10nAの入力電流

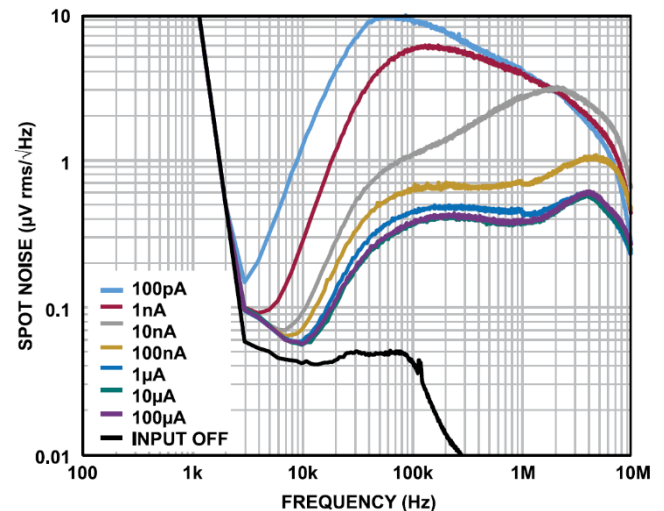


図21. V_{VLOG} のスポット・ノイズ・スペクトル密度と入力電流の関係

代表的な性能特性

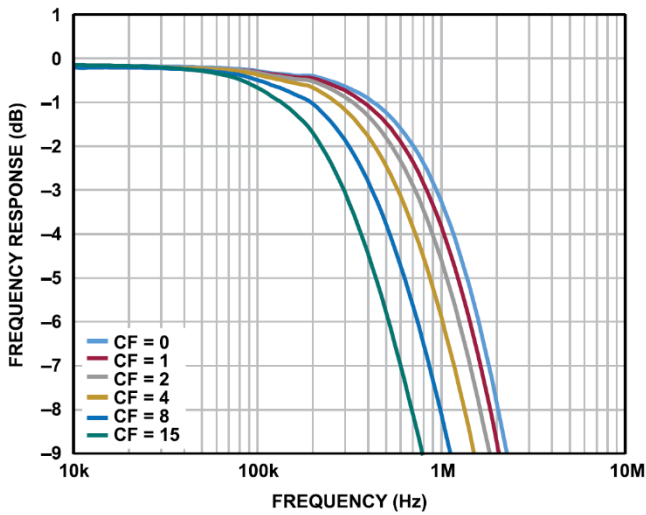


図22. I_{INP} から V_{VLOG} への小信号AC応答とCFレジスタの関係、 $I_{INP} = 10nA$

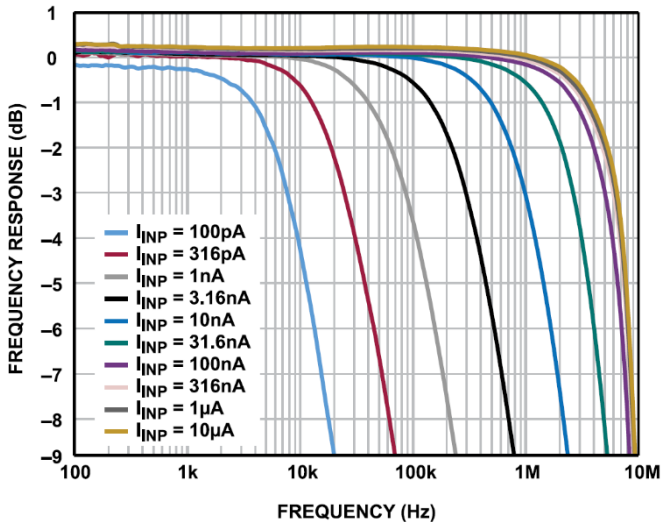


図23. 半桁刻みの異なる I_{INP} 値における I_{INP} から V_{VLOG} への小信号AC応答

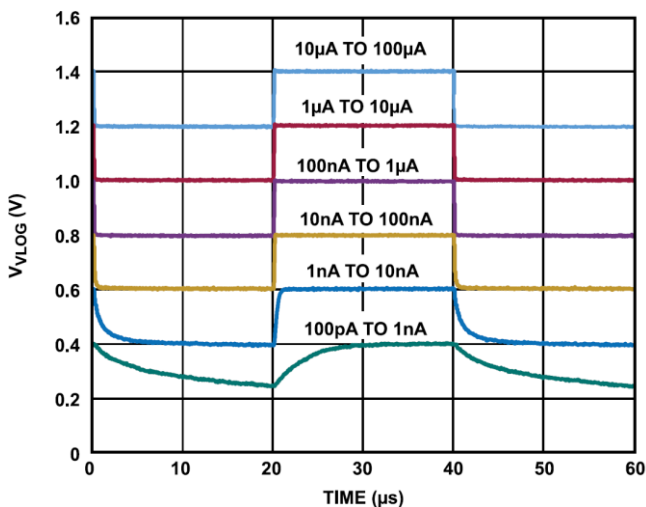


図24. 1桁刻みでの I_{INP} のパルス応答

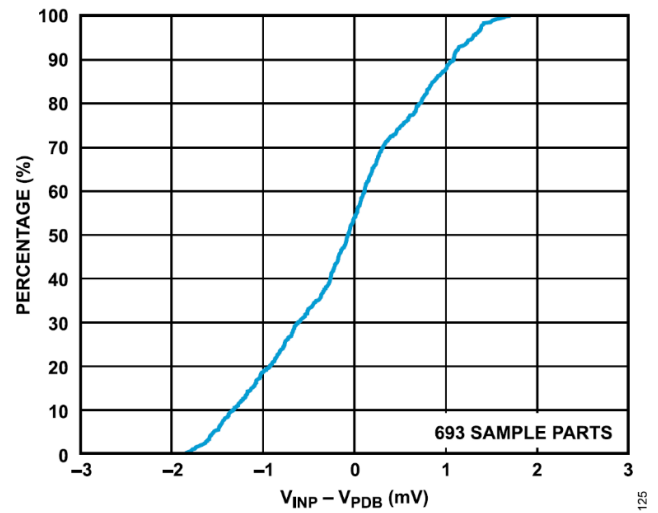


図25. オフセット電圧の分布

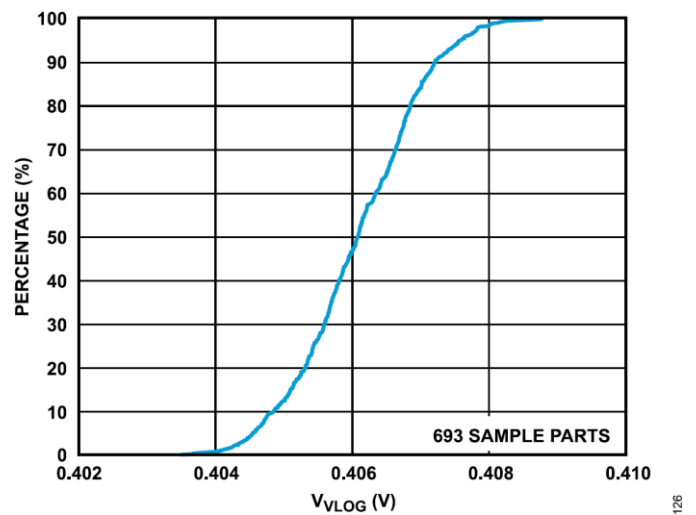


図26. $I_{INP} = 1nA$ 時の V_{VLOG} の分布

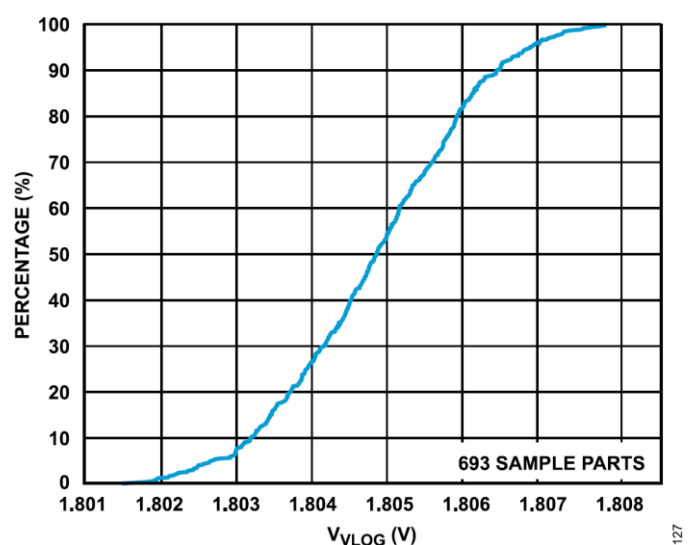


図27. $I_{INP} = 10mA$ 時の V_{VLOG} の分布

代表的な性能特性

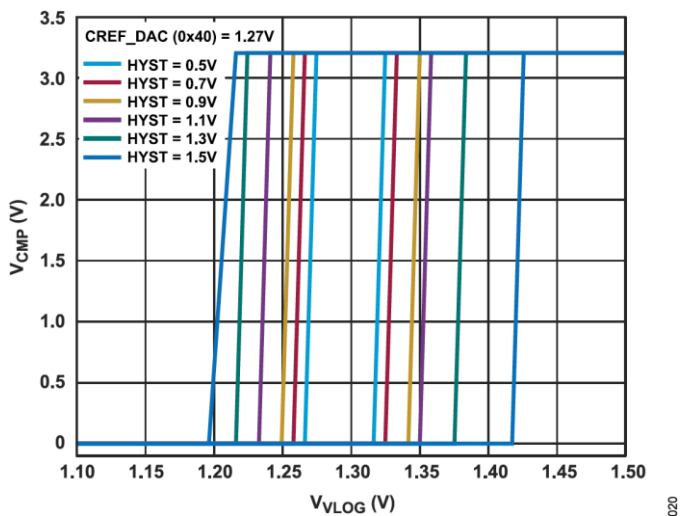


図28. 異なるHYPSTピン値におけるコンパレータ・ヒステリシスと V_{VLOG} の関係

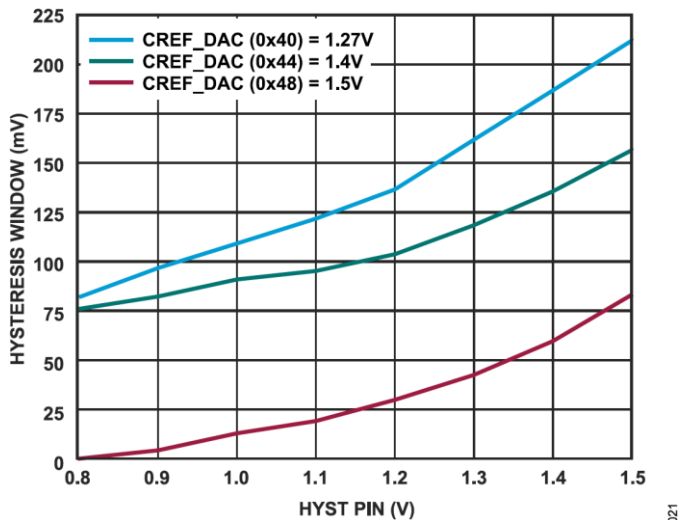


図29. 異なるCREF_DAC値におけるコンパレータ・ヒステリシスの計算値

動作原理

対数変換

対数トランスインピーダンス・アンプ (TIA) は、次式のように入力電流 I_{PD} の対数に (概ね) 比例する出力電圧を生成します。

$$VLOG = SLOPE \times \log_{10}\left(\frac{I_{PD}}{I_Z}\right) \quad (1)$$

対数スロープ (SLOPE) は、入力電流 I_{PD} が10倍変化するごとに出力電圧VLOGが変化する量を表し、対数インターセプト I_Z は、出力電圧がゼロになる (外挿された) 入力電流を表します。実際のデバイスの出力電圧は決してゼロになることはありませんが、10pA未満の入力電流に対し、開始電圧である17mVまで飽和します。SLOPEと I_Z はどちらも、測定したアンプ出力電圧と一定範囲の入力電流レベルの関係に対し線形回帰を行うことで求めることができます。ADL5308のVLOG -1.1 V曲線に対する対数スロープとインターセプトは、それぞれ正確に200mV/decおよび3.16 μ Aとなるよう、工場調整されています。VLOG曲線から1.1V

(3.16 μ A時のVLOGの理想値) を差し引く理由は、指定された入力電流範囲の中央にx切片を置くためです。このようにすることで、残留スロープ差がx切片に及ぼす影響を最小限に抑えることができ、その式は以下のようになります。

$$VLOG - 1.1 = SLOPE \times \log_{10}\left(\frac{I_{PD}}{I_{Z1P1}}\right) \quad (2)$$

dB単位の入力電流を用いて表すと、式2は次のようになります。

$$VLOG - 1.1 = \frac{SLOPE}{20} \times (I_{PD, dB} - I_{Z1P1, dB}) \quad (3)$$

ここで、 $I_{PD, dB}$ はdBAを単位とする入力電流、 $I_{Z1P1, dB}$ はdBAを単位とするインターセプト電流 (この場合は-110dBA) です。

対数アンプを用いて測定した値の精度は、次の2つの要素で決まります。

- ▶ 対数適合誤差
- ▶ 温度ドリフト誤差

対数適合誤差は、実際のTIA変換と式3に示す理想的な対数線形関係との差を示すもので、dB単位の入力電流を用いて次のように表されます。

$$E_{LC} = \frac{20 \times VLOG(T)}{SLOPE} + I_{Z1P1, dB} - I_{PD, dB} \quad (4)$$

したがって、 E_{LC} は、対数TIAのVLOGを測定し式3を用いてデバイスが検出する入力電流を決定する際に生じる、測定誤差を表しています。通常、SLOPEと I_Z は室温でのみ定められるため、 E_{LC} の代表値にもTIA変換の温度ドリフトによる影響が含まれます。

温度ドリフト誤差 E_{drift} は、実際のTIA変換と理想的な対数線形関係との差 (対数適合性) を除いた、TIA変換の温度ドリフトによってのみ生じる測定誤差を示すものです。

$$E_{drift}(T) = \frac{20}{SLOPE} \times [VLOG(T) - VLOG(T_0)] \quad (5)$$

この誤差、つまり動作温度Tで測定した出力電圧とリファレンス温度 T_0 (代表値25°C) で測定した実際の出力電圧の差は、入力換算値であり、対数SLOPEを用いてdB単位 (の入力電流) で表されます。これは、誤差が比較的小さく、TIA変換が概ね対数的 (dB単位では線形) である限り正確です。

光学測定

逆バイアスPDのアノードを対数TIAの入力に接続しTIAがフォトン生成ダイオード電流を検出できるようにすることで、高ダイナミック・レンジの光パワー・モニタを構築できます。そのため、PDの変換器としての側面、つまり、入射光パワーをPD電流に変換する方法を理解しておくことが重要です。電気回路では、抵抗性負荷での消費電力は電流の2乗に比例します。あるいは逆に、負荷を流れる電流は消費電力の平方根に比例します。

$$I_R = \sqrt{P_{DISS}/R} \quad (6)$$

しかし、逆バイアスPDでは、フォトン生成PD電流 (I_{PD}) 自体がディテクタが吸収する光パワー (P_{OPT}) に正比例します。

$$I_{PD} = \rho \times P_{OPT} \quad (7)$$

比例係数 ρ は光パワーから電流への変換ゲインを示すもので、PDの応答性と呼ばれます。同じ応答性を用いて、TIAの対数インターセプト電流 I_Z を、理想的な対数線形変換を行った場合に出力電圧がゼロとなる光インターセプト・パワー・レベル P_Z を基準として表すことができます。したがって、測定した光パワーからアンプの出力電圧への変換は、次式で表せます。

$$VLOG = SLOPE \times \log_{10}\left(\frac{P_{OPT}}{P_Z}\right) \quad (8)$$

入射光パワーをdB単位で表すと次式のようにになります。

$$P_{dB, OPT} = 10 \times \log_{10}(P_{OPT}) \quad (9)$$

これを用いると次式が成立します。

$$VLOG = \frac{SLOPE}{10} \times (P_{dB, OPT} - P_{dB, Z}) \quad (10)$$

したがって、mV/dBを単位とする光パワーの対数スロープは、mV/dBを単位とする入力電流 I_{PD} の対数スロープの2倍に等しくなります (式3参照)。同様に、dBを単位とするTIAの光学的ダイナミック・レンジは、dBを単位とする電氣的ダイナミック・レンジの半分になります。つまり、光の場合70dBであるのに対し、電気の場合は140dBになります。

動作原理

フォトダイオード・バイアス (PDB)

PDB機能は、暗電流と直列抵抗が測定精度に及ぼす影響を最小限に抑えることで、最大限の光パワー測定ダイナミック・レンジを実現します。

暗電流はダイオードを流れる微小リーク電流で、その変化量は入射光パワーに比例しないため、光パワー測定の感度が制限されます。一般的に暗電流は逆バイアス電圧と共に増加するため、低逆バイアス電圧を用いることで、暗電流を最小限に抑え光パワー測定の感度を最大限にすることができます。

直列抵抗は、PDの電流レベルが高い場合に測定誤差の原因となります。この抵抗による電圧降下は、PDの接合部自体の逆バイアス電圧を低減し、飽和を引き起こしたり、場合によっては接合部の順方向バイアスの原因になったりさえすることがあります。PDの直列抵抗の影響を最小限に抑えるには、十分に高く、望ましくは接合部での一定の逆バイアスを維持できるようダイオード電流に比例した、逆バイアス電圧が必要です。

ADL5308のPDB機能は、図30に示すように、PDを流れる電流の関数としてPDの逆バイアスを調整します。PD電流が小さい場合、逆バイアスは特定の低レベル V_{OS} に保たれ、暗電流の影響を最小限に抑えます。PD電流が増加すると、逆バイアスもそれに応じて増加し、直列抵抗の影響を最小限に抑えます。この機能を使用するには、PDのカソードをPDBピンに接続する必要があります。

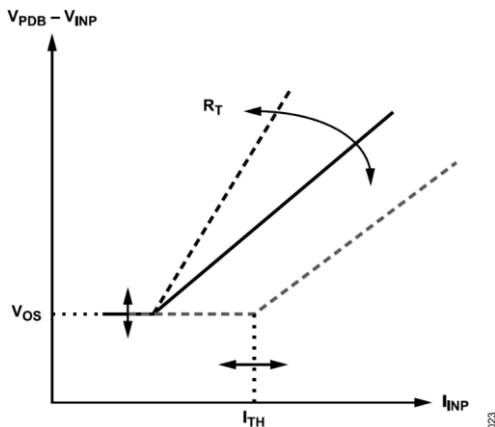


図30. 適応型PDBの動作原理

ADL5308のPDBは、I²Cインターフェースを介して特定のPDに合うよう最適化できます。小入力電流時の逆バイアス・レベル V_{OS} 、トランス抵抗 R_T （バイアス電流の所定変化量に対するバイアス電圧の変化量）、トランス抵抗が影響を及ぼすようになる閾値電流 I_{TH} はすべて、I²Cインターフェースを介して調整できます。

入力電流が I_{TH} より大きい場合、PDの容量を介して適応型PDバイアスに正帰還が生じるため、PDBピンにリングングが見られることがあります。通常、リングングの周波数は約100MHzで、帯域幅が大幅に低いため急速に減衰するので、VLOG出力まで達する

ことはほとんどありません。容量が3pF未満のPDの場合、低温時においてもリングング（振動）の持続は見られません。ただし、容量の大きいPDでは、リングングの持続が生じる可能性があります。そのような場合、10Ωの抵抗と220pFのコンデンサを直列に連結したスナバ回路ネットワークをPDBピンとグラウンドの間に接続して、リングングを低減することを推奨します。リングングはPDの容量と逆電圧、直列抵抗、PCBレイアウトの関係に依存するため、 I_{TH} より十分大きな電流を生成する光パルス源を用いてPDBピンに表れるリングングを測定し、リングングが過度でないことを確認することを推奨します。必要に応じ、220pFのコンデンサを増大するか、トランス抵抗を設定するPDBGレジスタの内容を低減することができます。

R_T は、REG_14のPDBG_FIXフラグを介して、有効にすることも無効（実質的にゼロ）にすることもできます（表6参照）。無効化した場合（PDBG_FIX=1）、ダイオードの逆バイアス電圧は、ダイオード電流に応じて変化することではなく、全入力電流範囲で一定のままとなります。有効化した場合（PDBG_FIX=0）、PDBGビット・フィールドはトランス抵抗の値を11.72Ω刻みで調整します。REG_14レジスタのビット・フィールドで R_T を表すと式11のようになります。PDBG_FIX = 1あるいはPDBG = 0と設定するとトランス抵抗は無効化されることに注意してください。

$$R_T = 11.72 \times (1 - PDBG_FIX) \times PDBG \quad (11)$$

トランス抵抗 R_T が有効になる閾値電流 I_{TH} は、次式のように、REG_15のPDBGおよびIDZ（不感帯電流）で制御されます。

$$I_{TH} = 51\mu A \times \left(\frac{79 \times IDZ - 1}{PDBG \times (1 - PDBG_FIX)} \right) \quad (12)$$

I_{TH} の最小値（IDZの最小機能値は1）は、IDZ = 1でPDBG = 63の場合に得られ、 $I_{TH} = 63\mu A$ となります。また、PDBG_FIX = 1の場合は無限大になります。

初期バイアス電圧、すなわち I_{TH} 未満でのPDBピンとINPピンの間のオフセット電圧は、REG_15レジスタとREG_19レジスタを使用して調整できます。更に、これはPDBGとPDBG_FIXにも依存します。REG_15レジスタのIPDBビット・フィールドは30mV刻みで粗調整を行います。これに加え、REG_19のOSでは3mV刻みの微調整を行います。REG_14のPDBGの寄与は、PDBG_FIXフラグの状態によって異なります。合計の公称逆PDB電圧（mV単位）は次式で表せます。

$$V_{PDB} - V_{INP} = 30 \times IPDB + 3 \times (OS - 8) + 93.75 \times PDBG \times PDBG_FIX \quad (13)$$

$|V_{PDB} - V_{INP}|$ は、OSレジスタを調整することによって小入力電流時でIPDB = 0およびPDBG_FIX = 0の場合に最小となるよう工場調整されており、必ずしもOS = 8で0mVとはならない点に注意してください。

動作原理

帯域幅

対数TIAの帯域幅は入力電流 I_{PD} に応じて変化し、小入力電流時には狭帯域幅となり、電流レベルが増加すると徐々に帯域幅も広がります。一般に、帯域幅とゲインは互いに反比例し、アンプのゲインが増加すると帯域幅が減少し、ゲインが減少すると帯域幅が増加します。対数TIAも例外ではありません。式1を用いると、TIAの小信号ゲイン（トランスインピーダンス）、つまり、入力電流 I_{INP} の（小さな）変化による出力電圧の変化は、次式で表せます。

$$Z_t = \frac{dV_{LOG}}{dI_{PD}} = \frac{SLOPE}{\ln(10)I_{INP}} \quad (14)$$

対数によりダイナミック・レンジは本質的に圧縮されるため、低入力レベルでのTIAゲインは非常に高く、そのため帯域幅は狭くなると予想されます。同様に、大入力電流時のトランスインピーダンスは非常に低く、帯域幅は広くなることが見込まれます。帯域幅と入力電流のこの関係に対する更なる考察は、対数TIAの簡略化した回路図である図1を基に行うことができます。

全体的なトポロジは、通常、ダイオードまたはバイポーラ・トランジスタのベース・エミッタ接合を用いて入力電流から出力電圧への対数変換を行う、負帰還アンプです。帰還がない場合、つまり、オペアンプのゲインがゼロの場合、入力ノードにおける（グラウンドとの間の）インピーダンスが高く、ソースからの大半の電流はダイオードに流れ込むこととなります。そのため、PDや回路基板のわずかな寄生容量が回路の（オープンループ）帯域幅に大きく影響します。アンプのループ・ゲインは、大まかに言ってオペアンプ・ゲイン、入力インピーダンス、および帰還ダイオードのトランスコンダクタンスの積で表せる、ループ・ゲインに概ね等しいファクタ分だけ入力ノードのインピーダンスを低減します。ループ・ゲインが無限であれば、TIAのクローズドループ入力インピーダンスはゼロ、つまり、実質的に接地され、帰還ダイオードの電流はソース電流 I_s と正確に一致します。

オペアンプのゲインが高いながらも有限である実際のアンプにおいては、トランスインピーダンスのゲイン Z_t の増加はダイオードのトランスコンダクタンス（理想的には Z_t の逆数）の低下に相当するため、アンプのループ・ゲインの低下にも相当します。同様に、ループ・ゲインの低下はアンプのクローズドループ入力インピーダンスを増加させ、入力容量が概ね一定であれば、アンプの帯域幅が減少します。できるだけ広い帯域幅を維持するには、TIA入力ピンの容量性負荷を最小限に抑えることが重要です。

ノイズ

対数TIAにより生じるノイズ・レベルは、入力電流 I_{INP} にも依存します。出力電圧ノイズは、入力電流が小さい場合に最大となり（小信号ゲインが最大になることに対応）、高入力電流レベルの場合に最小となります。スポット・ノイズのスペクトル密度と I_{INP} の関係を表すグラフを図21に示します。入力電流が小さい場合、最も支配的なノイズ源の1つは、入力ノードで $1/f$ ノイズ電圧を生成する入力NMOS（図31参照）の $1/f$ ノイズです。

入力に容量性負荷があると、このノイズ電圧は、入力の $1/f$ ノイズ電流の原因となり、スポット・ノイズ・スペクトル密度の曲線が凸形状となる場合があります。そのため、等価並列容量ができるだけ小さいPDを選択し、また、入力ノードへの配線パターンをできるだけ短くして、ソース容量を最小限に抑えることが重要です。 I_{INP} が小さい場合のノイズ密度と帯域幅のトレードオフは、レジスタCFを設定することで行うことができます。つまり、図18および図22に示すように、CF=0（デフォルト）では帯域幅およびノイズ密度が最大となり、CF=15では、帯域幅およびノイズ密度が最小となります。

アプリケーション情報

インターフェースの説明

INPとIREFのインターフェース

入力された光電流はPDのアノードに接続されたINPピンに流れ込みます。PDは最大25mAの電流で動作できます。内部リファレンス電流入力は、IPCを通じてIREFを設定します。外部リファレンス電流もIREFピンに接続するオプションですが、そのためには内部IREFを無効化する必要があります。IREFは最大5mAの電流で動作できます。

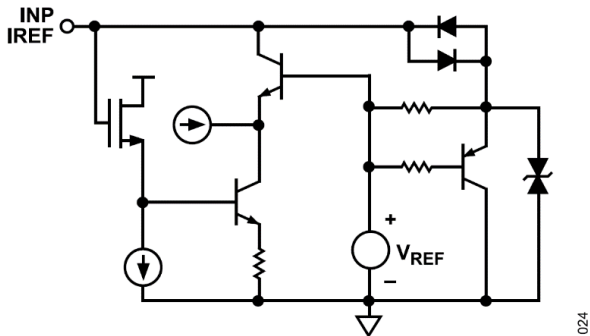


図31. INPとIREFの簡略化したインターフェース

SUMインターフェース

ノード間のインピーダンスが比較的高い場合でも、ノード間の大きな電圧差が顕著なリーク電流を引き起こす場合があります。ガード処理を行うことでリークによる誤差を低減できます。同じ電位まで駆動される別の導体（ガード）で高インピーダンス導体を囲むことがガード処理の概念です。絶縁抵抗の両端（高インピーダンス導体とガード間）に電圧がかかっていない場合、電流は流れません。

電流検出回路での外部ソースによる誤差を低減するには、代表的な高インピーダンス・オペアンプ回路の電圧検出入力とは異なる手法が必要です。高感度ログ・アンプでは、特に範囲の下限において、リークが誤差の大きな原因となる可能性があります。例えば、INPおよびIREFの電流経路からグラウンドへ通じる1GΩのリーク経路があると、V_{SUM}がデフォルトの1.53Vに設定されている場合、1.53nAのオフセットが生じます。

ADL5308は、入力電流ラインINPおよびIREFをシールドするガード・ピンとしてSUMノードを用います。電圧リファレンス・バッファ（V_{REF}）からSUMノードには、1kΩの抵抗が内部接続されています。

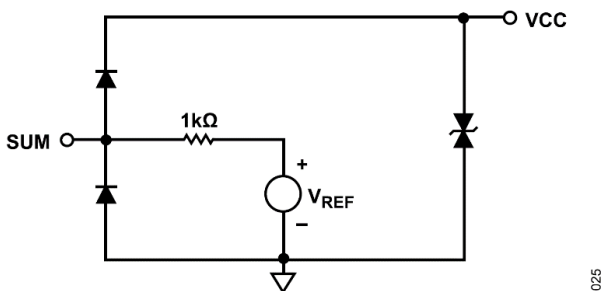


図32. 簡略化したSUMインターフェース

VLOGとFBのインターフェース

対数電圧出力（VLOG）は、INPおよびIREFに加えられた電流に対し対数的に変化します。対数出力アンプを帰還（FB）ピンに短絡されたVLOGピンとして用いることで、出力をバッファできます。IREF値を内部調整し、動作温度範囲全域で電流入力範囲が1nA～10mAの場合、公称スロープは、図4に示すように、200mV/decです。

この対数スロープは、図33に示すように外部ゲイン抵抗R_AおよびR_Bを接続することで変更できます。例えば、FBとVLOGの間の抵抗値とFBとグラウンドの間の抵抗値を等しくした場合、ゲインは2になります。

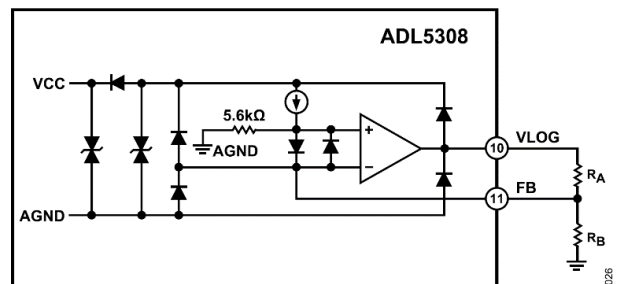


図33. VLOGとFBのインターフェースの簡略化した回路図

図35は、入力電流が220μAから10nAに変化した場合（87dBの大きさの変化）の対数出力応答を示します。図には2つの曲線が示されています。1つは、VLOG出力にローパス・フィルタを用いない場合のもので、もう1つは、VLOG出力に220Ω/1.2nFローパス・フィルタ・ネットワークを用いた場合のもので、図示されているように、ノイズによる変動は、ローパス・フィルタ・ネットワークを用いた場合の方が小さくなっていますが、応答は若干遅くなっています。

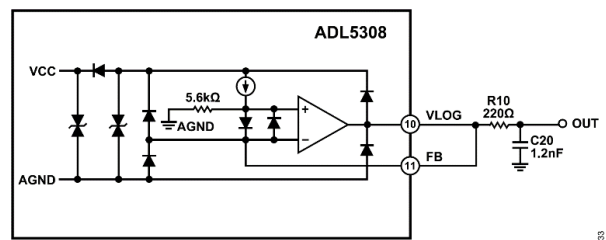


図34. VLOGにおけるローパス・フィルタ・ネットワークの簡略化した回路図

アプリケーション情報

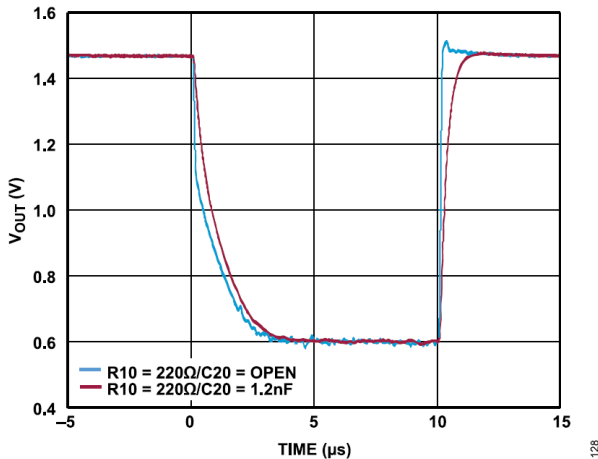


図35. I_{INP} が $220\mu\text{A}$ から 10nA に変化した場合の対数出力応答と時間の関係

この測定では、独自のPDを入力電流源として用いており、ハイからローへの電流変化に要する応答時間は、ADL5308ではなくPD自体によって制限されているものと考えられます。10%から90%への立下がり応答時間は約 $2.4\mu\text{s}$ で、 2dB （光パワーは 1dB ）以内のセトリング・タイムは約 $3.5\mu\text{s}$ です。

CMP、CREF、HYSTのインターフェース

対数出力VLOGは、内蔵コンパレータを用いて電圧リファレンス・レベルと比較されます。リファレンス電圧CREF_DACは、 I^2C を介して内蔵7ビットDACで制御されます（ $30.6\text{mV}\sim 1.93\text{V}$ の範囲、 7.4mV 刻み）。VLOGがCREF_DAC電圧を超えると、コンパレータ出力（CMP）はロジック・ローになります。

HYSTピンの電圧は、ヒステリシス・ウィンドウを設定しますが、このウィンドウは図29に示すように、内部のCREF_DAC値にも依存します。

なお、CREFピンはCREF_DAC出力を測定するためのモニタ点で、 $10\text{M}\Omega$ のデジタル・マルチメータ（DMM）を使用します。コンパレータを使用しない場合は、COMP_ENレジスタを無効化します。

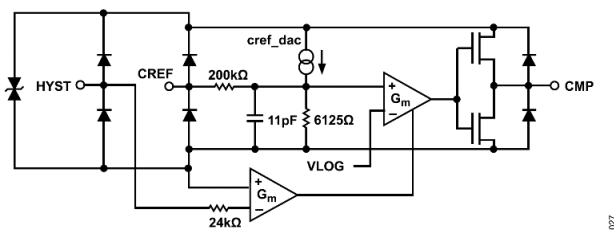


図36. CREF_DAC > 0の場合の簡略化コンパレータ・インターフェース

PDBインターフェース

PDBのインターフェース・ピンを図37に示します。このピンの目的は、PDで使用されるバイアス電圧を生成することです。

光学システムにおいて、PDは光入力パワーに比例した電流を出力します。その出力ダイナミック・レンジは、光入力パワーのダイナミック・レンジの2倍（ dB 単位）となり、極めて広がる場合があります。入力パワーが低い場合は、入力電流は非常に小さ

く、 pA のオーダーになることもあります。ここで、ダイオード両端での電圧降下をできるだけ小さく維持して、PDの暗電流リークを最小限に抑えることが必要です。入力電力が大きくなるとPD電流も大きくなる可能性があります（最大数十 mA ）。この光電流がダイオードの内部直列抵抗に加えられると、光パワーが増加した場合に電圧降下を増加させます。

この暗電流問題に対処するため、ADL5308には、入力電流が小さい場合にPDのカソード・アノード間電圧をゼロ近くに維持することで暗電流を低減する、PDBが備わっています。より大電流の動作時には、PDBインターフェースが入力電流に追従し、入力電流に正比例する出力電圧を生成します。その場合のゲインはPDBGレジスタで調整可能です。トランスインピーダンスは、PDBG_FIXビットをアサートするかPDBGを0に設定することで無効化できます。PDBの出力電圧は、電源電圧VCCの制限を受けます。

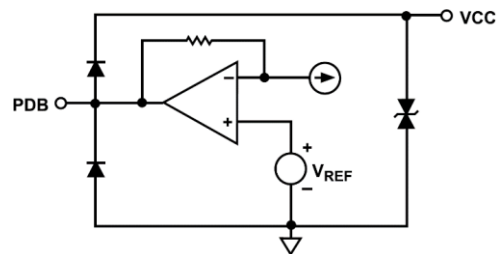


図37. PDBのインターフェースの簡略化した回路図

アプリケーション情報

SDAとSCLのインターフェース

図38に双方向SDAインターフェースを示します。SDA出力ドライバはオープンドレインで、レシーバーにオフチップのプルアップ抵抗が必要です。プルアップ抵抗は、3.6Vの最大正電源に接続できます。レジスタ書き込み動作の間、SDA出力ドライバは高インピーダンスであり、SDA入力レシーバーは、200kHzの最大SDA周波数で0.8pFの入力ピン容量を駆動できるドライバによって駆動する必要があります。20kΩ未満のドライバ出力インピーダンスを推奨します。

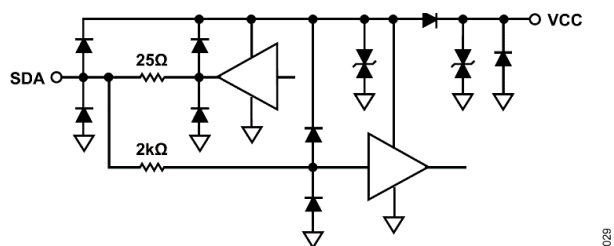


図38. 簡略化したSDAインターフェース

図39に、I²Cコントローラにシリアル・クロック入力を行うためのSCLインターフェースを示します。この入力が高インピーダンスであり、400kHzの最大SCL周波数で0.8pFの入力ピン容量を駆動できるドライバで駆動する必要があります。10kΩ未満のドライバ出力インピーダンスを推奨します。

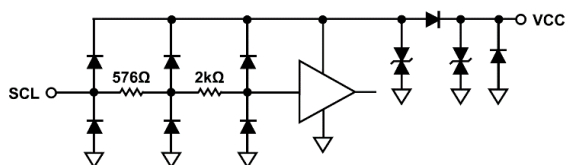


図39. 簡略化したSCLインターフェース

シリアル・ポート・インターフェース

プロトコル

ADL5308は、いくつかの内部（アナログ）機能を制御・監視する対象デバイスとして、I²Cバス・インターフェースに接続することができます。詳細なタイミング条件については、[シリアル・インターフェースのタイミング仕様](#)のセクションを参照してください。データは、最上位ビット（MSB）ファーストで、一度に1バイトずつ送信されます。各命令は、1つのアドレス・バイトとそれに続く1つ以上のデータ・バイトで構成されます。ADL5308は、単一バイト読出し・書込み方法と、自動インクリメント読出し・書込み方法をサポートしています。

アドレス

ADL5308 I²Cデバイスの読出し・書込みアドレスは、0x6Cに固定された7ビット・デバイス・アドレスと、それに続く1つの読出し・書込み最下位ビット（LSB）アドレス・ビットで構成されます。書込み命令の場合はLSBアドレス・ビットは0となり、読出し命令の場合は1になります。したがって、デバイス書込みアドレスは、0x6Cを1ビット分だけ左にシフトした（2を乗じた）ものに等しく、0xD8になります。デバイス読出しアドレスは、書込みアドレスのLSBを0から1に変更したものに等しく、0xD9になります。

サポートされている読出し・書込み方法

ADL5308はいくつかのI²C読出し・書込み方法に対応しています。

- ▶ 単一レジスタの読出し／書込み
- ▶ 自動インクリメントを通じた一度に複数のレジスタの読出し／書込み

図40に各方法の処理進行の概要を示します。I²Cバスの各トランザクションは、コントローラによって開始され、START条件の送信、すなわちSCLがハイの間にSDAラインをHIGHからLOWに遷移させることで始まります。続いて、8ビットの（選択したターゲットの）デバイス書込みアドレスがSCLクロック・パルスあたり1ビットずつ送信されます。すべてのアドレスとデータは、バスを通じてMSBファーストで送信されます。

9番目のクロック・パルスは、ターゲットからコントローラへACK（アクノレッジ）信号を送信してアドレスが受信されたことを通知するために予約されています。ACKを送信するために、ターゲットはSDAをロー・レベルに引き下げます。SDAラインがハイ・レベルのままの場合は、NACK（ノット・アクノレッジ）となります。トランザクションに応じて、一連のバイト読出し／書込み転送が続き、それぞれACKビットまたはNACKビットで終了します。トランザクションは、コントローラによって送信されるSTOP条件、つまりSCKがハイ・レベルの間のSDAラインのLOWからHIGHへの遷移で終了します。

自動インクリメント機能は、1回のトランザクションで複数の連続するレジスタへの読出し／書込みアクセスを可能にします。各データ・バイトは、手前のレジスタより1つ先のアドレスのレジスタとの間で読出し／書込みが行われ、その後ACKが続きます。最後の読出し／書込みの後、読出しの場合はNACK、書込みの場合はACKが続き、更にSTOP条件が続きます。

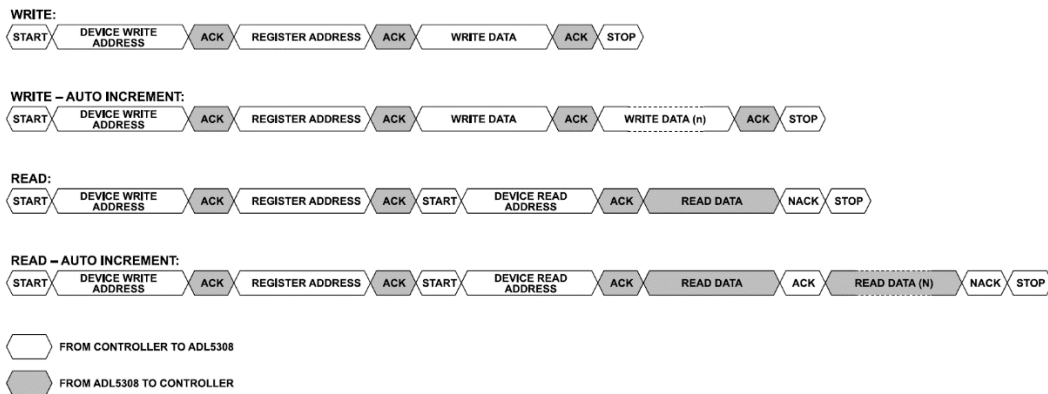


図40. ADL5308のシリアル・バス読出し／書込みシーケンス

シリアル・ポート・インターフェース

レジスタの一覧

表 6. ADL5308のI²Cレジスタの詳細¹

アドレス	レジスタ名	ビット	フィールド名	説明	デフォルト	アクセス
0x00	REG_00	0	SOFTRESET	このビットに1を書き込むと、すべてのレジスタがデフォルト値にリセットされます。	0x00	R/W
0x01	REG_01	[7:0]	CHIP_ID	ADL5308のID。	0x6D	R
0x10	REG_10	[3:0]	IMAX	最大PDB出力電流。	0x06	R/W
0x11	REG_11	[6:0]	IPT	IREF PTAT電流。	0x37	R/W
0x12	REG_12	[6:0]	ICT	IREF CTAT電流。	0x49	R/W
0x13	REG_13	4	IREFDIS	リファレンス電流無効化（比率測定に使用）。	0x0A	R/W
		[3:0]	IREF	リファレンス電流調整。		
0x14	REG_14	6	PDBG_FIX	このビットがセットされている場合、PDBトランス抵抗が無効化（実質的にゼロに設定）され、PDB電圧は入力電流に対し一定となります。	0x18	R/W
		[5:0]	PDBG	PDBG_FIXがセットされていない場合はPDBトランス抵抗制御、PDBG_FIXがセットされている場合は、93.75mV刻みのPDB電圧制御。		
0x15	REG_15	[7:4]	IDZ	PDBトランス抵抗閾値制御。	0x70	R/W
		[3:0]	IPDB	30mV刻みでPDB電圧を制御します。		
0x18	REG_18	[5:0]	MTEMP	スロープ温度ドリフト制御。	0x00	R/W
0x19	REG_19	[7:4]	OS	3mV刻みのV _{PDB} - V _{INP} オフセット制御。	0x74	R/W
		[3:0]	CF	入力電流が小さい場合の帯域幅（CF = コンデンサ・フィードバック（帰還））。		
0x1A	REG_1A	[5:3]	PT	バンドギャップPTAT制御。	0x51	R/W
		[2:0]	ZT	バンドギャップZTAT制御。		
0x1B	REG_1B	[7:0]	LG	対数スロープ調整。	0x07	R/W
0x1C	REG_1C	[2:0]	VPED	開始電圧調整。	0x03	R/W
0x1D	REG_1D	[5:0]	CREF_DAC	CREF_DACが0でない場合は内部DACで生成されるコンパレータ・リファレンス・レベル。CREF_DACが0の場合は外部リファレンス・レベル。	0x00	R/W
0x20	REG_20	0	COMP_EN	コンパレータ・イネーブル。COMP_EN = 1の場合はイネーブル。COMP_EN = 0の場合はディスエーブル。	0x01	R/W
0x48	REG_48	0	NVM_BYPASS ²	不揮発性メモリ（NVM）バイパス。	0x00	R
0x70	REG_70_TRIMMED_10	[3:0]	IMAX_RDBK	REG_10の調整済みIMAX値用のリードバック・レジスタ。	0x0X	R
0x71	REG_71_TRIMMED_11	[6:0]	IPT_RDBK	REG_11の調整済みIPT値用のリードバック・レジスタ。	0xXX	R
0x72	REG_72_TRIMMED_12	[6:0]	ICT_RDBK	REG_12の調整済みICT値用のリードバック・レジスタ。	0xXX	R
0x73	REG_73_TRIMMED_13	4	IREFDIS_RDBK	REG_13の調整済みIREFDIS値用のリードバック・レジスタ。	0x0X	R
		[3:0]	IREF_RDBK	REG_13の調整済みIREF値用のリードバック・レジスタ。		
0x74	REG_74_TRIMMED_14	6	PDBG_FIX_RDBK	REG_14の調整済みPDBG_FIX値用のリードバック・レジスタ。	0x18	R
		[5:0]	PDBG_RDBK	REG_14の調整済みPDBG値用のリードバック・レジスタ。		
0x75	REG_75_TRIMMED_15	[7:4]	IDZ_RDBK	REG_15の調整済みIDZ値用のリードバック・レジスタ。	0x10	R
		[3:0]	IPDB_RDBK	REG_15の調整済みIPDB値用のリードバック・レジスタ。		

シリアル・ポート・インターフェース

表 6. ADL5308のI²Cレジスタの詳細¹

アドレス	レジスタ名	ビット	フィールド名	説明	デフォルト	アクセス
0x78	REG_78_TRIMMED_18	[5:0]	MTEMP_RDBK	REG_18の調整済みMTEMP値用のリードバック・レジスタ。	0xXX	R
0x79	REG_79_TRIMMED_19	[7:4]	OS_RDBK	REG_19の調整済みOS値用のリードバック・レジスタ。	0xX0	R
		[3:0]	CF_RDBK	REG_19の調整済みCF値用のリードバック・レジスタ。		
0x7A	REG_7A_TRIMMED_1A	[5:3]	PT_RDBK	REG_1Aの調整済みPT値用のリードバック・レジスタ。	0x51	R
		[2:0]	ZT_RDBK	REG_1Aの調整済みZT値用のリードバック・レジスタ。		
0x7B	REG_7B_TRIMMED_1B	[7:0]	LG_RDBK	REG_1Bの調整済みLG値用のリードバック・レジスタ。	0xXX	R
0x7C	REG_7C_TRIMMED_1C	[2:0]	VPED_RDBK	REG_1Cの調整済みVPED値用のリードバック・レジスタ。	0x0X	R

¹ その他すべてのレジスタおよび不記載のビットは予約済みです。

² NVM_BYPASS = 1を用いてレジスタ値を変更する前にADL5308のデフォルト・パワーアップ設定を保存するには、最初にレジスタ0x70~0x7Cを読み出し、次いでこれらの値を対応するレジスタ0x10~0x1Cに書き込む必要があります。

評価用ボードの回路図

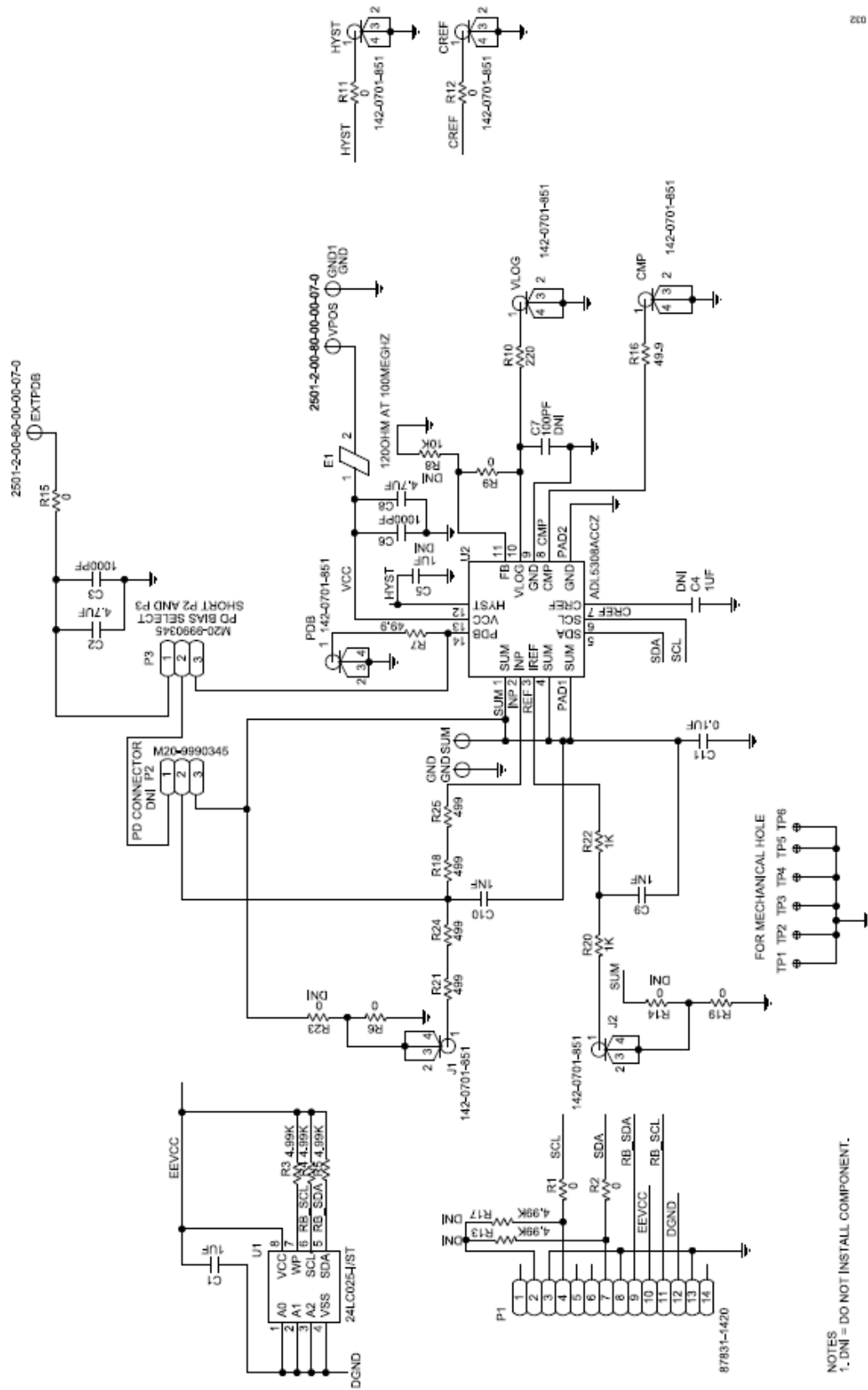


図41. 評価用ボードの回路図

外形寸法

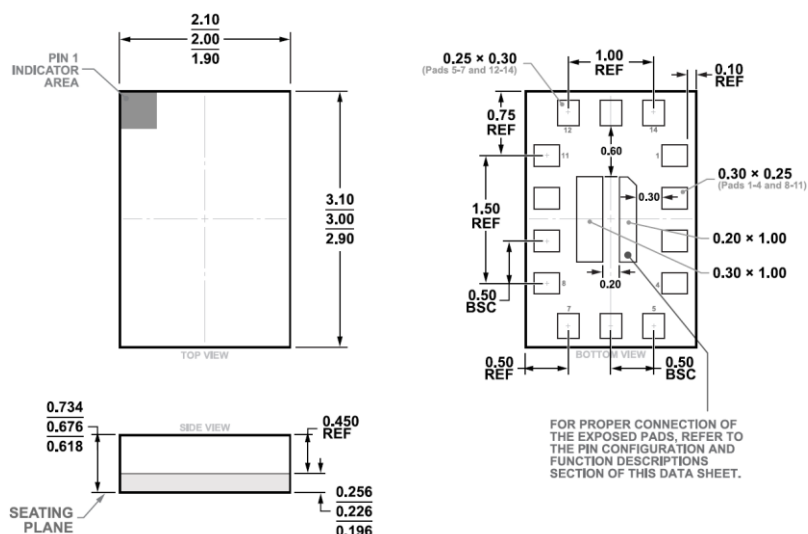


図42. 14端子ランド・グリッド・アレイ [LGA] (CC-14-4)
寸法 : mm

更新 : 2023年8月16日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADL5308ACCZ	-40°C to +105°C	LGA/CASON/CH ARRAY SO NO LD	Reel, 3000	CC-14-4
ADL5308ACCZ-R7	-40°C to +105°C	LGA/CASON/CH ARRAY SO NO LD	Reel, 3000	CC-14-4

¹ Z = RoHS準拠製品。

評価用ボード

Model ¹	Description
ADL5308-EVALZ ²	Evaluation Board
ADL5308-KIT-EVALZ ³	Evaluation Board Kit

¹ Z = RoHS準拠製品。

² ADL5308-EVALZパッケージにはボードのみが含まれています。

³ ADL5308-KIT-EVALZにはDC2026C Linduino Oneコントローラ・ボードが含まれています。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2024年1月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年1月17日

製品名：AD5308

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：13頁、式11より5行上

【誤】

有効化した場合 (PDBG_FIX=1)、PDBG ビット・フィールドはトランス抵抗の値を 11.72 Ω刻みで調整します。
す

【正】有効化した場合 (PDBG_FIX=0)、PDBG ビット・フィールドはトランス抵抗の値を 11.72 Ω刻みで調整します。