

## タクティカル・グレードの 6 自由度慣性センサー

### 特長

- ▶ 3軸、デジタル・ジャイロ・センサー
  - ▶  $\pm 125^\circ/\text{sec}$ 、 $\pm 450^\circ/\text{sec}$ 、 $\pm 2000^\circ/\text{sec}$  のダイナミック・レンジ・オプション
  - ▶ 軸間のミスアライメント誤差： $\pm 0.15^\circ$  ( $1\sigma$ )
  - ▶ 軸とパッケージ間のミスアライメント誤差： $\pm 0.15^\circ$  ( $1\sigma$ )
  - ▶ 動作中のバイアス安定度： $0.7^\circ/\text{hr}$  ( $1\sigma$ , ADIS16545-1BMLZ, ADIS16547-1BMLZ)
  - ▶ 角度ランダム・ウォーク： $0.07^\circ/\sqrt{\text{hr}}$  ( $1\sigma$ , ADIS16545-1BMLZ, ADIS16547-1BMLZ)
  - ▶ バイアス再現性： $0.03^\circ/\text{sec}$
- ▶ 3軸加速度センサー、 $\pm 8g$ 、 $\pm 40g$ 
  - ▶ 動作中のバイアス安定度： $3.2\mu\text{g}$  (ADIS16545)
  - ▶ 動作中のバイアス安定度： $13\mu\text{g}$  (ADIS16547)
- ▶ 3軸の角度変化および速度変化の出力
- ▶ 工場出荷時キャリブレーション済みの感度、バイアス、軸アライメント
  - ▶ キャリブレーション温度範囲： $-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$
- ▶ SPI 対応のデータ・インターフェイス
- ▶ プログラマブルな動作と制御
  - ▶ 自動と手動のバイアス補正制御
  - ▶ 設定可能な FIR フィルタ、120 タップ
  - ▶ デジタル入出力：データ・レディ、外部クロック
  - ▶ サンプル・クロック・オプション：内部または外部 (直接同期またはスケール同期を含む)
  - ▶ 慣性センサーの連続モニタリング
  - ▶ 慣性センサーのオンデマンド・セルフ・テスト
- ▶ 単一電源動作： $3.0\text{V} \sim 3.6\text{V}$
- ▶ 1200g の機械的衝撃耐性
- ▶ 動作温度範囲： $-40^\circ\text{C} \sim +105^\circ\text{C}$

### アプリケーション

- ▶ 高精度計測、安定化
- ▶ ガイダンス、ナビゲーション、制御
- ▶ アビオニクス (航空電子機器)、無人車両
- ▶ 高精度自律型機械、ロボティクス

### 概要

ADIS16545/ADIS16547 は、3軸ジャイロ・センサーと3軸加速度センサーを備えた全機能内蔵型の慣性システムです。ADIS16545/ADIS16547 内の各慣性センサーがシグナル・コンディショニングと組み合わさることで、動的性能が最適化されています。工場出荷時のキャリブレーションで、各センサーの感度、バイアス、アライメントが特性評価されています。その結果、各センサーは個別の動的補正式を備え、高精度なセンサー計測を行うことができます。

ADIS16545/ADIS16547 は、特にディスクリート部品を使った設計に伴う複雑さや投資と比較した場合、工業用システムに高精度の多軸慣性センシングを統合するための簡単で費用対効果の優れた方法を提供します。必要なモーション・テストとキャリブレーションはすべて工場での製造工程に組み込まれているため、システムを統合する時間を大幅に短縮できます。直交アライメントと精度アライメントがどちらも厳密であるという特色があるため、ナビゲーション・システムの慣性フレーム・アライメントを簡単に行うことができます。シリアル・ペリフェラル・インターフェイス (SPI) およびレジスタ構造により、データ収集や設定制御とのインターフェイスも容易です。

ADIS16545/ADIS16547 のフットプリントとコネクタ・システムは、ADIS16488A、ADIS16495、ADIS16497 からのアップグレードを簡単なものにします。ただし、内部発振器を用いる場合、ADIS16495 と ADIS16545/ADIS16547 の間にはサンプル・レートにわずかな違いがある点に注意してください。これと同じサンプル・レートのわずかな違いは、ADIS16497 と ADIS16545/ADIS16547 の間にもあります。本質的なサンプル・レートの詳細については、仕様のセクションを参照してください。ADIS16545/ADIS16547 は、約  $47\text{mm} \times 44\text{mm} \times 14\text{mm}$  のアルミ・パッケージで供給され、標準的なコネクタ・インターフェイスを備えています。

### 機能ブロック図

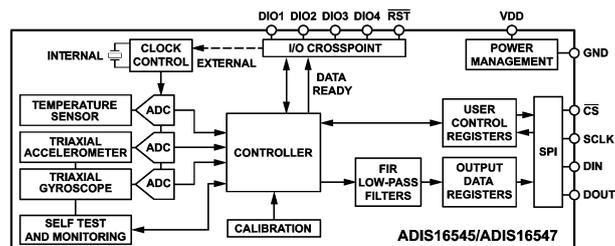


図 1. 機能ブロック図

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	各種設定、CONFIG.....	39
アプリケーション.....	1	デシメーション・フィルタ、DEC_RATE.....	40
概要.....	1	連続バイアス予測 (CBE)、NULL_CNFG.....	40
機能ブロック図.....	1	入力クロックのスケーリング (スケーリング同期モード)、UPSCALE.....	40
仕様.....	3	測定レンジ識別子、RANGE_MDL.....	41
ジャイロ・センサーの性能仕様.....	4	FIR フィルタ.....	41
加速度センサーの性能仕様.....	6	ファームウェア・リビジョン、FIRM_REV.....	43
タイミング仕様.....	7	ファームウェア・リビジョンの月と日付、FIRM_DM.....	43
絶対最大定格.....	10	ファームウェア・リビジョンの年、FIRM_Y.....	43
熱抵抗.....	10	ブート・リビジョン番号、BOOT_REV.....	43
ESD に関する注意.....	10	連続 SRAM テスト.....	43
ピン配置およびピン機能の説明.....	11	シグネチャ CRC、キャリブレーション値、CAL_SIG_LWR.....	44
代表的な性能特性.....	12	シグネチャ CRC、キャリブレーション値、CAL_SIG_UPR.....	44
動作原理.....	16	導出 CRC、キャリブレーション値、CAL_DRV_LWR.....	44
慣性センサーのシグナル・チェーン.....	16	導出 CRC、キャリブレーション値、CAL_DRV_UPR.....	44
レジスタ構造.....	18	シグネチャ CRC、プログラム・コード、CODE_SIG_LWR.....	44
シリアル・ペリフェラル・インターフェイス.....	19	シグネチャ CRC、プログラム・コード、CODE_SIG_UPR.....	44
データ・レディ.....	19	導出 CRC、プログラム・コード、CODE_DRV_LWR.....	44
センサー・データの読み出し.....	19	導出 CRC、プログラム・コード、CODE_DRV_UPR.....	44
デバイスの設定.....	21	ロット固有シリアル番号、SERIAL_NUM.....	45
ユーザ・レジスタのメモリ・マップ.....	22	アプリケーション情報.....	46
ユーザ・レジスタの定義.....	25	インターフェイスの機械的設計.....	46
ページ番号 (PAGE_ID).....	25	誤挿入の防止.....	46
データおよびサンプリング・カウンタ (DATA_CNT).....	25	評価用ツール.....	46
ステータスおよびエラー・フラグ・インジケータ (STATUS).....	25	電源に関する考慮事項.....	46
セルフ・テスト・エラー・フラグ (DIAG_STS).....	25	バースト読み出しコード例.....	47
内部温度 (TEMP_OUT).....	26	CRC-32 のコード例.....	47
ジャイロ・センサーのデータ.....	26	外形寸法.....	49
加速度データ.....	27	オーダー・ガイド.....	49
タイム・スタンプ.....	29		
巡回冗長検査 (CRC-32).....	29		
角度変化.....	30		
速度変化.....	31		
ユーザ・バイアス調整およびユーザ・スケール調整.....	33		
スクラッチ・レジスタ、USER_SCR_X.....	36		
フラッシュ・メモリ書換え回数カウンタ、ENDURANCE_LWR および ENDURANCE_UPR.....	36		
グローバル・コマンド、GLOB_CMD.....	37		
補助入出力ラインの設定、FNCTIO_CTRL.....	38		
汎用入出力制御、GPIO_CTRL.....	39		

## 改訂履歴

1/2024—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $T_C = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、角速度 =  $0^\circ/\text{sec}$ 、加速度 =  $\pm 1g$ 。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>GYROSCOPES</b>					
Dynamic Range	ADIS16545-1BMLZ and ADIS16547-1BMLZ	$\pm 125$			$^\circ/\text{sec}$
	ADIS16545-2BMLZ and ADIS16547-2BMLZ	$\pm 450$		$\pm 480$	$^\circ/\text{sec}$
	ADIS16545-3BMLZ and ADIS16547-3BMLZ	$\pm 2000$			$^\circ/\text{sec}$
<b>ACCELEROMETERS</b>					
Dynamic Range	Each axis ADIS16545	$\pm 8$			$g$
	ADIS16547	$\pm 40$			$g$
<b>TEMPERATURE SENSOR</b>					
Scale Factor	Output = $0x0000$ at $25^\circ\text{C}$ ( $\pm 5^\circ\text{C}$ )		140		LSB/ $^\circ\text{C}$
<b>LOGIC INPUTS<sup>1</sup></b>					
Input Voltage		2.0		0.8	High, $V_{IH}$
					Low, $V_{IL}$
$\overline{\text{RST}}$ Pulse Width		1			$\mu\text{s}$
Input Current	$V_{IH} = 3.3\text{V}$ $V_{IL} = 0\text{V}$		10	10	Logic 1, $I_{IH}$
					Logic 0, $I_{IL}$
					All Pins Except the $\overline{\text{RST}}$ and $\overline{\text{CS}}$ Pins
$\overline{\text{RST}}$ and $\overline{\text{CS}}$ Pins <sup>2</sup>			0.33	10	$\mu\text{A}$ $\mu\text{A}$ $\text{mA}$
Input Capacitance, $C_{IN}$			10		$\text{pF}$
<b>DIGITAL OUTPUTS</b>					
Output Voltage	Source current ( $I_{SOURCE}$ ) = $0.5\text{mA}$ Sink current ( $I_{SINK}$ ) = $2.0\text{mA}$	2.4		0.4	High, $V_{OH}$
					Low, $V_{OL}$
<b>FLASH MEMORY</b>					
Data Retention <sup>4</sup>	Endurance <sup>3</sup> $T_J = 85^\circ\text{C}$	100,000 20			Cycles Years
<b>CONVERSION RATE, <math>f_{SM}</math></b>					
Initial Clock Accuracy			4 0.02		kSPS %
Temperature Coefficient			40		ppm/ $^\circ\text{C}$
External Sync Input Clock, $f_{SYNC}$		3.0 1		4.5 128	Direct Mode
					Scaled Sync Mode
<b>GROUP DELAY<sup>5</sup></b>					
Time delay from the physical stimulus to it being reported by the inertial measurement unit (IMU)					
Gyroscopes			1.31 1.69		$\leq 100\text{Hz}$
					455 Hz
					Accelerometers
POWER SUPPLY, VDD	Operating voltage range	3.0		3.6	V
					Power Supply Current <sup>6</sup>

<sup>1</sup> デジタル入出力信号には 3.3V システムを使用しています。

<sup>2</sup>  $\overline{\text{RST}}$ ピンおよび $\overline{\text{CS}}$ ピンは、 $10\text{k}\Omega$ のプルアップ抵抗を介して VDD ピンに接続されています。

<sup>3</sup> 書換え回数は JEDEC 規格 22、Method A117 に準拠し、 $-40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+125^\circ\text{C}$  で測定しています。

<sup>4</sup> データ保持仕様は、JEDEC 規格 22、Method A117 に準拠した  $85^\circ\text{C}$  のジャンクション温度 ( $T_J$ ) を想定しています。データ保持寿命は  $T_J$  に伴って短くなります。

<sup>5</sup> 群遅延の仕様は、デシメーションおよび有限インパルス応答 (FIR) フィルタのローパス・フィルタ処理をディスエーブルした状態のものです。ジャイロ・センサーの群遅延の変化は内部のデジタル・フィルタ処理によるものです。

<sup>6</sup> 初回起動時やリセットからの復帰時には、電源電流トランジェントが  $250\text{mA}$  に達することがあります。図 58 を参照してください。また、フラッシュの更新時には更に  $10\text{mA}$  の電流が消費されます。

## 仕様

## ジャイロ・センサーの性能仕様

表 2.  $\pm 125^\circ/\text{sec}$  用 (ADIS16545-1BMLZ および ADIS16547-1BMLZ)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
GYROSCOPES					
Dynamic Range		$\pm 125$			$^\circ/\text{sec}$
Sensitivity	32-bit, $1\sigma$		10,485,760		LSB/ $^\circ/\text{sec}$
Repeatability	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$		$\pm 0.3$		%
Error Over Temperature	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$		$\pm 0.2$		%
Misalignment Error <sup>1</sup>	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$ , $1\sigma$				
	Axis to axis		$\pm 0.15$		Degrees
	Axis to package		$\pm 0.15$		Degrees
Nonlinearity	$1\sigma$ , FS <sup>2</sup> = $125^\circ/\text{sec}$ , angular rate = $\pm 62.5^\circ/\text{sec}$		0.1		% FS
	$1\sigma$ , FS = $125^\circ/\text{sec}$ , angular rate = $\pm 125^\circ/\text{sec}$		0.5		% FS
Bias	$1\sigma$				
Repeatability <sup>3</sup>	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$		0.03		$^\circ/\text{sec}$
In Run Stability <sup>4</sup>			0.7		$^\circ/\text{hr}$
Bias Instability <sup>5</sup>			1.05		$^\circ/\text{hr}$
Angular Random Walk			0.07		$^\circ/\sqrt{\text{hr}}$
Error over Temperature	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$		0.03		$^\circ/\text{sec}$
Linear Acceleration Effect			0.5		$^\circ/\text{hr}/g$
Vibration Rectification Error (VRE)	Random vibration, 4 g RMS, 50 Hz to 2 kHz		8		$^\circ/\text{hr}$
Noise					
Output Noise	No filtering		0.04		$^\circ/\text{sec}$ RMS
Rate Noise Density <sup>6</sup>	$1\sigma$		0.0016		$^\circ/\text{sec}/\sqrt{\text{Hz}}$ RMS
Bandwidth					
-3 dB			580		Hz
90° Phase Shift			191		Hz
Sensor Resonant Frequency			78		kHz

<sup>1</sup> 直交軸感度は、この数値の正弦です。

<sup>2</sup> FS はフルスケールを意味します。

<sup>3</sup> バイアス再現性は、 $105^\circ\text{C}$  で 500 時間動作した後のデバイスの系統誤差のドリフトを表す尺度です。この再現性は、二乗和平方根 (RSS) を採用して、高

温動作寿命 (HTOL)、温度サイクリング・テスト (TCT)、熱ヒステリシス、ターンオン・ドリフトなど、様々な要因の影響を統合しています。

<sup>4</sup> この数値は、アラン分散曲線の最小値から求めたものです (図 9 参照)。

<sup>5</sup> バイアス不安定性仕様は、IEEE-STD-952-1997、Appendix C に従い、動作中のバイアス安定性 (IRBS) を 0.664 で割ることで計算できます。

<sup>6</sup> 大きさは 10Hz~40Hz、サンプル・レートは  $f_{SM}$  (公称値) で、デジタル・フィルタ処理は使用していません。

表 3.  $\pm 450^\circ/\text{sec}$  用 (ADIS16545-2BMLZ および ADIS16547-2BMLZ)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
GYROSCOPES					
Dynamic Range		$\pm 450$			$^\circ/\text{sec}$
Sensitivity	32-bit, $1\sigma$		2,621,440		LSB/ $^\circ/\text{sec}$
Repeatability	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$		$\pm 0.3$		%
Error Over Temperature	$-40^\circ\text{C} \leq T_C \leq +85^\circ\text{C}$		$\pm 0.2$		%

仕様

表 3. ±450°/sec 用 (ADIS16545-2BMLZ および ADIS16547-2BMLZ) (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Misalignment Error <sup>1</sup>	-40°C ≤ T <sub>C</sub> ≤ +85°C, 1 σ				
	Axis to axis		±0.15		Degrees
	Axis to package		±0.15		Degrees
Nonlinearity	1 σ, FS = 450°/sec, angular rate = ±225°/sec		0.1		% FS
	1 σ, FS = 450°/sec, angular rate = ±450°/sec		0.5		% FS
Bias	1 σ				
Repeatability <sup>2</sup>	-40°C ≤ T <sub>C</sub> ≤ +85°C		0.03		°/sec
In Run Stability <sup>3</sup>			0.8		°/hr
Bias Instability <sup>4</sup>			1.2		°/hr
Angular Random Walk			0.08		°/√hr
Error over Temperature	-40°C ≤ T <sub>C</sub> ≤ +85°C		0.03		°/sec
Linear Acceleration Effect			0.5		°/hr/g
VRE	Random vibration, 4 g RMS, 50 Hz to 2 kHz		8		°/hr
Noise					
Output Noise	No filtering		0.046		°/sec RMS
Rate Noise Density <sup>5</sup>	1 σ		0.0018		°/sec/√Hz RMS
Bandwidth					
-3 dB			550		Hz
90° Phase Shift			191		Hz
Sensor Resonant Frequency			78		kHz

<sup>1</sup> 直交軸感度は、この数値の正弦です。

<sup>2</sup> バイアス再現性は、105°C で 500 時間動作した後のデバイスの系統誤差のドリフトを表す尺度です。この再現性は、RSS を採用して、HTOL、TCT、熱ヒステリシス、ターンオン・ドリフトなど、様々な要因の影響を統合しています。

<sup>3</sup> この数値は、アラン分散曲線の最小値から求めたものです (図 10 参照)。

<sup>4</sup> バイアス不安定性仕様は、IEEE-STD-952-1997、Appendix C に従い、IRBS を 0.664 で割ることで計算できます。

<sup>5</sup> 大きさは 10Hz~40Hz、サンプル・レートは f<sub>SM</sub> (公称値) で、デジタル・フィルタは使用していません。

表 4. ±2000°/sec 用 (ADIS16545-3BMLZ および ADIS16547-3BMLZ)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
GYROSCOPES					
Dynamic Range		±2000			°/sec
Sensitivity	32-bit, 1 σ		655,360		LSB/°/sec
Repeatability	-40°C ≤ T <sub>C</sub> ≤ +85°C		±0.3		%
Error Over Temperature	-40°C ≤ T <sub>C</sub> ≤ +85°C		±0.2		%
Misalignment Error <sup>1</sup>	-40°C ≤ T <sub>C</sub> ≤ +85°C, 1 σ				
	Axis to axis		±0.15		Degrees
	Axis to package		±0.15		Degrees
Nonlinearity	1 σ, FS = 2000°/sec, angular rate = ±1000°/sec		0.1		% FS
	1 σ, FS = 2000°/sec, angular rate = ±2000°/sec		0.5		% FS
Bias	1 σ				
Repeatability <sup>2</sup>	-40°C ≤ T <sub>C</sub> ≤ +85°C		0.03		°/sec
In Run Stability <sup>3</sup>			2.8		°/hr
Bias Instability <sup>4</sup>			4.2		°/hr
Angular Random Walk			0.13		°/√hr
Error over Temperature	-40°C ≤ T <sub>C</sub> ≤ +85°C		0.03		°/sec
Linear Acceleration Effect			0.5		°/hr/g
VRE	Random vibration, 4 g RMS, 50 Hz to 2 kHz		8		°/hr

仕様

表 4. ±2000°/sec 用 (ADIS16545-3BMLZ および ADIS16547-3BMLZ) (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Noise					
Output Noise	No filtering		0.08		°/sec RMS
Rate Noise Density <sup>5</sup>	1 σ		0.0031		°/sec/√Hz RMS
Bandwidth					
-3 dB			640		Hz
90° Phase Shift			191		Hz
Sensor Resonant Frequency			78		kHz

<sup>1</sup> 直交軸感度は、この数値の正弦です。

<sup>2</sup> バイアス再現性は、105°C で 500 時間動作した後のデバイスの系統誤差のドリフトを表す尺度です。この再現性は、RSS を採用して、HTOL、TCT、熱ヒステリシス、ターンオン・ドリフトなど、様々な要因の影響を統合しています。

<sup>3</sup> この数値は、アラン分散曲線の最小値から求めたものです (図 11 参照)。

<sup>4</sup> バイアス不安定性仕様は、IEEE-STD-952-1997、Appendix C に従い、IRBS を 0.664 で割ることで計算できます。

<sup>5</sup> 大きさは 10Hz~40Hz、サンプル・レートは f<sub>SM</sub> (公称値) で、デジタル・フィルタは使用していません。

加速度センサーの性能仕様

表 5. ±8g 用 (ADIS16545)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ACCELEROMETERS	Each axis				
Dynamic Range		±8			g
Sensitivity	32-bit		262,144,000		LSB/g
Error Over Temperature	-40°C ≤ T <sub>C</sub> ≤ +85°C, 1 σ		±0.01		%
Misalignment Error	-40°C ≤ T <sub>C</sub> ≤ +85°C, 1 σ				
	Axis to axis		±0.15		Degrees
	Axis to package		±0.15		Degrees
Nonlinearity	Best fit straight line, FS = 8 g				
	±4 g		0.2		% FS
	±8 g		3.5		% FS
Bias	1 σ				
In Run Stability			3.2		μg
Velocity Random Walk			0.008		m/sec/√hr
Error over Temperature	-40°C ≤ T <sub>C</sub> ≤ +85°C		±1.0		mg
VRE	Random vibration, 2 g RMS, 50 Hz to 1 kHz		16		mg
Noise	No filtering				
Output Noise			0.5		mg RMS
Noise Density	10 Hz to 40 Hz		17		μg/√Hz RMS
Bandwidth, -3 dB			750		Hz
Sensor Resonant Frequency			2.5		kHz

表 6. ±40g 用 (ADIS16547)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ACCELEROMETERS	Each axis				
Dynamic Range		±40			g
Sensitivity	32-bit		52,428,800		LSB/g
Error Over Temperature	-40°C ≤ T <sub>C</sub> ≤ +85°C, 1 σ		±0.01		%
Misalignment Error	-40°C ≤ T <sub>C</sub> ≤ +85°C, 1 σ				
	Axis to axis		±0.15		Degrees
	Axis to package		±0.15		Degrees

表 6. ±40g 用 (ADIS16547) (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Nonlinearity	Best fit straight line, FS = 40 g				
	±20 g		0.2		% FS
	±40 g		3.5		% FS
Bias	1 $\sigma$				
In Run Stability			13		$\mu$ g
Velocity Random Walk			0.04		m/sec/ $\sqrt{\text{hr}}$
Error over Temperature <sup>1</sup>	-40°C ≤ T <sub>C</sub> ≤ +85°C		±0.5		mg
VRE	Random vibration, 50 Hz to 2 kHz				
	2 g RMS		1		mg
	8 g RMS		10		mg
Noise	No filtering				
Output Noise			2.6		mg RMS
Noise Density	10 Hz to 40 Hz		88		$\mu$ g/ $\sqrt{\text{Hz}}$ RMS
Bandwidth, -3 dB			750		Hz
Sensor Resonant Frequency			5.5		kHz

<sup>1</sup> この誤差には連続動作が必要です。

### タイミング仕様

特に指定のない限り、T<sub>C</sub> = 25°C、および、VDD = 3.3V。

表 7. タイミング仕様

Parameter	Description	Normal Mode			Burst Read Function			Unit
		Min <sup>1</sup>	Typ	Max <sup>1</sup>	Min	Typ <sup>2</sup>	Max <sup>1</sup>	
f <sub>SCLK</sub>	SCLK frequency	0.01		15			10	MHz
t <sub>STALL</sub> <sup>3</sup>	Stall period between data	5				N/A		$\mu$ s
t <sub>CLS</sub>	SCLK low period	31			31			ns
t <sub>CHS</sub>	SCLK high period	31			31			ns
t <sub>CS</sub>	$\overline{\text{CS}}$ to SCLK edge	32			32			ns
t <sub>DAV</sub>	DOUT valid after SCLK edge			10			10	ns
t <sub>DSU</sub>	DIN setup time before SCLK rising edge	2			2			ns
t <sub>DHD</sub>	DIN hold time after SCLK rising edge	2			2			ns
t <sub>DR</sub> and t <sub>DF</sub>	DOUT rise and fall times, ≤100 pF loading		3	8		3	8	ns
t <sub>DSOE</sub>	$\overline{\text{CS}}$ assertion to DOUT active	0		11	0		11	ns
t <sub>HD</sub>	SCLK edge to DOUT invalid	0			0			ns
t <sub>SFS</sub>	Last SCLK edge to $\overline{\text{CS}}$ deassertion	32			32			ns
t <sub>DSHI</sub>	$\overline{\text{CS}}$ deassertion to DOUT high impedance	0		9	0		9	ns
t <sub>NV</sub>	Data invalid time		17			17		$\mu$ s
t <sub>1</sub>	Input sync pulse width	5			5			$\mu$ s
t <sub>2</sub>	Input sync to data invalid		240			240		$\mu$ s
t <sub>3</sub>	Input sync period <sup>4</sup>	222			222			$\mu$ s

<sup>1</sup> 設計および特性評価により裏付けられていますが、製造時のテストは行っていません。

<sup>2</sup> N/A は該当なしを意味します。

<sup>3</sup> 待ち時間定格の例外については表 8 を参照してください。

<sup>4</sup> この測定値は、入力サンプル・クロックの最大周波数の逆数です。

仕様

表 8. 機能時間

Parameter	Description	Min	Typ <sup>1</sup>	Max	Unit
FUNCTIONAL TIMES <sup>2</sup>	Time until register value is updated. $-40^{\circ}\text{C} \leq T_C \leq +85^{\circ}\text{C}$				
Power-On Start-Up Time			290		ms
Reset Recovery Time <sup>3</sup>	GLOB_CMD register, Bit 7 = 1 (see Table 149)		250		ms
	$\overline{\text{RST}}$ pulled low, then restored to high		290		ms
Flash Memory Update Time, $-40^{\circ}\text{C}$	GLOB_CMD register, Bit 3 = 1 (see Table 149)		625		ms
Flash Memory Update Time, $+25^{\circ}\text{C}$	GLOB_CMD register, Bit 3 = 1 (see Table 149)		490		ms
Flash Memory Update Time, $+85^{\circ}\text{C}$	GLOB_CMD register, Bit 3 = 1 (see Table 149)		450		ms
Clear User Calibration <sup>4</sup>	GLOB_CMD register, Bit 6 = 1 (see Table 149)		375		$\mu\text{s}$
Self Test Time	GLOB_CMD register, Bit 1 = 1 (see Table 149)		35		ms
Configure DIOx Pin Functions	FNCTIO_CTRL register (see Table 151)		550		$\mu\text{s}$
Enable and Select FIR Filter Bank 0	FILTR_BNK_0 register (see Table 165)		65		$\mu\text{s}$
Enable FIR Filter Bank 1	FILTR_BNK_1 register (see Table 167)		65		$\mu\text{s}$
Configure Autonull Function	NULL_CNFG register (see Table 159)		210		$\mu\text{s}$
Configure Input Clock Scale Factor	UPSCALE register (see Table 161)		350		$\mu\text{s}$
Configure Decimation Rate <sup>5</sup>	DEC_RATE Register (see Table 157)		460		$\mu\text{s}$
Configure General-Purpose Input and Output Lines	GPIO_CTRL register (see Table 153)		25		$\mu\text{s}$
Configure Miscellaneous Functions	CONFIG register (see Table 155)		45		$\mu\text{s}$
Factory Calibration Restore	GLOB_CMD, Bit 6 = 1 (see Table 149)		375		$\mu\text{s}$

<sup>1</sup>ここに記載の時間だけ待機した後、ステータス・レジスタをポーリングする代わりに通常のパルス信号のリターンに対するデータ・レディ信号をモニターすることで、システムの待機時間を最小限に抑えることができます。

<sup>2</sup>機能時間には、全体の精度に影響を与える可能性のある、熱セトリング時間および内部フィルタ応答時間は含まれていません。関連するコマンドを実行する場合、この表で仕様規定された時間だけ待機する必要があります。

<sup>3</sup>正しくリセットを開始してデバイスを復帰させるには、 $\overline{\text{RST}}$ ラインを少なくとも  $10\mu\text{s}$  にわたりロー状態にする必要があります。

<sup>4</sup>フラッシュ・メモリに保存された工場出荷時のキャリブレーション値は、この動作では更新されません。

<sup>5</sup>デシメーション・レート値が大きい場合、大きなサンプル数を平均化するために追加の時間が必要です。

タイミング図

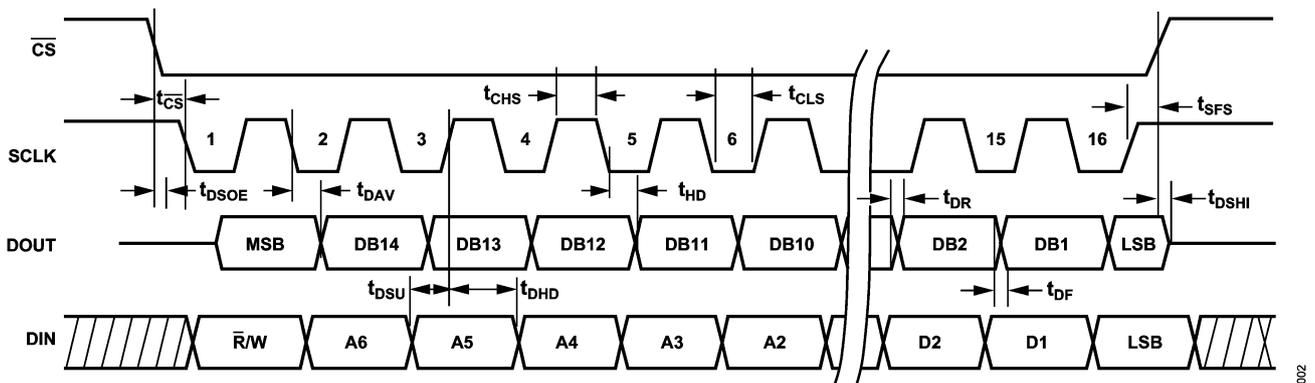


図 2. SPI のタイミングとシーケンス

仕様

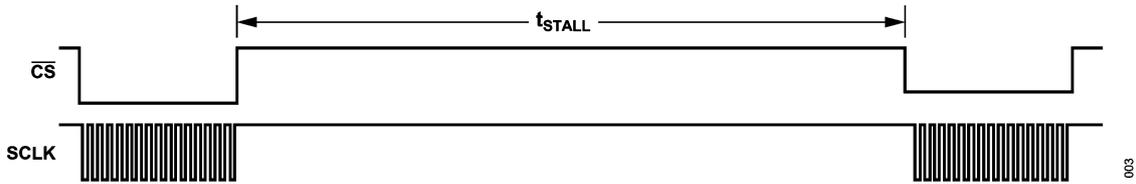


図 3. 待ち時間とデータ・レート

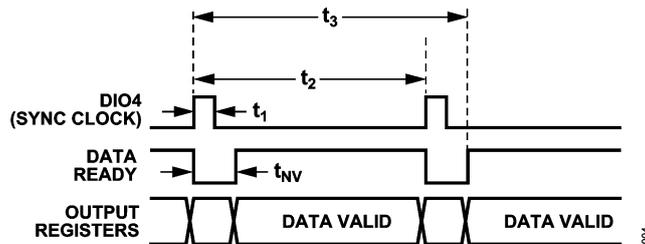
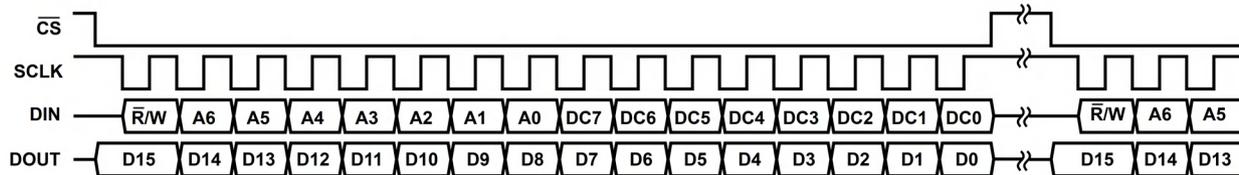


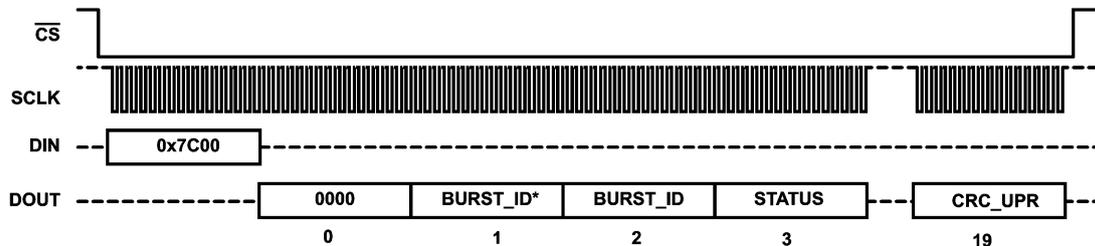
図 4. 入力クロックのタイミング図、FNCTIO\_CTRL、ビット[7:4] = 0xFD



NOTES

1. DOUT BITS ARE PRODUCED ONLY WHEN THE PREVIOUS 16-BIT DIN SEQUENCE STARTS WITH  $\bar{R}/W = 0$ .
2. WHEN  $\overline{CS}$  IS HIGH, DOUT IS IN A THREE-STATE, HIGH IMPEDANCE MODE, WHICH ALLOWS MULTIFUNCTIONAL USE OF THE LINE FOR OTHER DEVICES.

図 5. SPI 通信のビット・シーケンス



\*THIS BURST\_ID MAY BE REPLACED BY 1 OR 2 0x0000s, ESPECIALLY AT  $f_{SCLK} > 3.9\text{MHz}$

図 6. バースト読出し機能のシーケンス図

バースト読出しシーケンスは、 $f_{SCLK}$ に応じて変化します。図 6 に、 $f_{SCLK} \leq 3.9\text{MHz}$  の、代表的なバースト読出しシーケンスを示します。バーストのペイロードには、CRC-32 を含む 34 バイトのデータがあります。ペイロードは、6 個もの連続するゼロで始まり、4 つのバースト ID バイトが続きます。バースト ID は 0xA5A5 で表されます。最後のバースト ID バイトの後、続く 34 バイトが実質的なペイロードを構成します。最も厳しい条件では、SPI の合計転送量は 46 バイトになります。

この変化を処理する方法でバースト読出し機能を実装するサンプル・コードについては、バースト読出しコード例のセクションを参照してください。

バースト読出しに含まれるレジスタの詳細については、バースト読出し機能のセクションを参照してください。

## 絶対最大定格

表 9. 絶対最大定格

Parameter	Rating
Mechanical Shock Survivability	
Any Axis, Unpowered	1200 g
Any Axis, Powered	1200 g
VDD to GND	-0.3 V to +3.6 V
Digital Input Voltage to GND	-0.3 V to VDD + 0.2 V
Digital Output Voltage to GND	-0.3 V to VDD + 0.2 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range <sup>1</sup>	-55°C to +150°C
Barometric Pressure	2 bar

<sup>1</sup> -40°C より低い低温、または+105°C を超える高温下に長時間放置すると、工場出荷時のキャリブレーション精度に悪影響を与える可能性があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

$\theta_{JC}$  は、ジャンクションとケース間の熱抵抗です。

ADIS16545/ADIS16547 は多数の能動部品を含むマルチチップ・モジュールです。表 10 に示す値は、ADIS16545/ADIS16547 内部の最も高温の部品の熱応答を、モジュールの全消費電力の範囲で示したものです。この方法では、周囲温度またはケース温度に基づいて、最も高いジャンクション温度を簡単な方法で予測することができます。

例えば、 $T_C = 32.3^\circ\text{C}$ （最も高いデバイス・ケース温度）の場合、ADIS16545/ADIS16547 内部の最も高いジャンクション温度は  $33.56^\circ\text{C}$  です。

$$T_J = \theta_{JC} \times P_D + 32.3^\circ\text{C}$$

$$T_J = 11.1^\circ\text{C}/\text{W} \times 0.114 \text{ W} + 32.3^\circ\text{C}$$

$$T_J = 33.56^\circ\text{C}$$

表 10. パッケージ特性

Package Type <sup>1</sup>	$\theta_{JA}$	$\theta_{JC}$ <sup>2</sup>	Device Weight
ML-24-9	22.09°C/W	17.07°C/W	45 g

<sup>1</sup> 熱抵抗のシミュレーション値は、4 本の M2 × 0.4mm の小ネジ（トルク = 20 インチ・オンス）を使用して ADIS16545/ADIS16547 を PCB に固定した場合の値です。

<sup>2</sup>  $\theta_{JC}$  は、ジャンクションからモジュール（ADIS16545/ADIS16547）への熱抵抗です。

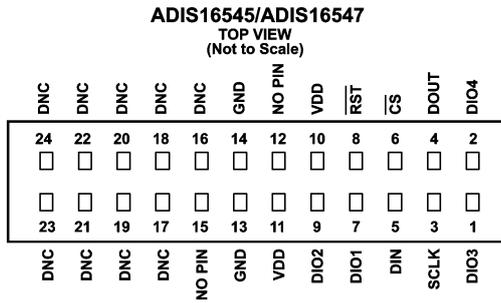
## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES**
1. THIS REPRESENTATION DISPLAYS THE TOP VIEW PINOUT FOR THE MATING SOCKET CONNECTOR.
  2. THE ACTUAL CONNECTOR PINS ARE NOT VISIBLE FROM THE TOP VIEW.
  3. MATING CONNECTOR: SAMTEC CLM-112-02 OR EQUIVALENT.
  4. DNC = DO NOT CONNECT.
  5. PIN 12 AND PIN 15 ARE NOT PHYSICALLY PRESENT.

図 7. ピン配置

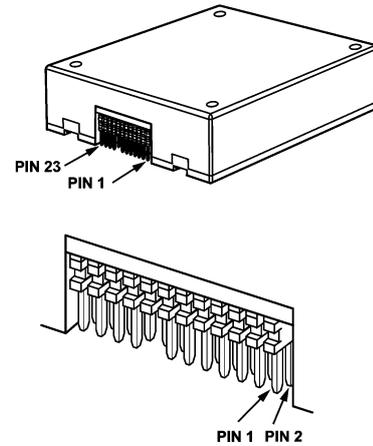


図 8. ピン番号の割り当て

表 11. ピン機能の説明

ピン番号	記号	タイプ	説明
1	DIO3	Input and Output	設定可能なデジタル入出力 3。
2	DIO4	Input and Output	設定可能なデジタル入出力 4。
3	SCLK	Input	SPI シリアル・クロック。
4	DOUT	Output	SPI データ出力。SCLK 立下がりエッジでのクロック出力。
5	DIN	Input	SPI データ入力。SCLK 立上がりエッジでのクロック入力。
6	CS	Input	SPI チップ・セレクト。
7	DIO1	Input and output	設定可能なデジタル入出力 1。
8	RST	Input	リセット。RSTピンには 63kΩ のプルアップ抵抗が内蔵されています。
9	DIO2	Input and output	設定可能なデジタル入出力 2。デフォルトでは、このピンはデータ・レディ出力です。
10, 11	VDD	Supply	電源。
12, 15	NO PIN	Not applicable	ピンなし。これらのピンは、物理的に存在しません。
13, 14	GND	Supply	電源グラウンド。
16 to 22	DNC	Not applicable	接続なし。これらのピンには何も接続しないでください。
23	DNC	Not applicable	接続なし。このピンは DNC ですが、 <a href="#">ADIS16375</a> 、 <a href="#">ADIS16480</a> 、 <a href="#">ADIS16485</a> 、 <a href="#">ADIS16486</a> 、 <a href="#">ADIS16487</a> 、 <a href="#">ADIS16488</a> 、ADIS16488A などの旧世代の IMU との下位互換性を確保するため、消費電力が増加するなどの不必要な特性が生じることなく、3.3V 電源を DNC ピンに接続できます。
24	DNC	Not applicable	接続なし。

代表的な性能特性

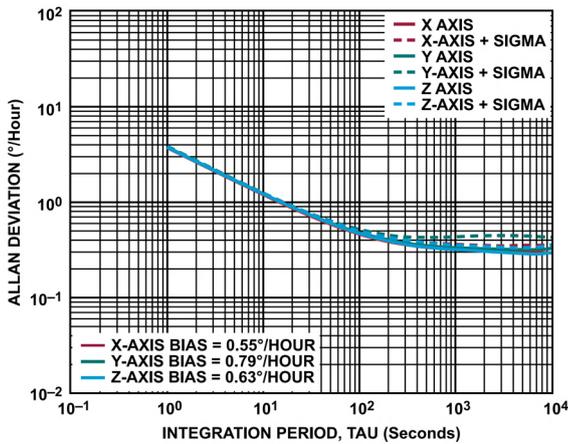


図 9. ジャイロ・センサーのアラン偏差、ADIS16545-1 および ADIS16547-1

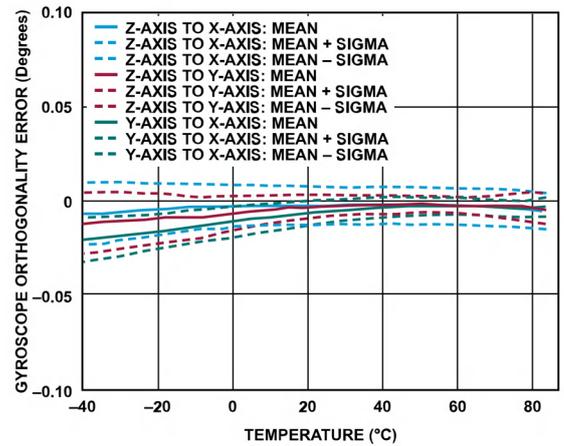


図 12. ジャイロ・センサーの直交誤差と温度の関係

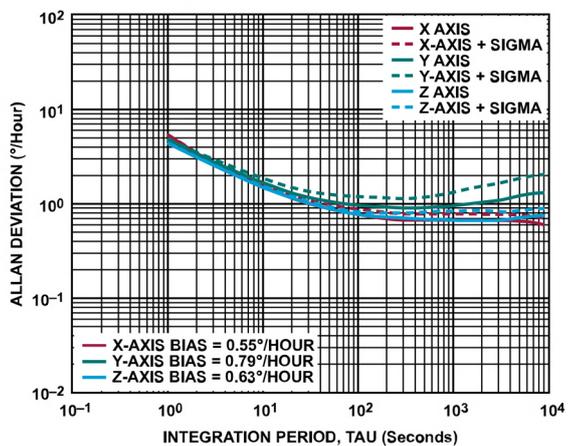


図 10. ジャイロ・センサーのアラン偏差、ADIS16545-2 および ADIS16547-2

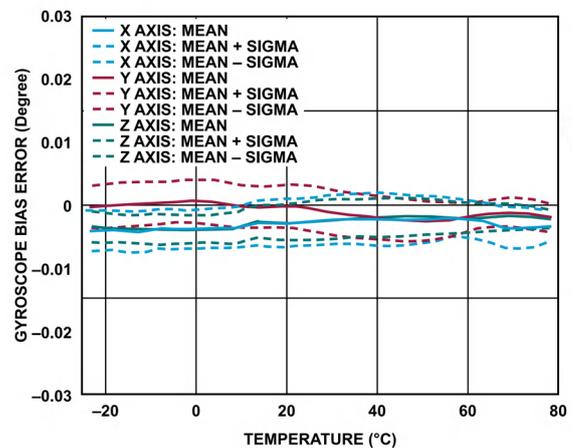


図 13. ジャイロ・センサーのバイアス誤差と温度の関係

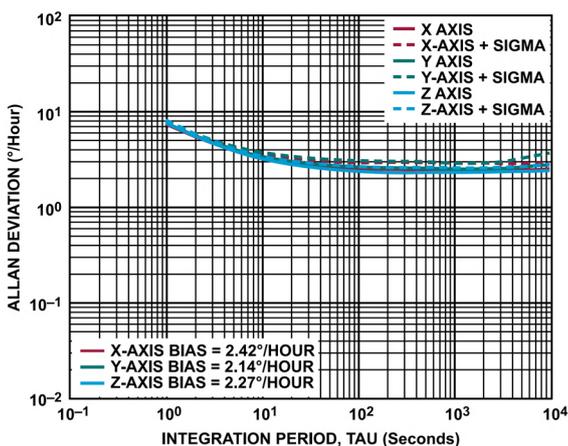


図 11. ジャイロ・センサーのアラン偏差、ADIS16545-3 および ADIS16547-3

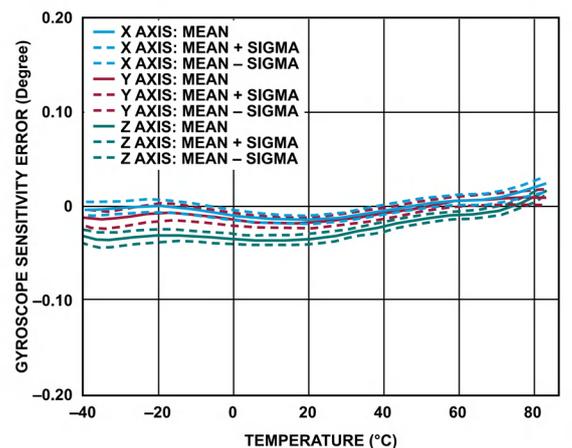


図 14. ジャイロ・センサーの感度誤差と温度の関係

代表的な性能特性

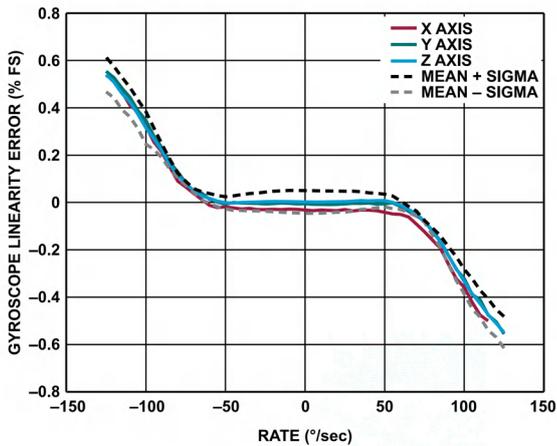


図 15. ジャイロ・センサーの直線性誤差とレートの関係、ADIS16545-1 および ADIS16547-1

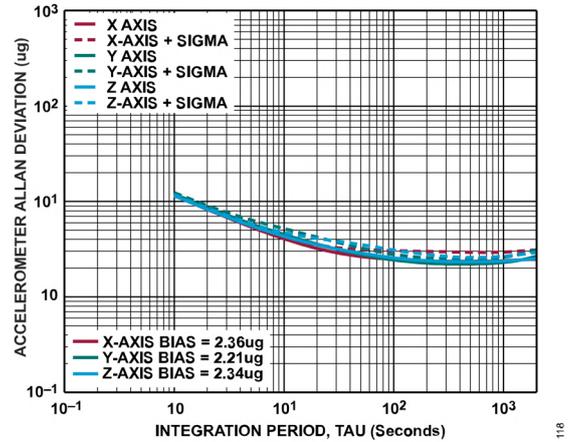


図 18. 加速度センサーのアラン分散、ADIS16545

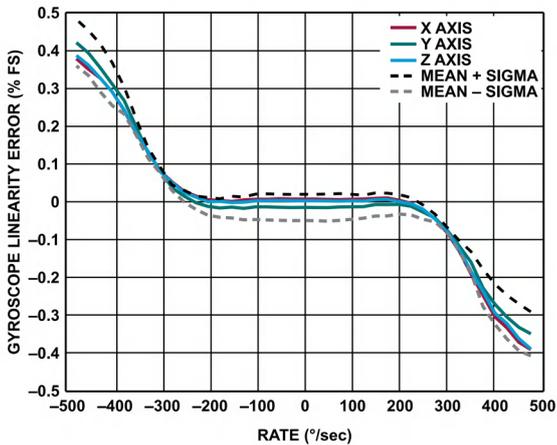


図 16. ジャイロ・センサーの直線性誤差とレートの関係、ADIS16545-2 および ADIS16547-2

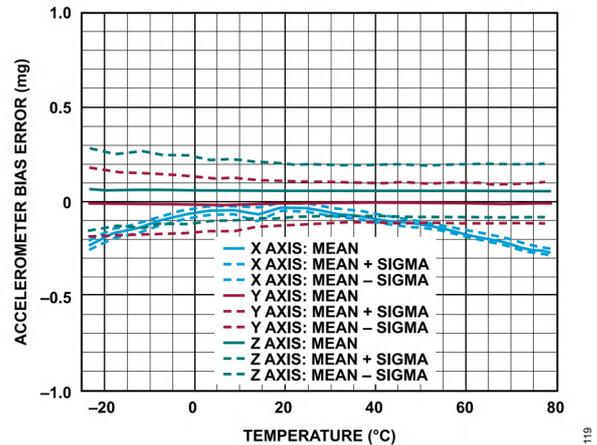


図 19. 加速度センサーのバイアス誤差と温度の関係、ADIS16545

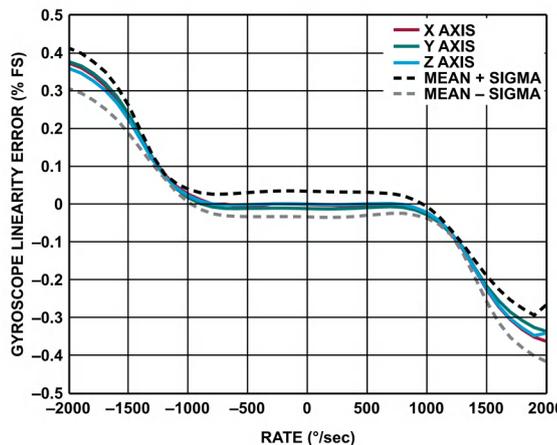


図 17. ジャイロ・センサーの直線性誤差とレートの関係、ADIS16545-3 および ADIS16547-3

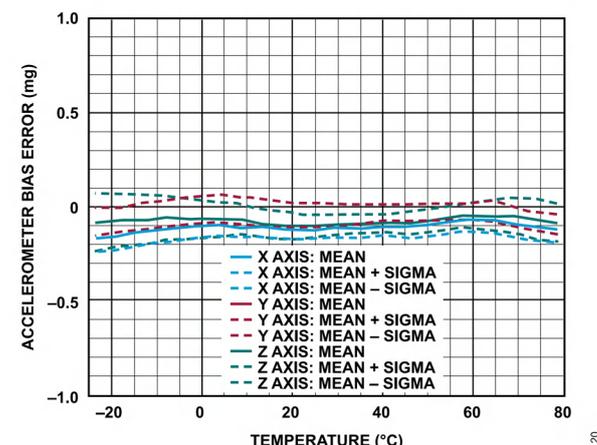


図 20. 加速度センサーの感度誤差と温度の関係、ADIS16545

代表的な性能特性

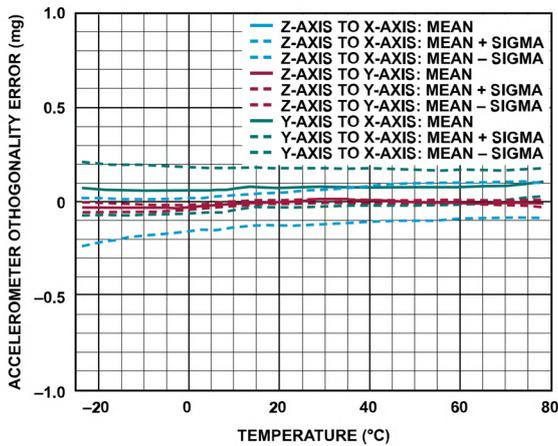


図 21. 加速度センサーの直交誤差と温度の関係、ADIS16545

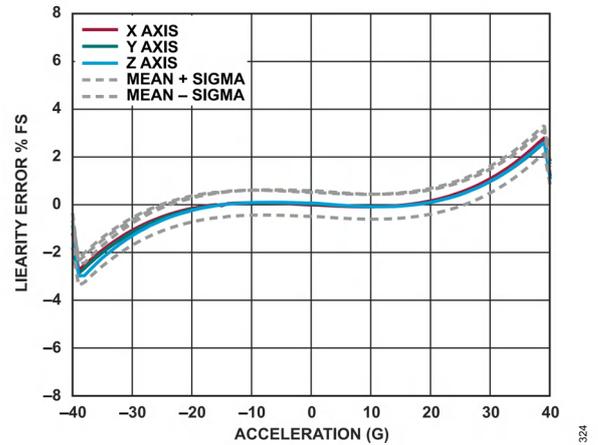


図 24. 加速度センサーの直線性誤差と加速度の関係、ADIS16547

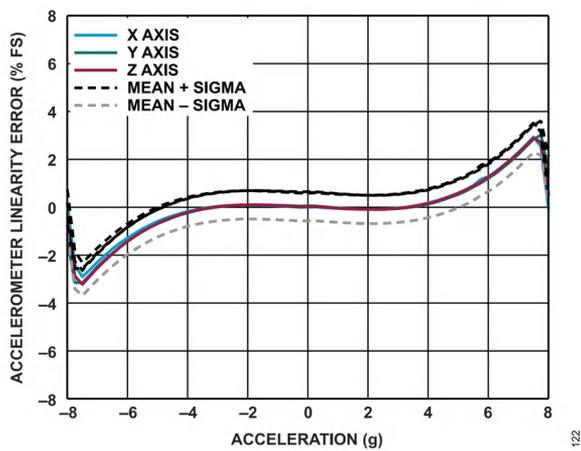


図 22. 加速度センサーの直線性誤差と加速度の関係、ADIS16545

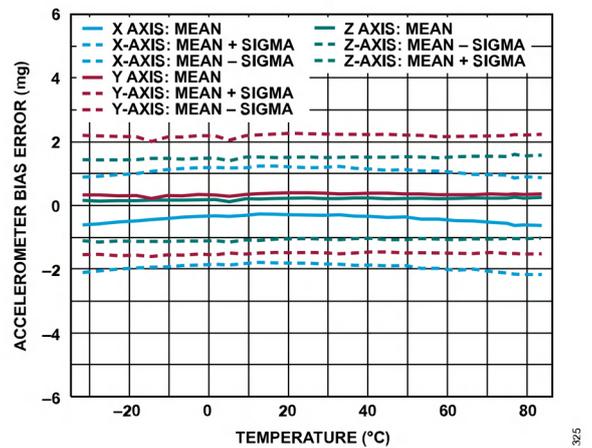


図 25. 加速度センサーのバイアス誤差と温度の関係、ADIS16547

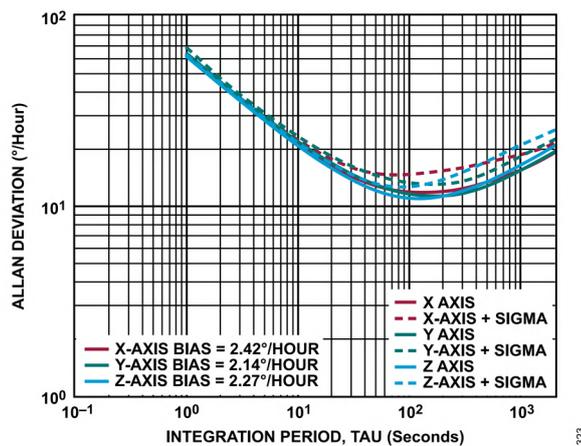


図 23. 加速度センサーのアラン分散プロット、ADIS16547

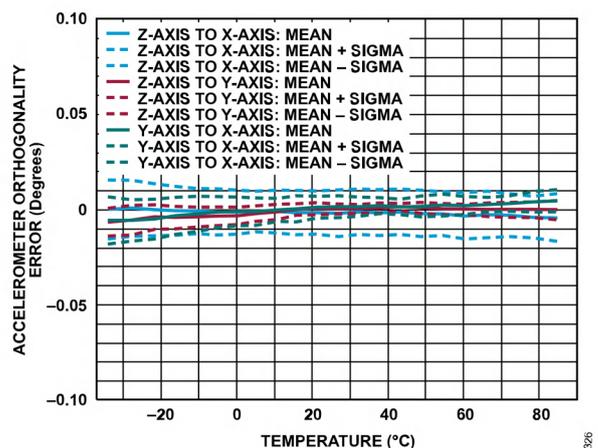


図 26. 加速度センサーの直交誤差と温度の関係、ADIS16547

代表的な性能特性

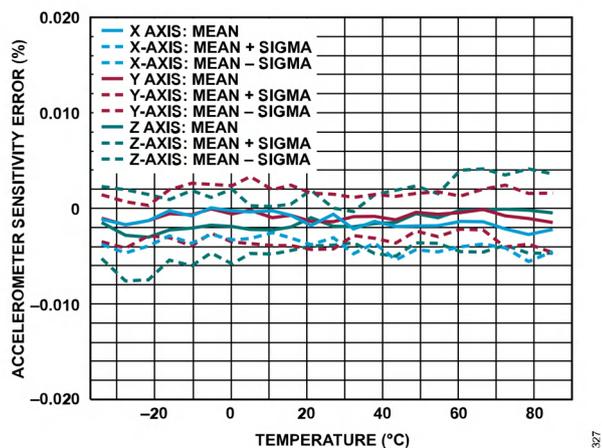


図 27. 加速度センサーの感度誤差と温度の関係、ADIS16547

動作原理

ADIS16545/ADIS16547 は自律型センサー・システムで、適切な電源が供給されると自動的に起動します。初期化プロセスの実行後、ADIS16545/ADIS16547 はサンプリングおよび処理を開始して、キャリブレーションされたセンサー・データを出力レジスタにロードします。レジスタには SPI ポートを使ってアクセスできます。

慣性センサーのシグナル・チェーン

ADIS16545/ADIS16547 が内蔵している慣性センサーの基本的なシグナル・チェーンを図 28 に示します。これは、内部サンプル・クロックを用いた場合に  $f_{SM}$  (詳細については仕様のセクションを参照) のレートでデータを処理します。FNCTIO\_CTRL、ビット[7:4]のいずれかの外部クロック・オプションを用いると (表 151 参照)、このレートを柔軟に選択できます。

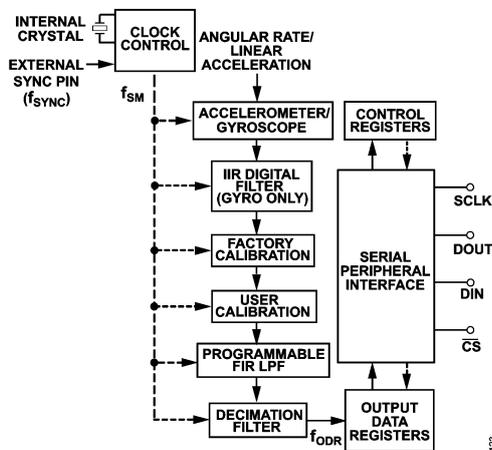


図 28. 慣性センサーの信号処理の流れ

ジャイロ・センサーのデータ・サンプリング

図 29 に、ADIS16545/ADIS16547 が 3 軸 (x, y, z) にわたる角度回転を測定する方法を示します。軸ごとに 4 つのデジタル MEMS ジャイロ・センサーがあり (例えば、x 軸に対しては  $X_{G1} \sim X_{G4}$ )、各 ADC が別々にデータを生成します。データ処理には、すべてのジャイロ・センサーからの最新サンプルの合算と再スケールが含まれます。周波数  $f_{SM}$  での個別クロックは、キャリブレーションおよびフィルタ処理を含むデジタル処理を加速します。このクロック ( $f_{SM}$ ) は、内部生成することも、外部入力と同期することもできます。

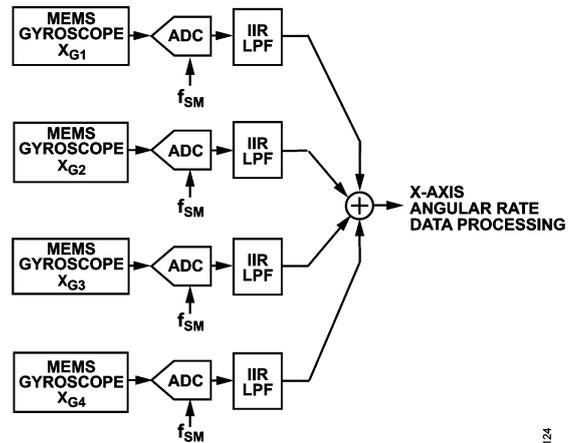


図 29. ジャイロ・センサーのデータ・サンプリング

加速度センサーのデータ・サンプリング

ADIS16545/ADIS16547 は、データ・アキュジションとそれに続くジャイロ・センサー・データの処理をトリガするものと同じクロック (図 29 および図 30 の  $f_{SM}$  を参照) を用いて、ジャイロ・センサーと同じ直交軸 (x, y, z) に沿う線形加速度を測定できます。ただし、ジャイロ・センサーの処理とは異なり、A/D コンバータ (ADC) の後段に無限インパルス応答 (IIR) ローパス・フィルタ (LPF) はありません。

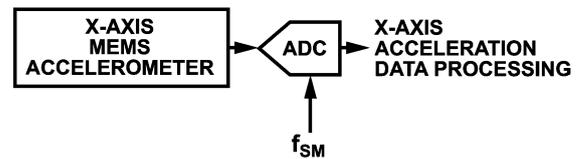


図 30. 加速度センサーのデータ・サンプリング

外部クロック・オプション

ADIS16545/ADIS16547 は、外部クロックでデータ生成を制御するために、直接同期とスケール同期の 2 種類の動作モードを備えています。直接同期モードでは、外部クロックがデータ・サンプリングと生成クロック (図 29 および図 30 の  $f_{SM}$  を参照) を直接制御します。スケール同期モードでは、より低い入力クロック・レート (1Hz~128Hz) を供給すること、また、スケール・ファクタ (UPSCALE レジスタ、表 161 参照) を使用することで、仕様のセクションで指定された許容範囲内のデータ収集および処理レートを確立できます。 $f_{SYNC}$  は外部クロックの周波数です。

慣性センサーのキャリブレーション

ジャイロ・センサーと加速度センサーに対して行われるキャリブレーション機能には、工場出荷時のキャリブレーションとユーザ・キャリブレーションの 2 つの要素があります (図 31 参照)。



図 31. ジャイロ・センサーのキャリブレーション・プロセス

## 動作原理

## ジャイロ・センサーの工場出荷時キャリブレーション

ジャイロ・センサーの工場出荷時キャリブレーションは、各ジャイロ・センサーのデータに次の補正式を適用します。

$$\begin{pmatrix} \omega_X \\ \omega_Y \\ \omega_Z \end{pmatrix} = \begin{pmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{pmatrix} \times \begin{pmatrix} g_X + b_X \\ g_Y + b_Y \\ g_Z + b_Z \end{pmatrix} \quad (1)$$

ここで、

$\omega_X$ 、 $\omega_Y$ 、 $\omega_Z$ はキャリブレーション後のジャイロ・センサー・データ、

$m_{11}$ 、 $m_{12}$ 、 $m_{13}$ 、 $m_{21}$ 、 $m_{22}$ 、 $m_{23}$ 、 $m_{31}$ 、 $m_{32}$ 、 $m_{33}$ はスケーリング係数およびアライメント補正係数、

$g_X$ 、 $g_Y$ 、 $g_Z$ はキャリブレーション前のジャイロ・センサー・データ、

$b_X$ 、 $b_Y$ 、 $b_Z$ はバイアス補正係数です。

各行列／配列の補正係数はすべて、様々な回転角に対する各ジャイロ・センサーの応答をキャリブレーション温度範囲 ( $-40^\circ\text{C} \leq T_c \leq +85^\circ\text{C}$ ) にわたり複数の温度で測定した値に基づいています。これらの補正係数はフラッシュ・メモリ・バンクに保存されますが、測定用には使用できません。ジャイロ・センサーに使用可能なユーザ・キャリブレーション・オプションの詳細については、[図 51](#)を参照してください。

## 加速度センサーの工場出荷時キャリブレーション

加速度センサーの工場出荷時キャリブレーションは、各加速度センサーのデータに次の補正式を適用します。

$$\begin{pmatrix} \alpha_X \\ \alpha_Y \\ \alpha_Z \end{pmatrix} = \begin{pmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{pmatrix} \times \begin{pmatrix} a_X + b_X \\ a_Y + b_Y \\ a_Z + b_Z \end{pmatrix} + \begin{pmatrix} 0 & p_{12} & p_{13} \\ p_{21} & 0 & p_{23} \\ p_{31} & p_{32} & 0 \end{pmatrix} \times \begin{pmatrix} \omega_X^2 \\ \omega_Y^2 \\ \omega_Z^2 \end{pmatrix} \quad (2)$$

ここで、

$\alpha_X$ 、 $\alpha_Y$ 、 $\alpha_Z$ はキャリブレーション後の加速度センサー・データ、

$m_{11}$ 、 $m_{12}$ 、 $m_{13}$ 、 $m_{21}$ 、 $m_{22}$ 、 $m_{23}$ 、 $m_{31}$ 、 $m_{32}$ 、 $m_{33}$ はスケーリング係数およびアライメント補正係数、

$a_X$ 、 $a_Y$ 、 $a_Z$ はキャリブレーション前の加速度センサー・データ、

$b_X$ 、 $b_Y$ 、 $b_Z$ はバイアス補正係数、

0、 $p_{12}$ 、 $p_{13}$ 、 $p_{21}$ 、 $p_{23}$ 、 $p_{31}$ 、 $p_{32}$ は、振動ポイントの補正係数です。

$\omega_X^2$ 、 $\omega_Y^2$ 、 $\omega_Z^2$ はキャリブレーション後のジャイロ・センサー・データ（を2乗したもの）です。

各行列／配列の補正係数はすべて、様々な慣性テスト条件に対する各加速度センサーの応答をキャリブレーション温度範囲 ( $-40^\circ\text{C} \leq T_c \leq +85^\circ\text{C}$ ) にわたり複数の温度で直接測定した値に基づいています。これらの補正係数はフラッシュ・メモリ・バンクに保存されますが、測定用には使用できません。加速度センサーに使用可能なユーザ・キャリブレーション・オプションの詳細については、[図 52](#)を参照してください。

## フィルタ処理

キャリブレーション後、各慣性センサーのデータは、2つのデジタル・フィルタを通過します。これらのフィルタにはどちらも、ユーザ設定可能な属性（FIR およびデシメーション）があります（[図 32](#)参照）。



図 32. 慣性センサーのフィルタ処理

FIR フィルタには、それぞれ 120 タップを備えた 4 バンクの係数があります。レジスタ FILTR\_BNK\_0（[表 165](#)参照）およびレジスタ FILTR\_BNK\_1（[表 167](#)参照）には、各慣性センサーの FIR フィルタを使用するための設定オプションがあります。各 FIR フィルタ・バンクには事前設定済みのフィルタがありますが、ユーザ独自のフィルタを設計し、各係数のレジスタを使用してこれらの値を上書きすることもできます。フィルタ・バンク A、フィルタ・バンク B、フィルタ・バンク C、フィルタ・バンク D に対する FIR フィルタ・タップの位置の詳細については、[FIR フィルタ・バンクのメモリ・マップ](#)のセクションを参照してください。出荷時のデフォルト・フィルタの周波数応答については[図 55](#)を参照してください。デフォルトのフィルタ係数は、一般的な LPF のもので、特定のアプリケーション環境に合わせて調整したものではありません。

デシメーション・フィルタで複数のサンプルが全体で平均化され、各レジスタが更新されます。このタイプのフィルタ構造では、平均化するサンプル数が出力データ・レジスタの更新レートの削減数と等しくなります。このフィルタのユーザ制御については、[DEC\\_RATE レジスタ](#)を参照してください（[表 157](#)参照）。

動作原理

レジスタ構造

ADIS16545/ADIS16547 との通信にはすべて、それらのユーザ・レジスタにアクセスする必要があります。このレジスタ構造には、出力データ・レジスタと制御レジスタの両方が含まれます。出力データ・レジスタには、最新のセンサー・データ、エラー・フラグ、および識別データが格納されます。制御レジスタには、サンプル・レート、フィルタ処理、入出力、キャリブレーション、および診断構成のオプションが格納されます。ADIS16545/ADIS16547 と外部プロセッサの間で行われるすべての通信で、ユーザ・レジスタのいずれか 1 つとの間で読出または書込みが行われます。

レジスタ構造はページ・アドレス方式を使用しますが、この方式で使用するページ数は 13 で、各ページには 64 個のレジスタ位置が格納されます。各レジスタは 16 ビット幅で、各バイトが、そのページのメモリ・マップ内に固有のアドレスを持っています。SPI ポートは、図 5 のビット・シーケンスを使って、一度に 1 ページずつアクセスを行います。SPI アクセス用にアクティブにするページの選択は、そのコードを PAGE\_ID レジスタに書き込むことによって行います。現在どのページがアクティブになっているかを知るには、PAGE\_ID レジスタを読み出します。各ページの PAGE\_ID の内容と、その基本的機能を表 12 に示します。PAGE\_ID レジスタは、各ページのアドレス 0x00 に置かれます。

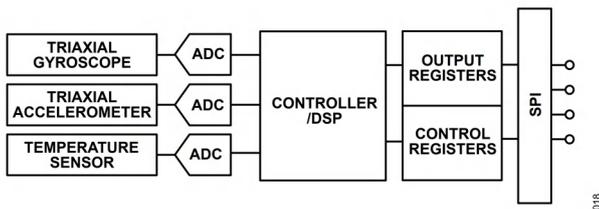


図 33. 基本動作

表 12. ユーザ・レジスタのページ割り当て

ページ	PAGE_ID	機能
0	0x00	出力データ、タイム・スタンプ、データ・カウンタ、識別情報
1	0x01	予約済み
2	0x02	ユーザ・キャリブレーション
3	0x03	制御：サンプル・レート、フィルタ処理、入出力
4	0x04	シリアル番号、巡回冗長検査 (CRC) 値
5	0x05	FIR フィルタ・バンク A、係数 0~係数 59
6	0x06	FIR フィルタ・バンク A、係数 60~係数 119
7	0x07	FIR フィルタ・バンク B、係数 0~係数 59
8	0x08	FIR フィルタ・バンク B、係数 60~係数 119
9	0x09	FIR フィルタ・バンク C、係数 0~係数 59
10	0x0A	FIR フィルタ・バンク C、係数 60~係数 119
11	0x0B	FIR フィルタ・バンク D、係数 0~係数 59
12	0x0C	FIR フィルタ・バンク D、係数 60~係数 119

動作原理

シリアル・ペリフェラル・インターフェイス

SPIはユーザによるアクセスが可能なすべてのレジスタへのアクセスを実現するもので(表 13 参照)、通常は、組み込みプロセッサ・プラットフォーム上の対応ポートに接続されます。

図 34 に、ADIS16545/ADIS16547 と組み込みプロセッサ間の最も一般的な接続を示します。SPI についての詳細は、アプリケーション情報のセクションを参照してください。

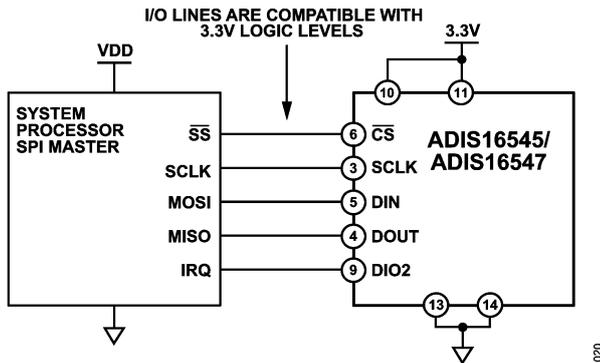


図 34. 電気接続図

表 13. 一般的なホスト・プロセッサのピンの名称と機能

記号	機能
$\overline{SS}$	デバイスの選択
SCLK	シリアル・クロック
MOSI	ホスト出力、ペリフェラル入力
MISO	ホスト入力、ペリフェラル出力
IRQ	割り込み要求

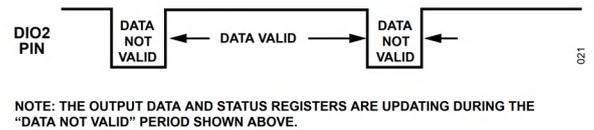
通常、組み込みプロセッサは制御レジスタを使用し、ADIS16545/ADIS16547 などの SPI ペリフェラル・デバイスと通信を行うためのシリアルポートを設定します。ADIS16545/ADIS16547 の SPI プロトコルを記述する設定の一覧を表 14 に示します。

表 14. 一般的なホスト・プロセッサの SPI 設定

プロセッサの設定	説明
Host controller	ADIS16545/ADIS16547 がペリフェラルとして動作
$SCLK < f_{SCLK}$	最大シリアル・クロック・レート
SPI Mode 3	CPOL = 1 (極性)、CPHA = 1 (位相)
MSB First Mode	ビット・シーケンス。コーディングについては図 5 を参照
16-Bit Mode	シフト・レジスタとデータ長

データ・レディ

工場出荷時のデフォルト設定では、出力データ・レジスタが更新されているときにパルスをローにするデータ・レディ (DR) 信号を DIO2 ピンに出力します(図 35 を参照)。この設定では、DIO2 を組み込みプロセッサの割り込みサービスピンの接続します。これにより、この信号がパルスをハイにすると、データ収集がトリガされます。レジスタ FNCTIO\_CTRL、ビット[3:0] (表 151 を参照) は、この機能の設定オプションを提供します。



NOTE: THE OUTPUT DATA AND STATUS REGISTERS ARE UPDATING DURING THE "DATA NOT VALID" PERIOD SHOWN ABOVE.

図 35. FNCTIO\_CTRL、ビット[3:0] = 0xD (デフォルト) の場合のデータ・レディ

起動時やリセットからの復帰プロセス時、データの生成が始まる前にデータ・レディ (DR) 信号にトランジェントが見られる場合があります。図 36 に起動時の DR 応答の例、図 37 と図 38 にリセット・コマンドからの復帰時の DR 応答の例を示します。

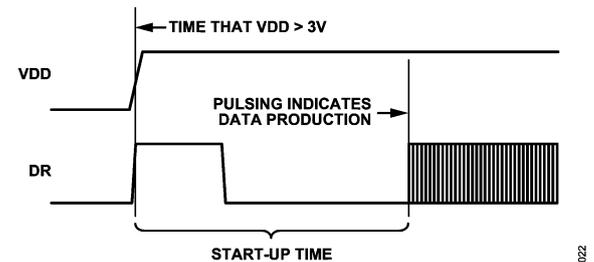


図 36. 起動時のデータ・レディ応答

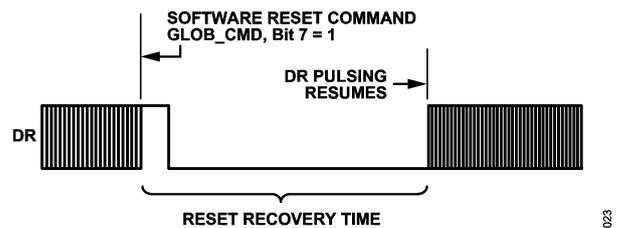


図 37. ソフトウェア・リセット (レジスタ GLOB\_CMD、ビット 7 = 1) からの復帰時のデータ・レディ応答

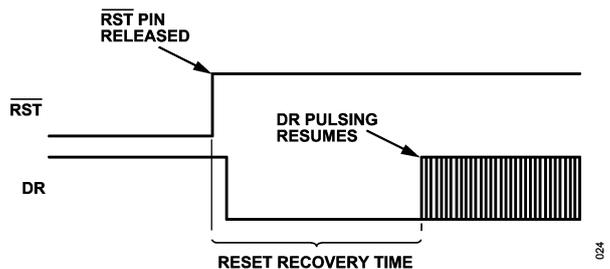


図 38. リセット ( $RST = 0$ ) からの復帰時のデータ・レディ応答

センサー・データの読出し

1つのレジスタを読み出すには、SPI 上に2つの16ビット・サイクルが必要です。1つはレジスタの内容を要求するサイクル、もう1つはその内容を受信するサイクルです。SPIでの読出し要求用の16ビット・コマンド・コード(図 5 参照)は、3つの部分からなります。すなわち、読出しビット ( $\overline{R/W} = 0$ )、レジスタのアドレス(上位または下位)を示す7ビットのアドレス・コード(ビット[A6:A0])、8個のドント・ケア・ビット(ビット[DC7:DC0])です。連続する2つのレジスタ読出しを含む例を、図 39 に示します。この例では、Z\_GYRO\_OUT レジスタの内容を要求するために  $DIN = 0x1A00$  から始まり、Z\_GYRO\_LOW レジスタの内容を要求するために  $0x1800$  がこれに続きます(PAGE\_ID は既に  $0x0000$  となっていると仮定)。また、図 39 のシーケンスは、全2重の動作モードも示します。すなわち、

動作原理

ADIS16545/ADIS16547 は DIN で要求を受信する一方、同じ 16 ビット SPI サイクルの間に、DOUT への出力データの送信も行います。

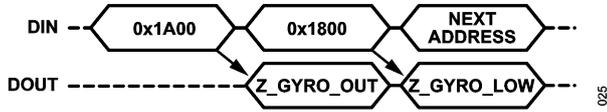


図 39. SPI 読出しの例

図 40 に、繰返しパターンで PROD\_ID レジスタ (表 99 参照) を読み出す場合の 4 つの SPI 信号の例を示します。このパターンは、SPI のセットアップや通信のトラブルシューティングに役立ちます。

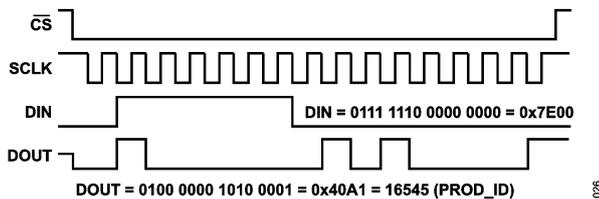


図 40. SPI の読出し例 (2 番目の 16 ビット・シーケンス)

バースト読出し機能

バースト読出し機能 (BRF) は、1 バッチのデータ (ステータス、温度、ジャイロ・センサー、加速度センサー、タイム・スタンプおよびデータ・カウンタ、CRC コード) を読み出すための効率的な方法を提供します。BRF では、各 16 ビット・セグメント間の待ち時間が不要で、開始するのに必要となるのは、DIN ラインでの 1 コマンドのみです。バースト読出しは、BURST\_CMD レジスタを読み出すこと (DIN = 0x7C00) で開始され、次いでこれにตอบสนองして各データ・セグメントを読み出すと共に、そのバーストの全データが読み出されるまで CS ラインをローに保持します。すべてのデータ・アキュイジションが完了する前に CS ラインがハイになると、バースト読出しは中止されます。

ジャイロ・センサーと加速度センサーのデータをバースト読出しするには、CONFIG のビット 8 を 0 に設定します。このモードでのバースト・データ・フォーマットを表 15 に示します。角度変化と速度変化のデータをバースト・モードで読出しするには、CONFIG のビット 8 を 1 に設定します。このモードでのバースト・データ・フォーマットを表 16 に示します。

BRF には、f<sub>SCLK</sub> に応じて異なる数のデータ・セグメント (それぞれ 16 ビット) があります。f<sub>SCLK</sub> < 3.9MHz の場合、BRF 応答は、図 6 に示すシーケンス図を用います。そのデータ・フォーマットを表 15 に示します。f<sub>SCLK</sub> > 3.9MHz の場合、最初の BURST\_ID を 1 つまたは 2 つの 0x0000 に置き換えることができます。角度変化および速度変化のバースト・モードの場合、BURST\_ID は 0xA5A5 ではなく 0xC3C3 である点に注意してください。

バースト読出しフォーマットの違いを管理するには、バースト読出しコード例のセクションのコード例を参照してください。これらの例では、ADIS16545/ADIS16547 の BRF 応答が開始している場合の識別子として、BURST\_ID コード (表 15 の 0xA5A5 および表 16 の 0xC3C3) 以外の最初のデータ・セグメントを探します。

表 15. BRF データ・フォーマット (CONFIG、ビット 8 = 0)

Segment	DIN <sup>1</sup>	DOUT
0	0x7C00	Dummy read from the burst command (0x0000).
1	N/A	0xA5A5 (BURST_ID). Note that this BURST_ID can be replaced by one or two 0x0000s, especially if f <sub>SCLK</sub> > 3.9 MHz.
2	N/A	0xA5A5 (BURST_ID).
3	N/A	STATUS.
4	N/A	TEMP_OUT.
5	N/A	X_GYRO_LOW.
6	N/A	X_GYRO_OUT.
7	N/A	Y_GYRO_LOW.
8	N/A	Y_GYRO_OUT.
9	N/A	Z_GYRO_LOW.
10	N/A	Z_GYRO_OUT.
11	N/A	X_ACCL_LOW.
12	N/A	X_ACCL_OUT.
13	N/A	Y_ACCL_LOW.
14	N/A	Y_ACCL_OUT.
15	N/A	Z_ACCL_LOW.
16	N/A	Z_ACCL_OUT.
17	N/A	DATA_CNT (FNCTIO_CTRL, Bits[8:7] ≠ 11). TIME_STAMP (FNCTIO_CTRL, Bits[8:7] = 11).
18	N/A	CRC_LWR.
19	N/A	CRC_UPR.

<sup>1</sup> N/A は該当なしを意味します。

表 16. BRF データ・フォーマット (CONFIG、ビット 8 = 1)

Segment	DIN <sup>1</sup>	DOUT
0	0x7C00	Dummy read from the burst command (0x0000).
1	N/A	0xC3C3 (BURST_ID). Note that this BURST_ID can be replaced by one or two 0x0000s, especially if f <sub>SCLK</sub> > 3.9 MHz.
2	N/A	0xC3C3 (BURST_ID).
3	N/A	STATUS.
4	N/A	TEMP_OUT.
5	N/A	X_DELTANG_LR.
6	N/A	X_DELTANG_UR.
7	N/A	Y_DELTANG_LR.
8	N/A	Y_DELTANG_UR.
9	N/A	Z_DELTANG_LR.
10	N/A	Z_DELTANG_UR.
11	N/A	X_DELTVEL_LR.
12	N/A	X_DELTVEL_UR.
13	N/A	Y_DELTVEL_LR.
14	N/A	Y_DELTVEL_UR.
15	N/A	Z_DELTVEL_LR.

動作原理

表 16. BRF データ・フォーマット (CONFIG、ビット 8 = 1) (続き)

Segment	DIN <sup>1</sup>	DOUT
16	N/A	Z_DELTVEL_UR.
17	N/A	DATA_CNT (FNCTIO_CTRL, Bits[8:7] ≠ 11). TIME_STAMP (FNCTIO_CTRL, Bits[8:7] = 11).
18	N/A	CRC_LWR.
19	N/A	CRC_UPR.

<sup>1</sup> N/A は該当なしを意味します。

デバイスの設定

各レジスタは 16 ビット (2 バイト) で構成されます。ビット [7:0]には下位バイトが格納され、ビット [15:8]には上位バイトが格納されます。各バイトには、ユーザ・レジスタ・マップ内の固有アドレスがあります (表 17 参照)。レジスタの内容を更新するには、最初にその下位バイトに書き込みを行い、その次に上位バイトへの書き込みを行う必要があります。レジスタに新しいデータ・バイトを書き込む SPI コマンドのコーディングは、3つの部分からなります (図 5 参照)。書き込みビット ( $\bar{R}/W = 1$ )、このコマンドが更新しているバイトの 7 ビット・アドレス・コード (ビット [A6:A0])、その位置に書き込む新しいデータ (ビット [DC7:DC0]) です。図 41 に、PAGE\_ID が 0x0002 の場合に XG\_BIAS\_LOW レジスタ (表 113 参照) に 0xFEDC を書き込むためのコーディング例を示します。

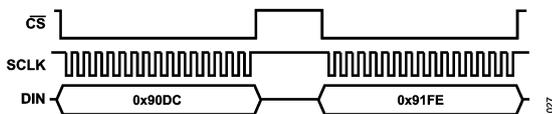


図 41. XG\_BIAS\_LOW に 0xFEDC を書き込むための SPI シーケンス

デュアルメモリ構造

ADIS16545/ADIS16547 は、デュアルメモリ構造 (図 42 参照) を使用しており、リアルタイム動作をサポートするスタティック・ランダム・アクセス・メモリ (SRAM) と、動作コード、キャリブレーション係数、およびユーザ設定可能なレジスタ設定値の不揮発性ストレージを提供するオンボード・フラッシュ・メモリを組み合わせています。手動のフラッシュ・メモリ更新コマンド (GLOB\_CMD、ビット 3、表 149 参照) は、ユーザ設定値をフラッシュ・メモリに保存するための単一コマンド方法です。フラッシュに保存されたユーザ設定値は、次のパワーオン時、またはリセット時に自動的に読み込まれます。

フラッシュ・メモリは 2 つの部分で構成されています。最初の部分はファームウェアを格納するプログラム・メモリで、2 つめの部分は工場出荷時のキャリブレーション値およびユーザ設定値を格納します。

パワーオン時、またはリセットからの復帰時には、ADIS16545/ADIS16547 はプログラム・メモリについて CRC チェックを行い、代わりにバックアップ・プログラム・メモリ (セカンド・コピー) を使う必要があるかどうかを判定します。このメモリ・テストが不合格になると、ADIS16545/ADIS16547 はリセットされ、別のフラッシュ・メモリ位置から起動します。STATUS レジスタのビット 1 (表 23 参照) は、バックアップ・フラッシュ・メモリが最後のパワーオンまたはリセットからの復帰をいつサポートしたかを検出するエラー・フラグを提供します。

プログラム・メモリの CRC エラーは、STATUS レジスタのビット 2 でもフラグを提供します。

工場出荷時のキャリブレーション値およびユーザ設定値を格納する、フラッシュ・メモリの 2 つめの領域には、フラッシュの更新ごとに交互にピンポン方式で動作する 2 つの独立したバンクがあります。キャリブレーションおよびユーザ設定値用のピンポン・メモリを読み込む場合は、エラーがある場合でもメモリ内の最新コピーのみを用います。ただし、プログラム・メモリ、キャリブレーション値、あるいはユーザ設定値のいずれかに CRC エラーがあると、ステータスおよびエラー・フラグ・インジケータ (STATUS) レジスタのビット 2 にフラグが設定されます。工場プログラムしたシグネチャと抽出された CRC 値のどちらの読出しについても、詳細は連続 SRAM テストのセクションを参照してください。

表 17 は、ADIS16545/ADIS16547 のユーザ・レジスタのメモリ・マップを示し、与えられたレジスタのフラッシュ・バックアップ・サポートが利用できるかどうかを示す列も示されています。この情報はフラッシュ・バックアップの列に yes または no で示されています。

ユーザによる CRC の計算には次のレジスタが含まれます: FNCTIO\_CTRL、CONFIG、DEC\_RATE、NULL\_CNFG、RANGE\_MDL、FILTR\_BNK\_0、FILTR\_BANK1。また、ユーザ CRC には、すべての FIR 係数レジスタ、すべてのユーザ・スケールおよびバイアス・レジスタ、ユーザの SPI 書き込みが処理されるまでこれらの書き込みを保持する一時レジスタも含まれます。

連続的な CRC エラーが永続的な場合、または ADIS16545/ADIS16547 がファームウェアのバックアップ・コピーを用いて起動する場合には、ADIS16545/ADIS16547 を交換してください。

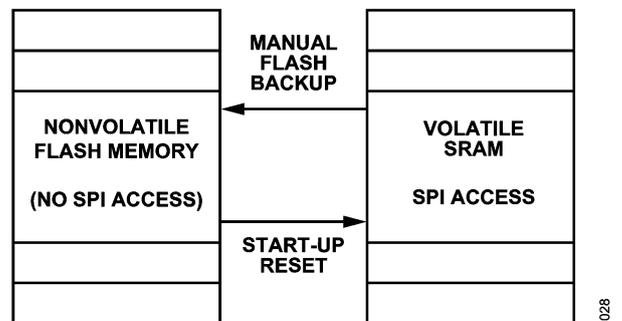


図 42. SRAM とフラッシュ・メモリの図

ユーザ・レジスタのメモリ・マップ

表 17. ユーザ・レジスタのメモリ・マップ<sup>1</sup>

レジスタ名	R/W	フラッシュ・バックアップ	PAGE_ID	アドレス	デフォルト	レジスタの説明
PAGE_ID	R/W	No	0x00	0x00, 0x01	0x0000	ページ識別子。ページ 0 のレジスタにアクセスするには、このレジスタを 0x00 に設定する必要があります。
Reserved	N/A	N/A	0x00	0x02, 0x03	N/A	予約済み。
DATA_CNT	R	No	0x00	0x04, 0x05	N/A	データ・カウンタ。
Reserved	N/A	N/A	0x00	0x06, 0x07	N/A	予約済み。
STATUS	R	No	0x00	0x08, 0x09	0x0000	出力、システム・エラー・フラグ。
DIAG_STS	R	No	0x00	0x0A, 0x0B	0x0000	出力、セルフ・テスト・エラー・フラグ。
Reserved	N/A	N/A	0x00	0x0C, 0x0D	N/A	予約済み。
TEMP_OUT	R	No	0x00	0x0E, 0x0F	N/A	出力、温度。
X_GYRO_LOW	R	No	0x00	0x10, 0x11	N/A	出力、x 軸ジャイロ・センサー、下位ワード。
X_GYRO_OUT	R	No	0x00	0x12, 0x13	N/A	出力、x 軸ジャイロ・センサー、上位ワード。
Y_GYRO_LOW	R	No	0x00	0x14, 0x15	N/A	出力、y 軸ジャイロ・センサー、下位ワード。
Y_GYRO_OUT	R	No	0x00	0x16, 0x17	N/A	出力、y 軸ジャイロ・センサー、上位ワード。
Z_GYRO_LOW	R	No	0x00	0x18, 0x19	N/A	出力、z 軸ジャイロ・センサー、下位ワード。
Z_GYRO_OUT	R	No	0x00	0x1A, 0x1B	N/A	出力、z 軸ジャイロ・センサー、上位ワード。
X_ACCL_LOW	R	No	0x00	0x1C, 0x1D	N/A	出力、x 軸加速度センサー、下位ワード。
X_ACCL_OUT	R	No	0x00	0x1E, 0x1F	N/A	出力、x 軸加速度センサー、上位ワード。
Y_ACCL_LOW	R	No	0x00	0x20, 0x21	N/A	出力、y 軸加速度センサー、下位ワード。
Y_ACCL_OUT	R	No	0x00	0x22, 0x23	N/A	出力、y 軸加速度センサー、上位ワード。
Z_ACCL_LOW	R	No	0x00	0x24, 0x25	N/A	出力、z 軸加速度センサー、下位ワード。
Z_ACCL_OUT	R	No	0x00	0x26, 0x27	N/A	出力、z 軸加速度センサー、上位ワード。
TIME_STAMP	R	No	0x00	0x28, 0x29	N/A	出力、タイム・スタンプ。
CRC_LWR	R	No	0x00	0x2A, 0x2B	N/A	出力、CRC-32 (合計 32 ビット)、下位ワード。
CRC_UPR	R	No	0x00	0x2C, 0x2D	N/A	出力、CRC-32 (合計 32 ビット)、上位ワード。
Reserved	N/A	N/A	0x00	0x2E to 0x3F	N/A	予約済み。
X_DELTANG_LR	R	No	0x00	0x40, 0x41	N/A	出力、x 軸角度変化、下位ワード。
X_DELTANG_UR	R	No	0x00	0x42, 0x43	N/A	出力、x 軸角度変化、上位ワード。
Y_DELTANG_LR	R	No	0x00	0x44, 0x45	N/A	出力、y 軸角度変化、下位ワード。
Y_DELTANG_UR	R	No	0x00	0x46, 0x47	N/A	出力、y 軸角度変化、上位ワード。
Z_DELTANG_LR	R	No	0x00	0x48, 0x49	N/A	出力、z 軸角度変化、下位ワード。
Z_DELTANG_UR	R	No	0x00	0x4A, 0x4B	N/A	出力、z 軸角度変化、上位ワード。
X_DELTVEL_LR	R	No	0x00	0x4C, 0x4D	N/A	出力、x 軸速度変化、下位ワード。
X_DELTVEL_UR	R	No	0x00	0x4E, 0x4F	N/A	出力、x 軸速度変化、上位ワード。
Y_DELTVEL_LR	R	No	0x00	0x50, 0x51	N/A	出力、y 軸速度変化、下位ワード。
Y_DELTVEL_UR	R	No	0x00	0x52, 0x53	N/A	出力、y 軸速度変化、上位ワード。
Z_DELTVEL_LR	R	No	0x00	0x54, 0x55	N/A	出力、z 軸速度変化、下位ワード。
Z_DELTVEL_UR	R	No	0x00	0x56, 0x57	N/A	出力、z 軸速度変化、上位ワード。
Reserved	N/A	N/A	0x00	0x58 to 0x7B	N/A	予約済み。
BURST_CMD	R	No	0x00	0x7C, 0x7D	N/A	バースト読み出しコマンド。
PROD_ID	R	Yes	0x00	0x7E, 0x7F	0x40A1	出力、製品識別 (16,545 (10 進数))。
PROD_ID	R	Yes	0x00	0x7E, 0x7F	0x40A3	出力、製品識別 (16,547 (10 進数))。
Reserved	N/A	N/A	0x01	0x00 to 0x7F	N/A	予約済み。
PAGE_ID	R/W	No	0x02	0x00, 0x01	0x0000	ページ識別子。ページ 2 のレジスタにアクセスするには、このレジスタを 0x02 に設定する必要があります。
Reserved	N/A	N/A	0x02	0x02, 0x03	N/A	予約済み。
X_GYRO_SCALE	R/W	Yes	0x02	0x04, 0x05	0x0000	キャリブレーション、スケール、x 軸ジャイロ・センサー。
Y_GYRO_SCALE	R/W	Yes	0x02	0x06, 0x07	0x0000	キャリブレーション、スケール、y 軸ジャイロ・センサー。
Z_GYRO_SCALE	R/W	Yes	0x02	0x08, 0x09	0x0000	キャリブレーション、スケール、z 軸ジャイロ・センサー。

## ユーザ・レジスタのメモリ・マップ

表 17. ユーザ・レジスタのメモリ・マップ<sup>1</sup> (続き)

レジスタ名	R/W	フラッシュ・ バックアップ	PAGE_ID	アドレス	デフォルト	レジスタの説明
X_ACCL_SCALE	R/W	Yes	0x02	0x0A, 0x0B	0x0000	キャリブレーション、スケール、x 軸加速度センサー。
Y_ACCL_SCALE	R/W	Yes	0x02	0x0C, 0x0D	0x0000	キャリブレーション、スケール、y 軸加速度センサー。
Z_ACCL_SCALE	R/W	Yes	0x02	0x0E, 0x0F	0x0000	キャリブレーション、スケール、z 軸加速度センサー。
XG_BIAS_LOW	R/W	Yes	0x02	0x10, 0x11	0x0000	キャリブレーション、バイアス、ジャイロ・センサー、x 軸、 下位ワード。
XG_BIAS_HIGH	R/W	Yes	0x02	0x12, 0x13	0x0000	キャリブレーション、バイアス、ジャイロ・センサー、x 軸、 上位ワード。
YG_BIAS_LOW	R/W	Yes	0x02	0x14, 0x15	0x0000	キャリブレーション、バイアス、ジャイロ・センサー、y 軸、 下位ワード。
YG_BIAS_HIGH	R/W	Yes	0x02	0x16, 0x17	0x0000	キャリブレーション、バイアス、ジャイロ・センサー、y 軸、 上位ワード。
ZG_BIAS_LOW	R/W	Yes	0x02	0x18, 0x19	0x0000	キャリブレーション、バイアス、ジャイロ・センサー、z 軸、 下位ワード。
ZG_BIAS_HIGH	R/W	Yes	0x02	0x1A, 0x1B	0x0000	キャリブレーション、バイアス、ジャイロ・センサー、z 軸、 上位ワード。
XA_BIAS_LOW	R/W	Yes	0x02	0x1C, 0x1D	0x0000	キャリブレーション、バイアス、加速度センサー、x 軸、 下位ワード。
XA_BIAS_HIGH	R/W	Yes	0x02	0x1E, 0x1F	0x0000	キャリブレーション、バイアス、加速度センサー、x 軸、 上位ワード。
YA_BIAS_LOW	R/W	Yes	0x02	0x20, 0x21	0x0000	キャリブレーション、バイアス、加速度センサー、y 軸、 下位ワード。
YA_BIAS_HIGH	R/W	Yes	0x02	0x22, 0x23	0x0000	キャリブレーション、バイアス、加速度センサー、y 軸、 上位ワード。
ZA_BIAS_LOW	R/W	Yes	0x02	0x24, 0x25	0x0000	キャリブレーション、バイアス、加速度センサー、z 軸、 下位ワード。
ZA_BIAS_HIGH	R/W	Yes	0x02	0x26, 0x27	0x0000	キャリブレーション、バイアス、加速度センサー、z 軸、 上位ワード。
Reserved	N/A	N/A	0x02	0x28 to 0x73	0x0000	予約済み。
USER_SCR_1	R/W	Yes	0x02	0x74, 0x75	0x0000	ユーザ・スクラッチ・レジスタ 1。
USER_SCR_2	R/W	Yes	0x02	0x76, 0x77	0x0000	ユーザ・スクラッチ・レジスタ 2。
USER_SCR_3	R/W	Yes	0x02	0x78, 0x79	0x0000	ユーザ・スクラッチ・レジスタ 3。
USER_SCR_4	R/W	Yes	0x02	0x7A, 0x7B	0x0000	ユーザ・スクラッチ・レジスタ 4。
ENDURANCE_LWR	R	Yes	0x02	0x7C, 0x7D	N/A	診断、フラッシュ・メモリ・カウント、下位ワード。
ENDURANCE_UPR	R	Yes	0x02	0x7E, 0x7F	N/A	診断、フラッシュ・メモリ・カウント、上位ワード。
PAGE_ID	R/W	No	0x03	0x00, 0x01	0x0000	ページ識別子。ページ 3 のレジスタにアクセスするには、 このレジスタを 0x03 に設定する必要があります。
GLOB_CMD	W	No	0x03	0x02, 0x03	N/A	制御、グローバル・コマンド。
Reserved	N/A	N/A	0x03	0x04, 0x05	N/A	予約済み。
FNCTIO_CTRL	R/W	Yes	0x03	0x06, 0x07	0x000D	制御、入出力ピン、機能定義。
GPIO_CTRL	R/W	Yes	0x03	0x08, 0x09	0x00X0 <sup>2</sup>	制御、入出力ピン、汎用。
CONFIG	R/W	Yes	0x03	0x0A, 0x0B	0x0040	制御、クロック、および各種補正。
DEC_RATE	R/W	Yes	0x03	0x0C, 0x0D	0x0000	制御、出力サンプル・レートのデシメーション。
NULL_CNFG	R/W	Yes	0x03	0x0E, 0x0F	0x070A	制御、自動バイアス補正設定。
UPSCALE	R/W	Yes	0x03	0x10, 0x11	0x109A	制御、入カクロック・スケールリング（スケールリング同期モード）。
RANGE_MDL	R	Yes	0x03	0x12, 0x13	N/A	測定レンジ（モデル固有）識別子。
Reserved	N/A	N/A	0x03	0x14, 0x15	N/A	予約済み。
FILTR_BNK_0	R/W	Yes	0x03	0x16, 0x17	0x0000	フィルタ選択。
FILTR_BNK_1	R/W	Yes	0x03	0x18, 0x19	0x0000	フィルタ選択。
Reserved	N/A	N/A	0x03	0x1A to 0x77	N/A	予約済み。
FIRM_REV	R	Yes	0x03	0x78, 0x79	N/A	ファームウェア・リビジョン
FIRM_DM	R	Yes	0x03	0x7A, 0x7B	N/A	ファームウェア・プログラミングの日付（日/月）。
FIRM_Y	R	Yes	0x03	0x7C, 0x7D	N/A	ファームウェア・プログラミングの日付（年）。
BOOT_REV	R	Yes	0x03	0x7E, 0x7F	N/A	ブート・ローダ・リビジョン。
PAGE_ID	R/W	No	0x04	0x00, 0x01	0x0000	ページ識別子。ページ 4 のレジスタにアクセスするには、 このレジスタを 0x04 に設定する必要があります。
Reserved	N/A	N/A	0x04	0x02, 0x03	N/A	予約済み。
CAL_SIG_LWR	R	Yes	0x04	0x04, 0x05	N/A	シグネチャ CRC、キャリブレーション係数、下位ワード。
CAL_SIG_UPR	R	Yes	0x04	0x06, 0x07	N/A	シグネチャ CRC、キャリブレーション係数、上位ワード。
CAL_DRV_LWR	R	No	0x04	0x08, 0x09	N/A	リアルタイム CRC、キャリブレーション係数、下位ワード。
CAL_DRV_UPR	R	No	0x04	0x0A, 0x0B	N/A	リアルタイム CRC、キャリブレーション係数、上位ワード。

## ユーザ・レジスタのメモリ・マップ

表 17. ユーザ・レジスタのメモリ・マップ<sup>1</sup> (続き)

レジスタ名	R/W	フラッシュ・ バックアップ	PAGE_ID	アドレス	デフォルト	レジスタの説明
CODE_SIG_LWR	R	Yes	0x04	0x0C, 0x0D	N/A	シグネチャ CRC、プログラム・コード、下位ワード。
CODE_SIG_UPR	R	Yes	0x04	0x0E, 0x0F	N/A	シグネチャ CRC、プログラム・コード、上位ワード。
CODE_DRV_LWR	R	No	0x04	0x10, 0x11	N/A	リアルタイム CRC、プログラム・コード、下位ワード。
CODE_DRV_UPR	R	No	0x04	0x12, 0x13	N/A	リアルタイム CRC、プログラム・コード、上位ワード。
Reserved	N/A	N/A	0x04	0x1C to 0x1F	N/A	予約済み。
SERIAL_NUM	R	Yes	0x04	0x20, 0x21	N/A	シリアル番号。
Reserved	N/A	N/A	0x04	0x22 to 0x7F	N/A	予約済み。
PAGE_ID	R/W	No	0x05	0x00, 0x01	0x0000	ページ識別子。ページ 5 のレジスタにアクセスするには、このレジスタを 0x05 に設定する必要があります。
Reserved	N/A	N/A	0x05	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Axxx <sup>3</sup>	R/W	Yes	0x05	0x08 to 0x7F	N/A	FIR フィルタ・バンク A : 係数 0~係数 59。
PAGE_ID	R/W	No	0x06	0x00	0x0000	ページ識別子。ページ 6 のレジスタにアクセスするには、このレジスタを 0x06 に設定する必要があります。
Reserved	N/A	N/A	0x06	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Axxx <sup>3</sup>	R/W	Yes	0x06	0x08 to 0x7F	N/A	FIR フィルタ・バンク A : 係数 60~係数 119。
PAGE_ID	R/W	No	0x07	0x00	0x0000	ページ識別子。ページ 7 のレジスタにアクセスするには、このレジスタを 0x07 に設定する必要があります。
Reserved	N/A	N/A	0x07	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Bxxx <sup>4</sup>	R/W	Yes	0x07	0x08 to 0x7F	N/A	FIR フィルタ・バンク B : 係数 0~係数 59。
PAGE_ID	R/W	No	0x08	0x00	0x0000	ページ識別子。ページ 8 のレジスタにアクセスするには、このレジスタを 0x08 に設定する必要があります。
Reserved	N/A	N/A	0x08	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Bxxx <sup>4</sup>	R/W	Yes	0x08	0x08 to 0x7F	N/A	FIR フィルタ・バンク B : 係数 60~係数 119。
PAGE_ID	R/W	No	0x09	0x00	0x0000	ページ識別子。ページ 9 のレジスタにアクセスするには、このレジスタを 0x09 に設定する必要があります。
Reserved	N/A	N/A	0x09	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Cxxx <sup>5</sup>	R/W	Yes	0x09	0x08 to 0x7F	N/A	FIR フィルタ・バンク C : 係数 0~係数 59。
PAGE_ID	R/W	No	0x0A	0x00	0x0000	ページ識別子。ページ 10 のレジスタにアクセスするには、このレジスタを 0x0A に設定する必要があります。
Reserved	N/A	N/A	0x0A	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Cxxx <sup>5</sup>	R/W	Yes	0x0A	0x08 to 0x7F	N/A	FIR フィルタ・バンク C : 係数 60~係数 119。
PAGE_ID	R/W	No	0x0B	0x00	0x0000	ページ識別子。ページ 11 のレジスタにアクセスするには、このレジスタを 0x0B に設定する必要があります。
Reserved	N/A	N/A	0x0B	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Dxxx <sup>6</sup>	R/W	Yes	0x0B	0x08 to 0x7F	N/A	FIR フィルタ・バンク D : 係数 0~係数 59。
PAGE_ID	R/W	No	0x0C	0x00	0x0000	ページ識別子。ページ 12 のレジスタにアクセスするには、このレジスタを 0x0C に設定する必要があります。
Reserved	N/A	N/A	0x0C	0x02 to 0x07	N/A	予約済み。
FIR_COEF_Dxxx <sup>6</sup>	R/W	Yes	0x0C	0x08 to 0x7F	N/A	FIR フィルタ・バンク D : 係数 60~係数 119。

<sup>1</sup> N/A は該当なしを意味します。<sup>2</sup> GPIO\_CTRL[7:4]ビットは DIOx ラインに関するロジック・レベルを反映するもので、デフォルト設定はありません。<sup>3</sup> 詳細については、FIR フィルタ・バンク A、FIR\_COEF\_A000~FIR\_COEF\_A119 のセクションを参照してください。<sup>4</sup> 詳細については、FIR フィルタ・バンク B、FIR\_COEF\_B000~FIR\_COEF\_B119 のセクションを参照してください。<sup>5</sup> 詳細については、FIR フィルタ・バンク C、FIR\_COEF\_C000~FIR\_COEF\_C119 のセクションを参照してください。<sup>6</sup> 詳細については、FIR フィルタ・バンク D、FIR\_COEF\_D000~FIR\_COEF\_D119 のセクションを参照してください。

ユーザ・レジスタの定義  
ページ番号 (PAGE\_ID)

PAGE\_ID レジスタの内容 (表 18 および表 19 を参照) は現在のページ設定を含んでおり、SPI アクセスのための別ページの選択を制御できます。例えば、ページ 2 のレジスタにアクセスするには、DIN=0x8002 と設定してページ2を選択します。ユーザ・アクセスが可能な各レジスタに関連するページ割り当てについては、表 17 を参照してください。

表 18. PAGE\_ID レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x00, 0x01	0x0000	R/W	No

表 19. PAGE\_ID のビットの説明

ビット	説明
[15:0]	ページ番号、バイナリ数値フォーマット

データおよびサンプリング・カウンタ  
(DATA\_CNT)

DATA\_CNT レジスタ (表 20 および表 21 を参照) は、連続的なリアルタイムのサンプリング・カウンタです。カウンタは 0x0000 から始まり、出力データ・レジスタが更新されるごとにインクリメントし、0xFFFF (65,535 (10 進数)) の後は 0x0000 (0 (10 進数)) に戻ります。

表 20. DATA\_CNT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x04, 0x05	Not applicable	R	No

表 21. DATA\_CNT のビットの説明

ビット	説明
[15:0]	データ・カウンタ、バイナリ・フォーマット

ステータスおよびエラー・フラグ・インジケータ  
(STATUS)

STATUS レジスタ (表 22 および表 23 を参照) は、様々なエラー・フラグを立てます。このレジスタを読み出すと、ビット 7 を除くすべてのビットが 0 に戻ります。エラー状態が続く場合は、そのフラグ (ビット) が自動的にアラーム値である 1 に戻ります。

表 22. STATUS レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x08, 0x09	0x0000	R	No

表 23. STATUS のビットの説明

ビット	説明
15	ウォッチドッグ・タイマー・フラグ。このビットが 1 の場合、問題を解消するために ADIS16545/ADIS16547 が自動的にリセットすることを示します。
[14:9]	不使用。
8	同期エラー。スケージング同期モード (FNCTIO_CTRL、ビット 8 = 1、表 151 参照) で動作時、このビットが 1 の場合、サンプリングのタイミングが正しくスケージングされていないことを示します。このエラーが生じた場合、入力同期周波数が正しいこと、および、UPSCALE (表 161 参照) の値が正しいことを確認します。
7	処理オーバーラン。このビットが 1 の場合、処理オーバーランが発生したことを示します。回復させるにはリセットを開始してください。このエラーが続く場合は、ADIS16545/ADIS16547 を交換してください。

表 23. STATUS のビットの説明 (続き)

ビット	説明
6	フラッシュ・メモリ更新失敗。このビットが 1 の場合、最後に行ったフラッシュ・メモリの更新 (GLOB_CMD、ビット 3、表 149 参照) が失敗したことを示します。フラッシュ・メモリの更新を繰り返してもこのエラーが続く場合は、ADIS16545/ADIS16547 を交換してください。
5	センサー不具合。このビットが 1 の場合、連続モニタリング (GST) またはオンデマンド・セルフ・テスト (ODST) で、少なくとも 1 つの慣性センサーに不具合があることを示します。不具合のあるセンサーを確認するには、DIAG_STS レジスタ (表 25 参照) を読み出します。デバイスが静的慣性条件で動作しているときでもこのエラーが解消できない場合は、ADIS16545/ADIS16547 を交換してください。
4	不使用。
3	SPI 通信エラー。このビットが 1 の場合は、SCLK サイクルの合計数が 16 の整数倍でないことを示します。回復させるには、それ以前の通信シーケンスを繰り返してください。このエラーが続く場合は、ホスト・プロセッサからの SPI 信号の完全性に問題があることを示している可能性があります。
2	CRC エラー状態。このビットが 1 の場合は、CRC 計算にエラーが生じたことを示します。このビットは、ファームウェア CRC、キャリブレーション係数 CRC、ユーザ設定 CRC の論理 OR です。回復させるにはリセットを開始してください。このエラーが続く場合は、ADIS16545/ADIS16547 を交換してください。CRC チェックの詳細および実際の CRC 値の読出しの詳細については、デュアルメモリ構造のセクションを参照してください。
1	ブート・メモリ不具合。このビットが 1 の場合、デバイスがバックアップ・メモリ・バンクからのコードを使用して起動したことを示します。このエラーが発生する場合は、ADIS16545/ADIS16547 を交換してください。
0	不使用。

セルフ・テスト・エラー・フラグ (DIAG\_STS)

DIAG\_STS レジスタ (表 24 および表 25 参照) には、各慣性センサーの合格および不合格のフラグ (0 = 合格) が含まれます。このレジスタは、このレジスタの各ビットの論理 OR である STATUS、ビット 5 (表 23 参照) と連携しています。CST 動作および ODST 動作のどちらに対しても 0 = 合格である点に注意してください。DIAG\_STS レジスタの内容を読み出すと、そのすべてのビットが 0 になります。エラー状態が解消しない場合は、DIAG\_STS の各ビットが 1 に戻ります。

表 24. DIAG\_STS レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x0A, 0x0B	0x0000	R	No

表 25. DIAG\_STS のビットの説明

ビット	説明 (デフォルト = 0x0000)
[15:6]	不使用
5	セルフ・テストの不合格、z 軸加速度センサー (1 = 不合格)
4	セルフ・テスト・エラー、y 軸加速度センサー (1 = エラー)
3	セルフ・テスト・エラー、x 軸加速度センサー (1 = エラー)
2	セルフ・テスト・エラー、z 軸ジャイロ・センサー (1 = エラー)
1	セルフ・テスト・エラー、y 軸ジャイロ・センサー (1 = エラー)
0	セルフ・テスト・エラー、x 軸ジャイロ・センサー (1 = エラー)

ユーザ・レジスタの定義

内部温度 (TEMP\_OUT)

ADIS16545/ADIS16547 の TEMP\_OUT レジスタ (表 26 および表 27 を参照) は、内部温度の測定結果を示します。このデータは、熱環境の相対的なシフトをモニターするのに極めて有効です。ただし、TEMP\_OUT の測定値は、特定の場所やアプリケーションの実装手法に追従するようキャリブレーションされているわけではありません。このレジスタの詳細およびデータ・フォーマット例については表 28 を参照してください。

表 26. TEMP\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x0E, 0x0F	Not applicable	R	No

表 27. TEMP\_OUT のビットの説明

ビット	説明
[15:0]	温度データ、2 の補数、140LSB あたり 1°C、25°C = 0x0000

表 28. TEMP\_OUT のデータ・フォーマット例

Temperature (°C)	Decimal	Hexadecimal
+85	+8400	0x20D0
+25 + 2/140	+2	0x0002
+25 + 1/140	+1	0x0001
+25	0	0x0000
+25 - 1/140	-1	0xFFFF
+25 - 2/140	-2	0xFFFE
-40	-9100	0xDC74

ジャイロ・センサーのデータ

ADIS16545/ADIS16547 のジャイロ・センサーは、3 本の直交軸 (x、y、z) 回りの回転角速度を測定します。ジャイロ・センサーの各軸の方向を図 44 に示します。これは、それぞれの角速度測定値が正の応答となる回転方向を定義するものです。

各ジャイロ・センサーには 2 つの出力データ・レジスタがあります。x 軸ジャイロ・センサー測定において、これら 2 つのレジスタを組み合わせてビット 31 を符号ビットとした 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 43 に示します。このフォーマットは y 軸と z 軸にもあてはまります。

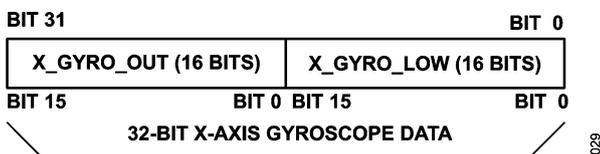


図 43. ジャイロ・センサーの出力データ構造

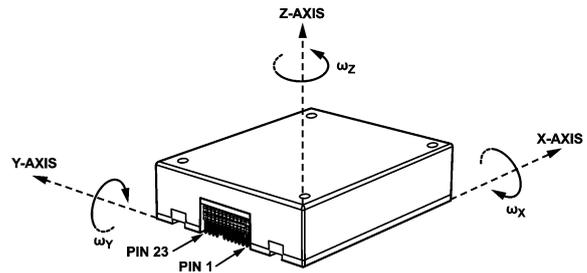


図 44. ジャイロ・センサーの軸と極性の指定

ジャイロ・センサーの測定レンジとスケール・ファクタ

表 29 に、ADIS16545/ADIS16547 の各モデルにおける角速度 (ジャイロ・センサー) 測定のレンジと 16 ビット・スケール・ファクタ (Kg) を示します。

表 29. ジャイロ・センサーの測定レンジと 16 ビット・スケール・ファクタ

Model	Range	16-Bit Scale Factor, Kg
ADIS16545-1BMLZ and ADIS16547-1BMLZ	±125°/sec	0.00625°/sec/LSB
ADIS16545-2BMLZ and ADIS16547-2BMLZ	±450°/sec	0.025°/sec/LSB
ADIS16545-3BMLZ and ADIS16547-3BMLZ	±2000°/sec	0.1°/sec/LSB

ジャイロ・センサーのデータ・フォーマット

16 ビットと 32 ビットの回転速度データのフォーマットを示す様々な数値の例を、表 30 と表 31 に示します。ADIS16545/ADIS16547 の各モデルに関連するスケール・ファクタ (Kg) については表 29 を参照してください。

表 30. 16 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate (°/sec)	Decimal	Hexadecimal
+20000 Kg	+20,000	0x4E20
+19200 Kg (ADIS16545-2 and ADIS16547-2 Maximum)	+19,200	0x4B00
+2 Kg	+2	0x0002
+Kg	+1	0x0001
0°/sec	0	0x0000
-Kg	-1	0xFFFF
-2 Kg	-2	0xFFFE
-19200 Kg (ADIS16545-2 and ADIS16547-2 Minimum)	-19,200	0xB500
-20000 Kg	-20,000	0xB1E0

表 31. 32 ビット・ジャイロ・センサー・データのフォーマット例

Rotation Rate (°/sec)	Decimal	Hexadecimal
+20000 Kg	+1,310,720,000	0x4E200000
+19200 Kg (ADIS16545-2 and ADIS16547-2 Maximum)	+1,258,291,200	0x4B000000
+Kg/2 <sup>15</sup>	+2	0x00000002
+Kg/2 <sup>16</sup>	+1	0x00000001

ユーザ・レジスタの定義

表 31. 32 ビット・ジャイロ・センサー・データのフォーマット例 (続き)

Rotation Rate (°/sec)	Decimal	Hexadecimal
0	0	0x00000000
$-K_G/2^{16}$	-1	0xFFFFFFFF
$-K_G/2^{15}$	-2	0xFFFFFFF0
-19200 $K_G$ (ADIS16545-2 and ADIS16547-2 Minimum)	-1,258,291,200	0xB5000000
-20000 $K_G$	-1,310,720,000	0xB1E00000

x 軸ジャイロ・センサー

(X\_GYRO\_LOW および X\_GRYO\_OUT)

X\_GYRO\_LOW レジスタ (表 32 および表 33 を参照) と X\_GRYO\_OUT レジスタ (表 34 および表 35 を参照) には、x 軸のジャイロ・センサー・データが格納されます。

表 32. X\_GYRO\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x10, 0x11	Not applicable	R	No

表 33. X\_GYRO\_LOW のビットの説明

ビット	説明
[15:0]	x 軸ジャイロ・センサー・データ、下位ワード

表 34. X\_GYRO\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x12, 0x13	Not applicable	R	No

表 35. X\_GYRO\_OUT のビットの説明

ビット	説明
[15:0]	x 軸ジャイロ・センサー・データ、上位ワード、2 の補数、0°/sec = 0x0000、スケール・ファクタについては表 29 を参照

y 軸ジャイロ・センサー

(Y\_GYRO\_LOW および Y\_GYRO\_OUT)

Y\_GYRO\_LOW レジスタ (表 36 および表 37 を参照) と Y\_GYRO\_OUT レジスタ (表 38 および表 39 を参照) には、y 軸のジャイロ・センサー・データが格納されます。

表 36. Y\_GYRO\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x14, 0x15	Not applicable	R	No

表 37. Y\_GYRO\_LOW のビットの説明

ビット	説明
[15:0]	y 軸ジャイロ・センサー・データ、下位ワード

表 38. Y\_GYRO\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x16, 0x17	Not applicable	R	No

表 39. Y\_GYRO\_OUT のビットの説明

ビット	説明
[15:0]	y 軸ジャイロ・センサー・データ、上位ワード、2 の補数、0°/sec = 0x0000、スケール・ファクタについては表 29 を参照

Z 軸ジャイロ・センサー

(Z\_GYRO\_LOW および Z\_GYRO\_OUT)

Z\_GYRO\_LOW レジスタ (表 40 および表 41 を参照) と Z\_GRYO\_OUT レジスタ (表 42 および表 43 を参照) には、z 軸のジャイロ・センサー・データが格納されます。

表 40. Z\_GYRO\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x18, 0x19	Not applicable	R	No

表 41. Z\_GYRO\_LOW のビットの説明

ビット	説明
[15:0]	z 軸ジャイロ・センサー・データ、下位ワード

表 42. Z\_GYRO\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x1A, 0x1B	Not applicable	R	No

表 43. Z\_GYRO\_OUT のビットの説明

ビット	説明
[15:0]	z 軸ジャイロ・センサー・データ、上位ワード、2 の補数、0°/sec = 0x0000、スケール・ファクタについては表 29 を参照

加速度データ

ADIS16545/ADIS16547 の加速度センサーは、3 本の直交軸 (x、y、z) に沿った動的加速度と静的加速度 (重力に対する応答) の両方を測定します。加速度センサーの各軸の方向を図 46 に示します。これは、それぞれの加速度測定値が正の応答となる線形加速度の方向を定義するものです。

各加速度センサーには 2 つの出力データ・レジスタがあります。x 軸加速度センサー測定において、これら 2 つのレジスタを組み合わせてビット 31 を符号ビットとした 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 45 に示します。このフォーマットは y 軸と z 軸にもあてはまります。

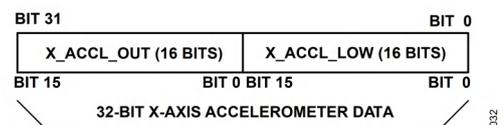


図 45. 加速度センサーの出力データ構造

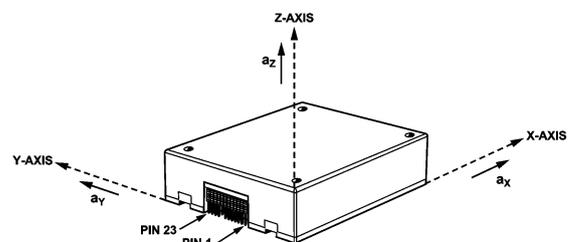


図 46. 加速度センサーの軸と極性の指定

ユーザ・レジスタの定義

加速度センサーの測定レンジとスケール・ファクタ

表 44 に加速度センサーの測定レンジ ( $\pm A_{MAX}$ ) とスケール・ファクタ ( $K_A$ ) を示します。

表 44. 加速度センサーの測定レンジとスケール・ファクタ

Model	Range, $\pm A_{MAX}$ (g)	Scale Factor, $K_A$ (LSB/g)
ADIS16545	$\pm 8$	4000
ADIS16547	$\pm 40$	800

加速度センサーの分解能

16 ビットと 32 ビットの線形加速度データのフォーマットを示す様々な数値の例を、表 45 と表 46 に示します。

表 45. 16 ビット加速度センサー・データのフォーマット例

Acceleration (g)	Decimal	Hexadecimal	Binary
$+A_{MAX}$	+32,000	0x7D00	0111 1101 0000 0000
$+2/K_A$	+2	0x0002	0000 0000 0000 0010
$+1/K_A$	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
$-1/K_A$	-1	0xFFFF	1111 1111 1111 1111
$-2/K_A$	-2	0xFFFFE	1111 1111 1111 1110
$-A_{MAX}$	-32,000	0x8300	1000 0011 0000 0000

表 46. 32 ビット加速度センサー・データのフォーマット例

Acceleration (g)	Decimal	Hexadecimal
$+A_{MAX}$	+2,097,152,000	0x7D000000
$+2/(K_A \times 2^{16})$	+2	0x00000002
$+1/(K_A \times 2^{16})$	+1	0x00000001
0	0	0x00000000
$-1/(K_A \times 2^{16})$	-1	0xFFFFFFFF
$-2/(K_A \times 2^{16})$	-2	0xFFFFFFFFE
$-A_{MAX}$	-2,097,152,000	0x83000000

x 軸加速度センサー (X\_ACCL\_LOW および X\_ACCL\_OUT)

X\_ACCL\_LOW レジスタ (表 47 および表 48 を参照) と X\_ACCL\_OUT レジスタ (表 49 および表 50 を参照) には、x 軸の加速度センサー・データが格納されます。

表 47. X\_ACCL\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x1C, 0x1D	Not applicable	R	No

表 48. X\_ACCL\_LOW のビットの説明

ビット	説明
[15:0]	x 軸加速度センサー・データ、下位ワード

表 49. X\_ACCL\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x1E, 0x1F	Not applicable	R	No

表 50. X\_ACCL\_OUT のビットの説明

ビット	説明
[15:0]	x 軸加速度センサー・データ、上位ワード、2 の補数、 $\pm 8g$ のレンジ、 $0g = 0x0000$ 、 $1LSB = 1/K_A$ ( $K_A$ については表 44 を参照)

Y 軸加速度センサー (Y\_ACCL\_LOW および Y\_ACCL\_OUT)

Y\_ACCL\_LOW レジスタ (表 51 および表 52 を参照) と Y\_ACCL\_OUT レジスタ (表 53 および表 54 を参照) には、y 軸の加速度センサー・データが格納されます。

表 51. Y\_ACCL\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x20, 0x21	Not applicable	R	No

表 52. Y\_ACCL\_LOW のビットの説明

ビット	説明
[15:0]	y 軸加速度センサー・データ、下位ワード

表 53. Y\_ACCL\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x22, 0x23	Not applicable	R	No

表 54. Y\_ACCL\_OUT のビットの説明

ビット	説明
[15:0]	y 軸加速度センサー・データ、上位ワード、2 の補数、 $\pm 8g$ のレンジ、 $0g = 0x0000$ 、 $1LSB = 1/K_A$ ( $K_A$ については表 44 を参照)

z 軸加速度センサー (Z\_ACCL\_LOW および Z\_ACCL\_OUT)

Z\_ACCL\_LOW レジスタ (表 55 および表 56 を参照) と Z\_ACCL\_OUT レジスタ (表 57 および表 58 を参照) には、z 軸の加速度センサー・データが格納されます。

表 55. Z\_ACCL\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x24, 0x25	Not applicable	R	No

表 56. Z\_ACCL\_LOW のビットの説明

ビット	説明
[15:0]	z 軸加速度センサー・データ、下位ワード

表 57. Z\_ACCL\_OUT レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x26, 0x27	Not applicable	R	No

表 58. Z\_ACCL\_OUT のビットの説明

ビット	説明
[15:0]	z 軸加速度センサー・データ、上位ワード、2 の補数、 $\pm 8g$ のレンジ、 $0g = 0x0000$ 、 $1LSB = 1/K_A$ ( $K_A$ については表 44 を参照)

ユーザ・レジスタの定義

タイム・スタンプ

スケーリング同期モード (FNCTIO\_CTRL、ビット[8:7]=11 (バイナリ)、表 151 参照) を使用する場合、TIME\_STAMP レジスタ (表 59 および表 60 を参照) は、入力クロック信号の最も新しいパルスの立上がりエッジと最も新しいデータ更新の間の時間を示します。

表 59. TIME\_STAMP レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x28, 0x29	Not applicable	R	No

表 60. TIME\_STAMP のビットの説明

ビット	説明
[15:0]	タイム・スタンプ、バイナリ・フォーマット。1 LSB = 1/f <sub>SM</sub> (図 29、図 30、表 161 を参照してください)。入力クロック・パルスの立上がりエッジは、このレジスタの値を 0x0000 にリセットします。

デシメーション・フィルタを用いる場合 (DEC\_RATE > 0x0000)、TIME\_STAMP レジスタの値は、最初のサンプル (図 29 および図 30 に従い、f<sub>SM</sub> のレートで取得) の時間を表します。

例えば、DEC\_RATE = 0x0003 の場合、デシメーション・フィルタは、更新を 4 分の 1 に減らし、TIME\_STAMP レジスタは最初のデータ更新時に 1 (10 進数) に更新され、2 回目の更新時には 5 に、3 回目には 9 に更新され、これが次のクロック信号パルスまで続きます。

巡回冗長検査 (CRC-32)

ADIS16545/ADIS16547 は、表 61 に示すデータ・レジスタを用いて CRC-32 の計算を行います。CRC-32 の計算を行うサンプル・コードについては、CRC-32 のコード例のセクションを参照してください。

表 61. CRC-32 のソース・データおよび値の例

Register	Example Value
STATUS	0x0000
TEMP_OUT	0x083A
X_GYRO_LOW	0x0000

表 61. CRC-32 のソース・データおよび値の例 (続き)

Register	Example Value
X_GYRO_OUT	0xFFFF7
Y_GYRO_LOW	0x0000
Y_GYRO_OUT	0xFFFFE
Z_GYRO_LOW	0x0000
Z_GYRO_OUT	0x0001
X_ACCL_LOW	0x5001
X_ACCL_OUT	0x0003
Y_ACCL_LOW	0xE00A
Y_ACCL_OUT	0x0015
Z_ACCL_LOW	0xC009
Z_ACCL_OUT	0x0320
TIME_STAMP	0x8A54

CRC\_LWR レジスタ (表 62 および表 63 を参照) と CRC\_UPR レジスタ (表 64 および表 65 を参照) には、CRC-32 の計算結果が格納されます。例えば、表 61 によるレジスタ値は次のとおりです：

- ▶ CRC\_LWR = 0x15B4
- ▶ CRC\_UPR = 0xB6C8

表 62. CRC\_LWR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x2A, 0x2B	Not applicable	R	No

表 63. CRC\_LWR のビットの説明

ビット	説明
[15:0]	最新のデータ更新サイクルからの CRC-32 コード、下位ワード

表 64. CRC\_UPR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x2C, 0x2D	Not applicable	R	No

表 65. CRC\_UPR のビットの説明

ビット	説明
[15:0]	最新のデータ更新サイクルからの CRC-32 コード、上位ワード

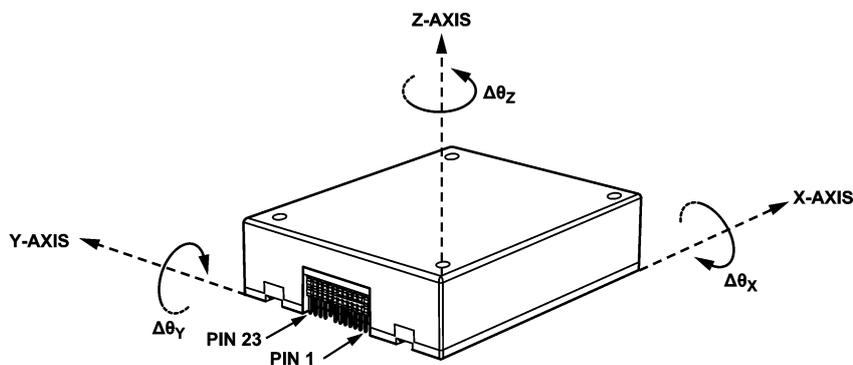


図 47. 角度変化の軸と極性の指定

033

ユーザ・レジスタの定義

角度変化

各軸 (x, y, z) 周りの回転角速度 (ジャイロ・センサー) の測定値に加えて、ADIS16545/ADIS16547 は角度変化の測定値も出力します。これはサンプル更新ごとの角度変位を計算したものです。角度変化出力の各軸の方向を図 47 に示します。これは、それぞれの角度変位 (角度変化) の測定値が正の応答となる回転方向を定義するものです。

角度変化出力はジャイロ・センサー測定値の積分値を表し、3つの軸すべてについて以下の式を使用します (x 軸について例示)。

$$\Delta\theta_{x,nD} = \frac{1}{2f_{SM}} \times \sum_{d=0}^{D-1} (\omega_{x,nD+d} + \omega_{x,nD+d-1}) \quad (3)$$

ここで、

- $\Delta\theta_x$  は、x 軸の角度変化の測定値、
- $n$  はデシメーション・フィルタ前のサンプル時間、
- $D$  はデシメーション・レート = DEC\_RATE + 1 (表 157 を参照)、
- $f_{SM}$  はサンプル・レート、
- $d$  は総和公式のインクリメント変数、
- $\omega_x$  は x 軸回りの回転速度 (ジャイロ・センサー) です。

内部サンプル・クロックを使用する場合、 $f_{SM}$  は 4000SPS です。同期モードで外部クロックを使用する場合、 $f_{SM}$  は外部クロックの周波数に等しくなります。スケール同期モードで外部クロックを使用する場合、 $f_{SM}$  は外部クロックの周波数にスケール・ファクタを乗じた値に等しくなります。角度変化レジスタのレンジは、最大回転速度 (表 29)、公称サンプル・レート (4000SPS)、1Hz の更新レート (DEC\_RATE = 0x0F9F、3999 + 1 で除算、表 157 を参照) のすべてに同時に対応します。4000SPS を超える外部クロックを使用する場合は、角度変化レジスタのオーバーレンジを避けるため、DEC\_RATE の設定値を下げてください。

角度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸の角度変化測定において、これら 2 つのレジスタを組み合わせてビット 31 を符号ビットとした 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 48 に示します。このフォーマットは y 軸と z 軸にもあてはまります。



図 48. 角度変化のデータ出力構造

角度変化の測定レンジ

表 66 に、ADIS16545/ADIS16547 の各モデルの測定レンジとスケール・ファクタを示します。

表 66. 角度変化の測定レンジとスケール・ファクタ

Model	Measurement Range, $\pm\Delta\theta_{MAX}$
ADIS16545-1BMLZ and ADIS16547-1BMLZ	$\pm 360^\circ$
ADIS16545-2BMLZ and ADIS16547-2BMLZ	$\pm 720^\circ$
ADIS16545-3BMLZ and ADIS16547-3BMLZ	$\pm 2160^\circ$

x 軸角度変化 (X\_DELTANG\_LR および X\_DELTANG\_UR)

X\_DELTANG\_LR レジスタ (表 67 および表 68 を参照) と X\_DELTANG\_UR レジスタ (表 69 および表 70 を参照) には、x 軸の角度変化データが格納されます。

表 67. X\_DELTANG\_LR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x40, 0x41	Not applicable	R	No

表 68. X\_DELTANG\_LR のビットの説明

ビット	説明
[15:0]	x 軸角度変化データ、下位ワード

表 69. X\_DELTANG\_UR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x42, 0x43	Not applicable	R	No

表 70. X\_DELTANG\_UR のビットの説明

ビット	説明
[15:0]	x 軸角度変化データ、上位ワード、2 の補数、 0° = 0x0000、1LSB = $\Delta\theta_{MAX}/2^{15}$ ( $\Delta\theta_{MAX}$ については表 66 を参照)

y 軸角度変化 (Y\_DELTANG\_LR および Y\_DELTANG\_UR)

Y\_DELTANG\_LR レジスタ (表 71 および表 72 を参照) と Y\_DELTANG\_UR レジスタ (表 73 および表 74 を参照) には、y 軸の角度変化データが格納されます。

表 71. Y\_DELTANG\_LR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x44, 0x45	Not applicable	R	No

表 72. Y\_DELTANG\_LR のビットの説明

ビット	説明
[15:0]	y 軸角度変化データ、下位ワード

表 73. Y\_DELTANG\_UR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x46, 0x47	Not applicable	R	No

ユーザ・レジスタの定義

表 74. Y\_DELTANG\_UR のビットの説明

ビット	説明
[15:0]	y 軸角度変化データ、上位ワード、2 の補数、 0° = 0x0000、1LSB = Δθ <sub>MAX</sub> /2 <sup>15</sup> (Δθ <sub>MAX</sub> については表 66 を参照)

z 軸角度変化 (Z\_DELTANG\_LR および Z\_DELTANG\_UR)

Z\_DELTANG\_LR レジスタ (表 75 および表 76 を参照) と Z\_DELTANG\_UR レジスタ (表 77 および表 78 を参照) には、z 軸の角度変化データが格納されます。

表 75. Z\_DELTANG\_LR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x48, 0x49	Not applicable	R	No

表 76. Z\_DELTANG\_LR のビットの説明

ビット	説明
[15:0]	z 軸角度変化データ、下位ワード

表 77. Z\_DELTANG\_UR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x4A, 0x4B	Not applicable	R	No

表 78. Z\_DELTANG\_UR のビットの説明

ビット	説明
[15:0]	z 軸角度変化データ、上位ワード、2 の補数、 0° = 0x0000、1LSB = Δθ <sub>MAX</sub> /2 <sup>15</sup> (Δθ <sub>MAX</sub> については表 66 を参照)

角度変化の分解能

16 ビットと 32 ビットの角度変化データのフォーマットを示す様々な数値例を、表 79 と表 80 に示します。

表 79. 16 ビット角度変化データのフォーマット例

Delta Angle (°)	Decimal	Hexadecimal	Binary
Δθ <sub>MAX</sub> × (2 <sup>15</sup> -1)/2 <sup>15</sup>	+32,767	0x7FFF	0111 1111 1110 1111
+Δθ <sub>MAX</sub> /2 <sup>14</sup>	+2	0x0002	0000 0000 0000 0010
+Δθ <sub>MAX</sub> /2 <sup>15</sup>	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
-Δθ <sub>MAX</sub> /2 <sup>15</sup>	-1	0xFFFF	1111 1111 1111 1111
-Δθ <sub>MAX</sub> /2 <sup>14</sup>	-2	0xFFFFE	1111 1111 1111 1110
-Δθ <sub>MAX</sub>	-32,768	0x8000	1000 0000 0000 0000

表 80. 32 ビット角度変化データのフォーマット例

Delta Angle (°)	Decimal	Hexadecimal
+Δθ <sub>MAX</sub> × (2 <sup>31</sup> - 1)/2 <sup>31</sup>	+2,147,483,647	0x7FFFFFFF
+Δθ <sub>MAX</sub> /2 <sup>30</sup>	+2	0x00000002
+Δθ <sub>MAX</sub> 2000/2 <sup>31</sup>	+1	0x00000001
0	0	0x00000000
-Δθ <sub>MAX</sub> /2 <sup>31</sup>	-1	0xFFFFFFFF
-Δθ <sub>MAX</sub> /2 <sup>30</sup>	-2	0xFFFFFFFFE
-Δθ <sub>MAX</sub>	-2,147,483,648	0x80000000

速度変化

各軸 (x、y、z) に沿った線形加速度の測定値に加えて、ADIS16545/ADIS16547 は、速度変化の測定値も出力します。これはサンプル更新ごとの線形速度変化を計算したものです。各速度変化測定値の方向を図 50 に示します。これは、それぞれの速度変化測定値が正の応答となる線形速度の増加方向を定義するものです。

速度変化出力は加速度測定値の積分値を表し、3 つの軸すべてについて以下の式を使用します (x 軸について例示)。

$$\Delta V_{x,nD} = \frac{1}{2f_{SM}} \times \sum_{d=0}^{D-1} (a_{x,nD+d} + a_{x,nD+d-1}) \quad (4)$$

ここで、

ΔV<sub>x</sub> は x 軸の速度変化の測定値、  
n はデシメーション・フィルタ前のサンプル時間、  
D はデシメーション・レート = DEC\_RATE + 1 (表 157 を参照)、  
f<sub>SM</sub> はサンプル・レート、  
d は総和公式のインクリメント変数、  
a<sub>x</sub> は x 軸の線形加速度 (加速度センサー) です。

内部サンプル・クロックを使用する場合、f<sub>SM</sub> は 4000SPS です。外部クロック・オプションを使用する場合、f<sub>SM</sub> は外部クロックの周波数に等しくなります。速度変化レジスタのレンジは、最大線形加速度 (40g)、公称サンプル・レート (4000SPS)、1Hz の更新レート (DEC\_RATE = 0x0F9F、3999 + 1 で除算、表 157 を参照) のすべてに同時に対応します。4000SPS を超える外部クロックを使用する場合は、速度変化レジスタのオーバーレンジを避けるため、DEC\_RATE の設定値を下げてください。

速度変化測定時は、各軸につき 2 つの出力データ・レジスタを使用します。x 軸方向の速度変化測定において、これら 2 つのレジスタを組み合わせてビット 31 を符号ビットとした 32 ビットの 2 の補数データ・フォーマットを構成する方法を、図 49 に示します。このフォーマットは y 軸と z 軸にもあてはまります。



図 49. 速度変化のデータ出力構造

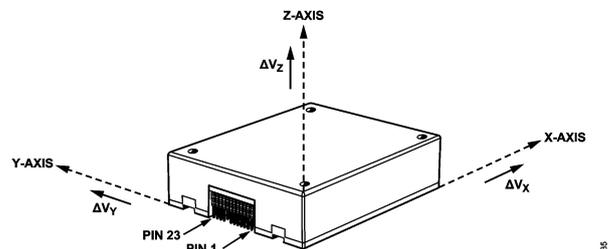


図 50. 速度変化の軸と極性の指定

ユーザ・レジスタの定義

速度変化の測定レンジ

表 81 に各モデルの測定レンジを示します。

表 81. 速度変化の測定レンジ

Model	Measurement Range, $\pm\Delta V_{MAX}$ (m/sec)
ADIS16545	$\pm 100$
ADIS16547	$\pm 400$

x 軸速度変化 (X\_DELTVEL\_LR および X\_DELTVEL\_UR)

X\_DELTVEL\_LR レジスタ (表 82 および表 83 を参照) と X\_DELTVEL\_UR レジスタ (表 84 および表 85 を参照) には、x 軸の速度変化データが格納されます。

表 82. X\_DELTVEL\_LR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x4C, 0x4D	Not applicable	R	No

表 83. X\_DELTVEL\_LR のビットの説明

ビット	説明
[15:0]	x 軸角度変化データ、下位ワード

表 84. X\_DELTVEL\_UR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x4E, 0x4F	Not applicable	R	No

表 85. X\_DELTVEL\_UR のビットの説明

ビット	説明
[15:0]	x 軸速度変化データ、上位ワード、2 の補数、 0m/sec = 0x0000、1LSB = $\Delta V_{MAX} \div 2^{15}$ ( $\Delta V_{MAX}$ については表 81 を参照)

y 軸速度変化 (Y\_DELTVEL\_LR および Y\_DELTVEL\_UR)

Y\_DELTVEL\_LR レジスタ (表 86 および表 87 を参照) と Y\_DELTVEL\_UR レジスタ (表 88 および表 89 を参照) には、y 軸の速度変化データが格納されます。

表 86. Y\_DELTVEL\_LR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x50, 0x51	Not applicable	R	No

表 87. Y\_DELTVEL\_LR のビットの説明

ビット	説明
[15:0]	y 軸角度変化データ、下位ワード

表 88. Y\_DELTVEL\_UR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x52, 0x53	Not applicable	R	No

表 89. Y\_DELTVEL\_UR のビットの説明

ビット	説明
[15:0]	y 軸速度変化データ、上位ワード、2 の補数、 0m/sec = 0x0000、1LSB = $\Delta V_{MAX} \div 2^{15}$ ( $\Delta V_{MAX}$ については表 81 を参照)

z 軸速度変化 (Z\_DELTVEL\_LR および Z\_DELTVEL\_UR)

Z\_DELTVEL\_LR レジスタ (表 90 および表 91 を参照) と Z\_DELTVEL\_UR レジスタ (表 92 および表 93 を参照) には、z 軸の速度変化データが格納されます。

表 90. Z\_DELTVEL\_LR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x54, 0x55	Not applicable	R	No

表 91. Z\_DELTVEL\_LR のビットの説明

ビット	説明
[15:0]	z 軸角度変化データ、下位ワード

表 92. Z\_DELTVEL\_UR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x56, 0x57	Not applicable	R	No

表 93. Z\_DELTVEL\_UR のビットの説明

ビット	説明
[15:0]	z 軸速度変化データ、上位ワード、2 の補数、 0m/sec = 0x0000、1LSB = $\Delta V_{MAX} \div 2^{15}$ ( $\Delta V_{MAX}$ については表 81 を参照)

速度変化の分解能

16 ビットと 32 ビットの角度変化データのフォーマットを示す様々な数値例を、表 94 と表 95 に示します。

表 94. 16 ビット角速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hexadecimal	Binary
$+\Delta V_{MAX} \times (2^{15} - 1)/2^{15}$	+32,767	0x7FFF	0111 1111 1110 1111
$+\Delta V_{MAX}/2^{14}$	+2	0x0002	0000 0000 0000 0010
$+\Delta V_{MAX}/2^{15}$	+1	0x0001	0000 0000 0000 0001
0	0	0x0000	0000 0000 0000 0000
$-\Delta V_{MAX}/2^{15}$	-1	0xFFFF	1111 1111 1111 1111
$-\Delta V_{MAX}/2^{14}$	-2	0xFFFE	1111 1111 1111 1110
$-\Delta V_{MAX}$	-32,768	0x8000	1000 0000 0000 0000

表 95. 32 ビット角速度変化データのフォーマット例

Velocity (m/sec)	Decimal	Hexadecimal
$+\Delta V_{MAX} \times (2^{31} - 1)/2^{31}$	+2,147,483,647	0x7FFFFFFF
$+\Delta V_{MAX}/2^{30}$	+2	0x00000002
$+\Delta V_{MAX}/2^{31}$	+1	0x00000001
0	0	0x00000000
$-\Delta V_{MAX}/2^{31}$	-1	0xFFFFFFFF
$-\Delta V_{MAX}/2^{30}$	-2	0xFFFFFFFF
$-\Delta V_{MAX}$	-2,147,483,648	0x80000000

ユーザ・レジスタの定義

バースト読出しコマンド、BURST\_CMD

BURST\_CMD レジスタ (表 96 および表 97 を参照) の読出しによって、BRF が開始されます。BRF 機能の詳細については、表 15、表 16、図 6 を参照してください。

表 96. BURST\_CMD レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x00	0x7C, 0x7D	Not applicable	R	No

表 97. BURST\_CMD のビットの説明

ビット	説明
[15:0]	バースト読出しコマンド・レジスタ

製品 ID、PROD\_ID

PROD\_ID レジスタ (表 98 および表 99 を参照) には、デバイス番号の数値部分 (16,545 および 16,547) が格納されます。このレジスタのループ読出しを使用して通信の完全性を評価する方法の例については、図 40 を参照してください。

表 98. PROD\_ID レジスタの定義

Page	Addresses	Default	Access	Flash Backup	Device
0x00	0x7E, 0x7F	0x40A1	R	Yes	ADIS16545
0x00	0x7E, 0x7F	0x40A3	R	Yes	ADIS16547

表 99. PROD\_ID のビットの説明

ビット	説明	デバイス
[15:0]	製品識別 = 0x40A1	ADIS16545
[15:0]	製品識別 = 0x40A3	ADIS16547

ユーザ・バイアス調整およびユーザ・スケール調整

ADIS16545/ADIS16547 のどちらにおいても、各慣性センサー (加速度センサーおよびジャイロ・センサー) のシグナル・チェーンには補正係数の適用があります。これらの係数は、そのデバイス固有のもので、ADIS16545/ADIS16547 の -40°C ~ +85°C の温度範囲にわたるバイアス、感度、アライメントの特性評価から求めたものです。なお、キャリブレーション範囲が -40°C ~ +85°C であっても、ADIS16545/ADIS16547 の定格は -40°C ~ +105°C の温度範囲である点に注意してください。これらの補正係数はユーザによるアクセスはできませんが、ユーザ・アクセス可能なレジスタを通じて個別に各センサーのバイアス・ファクタとスケール・ファクタを調整することはできません。シグナル・チェーンにおいては、ユーザの補正係数は、工場から抽出された補正係数の直後に適用されます。

ジャイロ・センサーのスケール調整、X\_GYRO\_SCALE

X\_GYRO\_SCALE レジスタ (表 100 および表 101 を参照) で、x 軸ジャイロ・センサーのスケール・ファクタを調整することができます。このスケール・ファクタが x 軸のジャイロ・センサー・データに及ぼす影響については、図 51 を参照してください。

表 100. X\_GYRO\_SCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x04, 0x05	0x0000	R/W	Yes

表 101. X\_GYRO\_SCALE のビットの説明

ビット	説明
[15:0]	x 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15} =$ 約 0.003052%

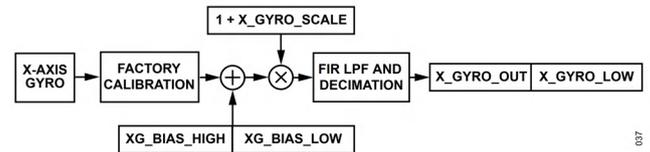


図 51. ジャイロ・センサーの信号経路内のユーザ・バイアス調整レジスタとユーザ・スケール調整レジスタ

ジャイロ・センサーのスケール調整、Y\_GYRO\_SCALE

Y\_GYRO\_SCALE レジスタ (表 102 および表 103 を参照) は、ユーザによる y 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このレジスタは、X\_GYRO\_SCALE が x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、y 軸のジャイロ・センサー測定値に影響を与えます (図 51 参照)。

表 102. Y\_GYRO\_SCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x06, 0x07	0x0000	R/W	Yes

表 103. Y\_GYRO\_SCALE のビットの説明

ビット	説明
[15:0]	y 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15} =$ 約 0.003052%

ジャイロ・センサーのスケール調整、Z\_GYRO\_SCALE

Z\_GYRO\_SCALE レジスタ (表 104 および表 105 を参照) は、ユーザによる z 軸ジャイロ・センサーのスケール・ファクタ調整を可能にします。このレジスタは、X\_GYRO\_SCALE が x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、z 軸のジャイロ・センサー測定値にも影響を与えます (図 51 参照)。

表 104. Z\_GYRO\_SCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x08, 0x09	0x0000	R/W	Yes

ユーザ・レジスタの定義

表 105. Z\_GYRO\_SCALE のビットの説明

ビット	説明
[15:0]	z 軸ジャイロ・センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

加速度センサーのスケール調整、X\_ACCL\_SCALE

X\_ACCL\_SCALE レジスタ (表 106 および表 107 を参照) は、ユーザによる x 軸加速度センサーのスケール・ファクタ調整を可能にします。このスケール・ファクタが x 軸の加速度センサー・データに及ぼす影響については、図 52 を参照してください。

表 106. X\_ACCL\_SCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x0A, 0x0B	0x0000	R/W	Yes

表 107. X\_ACCL\_SCALE のビットの説明

ビット	説明
[15:0]	x 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

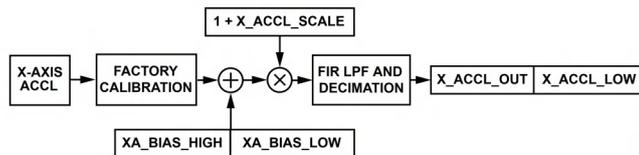


図 52. 加速度センサーの信号経路内のユーザ・バイアス調整レジスタとユーザ・スケール調整レジスタ

加速度センサーのスケール調整、Y\_ACCL\_SCALE

Y\_ACCL\_SCALE レジスタ (表 108 および表 109 を参照) は、ユーザによる y 軸加速度センサーのスケール・ファクタ調整を可能にします。このレジスタは、X\_ACCL\_SCALE が x 軸の加速度センサー測定値に影響を与えるのと同様に、y 軸の加速度センサー測定値に影響を与えます (図 52 参照)。

表 108. Y\_ACCL\_SCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x0C, 0x0D	0x0000	R/W	Yes

表 109. Y\_ACCL\_SCALE のビットの説明

ビット	説明
[15:0]	y 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

加速度センサーのスケール調整、Z\_ACCL\_SCALE

Z\_ACCL\_SCALE レジスタ (表 110 および表 111 を参照) は、ユーザによる z 軸加速度センサーのスケール・ファクタ調整を可能にします。このレジスタは、X\_ACCL\_SCALE が x 軸の加速度センサー測定値に影響を与えるのと同様に、z 軸の加速度センサー測定値にも影響を与えます (図 52 参照)。

表 110. Z\_ACCL\_SCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x0E, 0x0F	0x0000	R/W	Yes

表 111. Z\_ACCL\_SCALE のビットの説明

ビット	説明
[15:0]	z 軸加速度センサーのスケール補正、2 の補数、0x0000 = ゲイン 1、1LSB = $1 \div 2^{15}$ = 約 0.003052%

ジャイロ・センサーのバイアス調整、XG\_BIAS\_LOW および XG\_BIAS\_HIGH

XG\_BIAS\_LOW レジスタ (表 112 および表 113 を参照) と XG\_BIAS\_HIGH レジスタ (表 114 および表 115 を参照) を組み合わせると、x 軸ジャイロ・センサーのバイアスを調整できます。表 30 のデジタル・フォーマット例は XG\_BIAS\_HIGH レジスタにも適用され、表 31 のデジタル・フォーマット例は、XG\_BIAS\_LOW と XG\_BIAS\_HIGH のレジスタを結合して得られる数値に適用されます。これら 2 つのレジスタの組み合わせ方法と x 軸ジャイロ・センサー測定への影響については、図 51 を参照してください。

表 112. XG\_BIAS\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x10, 0x11	0x0000	R/W	Yes

表 113. XG\_BIAS\_LOW のビットの説明

ビット	説明
[15:0]	x 軸ジャイロ・センサーのオフセット補正、下位ワード、2 の補数、0°/sec = 0x0000、1LSB = $K_G \div 2^{16}$ (表 29 参照)

表 114. XG\_BIAS\_HIGH レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x12, 0x13	0x0000	R/W	Yes

表 115. XG\_BIAS\_HIGH のビットの説明

ビット	説明
[15:0]	x 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、0°/sec = 0x0000、1LSB = $K_G$ (表 29 参照)

ジャイロ・センサーのバイアス調整、YG\_BIAS\_LOW および YG\_BIAS\_HIGH

YG\_BIAS\_LOW レジスタ (表 116 および表 117 を参照) と YG\_BIAS\_HIGH レジスタ (表 118 および表 119 を参照) を組み合わせると、y 軸ジャイロ・センサーのバイアスを調整できます。表 30 のデジタル・フォーマット例は YG\_BIAS\_HIGH レジスタにも適用され、表 31 のデジタル・フォーマット例は、YG\_BIAS\_LOW と YG\_BIAS\_HIGH のレジスタを結合して得られる数値に適用されます。これらのレジスタは、XG\_BIAS\_LOW レジスタと XG\_BIAS\_HIGH レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、y 軸のジャイロ・センサー測定値に影響を与えます (図 51 参照)。

## ユーザ・レジスタの定義

表 116. YG\_BIAS\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x14, 0x15	0x0000	R/W	Yes

表 117. YG\_BIAS\_LOW のビットの説明

ビット	説明
[15:0]	y 軸ジャイロ・センサーのオフセット補正、下位ワード、2 の補数、 $0^\circ/\text{sec} = 0x0000$ 、 $1\text{LSB} = K_G \div 2^{16}$ (表 29 参照)

表 118. YG\_BIAS\_HIGH レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x16, 0x17	0x0000	R/W	Yes

表 119. YG\_BIAS\_HIGH のビットの説明

ビット	説明
[15:0]	y 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、 $0^\circ/\text{sec} = 0x0000$ 、 $1\text{LSB} = K_G$ (表 29 参照)

## ジャイロ・センサーのバイアス調整、ZG\_BIAS\_LOW および ZG\_BIAS\_HIGH

ZG\_BIAS\_LOW レジスタ (表 120 および表 121 を参照) と ZG\_BIAS\_HIGH レジスタ (表 122 および表 123 を参照) を組み合わせると、z 軸ジャイロ・センサーのバイアスを調整できます。表 30 のデジタル・フォーマット例は ZG\_BIAS\_HIGH レジスタにも適用され、表 31 のデジタル・フォーマット例は、ZG\_BIAS\_LOW と ZG\_BIAS\_HIGH のレジスタを結合して得られる数値に適用されます。これらのレジスタは、XG\_BIAS\_LOW レジスタと XG\_BIAS\_HIGH レジスタが x 軸のジャイロ・センサー測定値に影響を与えるのと同様に、z 軸のジャイロ・センサー測定値に影響を与えます (図 51 参照)。

表 120. ZG\_BIAS\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x18, 0x19	0x0000	R/W	Yes

表 121. ZG\_BIAS\_LOW のビットの説明

ビット	説明
[15:0]	z 軸ジャイロ・センサーのオフセット補正、下位ワード、2 の補数、 $0^\circ/\text{sec} = 0x0000$ 、 $1\text{LSB} = K_G \div 2^{16}$ (表 29 参照)

表 122. ZG\_BIAS\_HIGH レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x1A, 0x1B	0x0000	R/W	Yes

表 123. ZG\_BIAS\_HIGH のビットの説明

ビット	説明
[15:0]	z 軸ジャイロ・センサーのオフセット補正、上位ワード、2 の補数、 $0^\circ/\text{sec} = 0x0000$ 、 $1\text{LSB} = K_G$ (表 29 参照)

## 加速度センサーのバイアス調整、XA\_BIAS\_LOW および XA\_BIAS\_HIGH

XA\_BIAS\_LOW レジスタ (表 124 および表 125 を参照) と XA\_BIAS\_HIGH レジスタ (表 126 および表 127 を参照) を組み

合わせると、x 軸加速度センサーのバイアスを調整できます。表 45 のデジタル・フォーマット例は XA\_BIAS\_HIGH レジスタにも適用され、表 46 のデジタル・フォーマット例は、XA\_BIAS\_LOW と XA\_BIAS\_HIGH のレジスタを結合して得られる数値に適用されます。これら 2 つのレジスタの組み合わせ方法と x 軸ジャイロ・センサー測定への影響については、図 52 を参照してください。

表 124. XA\_BIAS\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x1C, 0x1D	0x0000	R/W	Yes

表 125. XA\_BIAS\_LOW のビットの説明

ビット	説明
[15:0]	x 軸加速度センサーのオフセット補正、下位ワード、2 の補数、 $0g = 0x0000$ 、 $1\text{LSB} = K_A \div 2^{16}$ (表 44 参照)

表 126. XA\_BIAS\_HIGH レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x1E, 0x1F	0x0000	R/W	Yes

表 127. XA\_BIAS\_HIGH のビットの説明

ビット	説明
[15:0]	x 軸加速度センサーのオフセット補正、上位ワード、2 の補数、 $0g = 0x0000$ 、 $1\text{LSB} = K_A$ (表 44 参照)

## 加速度センサーのバイアス調整、YA\_BIAS\_LOW および YA\_BIAS\_HIGH

YA\_BIAS\_LOW レジスタ (表 128 および表 129 を参照) と YA\_BIAS\_HIGH レジスタ (表 130 および表 131 を参照) を組み合わせると、y 軸加速度センサーのバイアスを調整できます。表 45 のデジタル・フォーマット例は YA\_BIAS\_HIGH レジスタにも適用され、表 46 のデジタル・フォーマット例は、YA\_BIAS\_LOW と YA\_BIAS\_HIGH のレジスタを結合して得られる数値に適用されます。これらのレジスタは、XA\_BIAS\_LOW レジスタと XA\_BIAS\_HIGH レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、y 軸の加速度センサー測定値に影響を与えます (図 52 を参照)。

表 128. YA\_BIAS\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x20, 0x21	0x0000	R/W	Yes

表 129. YA\_BIAS\_LOW のビットの説明

ビット	説明
[15:0]	y 軸加速度センサーのオフセット補正、下位ワード、2 の補数、 $0g = 0x0000$ 、 $1\text{LSB} = K_A \div 2^{16}$ (表 44 参照)

表 130. YA\_BIAS\_HIGH レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x22, 0x23	0x0000	R/W	Yes

表 131. YA\_BIAS\_HIGH のビットの説明

ビット	説明
[15:0]	y 軸加速度センサーのオフセット補正、上位ワード、2 の補数、 $0g = 0x0000$ 、 $1\text{LSB} = K_A$ (表 44 参照)

## ユーザ・レジスタの定義

加速度センサーのバイアス調整、ZA\_BIAS\_LOW  
および ZA\_BIAS\_HIGH

ZA\_BIAS\_LOW レジスタ (表 132 および表 133 を参照) と ZA\_BIAS\_HIGH レジスタ (表 134 および表 135 を参照) を組み合わせると、z 軸加速度センサーのバイアスを調整できます。表 45 のデジタル・フォーマット例は ZA\_BIAS\_HIGH レジスタにも適用され、表 46 のデジタル・フォーマット例は、ZA\_BIAS\_LOW と ZA\_BIAS\_HIGH のレジスタを結合して得られる数値に適用されます。これらのレジスタは、XA\_BIAS\_LOW レジスタと XA\_BIAS\_HIGH レジスタが x 軸の加速度センサー測定値に影響を与えるのと同様に、z 軸の加速度センサー測定値に影響を与えません (図 52 を参照)。

表 132. ZA\_BIAS\_LOW レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x24, 0x25	0x0000	R/W	Yes

表 133. ZA\_BIAS\_LOW のビットの説明

ビット	説明
[15:0]	z 軸加速度センサーのオフセット補正、下位ワード、2 の補数、0g = 0x0000、1LSB = $K_A \div 2^{16}$ (表 44 参照)

表 134. ZA\_BIAS\_HIGH レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x26, 0x27	0x0000	R/W	Yes

表 135. ZA\_BIAS\_HIGH のビットの説明

ビット	説明
[15:0]	z 軸加速度センサーのオフセット補正、上位ワード、2 の補数、0g = 0x0000、1LSB = $K_A$ (表 44 参照)

## スクラッチ・レジスタ、USER\_SCR\_X

USER\_SCR\_1 (表 136 および表 137 を参照)、USER\_SCR\_2 (表 138 および表 139 を参照)、USER\_SCR\_3 (表 140 および表 141 を参照)、USER\_SCR\_4 (表 142 および表 143 を参照) の各レジスタにより、ユーザが情報を保存できる場所が 4 か所用意されます。

表 136. USER\_SCR\_1 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x74, 0x75	0x0000	R/W	Yes

表 137. USER\_SCR\_1 のビットの説明

ビット	説明
[15:0]	ユーザ定義

表 138. USER\_SCR\_2 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x76, 0x77	0x0000	R/W	Yes

表 139. USER\_SCR\_2 のビットの説明

ビット	説明
[15:0]	ユーザ定義

表 140. USER\_SCR\_3 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x78, 0x79	0x0000	R/W	Yes

表 141. USER\_SCR\_3 のビットの説明

ビット	説明
[15:0]	ユーザ定義

表 142. USER\_SCR\_4 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x7A, 0x7B	0x0000	R/W	Yes

表 143. USER\_SCR\_4 のビットの説明

ビット	説明
[15:0]	ユーザ定義

フラッシュ・メモリ書換え回数カウンタ、  
ENDURANCE\_LWR および ENDURANCE\_UPR

ENDURANCE\_LWR レジスタ (表 144 および表 145 を参照) と ENDURANCE\_UPR レジスタ (表 146 と表 147 を参照) は、組み合わせられて、フラッシュ・メモリの書込みサイクル数を記録する 32 ビット・バイナリ・カウンタを構成します。フラッシュ・メモリは、書込みサイクルに加えてサービス寿命も有限で、その長さはジャンクション温度に依存します。特定のジャンクション温度においてフラッシュ・メモリのデータ保持寿命を予測するための指標を、図 53 に示します。空気流や局所的な熱源がない通常の条件では、ジャンクション温度はケース温度より約 7°C 高い値です。

表 144. ENDURANCE\_LWR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x7C, 0x7D	Not applicable	R	Yes

表 145. ENDURANCE\_LWR のビットの説明

ビット	説明
[15:0]	フラッシュ・メモリ書込みカウンタ、下位ワード

表 146. ENDURANCE\_UPR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x02	0x7E, 0x7F	Not applicable	R	Yes

表 147. ENDURANCE\_UPR のビットの説明

ビット	説明
[15:0]	フラッシュ・メモリ書込みカウンタ、上位ワード

## ユーザ・レジスタの定義

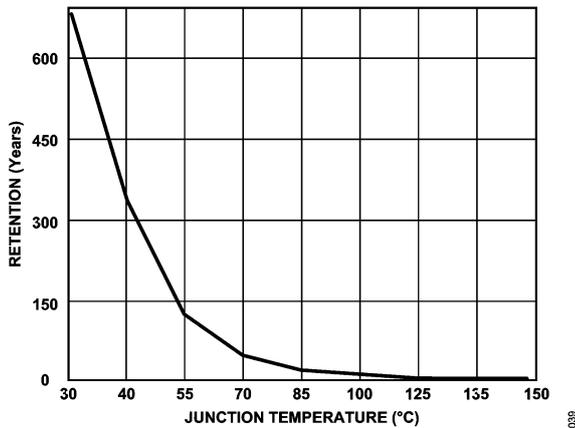


図 53. フラッシュ・メモリのデータ保持期間

## グローバル・コマンド、GLOB\_CMD

GLOB\_CMD レジスタ (表 148 および表 149 を参照) は、いくつかの動作のトリガ・ビットを出力します。特定の機能を開始するには、GLOB\_CMD の該当ビットに 1 を書き込んでください。

表 148. GLOB\_CMD レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x02, 0x03	Not applicable	W	No

表 149. GLOB\_CMD のビットの説明

ビット	説明
[15:8]	不使用
7	ソフトウェア・リセット
6	ユーザ・キャリブレーションをクリア
[5:4]	不使用
3	フラッシュ・メモリの更新
2	不使用
1	セルフ・テスト
0	バイアス補正の更新

## ソフトウェア・リセット

ADIS16545/ADIS16547 の動作のリセットを開始するには、ページをページ 3 に指定して (DIN = 0x8003)、GLOB\_CMD のビット 7 を 1 に設定します (DIN = 0x8280、次いで DIN = 0x8300)。このリセットは、すべてのデータを削除してすべてのレジスタをフラッシュ設定から初期化し、データのサンプリングと処理を再開します。この機能は、RST ピン (表 11 のピン 8 を参照) にロー・パルスを加える方法に代えて、ファームウェアを使用する方法を実行します。

## ユーザ・キャリブレーションをクリア

各加速度センサーおよびジャイロ・センサーのユーザ・バイアス/スケール調整をクリアするには、ページをページ 3 に設定して (DIN = 0x8003)、GLOB\_CMD のビット 6 を 1 に設定します (DIN = 0x8240、次いで DIN = 0x8300)。このコマンドは、PAGE\_ID レジスタと USER\_SCR\_x レジスタ (x = 1~4) を除くページ 2 のすべてのレジスタに、0x0000 を書き込みます。ただし、このコマンドは、フラッシュ・メモリに保存されたユーザ値は変更しません。

## フラッシュ・メモリの更新

手動によるフラッシュ更新を開始するには、ページをページ 3 に設定して (DIN = 0x8003) GLOB\_CMD のビット 3 を 1 に設定します (DIN = 0x8208、次いで DIN = 0x8300)。STATUS のビット 6 (表 23 参照) は、このプロセスが成功したか (0) 失敗したか (1) を示します。

## オンデマンド・セルフ・テスト (ODST)

ODST ルーチンを実行するには、ページをページ 3 に設定して (DIN = 0x8003)、GLOB\_CMD のビット 1 を 1 に設定します (DIN = 0x8202、次いで DIN = 0x8300)。デバイスが動いている最中に ODST を実行すると、誤って合格となることがあります。

ジャイロ・センサーの ODST ルーチンは次の手順で実行できます。

1. 各センサーの出力を測定します。
2. 各センサーの機械的素子に内力を働かせます。この力は、実際の慣性動作に対応する力をシミュレートします。
3. 各センサーの出力応答を測定します。
4. 各センサーにかかる内力を無効にします。
5. 力をかけた状態と通常動作状態 (力をかけていない状態) の差を計算します。
6. その差を内部合格基準または不合格基準と比較します。
7. 各センサーの合否結果を DIAG\_STS (表 25 参照) で、また、全体的な合否フラグを STATUS のビット 5 (表 23 参照) でレポートします。

加速度センサーの ODST ルーチンは次の手順で実行できます。

1. 各センサーの機械的素子に内力を働かせます。この力は、実際の慣性動作に対応する力をシミュレートします。
2. 各センサーの出力応答を測定します。
3. 各センサーの機械的素子に、より大きな 2 番目の内力を働かせます。
4. 各センサーの出力応答を測定します。
5. 2 つのスティミュラス間の差を計算し内部合格基準または不合格基準と比較します。
6. 各センサーの合否結果を DIAG\_STS (表 25 参照) で、また、全体的な合否フラグを STATUS のビット 5 (表 23 参照) でレポートします。

## バイアス補正の更新

連続バイアス予測 (CBE) の補正係数を使ってユーザ・オフセット・レジスタを更新するには、ページをページ 3 に設定して (DIN = 0x8003)、GLOB\_CMD のビット 0 を 1 に設定します (DIN = 0x8201、次いで DIN = 0x8300) (表 159 参照)。バイアス予測値をできるだけ正確なものとするには、平均時間全体を通じて慣性プラットフォームが安定するようにしてください。

ユーザ・レジスタの定義

補助入出力ラインの設定、FNCTIO\_CTRL

FNCTIO\_CTRL レジスタ (表 150 および表 151 を参照) は、各入出力ピン (DIO1、DIO2、DIO3、DIO4) の設定を制御します。各 DIOx ピンがサポートする機能は一度に 1 つだけです。1 つのピンに 2 つの機能が割り当てられている場合は、優先度の低い方のイネーブル・ビットが自動的にゼロにリセットされます (優先度の低い機能が無効化される)。優先順位は高い方から順に、データ・レディ、同期クロック入力、アラーム・インジケータ、汎用の順です。ADIS16545/ADIS16547 は、FNCTIO\_CTRL レジスタへの書込みコマンドを実行するのに、最大 20ms を要する場合があります。この間、レジスタの動作状態と内容が変わることはありませんが、SPI インターフェイスは通常の通信をサポートします (他のレジスタへのアクセスのため)。

表 150. FNCTIO\_CTRL レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x06, 0x07	0x000D	R/W	Yes

表 151. FNCTIO\_CTRL のビットの説明

ビット	説明
[15:13]	不使用
12	アラーム・インジケータ・イネーブル 1 = イネーブル 0 = ディスエーブル (デフォルト)
11	アラーム・インジケータの極性 1 = アクティブ・ハイ 0 = アクティブ・ロー (デフォルト)
[10:9]	アラーム・インジケータの選択 00 = DIO1 (デフォルト) 01 = DIO2 10 = DIO3 11 = DIO4
8	同期クロック・モード 1 = スケーリング同期モード 0 = 直接同期モード (デフォルト、外部同期入力周波数はサンプリング・レートと同じ)
7	同期クロック入力カインーブル 1 = イネーブル 0 = ディスエーブル (デフォルト)
6	同期クロック入力の極性 1 = 立上がりエッジ 0 = 立下がりエッジ (デフォルト)
[5:4]	同期クロック入力ラインの選択 00 = DIO1 (デフォルト) 01 = DIO2 10 = DIO3 11 = DIO4
3	データ・レディ・イネーブル 1 = イネーブル (デフォルト) 0 = ディスエーブル

表 151. FNCTIO\_CTRL のビットの説明 (続き)

ビット	説明
2	データ・レディの極性 1 = アクティブ・ハイ (デフォルト) 0 = アクティブ・ロー
[1:0]	データ・レディ・ラインの選択 00 = DIO1 01 = DIO2 (デフォルト) 10 = DIO3 11 = DIO4

データ・レディ・インジケータ

FNCTIO\_CTRL のビット[3:0]には、データ・レディ機能に関する 3 つの設定オプション (イネーブル/ディスエーブル、極性、使用する DIOx ライン) があります。この信号の主な目的は、組み込みプロセッサの割込み制御ラインを駆動し、データ収集を同期させてレイテンシを最小にすることです。工場でのデフォルト設定では DIO2 が正極性のデータ・レディ信号として割り当てられていますが、これは、DIO2 ラインがハイのときに出力レジスタ内のデータが有効になることを意味しています (図 35 参照)。この設定は、パルスがローからハイになるときにアクティブになる割込みサービス・ピンを DIO2 が駆動する場合に、うまく機能します。

この割り当てを負極性で DIO3 に変更するには、以下の手順に従ってください。

1. ページをページ 3 に設定します (DIN = 0x8003)。
2. FNCTIO\_CTRL のビット[3:0]を 1010 に設定します (DIN = 0x860A、次いで DIN = 0x8700)。

DIO1 を用いてデータ・レディ機能をサポートする場合、スタートアップ時にデータ・レディ信号にトランジェント・パルスが加わってから、ADIS16545/ADIS16547 がデータ生成を始めます。DIO1 をこの機能のために用いることが必要な場合は、これを遅延または他の制御メカニズムと共に使用し、スタートアップ・プロセスの間に不完全なデータ・アクイジション・アクティビティが生じるのを防止します。ADIS16545/ADIS16547 が信頼できるデータ出力を行うのに必要な時間については、[タイミング仕様](#)を参照してください。

入力同期およびクロック制御

FNCTIO\_CTRL のビット[8:4]は、DIOx ラインの 1 つを外部クロック信号として用いたり、慣性センサーのデータ収集と処理を制御したりするために、いくつかの設定オプションを備えています。例えば、DIO4 を同期モードで動作する正極性の入力クロック・ピンとして設定し、データ・レディ機能に関する工場デフォルト設定を維持するには、以下の手順に従ってください。

1. ページをページ 3 に設定します (DIN = 0x8003)。
2. FNCTIO\_CTRL のビット[7:0]を 0xFD に設定します (DIN = 0x86FD)。
3. FNCTIO\_CTRL のビット[15:8]を 0x00 に設定します (DIN = 0x8700)。

直接同期モードでは、ADIS16545/ADIS16547 は内部サンプル・クロックをディスエーブルし、外部クロック信号の周波数がデータ収集および処理のレート (図 29 および図 30 の f<sub>SM</sub> を参照) を定めます。スケーリング同期モード (FNCTIO\_CTRL のビット 8 = 1) を用いる場合は、データ収集および生成のレート (f<sub>SM</sub>) は、外部クロック周波数と UPSCALE レジスタ (表 161 参照) のスケール・ファクタ (K<sub>ECSF</sub>) の積に等しくなります。

ユーザ・レジスタの定義

汎用入出力制御、GPIO\_CTRL

FNCTIO\_CTRL で DIOx ピンの設定を行わない場合、GPIO\_CTRL レジスタ (表 152 および表 153 を参照) では、DIOx ピンを汎用利用するようユーザ制御できます。GPIO\_CTRL のビット[3:0]は、各ラインの入出力割り当てを制御します。DIOx ラインが入力の場合は、GPIO\_CTRL のビット[7:4]を読み出すことによって、そのレベルをモニタします。DIOx ラインを出力として使用する場合は、GPIO\_CTRL のビット[7:4]へ書込みを行うことによって、そのレベルを設定します。

例えば、DIO1 と DIO3 をそれぞれハイ出力ラインおよびロー出力ラインとして設定し、DIO2 と DIO4 を入力ラインとして設定するには、以下の手順に従います。

1. ページをページ 3 に設定します (DIN = 0x8003)。
2. GPIO\_CTRL のビット[7:0]を 0x15 に設定します (DIN = 0x8815、次いで DIN = 0x8900)。

表 152. GPIO\_CTRL のレジスタ定義<sup>1</sup>

Page	Addresses	Default	Access	Flash Backup
0x03	0x08, 0x09	0x00X0	R/W	Yes

<sup>1</sup> GPIO\_CTRL のビット[7:4]は DIOx ラインに関するロジック・レベルを反映するもので、デフォルト設定はありません。

表 153. GPIO\_CTRL のビットの定義<sup>1</sup>

ビット	説明
[15:8]	ドント・ケア
7	汎用入出力ライン 4 (DIO4) のデータ・レベル
6	汎用入出力ライン 3 (DIO3) のデータ・レベル
5	汎用入出力ライン 2 (DIO2) のデータ・レベル
4	汎用入出力ライン 1 (DIO1) のデータ・レベル
3	汎用入出力ライン 4 (DIO4) の方向制御 (1 = 出力、0 = 入力)
2	汎用入出力ライン 3 (DIO3) の方向制御 (1 = 出力、0 = 入力)
1	汎用入出力ライン 2 (DIO2) の方向制御 (1 = 出力、0 = 入力)
0	汎用入出力ライン 1 (DIO1) の方向制御 (1 = 出力、0 = 入力)

<sup>1</sup> GPIO\_CTRL のビット[7:4]は DIOx ラインに関するロジック・レベルを反映するもので、デフォルト設定はありません。

各種設定、CONFIG

CONFIG レジスタ (表 154 および表 155 を参照) には、バースト転送に含まれるデータや振動ポイントのアライメント (イネーブルおよびディスエーブル) の設定オプションがあります。

表 154. CONFIG レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x0A, 0x0B	0x0040	R/W	Yes

表 155. CONFIG のビットの説明

ビット	説明
[15:9]	不使用。
8	バースト読出し出力アレイ選択ビット (BURST_SEL)。このビットは、バースト読出しの一部である慣性出力のタイプを選択するために用います。BURST_SEL = 0 (デフォルト) の場合、出力には、キャリブレーション済みのジャイロ・センサー出力および加速度センサー出力が含まれます。BURST_SEL = 1 の場合、出力には、角度変化出力および速度変化出力が含まれます。両オプションに対するバースト・アレイのフォーマットの詳細については、バースト読出し機能のセクションを参照してください。バースト・アレイが指定のデータ・タイプで更新されるまで 1 データ・レディ・サイクル待つ必要があります。
7	不使用。0 に設定。
6	振動ポイント・アライメント。このビットをセットすると、パッケージ表面の共通振動ポイントに加速度センサーを再配置できます。 0 : ディスエーブル。 1 : イネーブル (デフォルト)。
[5:0]	不使用。このフィールドのビットにはすべて 0 を設定します。

振動ポイント

CONFIG のビット 6 には、加速度センサーを図 54 に示すパッケージのコーナにマップする、振動ポイント・アライメント機能があります。この機能を有効にするには、ページ 3 を選択して (DIN = 0x8003) CONFIG のビット 6 を 1 に設定します (DIN = 0x8A40、次いで DIN = 0x8B00)。

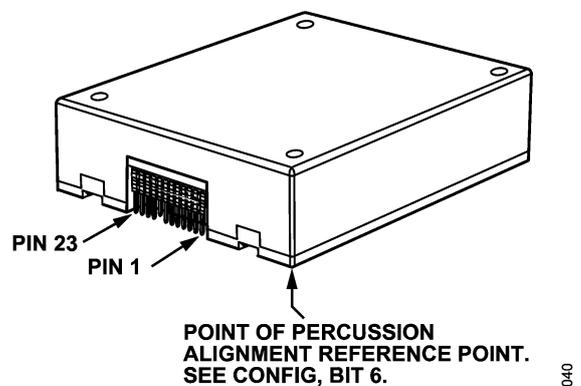


図 54. 振動ポイント基準点

ユーザ・レジスタの定義

デシメーション・フィルタ、DEC\_RATE

DEC\_RATE レジスタ (表 156 および表 157 を参照) は、最終フィルタ段 (図 32 参照) のユーザ制御を可能にします。このフィルタ段は、加速度センサーとジャイロ・センサーのデータの平均化とデシメーションを行う一方で、更新ごとの角度変化と速度変化を追跡する時間も延長します。出力サンプル・レートは  $4000 / (\text{DEC\_RATE} + 1)$  です。例えば、出力サンプル・レートを 40 分の 1 に下げるには、ページ 3 を選択して (DIN = 0x8003) DEC\_RATE = 0x27 に設定します (DIN = 0x8C27、次いで DIN = 0x8D00)。f<sub>SM</sub> がデフォルト値の 4000 であれば、この設定によりサンプル・レートが 100SPS (f<sub>SM</sub> ÷ 40) に低下します。

処理のオーバーフローを避けるため、デシメーション後のサンプル・レートが 1SPS 未満にならないようにする必要があります。

表 156. DEC\_RATE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x0C, 0x0D	0x0000	R/W	Yes

表 157. DEC\_RATE のビットの説明

ビット	説明
[15:11]	ドント・ケア
[10:0]	デシメーション・レート、バイナリ形式、最大値 = 3999

連続バイアス予測 (CBE)、NULL\_CNFG

NULL\_CNFG レジスタ (表 158 および表 159 を参照) は、GLOB\_CMD のビット 0 (表 149 を参照) のバイアス補正更新コマンドに関連付けられた CBE の設定を制御します。NULL\_CNFG のビット[3:0]はバイアス予測のための合計平均時間 (t<sub>A</sub>) を設定し、NULL\_CNFG のビット[13:8]は各センサーのオン/オフを制御します。NULL\_CNFG の工場デフォルト設定では、ジャイロ・センサー用のバイアス・ヌル・コマンドをイネーブルし、加速度センサー用のバイアス・ヌル・コマンドをディスエーブルして、t<sub>A</sub> を約 15.42 秒に設定しています (f<sub>SM</sub> = 4000SPS と仮定)。CBE の時間計算は f<sub>SM</sub> に比例する点に注意してください。タイム・ベース (t<sub>B</sub>) および t<sub>A</sub> を計算するには、次の式を用います。

$$t_B = 2TBC / f_{SM} = 210 / f_{SM} \approx 0.241 \text{ (} f_{SM} = 4000\text{SPS と仮定)}$$

$$t_A = 64 \times t_B = 64 \times 0.241 = 15.42 \text{ 秒}$$

NULL\_CNFG のセンサー・ビットがアクティブ (= 1) の場合は、GLOB\_CMD のビット 0 を 1 に設定すると (DIN シーケンス: 0x8003、0x8201、0x8300)、各軸の対応するバイアス補正レジスタは、各軸のバイアス誤差に対して補正された値に自動的に更新されます。これらの補正係数は CBE 計算に基づきます。

例えば、NULL\_CNFG のビット 8 を 1 に設定すると、XG\_BIAS\_LOW レジスタ (表 113 参照) と XG\_BIAS\_HIGH レジスタ (表 115 参照) を更新できます。

表 158. NULL\_CNFG レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x0E, 0x0F	0x070A	R/W	Yes

表 159. NULL\_CNFG のビットの説明

ビット	説明
[15:14]	不使用
13	z 軸加速度バイアス補正イネーブル (1 = イネーブル)
12	y 軸加速度バイアス補正イネーブル (1 = イネーブル)
11	x 軸加速度バイアス補正イネーブル (1 = イネーブル)
10	z 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
9	y 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
8	x 軸ジャイロ・センサー・バイアス補正イネーブル (1 = イネーブル)
[7:4]	不使用
[3:0]	タイム・ベース制御 (TBC) 範囲: 0~13 (デフォルト = 10)、t <sub>B</sub> = 2 <sup>TBC</sup> /f <sub>SM</sub> (タイム・ベース)、t <sub>A</sub> = 64 × t <sub>B</sub> (平均時間)

入力クロックのスケール (スケール同期モード)、UPSCALE

スケール同期モード (FNCTIO\_CTRL のビット 8 = 1、表 151 参照) では、慣性センサーのデータ・サンプル・レートより低速の入力同期周波数を使用できます。このモードは、入力同期モードの 1Hz~128Hz の周波数範囲に対応します。このモードでは、データ・サンプル・レートは、UPSCALE レジスタ (表 160 および表 161 を参照) の値と入力同期周波数の積となります。

例えば、外部クロック入力として DIO3 ラインに 1Hz の信号を用い、データ・レディ信号に工場デフォルト設定値を保持した場合、次のコマンド・シーケンスにより、データ収集と処理のレート (図 29 および図 30 の f<sub>SM</sub> を参照) が 4000Hz (UPSCALE = 0x0FA0) に設定されます。

1. ページ 3 を指定します (DIN = 0x8003)。
2. UPSCALE のビット[7:0]を 0xA0 に設定します (DIN = 0x90A0)。
3. UPSCALE のビット[15:8]を 0x0F に設定します (DIN = 0x910F)。
4. FNCTIO\_CTRL のビット[7:0]を 0xED に設定します (DIN = 0x86ED)。
5. FNCTIO\_CTRL のビット[15:8]を 0x01 に設定します (DIN = 0x8701)。

表 160. UPSCALE レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x10, 0x11	0x0FA0	R/W	Yes

表 161. UPSCALE のビットの説明

ビット	説明
[15:0]	外部クロックのスケール・ファクタ (K <sub>ECSF</sub> )、バイナリ・フォーマット

ユーザ・レジスタの定義

測定レンジ識別子、RANGE\_MDL

RANGE\_MDL レジスタ (表 162 および表 163 を参照) は、ADIS16545/ADIS16547 のモデル (およびジャイロ・センサーの測定レンジ) を識別するための便利な方法を提供します。

表 162. RANGE\_MDL レジスタの定義<sup>1</sup>

Page	Addresses	Default	Access	Flash Backup
0x03	0x12, 0x13	N/A	R	Yes

<sup>1</sup> N/A は該当なしを意味します。

表 163. RANGE\_MDL のビットの説明

ビット	説明	レンジ
[15:3]	不使用	
[3:0]	0011 = ADIS16545-1AMLZ および ADIS16547-1AMLZ 0111 = ADIS16545-2AMLZ および ADIS16547-2AMLZ 1111 = ADIS16545-3AMLZ および ADIS16547-3AMLZ	±125°/sec ±450°/sec ±2000°/sec

FIR フィルタ

FIR フィルタ制御、FILTR\_BNK\_0 および FILTR\_BNK\_1

FILTR\_BNK\_0 レジスタ (表 164 および表 165 を参照) と FILTR\_BNK\_1 レジスタ (表 166 および表 167 を参照) は、各センサーのシグナル・チェーン内にある FIR フィルタ・バンクの設定を制御します (図 32 参照)。これらのレジスタは、各慣性センサー用の FIR バンクと、各センサーが使用する FIR バンク (A、B、C、D) のオン/オフ制御を行います。

表 164. FILTR\_BNK\_0 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x16, 0x17	0x0000	R/W	Yes

表 165. FILTR\_BNK\_0 のビットの説明

ビット	説明 (デフォルト = 0x0000)
15	ドント・ケア
14	y 軸加速度センサー・フィルタ・イネーブル (1 = イネーブル)
[13:12]	y 軸加速度センサー・フィルタ・バンクの選択 00 = バンク A 01 = バンク B 10 = バンク C 11 = バンク D
11	x 軸加速度センサー・フィルタ・イネーブル (1 = イネーブル)
[10:9]	x 軸加速度センサー・フィルタ・バンクの選択: 00 = バンク A 01 = バンク B 10 = バンク C 11 = バンク D
8	z 軸ジャイロ・センサー・フィルタ・イネーブル (1 = イネーブル)
[7:6]	z 軸ジャイロ・センサー・フィルタ・バンクの選択: 00 = バンク A 01 = バンク B

表 165. FILTR\_BNK\_0 のビットの説明 (続き)

ビット	説明 (デフォルト = 0x0000)
	10 = バンク C 11 = バンク D
5	y 軸ジャイロ・センサー・フィルタ・イネーブル (1 = イネーブル)
[4:3]	y 軸ジャイロ・センサー・フィルタ・バンクの選択: 00 = バンク A 01 = バンク B 10 = バンク C 11 = バンク D
2	x 軸ジャイロ・センサー・フィルタ・イネーブル (1 = イネーブル)
[1:0]	x 軸ジャイロ・センサー・フィルタ・バンクの選択 00 = バンク A 01 = バンク B 10 = バンク C 11 = バンク D

表 166. FILTR\_BNK\_1 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x18, 0x19	0x0000	R/W	Yes

表 167. FILTR\_BNK\_1 のビットの説明

ビット	説明
[15:3]	ドント・ケア
2	z 軸加速度センサー・フィルタ・イネーブル (1 = イネーブル)
[1:0]	z 軸加速度センサー・フィルタ・バンクの選択: 00 = バンク A 01 = バンク B 10 = バンク C 11 = バンク D

FIR フィルタ・バンクのメモリ・マップ

ADIS16545/ADIS16547には4つのFIRフィルタ・バンクがあり、FILTR\_BNK\_0 レジスタ (表 165 参照) と FILTR\_BNK\_1 レジスタ (表 167 参照) を使い、個々の慣性センサーに合わせて設定と選択を行うことができます。各 FIR フィルタ・バンク (A、B、C、D) には 120 個のタップがあり、2 ページのメモリを消費します。各フィルタ・バンク内の各タップに対応する係数には、16 ビットの 2 の補数フォーマットを使用する専用のレジスタがあります。すべての係数の合計が 32,768 の場合の FIR フィルタのゲインは 1 です。必要タップ数が 120 未満のフィルタ設計では、特定タップに関わる遅延をなくすために、すべての未使用レジスタに 0x0000 を書き込みます。

FIR フィルタ・バンク A、FIR\_COEF\_A000~FIR\_COEF\_A119

表 168. FIR フィルタ・バンク A のメモリ・マップ

Page	PAGE_ID	Addresses	Register
5	0x05	0x00, 0x01	PAGE_ID
5	0x05	0x02 to 0x07	Not used
5	0x05	0x08, 0x09	FIR_COEF_A000
5	0x05	0x0A, 0x0B	FIR_COEF_A001

ユーザ・レジスタの定義

表 168. FIR フィルタ・バンク A のメモリ・マップ (続き)

Page	PAGE_ID	Addresses	Register
5	0x05	0x0C to 0x7D	FIR_COEF_A002 to FIR_COEF_A058
5	0x05	0x7E, 0x07F	FIR_COEF_A059
6	0x06	0x00, 0x01	PAGE_ID
6	0x06	0x02 to 0x07	Not used
6	0x06	0x08, 0x09	FIR_COEF_A060
6	0x06	0x0A, 0x0B	FIR_COEF_A061
6	0x06	0x0C to 0x7D	FIR_COEF_A062 to FIR_COEF_A118
6	0x06	0x7E, 0x7F	FIR_COEF_A119

バンク A の FIR 係数レジスタの 1 つである FIR\_COEF\_A071 の詳細なレジスタ定義とビット説明を、表 169 と表 170 に示します。また、このレジスタを 10 進法の -169 (0xFF57) に設定する例を表 171 に示します。

表 169. FIR\_COEF\_A071 レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x06	0x1E, 0x1F	Not applicable	R/W	Yes

表 170. FIR\_COEF\_A071 のビットの説明

ビット	説明
[15:0]	FIR バンク A、係数 71、2 の補数

表 171. FIR 係数の設定例

DIN Command	Description
0x8006	Turn to Page 6
0x9E57	FIR_COEF_A071, Bits[7:0] = 0x57
0x9FFF	FIR_COEF_A071, Bits[15:8] = 0xFF

FIR フィルタ・バンク B、FIR\_COEF\_B000~FIR\_COEF\_B119

表 172. フィルタ・バンク B のメモリ・マップ

Page	PAGE_ID	Addresses	Register
7	0x07	0x00, 0x01	PAGE_ID
7	0x07	0x02 to 0x07	Not used
7	0x07	0x08, 0x09	FIR_COEF_B000
7	0x07	0x0A, 0x0B	FIR_COEF_B001
7	0x07	0x0C to 0x7D	FIR_COEF_B002 to FIR_COEF_B058
7	0x07	0x7E, 0x07F	FIR_COEF_B059
8	0x08	0x00, 0x01	PAGE_ID
8	0x08	0x02 to 0x07	Not used
8	0x08	0x08, 0x09	FIR_COEF_B060
8	0x08	0x0A, 0x0B	FIR_COEF_B061
8	0x08	0x0C to 0x7D	FIR_COEF_B062 to FIR_COEF_B118
8	0x08	0x7E, 0x7F	FIR_COEF_B119

FIR フィルタ・バンク C、FIR\_COEF\_C000~FIR\_COEF\_C119

表 173. フィルタ・バンク C のメモリ・マップ

Page	PAGE_ID	Addresses	Register
9	0x09	0x00, 0x01	PAGE_ID
9	0x09	0x02 to 0x07	Not used
9	0x09	0x08, 0x09	FIR_COEF_C000
9	0x09	0x0A, 0x0B	FIR_COEF_C001
9	0x09	0x0C to 0x7D	FIR_COEF_C002 to FIR_COEF_C058
9	0x09	0x7E, 0x07F	FIR_COEF_C059
10	0x0A	0x00, 0x01	PAGE_ID
10	0x0A	0x02 to 0x07	Not used
10	0x0A	0x08, 0x09	FIR_COEF_C060
10	0x0A	0x0A, 0x0B	FIR_COEF_C061
10	0x0A	0x0C to 0x7D	FIR_COEF_C062 to FIR_COEF_C118
10	0x0A	0x7E, 0x7F	FIR_COEF_C119

FIR フィルタ・バンク D、FIR\_COEF\_D000~FIR\_COEF\_D119

表 174. フィルタ・バンク D のメモリ・マップ

Page	PAGE_ID	Addresses	Register
11	0x0B	0x00, 0x01	PAGE_ID
11	0x0B	0x02 to 0x07	Not used
11	0x0B	0x08, 0x09	FIR_COEF_D000
11	0x0B	0x0A, 0x0B	FIR_COEF_D001
11	0x0B	0x0C to 0x7D	FIR_COEF_D002 to FIR_COEF_D058
11	0x0B	0x7E, 0x07F	FIR_COEF_D059
12	0x0C	0x00, 0x01	PAGE_ID
12	0x0C	0x02 to 0x07	Not used
12	0x0C	0x08, 0x09	FIR_COEF_D060
12	0x0C	0x0A, 0x0B	FIR_COEF_D061
12	0x0C	0x0C to 0x7D	FIR_COEF_D062 to FIR_COEF_D118
12	0x0C	0x7E, 0x7F	FIR_COEF_D119

デフォルト・フィルタの性能

FIR フィルタ・バンクのフィルタ設計は工場プログラムされたもので、すべて LPF で構成され、DC ゲインは 1 です。各フィルタ設計の概要を表 175 に、周波数応答特性を図 55 に示します。位相遅延は、合計タップ数の 1/2 です。

表 175. デフォルト構成の FIR フィルタの説明

FIR Filter Bank	Taps	-3 dB Frequency (Hz)
A	120	300
B	120	100
C	32	300

ユーザ・レジスタの定義

表 175. デフォルト構成の FIR フィルタの概要 (続き)

FIR Filter Bank	Taps	-3 dB Frequency (Hz)
D	32	100

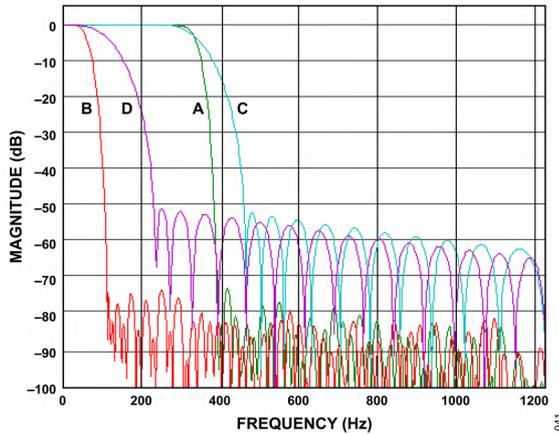


図 55. FIR フィルタの周波数応答曲線

ファームウェア・リビジョン、FIRM\_REV

FIRM\_REV レジスタ (表 176 および表 177 を参照) は、内部プロセッサのファームウェア・リビジョンを示します。各ニプルはリビジョン・コードの桁の数字を表します。例えば FIRM\_REV = 0x0102 の場合、ファームウェアのリビジョンは 1.02 です。

表 176. FIRM\_REV レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x78, 0x79	Not applicable	R	Yes

表 177. FIRM\_REV のビットの説明

ビット	説明
[15:12]	ファームウェア・リビジョンの BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[11:8]	ファームウェア・リビジョンの BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[7:4]	ファームウェア・リビジョンの BCD コード、小数第 1 位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[3:0]	ファームウェア・リビジョンの BCD コード、小数第 2 位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9

ファームウェア・リビジョンの月と日付、FIRM\_DM

FIRM\_DM レジスタ (表 176 および表 177 を参照) には、工場設定日を表す月と日付が格納されます。FIRM\_DM レジスタのビット[15:12]とビット[11:8]には、工場設定月を表す数値が 2 進化 10 進数 (BCD) フォーマットで格納されます。例えば、11 月は 1 年で 11 番目の月であり、FIRM\_DM レジスタのビット[15:8] = 0x11 で表されます。FIRM\_DM レジスタのビット[7:4]とビット[3:0]には、工場設定日を表す数値が BCD フォーマットで格納されます。例えば、27 日は FIRM\_DM レジスタのビット[7:0] = 0x27 で表されます。

表 178. FIRM\_DM レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x7A, 0x7B	Not applicable	R	Yes

表 179. FIRM\_DM のビットの説明

ビット	説明
[15:12]	工場設定月の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~2
[11:8]	工場設定月の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[7:4]	工場設定日の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~3
[3:0]	工場設定日の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9

ファームウェア・リビジョンの年、FIRM\_Y

FIRM\_Y レジスタ (表 180 および表 181 を参照) には、工場設定日の西暦年が格納されます。例えば、2023 年は FIRM\_Y = 0x2023 で表されます。

表 180. FIRM\_Y レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x7C, 0x7D	Not applicable	R	Yes

表 181. FIRM\_Y のビットの説明

ビット	説明
[15:12]	工場設定年の BCD コード、1000 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[11:8]	工場設定年の BCD コード、100 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9
[7:4]	工場設定年の BCD コード、10 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~3
[3:0]	工場設定年の BCD コード、1 の位、数値フォーマット = 4 ビット・バイナリ、範囲 = 0~9

ブート・リビジョン番号、BOOT\_REV

BOOT\_REV レジスタ (表 182 および表 183 を参照) には、ADIS16545/ADIS16547 のプロセッサ・コアにあるブート・コードのリビジョンが格納されます。

表 182. BOOT\_REV レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x03	0x7E, 0x7F	Not applicable	R	Yes

表 183. BOOT\_REV のビットの説明

ビット	説明
[15:8]	バイナリ、上位リビジョン番号
[7:0]	バイナリ、下位リビジョン番号

連続 SRAM テスト

このデバイスは、プログラム・コード (CODE\_SIG\_xxx) とキャリブレーション係数 (CAL\_DRV\_xxx) を含む SRAM メモリ・ブロックで巡回冗長検査 (CRC) 機能を使用しています。

## ユーザ・レジスタの定義

このプロセスはバックグラウンドで行われ、プログラム・コードとキャリブレーション係数の各々に対し 32 ビット CRC 値をリアルタイムで生成します。各サイクルの終了時に、プロセッサは、これらの計算値を CAL\_DRV\_xxx レジスタおよび CODE\_DRV\_xxx レジスタ（表 189、表 191、表 197、表 199 を参照）に書き込み、それらの値をこれらのメモリ位置の工場設定時の状態を反映したシグネチャ値と比較します。計算結果がシグネチャ値に一致しない場合は、STATUS のビット 2 が 1 に増加します。各シグネチャ値は、CAL\_SIG\_xxx レジスタおよび CODE\_SIG\_xxx レジスタを介してユーザ・アクセス可能です（表 185、表 187、表 193、表 195 を参照）。STATUS のビット 2 が 0 レベルを維持するためには次の条件を満たす必要があります。

- ▶ CAL\_SIG\_LWR = CAL\_DRV\_LWR
- ▶ CAL\_SIG\_UPR = CAL\_DRV\_UPR
- ▶ CODE\_SIG\_LWR = CODE\_DRV\_LWR
- ▶ CODE\_SIG\_UPR = CODE\_DRV\_UPR

## シグネチャ CRC、キャリブレーション値、CAL\_SIG\_LWR

表 184. CAL\_SIG\_LWR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x04, 0x05	Not applicable	R	Yes

表 185. CAL\_SIG\_LWR のビットの説明

ビット	説明
[15:0]	キャリブレーション係数の工場設定 CRC 値、下位ワード

## シグネチャ CRC、キャリブレーション値、CAL\_SIG\_UPR

表 186. CAL\_SIG\_UPR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x06, 0x07	Not applicable	R	Yes

表 187. CAL\_SIG\_UPR のビットの説明

ビット	説明
[15:0]	キャリブレーション係数の工場設定 CRC 値、上位ワード

## 導出 CRC、キャリブレーション値、CAL\_DRV\_LWR

表 188. CAL\_DRV\_LWR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x08, 0x09	Not applicable	R	No

表 189. CAL\_DRV\_LWR のビットの説明

ビット	説明
[15:0]	キャリブレーション係数について計算した CRC 値、下位ワード

## 導出 CRC、キャリブレーション値、CAL\_DRV\_UPR

表 190. CAL\_DRV\_UPR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x0A, 0x0B	Not applicable	R	No

表 191. CAL\_DRV\_UPR のビットの説明

ビット	説明
[15:0]	キャリブレーション係数について計算した CRC 値、上位ワード

## シグネチャ CRC、プログラム・コード、CODE\_SIG\_LWR

表 192. CODE\_SIG\_LWR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x0C, 0x0D	Not applicable	R	Yes

表 193. CODE\_SIG\_LWR のビットの説明

ビット	説明
[15:0]	プログラム・コードの工場設定 CRC 値、下位ワード

## シグネチャ CRC、プログラム・コード、CODE\_SIG\_UPR

表 194. CODE\_SIG\_UPR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x0E, 0x0F	Not applicable	R	Yes

表 195. CODE\_SIG\_UPR のビット定義

ビット	説明
[15:0]	プログラム・コードの工場設定 CRC 値、上位ワード

## 導出 CRC、プログラム・コード、CODE\_DRV\_LWR

表 196. CODE\_DRV\_LWR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x10, 0x11	Not applicable	R	No

表 197. CODE\_DRV\_LWR のビットの説明

ビット	説明
[15:0]	プログラム・コードについて計算した CRC 値、下位ワード

## 導出 CRC、プログラム・コード、CODE\_DRV\_UPR

表 198. CODE\_DRV\_UPR レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x12, 0x13	Not applicable	R	No

表 199. CODE\_DRV\_UPR のビットの説明

ビット	説明
[15:0]	プログラム・コードについて計算した CRC 値、上位ワード

## ユーザ・レジスタの定義

### ロット固有シリアル番号、SERIAL\_NUM

表 200. SERIAL\_NUM レジスタの定義

Page	Addresses	Default	Access	Flash Backup
0x04	0x20, 0x21	Not applicable	R	Yes

表 201. SERIAL\_NUM のビットの説明

ビット	説明
[15:0]	ロット固有のシリアル番号

アプリケーション情報

インターフェイスの機械的設計

最適な性能を得るために、ADIS16545/ADIS16547 をシステムに組み込む場合は、以下のガイドラインに従ってください。

- ▶ 電気コネクタには直線方向の力 (図 46 の x 軸および y 軸方向) が加からないようにしてください。
- ▶ 取付け力は、四隅に均等にかかるようにしてください。推奨トルク設定は 40 インチオンス (0.285Nm) です。
- ▶ ADIS16545/ADIS16547 を接続用コネクタで PCB に取り付ける場合には (図 56 参照)、パススルー・ホールの直径を 2.85mm 以上としてください。

これらのガイドラインにより、パッケージを歪ませてセンサーにバイアス誤差を発生させるおそれがある不規則な荷重状態を防止することができます。取付け穴とコネクタ・アライメント・ピンのドリル位置の詳細を図 56 と図 57 に示します。

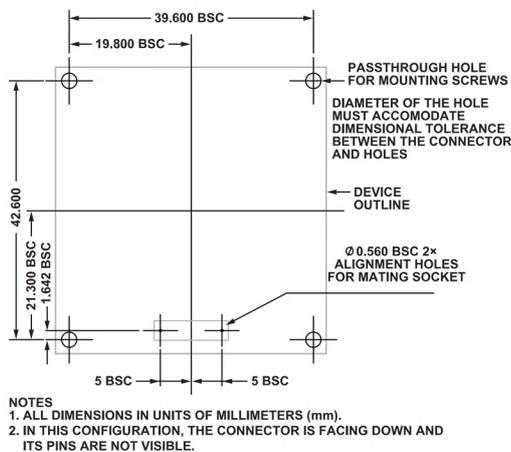


図 56. 推奨 PCB レイアウト・パターン (コネクタ下向き)

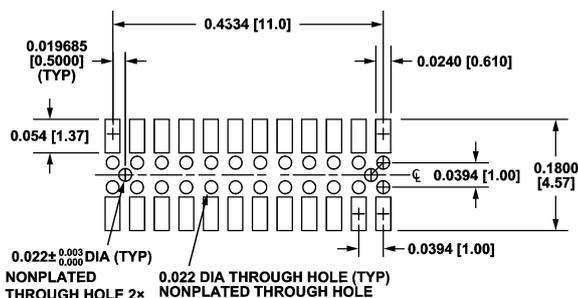


図 57. Samtec CLM-112-02-G-D-A を接続用コネクタに使用する場合の推奨レイアウトと機械的設計

誤挿入の防止

ADIS16545/ADIS16547 のコネクタは、ADIS16485 と同じパターンですが、12 番ピンと 15 番ピンがありません。このピン配置により、接続コネクタがこれらの穴に差し込まれるため、ADIS16545/ADIS16547 への誤挿入を防止できます。Samtec は、このタイプの接続ソケットを備えたカスタム部品、ASP-193371-04 を提供しています。

Samtec CLM-112-02 またはこれと同等のものも使用できますが、12 番ピンと 15 番ピンには差し込みが行われません。これらのピンに差し込むコネクタ (ASP-193371-04 など) の方が、誤挿入の防止機能がいため、こちらを使用することを推奨します。

評価用ツール

ブレイクアウト・ボード、ADIS16IMU1/PCBZ

ADIS16IMU1/PCBZ (別売り) には、ADIS16545/ADIS16547 用のブレイクアウト・ボード機能があります。これにより、標準の 1mm リボン・ケーブルに対応した大型のコネクタを通じて、ADIS16545/ADIS16547 にアクセスできるようになります。また、このボードは、ADIS16545/ADIS16547 をブレイクアウト・ボードに取り付けるための 4 個の取付け穴も備えています。

EVAL-ADIS-FX3 を用いた PC ベースの評価

ADIS16IMU1/PCBZ ブレイクアウト・ボードの J1 は、ADIS16545/ADIS16547 と組み込みプロセッシング・システムの手早いプロトタイプ接続をサポートすることに加えて、EVAL-ADIS-FX3 評価用システムの P3 との直接接続が可能です。

EVAL-ADIS-FX3 は、Windows® ベース・システム向けの完全にオープン・ソースの評価用プラットフォームです。FX3 のアプリケーション・プログラミング・インターフェイス (API) は、複雑な USB トランザクションをすべて管理し、カスタム・アプリケーションのデータに対して高速で高性能なキャプチャを開始するために必要なツールをすべて備えています。この .NET 対応 API は、VB.NET および C# で書かれており、慣性センサーのデータを最大データ・レートで確実にキャプチャできるよう調整された、データ・ストリーミング機能を備えています。また、この API は、すべてドキュメント化、オープン・ソース化されており、MIT のライセンスの下でライセンス供与されています。更に、この API にはラッパー・ライブラリがあり、これによって、.NET 対応の任意の開発環境 (MATLAB、LabVIEW、Python など) で同じ API を使用できます。

電源に関する考慮事項

VDD 電源は、最初のランプおよびセットリング・プロセスにおいて、24µF の容量 (VDD ピンから GND ピンに至る ADIS16545/ADIS16547 内部) を充電しなければなりません。VDD が 2.85V に達すると ADIS16545/ADIS16547 はその内部スタートアップ・プロセスを開始し、そのために更に過渡電流の必要性が生じます。スタートアップ・プロセス時の代表的な電流プロファイルを図 58 に示します。図 58 の最初のピークは 24µF のコンデンサ・バンク充電に関係するもので、それ以外のトランジェント動作は、ADIS16545/ADIS16547 の初期化プロセス中にオンになる多数の機能に関係するものです。

## アプリケーション情報

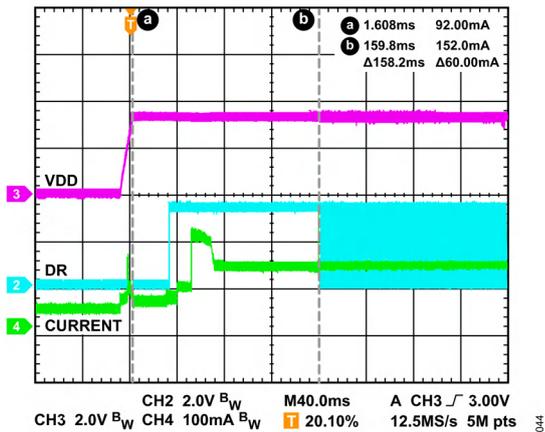


図 58. スタートアップ時の過度電流要求  
(DR はデータ・レディの意味)

## バースト読出しコード例

次のコード例は、ADIS16545/ADIS16547 のバースト読出し機能を実行する方法を示します。

```
unsigned char test_burst(void)
{
    unsigned short i;
    unsigned short start_index = 1; unsigned
    char burst_id; unsigned short
    buffer[20]; unsigned long crc,
    crc_dut;

    /* バースト読出し、34 バイトの読出し*/
    /* プラス、読出しコマンド用に 2 バイト */
    /* プラス、レシーバ応答遅延用に 2 バイト */
    /* プラス、burst_id (0xA5A5) 用に 2 バイト*/
    /* burst_id=0xA5A5 (加速度センサー/ジャイロ・センサー) */
    /* burst_id=0xC3C3 (角度変化/速度変化) */
    spi_read(0x7C, 0x00, 40, buffer);
```

## CRC-32 のコード例

CRC-32 エラー・チェックの計算例を以下に示します。

主な出力の 32 ビット CRC は、バースト・モードおよびノーマル・モードで提供されます。CRC\_LWR レジスタと CRC\_UPR レジスタには、通常 (非バースト) の転送に対する CRC-32 の計算結果が格納されます。

CRC は出力がバースト読出しリストで発生するため、下位バイトから上位バイトの順に計算されます。BURST\_ID (0xA5A5 または 0xC3C3) は CRC のシーケンスには含まれない点に注意してください。CRC を計算する場合、BURST\_ID の次のデータの 下位バイトから開始する必要があります。

32 ビット CRC はまず 0xFFFFFFFF で初期化され、次いでワードごとに CRC 計算が行われます。最後に、CRC と 0xFFFFFFFF の排他的論理和がとられます。

```
/* burst_id フラグをクリア*/ burst_id
= 0;
/* 各 16 ビット・ワードを通じたループ*/
/* および最後の burst_id の検索 */ for(i = 0; i
< 20; i++)
{
    /* 最初の burst_id を検出しそれをフラグ */
    if(buffer[i]==0xA5A5 && burst_id==0)
    {
        burst_id = 1;
    }
    /* 最初のデータを検出 (つまり、検出した*/
    /* burst_id と、値が A5A5 に */
    /* 等しくない最初のデータ*/ if(buffer[i]!=0xA5A5 &&
burst_id==1)
    {
        start_index = i;burst_id = 2;
    }
}

/* --- CRC を計算--- */
/* CRC の初期化*/ crc =
0xFFFFFFFFFu;

/* STATUS - TIME_STAMP の */
/* 下位バイト-上位バイトの順に CRC を計算*/ crc =
crc32_block(crc, &buffer[start_index], 15);

/* IEEE-802.3 に従う最終演算*/ crc ^=
0xFFFFFFFFFu;

/* 検査対象の CRC を取得*/
crc_dut = (buffer[start_index+16] << 16)
+ buffer[start_index+15]; return
(crc_dut == crc);
}
```

```
/* CRC の初期化*/ crc =
0xFFFFFFFFFu;
/* BurstID, STATUS, TIME_STAMP の */
/* 0-14 から始まる上位バイト-下位バイト*/
/* の順に CRC を計算*/
crc = crc32_block(crc, DATA, 15);
/* IEEE-802.3 に従う最終演算*/ crc ^=
0xFFFFFFFFFu;
```

crc32\_block 関数は、16 ビットのアレイを要し、下位バイトから上位バイトの順にバイトごとに CRC を計算します。

```
unsigned long crc32_block(unsigned long crc, const
unsigned short data[], in )
{
    unsigned long long_c;
```

## アプリケーション情報

```
int i;
/* メモリ内のサイクル*/ for ( i=0;
i<n; i++ )
{
    /* 下位バイトを取得*/ long_c =
0x000000ff & (unsigned
long)data[i];
    /* CRCで処理*/
    crc = ((crc>>8) & 0x00ffffff) ^
    crc_tab32[(crc^long_c)&0xff];
    /* 上位バイトを取得*/ long_c =
(0x000000ff &
((unsigned long)data[i]>>8));
    /* CRCで処理 */
    crc = ((crc>>8) & 0x00ffffff) ^
    crc_tab32[(crc^long_c)&0xff];
}
return crc;
}
```

データ・サンプルに対するCRC-32の計算例については、[巡回冗長検査 \(CRC-32\)](#) のセクションを参照してください。

CRC テーブル (crc\_tab32) は以下の関数で計算されます。

```
void init_crc32_table(void)
{
    unsigned long P_32; int i,
j;
    unsigned long crc;
    /* IEEE-802.3 CRC32 多項式 */ P_32 =
0xEDB88320
    /* 8ビットはテーブルに256のエントリが必要 */ for
(i=0; i<256; i++)
    {
        /* テーブルのエントリ数から開始*/ crc = (unsigned
long) i;
        /* エントリ数の全ビットを処理*/ for (j=0; j<8;
j++)
        {
            /* LSBit セット? */
            if ((crc&(unsigned long)
0x00000001)!=(unsigned long)0)
            {
                /* ビット・セットの処理*/ crc =
(crc>>1) ^ P_32;
            }
            else
            {
                /* ビット・クリアの処理 */ crc =
(crc>>1);
            }
        }
        /* 計算値をテーブルに保存*/ crc_tab32[i] = crc;
    }
}
```

外形寸法

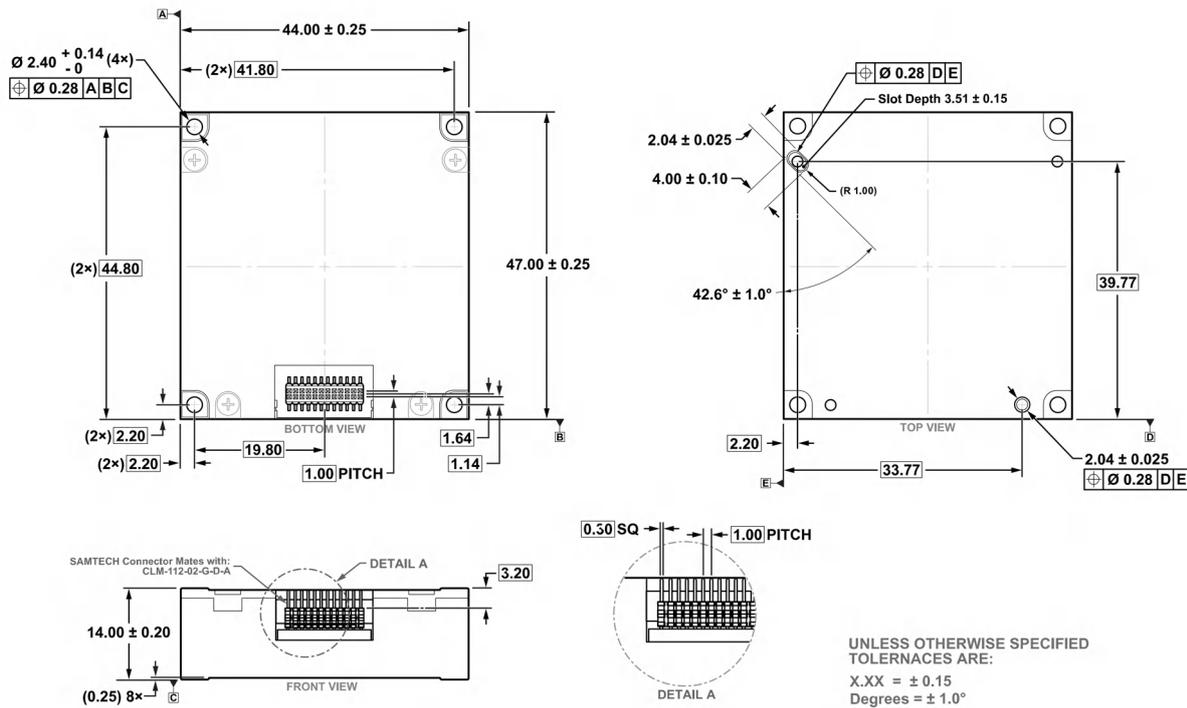


図 118. コネクタ・インターフェイス付き 24 ピン・モジュール [MODULE] (ML-24-9)  
単位：mm

更新：2024年1月11日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADIS16545-1BMLZ	-40°C to +105°C	24-Lead Module with Connector Interface	ML-24-9
ADIS16545-2BMLZ	-40°C to +105°C	24-Lead Module with Connector Interface	ML-24-9
ADIS16545-3BMLZ	-40°C to +105°C	24-Lead Module with Connector Interface	ML-24-9
ADIS16547-1BMLZ	-40°C to +105°C	24-Lead Module with Connector Interface	ML-24-9
ADIS16547-2BMLZ	-40°C to +105°C	24-Lead Module with Connector Interface	ML-24-9
ADIS16547-3BMLZ	-40°C to +105°C	24-Lead Module with Connector Interface	ML-24-9

<sup>1</sup> Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2024年3月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2024年3月19日

製品名：ADIS16545/ADIS16547

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：32頁、右の段、表95のタイトル

【誤】

「表 95. 32 ビット角度変化データのフォーマット例」

【正】

「表 95. 32 ビット角速度変化データのフォーマット例」