

産業用イーサネット・タイム・センシティブ・ネットワークング・スイッチ

特長

- ▶イーサネット MAC インターフェース：ポートごとに 10Mb、100Mb または 1Gb
 - ▶6 ポート：4× RMII/RGMII/SGMII および 2× RMII/RGMII
 - ▶SGMII、1000BASE-SX/1000BASE-LX/1000BASE-KX、100BASE-FX
- ▶低遅延のレイヤ 2 イーサネット・スイッチ
 - ▶ポート間の確定的遅延
 - ▶カットスルーまたはストア・アンド・フォワード動作
 - ▶IEEE/IEC 60802 に準拠したトラフィック・タイプとブリッジ遅延
 - ▶IEEE 802.1Q-2018 (改版) に準拠した標準的なブリッジ構成
 - ▶各ポートは非ブロックで独立
 - ▶送信ポートごとに 32kB のフレーム・バッファ
 - ▶4096 個の VLAN
- ▶時刻同期
 - ▶IEEE 802.1AS-2020
 - ▶IEEE 1588-2019 のデフォルト・プロファイル
 - ▶IEEE C37.238-2017 のエネルギー・プロファイル
 - ▶8ns のタイムスタンプ分解能
 - ▶受信時または送信時にフレームをタイムスタンプ
- ▶IEEE 802.1Q タイム・センシティブ・ネットワークング・ブリッジ構成
 - ▶Qbv：スケジュール・トラフィックの強化
 - ▶Qci：ストリームごとのフィルタ処理およびポリシング
 - ▶Qbu：フレーム・プリエンブション
 - ▶Qch：サイクリック・キューイングおよび転送
 - ▶Qav：転送およびキューイングの強化¹
 - ▶Qcc：ストリーム予約プロトコルの強化¹
 - ▶ストリーム数
 - ▶16000 個の TSN レイヤ 2 ストリーム
 - ▶256 個の拡張ルックアップ・ストリーム (IPv4、IPv6、PCP など)
- ▶SendList 制御
- ▶高可用性および冗長性
 - ▶IEEE 802.1CB 信頼性向上のためのフレーム複製および削除
 - ▶IEC62439-3:2016-03 HSR/PRP 適合のプロトコルによるシームレスなフェールオーバー
 - ▶IEC62439-3:2021-12 メディア冗長化プロトコル
- ▶PROFINET IRT、EtherNet/IP ビーコンベース DLR、POWERLINK (100Mbps) を可能にする 2 ポート上でのカスタム・レイヤ 2¹
- ▶パケット・アシスト・エンジンがホストの負荷を軽減し TSN およびスイッチ機能を管理
- ▶TSN および産業用イーサネット・プロトコルのためのポータブル C ドライバ
- ▶NETCONF 対応 (ドライバから Sysrepo への変換レイヤ)

- ▶ハードウェアによる信頼の基点をベースとするセキュリティ機能
 - ▶ロールバック防止機能によるセキュア・ブートおよびセキュア・アップデート
 - ▶ハードウェアベースの暗号
 - ▶セキュアなホスト・ペアリング・プロトコル
 - ▶暗号による信ぴょう性チェック
- ▶外部ホスト・プロセッサとのインターフェース
 - ▶RMII、RGMII、または SGMII
 - ▶SPI、デュアル SPI、またはクワッド SPI
- ▶電源
 - ▶3 種の外部電源：1.1V、3.3V、VDDIO_x (1.8V、2.5V、または 3.3V)
 - ▶ポートあたりの合計チップ電力：60mW (1Gbps、VDDIO_B = 1.8V でフル使用時)
- ▶パッケージおよび温度範囲
 - ▶256 ボール CSP_BGA、14mm × 14mm、0.8mm ピッチ
 - ▶-40°C ~ +85 および -40°C ~ 105°C の周囲温度ですべて仕様規定

アプリケーション

- ▶ファクトリ・オートメーションおよびプロセス・オートメーション
- ▶モーション・コントロール、ロボット、コボット
- ▶エネルギー・オートメーション
- ▶運輸
- ▶計測器
- ▶ビルディング・オートメーション

概要

ADIN6310 は、産業用イーサネット・アプリケーション用に設計された、セキュリティ機能を内蔵する 6 ポート・ギガビット・イーサネット・タイム・センシティブ・ネットワークング (TSN) スイッチです。ポートごとに異なる速度で動作するように設定できます。このスイッチは、汎用のメディア・アクセス・コントロール (MAC) インターフェースを備えており、ADIN1100、ADIN1200、ADIN1300 などのアナログ・デバイス製物理 (PHY) レイヤ・デバイスと組み合わせると、低消費電力低遅延のシステムを形成することができます。4 つのシリアル・ギガビット・メディア非依存インターフェース (SGMII) およびシリアルライザ/デシリアルライザ (serdes) インターフェースにより、バックプレーン接続や、スモール・フォーム・ファクタ (SFP) モジュールやカスケード・スイッチへの接続が可能になります。これらのスイッチは、IEEE 60802 規格が必要とする IEEE 802.1Q タイム・センシティブ・ネットワークングのブリッジ機能一式に対応し、遅延に敏感なストリームに対しサービス品質 (QoS) を提供します。また、このデバイスには、並列冗長化プロトコル (PRP) や高可用性シームレス冗長化 (HSR) プロトコルをサポートするハードウェア機能も備わっており、ホスト・プロセッサの負荷を軽減できます。

¹ 将来的なソフトウェア機能

※こちらのデータシートには正誤表が付属しています。当該資料の最終ページ以降をご参照ください。

目次

特長.....	1	タイマーの入出力.....	41
アプリケーション.....	1	GPIO.....	41
概要.....	1	ハードウェア・リセット.....	41
機能ブロック図.....	4	クロッキング.....	42
仕様.....	5	電源アーキテクチャ.....	43
タイミング特性.....	10	電源と供給領域.....	43
パワーアップ、パワーダウン、リセットのタイミング.....	10	パワーオン・リセット (POR).....	43
管理インターフェースのタイミング.....	11	電源シーケンス.....	43
RGMII の送信および受信タイミング.....	12	グラウンド接続.....	43
RMII の送信および受信タイミング.....	13	消費電力と熱に関する考慮事項.....	43
SGMII シリアル・インターフェースの送信および受信 タイミング.....	14	電源のデカップリング.....	44
シリアル・インターフェースのタイミング.....	15	時刻同期.....	45
絶対最大定格.....	16	高精度時刻プロトコル (PTP).....	45
熱抵抗.....	16	時間領域.....	45
電磁環境適合性 (EMC) 性能.....	16	IEEE 802.1AS 2020.....	45
静電放電 (ESD) 定格.....	16	IEEE 1588-2019 のデフォルト・プロファイル.....	45
ADIN6310 の ESD 定格.....	16	IEEE C37.238.2017 のエネルギー・プロファイル.....	45
ESD に関する注意.....	16	TSN 機能.....	46
ピン配置およびピンの説明.....	17	スケジューリングされたトラフィック (Qbv).....	46
ADIN6310.....	17	フレーム・プリエンブション (Qbu).....	46
代表的な性能特性.....	23	ストリームごとのフィルタ処理およびポリシング (QCI).....	48
動作原理.....	24	サイクリック・キューイングおよび転送 (Qch).....	48
スイッチの概要.....	24	転送およびキューイングの強化 (Qav).....	48
ポートの概要.....	24	SENDLIST.....	49
ストーム保護.....	25	SendList の例.....	49
スイッチ・ファブリック.....	25	冗長化.....	50
ルックアップ・テーブル.....	25	高可用性シームレス冗長化 (HSR).....	50
ルックアップの種類.....	27	HSR ポートのモード.....	51
バッファ管理.....	28	HSR の統計情報.....	51
サービス品質 (QoS).....	29	並列冗長化プロトコル (PRP).....	52
ポート転送マスク.....	29	PRP 統計情報.....	53
イーサネット・フレーム.....	29	HSR と PRP のハイブリッド・ネットワーク.....	54
スイッチの遅延.....	30	信頼性向上のためのフレーム複製および除去、802.1CB.....	54
受信および送信ポートの統計情報.....	31	メディア冗長化プロトコル (MRP).....	55
パケット・アシスト・エンジン.....	32	その他の機能.....	57
スイッチで実行されるソフトウェア.....	32	産業用イーサネット・エンジン.....	57
ファームウェアのアップデート.....	32	論理 MAC 動作.....	57
NETCONF.....	33	レイヤ 2 の送信および受信.....	58
インターフェース.....	34	イベントのサブスクリプション.....	58
シリアル・インターフェース、SPI.....	34	リンク・レイヤ検出プロトコル (LLDP).....	59
PHY MDC および MDIO インターフェース.....	35	IGMP スヌーピング.....	59
イーサネットのインターフェース.....	36	ポートのミラーリング.....	59
MAC 間インターフェース.....	38	マルチプル・スパニング・ツリー・プロトコル.....	59
ホスト・インターフェース.....	40	アプリケーション情報.....	60
ホスト・インターフェース・ストラッピング・ピン.....	40	アプリケーション回路の概要.....	60
		アプリケーションの使用事例.....	62

目次

レイアウトのガイドライン	65	外形寸法	69
一般的なレイアウトのガイドライン	65	オーダー・ガイド	69
部品配置	65	評価用ボード	69
シリコン・アノーマリ	67		

改訂履歴

10/2024—Revision 0: Initial Version

機能ブロック図

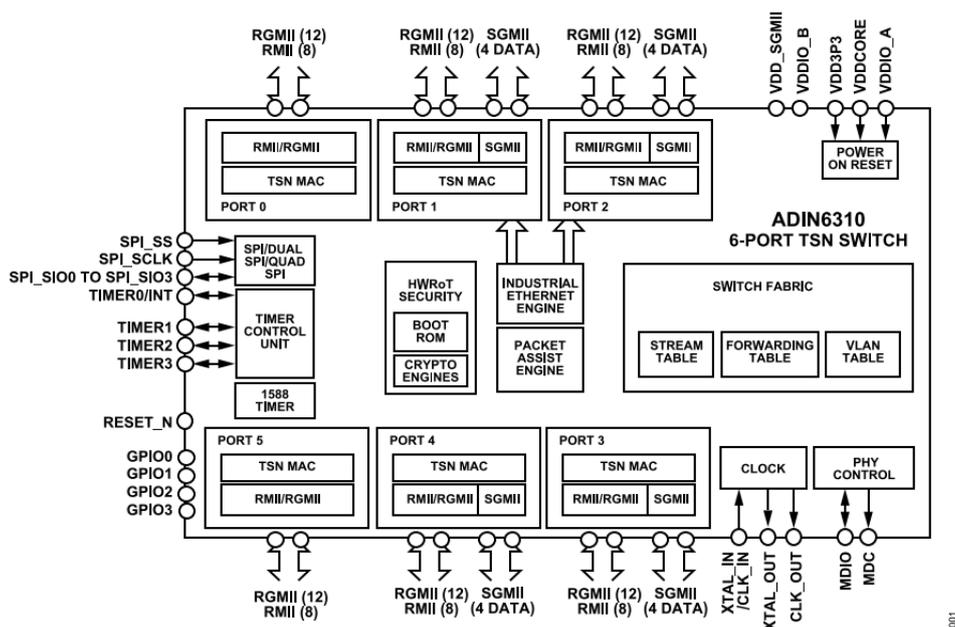


図 1. ADIN6310 機能ブロック図

仕様

特に指定のない限り、VDD3P3 = 3.3V、VDDCORE = 1.1V、VDDIO_A = 2.5V、VDDIO_B = 1.8V、VDD_SGMII = 3.3V、仕様値は T_A = -40°C~+105°C の動作温度範囲全体で有効。

表 1. 電気的特性¹

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
POWER REQUIREMENTS					
Supply Voltages					
VDD3P3	3.135	3.3	3.465	V	3.3 V ± 5%
VDDCORE	1.045	1.1	1.155	V	1.1 V ± 5%
VDDIO_A	3.135	3.3	3.465	V	3.3 V ± 5%
	2.250	2.5	2.750	V	2.5 V ± 10%
	1.71	1.8	1.89	V	1.8 V ± 5%
VDDIO_B	3.135	3.3	3.465	V	3.3 V ± 5%
	2.250	2.5	2.750	V	2.5 V ± 10%
	1.71	1.8	1.89	V	1.8 V ± 5%
VDD_SGMII	3.135	3.3	3.465	V	3.3 V ± 5%
POWER CONSUMPTION					
					縮小ギガビット・メディア非依存インターフェース (RGMII) および縮小メディア非依存インターフェース (RMII) の送信ラインの合計容量は 12pF であり、これにはパッケージの寄生成分が含まれています。また、値は、100%のデータ・スルーブット、フル・アクティビティ時のものです。
ADIN6310 CURRENT AND POWER					
RGMII 1000 Mbps					
VDD3P3 Current (I _{VDD3P3})		7		mA	25°C ; 全 6 ポートについての値 ; SGMII の寄与はなし
VDDCORE Current (I _{VDDCORE})		165		mA	
VDDIO_A Current (I _{VDDIO_A})		20		mA	
VDDIO_B Current (I _{VDDIO_B}) ²		93		mA	
		65		mA	
Total Power		372		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V での静的電流を含む
RGMII 100 Mbps					
VDD3P3 Current (I _{VDD3P3})		7		mA	25°C ; 全 6 ポートについての値 ; SGMII の寄与はなし
VDDCORE Current (I _{VDDCORE})		130		mA	
VDDIO_A Current (I _{VDDIO_A})		4		mA	
VDDIO_B Current (I _{VDDIO_B})		23		mA	
		16		mA	
		11		mA	VDDIO_B = 1.8V
Total Power		196		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
RGMII10 Mbps					
VDD3P3 Current (I _{VDD3P3})		7		mA	25°C ; 全 6 ポートについての値 ; SGMII の寄与はなし
VDDCORE Current (I _{VDDCORE})		124		mA	
VDDIO_A Current (I _{VDDIO_A})		1		mA	
VDDIO_B Current (I _{VDDIO_B})		8		mA	
		5		mA	
		3		mA	VDDIO_B = 1.8V
Total Power		167		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
Two SGMII and Four RGMII 1000 Mbps					
VDD3P3 Current (I _{VDD3P3})		7		mA	25°C ; 2 つの SGMII ポートおよび 4 つの RGMII ポートについての値
VDD_SGMII (I _{VDDSGMII})		10		mA	
VDDCORE Current (I _{VDDCORE})		200		mA	
VDDIO_A Current (I _{VDDIO_A})		20		mA	

仕様

表 1. 電気的特性¹ (続き)

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
VDDIO_B Current (I _{VDDIO_B})		98		mA	VDDIO_B = 3.3V
		73		mA	VDDIO_B = 2.5V
		51		mA	VDDIO_B = 1.8V
Total Power		418		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
Four SGMII and Two RGMII 1000 Mbps					25°C ; 4つのSGMIIポートおよび2つのRGMIIポートについて値
VDD3P3 Current (I _{VDD3P3})		7		mA	
VDD_SGMII (I _{VDDSGMII})		20		mA	
VDDCORE Current (I _{VDDCORE})		232		mA	
VDDIO_A Current (I _{VDDIO_A})		20		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		71		mA	VDDIO_B = 3.3V
		52		mA	VDDIO_B = 2.5V
		37		mA	VDDIO_B = 1.8V
Total Power		461		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
2x 1000BASE-KX, Four RGMII 1000 Mbps					25°C ; 2つのバックプレーン接続および4つのRGMIIポートについての値
VDD3P3 Current (I _{VDD3P3})		7		mA	
VDD_SGMII (I _{VDDSGMII})		10		mA	
VDDCORE Current (I _{VDDCORE})		211		mA	
VDDIO_A Current (I _{VDDIO_A})		20		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		98		mA	VDDIO_B = 3.3V
		72		mA	VDDIO_B = 2.5V
		51		mA	VDDIO_B = 1.8V
Total Power		430		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
4x 1000BASE-KX, Two RGMII 1000 Mbps					25°C ; 4つのバックプレーン接続および2つのRGMIIポートについての値
VDD3P3 Current (I _{VDD3P3})		7		mA	
VDD_SGMII (I _{VDDSGMII})		20		mA	
VDDCORE Current (I _{VDDCORE})		254		mA	
VDDIO_A Current (I _{VDDIO_A})		20		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		71		mA	VDDIO_B = 3.3V
		54		mA	VDDIO_B = 2.5V
		37		mA	VDDIO_B = 1.8V
Total Power		485		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
2x 1000BASE-SX/1000BASE-LX, Four RGMII 1000 Mbps					25°C
VDD3P3 Current (I _{VDD3P3})		7		mA	
VDD_SGMII (I _{VDDSGMII})		10		mA	
VDDCORE Current (I _{VDDCORE})		200		mA	
VDDIO_A Current (I _{VDDIO_A})		20		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		98		mA	VDDIO_B = 3.3V
		72		mA	VDDIO_B = 2.5V
		51		mA	VDDIO_B = 1.8V
Total Power		418		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
4x 1000BASE-SX/1000BASE-LX, Two RGMII 1000 Mbps					25°C
VDD3P3 Current (I _{VDD3P3})		7		mA	
VDD_SGMII (I _{VDDSGMII})		20		mA	
VDDCORE Current (I _{VDDCORE})		220		mA	

仕様

表 1. 電気的特性¹ (続き)

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
VDDIO_A Current (I _{VDDIO_A})		20		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		71		mA	VDDIO_B = 3.3V
		54		mA	VDDIO_B = 2.5V
		37		mA	VDDIO_B = 1.8V
Total Power		450		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
2x 100BASE-FX, Four RGMII 100 Mbps					25°C
VDD3P3 Current (I _{VDD3P3})		7		mA	
VDD_SGMII (I _{VDDSGMII})		12		mA	
VDDCORE Current (I _{VDDCORE})		166		mA	
VDDIO_A Current (I _{VDDIO_A})		4		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		23		mA	VDDIO_B = 3.3V
		17		mA	VDDIO_B = 2.5V
		5		mA	VDDIO_B = 1.8V
Total Power		276		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
Six RMII 100 Mbps, Internal Clock					25°C、内部 50MHz クロックをスイッチ用に使用する 共に PHY に供給、外部 50MHz クロックを用いて VDDIO_B の消費電流を低減し合計消費電力を 20mW (代表値) 削減
VDD3P3 Current (I _{VDD3P3})		6		mA	
VDDCORE Current (I _{VDDCORE})		105		mA	
VDDIO_A Current (I _{VDDIO_A})		6		mA	VDDIO_A = 2.5V
VDDIO_B Current (I _{VDDIO_B})		39		mA	VDDIO_B = 3.3V
		29		mA	VDDIO_B = 2.5V
		20		mA	VDDIO_B = 1.8V
Total Power		186		mW	VDDIO_A = 2.5V、VDDIO_B = 1.8V
CUT-THROUGH SWITCH LATENCY ³					開始フレーム識別子 (SFD) の送信から受信まで RGMII モードで測定; 宛先 MAC (DA) / 仮想ローカ ル・エリア・ネットワーク (VLAN) ルックアップを使 用; minByteCnt = 0x10 ⁴ ; 干渉トラフィックなし; パ ケット修正なし
RGMII Bridge Latency					ブリッジの遅延
1000 Mbps			500	ns	
100 Mbps			2.4	µs	
10 Mbps			22	µs	
STORE AND FORWARD SWITCH LATENCY ³					SFD の送信から受信までを測定; 干渉トラフィックな し; パケット修正なし、ゲート機能の有効化なし、64 バイトの最小イーサネット・フレームを使用
1000 Mbps			0.8	µs	
100 Mbps			6	µs	
10 Mbps			58	µs	
SGMII PHY LATENCY					SGMII の送信仕様および受信仕様は SGMII PHY の寄 与のみを表します; SGMII モードでは、ブリッジの遅 延を全体の遅延に含める必要があります ⁵
1000BASE-X, SGMII 1 Gbps Transmit		172		ns	1000BASE-SX、1000BASE-LX、1000BASE-KX、 SGMII 1000Mbps
1000BASE-X, SGMII 1 Gbps Receive		265		ns	
SGMII 100 Mbps Transmit		1049		ns	SGMII 100Mbps
SGMII 100 Mbps Receive		1354		ns	
SGMII 10 Mbps Transmit		9152		ns	SGMII 10Mbps
SGMII 10 Mbps Receive		10873		ns	

仕様

表 1. 電気的特性¹ (続き)

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
100BASE-FX Transmit		60		ns	100BASE-FX
100BASE-FX Receive		212		ns	
HOST PORT LATENCY (PORT TO SPI HOST INTERRUPT)					SFD の送信からシリアル・ペリフェラル・インターフェース (SPI) ホスト割り込みまで測定、64 バイトの最小イーサネット・フレームを使用
1000 Mbps		112		μs	
100 Mbps		118		μs	
10 Mbps		170		μs	
DIGITAL INPUTS AND OUTPUTS					VDDIO_A と VDDIO_B 両方に適用
VDDIO = 3.3 V					
Input Low Voltage (V _{IL})			0.8	V	
Input High Voltage (V _{IH})	2.0			V	
Output Low Voltage (V _{OL})			0.4	V	出力ロー電流 (I _{OL}) (最小) = 4mA
Output High Voltage (V _{OH})	2.4			V	出力ハイ電流 (I _{OH}) (最小) = 4mA
VDDIO = 2.5 V					
V _{IL}			0.7	V	
V _{IH}	1.7			V	
V _{OL}			0.4	V	I _{OL} (最小) = 4mA
V _{OH}	2.0			V	I _{OH} (最小) = 2mA
	1.7			V	I _{OH} (最小) = 4mA
VDDIO = 1.8 V					
V _{IL}			0.35 × VDDIO V	V	
V _{IH}	0.65 × VDDIO			V	
V _{OL}			0.45	V	I _{OL} (最小) = 2mA
V _{OH}	VDDIO - 0.45			V	I _{OH} (最小) = 2mA
Input Leakage Current High (I _{IH}) and Input Leakage Current Low (I _{IL})	-10		+10	μA	内部プルアップおよびプルダウン抵抗付きのピンを除く
SGMII					AC カップリング; Px_STXP~Px_STXN
Transmit Output Differential Voltage	0.15		0.4	V	銅製スモール・フォーム・ファクタ・プラグブル (SFP) または PHY へのバージョン 1.8 に基づく SGMII モード
	0.8		1.6	V p-p	1000BASE-KX
	0.5		1.2	V p-p	1000BASE-SX/1000BASE-LX、100BASE-FX
Receiver Input Differential Voltage	0.175		2.0	V p-p	AC カップリング; Px_SRXP~Px_SRXN; DC レベルをレシーバでバイアス
Receiver Input Impedance	80	100	120	Ω	差動、チップに統合化
CLOCKS					
External Crystal (XTAL)					XTAL_IN ピンおよび XTAL_OUT ピンで使用される外部水晶発振器の要件
Crystal Frequency		25		MHz	
Crystal Frequency Drift	-50		+50	ppm	許容誤差、安定性、エージングを含む
Crystal Output Drive Level		<200		μW	
Crystal Equivalent Series Resistance (ESR)		20	100	Ω	
Crystal Load Capacitance (C _L) ⁶		10		pF	
XTAL_I Jitter			80	ps	10kHz~5MHz の周波数範囲全体
Crystal Oscillator RMS Jitter			1.8	ps	

仕様

表 1. 電気的特性¹ (続き)

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
Clock Input Frequency (CLK_IN)		25		MHz	XTAL_IN ピンに適用される外部クロックの要件 ; VDD3P3 電圧領域
Duty Cycle	40		60	%	
Input Voltage Range	3.135	3.3	3.465	V	
FLASH MEMORY					
Endurance	10,000			Cycles	
Data Retention	10			Years	T _J = 125°C
	20			Years	T _J = 85°C

1 仕様は予告なく変更される可能性があります。

2 6ポートすべてが 1Gbps で動作する場合、消費電力を最小限に抑えるために、1.8V または 2.5V の VDDIO_B 電源電圧を使用してください。

3 設計により確保されています。

4 minByteCnt は、カットスルー・フレームが送信キューに入れられるまでの受信バイトの数を表します。この目的は、ルックアップ・テーブルでのアクセス時間による遅延ジッタを取り除くことです。minByteCnt のデフォルト設定値は 0x20 です。本仕様では、minByteCnt は 0x10 に減じられています。それにより、VLAN が受信され、ルックアップ・テーブルが配線の引き回し情報を提供すると直ちに、フレームが送信キューに入れられます。この値を更に低減すると遅延は減少しますが、ジッタが増加する可能性があります。

5 SGMII ポートから SGMII ポートまでの遅延 = SGMII の受信 + ブリッジの遅延 + SGMII の送信。SGMII ポートから RGMII ポートまでの遅延 = SGMII 受信 + ブリッジの遅延。RGMII ポートから SGMII ポートまでの遅延 = ブリッジの遅延 + SGMII 送信。

6 負荷容量(C_L) = ((C1 × C2)/(C1 + C2) + C_{STRAY})。ここで、C_{STRAY} は配線の引き回しとパッケージの寄生容量を含む浮遊容量です。

タイミング特性

パワーアップ、パワーダウン、リセットのタイミング

表 2. パワーアップのタイミング^{1, 2}

Parameter	Description	Min	Typ	Max	Unit
t_{RAMP}	Power supply ramp time ³	0.1		40	ms
t_1	Time from last power supply being applied to crystal settling			3	ms
t_2	Time from last supply being applied to RESET_N released	100			μ s
t_3	RESET_N rise time	100			ns
t_4	Strap input setup time to RESET_N release	5			μ s
t_5	Strap input hold time to RESET_N release	2			μ s
t_6	RESET_N low time	10			μ s
t_7	RESET_N low prior to supplies powering down	10			μ s
t_8	RESET_N release to SPI interface available ⁴		230	310	ms
	RESET_N release to the RGMII MAC interface available.		270	350	ms

1 仕様は予告なく変更される可能性があります。

2 特定の電源シーケンスは不要です。ただし、VDDCORE を最後に印加し、最初にオフにすることを推奨します。シーケンス順の例は VDD3P3 → VDDIO_A → VDDCORE です。パワーダウン時はこの逆になります。

3 すべての電源レールに適用されます。

4 ブートローダとソフトウェアの設定時間を含みます。

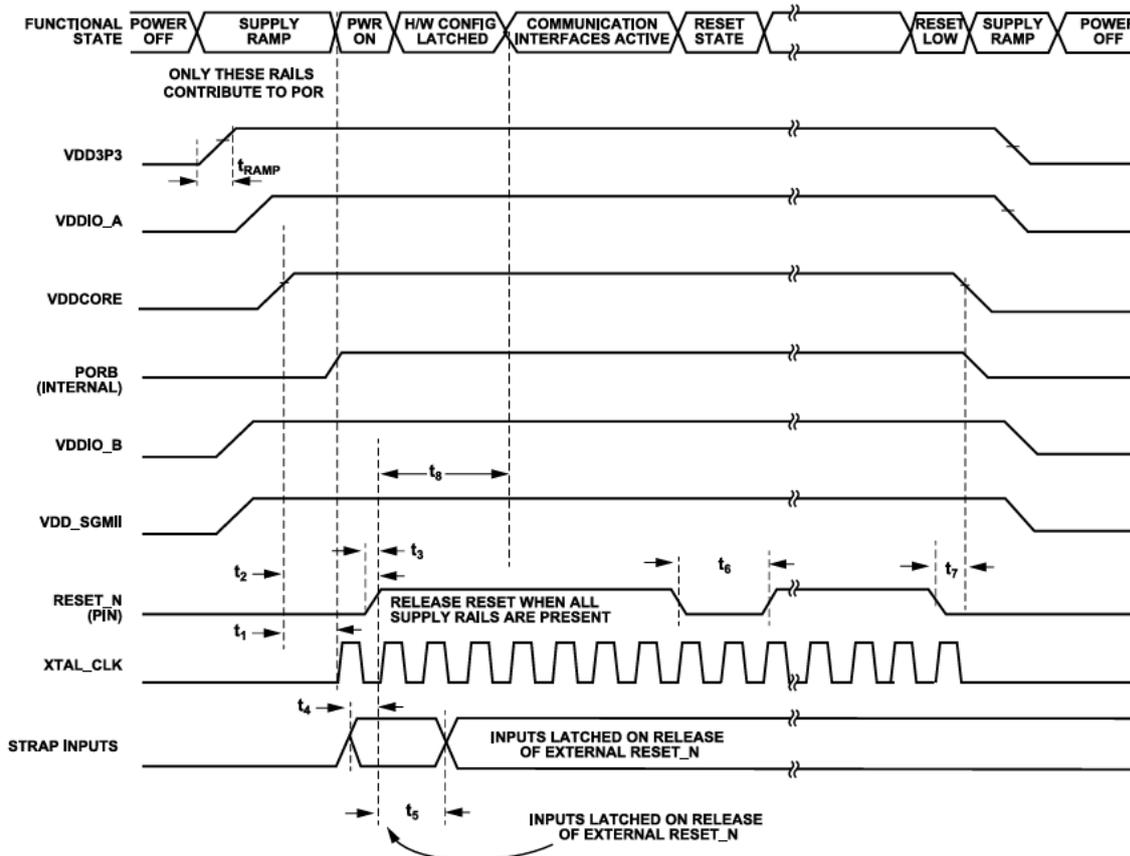


図 2. パワーアップ、パワーダウン、リセットのタイミング

タイミング特性

管理インターフェースのタイミング

表 3. 管理インターフェースのタイミング^{1,2}

Parameter	Description	Min	Typ	Max	Unit
	MDC duty cycle	45	50	55	ns
t_1	MDC period ³	175	400	4096	ns
t_2	MDC rise and fall time			15	ns
t_3	MDIO input setup time to MDC rising edge	21			ns
t_4	MDIO input signal hold time to MDC	0			ns
t_5	MDIO output delay to MDC	0		15	ns

1 仕様は予告なく変更される可能性があります。

2 100pF の C_L で測定（最大 6 つのイーサネット PHY に配線、ピン容量およびパターン容量を含む）。タイミング・パラメータは 10% から 90% までの測定値です。

3 代表的なパラメータは、IEEE 802.3 規格の指定に従い、2.5MHz の最大 MDC 周波数に対応しています。

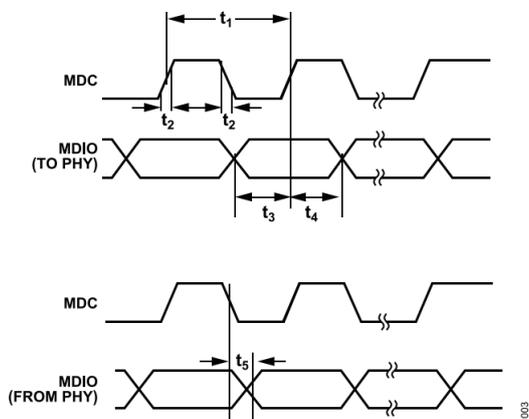


図 3. 管理インターフェースのタイミング

タイミング特性

RGMII の送信および受信タイミング

表 4. 1000M RGMII のタイミング^{1, 2, 3}

Parameter	Description	Min	Typ	Max	Unit
t_1	Data to clock output skew (at transmitter) ⁴	-500	0	+500	ps
t_2	Data to clock input skew (at receiver) ⁴	1	1.8	2.6	ns
t_3	Data to clock output setup time (at transmitter—internal delay) ⁵	1.2	2.0		ns
t_4	Clock to data output hold time (at transmitter— internal delay) ⁵	1.2	2.0		ns
t_5	Data to clock input setup time (at receiver—internal delay) ⁵	1.0	2.0		ns
t_6	Clock to data input hold time (at receiver— internal delay) ⁵	1.0	2.0		ns
t_{CYC}	Clock cycle duration ⁶	7.2	8	8.8	ns
Duty_G	Duty cycle for gigabit	45	50	55	%
	Duty cycle for gigabit (internal delay)	43	50	57	%
Duty_T	Duty cycle for 10 Mbps and 100 Mbps	40	50	60	%
t_R and t_F	Rise and fall time (20% to 80%)			0.75	ns

- 1 仕様は予告なく変更される可能性があります。
- 2 5pF の C_L 。
- 3 1Gbps での動作時、送信および受信データはクロックの立上がりおよび立下がりエッジでクロックされます。そのため、セットアップ時間とホールド時間は両方のクロック・エッジに適用されます。
- 4 RGMII の内部遅延なしで動作する場合、プリント回路基板 (PCB) 設計では、関連するクロック信号に 1.5ns より長く 2.0ns より短い余分のパターン遅延が追加されるようにクロックを配線する必要があります。10Mbps および 100Mbps の場合、最大値は仕様規定されていません。
- 5 ハードウェアおよびソフトウェアでプログラマブルな内部遅延は、有効化または無効化できます。
- 6 t_{CYC} は、10Mbps では 400ns ± 40ns、100Mbps では 40ns ± 4ns にスケールリングされます。

表 5. 10M/100M RGMII のタイミング¹

Parameter	Description	Min	Typ	Max	Unit
t_1	Data to clock output skew (at transmitter)	-500	0	+500	ps
t_2	Data to clock input skew (at receiver)	1	1.8	2.6	ns
t_3	Data to clock output setup time (at transmitter—internal delay)	1.2	2.0		ns
t_4	Clock to data output hold time (at transmitter— internal delay)	1.2	2.0		ns
t_5	Data to clock input setup time (at receiver—internal delay)	1.0	2.0		ns
t_6	Clock to data input hold time (at receiver— internal delay)	1.0	2.0		ns
t_{CYC}	Clock cycle duration ¹	7.2	8	8.8	ns
Duty_T	Duty cycle for 10 Mbps and 100 Mbps	40	50	60	%
t_R and t_F	Rise and fall time (20% to 80%)			0.75	ns

- 1 t_{CYC} は、10Mbps では 400ns ± 40ns、100Mbps では 40ns ± 4ns にスケールリングされます。

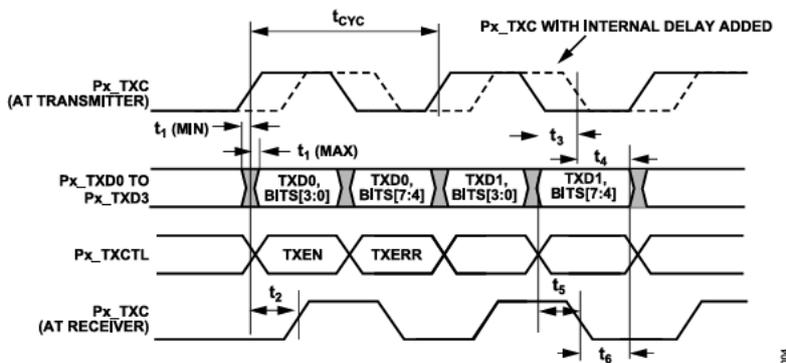


図 4. RGMII の送信タイミング

タイミング特性

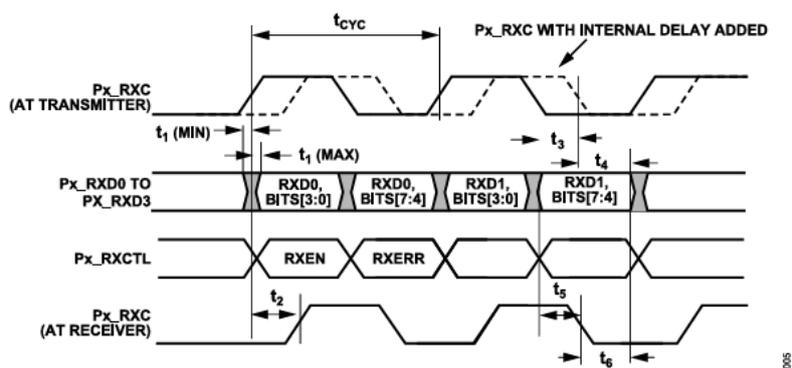


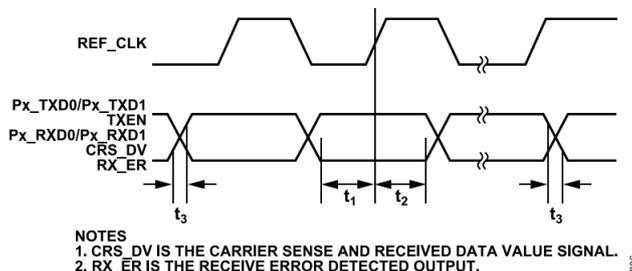
図 5. RGMII の受信タイミング

RMII の送信および受信タイミング

表 6. RMII のタイミング¹

Parameter	Description	Min	Typ	Max	Unit
REF_CLK	Frequency of the reference clock as sourced from the Px_TXC or from an external clock source		50		MHz
	Duty cycle of the clock	35		65	%
t ₁	Data setup to REF_CLK rising edge	4			ns
t ₂	Data hold from REF_CLK rising edge	2			ns
t ₃	Output rise and fall time	1		5	ns

¹ 仕様は予告なく変更される可能性があります。



NOTES
 1. CRS_DV IS THE CARRIER SENSE AND RECEIVED DATA VALUE SIGNAL.
 2. RX_ER IS THE RECEIVE ERROR DETECTED OUTPUT.

図 6. RMII のタイミング

タイミング特性

SGMII シリアル・インターフェースの送信および受信タイミング

表 7. シリアル・インターフェースの送信および受信タイミング¹

Parameter	Description	Min	Typ	Max	Unit
t_1	SGMII, 1000BASE-KX, 1000BASE-LX, and 1000BASE-SX signaling speed		1.25		GBd
	100BASE-FX signaling speed		0.125		GBd
t_2	SGMII rise time (20% to 80%)			200	ps
	1000BASE-KX rise time			320	ps
t_3	SGMII fall time (20% to 80%)			200	ps
	1000BASE-KX fall time			320	ps
t_4	STX output differential skew (STXP vs. STXN) ²			20	ps
t_5	STX total jitter			0.24	UI
	SRX total jitter tolerated			0.749	UI

1 仕様は予告なく変更される可能性があります。

2 設計により確保されています。

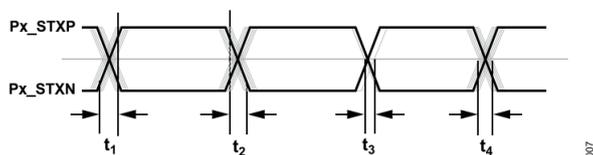


図 7. SGMII の送信タイミング

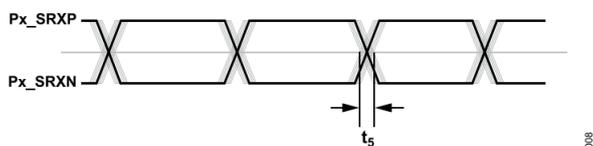


図 8. SGMII の受信タイミング

タイミング特性

シリアル・インターフェースのタイミング

表 8. SPI、デュアル SPI、およびクワッド SPI のタイミング¹

Parameter	Description	VDDIO_A = 1.8 V ± 5%			VDDIO_A = 3.3 V ± 5%			Unit
		Min	Typ	Max	Min	Typ	Max	
freq _{SPI} CLK	SPI clock frequency	5		30	5		37.5	MHz
t _{SPI} CLK	SPI clock period	33.3		200	26.6		200	ns
t _{SPI} CLS	SPI clock low period	15			12			ns
t _{SPI} CHS	SPI clock high period	15			12			ns
t _{SDSCI}	SPI_SS assertion to first SPI_SCLK edge	15			12			ns
t _{SSPID}	Data input valid to SPI clock rising edge (data input setup)	4			4			ns
t _{HSPID}	SPI clock rising edge to data input invalid (data input hold)	2			2			ns
t _{OEN}	SPI clock falling edge to output enabled	t _{SPI} CLK + 2			t _{SPI} CLK + 1			ns
t _D SOE	Time from clock falling edge at which SPI_SIOx is switched from input to output to output valid			t _{SPI} CLK + 10			t _{SPI} CLK + 7	ns
t _{DD} SPID	SPI falling clock edge to data output valid (data output delay)			10			7	ns
t _{HDS}	Last SPI clock edge to SPI_SS not asserted	15			12			ns
t _D SDHI	SPI_SS deassertion to data high impedance			8			6	ns
t _{TDS}	SPI_SS high time between transfers; sequential transfer delay	33.3			26.6			ns

1 仕様は予告なく変更される可能性があります。

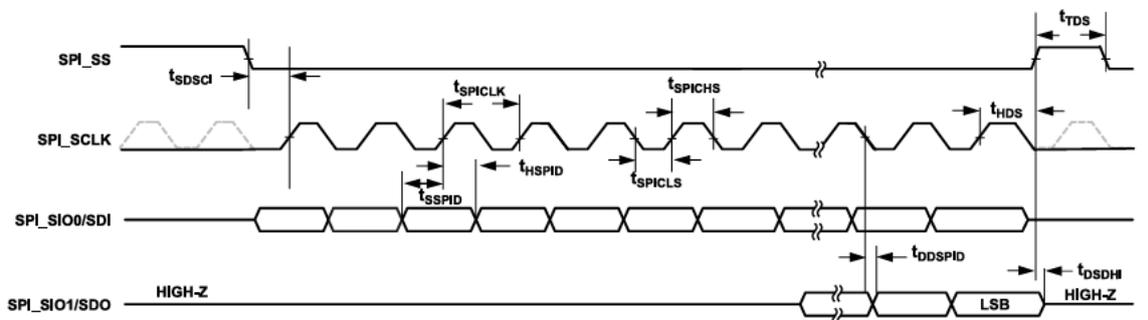


図 9. SPI の書き込みおよび読出しのタイミング

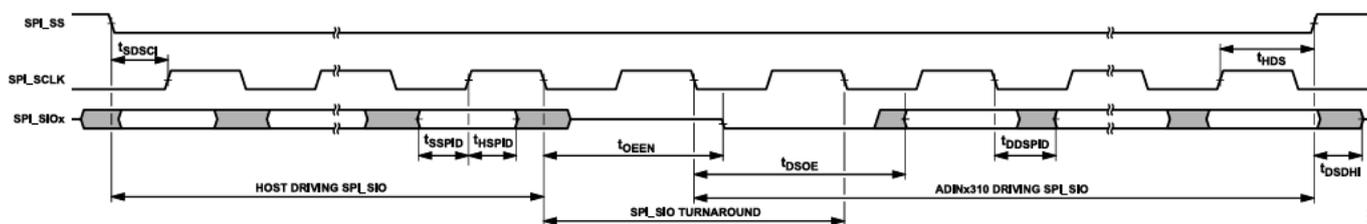


図 10. デュアルおよびクワッド SPI の書き込みおよび読出しのタイミング

絶対最大定格

表 9. 絶対最大定格

Parameter	Rating
VDD3P3 to VSS3P3	-0.3 V to +3.63 V
VDDCORE to DGND	-0.3 V to +1.26 V
VDDCORE_PLL to VSSCORE_DLL	-0.3 V to +1.26 V
VDDCORE_DLL to VSSCORE_DLL	-0.3 V to +1.26 V
VDD_SGMII to VSS_SGMII	-0.3 V to +3.63 V
VDDIO_A to DGND	-0.3 V to +3.63 V
VDDIO_B to DGND	-0.3 V to +3.63 V
VSS3P3 to DGND	-0.3 V to +0.3 V
VSSCORE_x to DGND	-0.3 V to +0.3 V
VSS_SGMII to VSS3P3	-0.3 V to +0.3 V
Port 0 RMII/RGMII MAC Interface to GND (P0_TXxx and P0_RXxx) ¹	-0.3 V to VDDIO_A + 0.3 V
Port 1 to Port 5 RMII/RGMII MAC Interface to GND (Px_TXxx and Px_RXxx) ²	-0.3 V to VDDIO_B + 0.3 V
SGMII MAC Interface to GND (Px_STXN, Px_STNPxx, Px_SRXXN, and Px_SRXPxx)	-0.3 V to VDDCORE + 0.3 V
XTAL_IN, CLK_IN, XTAL_OUT, and CLK_OUT	-0.3 V to VDD3P3 + 0.3 V
RESET_N, TIMERx, GPIOx, TDO, TDI, TCK, TMS, and TEST_EN	-0.3 V to VDDIO_A + 0.3 V
SPI (SPI_xx) to DGND	-0.3 V to VDDIO_A + 0.3 V
Management Interface (MDC and MDIO)	-0.3 V to +3.63 V
Temperature	
Industrial	-40°C to +105°C
Storage Range	-65°C to +150°C
T _J Maximum	125°C
Lead	JEDEC industry-standard
Power Dissipation	(T _J maximum - T _A)/θ _{JA}
Soldering	J-STD-020

1 P0_LINK および P0_RSTN を含む、ポート 0 のすべてのピン。

2 Px_LINK および Px_RSTN を含む、ポート 1～ポート 5 のすべてのピン。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲空気間の熱抵抗です。

θ_{IC} は、ジャンクションとケース間の熱抵抗です。

表 10. 熱抵抗

Package Type	θ _{JA}	θ _{IC}	Unit
256-Ball CSP_BGA	20.84 ¹	5.96 ¹	°C/W
	20 ²	Not applicable	°C/W

1 JEDEC 2s2p サーマル・テスト・ボード（銅密度を増加）を使い、JEDEC 自然対流環境でシミュレートしたデータに基づいています。詳細については、JEDEC 仕様 JESD-51 を参照してください。

2 テスト条件 1：アナログ・デバイセズのハードウェアである 4S4P テスト・ボードで測定した熱抵抗。

電磁環境適合性（EMC）性能

EMC テストは、EVAL-ADIN6310EBZ 評価用ハードウェアを用いて、以下の EMC テスト規格に対し行いました。

- ▶ IEC 61000-4-5 サージ（クラス ±4kV）
- ▶ IEC 61000-4-4 電気高速トランジェント（EFT）（±4kV）
- ▶ IEC 61000-4-2 ESD（±8kV の接触放電）
- ▶ IEC 61000-4-3 放射耐性
- ▶ 80MHz～1GHz（クラス A：10V/m）
- ▶ 1GHz～3.2GHz（クラス A：3V/m） 3 V/m）
- ▶ 3.2Hz～6GHz（クラス A：1V/m） 1 V/m）
- ▶ IEC 61000-4-6 伝導耐性（クラス A：10V） 10 V）
- ▶ EN 55032 放射エミッション（クラス A）
- ▶ EN 55032 伝導エミッション（クラス B）

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ADIN6310 の ESD 定格

表 11. ADIN6310、256 ボール CSP_BGA

ESD Model	Withstand Threshold (kV)	Class
HBM	2	2
FICDM	1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

帯電したデバイスや回路基板は、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピンの説明

ADIN6310

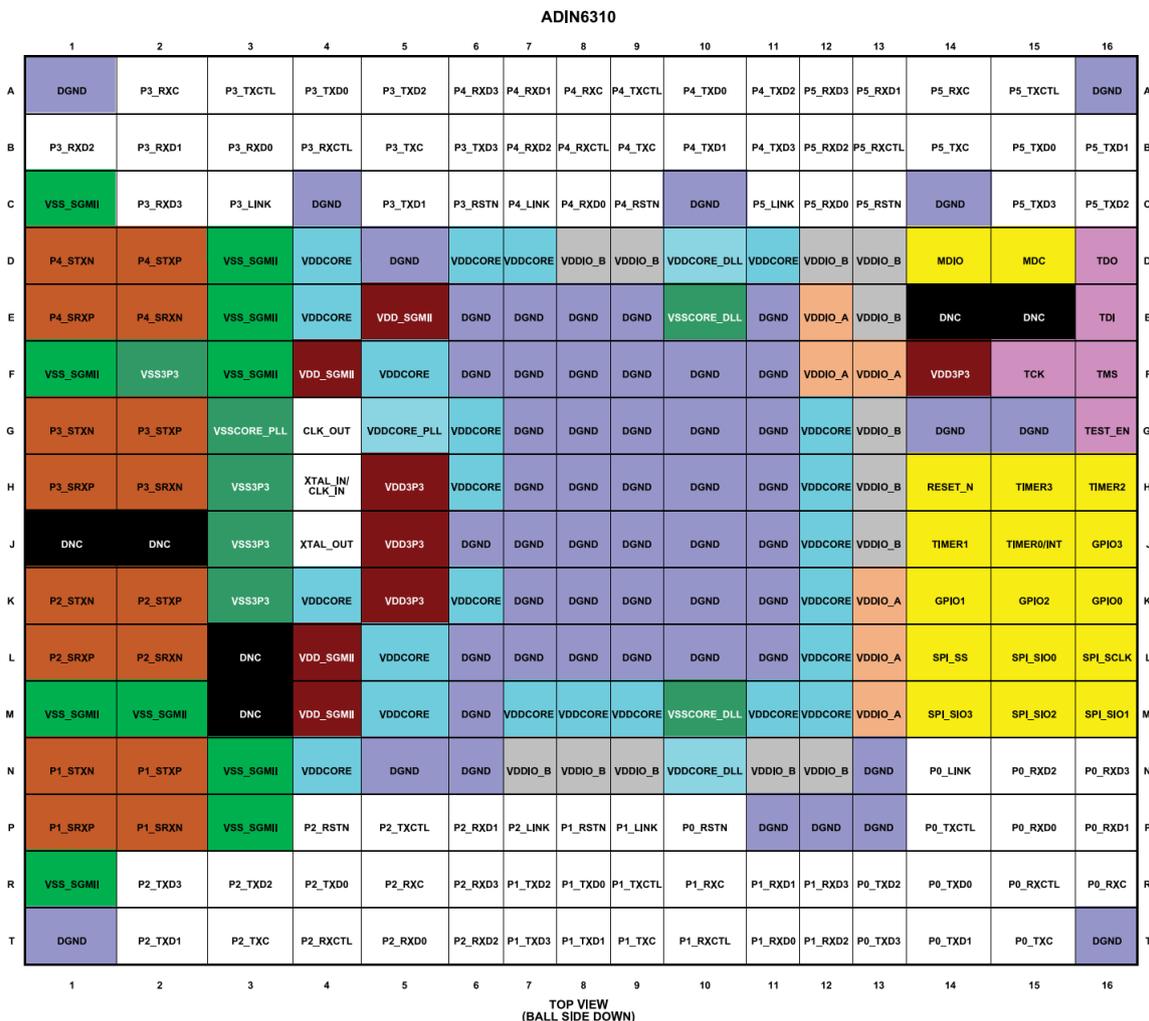


図 11. ADIN6310 のピン配置（上面図、デバイスを透視）

表 12. ピン機能の説明

ADIN6310 ボール番号	記号	タイプ ¹	リセット時の内部終端 ²	電源領域 ²	説明
Clock Interface					
H4	XTAL_IN/CLK_IN	A	High-Z	VDD3P3	水晶発振器用入力（XTAL_IN）。シングルエンドの 25MHz リファレンス・クロック（CLK_IN）。
J4	XTAL_OUT	A	High-Z	VDD3P3	水晶発振器接続用の第 2 の端子。XTAL_IN/CLK_IN でシングルエンドのリファレンス・クロックを使用する場合、XTAL_OUT はオープン・サーキットのままにします。
G4	CLK_OUT	A	High-Z	VDD3P3	アナログ・リファレンス・クロック出力。水晶発振器からの 25MHz、3.3V リファレンス・クロック。
Digital					
H14	RESET_N	I	Pull-down	VDDIO_A	アクティブ・ローのリセット入力。RESET_N には、外付けプルダウンが必要です。10μs を超える時間、ローに保持してください。

ピン配置およびピンの説明

表 12. ピン機能の説明 (続き)

ADIN6310 ボール番号	記号	タイプ ¹	リセット時の内部終端 ²	電源領域 ²	説明
J15	TIMER0/INT	I/O	Pull-up	VDDIO_A	タイマーまたは汎用入出力 (GPIO) SPI の使用時、TIMER0 は、ホストへの割込み出力として機能します。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。
J14	TIMER1	I/O	Pull-up	VDDIO_A	タイマーまたは GPIO。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。
H16	TIMER2	I/O	Pull-down	VDDIO_A	タイマーまたは GPIO。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。
H15	TIMER3	I/O	Pull-down	VDDIO_A	タイマーまたは GPIO。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。
K16	GPIO0	I/O	Pull-down	VDDIO_A	GPIO。
K14	GPIO1	I/O	Pull-down	VDDIO_A	GPIO。
K15	GPIO2	I/O	Pull-down	VDDIO_A	GPIO および産業用イーサネット・エンジン・ポート 1 のアクティビティ。
J16	GPIO3	I/O	Pull-down	VDDIO_A	GPIO および産業用イーサネット・エンジン・ポート 2 のアクティビティ。
Management Interface					
D15	MDC	O	High-Z	VDDIO_B	最大 5.5MHz の管理データ・クロック出力。
D14	MDIO	I/O	High-Z	VDDIO_B	MDC クロックに同期した管理データ双方向ライン。MDIO ピンには、VDDIO_B への 1.5kΩ ブルアップ抵抗が必要です。
Serial Interface					
L14	SPI_SS	I	Pull-up	VDDIO_A	このインターフェースは、SPI、デュアル SPI、クワッド SPI 通信をサポートします。 チップ・セレクト入力、アクティブ・ロー。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。
L16	SPI_SCLK	I/O	Pull-down	VDDIO_A	クロック入力。
L15	SPI_SIO0	I/O	Pull-down	VDDIO_A	クワッド SPI 用シリアル入出力 0。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。このピンは、デュアル SPI の場合はシリアル入出力 0 となり、SPI の場合はシリアル・データ入力 (SDI) となります。
M16	SPI_SIO1	I/O	Pull-down	VDDIO_A	クワッド SPI 用シリアル入出力 1。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。このピンは、デュアル SPI の場合はシリアル入出力 1 となり、SPI の場合はシリアル・データ出力 (SDO) となります。
M15	SPI_SIO2	I/O	Pull-down	VDDIO_A	クワッド SPI 用シリアル入出力 2。ホスト・インターフェースの原点と動作を定義するには、ブート・ストラップ・ピンを使用します。
M14	SPI_SIO3	I/O	Pull-down	VDDIO_A	クワッド SPI 用シリアル入出力 3。
Port 0 Interface					
P10	P0_RSTN	O	Pull-down	VDDIO_A	ポート 0 の PHY リセット。アクティブ・ロー出力。
T15	P0_TXC	O	Pull-down	VDDIO_A	ポート 0 の送信クロック。RGMII モードでは、P0_TXC は、1Gbps の場合 125MHz、100Mbps の場合 25MHz、10Mbps の場合 2.5MHz のクロック出力を供給します。RMII モードでは、50MHz の REF_CLK が入力または出力されます。
R14	P0_TXD0	O	Pull-down	VDDIO_A	ポート 0 の RGMII および RMII 送信データ 0 出力。
T14	P0_TXD1	O	Pull-down	VDDIO_A	ポート 0 の RGMII および RMII 送信データ 1 出力。
R13	P0_TXD2	O	Pull-down	VDDIO_A	ポート 0 の RGMII 送信データ 2 出力。
T13	P0_TXD3	O	Pull-down	VDDIO_A	ポート 0 の RGMII 送信データ 3 出力。

ピン配置およびピンの説明

表 12. ピン機能の説明 (続き)

ADIN6310 ボール番号	記号	タイプ ¹	リセット時 の内部終端 ²	電源 領域 ²	説明
P14	P0_TXCTL	O	Pull-down	VDDIO_A	ポート 0 の RGMII 送信制御信号。RGMII モードでは、このピンは、TX_EN 信号と TX_ER 信号の組み合わせとなり、TXC の両方のエッジを使用します。RMII モードでは、このピンは、データ・ライン上で送信データが使用可能であることを示す、MAC から PHY への送信イネーブル入力 (TX_EN) となります。
R16	P0_RXC	I	Pull-down	VDDIO_A	ポート 0 の受信クロック入力。RGMII モードでは、1Gbps の場合 125MHz、100Mbps の場合 25MHz、10Mbps の場合 2.5MHz のクロック入力が可能です。
P15	P0_RXD0	I	Pull-down	VDDIO_A	ポート 0 の RGMII および RMII 受信データ 0 入力。
P16	P0_RXD1	I	Pull-down	VDDIO_A	ポート 0 の RGMII および RMII 受信データ 1 入力。
N15	P0_RXD2	I	Pull-down	VDDIO_A	ポート 0 の RGMII 受信データ 2 入力。
N16	P0_RXD3	I	Pull-down	VDDIO_A	ポート 0 の RGMII 受信データ 3 入力。RMII モードでは、このピンは RX_ER です。ハイにアサートされると、PHY が受信エラーを検出したことを示します。
R15	P0_RXCTL	I	Pull-down	VDDIO_A	ポート 0 の受信制御信号。RGMII モードでは、このピンは、RX_DV 信号と RX_ER 信号の組み合わせとなり、RXC の両方のエッジを使用します。RMII モードでは、CRS 信号と RX_DV 信号の組み合わせである CRS_DV となり、受信メディアがアイドルでないときにアサートされます。
N14	P0_LINK	I	Pull-down	VDDIO_A	汎用入力。PHY 出力リンク・ステータス・ピンに接続されることが意図されています。
Port 1 Interface					
P1	P1_SRXP	I	High-Z	VDDCORE	SGMII 受信差動ペアの正側。
P2	P1_SRXN	I	High-Z	VDDCORE	SGMII 受信差動ペアの負側。
N2	P1_STXP	O	High-Z	VDDCORE	SGMII 送信差動ペアの正側。
N1	P1_STXN	O	High-Z	VDDCORE	SGMII 送信差動ペアの負側。
P8	P1_RSTN	O	Pull-down	VDDIO_B	ポート 0 参照。
T9	P1_TXC	O	Pull-down	VDDIO_B	ポート 0 参照。
R8	P1_TXD0	O	Pull-down	VDDIO_B	ポート 0 参照。
T8	P1_TXD1	O	Pull-down	VDDIO_B	ポート 0 参照。
R7	P1_TXD2	O	Pull-down	VDDIO_B	ポート 0 参照。
T7	P1_TXD3	O	Pull-down	VDDIO_B	ポート 0 参照。
R9	P1_TXCTL	O	Pull-down	VDDIO_B	ポート 0 参照。
R10	P1_RXC	I	Pull-down	VDDIO_B	ポート 0 参照。
T11	P1_RXD0	I	Pull-up	VDDIO_B	ポート 0 参照。
R11	P1_RXD1	I	Pull-down	VDDIO_B	ポート 0 参照。
T12	P1_RXD2	I	Pull-down	VDDIO_B	ポート 0 参照。
R12	P1_RXD3	I	Pull-down	VDDIO_B	ポート 0 参照。
T10	P1_RXCTL	I	Pull-down	VDDIO_B	ポート 0 参照。
P9	P1_LINK	I	Pull-down	VDDIO_B	ポート 0 参照。
Port 2 Interface					
L1	P2_SRXP	I	High-Z	VDDCORE	ポート 1 参照。
L2	P2_SRXN	I	High-Z	VDDCORE	ポート 1 参照。
K2	P2_STXP	O	High-Z	VDDCORE	ポート 1 参照。
K1	P2_STXN	O	High-Z	VDDCORE	ポート 1 参照。
P4	P2_RSTN	O	Pull-down	VDDIO_B	ポート 0 参照。
T3	P2_TXC	O	Pull-down	VDDIO_B	ポート 0 参照。
R4	P2_TXD0	O	Pull-down	VDDIO_B	ポート 0 参照。
T2	P2_TXD1	O	Pull-down	VDDIO_B	ポート 0 参照。

ピン配置およびピンの説明

表 12. ピン機能の説明 (続き)

ADIN6310 ボール番号	記号	タイプ ¹	リセット時 の内部終端 ²	電源 領域 ²	説明
R3	P2_TXD2	O	Pull-down	VDDIO_B	ポート 0 参照。
R2	P2_TXD3	O	Pull-down	VDDIO_B	ポート 0 参照。
P5	P2_TXCTL	O	Pull-down	VDDIO_B	ポート 0 参照。
R5	P2_RXC	I	Pull-down	VDDIO_B	ポート 0 参照。
T5	P2_RXD0	I	Pull-down	VDDIO_B	ポート 0 参照。
P6	P2_RXD1	I	Pull-up	VDDIO_B	ポート 0 参照。
T6	P2_RXD2	I	Pull-down	VDDIO_B	ポート 0 参照。
R6	P2_RXD3	I	Pull-down	VDDIO_B	ポート 0 参照。
T4	P2_RXCTL	I	Pull-down	VDDIO_B	ポート 0 参照。
P7	P2_LINK	I	Pull-down	VDDIO_B	ポート 0 参照。
Port 3 Interface					
H1	P3_SRXP	I	High-Z	VDDCORE	ポート 1 参照。
H2	P3_SRXN	I	High-Z	VDDCORE	ポート 1 参照。
G2	P3_STXP	O	High-Z	VDDCORE	ポート 1 参照。
G1	P3_STXN	O	High-Z	VDDCORE	ポート 1 参照。
C6	P3_RSTN	O	Pull-down	VDDIO_B	ポート 0 参照。
B5	P3_TXC	O	Pull-down	VDDIO_B	ポート 0 参照。
A4	P3_TXD0	O	Pull-down	VDDIO_B	ポート 0 参照。
C5	P3_TXD1	O	Pull-down	VDDIO_B	ポート 0 参照。
A5	P3_TXD2	O	Pull-down	VDDIO_B	ポート 0 参照。
B6	P3_TXD3	O	Pull-down	VDDIO_B	ポート 0 参照。
A3	P3_TXCTL	O	Pull-down	VDDIO_B	ポート 0 参照。
A2	P3_RXC	I	Pull-down	VDDIO_B	ポート 0 参照。
B3	P3_RXD0	I	Pull-down	VDDIO_B	ポート 0 参照。
B2	P3_RXD1	I	Pull-down	VDDIO_B	ポート 0 参照。
B1	P3_RXD2	I	Pull-up	VDDIO_B	ポート 0 参照。
C2	P3_RXD3	I	Pull-down	VDDIO_B	ポート 0 参照。
B4	P3_RXCTL	I	Pull-down	VDDIO_B	ポート 0 参照。
C3	P3_LINK	I	Pull-down	VDDIO_B	ポート 0 参照。
Port 4 Interface					
E1	P4_SRXP	I	High-Z	VDDCORE	ポート 1 参照。
E2	P4_SRXN	I	High-Z	VDDCORE	ポート 1 参照。
D2	P4_STXP	O	High-Z	VDDCORE	ポート 1 参照。
D1	P4_STXN	O	High-Z	VDDCORE	ポート 1 参照。
C9	P4_RSTN	O	Pull-down	VDDIO_B	ポート 0 参照。
B9	P4_TXC	O	Pull-down	VDDIO_B	ポート 0 参照。
A10	P4_TXD0	O	Pull-down	VDDIO_B	ポート 0 参照。
B10	P4_TXD1	O	Pull-down	VDDIO_B	ポート 0 参照。
A11	P4_TXD2	O	Pull-down	VDDIO_B	ポート 0 参照。
B11	P4_TXD3	O	Pull-down	VDDIO_B	ポート 0 参照。
A9	P4_TXCTL	O	Pull-down	VDDIO_B	ポート 0 参照。
A8	P4_RXC	I	Pull-down	VDDIO_B	ポート 0 参照。
C8	P4_RXD0	I	Pull-down	VDDIO_B	ポート 0 参照。
A7	P4_RXD1	I	Pull-down	VDDIO_B	ポート 0 参照。
B7	P4_RXD2	I	Pull-down	VDDIO_B	ポート 0 参照。
A6	P4_RXD3	I	Pull-up	VDDIO_B	ポート 0 参照。
B8	P4_RXCTL	I	Pull-down	VDDIO_B	ポート 0 参照。

ピン配置およびピンの説明

表 12. ピン機能の説明 (続き)

ADIN6310 ボール番号	記号	タイプ ¹	リセット時 の内部終端 ²	電源 領域 ²	説明
C7	P4_LINK	I	Pull-down	VDDIO_B	ポート 0 参照。
Port 5 Interface					
C13	P5_RSTN	O	Pull-down	VDDIO_B	ポート 0 参照。
B14	P5_TXC	O	Pull-down	VDDIO_B	ポート 0 参照。
B15	P5_TXD0	O	Pull-down	VDDIO_B	ポート 0 参照。
B16	P5_TXD1	O	Pull-down	VDDIO_B	ポート 0 参照。
C16	P5_TXD2	O	Pull-down	VDDIO_B	ポート 0 参照。
C15	P5_TXD3	O	Pull-down	VDDIO_B	ポート 0 参照。
A15	P5_TXCTL	O	Pull-down	VDDIO_B	ポート 0 参照。
A14	P5_RXC	I	Pull-down	VDDIO_B	ポート 0 参照。
C12	P5_RXD0	I	Pull-up	VDDIO_B	ポート 0 参照。
A13	P5_RXD1	I	Pull-down	VDDIO_B	ポート 0 参照。
B12	P5_RXD2	I	Pull-down	VDDIO_B	ポート 0 参照。
A12	P5_RXD3	I	Pull-up	VDDIO_B	ポート 0 参照。
B13	P5_RXCTL	I	Pull-down	VDDIO_B	ポート 0 参照。
C11	P5_LINK	I	Pull-down	VDDIO_B	ポート 0 参照。
Other					
D16	TDO	O	N/A	VDDIO_A	ジョイント・テスト・アクション・グループ (JTAG) へのアクセス。
E16	TDI	I	N/A	VDDIO_A	JTAG テスト・データ出力。
F15	TCK	I	N/A	VDDIO_A	JTAG テスト・データ入力。
F16	TMS	I	N/A	VDDIO_A	JTAG テスト・クロック。
G16	TEST_EN	I	N/A	VDDIO_A	JTAG テスト・モード・セレクト。
Power ³					
D4, D6, D7, D11, E4, F5, G6, G12, H6, H12, J12, K4, K6, K12, L5, L12, M5, M7 to M9, M11, M12, N4 G5	VDDCORE	S	N/A	N/A	デジタル・コアおよびアナログ・コアへの電源、1.1 V ± 5%。DGND との間にデカップリング・キャパシタを接続してください。
D10, N10	VDDCORE_PL L	S	N/A	N/A	アナログ・コア用電源、1.1 V ± 5%。VSSCORE_PLL との間にデカップリング・キャパシタを接続してください。
E12, F12, F13, K13, L13, M13	VDDCORE_DL L	S	N/A	N/A	アナログ・コア用電源、1.1 V ± 5%。VSSCORE_DLL との間にデカップリング・キャパシタを接続してください。
D8, D9, D12, D13, E13, G13, H13, J13, N7, N8, N9, N11, N12	VDDIO_A	S	N/A	N/A	ホスト・ポート (RGMII および RMII のポート 0、SPI、JTAG) 用電源。
H5, J5, K5, F14	VDDIO_B	S	N/A	N/A	RGMII および RMII のポート 1~ポート 5 の電源、MDIO インターフェース。
E5, F4, L4, M4	VDD3P3	S	N/A	N/A	アナログ回路、水晶発振器回路、クロック供給回路用アナログ電源。VSS3P3 との間にデカップリング・キャパシタを接続してください。
	VDD_SGMII	S	N/A	N/A	SGMII のポート 1~ポート 4 の電源。アプリケーションが SGMII を使用しない場合は、VDD_SGMII ピンを基板の VSS_SGMII グラウンドに直接接続してください。
Ground					
F2, H3, J3, K3	VSS3P3	S	N/A	N/A	アナログ回路、水晶発振器回路、クロック回路用グラウンド。

ピン配置およびピンの説明

表 12. ピン機能の説明 (続き)

ADIN6310 ボール番号	記号	タイプ ¹	リセット時の内部終端 ²	電源領域 ²	説明
M10, E10	VSSCORE_DL L	S	N/A	N/A	アナログ・コア用のグラウンド。
G3	VSSCORE_PL L	S	N/A	N/A	アナログ・コア用のグラウンド。
F1, C1, D3, E3, F3, M1, M2, N3, P3, R1	VSS_SGMII	S	N/A	N/A	SGMII のポート 1~ポート 4 のグラウンド。
A1, A16, C4, C10,C14, D5, E6, E7 to E9, E11, F6 to F11, G7 to G11, G14, G15, H7 to H11, J6 to J11, K7 to K11, L6to L11, M6, N5, N6, N13, P11to P13, T1, T16	DGND	S	N/A	N/A	デジタル・グラウンド。
E14, E15, J1, J2, L3, M3	DNC		N/A	N/A	接続なし。これらのボールはオープン・サーキットのままとします。

1 A = アナログ、I = 入力、O = 出力、I/O = 入出力、S = 電源。

2 N/A は、該当なしを表します。

3 一部の電源レールには複数のボールがあります。これらのボールが適切な電源レールに直接接続されるようにすることが、デバイスが正しく動作する上で極めて重要です。

代表的な性能特性

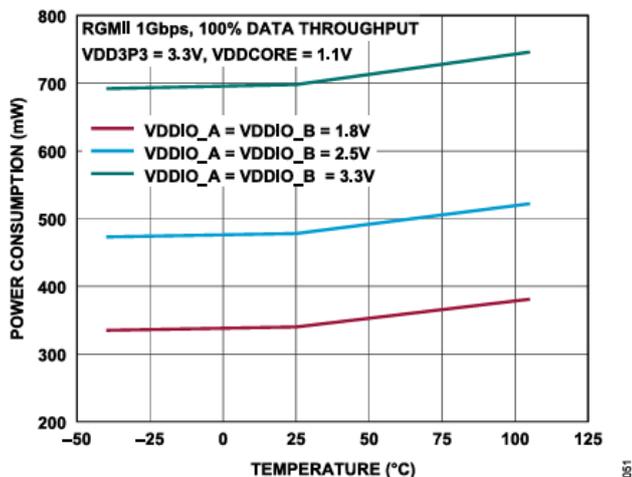


図 12. 様々な VDDIO 電源電圧での消費電力と温度の関係 (6 ポート RGMI 1Gbps)

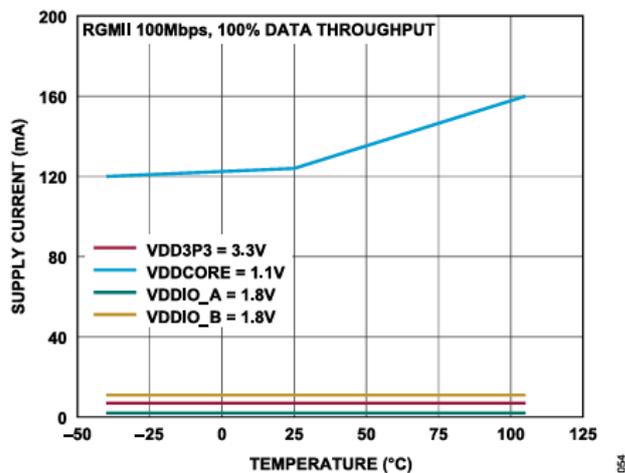


図 15. 様々な VDDIO 電源電圧での電源電流と温度の関係 (6 ポート RGMI 100Mbps)

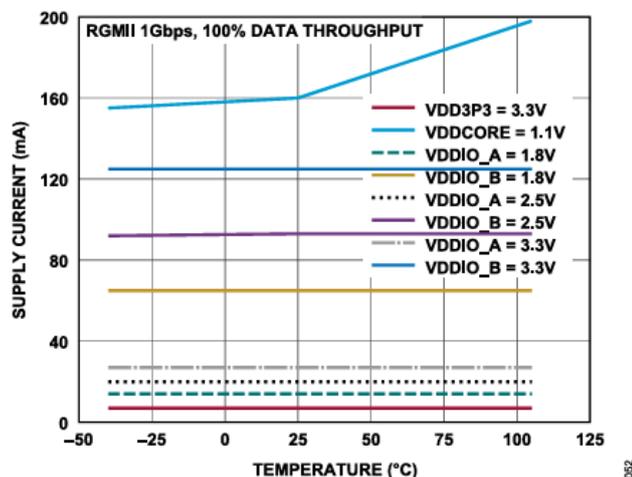


図 13. 様々な VDDIO 電源電圧での電源電流と温度の関係 (6 ポート RGMI 1Gbps)

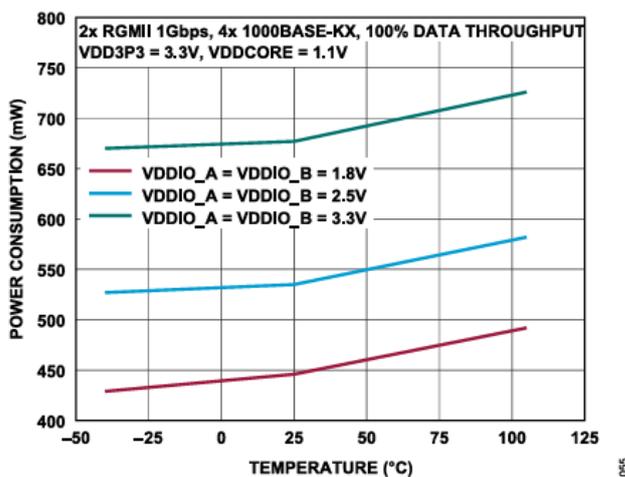


図 16. 様々な VDDIO 電源電圧での消費電力と温度の関係 (2x RGMI 1Gbps, 4x 1000BASE-KX)

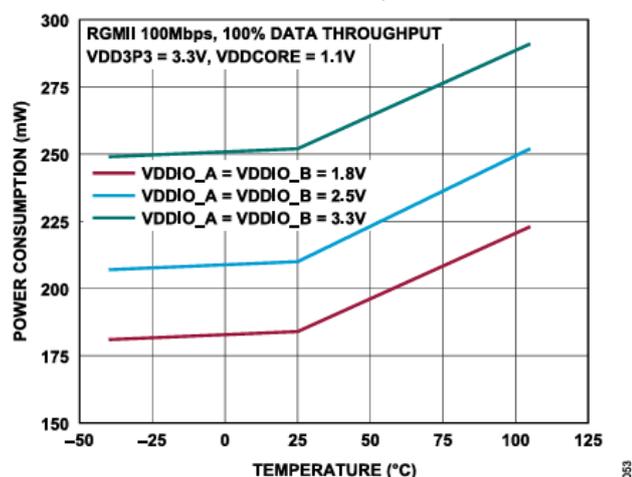


図 14. 様々な VDDIO 電源電圧での消費電力と温度の関係 (6 ポート RGMI 100Mbps)

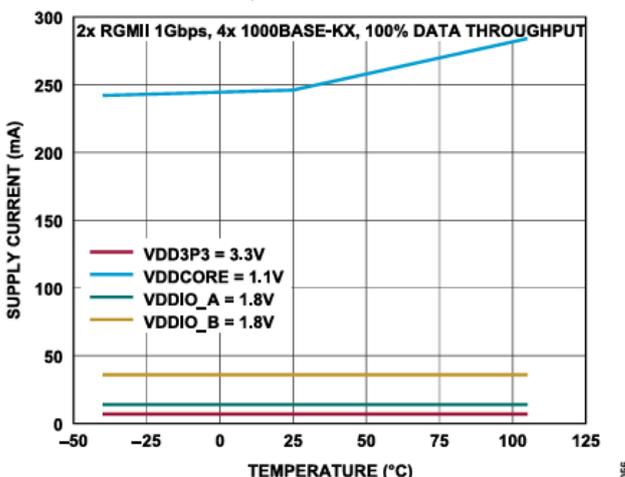


図 17. 様々な VDDIO 電源電圧での電源電流と温度の関係 (2x RGMI 1Gbps, 4x 1000BASE-KX)

動作原理

スイッチの概要

ADIN6310 は、主として産業用イーサネット・アプリケーション用に設計された、セキュリティ機能を内蔵する 6 ポート・ギガビット・イーサネット TSN スイッチです。ポートごとに異なる速度で動作するよう設定できます。このスイッチは、ADIN1100、ADIN1200、ADIN1300 などのアナログ・デバイセス製 PHY デバイスと組み合わせて、RMII および RGMII を通じて低消費電力低遅延のシステムを形成することができるよう設計されています。ポートのうち 4 つはオプションで SGMII および serdes インターフェースに対応できるため、バックプレーン接続や、SFP モジュールへの接続が可能です。

このスイッチは、IEEE 60802 規格が必要とする IEEE 802.1 タイム・センシティブ・ネットワーキングのブリッジ機能一式に対応し、遅延に敏感なストリームに対し QoS を提供します。

また、このデバイスには、PRP や HSR の冗長化プロトコルをサポートするハードウェア機能も備わっており、ホスト・プロセッサの負荷を軽減できます。

従来方式に対応するために、ポートのうち 2 つ（ポート 1 およびポート 2）には、アナログ・デバイセス独自のリアルタイム・イーサネット・マルチプロトコル・スイッチ (REMS) 技術が組み込まれており、以下に示す従来型の 100Mbps の産業用イーサネット・プロトコルと容易にインターフェースできます。

- ▶ PROFINET RT (クラス B) および PROFINET IRT (クラス C)
- ▶ デバイス・レベル・リング (DLR) を備えた EtherNet/IP
- ▶ POWERLINK
- ▶ Modbus TCP

ホストがスイッチと連携して産業用イーサネット・プロトコル・スタックを実行できるよう、ソフトウェア・ドライバが備わっています。

標準、デュアル、またはクワッドの SPI とイーサネットの 2 つのホスト・インターフェース・オプションがサポートされています。イーサネット・ホスト・インターフェースを選択した場合、このポートはホストに対して制御プレーンおよびデータ・プレーンとして動作でき、5 つのイーサネット・ポートはそのまま産業用イーサネット・アプリケーションで使用できます。ホスト・インターフェースは、外部 PHY レイヤ・デバイスへの接続とは別の電圧領域 (VDDIO_A および VDDIO_B) に置くこともできるため、これらの電圧を柔軟に選択でき、電力を節約しながらも容易なインターフェースが可能となります。

ポートの概要

図 18 に、ポートの送受信の概要を簡略化して示します。ポート・フロント・エンドは、6 ポートすべてで RGMII および RMII をサポートし、4 ポート（ポート 1～ポート 4）で SGMII をサポートします。これらのポートは独立しており、別々の速度やインターフェースで動作できます。インターフェースの詳細については、[イーサネットのインターフェース](#)のセクションで説明します。

初期設定時、ホストは、`SES_InitializePorts()`アプリケーション・プログラミング・インターフェース (API) を用いて、スイッチ・ポートに必要なコネクティビリティを設定します（詳細については、`SES_switch.h` ファイルを参照してください。このファイルは、ADIN6310 の製品ページからソフトウェア・ドライバの一部として入手できます）。この設定の一部として、すべてのポート

を有効にしたり、使用しないポートを無効のままにしたりできます。ホストは、各ポートの設定方法、使用する MAC インターフェース、ポート速度、ポートに接続するイーサネット PHY の有無などを指定します。この初期化では、PHY 関連の必要な設定も行うことができます。

受信 MAC は、受信フレームの処理、フレーム・サイズが最小と最大の範囲に収まっているか否かのチェック、インターフレーム・ギャップ (IFG)、プリアンブル、SFD のチェック、受信フレームがプリエンブション可能かまたはプリエンブション済みかのチェックを行い、開始 mPacket 識別子 (SMD) 値、順序、フラグメント数を判定します。宛先アドレス、送信元アドレス、VLAN タグが抽出されてフィルタ処理およびアドレス・ルックアップで使用され、MAC はフレームの巡回冗長検査 (CRC) の値を計算しそれをフレーム・チェック・シーケンス (FSC) と比較します。エラーが発見されたフレームは破棄されます。様々なチェックに合格したフレームは、受信経路を通じて処理が続けられます。

様々なチェックが行われている一方で、フレームは受信経路に転送された後、他のポートの送信経路に渡されます。送信経路は、適切な情報がすべて収集されルーティングの判定が終了するまで、フレームをバッファします。

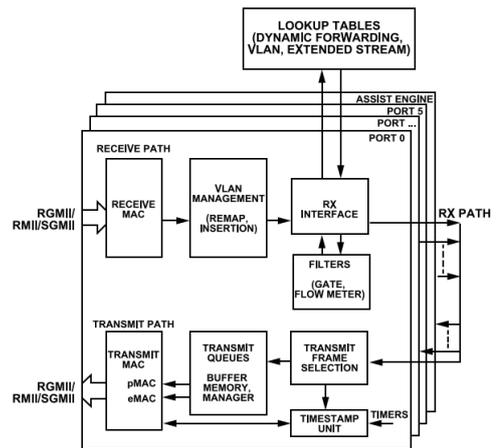


図 18. ポート送受信の簡略図

各ポートの送信ブロックには、8 つの優先度付きキューがあり、デフォルトで厳格な優先度によるスケジューリングを実行します。

MAC、eMAC、pMAC

MAC は、エクスプレス MAC (eMAC) とフレーム・プリエンブション (Qbu) をサポートするプリエンブション可能 MAC

(pMAC) で構成されます。eMAC ユニットの、エクスプレス・キューからのパケットを処理し、カットスルー・パケットまたはストア・アンド・フォワード・パケットを送信できます。pMAC は、プリエンブション可能なキューからのパケットを処理し、また、エクスプレス・キューをモニタしてアクティブなプリエンブション可能パケットをフラグメント化するかどうかを決定します。MAC は、SMD、継続 SMD (SMD-C)、フラグメント化数の適切な順番と組み合わせを検証することで、プリエンブション可能なトラフィックが適切に構築されていることを検証します。また、プリエンブション固有のエラーがあればそれも特定します。MAC フロント・エンドは、ワイヤへ駆動できるようデータをフォーマットし、送信ポートや受信ポートの統計値など各種統計値

動作原理

を維持し、送信されたパケットの mCRC および CRC を生成します。ポート統計値は、**SES_GetStatistics()** API を用いてポートごとに読み出すことができます。あるいは、**SES_ClearStatistics** API を用いてクリアできます（どちらも **SES_switch.h** ファイルに含まれており、これはソフトウェア・ドライバの一部として ADIN6310 の製品ページから入手できます）。

送信時、このスイッチは 11 バイトの倍数の最小限の IFG を確保します。

ストーム保護

このスイッチは、ブロードキャスト・ストームからポートを保護することができます。この機能は、ストリームごとのフィルタ処理およびポリシング (Qci) 機能の一部として提供されます (ストリームごとのフィルタ処理およびポリシングのセクションを参照)。

スイッチ・ファブリック

ADIN6310 のスイッチ・ファブリックは、ポートとパケット・バッファ間のデータの管理と移動を行う高性能エンジンです。このスイッチ・ファブリックは、ストア・アンド・フォワードとカットスルーの 2 つの動作モードに対応し、カットスルーでは遅延を最小限に抑えることができます。このスイッチには、ポートごとに 32k バイトのパケット・ストレージ容量がありますが、ポート間で分担することはできません。

カットスルー動作

カットスルー動作とは、フレームを完全に受信しないうちに送信を開始することを意味します。この場合、長さやエラーの有無など、フレームに関する情報が必ずしもすべて明らかにならないうちに、送信が始まります。送信用フレームのキューイングは、受信フレームのうちの必要な転送データが受信され、転送データベースを通じて処理された後に、発生します。カットスルー・フレームの送信は、開始されると必ず終了します。

エラー状態で受信されたフレームは、それらがストア・アンド・フォワードである場合のみ破棄できます。カットスルーされエラーが検出されたフレームの場合、スイッチは送信時に CRC のエラーを生じます。

カットスルー動作は、このデバイスのデフォルト動作です。カットスルー動作は、送信ポートごと、およびキューごとに設定できます。**SES_switch.h** ファイルにある **SES_SetStoreAndForwardMask ()** API および **SES_GetStoreAndForwardMask** API を参照してください。このファイルはソフトウェア・ドライバの一部として ADIN6310 の製品ページから入手できます。特定のフレームをカットスルー・モードで送信するか、ストア・アンド・フォワード・モードで送信するかを定める静的なテーブル・エントリを追加することができます。

カットスルー動作が可能なのは、送信ポートが送信中ではなく、送信ポートが受信ポートの速度以下である場合のみです。これ以外の場合、フレームはストア・アンド・フォワード・モードで転送されます。カットスルー動作に指定できるのは、エクスプレス・フレームのみです。なお、プリエンブション可能フレームは常に、ストア・アンド・フォワードです。

トラフィック・クラスごとのキュー (**QueueMaxSDU**) 設定値により、キューごとの最大データ・ユニット・サイズが定義され、プログラムされた値を超えるフレームは破棄されます。これらの **QueueMaxSDU** 設定値は、カットスルー・フレームには適用され

ません。フレーム・サイズ情報が入る前にスイッチは既に転送を開始しているためです。

ストア・アンド・フォワード

フレームのカットスルーができない場合、スイッチはストア・アンド・フォワードで動作します。ユーザは、**SES_switch.h** ファイル (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) にある **SES_SetStoreAndForwardMask ()** API と **SES_GetStoreAndForwardMask** API を用いることで、デバイスをストア・アンド・フォワード・モードに設定できます。このモードでは、フレーム全体がメモリに格納され、後になってその宛先に送信されます。フレーム全体をチェックできるため、エラーのあるフレームを特定して破棄できます。**QueueMaxSDU** 設定値がストア・アンド・フォワード・フレームに適用され、プログラムされた設定値を超えるフレームは除外されます。**QueueMaxSDU** 設定値は、ポートごと、およびキューごとにプログラムできます。

ルックアップ・テーブル

動的および静的転送テーブル

転送テーブルには、MAC アドレスおよび動的エントリと静的エントリの関連情報が格納されます。テーブル・サイズは 2048 エントリで、動的テーブルの現在の使用状況は、

SES_GetDynTblEntryUsage() API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能な **SES_switch.h** ファイルを参照) を用いて読み出せます。動的エントリは、受信フレームからのポートの学習に対応してハードウェア内で自動的に作成されますが、静的エントリは、通常、管理ソフトウェアによって作成されます。各受信フレームは、転送テーブルに対しルックアップ要求を生成します。エントリが既に存在する (ヒットを返す) 場合、テーブルは、そのフレームの送信先と、適用すべき変換またはフィルタについての情報を返します。エントリがない (例えば、不検出を返す) 場合、フレームはデフォルト動作で転送されます。ユーザは、**SES_switch.h** ファイルにある **SES_SetUnicastMissReturn()** API と **SES_SetMulticastMissReturn()** API を通じてデフォルトの不検出動作を設定できます。VLAN タグの付いたトラフィックでは、トラフィックで送信する対象の VLAN ID を転送するよう設定する必要があります。

学習

学習プロセスは、学習が無効化されていない限り、ポートで受信されるすべてのフレームに対し実行される機能です。学習は、動的転送テーブルにデータを追加するために自動化されたメカニズムです。テーブルが新しい動的エントリで更新されるのは、エントリがまだ存在しない場合、受信したパケットにエラーがない場合、受信したパケットにユニキャストのソース・アドレスがある場合、パケットサイズが有効な場合です。フレームが有効だった場合、新しいエントリが MAC アドレス、VLAN ID、受信ポートと共に送信テーブルで作成され、エージングが初期化されます。更にフレームを受信し、ルックアップが行われると、エントリが一致している場合には、エントリのエージ・フィールドがリセットされます。**SES_GetLearnMode()** API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能な **SES_switch.h** ファイルを参照) を用いることで、スイッチの学習モードをチェックできます。また、問い合わせを行って動的テーブルのエントリをリードバックすることもできます。

動作原理

エントリの挿入または削除

管理ソフトウェアは、転送テーブルとの間で静的エントリをインストールしたり、エントリを削除したりできます。

基本的な静的エントリを追加する API は、

SES_AddStaticTableEntry()で、これには、MAC アドレス、VLAN ID、宛先ポートが必要です。これらの基本的な静的エントリをリードバックすることはできません。エントリを削除するには、**SES_RmStaticTableEntry()** API が使用できます。

より詳細な静的テーブル・エントリをテーブルに追加するには、エントリにより多くの設定ができる

SES_AddStaticTableEntryEx() API を使用します。この拡張エントリは、**SES_ReadStaticTableEntry()** API でリードバックでき、**SES_RmStaticTableEntryByIndex()** API で削除できます。これらの API は、すべて **SES_switch.h** ファイル (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) の一部です。

エージング

各動的テーブル・エントリには、それに付随するエージング値があります。エージングは、エントリが最後に更新された時点や最後に参照された時点からの経過時間を表します。ルックアップ・ステート・マシンは、対応するソース・アドレスと VLAN の組み合わせが生じるたびに、テーブルの動的エントリのエージング・カウント情報を更新します。記録が一定時間更新されないと、エージングは無効になり、ステート・マシンはテーブルからその記録を削除します。静的エントリはエージング・プロセスから除外されます。デフォルトのエージング値は 300 秒で、これは API でプログラム可能です。なお、プログラム可能な範囲は 2 秒から 4 時間です。

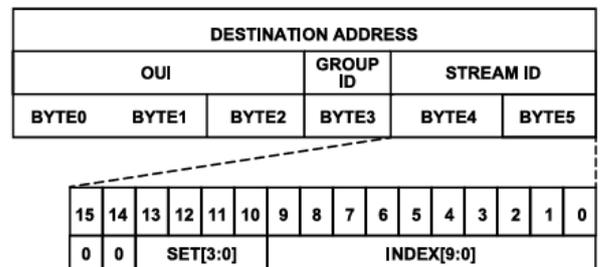
エージング時間は、**SES_switch.h** ファイル (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) の一部である、**SES_GetDynamicTblAgeOutPeriod()** API と **SES_SetDynamicTblAgeOutPeriod()** API を用いて、読み出したり変更したりできます。

拡張ルックアップ・テーブル

拡張ルックアップ・テーブルには 256 のエントリが可能です。このルックアップ・テーブルの目的は、フレームをより深く調べ、多様なトラフィックを特定してフィルタ処理や変換を行えるようにすることです。

ストリーム・ルックアップ・テーブル

ストリーム・テーブルは最大 16,000 のエントリをサポートできません。これは、宛先アドレスの一部を VLAN ID と共に用いてストリームを識別することで機能します。アドレスの最初の 3 バイトは固定されており、下位 14 ビットがストリームを識別するのに用いられます。スイッチは、1024 エントリからなるブロックを 16 個サポートし、合計で 16,000 エントリが可能です。ストリーム・ルックアップ管理テーブルは、16 エントリの深度 (ビット [3:0]) で、各エントリは、基本アドレスと 1024 個のエントリから領域の始点を定義します。



OUI: ORGANIZATIONALLY UNIQUE IDENTIFIER.

013

図 19. 宛先アドレスとストリーム・インデックス

動作原理

ルックアップの種類

このスイッチで可能なルックアップの種類を図 20 に示します。

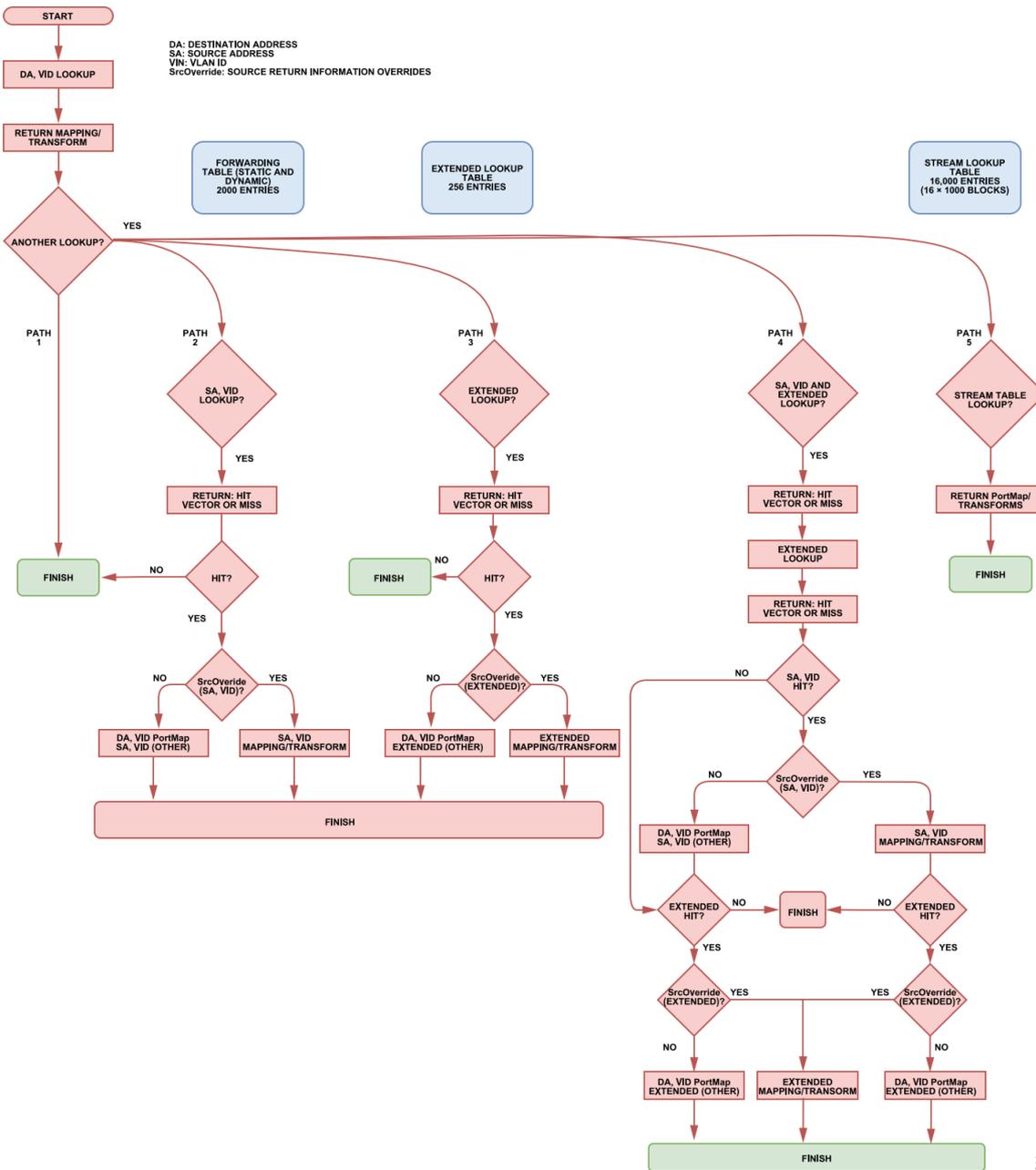


図 20. ルックアップのフローチャート

014

動作原理

標準ルックアップ

標準ルックアップは、ルックアップのデフォルト・タイプです。標準的な宛先アドレスと VLAN のルックアップは、フレームの受信ごとに行われます。フレーム情報は、静的および動的テーブルのすべてのエントリに対して検索され、ヒットした場合はマッピング・フィールドと変換フィールドを返します。そうでない場合は、不検出（ミス）を返します。リターン情報でヒットしたことが示された場合は、必要に応じて更なるルックアップが必要となる場合があります。例えば、トラフィックの処理方法、適用しなくてはならない受信フィルタ処理のタイプ（ストリーム・ゲートや流量計など）、フレームに適用しなくてはならない変換の種類などで、具体的には以下に示すものが挙げられます。

- ▶ PRP、IEEE 802.1CB、または HSR の各タグの挿入または削除
- ▶ タイムスタンプ関連の変更（補正フィールド、ソース・アドレス、ソース・ポートの ID）
- ▶ 宛先アドレスの変更
- ▶ VLAN タグの挿入、削除、変更

不検出は、テーブルにエントリがないことを示し、デフォルトの処理が適用されます。デフォルト動作は、ユニキャスト、マルチキャスト、ブロードキャストの各フレームに設定可能です。

宛先と VLAN ルックアップが終了した後、追加のルックアップが必要であれば、これらのルックアップを並列に実行できます。

ソース・ルックアップ

宛先アドレスおよび VLAN ID ルックアップがソース・ルックアップを要求する場合、これがソース・アドレスおよび VLAN ID のルックアップとなります。ルックアップから返される情報は、フレームのルーティング方法と適用すべきフィルタ処理または変換を指示します。ソース・ルックアップは、静的エントリのインストール方法に基づいて要求されます。あるいは、すべてのトラフィックでソース・ルックアップを行うようポートを設定することもできます。

拡張テーブル・ルックアップ

拡張テーブル・ルックアップ・モードが有効化されている場合、このルックアップは、標準ルックアップまたはソース・ストリーム・ルックアップに追加して実行されます。拡張ルックアップによって実行される追加分析は、フレーム処理が長くなる原因になります。このモードでは、フレームの EtherType が識別され、次にこれが EtherType 変換テーブルでルックアップされます。

EtherType 変換テーブルは、16 エントリのテーブルで、サポートされている EtherType ごとに検索パターンを示しています。戻り値は、オフセットとカウントからなる 8 ペアです。オフセット値は、拡張検索への追加が開始される（EtherType 後の）データ・バイトを示し、カウントは、拡張検索に追加される（このオフセットから始まる）バイト数を示します。

パケットから抽出されたデータは、その EtherType に適合する全データ・パターンを表します。

拡張ルックアップは、静的エントリのインストール方法に基づいて要求されます。あるいは、すべてのトラフィックで拡張ルックアップを行うようポートを設定することもできます。

ストリーム ID ルックアップ

ストリーム ID ルックアップ・モードは、標準ルックアップまたはソース・ストリーム・ルックアップに追加して実行できます。ストリーム設定 API は、**SES_stream.h** ファイル（ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能）の一部です。

VLAN テーブルおよび管理

VLAN は、ネットワークを、トラフィックがより大きなネットワークの特定のサブセットに向けられている複数の仮想ネットワークに分割するために用いられます。VLAN のプロトコルは、イーサネット・フレームのヘッダに含まれる、4 バイトのタグを用います。このスイッチは、4096 エントリの VLAN テーブルをサポートします。テーブル内の各エントリは、その VLAN 内のポートごとに、無効化、学習、転送などの状態を設定します。

VLAN 管理ブロックは、受信ポートに適用される機能を制御し、受信時の VLAN ID または優先度の再割り当てを行い、VLAN ID を置き換え、VLAN タグが割り当てられていなければこれを付加し、ポートに入るトラフィックを特定の VLAN セットに制限します。

デフォルトの VLAN 動作は、すべての VLAN ID について「学習なし」、「転送なし」ですが、すべてのポートについてタグなしポートと優先ポート（VID 0）は例外です。そのため、ユーザは、デバイスの初期設定時に、直接 VLAN テーブルを設定するか、ポートをトランク・タイプまたはアクセス・タイプとして設定する必要があります。トランク・ポートが複数の VLAN ID または複数の範囲の VLAN ID をサポートできるのに対し、アクセス・ポートがサポートするのは 1 つの VLAN ID のみです。

VLAN のトランク・ポート設定またはアクセス・ポート設定を用いている場合、このスイッチは、トラフィックがポート間を移動する際に、必要に応じて VLAN タグの挿入や削除を処理します。

VLAN 設定 API は、**SES_vlan.h** ヘッダ・ファイル（ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能）の一部です。このスイッチは二重タギングには対応していません。VLAN テーブルは 4096 のエントリをサポートしますが、実際には、システムはわずかな数の VLAN しか使用しません。スイッチの VLAN テーブルを設定する際は、アクティブな VLAN の数を最大でも 64 に制限する必要があります。

バッファ管理

各送信ポートには、32K バイトの専用フレーム・バッファがあります。このバッファが一杯になった場合は、最も古い、最低優先度のトラフィックが破棄されます。トラフィック・クラスのキューごとに 32 のエントリを保持できます。キューが一杯になった場合は、そのキューの最も古いエントリが削除されます（トラフィック・クラスとは無関係）。受信フレームは、パケットが受信されるときにバッファ・メモリに格納されます。送信用に送信ポートが使用できる場合は、転送決定するのに十分な情報が得られると直ちに、フレームをカットスルーできます。ポートがビジーな場合、または、フレームをストア・アンド・フォワードとして処理しなくてはならないという情報が返された場合は、フレーム全部がバッファされ、送信ポートの送信キューに追加されます。

動作原理

サービス品質 (QoS)

このスイッチの QoS では、ポートあたり 8 個の内部キューを備え、8 通りのトラフィック優先度をサポートしています。受信フレームは、VLAN タグの有無、またはタグがあればその優先度に応じて、送信キューに割当てられます。VLAN 優先度が 0 のトラフィックは、0 の最低優先度キューに入ります。VLAN 優先度が 7 のトラフィックは、7 の最高優先度キューに割り当てられます。このスイッチは、優先度を厳格に使用して各送信キューをスケジューリングします。そのため、送信ポートは、優先度の高いキューの送信後に、優先度のより低いキューという順序で、各キューからフレームを送信します。このスイッチでは、ポートごとに設定を行って、VLAN 優先度の再優先順位付けが可能です。

ポート転送マスク

このスイッチは、ポートごとにポート転送マスクが可能です。これを用いることで、トラフィックをポート間で転送する方法を更に分離できます。ホスト・コントローラは、デバイス初期化ルーチンの一部として、必要なポート転送マスクをポートごとに設定します。この機能を設定する API は、SES_logical_mac.h ヘッダ・ファイル (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) の一部である

SES_ApplyForwardMask() です。

イーサネット・フレーム

イーサネット・フレームを図 21 に示します。これは、0x55 の一連の 8 バイトのプリアンブルとそれに続く SFD または SMD を含んでいます。受信フロント・エンドは、最小で 1 つの 0x55 で構成される、これより少ないバイト数のプリアンブルと、それに続く SMD または SFD を処理できます。

フレーム・プリエンブション機能を用いる場合、SMD は、後続のフレームがエクスプレス・フレーム、プリエンブション可能パケットの最初の部分、フラグメント化されたプリエンブション可能パケットの継続フレームのどのタイプかを指定します。予想される SMD のタイプは次のとおりです。

- ▶ SMD-E、エクスプレス・フレーム識別子 = 0x5D (標準 SFD)
- ▶ SMD-V、検証パケット = 0x07
- ▶ SMD-R、応答パケット = 0x19
- ▶ SMD-S0、～SMD-S3 プリエンブション可能パケットの開始
- ▶ SMD-C0、～SMD-C3 継続フラグメント

SMD の後に、宛先アドレスおよびソース・アドレスが付いたレイヤ 2 のヘッダが続きます。標準的なイーサネット・フレームには VLAN タグがない場合があります。ただし、タグはスイッチ・ポート管理によって追加できます。通常、TSN ストリームには、優先度 (PCP) と 12 ビットの VLAN ID が含まれる VLAN タグがあります。VLAN ID は、ルックアップ・テーブルで TSN ストリームを指定する宛先アドレスと共に用いられます。

工業用アプリケーションでの代表的なフレーム・サイズは、1522 バイト (VLAN タグを含む) 未満です。このスイッチは、1522 バイトを超えるフレームの送受信が可能です。ただし、パケットが大きいとそれだけバッファ・メモリの消費量が大きくなり、フレーム・サイズが長い場合にはイーサネットの CRC 堅牢性が著しく低下します。そのため、このようなフレームでは、検出されないエラーが生じる可能性があります。デフォルトの最大長 (1522 バイト) を超えるフレームは、過大フレーム・エラーとして受信ポート統計情報に記録されます。

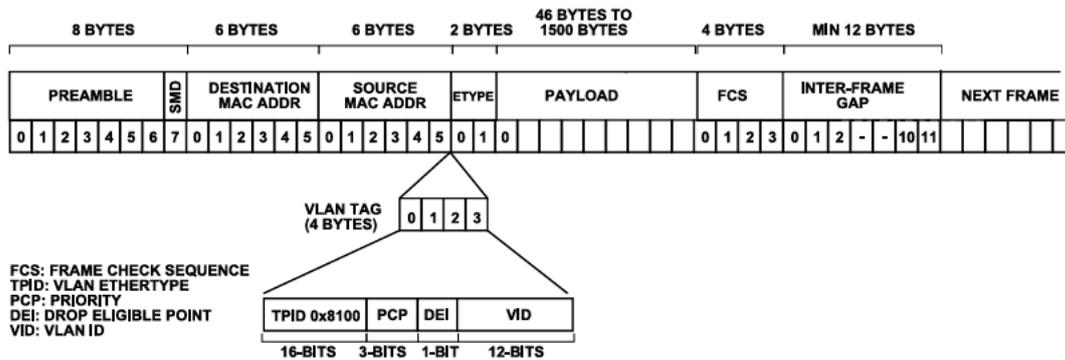


図 21. イーサネット・フレーム

動作原理

スイッチの遅延

スイッチの動作（カットスルーおよびストア・アンド・フォワード）とルックアップのタイプは、フレームに生じる遅延に直接影

響します。表 13 に、一般的な使用事例とルックアップの主な遅延仕様と計算方法を示します。

表 13. スwitchの遅延とルックアップの関係^{1,2}

Type of Lookup	Latency Specification and Calculation	Conditions
Cut-Through		minByteCnt = 0x10 (Ethernet header; VLAN tag)
VLAN Insertion and Modification on the Receive Port	(DA + VID) + 0 ns	Same as DA + VID lookup
Source Address Lookup	(DA + VID) + 40 ns	Latency increase in RGMII 1000 Mbps due to additional lookup; no change at 100 Mbps or 10 Mbps
Stream Table Lookup	(DA + VID) + 0 ns	Same as DA + VID lookup
Modifications and Insertions on Transmit Port	(DA + VID) + 40 ns	Add, strip VLAN/IEEE 802.1CB header, insert timestamp, remap, and change priorities; latency increase applies to all speeds
Extended Lookup	(Inspection_Depth ³ (bytes) + 8) × Symbol_Time + 320 ns	
Store and Forward		
Port to Port	(Frame Size ⁴ (bytes) + 8) × Symbol_Time + 200 ns	No packet modification
Port to SPI Host ⁵	(Frame Size (bytes) + 8) × Symbol_Time + 110 μs	

1 SFD の受信から SFD の送信、あるいはホスト割込み（ホスト・ポートの場合）の送信まで。トラフィックの干渉はなく、受信と送信で同じ周波数。

2 Symbol_Time = 800ns、80ns、8ns（それぞれ 10Mb、100Mb、1000Mb）

3 拡張ルックアップが分析するフレームの受信バイト数。

4 フレーム・サイズは送信するバイト単位です。

5 ポートから SPI ホストへの通信は、常にストア・アンド・フォワードで、ファームウェアの機能の 1 つです。

動作原理

受信および送信ポートの統計情報

スイッチのレコード情報は、ポート間のトラフィックに基づくもので、受信フレーム、送信フレーム、ホストがリードバックできるフレームの統計情報が収集されています。受信の統計情報の詳細を表 14 に示します。

表 14. ポートごとの受信統計情報

Parameter	Description
Bytes Received	Number of bytes received on a port. Only applies to the frame and not the packet (that is, preamble, SFD or SMD, and CRC or mCRC)
Unicast Packets Received	Number of unicast addresses received on a port, and counter is incremented for errored packets.
Broadcast Packets Received	Number of broadcast packets received on a port, and counter is incremented for errored packets.
Multicast Packets Received	Number of multicast packets received on a port, and counter is incremented for errored packets.
Frames Received with Alignment Errors	Number of packets with alignment errors.
Frames Received with CRC and FSC Errors	Number of packets with CRC, mCRC, or FSC errors.
Frames Received with Large Frame Errors	Number of packets received on a port greater than the configured maximum length in bytes.
Frames with Receive MAC Errors	Number of frames with receive MAC errors.

送信の統計情報の詳細を表 15 に示します。

表 15. ポートごとの送信統計情報

Parameter	Description
Bytes Transmitted	Number of bytes transmitted.
Unicast Packets Transmitted	Number of unicast packets transmitted.
Broadcast packets Transmitted	Number of broadcast packets transmitted.
Multicast Packets Transmitted	Number of multicast packets transmitted.
Frames Transmitted After Single Collision	Number of frames that experienced a single collision.
Frames Transmitted After Multiple Collision	Number of frames that experienced multiple collisions.
Frames Dropped After Excessive Collisions	Number of frames dropped because of multiple collisions.
Frames with a Collision After 512 Bits	Number of frames that experienced a late collision.
Frames Delayed by Traffic	Number of frames delayed by traffic. Carrier busy at first attempt.
Frames with Transmit MAC Errors	Number of frames with a transmit MAC errors.

パケット・アシスト・エンジン

パケット・アシスト・エンジンは、スイッチおよび MDIO インターフェースに接続された外部 PHY デバイスを管理する、オン・チップのマイクロコントローラです。このエンジンは、スイッチ設定の管理、転送テーブルへの静的エントリのインストール、外部ホスト・プロセッサから適用されたこの設定に対応する VLAN テーブルの設定などの、基本的なスイッチ動作を制御します。

ホスト・ポートの接続は、SPI、デュアル SPI、クワッド SPI を通じて、あるいは、イーサネット・ポートを通じて可能です。

スイッチで実行されるソフトウェア

図 22 に、ホスト・プロセッサとスイッチのパケット・アシスト・エンジンとの間の、ソフトウェアのパーティショニングの概要を示します。青色の線で示したブロックは、アナログ・デバイスズが（ファームウェアおよびドライバ・ライブラリにより）供給するソフトウェア成果物です。

パケット・アシスト・エンジンは、スイッチ固有の設定と TSN 機能の多くを制御するファームウェアを実行することで、ホスト・プロセッサのオーバーヘッドを軽減できます。パケット・アシスト・エンジンが実行するファームウェアは、アナログ・デバイスズにより提供されるもので、このファームウェアのアップデートは、セキュアに、かつ、ソリューションの進展に応じて行われます。

ソフトウェア・ドライバの API パッケージ（ADIN6310 製品ページで入手可能）により、ホスト・プロセッサはスイッチの機能を設定できます。ADIN6310 がサポートする機能は以下のとおりです。

▶ スイッチ設定の管理

- ▶ 基本的なスイッチ設定、ポート設定、ポート統計情報
- ▶ 静的エントリに対する転送テーブルの管理、動的テーブルのフラッシュ機能、エージング制御
- ▶ VLAN のテーブル設定、再マッピング、再優先順位付け
- ▶ ハードウェアの GPIO、タイマー制御
- ▶ 論理 MAC 機能
- ▶ ポート・マスク機能
- ▶ ストリームのテーブル設定
- ▶ レイヤ 2 の送信および受信フレーム
- ▶ イベントのサブスクリプション
- ▶ SendList
- ▶ メディア冗長化プロトコル（MRP）スタック
- ▶ 高可用性（HSR、PRP、IEEE 802.1CB）

▶ MDIO インターフェースを介した PHY ドライバ（エンド・アプリケーションに応じて ADIN1100、ADIN1200、または ADIN1300）通信

▶ TSN 機能の設定およびステータス

- ▶ スケジューリングされたトラフィック、ポートおよびハードウェア・タイマー・ピンの Qbv 設定
- ▶ フレーム・プリエンプション、Qbu 設定、状態
- ▶ 時刻同期、IEEE 802.1AS 設定（間隔、優先度、状態）
- ▶ ストリームごとのフィルタ処理およびポリシング、Qci 設定、統計情報
- ▶ 信頼性向上のためのフレーム複製および削除（FRER）、IEEE 802.1CB 設定、統計情報

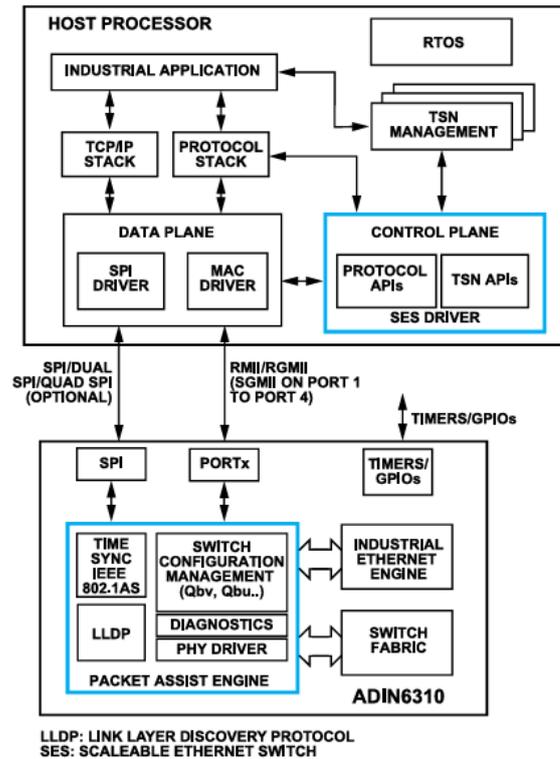


図 22. スイッチとホスト・プロセッサ間のソフトウェア・パーティショニングの概要

ファームウェアのアップデート

このスイッチは、ドライバ経由でホスト・インターフェースを介したセキュアなファームウェア・アップデートが可能です（SPI またはイーサネットのどちらかを介したファームウェア・アップデートもサポート）。ファームウェアは、TSN ライブラリ・パッケージの一部として提供されます。デバイスは、プログラムされていない状態で供給され、ファームウェアはロードされていません。ホストが最初に行わなければならないのは、ファームウェアをロードすることです。ファームウェアのイメージは約 380kB です（ただし最大 500kB まで増加可能）。ファームウェアは、ドライバ・パッケージの一部として含まれています。SES_firmware.c ファイル（ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能）を参照してください。ファームウェアのイメージは、ホストのメモリに置くことができます。そのため、これに対応できるだけの十分なメモリ容量が必要です。あるいは、ホストが使用できるメモリを別に用意する必要があります。TSN ライブラリ API では自動ファームウェア・アップデートが可能です。新たにインストールされたデバイスのパワーアップ時に、ブートローダがチェックを行いホストからファームウェアを要求します。ホストはブートローダからのこの要求に応じ、ファームウェアのロード・プロセスをサポートする必要があります。このプロセスにより、ファームウェアの自動アップデートが始まり、ファームウェアのアップデートが正常に終了するとデバイスはリセットされます。

ファームウェアは API 呼び出しを用いて直接ロードすることもでき、ユーザは、デバイスで実行中の最新のファームウェア・バージョンをリロードできます。

パケット・アシスト・エンジン

ドライバ・ライブラリとファームウェアは、ペアをなし、常に一致している必要があります。新しいバージョンのドライバとファームウェアを実行すると、自動ファームウェア・アップデート・プロセスによりスイッチで実行中のファームウェアをアップデートできます。APIの詳細な情報と説明については、[ADIN6310 Software Driver User Guide](#) を参照してください。

NETCONF

NETCONF は、ネットワーク管理設定プロトコルの 1 つで、YANG (データ・モデリング言語) モジュールの形で XML 設定ファイルを転送することでネットワーク・エレメントを設定するために用いられます。NETCONF および YANG は、簡易ネットワーク管理プロトコル (SNMP) や管理情報ベース (MIB) データベースなどの従来のプロトコルを上回る関心を集めています。

このスイッチは、ホスト・プロセッサで動作している NETCONF サーバーを用いスイッチに YANG モジュールをロードして、すべてのスイッチ機能および TSN 機能セットの設定に対応します。

ソフトウェア・ドライバ・ライブラリ・パッケージには、Sysrepo データストアとソフトウェア・ドライバの間の変換レイヤが含まれています。

TSN と他のブリッジ機能はどちらも NETCONF を介して設定できます。スイッチ・モデルは、IEEE YANG モデルに従い、必要に応じて、デバイス固有の機能のためのカスタム・リーフ・ノードを含みます。

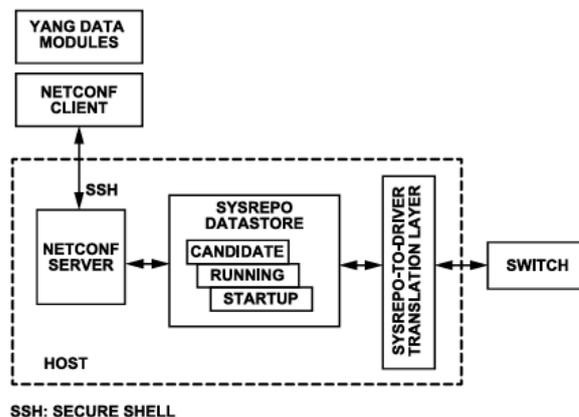


図 23. NETCONF とスイッチの関係についての概要

インターフェース

シリアル・インターフェース、SPI

このスイッチには、ホスト・インターフェースとして使用できる、同期式 SPI 対応シリアル・インターフェースが内蔵されています。SPI は 32 ビットのデータ転送に対応し、ターゲット・インターフェースであり、標準 SPI、デュアル SPI、クワッド SPI が可能です。表 16 に、様々な SPI インターフェース・モードに対応するピンを示します。ホスト・インターフェース・モードの設定は、外部ブートストラップ (表 20 のセクションを参照) を用いて行うことができます。SPI モードの場合、インターフェースは、デュアルまたはクワッド SPI において全 2 重動作と半 2 重動作の通信が可能です。

インターフェースでのトランザクションは、パケット・アシスト・エンジンによって使用され、スイッチとより上位のレベルの通信およびプロセッサとの間での通信を容易なものにします。SPI は、比較的高性能のプロセッサまたはフィールド・プログラマブル・ゲート・アレイ (FPGA) を用いて低性能～中性能のシステム向けの通信媒体を提供し、ポートの 1 つの RMII、RGMII、または SGMII に直接インターフェースします。

チップ・セレクト、SPI_SS

アクティブ・ローのチップ・セレクト・ピン (SPI_SS) により SPI の有効化/無効化が行われます。SPI_SS がハイの場合、デバイスは選択されず、シリアル・データ出力 (SPI_SIOx) は高インピーダンスになります。SPI_SS がローになると、デバイスが選択され、デバイスとの間でコマンドの読書きが可能になります。

シリアル・クロック、SPI_SCLK

シリアル・クロック入力、スイッチのパケット・アシスト・エンジンとの間でデータを同期するために用いられます。SCLK の最大周波数は 38MHz です。

シリアル・データ入出力、SPI_SIOx

このスイッチは、SPI、デュアル SPI、クワッド SPI 通信をサポートします。このデバイスには 4 つの SPI_SIOx ピンがあります。標準 SPI で動作する場合、SPI_SIO0/SDI は、書き込み動作の単方向シリアル・データ入力ラインとなり、SPI_SCLK の立上がりエッジでクロック入力されます。SPI_SIO1/SDO は読出し用の単方向データ出力で、SPI_SCLK の立下がりエッジでクロック出力されます。

デュアルおよびクワッド SPI の場合は、コマンドは双方向 SPI_SIOx ピンを用いてデータの読出しおよび書込みを行います。

データ・ラインは読出しコマンドにのみ応答して駆動されます。

表 16. SPI ピンの動作

Mnemonic	Quad SPI	Dual SPI ¹	SPI ¹
SPI_SS	SS	SS	SS
SPI_SCLK	SCLK	SCLK	SCLK
SPI_SIO0	SIO0	SIO0	SDI
SPI_SIO1	SIO1	SIO1	SDO
SPI_SIO2	SIO2	N/A	N/A
SPI_SIO3	SIO3	N/A	N/A

¹ N/A は、該当なしを表します。

割込み、INT

TIMER0/INT ピンは、スイッチからホストへの単一割込み出力を行い、このピンを用いて SPI 動作の調整をします。INT 機能は TIMER0/INT ピンの共用機能であり、パケット・アシスト・エンジン・ソフトウェア (ADIN6310 製品ページで入手可能) で管理されます。

デュアル SPI およびクワッド SPI の相互作用

図 24 に、クワッド読出し通信のビット順序およびバイト順序の概要を示します。読出しには、データが SPI_SIOx ピンに出力されるまでに 2 クロック周期分のターンアラウンドが必要です。SPI_SIOx ピンは、この 2 クロックのターンアラウンド時間の間、ローに駆動されます。書込みトランザクションは、フォーマットに関しては同じように見えます。ただし、ターンアラウンドがないため、命令バイトの 2 番目のニプルのすぐ後にデータの最初のニプルが続きます。データは、バスの MSB 上でデータの MSB ビットから送受信されます。

デュアル SPI トランザクションも同様で、SPI_SIO1 がペアの最上位ビットを伝搬し、バイトの最上位ペアが最初に送信されます。同様に、読出しでは 2 クロック周期のターンアラウンドを使用します。

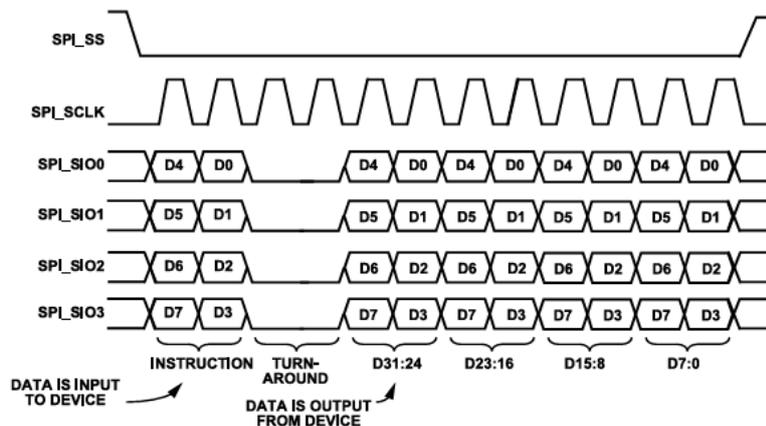


図 24. クワッド SPI のデータ読出し

インターフェース

SPI を介した通信

いずれかの SPI オプションをスイッチとのホスト・インターフェースとして用いるアプリケーションでは、スイッチは、データの可用性をホストに通知する割込みとして、TIMERO ハードウェア・ピンを用います。ホストがイーサネットを優先インターフェースとして用いる場合は、TIMERO ピンは、割込みとしては機能せず、タイマー・ピンとして使用できます。どの SPI モードでも、ホストは TIMERO ピンをホストのいずれかの使用可能な GPIO ピンに接続する必要があります。このピンの立上がりイベントにより、ホスト側でソフトウェア割込みをトリガして、スイッチからのメッセージの読出しを促す必要があります。この割込みサービス・ルーチンでは、ハードウェア抽象化レイヤ (HAL) インターフェース読出し機能呼び出し、スケラブル・イーサネット・スイッチ (SES) からデータを読み出し、次にドライバの `SES_ReceiveMessage()` API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を呼び出す必要があります。スイッチからの割込みを受信すると、ホストは 4 バイトの HAL インターフェース読出し (`uint32_t`) をトリガする必要があります。このインターフェース読出しの呼び出しに対する SES からの応答は、SES からの読出しに使用できるバイト長になります。ホストは、SES に対しこのバイト長の HAL インターフェース読出しをもう一度呼び出す必要があります。最後に、この呼び出しの応答データを `SES_ReceiveMessage()` API に引き渡す必要があります。ホストは、このイベントに特別なスレッドを割り当てるか、割込みサービス・ルーチン (ISR) を備えているのが理想的です。

PHY MDC および MDIO インターフェース

このスイッチには、コントローラ MDC および MDIO インターフェースがあります。これは、スイッチに接続された PHY レイヤの制御とステータスを管理するために用いられる 2 線式バスです。PHY レイヤは、このバスではターゲットとして機能し、各レイヤには固有の識別アドレスがあります。これらの PHY アドレ

スは、外付けのストラッピング抵抗で設定され、リセット時にサンプリングされます。あるいは、スイッチが各 PHY アドレスを直接制御することもできます。このインターフェースには、最大 32 個のターゲット・デバイスを接続できます。MDIO インターフェースは、クロック・ピン (MDC) と双方向データ・ライン (MDIO) で構成されています。クロックは、スイッチから出力され PHY レイヤに入力されます。MDIO ピンでは、1.5k Ω 抵抗を外付けして、VDDIO_B にプルアップすることが必要です。通常、データ・ラインは、スイッチから駆動されますが、PHY レイヤの 1 つに読出しが命令された場合は例外です。

バスは、スイッチのパケット・アシスト・エンジンによって制御されます。外部のホスト・プロセッサが PHY レジスタにアクセスする必要がある場合、このプロセッサは、その汎用インターフェースを通じてこのアクセスを要求し、パケット・アシスト・エンジンにバス・トランザクションを実行させなくてはなりません。フレーム・フォーマットは、このタイプのインターフェースの標準的なもので、各命令は以下で構成されます。

- ▶ プリアンプル：フレームの冒頭に同期を確立します。
- ▶ フレームの開始：01 がフレームの開始を示します。
- ▶ OP：動作コードがフレーム・トランザクションのタイプを示し、10 が読出し、01 が書込みです。
- ▶ PHYAD：PHY アドレス。MSB ファースト、一致する PHY アドレスを持つ PHY レイヤのみが応答します。
- ▶ REG ADDR：レジスタ・アドレス、MSB ファースト。
- ▶ TA：読出し遷移時の競合を回避するために使用されます。レジスタのアドレス・フィールドとデータ・フィールド間に 2 ビットのタイム・スペースが置かれます。
- ▶ DATA：16 ビット・フィールド、MSB ファースト。
- ▶ ADDRESS および DATA：16 ビット・フィールド、MSB ファースト。
- ▶ IDLE：高インピーダンス状態。MDIO ラインはプルアップ抵抗によりハイにプルアップします。

表 17. フレームのフォーマット

Operation	Preamble	Start of Frame	OP	PHYAD[4:0]	REG ADDR[4:0]	TA	DATA[15:0]	IDLE
Read	32 1s	01	10	AAAAA	RRRRR	Z0	d ... d	Z
Write	32 1s	01	01	AAAAA	RRRRR	10	d ... d	Z

インターフェース

イーサネットのインターフェース

ADIN6310には、6つのイーサネット・ポートがあります。ポートごとに RMII または RGMII に対応でき、ポートのうち4つ（ポート1～ポート4）は SGMII にも対応できます。各インターフェース専用に割り当てられたピンの一覧については、以降のセクションで示します。

MAC インターフェースは、速度が 10Mbps および 100Mbps の場合全 2 重と半 2 重の両方に対応し、1000Mbps の速度では全 2 重に対応します。このスイッチは省電力型イーサネット（EEE）には対応していません。そのため、EEE を PHY レイヤ側で有効化することはできません。

図 25～図 27 と 図 29～図 32 に、このスイッチと、ADIN1200 の 10Mbps および 100Mbps イーサネット PHY レイヤ、または ADIN1300 の 10Mbps、100Mbps、または 1000Mbps イーサネット PHY レイヤとの間の相互接続の概要を示します。ADIN1200 および ADIN1300 の各デバイスに接続する場合、推奨 MAC インターフェースは RGMII です。

なお、ADIN1300 LINK_ST ピンはデフォルトではアクティブ・ハイですが、MDIO 制御を通じてアクティブ・ローに変更できます。Px_LINK スイッチのリンク・アップ時のデフォルトはアクティブ・ローです。非ホスト・ポートの場合、ポート初期化時に、ユーザはスイッチに対して、PHY リンクの極性を変更してスイッチ・ポートに必要な極性と一致させるように命令することができます。PHY をイーサネットベースのホスト・インターフェースで用いる場合、リンクの極性が確実に一致していること（リンク・アップの場合ローに駆動）が重要です。そのため、ホスト・ポートで ADIN1200 または ADIN1300 の PHY を用いる場合、経路内にインバータを使用して、PHY リンクの極性がスイッチに必要な極性と確実に一致するようにしてください。スイッチはホスト・インターフェースに接続されている PHY レイヤのリンク極性の設定を変更することができないためです。PHY がアンマネージド・モードにハードウェア・ストラップされており、スイッチと相互作用することなくリセットから復帰できることを確認してください。スイッチからの Px_RSTN は、ホスト・インターフェース・ポートの PHY RESET_N 入力に直接接続してはいけません。スイッチはホスト・ポートではこのピンを制御しないためです。

ADIN1200 および ADIN1300 の PHY のアドレス設定

ADIN1200 と ADIN1300 の PHY では、PHY アドレス設定は4つの RXD_x データ・ピンで分担されます。PHY には、弱いプルダウン抵抗が内蔵されており、デフォルトで PHY アドレスが 0 に設定されます。スイッチにはプルアップ抵抗とプルダウン抵抗が内蔵されており、ポートごとに各 PHY への固有のアドレスを持つことができます。それにより、基板上で PHY アドレスのストラッピングのためにプルアップ抵抗とプルダウン抵抗を外付けする必要はありません。デフォルトの PHY アドレスを表 18 に示します。RGMII モードでは、4つの RXD_x ピンすべてがスイッチと PHY 間で接続され、ポートごとに固有の PHY アドレスがあります。

表 18. PHY アドレスの設定 (RGMII)

Port Number.	PHY Address	RXD_3 to RXD_0
0	0	0000
1	1	0001
2	2	0010
3	4	0100

表 18. PHY アドレスの設定 (RGMII)

Port Number.	PHY Address	RXD_3 to RXD_0
4	8	1000
5	9	1001

表 18 に示した詳細の例外は、ホスト・インターフェースに指定されたポートの PHY アドレスは、必ず PHY アドレス 0 となる点です。

イーサネット・ホストの接続の場合、ホストの MAC がスイッチの MAC と直接インターフェースし、経路内には PHY がないことが求められます。経路内に PHY があると、PHY はスイッチによって管理されなくなります。そのため、ユーザは、PHY が必要な動作ができるようハードウェア設定されていること、PHY からのリンク信号がスイッチに対してリンク・アップのためのアクティブ・ローを供給していること、PHY RESET_N がハイにプルアップされていることを確認しなければなりません。

ホスト・インターフェースに PHY レイヤがあり、ポート 0 以外のポートをホスト・インターフェースとして選択している使用事例の場合は、システム内にアドレス 0 の 2 つの PHY レイヤを持つことを避けるために、外部 PHY アドレス・ストラッピングを用いることを推奨します。

RMII モードを用いる場合、PHY の RXD_0 および RXD_1 は、スイッチの対応する Px_RXD0 ピンおよび Px_RXD1 ピンに接続されます。これにより、Px_RXD3 ピンは PHY レイヤの RX_ER に接続されます。この場合、ポート 3～ポート 5 の PHY の RXD_2 と RXD_3 にはプルアップ抵抗を外付けして、同じポート・アドレスに一致させる必要があります。表 19 を参照してください。

ADIN1100 PHY の PHY アドレス指定手法は、いくつか異なるピンを用います。そのため、ADIN1100 PHY レイヤをスイッチと組み合わせる場合には、ユーザは、常に PHY アドレス・ストラッピング抵抗を外付けする必要があります。

デフォルトでは内蔵のストラッピング抵抗が有効化されています。ただし、これらの抵抗は、外部ストラッピング抵抗を用いる場合には、ポート初期化プロセス時に無効化できます。必要なアドレス指定が確実に適用されるよう、PHY アドレス・ストラッピングを再確認することが重要です。アナログ・デバイセズの ADIN 製品の PHY の場合、起動時に PHY をソフトウェア・パワーダウン・モードにハードウェア・ストラップすることを推奨します。スイッチの設定時、PHY をリセットしてソフトウェア・パワーダウン・モードにすることができます。それによって、PHY に正しい PHY アドレス・ストラッピングが確実に施されます。

表 19. PHY アドレスの設定 (RMII)

Port Number	PHY		
	Address	RXD_1/RXD_0	External Pull-Up
0	0	00	None
1	1	01	None
2	2	10	None
3	4	00	Add pull-up on RXD_2
4	8	00	Add pull-up on RXD_3
5	9	01	Add pull-up on RXD_3

インターフェース

RMII モード

RMII は、各ポート用の 8 つの信号のインターフェースです。このインターフェースでは、50MHz のリファレンス・クロックを用います。このクロックは、スイッチ (Px_TXC ピン) から PHY レイヤに、あるいは外部クロック・ソースからスイッチと PHY レイヤの両方に供給できます。このインターフェースは、10Mbps および 100Mbps のデータ・レートに対応できます。

図 25 に、10Mbps と 100Mbps の ADIN1200 PHY に接続したスイッチ、図 26 に、ADIN1100 10BASE-T1L PHY に接続したスイッチを示します。RMII は、PHY デバイスの RXD_x ピンのうちわずか 2 つに接続されるのみです。受信データは、Px_TXC のリファレンス・クロックに同期して遷移します。Px_RXCTL は、キャリア検出と PHY レイヤから受信したデータ有効信号の組み合わせです。Px_RXD3 は RX_ER に接続されます。これは、Px_TXC クロックに同期し、受信フレームで PHY がエラーを検出した場合、または 100Mbps で偽キャリアが検出された場合にアサートされます。

送信データの遷移は Px_TXC に同期し、送信データが送信データ・ピンで出力可能になっていることを PHY の TX_EN に示すために、Px_TXCTL が用いられます。

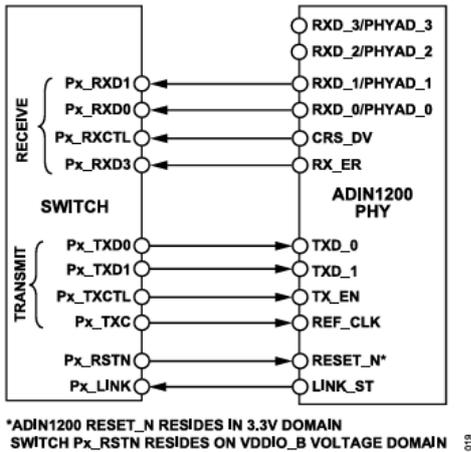


図 25. RMII のスイッチ PHY インターフェース信号 (ADIN1200 PHY)

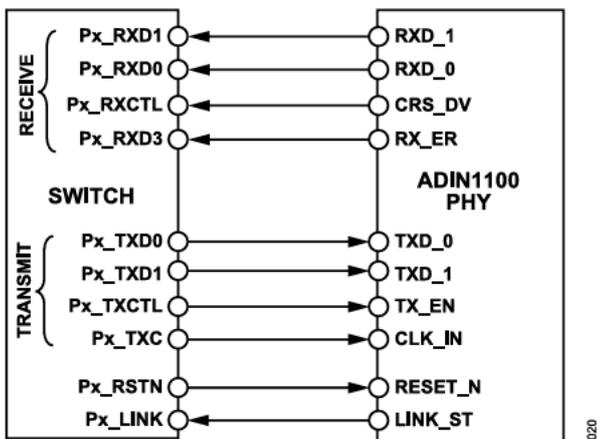


図 26. RMII のスイッチ PHY インターフェース信号 (ADIN1100 PHY)

RGMII モード

RGMII は、1Gbps、100Mbps、および 10Mbps のデータ・レートに対応できます。1Gbps で動作する場合、送信データおよび受信データは、クロックの立上がりエッジと立下りエッジでクロックされるため、インターフェース用のデータ・ライン数は削減されます。

受信インターフェースの場合、PHY は 125MHz、25MHz、または 2.5MHz のクロック信号を RXC で生成して、それぞれ 1000Mbps、100Mbps、または 10Mbps のモードで受信データを同期させます。

Px_RXCTL は、データが有効な場合に、RX_DV (データ有効) と RX_ER (エラー情報) の組み合わせを受信し、クロックの両方のエッジを使用します。PHY は、RXC の立上がりエッジで RX_DV 信号を送信し、RXC の立下りエッジで RX_DV と RX_ER の組み合わせ (XOR 関数) を送信します。

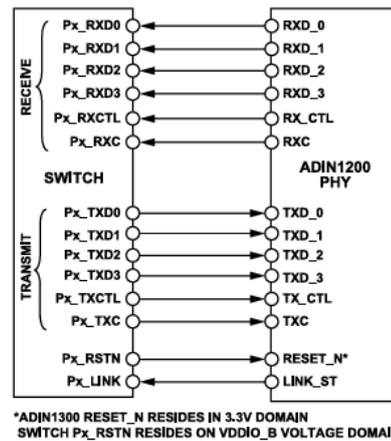


図 27. RGMII のスイッチ PHY インターフェース信号

1Gbps モードでの送信インターフェース動作の場合、スイッチは、Px_TXC で 125MHz のクロックを供給し、立上がりエッジでビット[3:0]、立下りエッジでビット[7:4]のデータを送信します。100Mbps および 10Mbps のモードでは、TXC はそれぞれ 25MHz および 2.5MHz です。また、スイッチは TXC の立上がりエッジでビット[3:0]のデータを送信します (ただし、RGMII 規格に対応して該当クロックの立下りエッジでデータが複製される場合もあります)。Px_TXCTL は、TX_EN 信号と TX_ER 信号を組み合わせた信号で、TXC の両方のエッジを使用します。TX_EN は TXC の立上がりエッジで送信され、TX_EN XOR TX_ER は TXC の立下りエッジで送信されます。データはクロックの両エッジで送信されるため、遅延されたクロックがデータ・ウィンドウの中央にあってデータを正確に取得できるように、両方のクロック・エッジで正確に 2ns の遅延となるような条件が必要です (図 28 を参照)。ホスト・ポートについては、ハードウェア・ピン設定を用いて、この 2ns の遅延を、RXC のみ、TXC のみ、RXC と TXC の両方、のいずれかで有効とするか、あるいは、遅延なしとすることができます。他のすべてのポートでは、これらの遅延はソフトウェアで設定することもできます。また更に、ドライバ API は、2ns の遅延を中心としてある程度のプログラマビリティを備えています (1.69ns~2.55ns の範囲)。この遅延は、送信パスと受信パスのうち 1 つの段でのみ追加され、通常は、受信側に追加されます。MAC によっては遅延が追加できない場合もあります。そのため、スイッチは、必要に応じて両方の側に遅

インターフェース

延を含めることができます。両方の側に適切に遅延を設定することが、正常な通信を確保する上で必要です。

図 28 で、8ns の周期は 1000Mbps の動作を表しています。これは、100Mbps では 40ns、10Mbps では 400ns です。2ns の遅延は、10Mbps、100Mbps、1000Mbps で有効です。

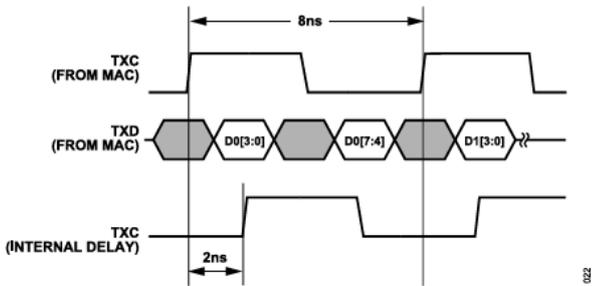


図 28. DLL 波形

RGMII は、該当クロックの下がりエッジでデータが複製される場合がある点を除き、ギガビットの速度で動作する場合と全く同じように 10Mbps および 100Mbps の速度で動作します。

RGMII の駆動強度

RGMII 出力の駆動強度には、ある程度のプログラマビリティがあります。ホスト・インターフェースが RGMII MAC インターフェースである場合、駆動強度には 2つの選択肢があり、SPI ピンの 1つ (SPL_SS) のストラッピング電圧レベルで決まります。デバイスがリセット状態を終了する際に SPL_SS がハイになると、最も強い駆動強度オプションになります。他のポートの RGMII 起動強度は SES_SetRxDelay() API と SES_SetTxDelay() API (どちらも、ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能な SES_switch.h ファイルに含まれる) を用いて設定できます。

MAC 間インターフェース

図 29 および図 30 に、スイッチ・ポートが MAC に直接接続される、MAC 間接続を示します。Px_LINK 入力は、プルダウン抵抗を用いてローにプルダウンするか、ローに駆動する必要があります。

RMII では、Px_RXD3 は RX_ER として機能します。MAC が RX_ER 信号を供給していない場合、このピンを確実にグラウンドまでプルダウンしてください。スイッチは、MAC の REF_CLK に 50MHz のクロックを供給できます。あるいは、50MHz を外部から両方に供給することもできます。

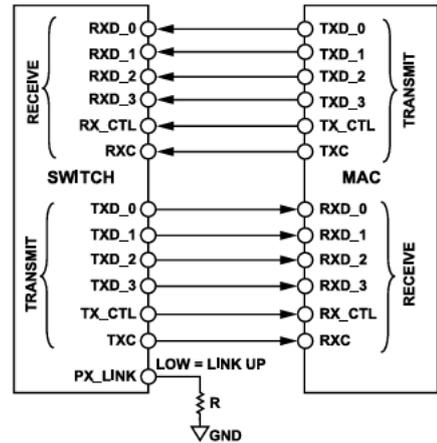


図 29. RGMII から RGMII への MAC 間接続

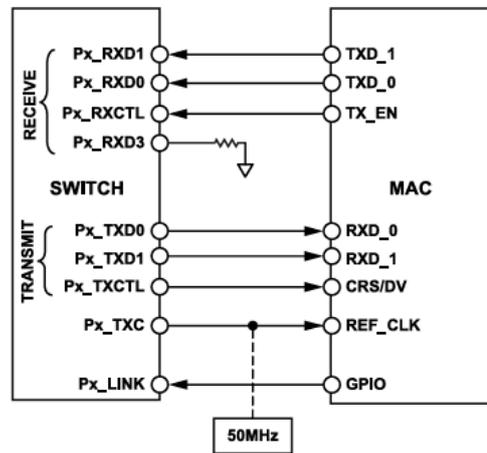


図 30. RMII から RMII への MAC 間接続

SGMII のモード

ポート 1~ポート 4 は SGMII または serdes の動作モードに対応します。

SGMII モード

SGMII は、2つの差動ペアを用いてスイッチと PHY またはホスト間で情報を伝達するシリアル・インターフェースで、RMII や RGMII に比べると、使用するピン数が少なく、配線の引き回しやパターンも少なく済みます。SGMII は 1.25Gbps で送信を行い、0.1µF のキャパシタで外部 AC カップリングを行う必要があります。SGMII は ADIN6310 のポート 1~ポート 4 で使用できます。このインターフェースは、オート・ネゴシエーション・モードまたは固定モードを用いて 10Mbps、100Mbps、1Gbps の全 2 重通信が可能です。SGMII は、SGMII PHY のリンク・パートナーに対し、オート・ネゴシエーションによる速度と固定速度をサポートします。別の SGMII MAC リンク・パートナーに接続する場合は、オート・ネゴシエーションを無効化する必要があります。マッチング速度は両側で設定する必要があります。

インターフェース

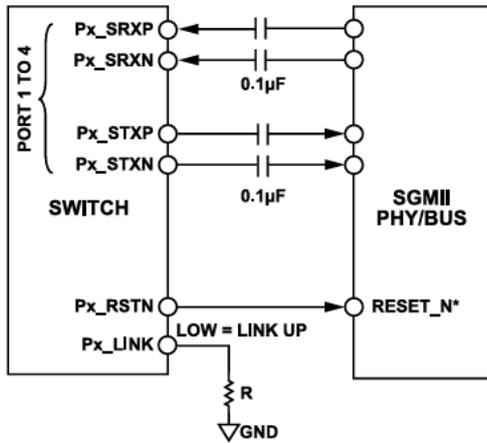


図 31. SGMII の信号

VDDIO 電圧が 1.8V で動作している場合、Px_LINK 入力に対し LOS のレベル・シフトが必要となる場合があります。

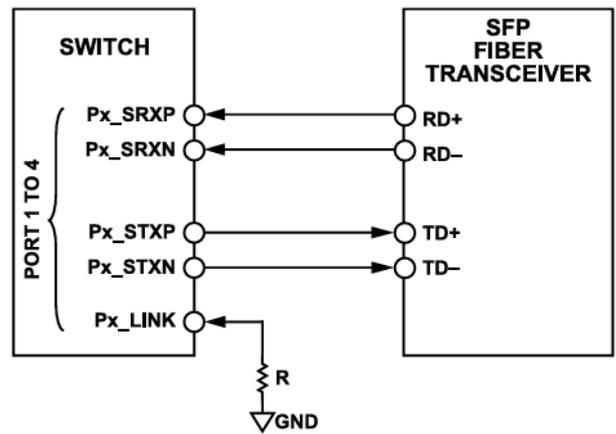
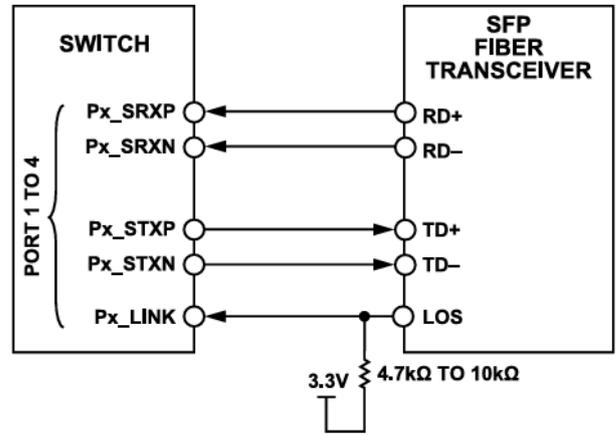


図 32. SFP 光トランシーバへの接続

スイッチは SFP の制御や調査は行わないため、接続されている SFP モジュールのタイプを知るには、ホストが SFP モジュールに直接アクセスする必要があります。

serdes およびファイバ・インターフェース・モード

SGMII ピンは、ポート 1～ポート 4 で、SGMII またはファイバ入出力ピンとして機能できます。スイッチは、バックプレーン・アプリケーション用に 1000BASE-KX をサポートしています。図 32 に、SFP ファイバ・トランシーバに接続されたスイッチを示します。インターフェースは、100BASE-FX、1000BASE-SX、1000BASE-LX に対応します。

SFP を使用する場合、ファイバ・トランシーバには通常、AC カップリング・キャパシタが内蔵されています。そのため、図 32 には、外部キャパシタやその他の SFP に必要な部品は示されていません。推奨する SFP 回路の詳細については、SFP のマルチ・ソース・アグリーメント (MSA) を参照してください。通常、SFP とスイッチ・ポート間で接続する必要があるのは、送信経路および受信経路ですべてです。

ポートが SGMII のモードの 1 つを用いるよう設定されている場合、Px_LINK ピンは、プルダウン抵抗を用いてグラウンドにプルダウンする必要がありますが、オプションとして、そのポートの SFP 信号消失 (LOS) によって駆動することもできます。SFP LOS は、オープンドレイン・ピンで、4.7kΩ ~ 10kΩ のプルアップ抵抗で 2V ~ VDD3P3 にプルアップする必要があります。通常動作であることが示されるのは、LOS がローに駆動されている場合です。LOS がハイに駆動された場合、受信した光パワーが最も厳しいレシーバ感度を下回っていることを示しています。スイッチの

ホスト・インターフェース

スイッチは、外部ホストおよびスタック・プロセッサからの管理が必要です。ホストとスイッチの接続は柔軟で、スイッチがリセット状態を終了したときにサンプリングされるハードウェア・ストラッピング・ピンを用いて設定できます。その後、スイッチはホストの場所と通信方法の情報を得ます。ホスト・インターフェースを変更するためのランタイム設定はサポートしていません。

ホスト通信ポートは、SPI インターフェースまたはイーサネット MAC インターフェース (SGMII、RMII、または RGMII) を用いて接続できます。使用されるハードウェア・ストラッピング・ピンは、4 つの TIMERx ピン、SPI_SIOx ピンのうちの 3 つ、SPI_SS ピンです。ハードウェア・ストラッピング・ピンにはプルアップおよびプルダウンが内蔵されており、標準 SPI のデフォルト・ホスト・インターフェースとなっています。あるいは、外付けストラッピング抵抗を追加して、デフォルト設定をオーバーライドし、別の SPI またはイーサネット・ホスト・インターフェースを選択することもできます。ホスト・インターフェースが MAC ホストである場合、インターフェースは、スイッチ・ポートのいずれかにすることができ、SPI_SIOx ピンで検出される電圧によって

どのポートかが決まります。他のイーサネット・ポートに接続された外部の物理層デバイスのために用いられる電源に、異なる入力および出力電圧レールをホストが供給している場合は、ホスト・インターフェースとしてポート 0 を推奨します。これは、VDDIO 電源レールが、VDDIO_A レールからのポート 0 と VDDIO_B レールからのその他のポートでパーティショニングできるためです。

表 20 に詳細を示すように、多くのホスト・インターフェース・オプションが使用可能です。

ホスト・インターフェース・ストラッピング・ピン

表 20 に示した設定ストラッピングには、8 種の入力および出力が用いられています。ストラッピング・ピンの電圧は、パワーオン後の RESET_N の立上がりエッジでサンプルされます。ハードウェア・ストラッピングを用いることで、ホストのインターフェースの場所をパケット・アシスト・エンジンに知らせることができ、また、主となるホスト通信プロトコルを SPI またはイーサネットに定めることができます。

表 20. ブート・ストラッピング・ピンの設定-ホスト・インターフェース (SPI またはイーサネット)

Function	SIO2 ^{1,2}	SIO1 ²	SIO0 ²	SPI_SS	TIMER3	TIMER2	TIMER1	TIMER0 ³	Notes
Default Internal	Pull-down	Pull-down	Pull-down	Pull-up	Pull-down	Pull-down	Pull-up	Pull-up	
RGMII 100 Mbps									
No Clock Delays ⁴	P2	P1	P0	ds ⁵	0	0	0	0	
Receive Clock Delay	P2	P1	P0	ds	0	0	0	1	
Transmit Clock Delay	P2	P1	P0	ds	0	0	1	0	
Receive and Transmit Clock Delays	P2	P1	P0	ds	0	1	0	1	
RGMII 1 Gbps									
No Clock Delays	P2	P1	P0	ds	1	0	0	0	
Receive Clock Delay	P2	P1	P0	ds	1	0	0	1	
Transmit Clock Delay	P2	P1	P0	ds	1	0	1	0	
Receive and Transmit Clock Delays	P2	P1	P0	ds	1	1	0	1	
RMII 10 Mbps									
RMII CLK (Internal)	P2	P1	P0	ds	0	1	0	0	Switch internal clock provided out to the PHY or host
RMII CLK (External)	P2	P1	P0	ds	1	1	0	0	External clock source provided to the PHY or host and switch
RMII 100 Mbps									
RMII CLK (Internal)	P2	P1	P0	ds	0	1	1	0	Switch internal clock provided out to the PHY or host
RMII CLK (External)	P2	P1	P0	ds	1	1	1	0	External clock source provided to the PHY or host and switch
SGMII									
100BASE-FX	P2	P1	P0	0	0	0	1	1	
SGMII 1000 Mbps	P2	P1	P0	0	0	1	1	1	
SGMII 100 Mbps	P2	P1	P0	0	1	0	1	1	
1000BASE-KX	P2	P1	P0	0	1	1	1	1	
SPI Enabled									
Single (Default)	ds	x	x	1	0	0	1	1	Default setting
Dual	ds	x	x	1	1	0	1	1	
Quad	x	x	x	1	0	1	1	1	Low drive strength
Quad	x	x	x	1	1	1	1	1	High drive strength

ホスト・インターフェース

- 1 P2~P0 は、SGMII、RMII、および RGMII ホスト・インターフェースのポートを選択します。表 21 を参照してください。
- 2 ドント・ケア。
- 3 TIMER0、TIMER1、SPI_SS には内部プルアップがあります。TIMER2、TIMER3、SPI_SIO0~SPI_SIO2 には内部プルダウンがあります。外部ホスト・ストラッピングを用いない場合、デフォルト設定は標準 SPI です。異なるホスト・インターフェースを設定する場合は、外部プルアップおよび外部プルダウンの抵抗値を表 22 に従って使用してください。
- 4 クロック遅延は、ホストと PHY または MAC とのインターフェースに適した設定となるよう注意してください。遅延は、送信パスと受信パスのうち 1 つの段でのみ追加され、通常は、受信側に追加されます。遅延を追加できない MAC インターフェースの場合、スイッチのホスト・ストラッピングは両側での遅延追加に対応しています。
- 5 ds = 駆動強度。ホスト・インターフェースには 2 つの駆動強度オプションが利用できます (ハイまたはロー)。ds = 1 は、最大駆動強度に相当します。他のポートの駆動強度は、ソフトウェア・ドライバ API (ADIN6310 製品ページから入手可能) を通じて設定できます。

デフォルトのモードは、内部プルアップおよびプルダウン抵抗に基づき、標準 SPI インターフェースです。デフォルト値をオーバーライドするには外部のプルアップおよびプルダウン抵抗が必要です。詳細を表 22 に示します。

最初の通信が確立した後、ソフトウェアは、スイッチとホストの間で 2 つのインターフェース (制御トラフィック用に 1 つ (ストラッピング・インターフェース)、データ・トラフィック用に 1 つ) を用いるアプリケーション用に別の通信手段を確立できます。

表 21. ブート・ストラッピング・ピンの設定-ホスト・ポートの選択

Function and Host Port	Mnemonic		
	SPI_SIO2	SPI_SIO1	SPI_SIO0
SPI, Dual SPI and Quad SPI (No Ethernet Port Selected)	ds ¹	x	x
Port 0 RMII or RGMII	0	0	0
Port 1 RMII, RGMII, or SGMII	0	0	1
Port 2 RMII, RGMII, or SGMII	0	1	0
Port 3 RMII, RGMII, or SGMII	0	1	1
Port 4 RMII, RGMII, or SGMII	1	0	0
Port 5 RMII or RGMII	1	0	1
Reserved	1	1	0
Reserved	1	1	1

¹ ds = 駆動強度。ホスト・インターフェースには 2 つの駆動強度オプションが利用できます (ハイまたはロー)。ds = 1 は、最大駆動強度に相当します。他のポートの駆動強度は、SES_SetGpioDriveStrength() API (ADIN6310 製品ページから SES_switch.h ファイルで入手可能) を通じて設定できます。

TIMERx ピンと SPI_SIOx ピンは VDDIO_A 電源領域にあるため、外部ストラッピング抵抗は VDDIO_A にプルアップする必要があります。

これらのピンが静的であり、リセット後のハードウェア・ラッチの間、正しい状態に置かれるようにしてください。表 22 に、各ピンが内部ストラッピングを打ち消すために必要な外部抵抗値に関する情報を示します。

表 22. 外部ストラッピング抵抗値

Mnemonic	Default	External Series Resistor Value
TIMER0	1	Pull-down <2.5 kΩ to latch a value 0
TIMER1	1	Pull-down <2.5 kΩ to latch a value 0
TIMER2	0	Pull-up <3.3 kΩ to latch a value 1
TIMER3	0	Pull-up <3.3 kΩ to latch a value 1
SPI_SS	1	Pull-down <400 Ω to latch a value 0

表 22. 外部ストラッピング抵抗値 (続き)

Mnemonic	Default	External Series Resistor Value
SPI_SIO0	0	Pull-up <10 kΩ to latch a value 1
SPI_SIO1	0	Pull-up <10 kΩ to latch a value 1
SPI_SIO2	0	Pull-up <10 kΩ to latch a value 1

タイマーの入出力

タイマーおよび割り込み機能専用 4 つのタイマー・ピン (TIMER0~TIMER3) があり、TIMER0 はスイッチ SPI の割り込み機能を備えています。これらのピンの機能は、パケット・アシスト・エンジンから制御されます。表 23 に詳細を示すように、4 つの TSN タイマー出力、4 つの従来型タイマー出力、2 つの IEEE 1588 出力、2 つの入力キャプチャがあります。

タイマー・ピンは、必要に応じて GPIO モードに設定して GPIO として用いることもできます。

表 23. タイマー機能

Timer Mnemonic	Function	GPIO Mode
TIMER0/INT	TSN timer, industrial Ethernet engine multiprotocol timer, interrupt	GPIO4
TIMER1	TSN timer, industrial Ethernet engine multiprotocol timer	GPIO5
TIMER2	TSN timer, industrial Ethernet engine multiprotocol timer, IEEE 1588 timer, timer input	GPIO6
TIMER3	TSN timer, industrial Ethernet engine multiprotocol timer, IEEE 1588 timer, timer input	GPIO7

GPIO

このスイッチでは、4 つの専用 GPIO ピンが使用できます。これらの機能は、パケット・アシスト・エンジンで設定されます。

ハードウェア・リセット

RESET_N は、スイッチへのアクティブ・ローの入力で、VDDIO_A 電源領域にあります。RESET_N ピンは、すべての電源が公称値に達した後、最低 100µs の間、ローにアサートされなくてはなりません。パワーオン後、RESET_N がハイになり、そのままハイにとどまっている間、外部ストラッピング・ピンの状態がラッチされます。

動作中にハードウェア・リセットを実行するには、RESET_N ピンを 10µs 以上の間、ローにする必要があります。すべての出力ピンは、ローにアサートされると、高インピーダンス状態になります。

ホスト・インターフェース

クロッキング

図 33 に示すように、スイッチには、25MHz のクロックが必要で、これは、外部水晶発振器を XTAL_IN ピンと XTAL_OUT ピンの間に接続するか、外部クロックを XTAL_IN ピンに印加することで供給できます。

外部クロックを用いる場合は、XTAL_OUT はオープンのままにできます。水晶発振器回路には、帰還抵抗 (R_F) = $1M\Omega \pm 5\%$ 、ドレイン抵抗 (R_D) = $2.1k\Omega \pm 5\%$ 、 $C1 = C2 = 18pF$ という値を設定した、いくつかの外部部品が必要です。最適な水晶発振器の詳細な仕様については、表 1 に記載されています。

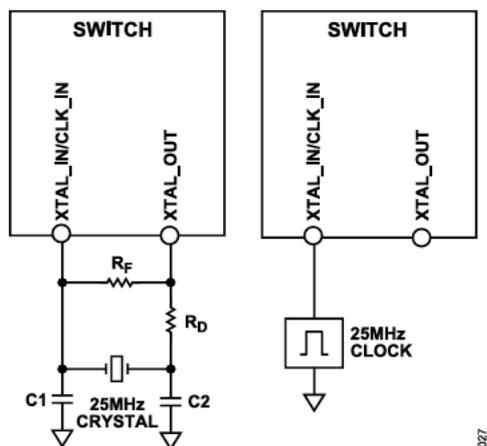


図 33. 25MHz の外付け水晶発振器またはクロックの接続

クロック出力

CLK_OUT ピンは、スイッチに適用された 25MHz の入力クロックから生じた 25MHz のクロックを供給します。このクロックが駆動できる最大 C_L は 15pF です。この CLK_OUT 信号は、外部 PHY デバイス用に供給され、外部でのクロック・バッファ処理が必要です。図 34 に、ADIN6310 と共に使用された 6 チャンネル・クロック・バッファの例を示します。

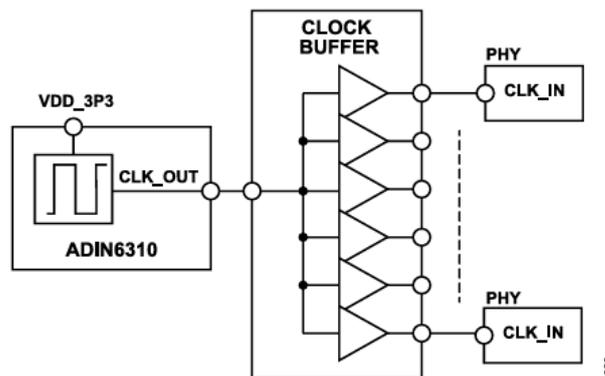


図 34. PHY への外部からの分配用にバッファ処理される CLK_OUT 信号

電源アーキテクチャ

このスイッチには多数の電源ドメインがあり、3つ以上の外部電源レールが必要です。電源レールのうち2つ（VDDIO_A および VDDIO_B）はインターフェース処理専用です。ホスト・インターフェースが外部物理層デバイスとは別の電圧領域にある可能性があるためです。通常、最適な消費電力性能を達成するために、デバイスには4つの電源レールが必要です。ただし、VDDIO_x 領域をグループ化し、VDD3P3 = VDD_SGMII（SGMII が使用されている場合）とすることで、最低3つの電源で動作させることも可能です。

このデバイスでは、以下の4つの電源レールを使用できます。

- ▶ VDDCORE は、デジタル・ロジック回路に給電します。
- ▶ VDD3P3 は、アナログ回路に給電します。
- ▶ VDDIO_A および VDDIO_B は、それぞれ、外部ホスト・コントローラ・チップおよび PHY チップとの通信で用いられる入出力に供給されます。
- ▶ VDD_SGMII は、SGMII の電源専用です。SGMII が不要なアプリケーションでは、VDD_SGMII ピンを直接 VSS_SGMII に接続します。

電源アーキテクチャの概要を図 35 に示します。

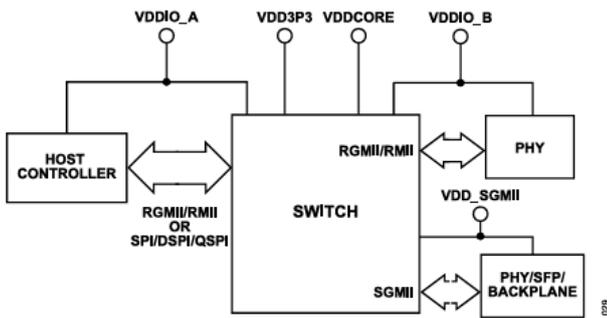


図 35. 電源の概要

電源と供給領域

表 24 に、必要な電源レールと、対応する電圧範囲を示します。

表 24. 電源

Power Supplies	Nominal Voltage Levels (V)
VDDIO_A	1.8, 2.5, 3.3
VDDIO_B	1.8, 2.5, 3.3
VDDCORE	1.1
VDD3P3	3.3
VDD_SGMII	3.3

ピン配置では、一部の電源レールに対し複数のボールがあることが示されています（ピン配置およびピンの説明のセクションを参照）。これらのボールが適切な電源レールに直接接続されているようにすることが、デバイスが正しく動作する上で極めて重要です。

パワーオン・リセット（POR）

デバイスには、オン・チップのパワー・マネージメント機能があり、デバイスが確実にパワーアップし通常の動作条件下で信頼できる機能を果たせるようにします。POR 生成回路は、VDD3P3、VDDIO_A、VDDCORE の主要電源レールで動作します。パワーアップ時、これらの電源が安定した動作範囲に達するまで、POR がアサートされたままになります。これらの電源の電源電圧レベルが受容可能な電圧スレッシュホールド未満に低下すると、POR はデアサートされます。VDDIO_B および VDD_SGMII は、POR スキームには含まれません。

電源シーケンス

このスイッチには、電源シーケンス要件はありません。ただし、VDDCORE 電源を最後に供給し、最初に除去するシーケンスとすることを推奨します。

グラウンド接続

ADIN6310 には、主として、VSS3P3、VSS_SGMII、DGND の3つのグラウンド・グループがあります。ハードウェアの設計時は、スイッチには1つのグラウンド・プレーン（DGND）を用いることを推奨します。VSS_SGMII は DGND プレーンに直接接続します。その他のグラウンドは必ずスター・グラウンドとし、DGND プレーンに接続します。

表 25. グラウンド記号によるグループ分け

Ground Mnemonic	Ground Domain	Connection
VSS3P3	VSS3P3	Star ground each VSS3P3 ball together
VSSCORE_DLL	VSSCORE_DLL	Star ground
VSSCORE_PLL, DGND, VSS3P3, VSSCORE_DLL, VSS_SGMII	DGND	Star ground together to the DGND plane

消費電力と熱に関する考慮事項

最も電力を消費するのは、6つのポートがすべて 1Gbps で動作する場合です。VDDIO_B 電源レールを選択する場合には、ダイ温度が動作温度範囲内に維持されるよう、注意深い配慮が必要です。6ポートすべてにおいて 1Gbps で動作させる場合、VDDIO_B は 1.8V または 2.5V で使用します。すべてのポートが 1Gbps で動作する場合、VDDIO_B = 3.3V での動作はサポートされていません。表 26 には、すべての VDDIO 電源電圧に対し、ポート別に代表的な電力パラメータを示しています。様々な使用事例において、種々の PHY 技術および速度でポートを動作させる可能性があるためです。

表 26. ポート別の消費電力

Use Case	VDDIO			Unit
	1.8 V	2.5 V	3.3 V	
Base Power ¹	126.5	126.5	126.5	mW
1 Gbps RGMII	36.6	60.7	95.7	mW
100 Mbps RGMII	11	13	17.05	mW
10 Mbps RGMII	6.2	7.4	9.35	mW
1 Gbps SGMII	59.2	68.4	81.4	mW

電源アーキテクチャ

表 26. ポート別の消費電力（続き）

Use Case	VDDIO			Unit
	1.8 V	2.5 V	3.3 V	
1000BASE-KX	65.8	75	88	mW
100BASE-FX	52	55.9	59.95	mW

1 基本消費電力は、チップのバックグラウンドでの消費電力です。合計消費電力 = 基本消費電力 + 各ポートの消費電力。

電源のデカップリング

各電源レールは、表 27 に示すキャパシタを用いて、それぞれに関連するグラウンドとデカップリングすることを推奨します。関連するボールのできるだけ近くに小さいデカップリング・キャパシタ (0.1µF) を配置し、キャパシタのグラウンドがプレーンに直接配線されるようにします。

表 27. 推奨デカップリング方法

Supply Name	Capacitor Value
VDD3P3 to VSS3P3	4.7 µF per ball (0.1 µF)
VDD_SGMII to VSS_SGMII	4.7 µF per ball (0.1 µF)

表 27. 推奨デカップリング方法（続き）

Supply Name	Capacitor Value
VDDIO_A to DGND	4.7 µF per ball (0.1 µF)
VDDIO_B to DGND	4.7 µF per ball (0.1 µF)
VDDCORE to DGND	20 µF and 0.47 µF per ball (0.1 µF)
VDDCORE_PLL to VSSCORE_PLL	0.1 µF and 0.01 µF
VDDCORE_DLL to VSSCORE_DLL	Per ball (0.1 µF)

デカップリング・キャパシタを配置する場合、表 28 に示す場所を優先し、キャパシタをこれらのネットワークに接続します。

表 28. バイパス・キャパシタ用の ADIN6310 レイアウト優先度

Supply	Ground	Ball Number
VDDCORE_DLL	VSSCORE_DLL	N10 to M10
	VSSCORE_DLL	D10 to E10
VDDCORE_PLL	VSSCORE_PLL	G5 to G3
VDD3P3	VSS3P3	H5 to H3
	VSS3P3	J5 to J3
	VSS3P3	K5 to K3

時刻同期

高精度時刻プロトコル (PTP)

時刻同期の目的は、IEEE1588 の各種プロファイルを用いて、ネットワーク上のすべてのデバイスに、正確で信頼できる、容易に導入可能な時刻を提供することです。このスイッチは、3 種の時刻同期プロファイル、つまり、IEEE 802.1AS 2020、IEEE 1588-2019 (デフォルト・プロファイル)、または IEEE C37.238-2017 エネルギー・プロファイルのいずれかを選択して、パケット・アシスト・エンジンでの PTP または一般化 PTP (gPTP) スタックの実行に対応できます。

PTP スタックは、デフォルトでは無効化されており、この機能を有効化するには、ホストによる設定が必要です。

時間領域

このスイッチは、複数の時間領域に対応しており、動作中の 1 つのクロックで機械またはセルの各種部品間やシステムワイドのクロック間の正確な調整を行うことができ、アラームやエラーなどの重要なイベントを補正するために用いることができます。このスイッチは、様々な同期手法を調整できるため、例えば、IEEE 802.1AS-2020 で動作する 1 セットのポートと IEEE 1588-2019 のデフォルト・プロファイルで同期するネットワークに接続された別のポートとの間で、時間的な橋渡しをすることができます。

IEEE 802.1AS 2020

スイッチは、2 ステップの同期型メッセージ送信 (将来的には 1 ステップ) により、パケット・アシスト・エンジンでの IEEE 802.1AS 2020 スタックの実行に対応しています。PTP スタックは、ネットワーク内の最高品質クロックを判定する、IEEE 802.1AS 2020 のベスト・タイム・トランスミッタ・クロック・アルゴリズム (BTCA) の実行に対応しています。あるいは、外部ポート設定により、ポートの役割を手動で設定することもできます。

このスイッチは、すべての PTP ポートに対し IEEE 802.1AS 2020 のグラウンドマスタまたはマスタ機能に対応しており、また、PTP のエンド・インスタンスおよび PTP のリレー・インスタンスに対応しています。

設定を行うには、`ieee802-dot1as-ptp.yang` モジュールを用います。このモジュールには以下の機能があります。

- ▶ リレー・インスタンス用 PTP ポートとしてすべてのポートをサポート
- ▶ ピア・ツー・ピアおよび共通ピアの経路遅延用遅延メカニズム
- ▶ 外部ポート設定
- ▶ 2 ステップ

- ▶ 1 ステップ機能 (今後ソフトウェア・アップデート予定)
- ▶ 条項 9 に従ったアプリケーション・インターフェース

IEEE 1588-2019 のデフォルト・プロファイル

このスイッチは、IEEE 規格 1588-2019, Annex I に従うデフォルト・プロファイル用に設定された PTP スタックの実行をサポートできます。この PTP スタックは、スイッチのパケット・アシスト・エンジンで動作し、以下の機能をサポートします。

- ▶ L3 の遅延要求・応答のデフォルト・プロファイル
- ▶ L4 のピア・ツー・ピアのデフォルト・プロファイル (今後ソフトウェア・アップデート予定)
- ▶ 通常クロックおよびバウンダリ・クロック (セクション 9)
- ▶ エンド・ツー・エンドのトランスペアレントなクロック (セクション 10.2)
- ▶ ピア・ツー・ピアのトランスペアレントなクロック (セクション 10.3)
- ▶ 複数のドメインおよびインスタンス (最大 2)
- ▶ L2 および L3 の伝送
- ▶ 2 ステップの PTP メッセージ処理 (セクション 7.5.2.5)
- ▶ 1 ステップの PTP メッセージ処理 (セクション 7.5.2.5、今後ソフトウェア・アップデート予定)
- ▶ VLAN タグの付いた PTP フレーム (VLAN トランクまたはアクセス・ポート構成では非対応)
- ▶ 経路トレース・メカニズム、経路トレース TLV (セクション 16.2)
- ▶ データ・セット (セクション 8) : `defaultDS`、`currentDS`、`parentDS`、`timePropertiesDS`、`pathTraceDS`、`portDS`、`descriptionPortDS`、`externalPortConfigurationPortDS`、`commonServicesPortDs`、`cmlDsDefaultDs`、`cmlDsLinkPortDs`、`cmlDsLinkPortStatisticsDs`、`cmlDsAsymmetryMeasurementModeDs`
- ▶ トランスペアレントなクロック・データ・セット (セクション 8.3 は非対応)
- ▶ バージョン 1588-2008 に対応するデバイスと下位互換
- ▶ 異なるインスタンスで異なるプロファイル (1 つのインスタンスで 1588-2019、別のインスタンスで IEEE 802.1AS 2020 プロファイル)
- ▶ `ieee1588-ptp-tt.yang` モジュールを用いて設定を実行

IEEE C37.238.2017 のエネルギー・プロファイル

IEEE C37.238.2017 のエネルギー・プロファイルは、パワー・システム・アプリケーションに用いられます。このスイッチは、このプロファイルをサポートする時刻同期機能の設定に対応しています。

TSN 機能

このスイッチは IEEE 802.1Q のタイム・センシティブ・ネットワーク（TSN）のブリッジ動作をサポートし、以下の機能を備えています。

- ▶ スケジューリングされたトラフィック（Qbv）
- ▶ フレーム・プリエンブション（Qbu）
- ▶ ストリームごとのフィルタ処理およびポリシング（Qci）
- ▶ サイクリック・キューイングおよび転送（Qch）
- ▶ 転送およびキューイングの強化（Qav）

スケジューリングされたトラフィック（Qbv）

スケジューリングされたトラフィックは、高優先度のトラフィックが他のトラフィックにより遅延されることなく、時刻どおりに確実に送信されるようにするための、時間保護されたチャンネルを提供する手段です。

スケジューリングされたトラフィックは、802.1AS からイーサネットに追加された時刻機能を利用できます。時刻を用いることで、時間保護されたチャンネルを用いて、一度に1つのタイプのトラフィックのみをネットワークに乗せることができるようになります。その理由は、トラフィックの干渉を避けるためです。イーサネットは元来、ベストエフォートとして仕様規定されているため、特定のトラフィックが高い優先度を付与されていたとしても、そのトラフィックは他のトラフィックに干渉する場合があります。そのため、これらのメッセージが干渉されないように、優先度に加えて、これらのトラフィック・クラスが時間的にスケジューリングされます。

ストリームはスケジューリングされた時刻になるまでキュー内に置かれ、その後、キュー内のストリームは、そのキューの時間ウィンドウが閉じるまで、ネットワークを通過することができます。ネットワークの信号はいつでも正確な時間ベースを有しているため、スケジューリングされたウィンドウは重なりません。そのため、ストリームが互いに干渉することはありません。

このスイッチは、256 エントリのゲート制御によりポートごとに8つのキューに対応し、ゲート制御リストがアップデートされると、直ちに切り替えを行います。トラフィックのクラスは、VLAN の優先度に基づいており、必要に応じて8つのキューに割り当てることができます。ユーザは、サイクル時間の延長およびベース時間を制御することで、ポートごとに個別にネットワークのサイクル時間を設定できます。

ハードウェア・タイマー・ピン（TIMER0～TIMER3）でもネットワーク・サイクルをプログラムできます。この機能を用いると、アプリケーションのハードウェアとソフトウェアをネットワーク上のその他のエレメントと同期させる信号を提供できます。

スケジューリングされたトラフィックの送信ゲートの構成は、IEEE 802.1Q によるスケジューリングされたトラフィックの YANG モデルに基づきます。Qbv を設定する API は、`SES_scheduled_traffic.h` ヘッド・ファイル（ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能）の一部です。

厳格な優先順位付けによるスケジューリング

各ポートは8つのキューに対応し、厳格な優先順位付けにより動作します。つまり、最高優先度のキューを持つトラフィックを最初に送信します。

ガード・バンド

スケジュールを用いて送信時間を確保する場合、優先度の高いゲートが開く準備のできていないときに、トランスミッタが確実にアイドル状態であることが重要です。トランスミッタがアイドル状

態でない場合、優先度の低いフレームが、優先度の高いトラフィックの送信開始をブロックするか、少なくとも遅延させる可能性があります。トランスミッタがアイドル状態であることを確保し、ゲートが開いたときに優先度の高いトラフィックを即座に送信できるようにするために、ゲート・オープン時刻の前にガード・バンドが挿入されています。ガード・バンドがアクティブな間、トランスミッタが次のフレームを取得することを阻止します。効果を発揮するには、キューに入れられる可能性のある最も長いメッセージが完全に送信されてから次のゲートが開くように、ガード・バンドを長くする必要があります。キューに入れることができる最も長いフレームのサイズは、最大サービス・データ・ユニット（`maxSDU`）というパラメータで定義されます（バイト単位）。このスイッチは、ポートごと、キューごとの最大 SDU 制限値に対応しており、`SES_scheduled_traffic.h` ヘッド・ファイル（ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能）の `SES_QbvSetQueueMaxSduTable()` API および `SES_QbvGetQueueMaxSduTable()` API を用いて、設定および読出しが可能です。キューごとの最大 SDU フレームのハードウェアのデフォルトは、10,000 バイトです。

ガード・バンドが有効な場合、キューごと、ポートごとの最大 SDU 設定値と確立されたリンク速度を組み合わせることで、ガード・バンドの時間の長さを設定します。ガード・バンドは、ストア・アンド・フォワード・モードとカットスルー転送モードのどちらにも適用でき、次のゲート・オープンを保護します。すべてのキューに対するデフォルトの切替え動作は、条件が許容すれば、トラフィックのカットスルーであり、API レベルで設定可能です。

`QueueMax SDU` の設定は、カットスルー・トラフィックには適用されません。これらのフレームは、ハードウェアがフレームのサイズを把握する前に転送を開始しているためです。ただし、フレームのサイズを把握し、それに応じて `QueueMax SDU` の設定値の大きさを決めることは、次のゲート・オープンを保護します。

スケジューリングされたトラフィックとフレーム・プリエンブションを組み合わせると、デバイスは、ホールド・アンド・リリースに対応でき、それによって、保護された送信ウィンドウの周りに明確なガード・バンドを実装できます。ただし、通常必要とされる時間より短いものとなります。このホールド・アンド・リリースは、プリエンブション可能なトラフィックのゲートが常時開いているようスケジューリングされ、スケジューリングされたトラフィックの開始が遅延する可能性のあるような設定に対して用いられます。ホールド・アンド・リリースを用いることで、エクスプレス・トラフィックの保護されたウィンドウを干渉から完全に保護すると同時に、プリエンブション可能なトラフィックに利用できる帯域幅を増加することができます。

フレーム・プリエンブション（Qbu）

フレーム・プリエンブションを用いると、プリエンブション可能と指定されたフレームの送信を中断して高優先度の（エクスプレス）トラフィックを送信し、その後、プリエンブション・フレームの送信を再開することで、高優先度のトラフィックを一定の遅延でより確実に宛先に届けることができます。レシーバ・ノードは、優先フレームのバーストとバーストの間に送信されたフラグメントから、プリエンブション可能なフレームを再生します。フレーム・プリエンブションを行わない場合、最高優先度のトラフィックがネットワークを通過するのにかかる時間は、経路内のブリッジ遅延とケーブル遅延の合計の最小値から、前の合計の最大値に各ホップでの最大サイズのフレームの遅延を加えた値まで変動する可能性があります（例えば、1Gbps 時に最大送信ユニット（MTU）が 1528 バイトの場合、ホップあたり 12 μ s を超える変

TSN 機能

動幅になります)。

プリエンブションを行うことで、この変動幅は、1528 バイトの干渉フレームから 128 バイトの干渉フラグメントまで減少します。つまり、ホップあたり、12+ μ s から 1.2 μ s 未満になります。別の言い方をすれば、到着時間のジッタが 90%減少します。

フレーム・プリエンブションは、フレームがスケジューリングされている (スケジューリングされたトラフィックが有効化されている) 場合にも使用できます。通常、大きなフレームが時間保護されたチャンネルの定刻開始を妨害しないようにするために、ガード・バンドが用いられます。ネットワーク内に大きなフレームが複数ある場合、ガード・バンドのサイズは最大フレーム・サイズに対応する必要があるため、ガード・バンドの手法ではネットワーク帯域幅を十分に利用できない可能性があります。フレーム・プリエンブションでは、大きなフレームを細かくフラグメント化できるため、ガード・バンドをはるかに小さくしてネットワーク帯域幅を最適化することができます。プリエンブション可能なトラフィックは、小さいガード・バンドの開始前に送信を開始して、重要なトラフィックが時間どおりに確実に通過できるように送信を中断することが可能です。残りのフラグメントは、時間ウィンドウが過ぎた後に送信を完了させることができます。

トラフィック標準フレームとエクスプレス・フレーム

標準のイーサネット・フレームまたはエクスプレス・イーサネット・フレームには、SFD または SMD-E で終了するプリアンブルがあり、これによってフレーム・データの開始を通知します。フレームは 32 ビットの CRC で終了します。

トラフィックプリエンブション可能なイーサネット・フレーム

プリエンブションを適用したフレームには開始フラグメントがあります。このフラグメントでは、プリアンブルがフレームの開始を示す SMD-S で終わります。フレームの最後は、mCRC です。mCRC が CRC と同じである場合は、1 つのフラグメントのみが存在します。mCRC が、16 ビットを XOR させた CRC である場合は、このフラグメントではフレームが終了せず、追加のフラグメントが続きます。これによって、フレームはフラグメント化されており、継続フラグメントが続くことが予想できることを、受信 MAC に伝えます。

MAC を受信するスイッチは、常に、SMD-S および SMD-C のあるフレーム、つまりプリエンブションが適用されているフレームを受け入れます。受信側では常にプリエンブションが有効化されているためです。

MAC を送信するスイッチは、SMD-S および SMD-C の付いたフレーム、つまり、プリエンブションが適用されているフレームのみを送信します。ただし、それは、リンク・パートナーがプリエンブションをサポートしており、スイッチがこのリンクのプリエンブションを有効化するよう指示されていることが確認された後のみです。

検証付きフレーム・プリエンブションの有効化

プリエンブションに対するサポートを検出するプロセスは、追加のイーサネット機能の種類・長さ・値 (Type Length Value = TLV) の交換を通じて行われます。スイッチでプリエンブションが有効化されている場合、プリエンブション機能とステータスをアドバタイズしている TLV は、そのポートから生じるリンク・レイヤ検出プロトコル (LLDP) フレームで確認できます。最初に、スイッチは、プリエンブションをサポートしていることを示す TLV を含む

LLDP フレームを送信します。ただし、そのプリエンブションは、有効化されておらずアクティブ化もしていません。

スイッチが、プリエンブションをサポートしていることを示す TLV を含む LLDP フレームをリンク・パートナーから受信しない場合は、スイッチはリンク・パートナーとのプリエンブションを有効化することもアクティブ化することはありません。

スイッチが、プリエンブションをサポートしていることを示す TLV を含む LLDP フレームをリンク・パートナーから受信した場合は、検証が有効であれば、スイッチは、サポートし有効化しているがアクティブにはなっていないことを示すように LLDP の TLV を変更し、verify mPacket (SMD-V = 0x07) を送信します。リンク・パートナーが response mPacket (SMD-R = 0x19) を送信した場合、スイッチはサポート、有効化、アクティブ化されていることを示すように LLDP TLV を変更し、選択されたキューから SMD-S や SMD-C の付いたフレームの送信を開始します。

応答フレームの受信がない場合は、タイムアウト後、スイッチは、別の検証フレームを送信し、3 回失敗する (リンク・パートナーからの応答がない) と、検証の送信を停止し、サポートのみを示すように LLDP TLV を変更します。

上述の検証プロセスは、予想される通常動作であり、そのようにスイッチが設定されていることが意図されています。

ユーザが強制的にプリエンブションを有効化し検証プロセスをスキップすることができる、デバッグ・オプションがあります。この場合、スイッチはその LLDP TLV を、サポートされ有効化されアクティブ化されていることを示すように変更し、定められたキューからプリエンブション可能なトラフィックを送信します。検証の使用をスキップするのは、デバッグ・モードとして行う場合のみにとどめる必要があります。リンク・パートナーがプリエンブションをサポートしていない場合は、受信側が SMD 値を判定できないため、プリエンブションされたフレームが無視される可能性があるためです。

スイッチがサポートするプログラマブルな最小の非最終フラグメント・サイズは 64 バイト、128 バイト、192 バイト、256 バイトです。フレーム・プリエンブションを設定する API は、SES_preemption.h ヘッダ・ファイル (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) にあります。

プリエンブションの統計情報

フレーム・プリエンブションを用いる場合、送信 MAC と受信 MAC は、動作に関連した多くの統計情報を取得します。すべてのレジスタは読出し時にクリアされ、一杯になると最大値を維持し、オーバーフローはしません。

表 29. ポートごとのフレーム・プリエンブションの統計情報 (送信および受信)

Parameter	Description
Frame Assembly Error Count	Number of frame reassembled with errors
Frame SMD Error Count	Number of frames with SMD errors
Frame Assembly OK Count	Number of frames reassembled successfully
Fragment Count Receive	Number of valid continuation fragments received
Fragment Count Transmit	Number of fragments transmitted
Hold Count	Number of times the hold capability was asserted

TSN 機能

ストリームごとのフィルタ処理およびポリシング (QCI)

ストリームごとのフィルタ処理およびポリシングは、IEEE 802.1Qci 規格が定義しているように、受信トラフィックのフィルタ処理およびポリシングを行います。

この機能の目的は、トラフィックの過負荷状態が受信ノードに影響を及ぼさないようにすることです。これを行うには、各ストリームにストリーム・フィルタを配置してストリームごとにトラフィックをフィルタ処理します。ストリーム・フィルタは、トーカーとリスナの間の協約を強化する役割を果たします。

フィルタ処理およびポリシングの機能は、ストリームごとに受信経路に適用されます。以下のストリーム・フィルタが使用可能です。

- ▶ 時間ベースフィルタ・ポートごとに 16 ゲート
- ▶ レートベース・フィルタ・ポートごとに 8 ゲート
- ▶ サイズベース・フィルタ・ポートごとに 32 ゲート

任意のストリームを任意の組み合わせのフィルタに割り当てることができ、デバイスは最大 32 通りのフィルタの組み合わせに対応できます。

ストリーム・フィルタ

ストリーム・フィルタはブロックすることもブロックを解除することもできます。このフィルタは、受信フレームのサイズを基に設定できます。フレームが指定されたサイズを上回っている場合は、このフレームは破棄されます。ストリーム・フィルタは、ストリームのゲートおよび流量計に関連付けることができます。ポートあたり 32 個のサイズベース・フィルタがあります。

ストリーム・ゲート

ストリーム・ゲートは開くことも閉じることもできます。ストリーム・ゲートは、そのストリームでのフレームの到着時刻をモニタし、送信側のスケジューリングされたトラフィックのゲートと同様、ポート・タイマー制御ユニットを用いてゲートを制御します。ゲートが開いているときにストリームが到着した場合は、フレームを受け入れ、必要なルックアップを行い、必要に応じた処理を行います。あるいは、ゲートが閉じているときにストリームが到着した場合は、そのフレームを破棄します。

ストリーム・ゲートは、フレームの内部優先度ベクトル (IPV) を変更できます。

ストリーム・ゲートにより、ある一定の時間において定義された量のトラフィック (ポート・タイマー制御ユニット (TCU) に基づく単位時間あたりのオクテット) をポートがサポートできるようになります。

流量計

流量計は、ある一定の量のトラフィックがポートを流れるようにできます。この機能は、トークン・バケットまたは帯域幅プロファイルを用い、フレーム・サイズと各バケットに存在できるトークン量とを比較します (適合しているか過剰になっているか)。いずれかのバケットに十分なトークンがあれば、そのフレームは進行できます。

サイクリック・キューイングおよび転送 (Qch)

IEEE 802.1Qch 機能 (今後ソフトウェア・アップデート予定) は、2 つの既存の機能の組み合わせ、つまり、ストリーム・ゲートとスケジューリングされたトラフィックを同時に使用することです。

ストリーム・ゲートはストリーム・フィルタと共に用いられて、フレームの内部優先度ベクトルを変更します。したがって、基本的にこのゲートによって、どのキュー・トラフィックがどのタイミングで入るのが指示されます。スケジューリングされたトラフィックを用いてデータ送信を行うため、一方のキューが送信している間に、もう一方の送信キューが満たされることになります。

Qch はオーディオおよびビデオ・アプリケーションで一般的に用いられている手法です。

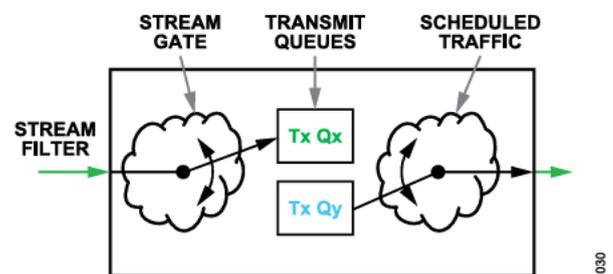


図 36. サイクリック・キューイングおよび転送

転送およびキューイングの強化 (Qav)

転送およびキューイングの強化 (IEEE 802.1Qav) 機能は、クレジットベース・シェーパ (CBS) (今後ソフトウェア・アップデート予定) であり、その目的は、優先度の低いトラフィックが一定の帯域幅を確保できるようにすることです。

送信機能は、トラフィック・クラスに基づきます。CBS は、高優先度キューで動作します。また、このスイッチにはポートごとに 2 つの CBS があります。

クレジットが 0 以上の場合、ポートは送信のみができます。キューが空の場合はクレジットは 0 です。フレームがキューに入ってもトラフィックが既に送信中である場合、そのフレームは送信を開始できません。そのフレームは、現在のフレームが送信を終了するまでブロックされ、その間、時間クレジットが増加します。

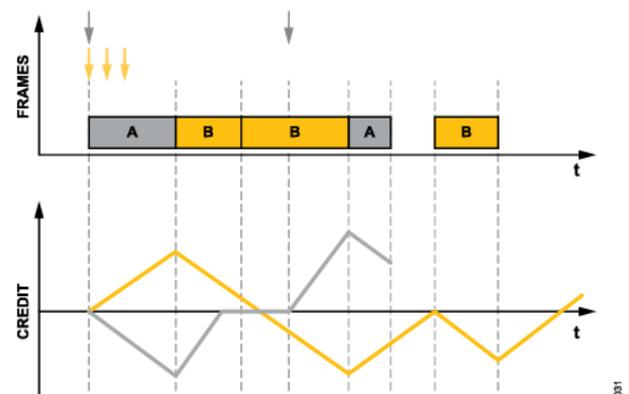


図 37. クレジットベース・シェーパ

SENDLIST

このスイッチは、IEC 60802 の要件や、PROFINET、CC-LINK、OPC-UA FLC などのレイヤ2 データ・プロトコルを操作するデバイスのニーズを満たすことができる、汎用的な SendList 機能を展開することができます。

その主な目的は、スイッチの SPI に依存してフレームの送信を行うためにタイミングの正確な制御ができないデバイスをサポートすることです。第二の目的は、MAC インターフェースで接続されたデバイスに対してこの機能を用いながらもタイミング、キューイング、ダイレクト・メモリ・アクセス (DMA) の各機能がなないトラフィックのサブセットの送信をサポートし、SendList 機能を完全に実行することです。

SendList は、多数のサブリストを周期的に送信します。各サブリストには、SendList 期間中に特定のオフセットで送信される多数のイーサネット・フレームがあります。SendList が周期的であるため、サブリストが次のサイクルの送信開始までにフレーム・データが更新されない場合でも、最後のフレーム・データが送信されます。SendList 機能は、スイッチの 1 ポートを SendList 機能専用にするを前提としており、このポートは、内部でループバック・モードに設定されます。6 ポートからなるデバイスでは、ループバック・ポートは 6 個のポートのうちのいずれでも構いません (ホスト・インターフェース・ポートは除く)。SendList 機能を用いている場合、このループバック・ポートは通常のトラフィックでは使用できません。そのため、SendList が常にアクティブである場合には、このポートには外部回路 (例えば PHY) が不要です。

ひとたびポートが SendList 構成の一部としてループバック・モードに設定されると、そのポートは、通常の受信トラフィックには使用できず、SendList 機能専用にしなくてはなりません。ループバック構成では、送信 MAC が受信 MAC と内部で接続されます。1 つのデバイスでは 1 つの SendList インスタンスのみをサポートできます。

SendList を作成する場合、以下の手順が操作の順序となります。

1. サブリストの数と周期を指定して SendList を作成します。
2. SendList 周期の開始からの必要な開始オフセットを指定してサブリストを作成します。
3. サブリストに追加される SendList フレームを登録します。

4. 登録されたフレームごとの静的テーブル・エントリを目的のポート・マップに追加します。
5. 登録されたフレームを該当するサブリストに追加します。
6. ループバック・ポートにスケジュールを設定します。
7. 登録されたフレームごとの送信イネーブル・パラメータ・セットを用いて、登録されたフレーム・データを送信します。
8. 希望する開始時刻に SendList を開始します。
9. 特定のフレームの送信を停止するには、アップデート登録フレームのイネーブル・パラメータまたはディスエーブル・パラメータを用いるか、フレームのフレーム ID で登録フレーム停止機能を呼び出して、送信を停止します。
10. SendList の送信を停止するには、すべての登録フレームを無効化または停止します。
11. SendList プログラムを変更あるいはアップデートするには、新しい SendList とサブリストを作成します。その後、登録フレームをサブリストに追加し、新しい SendList を開始します。

サブリストの終了と次のサブリストの開始との間で通常のアシスト・エンジン送信が可能です。SendList は、サブリストの開始の最大フレーム時間前に、アシスト・エンジン送信機能を停止します。SendList は、稼働時間の最大登録フレーム時間前に送信を開始し、確実にフレームがキューイングされてから該当のゲートが開くようにします。イーサネット・ホスト送信は、ブリッジの構成と優先度に基づき優先順位が付けられます。

SendList の例

ADIN6310 Software Driver User Guide には、[図 38](#) に示すような 4 つの SendList で SendList 機能を設定する方法を示すコード例があります。Sublist 0 には 3 つのフレーム・エントリがありますが、Sublist 1~Sublist 3 には 2 つのフレーム・エントリがあるのみです。

SUBLIST 0	SUBLIST 1	SUBLIST 2	SUBLIST 3
FrameID A xmitPriority = 7			
FrameID B xmitPriority = 4	FrameID C xmitPriority = 4	FrameID B xmitPriority = 4	FrameID C xmitPriority = 4
FrameID D xmitPriority = 0			

図 38. 4 つのサブリストによる SendList 例

冗長化

冗長化を用いると、経路に破断が生じた場合でもトラフィック・ストリームの提供を確保できます。これには、FRER (IEEE 802.1CB)、HSR、PRP という異なる方式があります。これらの冗長化方式はすべて、障害発生時にゼロ回復時間やシームレスな冗長化を実現します。

これらの機能では、最大限にディスジョイントな経路に沿ってメッセージの複製を2つ送信して冗長性を実現し、配信を確保します。冗長な経路は、リンクまたはデバイスの不具合や輻輳によるパケット消失を最小限に抑えます。複製されたフレームは受信時に破棄されます。

HSR と PRP は、IEC 62439-3 規格で定義されているプロトコルです。アプリケーションで使用することで、リンク障害、デバイス障害、ストリーム輻輳の発生時にゼロ回復時間でトラフィックを確実に配信するための軽量冗長性を提供します。

このスイッチは、ハードウェアベースの 802.1CB、HSR、PRP の実装をサポートしており、それによって、複製の生成、識別、除去などのホストのタスクを軽減します。

IEEE 801.2CB は、TSN アプリケーションで用いられる傾向のある冗長化であるのに対し、HSR や PRP は、通常、スマート・グリッド・サブステーションなどのエネルギー・アプリケーションで用いられます。

このスイッチは、リング・トポロジの冗長化プロトコルである MRP もサポートします。

高可用性シームレス冗長化 (HSR)

HSR は、通常、リング・アプリケーションで用いられ、ネットワーク内の別々の経路を通る複製フレームを提供することで通信チャンネルの信頼性を向上させ、アプリケーションに負荷をかけることなく単一のネットワーク障害に対してシームレスな切り替え時間を提供します。HSR は、HSR に従うダブル接続ノード (DANH) を使用して冗長化を行います。

このスイッチには、IEC 規格と整合するハードウェアベースの手法があり、DANH または冗長化ボックス (RedBox) としての動作をサポートしています。これらにおいては、ハードウェアが、フレームの複製、HSR タグの挿入、1 番目のフレームの消費、複製フレームの破棄、HSR タグの除去を管理します。HSR タグは VLAN タグの直後にあるため、HSR はカットスルー・モードで動作でき、その結果、ブリッジ間の滞留時間が短くなります。

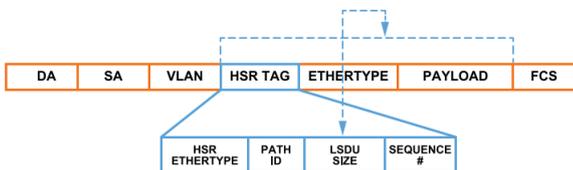


図 39. フレーム内の HSR タグの位置

HSR トポロジはリング・トポロジであり、そのようなネットワークにあるすべてのデバイスが HSR タグを解釈できなくてはなりません。DANH には 2 つの HSR ポートがあり、ソース DANH は、複製によって各 HSR ポートに同じフレームを送信します。

非 HSR デバイスは、RedBox を用いて HSR リングに接続できます。

HSR は複数のリングに対応できます。その場合、リングはクワッド・ボックス (QuadBox) を用いて互いに接続できます。

QuadBox は RedBox のバージョンであり、HSR 間のモードで別の RedBox に接続できるほか、HSR と PRP 間の接続では PRP ネットワークに接続することができます。

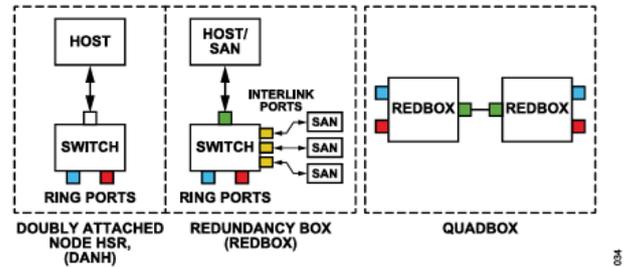


図 40. HSR におけるデバイスの概要

フレーム転送

DANH またはシングル接続ノード (SAN) デバイスからリングに送信されるフレームは、複製されて両方のリング・ポートから転送されます。1 つのリング・ポートでは、受信フレームに HSR ヘッダがない場合、そのフレームは、ピア遅延要求メッセージのように、ローカルで消費されるか破棄されます (転送されません)。HSR フレームがポートから送出されると、同じフレーム (つまり、ソース MAC アドレスとシーケンス・カウントが同じ) が同じポートから再度送出されることはありません。

特定のデバイスをターゲットとするユニキャスト・フレームはそのデバイスの他のリング・ポートからは転送されません。リスナによって消費され、複製は破棄されます。

マルチキャストまたはブロードキャスト・フレームは、リング内の複数のノードにとって関心の対象となる可能性があります。そのため、リングの周囲の各ノードによって転送されます。フレームがその起源である DANH に到達すると、他の HSR ポートやホストには転送されません。これによりリングが切断され、ノードがリングに注入したフレームを転送しないという要件が満たされます。

フレームがカットスルーで転送され、エラーが検出された場合、同じシグネチャを持つ次のフレームが転送されます (エラーのあるフレームは複製破棄にカウントされません)。

冗長化

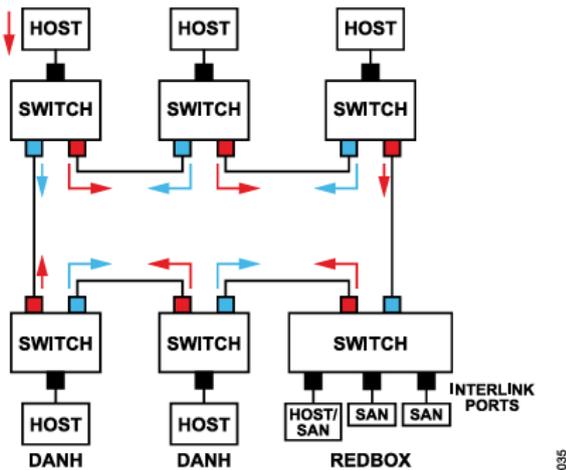


図 41. マルチキャスト・フレームの経路を示す HSR リングの簡略図

HSR の場合の転送テーブルの考慮事項

HSR モードでは、通常の学習は行われません。HSR の学習のみがサポートされており、スイッチはソース MAC とシーケンス番号の組み合わせを学習します。転送テーブルは、全ポート間で共有されており、2048 のエントリをサポートします。これらのエントリの一部は、PTP や LLDP などの静的エントリによって消費され、HSR ストリームやその他のエントリのバランスを維持します。

HSR リングのサイズ

スイッチがサポートするデバイスの数は、リング内のトラフィック、フレーム数、エージング時間に依存し、学習および破棄のために転送テーブル・エントリを使用する破棄バッファの深度によって決まります。

ブリッジ間の滞留時間はスイッチ全体（HSR タグを含む）で 600ns 未満ですが、これには PHY の送受信の遅延は含まれません。ADIN1300 ギガビット PHY を用いる場合、RGMII モードでの PHY の送受信遅延は 300ns 未満程度です。

DANH または RedBox としての ADIN6310

ADIN6310 は、最大 8 個の SAN デバイスを接続した DANH または RedBox デバイスとして構成できます。ADIN6310 では、HSR の 1 つのインスタンスのみがサポートされます。スイッチが HSR モードの場合、通常の学習は無効化されているため、非 HSR ポートでは学習ができません。また、静的エントリをテーブルにインストールできますが、これは HSR 学習に使用できるエントリを消費します。

HSR モード時のホスト・インターフェース

HSR モードの場合、スイッチのホスト・インターフェースは、SPI でもイーサネット MAC でも接続できます。どちらの場合も、ホスト・インターフェースは、HSR ネットワークに加わることができます。

HSR ポートのモード

このスイッチは、IEC 規格で定義されているすべてのポート・モードをサポートします。デフォルトのモードはモード H です。

以下にポート・モードの一覧を示します。

- ▶ **モード H (デフォルト・モード)** : HSR のタグが付いた転送。DANH はホスト起源のフレームに HSR タグを挿入し、リング・トラフィックを転送します。ホスト起源のリング・トラフィックは転送されません。ホスト宛てにアドレス指定されたユニキャスト・フレームは、リング上では転送されません。ポートから既に出されたフレームは、2 度と送信されることはありません。
- ▶ **モード N** : 転送なし。このモードは、モード H と同様に動作しますが、2 つのリング・ポート間ではトラフィックが転送されないという点が異なります。このモードは、特別なネットワーク・トポロジで用いられます。
- ▶ **モード T** : トランスペアレント転送。HSR タグは、転送前にホストからのフレームに注入されることはありません。また、タグはポート間を横断するすべてのフレームから取り除かれます。
- ▶ **モード M** : 混合転送。HSR タグの付いたフレームはモード H と同様に処理され、リング・ポートで受信された非 HSR のタグが付いたフレームは標準的なスイッチング規則に従って転送されます。ホストからのフレームは、HSR タグが追加され複製されるか、あるいは、これらのフレームは宛先アドレスや VLAN に従って標準スイッチ上のトラフィックのように処理されます。
- ▶ **モード U** : ユニキャスト転送。このモードはモード H と同様に動作しますが、ホストをターゲットとするすべてのユニキャスト・フレームがもう一方のリング・ポートからも複製されて送信される点が異なります。
- ▶ **モード X** : カウンタ複製時に送信なし。このモードでは、ノードはモード H と同様に動作しますが、ポートは反対方向から完全かつ正しく受信したフレームの複製であるフレームを送信しないという点が異なります。

HSR 監視フレーム

このスイッチは、HSR ネットワークの両方のポートに監視フレームを送信します。これらのフレームは、VLAN タグを付けて、あるいは付けずに、2 秒の **LifeCheckInterval** ごとに周期的に生成されます。RedBox として構成されている場合、このスイッチは RedBox に対応する監視フレームを送信し、また、同じ時間間隔で、RedBox に接続されている任意の仮想 DANH/SAN の監視フレームを送信します。

HSR の統計情報

このスイッチは、多くの HSR 関連の統計情報と各 HSR ポートに関連したエラー・カウンタを取得します。統計情報は、ネットワークに存在するノードの数も返します。以下の HSR 統計情報が取得されます。

- ▶ **Rx カウント** は、ポート A またはポート B で受信された、HSR タグを持つフレームの数を反映します。
- ▶ **Tx カウント** は、ポート A またはポート B で送信された、HSR タグを持つフレームの数を反映します。
- ▶ **エラー・カウント** は、リンク冗長化エンティティ (LRE) ポート A またはポート B で受信された、エラーのあるフレーム数を指定します。
- ▶ **複製カウント** は、1 つの複製が受信されたポート A またはポート B での複製検出メカニズムのエントリ数を指定します。

冗長化

- ▶ **マルチ・カウント**は、複数の複製が受信されたポート A またはポート B での複製検出メカニズムのエントリ数を指定します。
- ▶ **固有カウント**は、複製が全く受信されなかったポート A またはポート B での複製検出メカニズムのエントリ数を指定します。
- ▶ **ノード・カウント**は、システムで検出されたノードの数を返します。

ノード・テーブル

このスイッチは、ノード・テーブルを維持し、HSR ネットワークで DANH および SAN を追跡しています。ノード・テーブルでは、HSR ポートで検出された受信トラフィックと HSR 監視フレームに基づいてデータが蓄積されます。パケット・アシスト・エンジンは、ノード・テーブルのロジックに基づいてエントリの挿入や削除を自動的に行います。ノード・テーブルは、ノードで受信した HSR 監視フレームに基づいて複製の破棄や複製の受理を記録します。このテーブルは、特定のノードから最後にフレームを受信した時刻を記録し、60 秒ごとに更新が行われます。この時刻の後にフレーム受信がなければ、そのノード・エントリは削除されます。ユーザは、`SES_GetLreNodesEntry()` API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を通じて、ノード・テーブルを調べることができます。ノード・テーブルは、最大 1024 エントリに対処できます。

プロキシ・ノード・テーブル

プロキシ・ノード・テーブルは、RedBox に接続されている検出済みの SAN と、それが最後に検出された時刻の一覧です。プロキシ・ノード・テーブルは、インターリンク・ポートの受信トラフィックに基づいて、SAN および仮想 DANH MAC を学習します。ユーザは、`SES_GetLreProxyNodeEntry()` API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を通じて、プロキシ・ノード・テーブルを調べることができます。ノード・テーブルと同様、プロキシ・テーブルは、受信フレームに基づいてテーブルの更新を維持し、60 秒ごとにエントリをエージアウトします。HSR RedBox 用のプロキシ・ノード・テーブルの最大サイズは 8 です。

並列冗長化プロトコル (PRP)

HSR と同様に、PRP は冗長化アプリケーションで用いられ、複製フレームを別々のネットワークで伝搬して、1 つのネットワークに障害が発生した場合でもロスのない通信を可能にすることで、通信チャンネルの信頼性を向上させます。PRP は、ネットワーク・デバイスに特別な要件は課しません。ただし、複製ネットワークを使用することが必要です。

PRP は、PRP に従うダブル接続ノード (DANP) を使用して冗長化を行います。

同様に、PRP の 1 つのインスタンスのみを 6 ポート ADIN6310 スイッチで設定でき、PRP ネットワークの一部であるポートの選択は柔軟で、初期化設定時にユーザが定義できます。

DANP は、トポロジが同じで並列に動作する 2 つの独立した LAN である、LAN A と LAN B に接続されます。ソース DANP は非 PRP フレームを SAN から受け取り、そのフレームを複製して LAN A と LAN B に接続された 2 つのポートから送信します。これらのフレームには、その末尾に PRP 冗長制御トレーラ (RCT または PRP タグ) が付けられます。これらの複製フレームは、PRP タグ (LAN ID) と FCS を除き同一です。宛先 DANP は、一定時間内に両方の LAN から複製フレームを受信し、最初に到着

したフレームを消費し、その複製は破棄します。DANP は、送信時に PRP タグを除去することもできます。

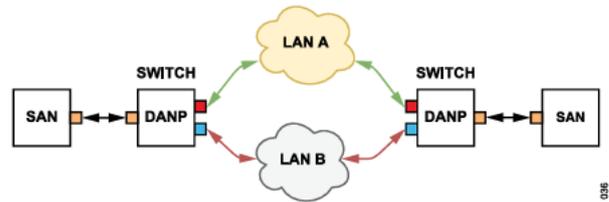


図 42. PRP ネットワークの間略図

PRP タグは単にペイロードの一部のように見えるだけなので、LAN 経路内のどのスイッチにも影響しません。1 つの DANP から別の DANP へのトラフィックはすべて PRP で実行されますが、DANP から SAN へのトラフィックでは PRP は不要です。

2 つの LAN は、MAC-LLC レベルではプロトコルが同じですが、性能とトポロジが異なります。送信遅延も異なる場合があります。この 2 つの LAN は、相互には接続されておらず、障害に関して独立であることが前提です。

このスイッチは、IEC 規格に整合する PRP にハードウェアベースで対応し、ハードウェアがフレームの複製、PRP タグの挿入、最初のフレームの消費、複製フレームの破棄、PRP タグの除去を管理する、DANP としての動作を行います。

PRP トレーラがフレームの末尾の FCS の直前にあるため、PRP は DANP と RedBox ではストア・アンド・フォワード・モードで動作しますが、ネットワーク内のスイッチはカットスルー・モードで動作することができます。

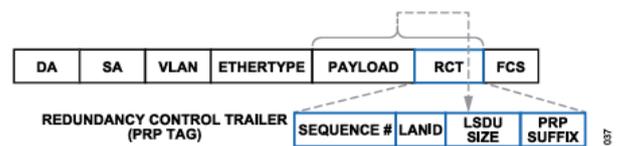


図 43. PRP タグフレーム末尾のトレーラ

PRP モード時のホスト・インターフェース

PRP モードの場合、スイッチのホスト・インターフェースは、SPI でもイーサネット MAC でも接続できます。どちらの場合も、ホスト・インターフェースは、PRP ネットワークに加わることができます。

冗長化

最大滞留時間

最大滞留時間は、複製フレームの PRP 学習エージ・アウト時間です。最大滞留時間以内に複製が到達しない場合は、複製は転送されます。実際は、10Mbps または 100Mbps の速度で動作している場合は、最大滞留時間の全範囲が可能です（最大 400ms）。ギガビット・リンク上でこれより高いレートで動作している場合は、最大滞留時間を短くすることで、転送テーブル・エントリを全て消費してしまうことを回避します。全て消費してしまうと、複製が破棄されなくなるからです。スイッチの転送テーブルは、最大 2,000 のエントリをサポートできます。複製破棄アルゴリズムの場合、テーブルは、設定された最大滞留時間に対する PRP のシークエンス番号とソース MAC アドレスを格納します。イーサネット、IFG、PRP のオーバーヘッドを含む、1532 バイトのフレーム（この場合、ギガビットの速度で通過するのに 12.3 μ s を要します）と、24.5ms 以内に 2000 エントリが利用されるテーブルを考えてみます。ギガビットの速度で動作する場合、最大滞留時間のデフォルト設定値である 10ms が最適です。

ホストは、**DynamicTableLimitExceed** イベントに対してサブスクライブして、転送テーブルの使用状況をモニタし、テーブルが満杯近くになるとアラートを受けるようにできます。

PRP 監視フレーム

このスイッチは、監視フレームを PRP ネットワークに送信します。これらのフレームは、2 秒の **LifeCheckInterval** ごとに、VLAN タグを付けて、あるいは付けずに、周期的に生成されます。RedBox として構成された場合、スイッチは RedBox に対応する監視フレームを送信し、また、同じ時間間隔で、RedBox に接続された仮想 DANP および SAN 用の監視フレームも送信します。

PRP 統計情報

このスイッチは、ネットワーク内にあるノードの数を示す他に、多数の PRP 関連統計情報と、スイッチが検出した各 PRP LAN に関連するエラー・カウンタを取得します。以下の HSR 統計情報が取得されます。

- ▶ **Rx カウント**は、ポート A またはポート B で受信された、PRP RCT トレーラ付きのフレームの数を反映します。
- ▶ **Tx カウント**は、ポート A またはポート B で送信された、PRP RCT トレーラ付きのフレームの数を反映します。
- ▶ **エラー・カウント**は、LRE ポート A またはポート B で受信された、エラーのあるフレームの数を指定します。
- ▶ **不正 LAN エラー・カウント**は、LRE ポート A またはポート B で受信された、不正 LAN 識別子のあるフレームの数を指定します。
- ▶ **複製カウント**は、1 つの複製が受信されたポート A またはポート B での複製検出メカニズムのエントリ数を指定します。
- ▶ **マルチ・カウント**は、複数の複製が受信されたポート A またはポート B での複製検出メカニズムのエントリ数を指定します。
- ▶ **固有カウント**は、複製が全く受信されなかったポート A またはポート B での複製検出メカニズムのエントリ数を指定します。
- ▶ **ノード・カウント**は、システムで検出されたノードの数を返します。

ノード・テーブル

このスイッチは、ノード・テーブルを維持し、PRP ネットワーク内の DANP と SAN を追跡しています。ノード・テーブルでは、PRP ポートの受信トラフィックと PRP 監視フレームに基づいてデータが蓄積されます。パケット・アシスト・エンジンは、ノード・テーブルのロジックに基づいてエントリの挿入や削除を自動的に行います。ノード・テーブルは、ノードで受信した PRP 監視フレームに基づいて、複製の破棄や複製の受理を記録します。このテーブルは、特定のノードからフレームを最後に受信した時刻を記録し、60 秒ごとに更新が行われます。この時間の後にフレームが受信されなければ、ノード・エントリは削除されます。ユーザは、ソフトウェア・ドライバ API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) のドライバ API を通じて、ノード・テーブルを調べることができます。ノード・テーブルは、最大 1024 エントリに対処できます。

プロキシ・ノード・テーブル

プロキシ・ノード・テーブルは、RedBox に接続されている検出済みの SAN と、それが最後に検出された時刻の一覧です。プロキシ・ノード・テーブルは、インターリンク・ポートの受信トラフィックに基づいて、SAN および仮想 DANP MAC を学習します。ユーザはプロキシ・ノード・テーブルを調べることができます。ノード・テーブルと同様に、プロキシ・ノード・テーブルは、受信フレームに基づいてテーブルの更新を維持し、60 秒ごとにエントリをエージ・アウトします。PRP RedBox 用のプロキシ・ノード・テーブルの最大サイズは 8 です。

不正 LAN ID に対する複製破棄

PRP DANP または PRP RedBox として動作している場合に、PRP RCT は有効だが LAN ID (ポート B で ID 0xA またはポート A で ID 0xB) が正しくないフレームを PRP ポートで受信すると、スイッチは誤って複製を破棄し、PRP トレーラを除去します。その結果、ホストの DANP または SAN は予定どおりフレームの 2 つの複製を受信するのではなく、トレーラが除去されたフレームの 1 つの複製のみを受信しますが、これによってアプリケーション・レイヤで問題が生じることはありません。通常、トレーラは無視され、複製フレームは対応するスタックで破棄されるためです。エラー・カウンタは正しくインクリメントされ、LAN が正しく接続されていないことをホストに通知します。

不正 LAN ID に対する複製破棄は、PRP DANP または PRP RedBox の使用事例にのみ適用されます。この動作は、HSR および HSR RedBox の使用事例には影響を与えません。

PRP タグの LSDU サイズが誤っている PRP トラフィック

PRP タグ内のリンク・サービス・データ・ユニット (LSDU) サイズが誤っている PRP フレームをピア・デバイスが送信した場合、PRP DANP または PRP RedBox デバイスは、これらのフレームがエージ・アウト時間である **IreDupListResideMaxTime** 内に到着する限り、これらのフレームをホスト・プロセッサとローカルに接続された SAN にドロップします。

冗長化

HSR と PRP のハイブリッド・ネットワーク

このスイッチは、HSR と PRP が組み合わさったハイブリッド・ネットワーク構成をサポートできます。このネットワークは、PRP から HSR を経由して PRP に向かうデータ転送をサポートするスイッチを用いて、PRP および HSR（今後ソフトウェア・アップデート予定）モードで Redbox によってブリッジされています。スイッチは、HSR タグの識別および除去と PRP タグの挿入を管理し、他の方向でも同様です。シーケンス番号は両方向で保持されます。なお、HSR タグの Path ID と PRP タグの LAN ID の間には、固定された関係があります。

信頼性向上のためのフレーム複製および除去、802.1CB

信頼性向上のためのフレーム複製および除去（FRER）は、IEEE 802.1CB 規格による定義に従い、機器の障害によるパケット消失を低減することで、ネットワークの信頼性を向上させることを目的としています。

スイッチは、トカ（ソース）でのフレームの複製と、リスナ（宛先）でのフレームの除去をサポートしています。トカは、フレームに冗長化タグを付けて、2 つ以上の冗長経路で、複製されたストリームを送信します。こうした冗長経路を持つことの要点は、リンク障害、デバイス障害、あるいはストリーム輻輳によるパケット消失を最小限に抑えることです。次に、リスナは複製パケットを除去する役割を担います。ネットワークは、ストリームが採用する経路とは無関係に、予定された場所と時刻にストリームが確実に到着するようにします。FRER をサポートするために、スイッチにはシーケンスの生成および回復アルゴリズムがあります。

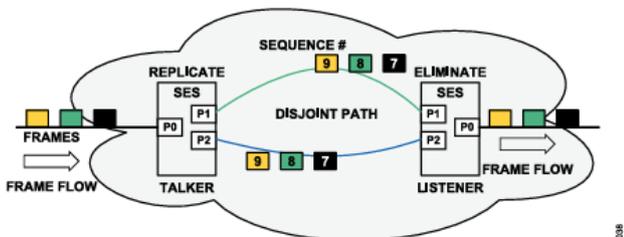


図 44. 802.1CB の複製および除去

表 30. ストリーム ID のタイプ

Stream Identification	Active or Passive	Examines	Overwrites
Null Stream	Passive	DA and VLAN ID	None
Source Address and VLAN Stream	Passive	SA and VLAN ID	None
Active Destination Address and VLAN Stream	Active	DA and VLAN ID	DA, VLAN ID, and PCP
IP Stream	Passive	DA, VLAN ID, IP source, Destination, DSCP, IP next protocol, source port, and destination port	None
Mask and Match Stream	Passive	DA, SA, and MAC SDU	None

冗長タグ（R タグ）には、ジェネレータがフレームを受信するごとにインクリメントする、2 バイトのシーケンス番号があります。シーケンス番号はリスナの回復機能で用いられ、フレームの複製の識別と除去が行われます。R タグには、EtherType（0xFIC1）も含まれます。



図 45. IEEE 802.1CB の R タグ

ストリームの ID

ストリームの ID 機能を用いて、ストリームの行先となるポートを決定できます。ストリーム ID には、アクティブとパッシブの 2 種類があります。パッシブ ID はストリームのパケットの検査のみを行います。アクティブ ID は、送信されるパケットのデータ・パラメータを変更します。このスイッチは、IEEE 802.1CB に記載されている全種類のストリーム ID を処理するように設定されています。表 30 に、使用できる様々な種類のストリーム ID、これらのストリームがパケット内で検査するパラメータ、およびこれらのストリームが上書きするパラメータの詳細を示します。

使用できるシーケンス回復アルゴリズムはマッチ・アルゴリズムとベクトル・アルゴリズムの 2 つです。このスイッチはどちらの回復アルゴリズムもサポートします。マッチ・アルゴリズムの方がより直接的です。マッチ・アルゴリズムは、有効なものとして受信した最初のパケットを受け入れます。その後、後続のパケットが、最後に受け入れたパケットとのマッチ・ステータスに基づいて評価されます。パケットが最後に受け取ったものと一致する場合は、破棄されます。パケットが一致しない場合は、受け入れられません。更に、受け入れられた各パケットはタイマーをリセットします。このタイマーがゼロに達した場合は、アルゴリズムがリセットされ、次の受信パケットが受け入れられます。マッチ・アルゴリズムは、ただ 1 つのパケットが、別の経路と比較して、任意の経路で通過するような間欠的なストリームの場合により適しています。

ベクトル・アルゴリズムの詳細については、シーケンスの回復のセクションを参照してください。

冗長化

シーケンスの回復

ベクトル・アルゴリズムは、より堅牢な複製除去が可能です。パケット到着時、ベクトル・アルゴリズムでは、シーケンス番号が直前に受け入れたパケットのシーケンス番号の範囲内に収まっているかどうかを、スイッチが確認します。許容可能な範囲は、履歴長パラメータのプラスまたはマイナスで定義されます。この範囲外のパケットは破棄されます。更に、履歴長の範囲内の複製パケットも破棄されます。パケットが受け入れられるごとに、タイマーがリスタートします。タイマーが終了すると、ベクトル・アルゴリズムはリセットされ、次に到達するパケットのシーケンス番号を受け入れることができます。ベクトル・アルゴリズムの履歴長を増やすと、複数パケットが任意の経路で通過できるパルク・ストリームのシナリオに対しより適したものになります。

個別の回復

個別の回復は、繰り返し同じパケットを送信する状態で停滞したトランスミッタなどの、特定のエラーに対処します。トランスミッタが停滞すると、同じシーケンス番号の複製パケットを送信する場合があります。この複製パケットによりネットワークの信頼性が損なわれる可能性があります。個別の回復は、1つのメンバ・ストリーム内で繰り返されるシーケンス番号を識別し、早期に除去することでエラーの早期検出を可能にします。

メディア冗長化プロトコル (MRP)

MRPは、産業用通信ネットワークでの単一障害点を回避するために用いられる、もう1つの冗長化プロトコルです。MRPは、リング・トポロジに基づく回復プロトコルで、IEC 62439-2:2021規格に整合しています。MRPは最大50デバイスのリング・ネットワークで使用できます。MRPプロトコルの詳細については、規格を参照してください。以下のセクションでは、ADIN6310デバイスが備えている機能を理解するのに役立つよう、MRPの概要を説明しますが、MRP機能すべての概要を示すことを目的としたものではありません。

- ▶ [スイッチでの MRP スタック](#)
- ▶ [回復プロファイル](#)
- ▶ [MRP の動作](#)
- ▶ [MRP の役割](#)
- ▶ [MRP のポートおよびリングの状態](#)
- ▶ [MRP の投票プロセス](#)

スイッチでの MRP スタック

MRPは、スイッチの起動時に設定できます。MRPスタックは、パケット・アシスト・エンジンで動作するため、MRPのオーバーヘッドによる負荷をホストから軽減します。スイッチのAPIと設定の詳細については、TSNドライバ・ライブラリ (ADIN6310製品ページからソフトウェア・ドライバの一部として入手可能) を参照してください。

このスイッチは、メディア冗長化クライアント (MRC)、メディア冗長化マネージャ (MRM)、メディア冗長化オートマネージャ (MRA) としての動作をサポートします。

このスイッチは、相互接続された複数のリングはサポートしていません。

MRA、MRC、またはMRMの1つのインスタンスが6ポート・デバイスでサポートされます。

回復プロファイル

デバイスがMRP動作用に設定されている場合、500ms、200ms、または30msの回復プロファイルをサポートします。実際には、リング内のすべてのMRPデバイスで同じ回復プロファイルとなります。

MRP の動作

リング内には、常に2種類のノードがあり、1つのノードはリング・トポロジのモニタと制御を行うMRMとして機能し、もう1つのノードはMRCとして機能します。

MRP の役割

どのリングにも1つのMRMデバイスのみが存在でき、このデバイスは、そのリング状態を管理します。通常動作の場合、MRMはそのリング・ポートの1つですべてのトラフィックをブロックしますが、MRPのトラフィックは通過可能とし、リングにループが発生するのを防止します。MRMは、1つのリング・ポートからテスト・フレームを送信し、リングが閉じている場合には、これらのフレームをもう一方のリング・ポートで受信することを期待します。MRPはこれらのフレームを双方向に送信します。MRMがこれらのテスト・フレームの戻りを受信しない場合、リングの故障として検出されます。MRMは、直前にブロックされたリング・ポートを通常のトラフィックに対して開くことで応答し、MRP_TopologyChangeフレームをリングに送信します。

リングの他のノードはMRCです。通常動作の場合、MRCではトラフィックの通過が可能で、リング・ポートは転送を行い、MRP_Testフレームがこれらのデバイス間を移動できます。MRCはMRMから受信した再構成フレームに応答し、リング・ポートでのリンクの変化を検出して通知することができます。MRCは、両方のリング・ポートを通じてMRP_LinkChangeフレームを送信することで、変化を通知します。

リング内の特定のノードまたはすべてのノードがMRAとして起動できます。投票プロトコルを用いてリングに1つのMRMが選択され、他のMRAはMRCの役割に変わります。MRPデバイスの役割を設定する場合、規格は、同じリング内に1つ以上のMRA役と、手動設定された1つのMRMが存在することはサポートしていません。リングに想定されている設定は、1つ以上のMRAと複数のMRC、または1つのMRMと複数のMRCです。

MRP のポートおよびリングの状態

スイッチには、リング・ポートと呼ばれる2つの専用ポートがあります。リング・ポートはスイッチのどのポートでも構いませんが、ポートは構成の一部として定義されます。デフォルトでは、リング・ポートはポート1およびポート2ですが、ユーザは、異なるポートをリングの一部とするようデバイスを設定できます。なお、一度に動作できるMRPのインスタンスは1つのみです。そのため、ADIN6310ポート・スイッチでは、2つのリング・ポートのみが許容されます。

リング・ポートは、次の3つの状態のいずれか1つにすることができます。

- ▶ 無効：ポートが受信したすべてのパケットがドロップされます。
- ▶ ブロック：MRPパケット、PRPフレーム、LLDPフレームを除き、ポートが受信したすべてのパケットがブロックされます。
- ▶ 転送：ポートが受信したすべてのパケットが転送されます。

冗長化

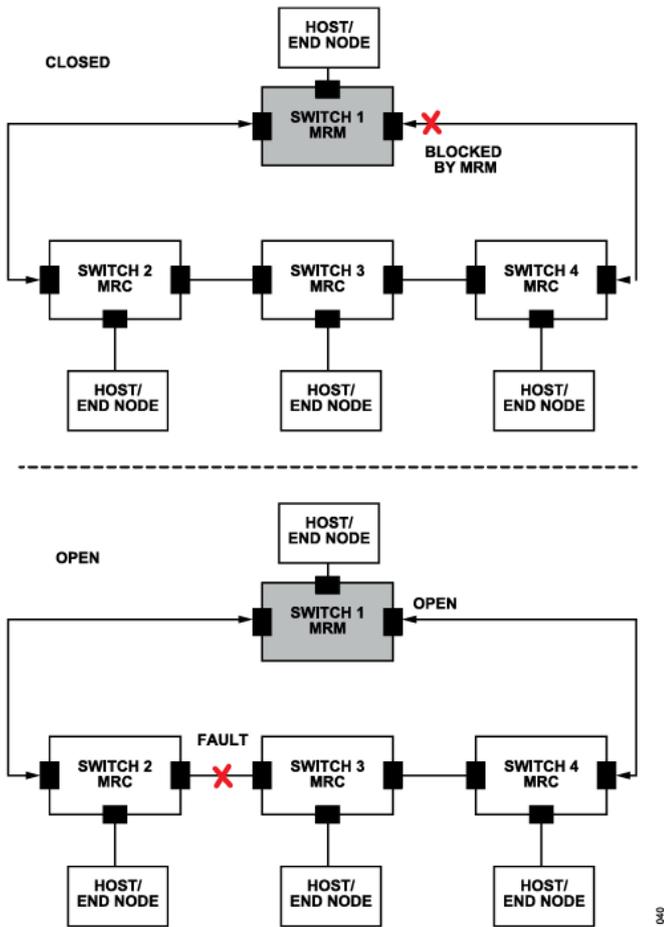


図 46. MRP のリングの閉じた状態と開いた状態

リング自体は、次の状態のいずれかとすることができます。

- ▶ 閉：すべてのノードで両ポートがリンクされ、MRM の 1 つのポートがブロック状態、他ポートが転送状態です。
- ▶ 開：MRC の 1 つがポートがダウンしていることを通知したため、あるいは、MRM がそのテスト・フレームの受信に失敗したため、MRM の両方のポートが転送状態です。

MRP の投票プロセス

MRA 役は、MRM と MRC を組み合わせたものであり、MRA はマネージャ投票プロセスをサポートします。リング内で許容されるアクティブな MRM は 1 つだけです。その他のノードはすべて MRC でなくてはなりません。

2 つ以上のノードが MRM の能力を持つ場合（MRA に設定されている）、マネージャ投票を用いることで、どのノードが MRM となりどのノードが MRC 役になるかを決定できます。リングが MRA 役で構成されている場合は、デバイスを手動で MRM に設定しないでください。

MRM の能力を持つノードには様々な優先度があります（テスト・フレームの **MRP_Prio** フィールド）。**MRP_Prio** の値 + MAC アドレス = 固有の優先度です。**MRP_Prio** の値が低いほど優先度は高くなります。そのため、**MRP_Prio** の値がノード間で等しい場合、MAC が小さい方のデバイスが MRM となります。

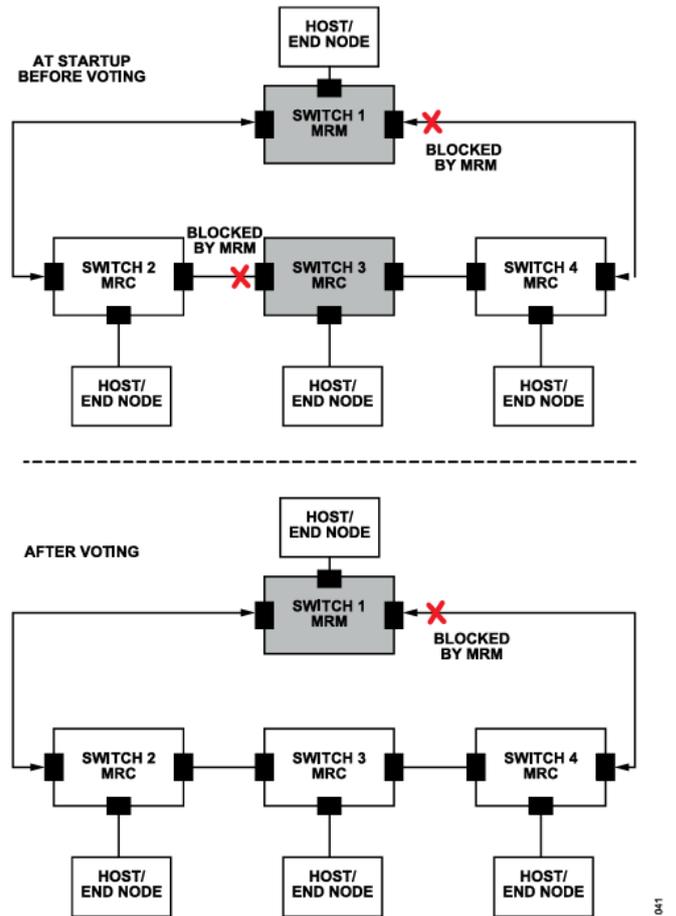


図 47. MRP 投票の前と後

MRA デバイスは、両方のリング・ポートで **MRP_test** フレームを送信します。この **MRP_Test** フレームには **MRP_Prio** の情報が含まれます。リモートの MRA デバイスは、受信した優先度を自身の優先度と比較します。ノードは自身の優先度が受信した優先度より高い場合、テスト・マネージャの否定応答（**MRP_TestMgrNACK**）フレームを送信します。

受信側の MRA が自身の MAC アドレスが付いた **MRP_TestMgrNACK** を受信すると、受信側 MRA は MRC 役になり、**MRP_TestPropagate** を介して役割の変更を伝達します。

最も優先度の高い MRA または MRM が、リングの唯一の MRM となり、リングの管理を開始します。

MRM が故障したり、リングから除去された場合、投票プロセスが再開します。既存の MRM が存在するリングに別の MRA が挿入されると、既存の MRM と新しい MRA は **MRP_Test** を交換し、どちらが MRM となるか投票を行います。

その他の機能

産業用イーサネット・エンジン

このスイッチには、2つのポートで従来のプロトコル（今後ソフトウェア・アップデート予定）をサポートしながら、その他のポートで TSN 機能をサポートするオプション機能があります。

産業用イーサネット・エンジンは、PROFINET IRT、EtherNet/IP ビーコンベース DLR、POWERLINK の各プロトコルに対するポート 1 およびポート 2 でのカスタム・レイヤ 2 サポートに対応します。

この機能を用いる場合、この2つのポートの TSN MAC はバイパスされます。そのため、これらの2つのポートでは、TSN 機能は使用できません。

産業用イーサネット・プロトコル・フレームは、ポート 1、産業用イーサネット・エンジン、ポート 2 の間の経路のみで伝送されます。ホストとの通信は、パケット・アシスト・エンジンを通じて伝送されます。なお、このブロックがアクティブな場合、TSN ポートとこの2つのポートの間には直接のブリッジはありません。

ホスト・コントローラは、ソフトウェア・ドライバ API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を通じて産業用イーサネット・エンジンの動作を設定できます。

このブロックを用いる場合、デバイスは、RGMII または SGMII を介した 100Mbps の速度での動作をサポートします。この機能を用いる場合、ギガビットの速度はサポートされません。

RMII でのこのブロックの動作はサポートされません。

論理 MAC 動作

論理 MAC 機能は、物理 MAC ポートを、特定の1つのリンク・ポートと1つ以上のネットワーク・ポートを備えた異なる論理 MAC グループに論理的に分割する機能です。この機能は、リンク・ポートに送信されるフレームの末尾にタグ情報を追加でき、それによって、フレームの発生元となるネットワーク・ポートをスタック・プロセッサが識別できます。スタック・プロセッサ側から言えば、それが発するフレームをどのポートから送信するかを制御できます。このスイッチは、スイッチのネットワーク・ポートからの送信パケットのソース MAC アドレスの変更をサポートできます。ホストは、フレームの発生元ポートを示すタグ情報を用いて、所望の論理 MAC で受信するフレームのコールバックを登録できます。

次の例では、1つの論理 MAC グループが3つのポートを使用する構成を詳細に説明します。このグループには、ポート 0、ポート 1、ポート 2 があり、リンク・ポートはポート 0 で、ポート 1 とポート 2 はネットワーク・ポートです。

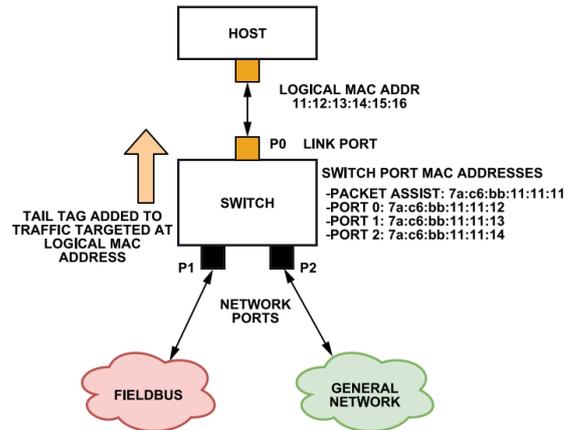


図 48. 3つのポートを用いる論理 MAC グループの例

この論理 MAC グループの構成後、(ホストやリンク・ポートへの) 論理 MAC アドレスをターゲットとするネットワーク・ポートからのトラフィックでは、6バイトのテール・タグが FCS の直前のフレームの末尾に追加されます。このタグで注目すべき値は、このテール・タグの上位3ビット(ビット[13:15])で、これは、トラフィックの発生元であるポートを示します。提供されたテール・タグを用いることで、ユーザは、表 31 に示すように、6つのポートをいずれも識別できます。論理 MAC アドレスに向けたポート 2 からのフレームに追加されるタグの例では、フレームの末尾に 60x 00xx 00 30 88 fb が追加されています。6 はこれがポート 2 からのものであることを示します。この機能は、PRP RCT トレーラを転用するものであるため、末尾の 0x88fb は PRP のサフィックスです。タグのその他のビット・フィールドは、フレーム・サイズとシーケンス・カウンタによって異なります。また、シーケンス・カウンタは、ポート ID 情報を上書きしないよう、5ms ごとにリセットされます。

表 31. テール・タグ・ポートの識別

Port Number	Tail Tag Value	Top 3 Bits (Bits[15:13])
0	0x2xxx/0x3xxx	001
1	0x4xxx/0x5xxx	010
2	0x6xxx/0x7xxx	011
3	0x8xxx/0x9xxx	100
4	0xAxxx/0xBxxx	101
5	0xCxxx/0xDxxx	110

論理 MAC インスタンスを作成すると、メッセージを論理 MAC アドレスに伝送するよう、エントリが静的テーブルに配置されます。ソース MAC アドレスがポート MAC アドレスとなっているメッセージの場合は、フレームが自動的にそのポートから送信されます。

その他のトラフィックは、ホストやリンク・ポートには自動的に転送されません。そのため、ホストに関連する他のトラフィックの場合、SES_AddStaticTableEntry() API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を用いて静的エントリを転送テーブルに配置する必要があります。論理 MAC グループを作成する場合、API は、論理 MAC ポート間にポート転送マスクを作成します。これによって、トラフィックがグループの特定のポートに確実に限定されます。ユーザは、ポート転送には何の追加設定も行う必要はありません。

その他の機能

ネットワーク・ポートは2つの異なるグループの一部とすることはできませんが、リンク・ポートは異なるグループに属することができます。

次の例では、2つの論理 MAC グループがそれぞれ2つのポートを使用する設定を詳細に説明します。このシナリオでは、ホストには、それに関連する2つの MAC アドレスがあります。最初のグループはポート 0 とポート 1 で、リンク・ポートがポート 0、ポート 1 はネットワーク・ポートです。これに対し、2番目のグループでは、リンク・ポートがポート 0、ネットワーク・ポートがポート 2 です。前述のように、リンク・ポートは2つ以上のグループに属することができます。ただし、ネットワーク・ポートは1つのグループ・インスタンスにしか属することができません。

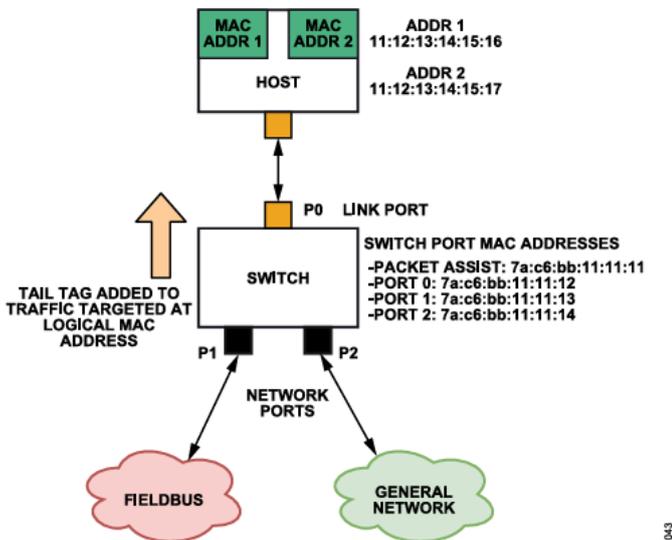


図 49. ホスト MAC に2つの MAC アドレスがあり、そのため2つの論理 MAC グループが必要となる論理 MAC グループの例

論理 MAC フレームの設定 (ソース MAC の置き換え)

SES_ConfigureLogicalMacFrame() API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を用いると、ユーザは、ネットワーク・ポートから送信される特定のフレームに対し、ソース MAC アドレスを自動的に置き換えることができます。ユーザは、論理 MAC アドレスに置き換えるか、送信ポート MAC アドレスに置き換えるかを選択して、置き換えたいソース MAC アドレスを設定できます。

次の例の場合、ソース MAC アドレス 11:11:11:11:11:55 でポート 0 に受信され、ポート 1 に送信されるよう指定されたフレームでは、ソース MAC がポート MAC アドレス 7a:c6:bb:11:11:13 か、あるいは、11:12:13:14:15:16 などの論理 MAC アドレスに更新されます。

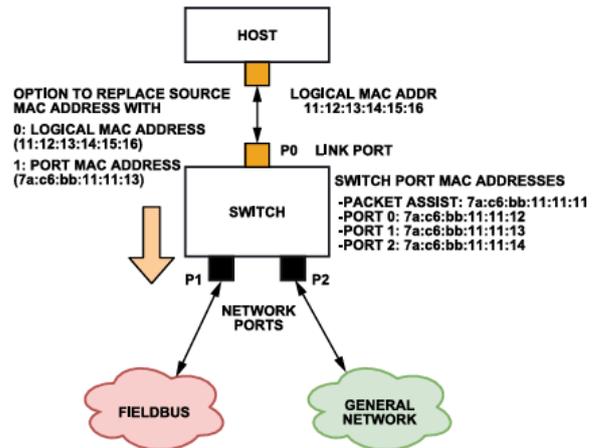


図 50. ポート 1 でソース MAC アドレスが置き換えられる例

レイヤ 2 の送信および受信

このスイッチは、レイヤ 2 のフレームの送受信を行うことができます。レイヤ 2 の受信機能は、ユーザが登録したコールバック関数を用いて、要求されたフレームと関連するデータを返します。

要求されたフレームは、宛先アドレス (第一優先順位) または Ethertype (第二優先順位) によって識別でき、スタック・プロセッサによってローカルで、または、スケーラブルなイーサネット・スイッチによってリモートで受信できます。ユーザは、リモートで受信したフレーム (スケーラブルなイーサネット・スイッチ・ポートで受信したフレーム) に受信タイムスタンプとポート・データが含まれるよう、要求できます。レイヤ 2 の送信機能は、レイヤ 2 のフレームをスケーラブルなイーサネット・スイッチを通じて送信するメカニズムを提供します。ユーザは、コールバックを介して、フレーム・リターン送信タイムスタンプを要求できます。また、送信 API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) は、スケーラブルなイーサネット・スイッチ・ポート機能をサポートし、FCS と優先度を自動生成します。最後に、送信 API は、スケーラブルなイーサネット・スイッチの標準的なフレーム転送の使用やオーバーライドに対応しています。

イベントのサブスクリプション

スイッチで生成されたイベントは、ホストに伝達できます。ホストは、SES_SubscribeEvent() API (ADIN6310 製品ページからソフトウェア・ドライバの一部として入手可能) を用いて、目的のイベントに対しサブスクライブします。利用できるイベントのタイプには以下があります。

- ▶ ポートのリンク・アップ
- ▶ ポートのリンク・ダウン
- ▶ 設定完了イベント
- ▶ MAC のセット
- ▶ ポート設定成功
- ▶ ネットワーク同期
- ▶ ネットワーク同期準備完了
- ▶ LLDP イベント (新規ネイバ、LLDP 変更)
- ▶ 動的テーブルがほぼ満杯
- ▶ 入力キャプチャ・イベント (タイムスタンプのキャプチャをトリガ)

その他の機能

リンク・レイヤ検出プロトコル (LLDP)

LLDPは、レイヤ2のネイバ検出プロトコルです。これは、IEEE規格のプロトコルで、デバイス情報を隣接デバイスに伝えるための、イーサネット・フレームにカプセル化されたメッセージを定義します。このスイッチは、パケット・アシスト・エンジンで動作するLLDPスタックに対応しています。スタックは、IEEE 802.1AB - 2016規格に適合しています。スイッチは、LLDPを用いて、フレーム・ブリエンプションが可能であることをアドバタイズします。LLDPスタックは、デフォルトで無効化されており、設定時に初期化して有効化する必要があります。LLDPは無効化したままにすることができ、ホスト・プロセッサは独自のLLDPスタックを実行することができます。

デフォルト設定では、LLDPフレームが30秒ごとに送出され、生存時間(TTL)は121秒です。これらの値はプログラマブルで、ユーザは他の時間間隔を選択できます。APIは、LLDPの送信、受信、アドレス指定のユーザ制御のために提供されており、ADIN6310製品ページからソフトウェア・ドライバの一部として入手可能です。また、ユーザは、1つのポートから送信されるLLDPフレームにTLVを追加・更新したり、受信LLDPフレームにクエリを発行することもできます。また、新たなネイバの検出、受信LLDPフレームまたはリモートの統計情報で検出された変化、ネイバのシャット・ダウンなどの、LLDP関連イベントの通知をサブスクライブすることもできます。

IGMP スヌーピング

インターネット・グループ・マネージメント・プロトコル (IGMP) スヌーピングを用いることで、すべてが同じトラフィックを受信するデバイスのグループである、1つのネットワーク内のマルチキャスト・グループを特定できます。IGMP スヌーピングは、マルチキャスト・トラフィックが確実に関連ポートにのみ転送されるようにし、マルチキャスト・データの不要な転送を抑制し、それによって、マルチキャスト・メッセージの受信に必要なポートの帯域幅を節約します。

IGMP プロトコルでは、以下に示すようないくつかの種類IGMPメッセージが可能です。

- ▶メンバーシップ・クエリ (一般)：マルチキャスト・ルータが、特定のネットワーク・セグメントにメンバを保有するマルチキャスト・グループはどれかを判定するために送信します。
- ▶メンバーシップ・クエリ (グループ固有)：マルチキャスト・ルータが、特定のマルチキャスト・グループのステータスを調べるために送信します。
- ▶メンバーシップ・レポート：、ホストが、特定のグループのマルチキャスト・トラフィックの受信に関心があることを通知するために送信します。これには以下の2種類があります。
 - ▶バージョン1は、ホストが特定のグループのトラフィックの受信を希望していることを示す、単純なレポートです。
 - ▶バージョン2は、マルチキャスト・トラフィックに対するホストの優先傾向に関する追加情報を含みます。
- ▶グループ離脱：特定のマルチキャスト・グループのトラフィックを受信する必要なくなったことを通知するために、ホストによって送信されます。

このスイッチは、IGMPメッセージを調べ、マルチキャスト・ルータとグループ・メンバの場所を知り、それに応じてトラフィックの

経路を設定して、マルチキャスト・トラフィックがすべてのポートではなく正しい宛先のみ確実に転送されるようにします。図51に示す例は、ポート2 (P2) のマルチキャスト・ソースがIGMPクエリを送信するシナリオを示しています。ポート0 (P0) とポート5 (P5) のデバイスは、このマルチキャスト・グループに関心があることを示すIGMPレポートを送信し、スイッチは、これら2つのポートのみがこの特定のマルチキャスト・トラフィックを受信できるように、トラフィックの流れを制御します。

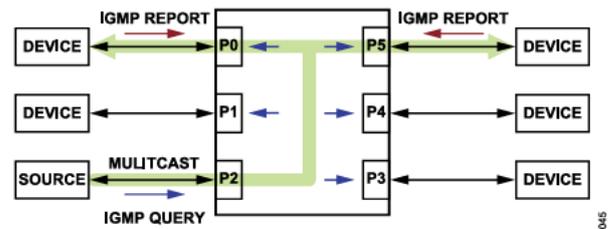


図 51. IGMP スヌーピング

ルータ・タイムアウト

ルータ・タイムアウトは、マルチキャスト・ルータが特定のポートに存在しているとスイッチがみなす時間です。スイッチは、1つのポートでルータからのIGMPクエリを受信すると、そのポートをアクティブなマルチキャスト・ルータを持つポートとしてマークします。

グループ・メンバ・タイムアウト

グループ・メンバ・タイムアウトは、あるホストが特定のマルチキャスト・グループのメンバであるとスイッチがみなす時間です。スイッチは特定のポートでホストからのIGMPメンバーシップ・レポートを受信すると、それらのポートを、対応するマルチキャスト・グループのアクティブなメンバを持つポートとしてマークします。クエリ・メッセージに対するメンバーシップ・レポートをタイムアウト内にホスト側から受信しない場合、スイッチは、マルチキャスト・パケットをすべてのポートに転送します。

ポートのミラーリング

デフォルトでは、通常動作の間、スイッチはポートのミラーリングには対応しません。

マルチプル・スパニング・ツリー・プロトコル

このスイッチは、IEE 802.1Q 2022規格に対応して、マルチプル・スパニング・ツリー・プロトコル (MSTP) に対応できます。スイッチは、セクション 13.12 に従うポートの役割 (IEEE 802.1Q 2022 のルート・ポート、マスタ・ポート、指定ポート、代替ポート、バックアップ・ポート) とセクション 13.16 に従うポートの状態 (破棄、学習、転送) をサポートします。

この構成では、マルチプル・スパニング・ツリー領域を自動的に判別して各領域を一式のVLAN IDにマッピングし、また、ブリッジ障害またはデータ経路の破断があった場合にスパニング・ツリー・トポロジを自動的に再構成します。4つのMSTインスタンスがサポートされています (MSTI0 および MSTI)。

MSTPは、ラピッド・スパニング・ツリー・プロトコル (RSTP) およびスパニング・ツリー・プロトコル (STP) と下位互換性があります。そのため、スイッチは、必要に応じ、RSTPモードまたはSTPモードで動作するよう設定できます。

アプリケーション情報

アプリケーション回路の概要

図 52 に、ADIN6310 スイッチの周辺に必要な部品の概要を示します。

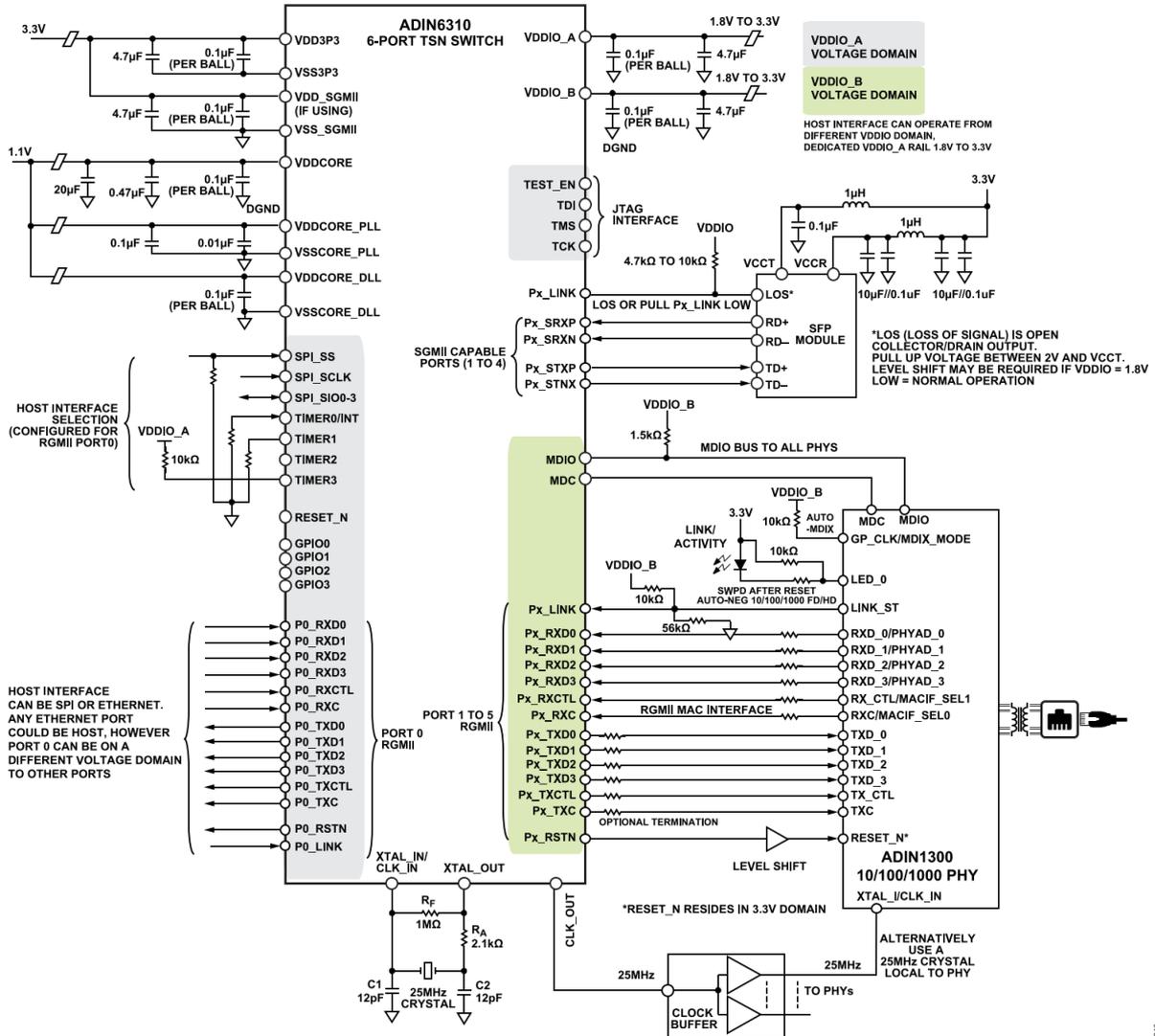


図 52. ADIN6310 の代表的なアプリケーション回路

アプリケーション情報

インターフェースの選択

図 52 の例は、ポート 0 で RGMII 用に設定されたホストを示しています。その他のオプションについては、[ホスト・インターフェースのセクション](#)を参照してください。

MDIO バス

MDIO バスは、スイッチからすべての PHY へ経路設定されています。このバスは、VDDIO_B の電圧領域にあります。ポート 0 に PHY があり、VDDIO_A が VDDIO_B とは異なる電源電圧である場合は、電圧領域間の MDIO バスにレベル・シフトが必要となる可能性があります。

PHY ストラッピング

ADIN1300 または ADIN1200 の PHY を用いる場合、ADIN6310 は、各 PHY に固有の PHY アドレスを供給できます。そのため、PHY アドレス・ストラッピング抵抗を外部に接続する必要はありません。ADIN1100 の PHY を用いる場合は、PHY アドレス・ストラッピング抵抗を外部に接続しなくてはなりません。PHY のデフォルトの MAC インターフェースは RGMII です。この構成では、PHY は、オート・ネゴシエーション、全速度、リセット後のソフトウェア・パワーダウン (SWPD) となるようストラップされています。この場合、スイッチが MDIO バスを介して通信を行い、PHY を SWPD から復帰させます。その他のストラッピング構成の詳細については、ADIN1300 のデータシートを参照してください。

SFP の使用

図 52 の例では、1 つのポートが SFP モジュールに接続されています。SFP モジュールには、必要とされる AC カップリング・キャパシタが含まれています。LOS はオープン・ドレインやオープン・コレクタの出力信号で、この信号がローのときは受信した光信号が通常動作の範囲内、ハイのときは最も厳しい場合のレシーバ感度未満であることを示します。LOS 出力は、2V から VCCT 電圧レベルまでの範囲のプルアップ電圧であることが想定されています。そのため、VDDIO_x > 2V の場合は Px_LINK に直接接続できます。VDDIO_x が 1.8V レールで動作している場合は、LOS を VCCT にプルアップし、LOS と Px_LINK の間でレベル・シフトを用いる必要があります。

アプリケーション情報

アプリケーションの使用事例

6ポート構成

ADIN6310 は、プログラマブル・ロジック・コントローラ (PLC)、分散制御システム (DCS)、または、スケーラブルなポート数を提供しオートメーション環境内で外部デバイスの接続を可能にする、リモート入出力ユニットで使用するよう設計されています。図 53 に示す、ADIN6310 の最初の使用事例では、6 ポート・スイッチ構成を図示しています。ここでは、6 ポートすべてを外部デバイスとの接続に使用できるようにするために、ホスト・プロセッサが SPI (標準 SPI、デュアル SPI、またはクロック SPI) を通じて ADIN6310 とインターフェースしています。

イーサネット PHY は、ADIN1300 の 10Mbps、100Mbps、1000Mbps と ADIN1200 の 10Mbps、100Mbps のデバイスを用いて、様々な速度の PHY を混在させることができます。ADIN6310 と ADIN1200 の間に示されているインターフェースは、RGMII ですが、RMII とすることもできます。ただし、遅延、PHY アドレス指定の容易さ、クロック要件の簡易さ (ADIN6310 と ADIN1200 の間で電圧領域が異なる可能性があるため) の点で、RGMII を推奨します。

同様に、この 6 ポート・スイッチは、工場セル、ヒューマン・マシン・インターフェース (HMI)、ロボット、ビジョン・システムなどの入力に接続する 4 つの外部ポートを提供するように設定できます。残りの 2 ポートは、RGMII を介したホスト・プロセッサとのイーサネット接続を 1 つ備えた、PLC バックプレーンとの内部接続用に用いることができます。

また、図 53 は、オプションの分離された VDDIO_A 電圧領域にあるホスト・インターフェースも示しています。これには、ポート 0、SPI、タイマー、GPIO が含まれます。ポート 2~ポート 5 の PHY は、VDDIO_B 電圧領域にあり、VDDIO_A とは別の電圧で動作できます。PHY をポート 0 で用いる場合、これも VDDIO_A 電圧領域にあります。そのため、ある程度のレベル・シフトが必要となる可能性があります。

スイッチの電源電圧要件は、4 つの電圧レールを供給する LTM4668A モジュールを用いることで満たせます。ADIN6310 と ADIN1300 PHY との間には 2 つの共通の電圧レール (VDDIO と AVDD3P3) があります。ただし、PHY はこの他に 0.9V のレールを必要とし、スイッチも 1.1V のレールを必要とします。

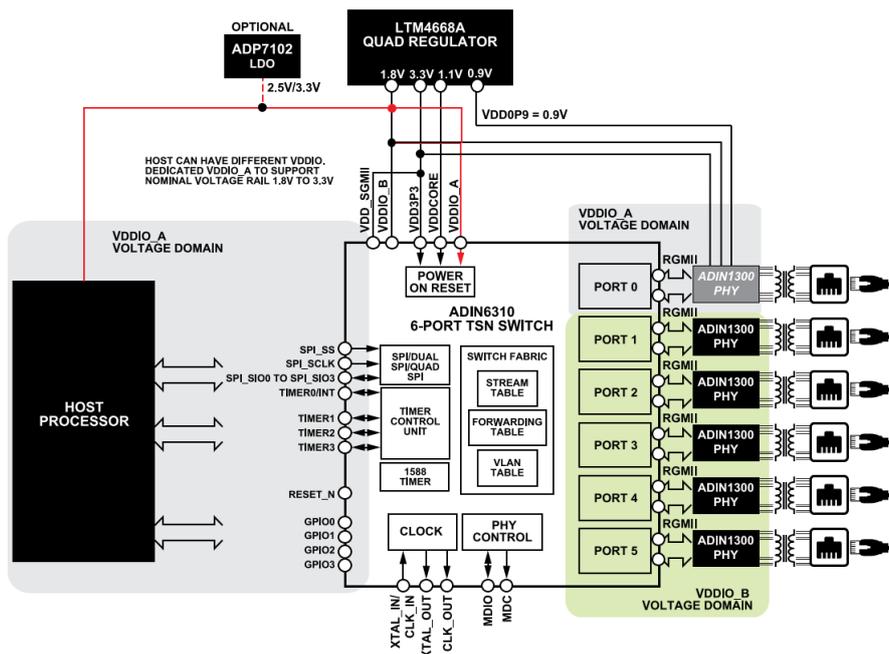


図 53. ホスト・プロセッサ・インターフェースが SPI を介する、6 ポート・スイッチのアプリケーション回路の使用事例

アプリケーション情報

フィールド・スイッチの使用事例

図 54 は、フィールド・スイッチ・トポロジのプロセス・オートメーション・アプリケーションで用いられる ADIN6310 の概要を示しています。このトポロジは、10BASE-T1L の物理層で有効化されたフィールド機器の接続を可能にします。この構成は、10BASE-T1L イーサネット PHY である ADIN1100 との間で 10Mbps の通信を行うよう設定された 2 つのトランク・ポートを示しており、1km のシングル・ツイスト・ペアのケーブルでパワー・スイッチング・ユニットとの通信が可能です。あるいは、ADIN1200 および ADIN1300 のイーサネット PHY を使用することで、または SGMII 対応ポートを使った更に長距離の要件に対して

はファイバを使用することで、PLC または DCS への 10Mbps、100Mbps、または 1Gbps の接続をサポートするよう、アップリンク・ポートを設定することもできます。スパー接続はすべて、本質安全防爆仕様のゾーン 0 環境にある温度または圧力トランスミッタや流量計などのサポート・フィールド・デバイスへの、ADIN1100 を介した 10BASE-T1L 通信をサポートできます。フィールド・スイッチ自体は、電源内蔵とすることも、アナログ・デバイセズのパワー・オーバー・データ・ライン (PoDL) 技術を用いることもできます。ADIN1100 は、トランクおよび本質安全防爆スパーの使用事例に適したものとなるよう、プログラマブルな送信レベルを備えています。ADIN6310 と ADIN1100 の間のインターフェースは、RMII または RGMII です。

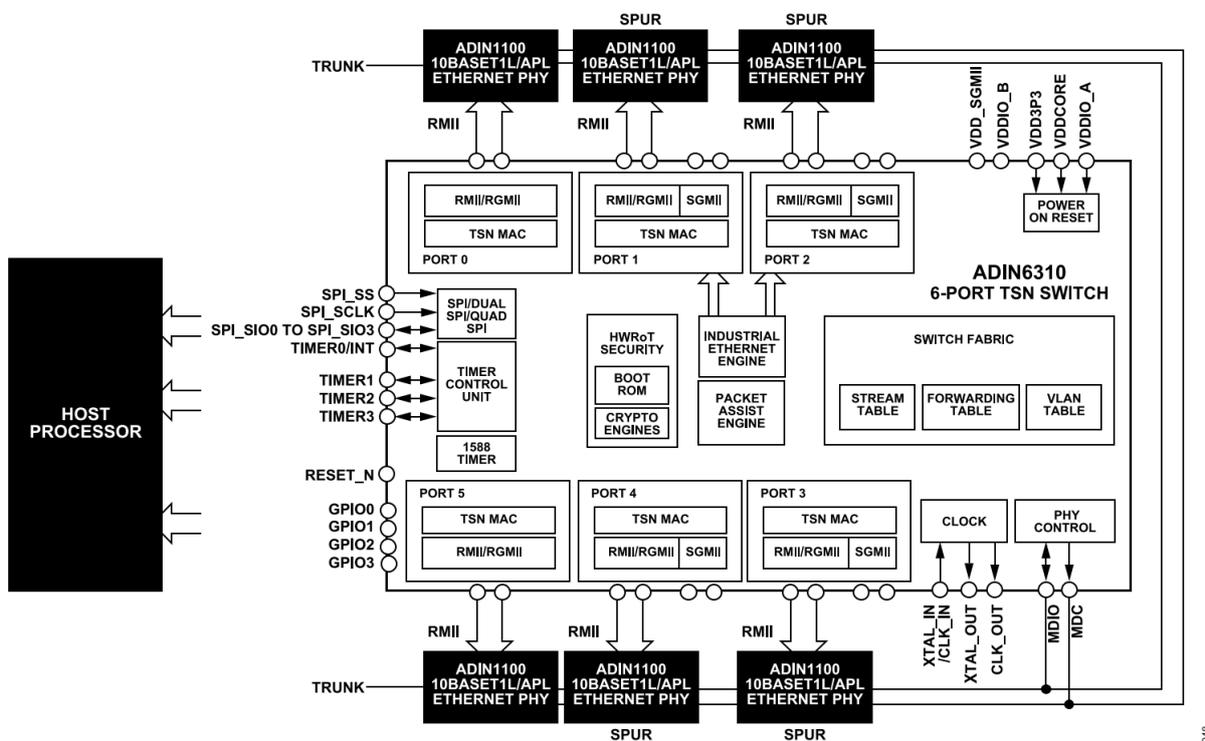


図 54. ADIN1100 10BASE-T1L PHY を用いた、2 つのトランク・ポートと 4 つのスパーを備えた APL フィールド・スイッチのアプリケーション回路

アプリケーション情報

複数のスイッチのカスケード接続

図 55 に示すように、複数のスイッチをカスケード接続することで、より多くのポートを構築できます。ホスト・プロセッサはスイッチ設定を管理し、チェーン内のプライマリ・スイッチに SPI で接続されます。プライマリ・デバイスの 2 つのポートは、イーサネット・ネットワークへのトランク接続に用いることができ、1 つのポートはセカンダリ・スイッチのチェーンとの相互接続に

用いることができます。相互接続は RGMII または SGMII のいずれかとすることができますが、必要なパターン数が少なく、より長いパターンやコネクタ間での経路設定ができるため、SGMII を推奨します。相互接続にはセカンダリ・スイッチ・デバイスごとに 2 つのポートを使用しますが、4 つのポートはスイッチごとに ADIN1100 10BASE-T1L PHY に接続できます。そのため、スイッチを追加するごとに、システムへ 4 つのスパア・ポートが追加されます。

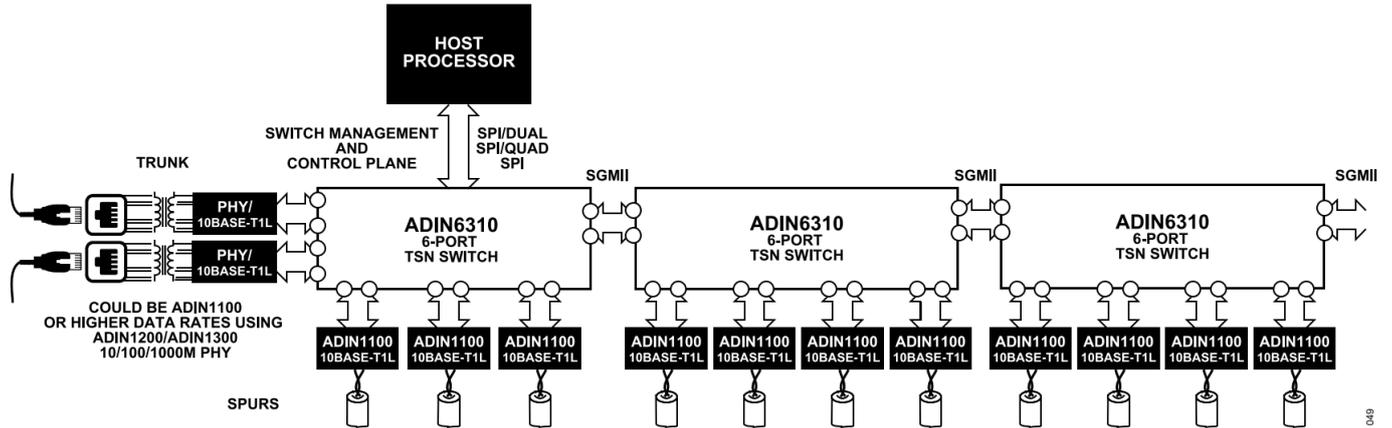


図 55. より大規模なフィールド・スイッチを構築できる、複数スイッチのカスケード接続

レイアウトのガイドライン

一般的なレイアウトのガイドライン

一般的なレイアウトのガイドラインには以下のものが含まれます。

- ▶すべてのシングルエンド・パターンに 50Ω 特性インピーダンスを維持します。
- ▶すべての差動パターンに 100Ω の特性インピーダンスを維持します。
- ▶差動回路はノイズの多いクロックと電源回路からは離して経路設定します。
- ▶プレーンおよび信号のすべてに隣接させて、べた状の GND リターンを設けます。
- ▶デジタル GND リターンとシャーシ GND の間に値の大きなデカップリング・キャパシタを接続します。
- ▶ボード上のグラウンドまたはリターンには、分裂、溝、間隙、切れ目などの不連続が生じないようにします。
- ▶GND フィルまたはボアに接続するすべての部品の GND ピンには、ピンの部分に GND プレーンへのビアを設ける必要があります。
- ▶レイヤ間で信号のやり取りが行われる場合は、信号ビアに隣接して GND ビアを設けます。
- ▶高速コネクタは、ボードの 1 つのコーナーまたは端に配置します。
- ▶デバイスを高周波数通信に用いる場合、IC の近くにクロック・ドライバを配置します。あるいは、これらのクロック・ドライバをローカルに設けることを検討してください。
- ▶リングングやノイズの多い回路または部品の下や近傍には、高周波信号の経路を設定しないようにします。
- ▶電源プレーンは重なり合うことのないようにします。
- ▶電源プレーンの経路をボードのエッジに配置しないようにします。
- ▶電源プレーンをパターンのように配線するのは避け、代わりにプレーンを使用します。
- ▶すべての信号パターンでスタブを避けてください。
- ▶可能であればビアを避け、1 つのレイヤ上でできるだけ直線的に、あるいはパターンの曲折部では 45° の角度で、信号経路を設定します。

部品配置

重要なパターン、電源プレーン、部品に優先順位を付けると、配線の引き直し作業を簡素化するのに役立ちます。重要な高速差動パターン、シングルエンド・パターン、クロック・パターン、電源プレーン、部品を最初に配置して方向を定めることで、ターン、ビア、交差パターンを最小限にして、確実に効果的なレイアウトとします。

スイッチ・レイアウトの場合、重要な部品は、水晶発振器、MAC インターフェース・パターン、SGMII パターン、およびデバイス付近にあるすべてのバイパス・キャパシタです。これらの部品とそれらへの配線の引き回しに優先順位を付けます。以下のセクションでは、各部の詳細について説明します。

多層構造とする場合、べた状の GND リターン・プレーンをすべてのパターンに配置し、それに隣接させて電源パターンを配置します。

電源のデカップリング

PCB レイアウトの観点では、IC 電源ピンに接続されたキャパシタのループ領域インダクタンスを最小限に抑えるために、デカップリング・キャパシタを IC と同じ側で IC 電源ピンの近くに配置することを推奨します。キャパシタが反対側にあると、接続インダクタンスが増加します。最上層に余地がない場合でも、デカップリング・キャパシタを IC の近くあるいは IC の下に保ちます。GND 接続用のキャパシタに配線パターンを置かないでください。電源プレーンと GND プレーンへの接続を介したデカップリング・キャパシタは、離れすぎないようにします。デカップリング・キャパシタが GND ポア接続を他の回路部品と共用することのないようにします。サイズが小さく、目的の周波数に対し適切なインピーダンスを持つ、フィルタ処理用フェライトを選択します。

推奨キャパシタ値と優先度の高い位置については、表 27 および表 28 を参照してください。

水晶発振器

スイッチには、 25MHz のクロックが必要で、これは、外部水晶発振器を XTAL_IN ピンと XTAL_OUT ピンの間に接続するか、外部クロックを XTAL_IN ピンに印加することで供給できます。消費電流と浮遊容量を最小限に抑えるには、デバイスのできるだけ近くで水晶発振器、キャパシタ、およびグラウンドを接続します。可能であれば、以下のように、PCB のスイッチ・デバイスと同じ側に水晶発振器とキャパシタを配置します。

- ▶パターンは対称的となるようにします。
- ▶水晶発振器、その配線パターン、負荷コンデンサには同じ GND リターンを用い、キャパシタの GND パッドがすべての GND 層、特に、べた状の GND リターンに隣接する GND 層に確実に接続されているようにします。

MAC インターフェース

ポートごとに RMII または RGMII に対応でき、ポートのうち 4 つ（ポート 1～ポート 4）は SGMII にも対応できます。

RMII および RGMII

RMII は、各ポート用の 8 つの信号のインターフェースで、 10Mbps と 100Mbps の速度が可能です。これに対し、RGMII は、 10Mbps 、 100Mbps 、 1000Mbps の速度のデータ・レートに対応でき、12 本のピンを必要とします。可能な場合、以下のように、これらのインターフェース・ピンの配線を部品のピンと同じ側で引き回します。

- ▶パターン長はできるだけ短くします。
- ▶グラウンドに対してインピーダンスが 50Ω となるように経路を設定します。
- ▶送信グループ内のすべての信号は、同じ長さ（ 100mil 以内）とする必要があり、受信グループ内のすべての信号についても同様です。なお、ポートごとのマッチングは不要です。
- ▶可能であればビアを避け、1 つのレイヤ上でできるだけ直線的に、あるいはパターンの曲折部では 45° の角度で、信号経路を設定します。
- ▶可能であれば、信号のクロスオーバーは避けてください。すべての信号パターンでスタブを避けてください。
- ▶インダクタンスを減らすために、パターンは中断せずに連続する基準面で経路を設定します。
- ▶パターンを同じレイヤで経路設定することを推奨します。

レイアウトのガイドライン

このスイッチは、ユーザが RGMII ピンの駆動電流を調整できるプログラマビリティを備えており、信号の完全性を向上させリングを最小限に抑えるのに役立ちます。また、更にチューニングが必要であれば、直列終端抵抗をすべての RGMII ピンに配置することもできます。直列終端抵抗を用いる場合は、これらの抵抗を各側の出力ピン近くに配置してください。

SGMII

SGMII は、2つの差動ペアを用いてスイッチと SFP またはホスト間で情報を伝達するシリアル・インターフェースであり、RMII や RGMII に比べると、使用するピン数や必要な配線の引き回しおよびパターンを少なくできます。SGMII は 1.25Gbps で送信を行い、0.1 μ F のキャパシタ（通常 SFP モジュールに含まれています）で外部 AC カップリングを行う必要があります。SGMII は ADIN6310 のポート 1~ポート 4 で使用できます。インターフェースは、オート・ネゴシエーション・モードまたは固定モードを用いて 10Mbps、100Mbps、1Gbps の全 2 重通信が可能です。SGMII ピンは、ファイバ通信用に、またはバックプレーンで、SFP トランシーバに接続できます。

SGMII ラインは差動であり、これらのラインは、コネクタまでの長さが 50mil 以内で一致する必要があります。また、以下の点に注意してください。

- ▶ Px_STxP と Px_STxN の信号パターンおよび Px_SRxP と Px_SRxN の信号パターンは、100 Ω の差動ライン・ルート信号として、埋め込みビアとブラインド・ビアを用いて均質な内部層に配線します。不連続性は信号の完全性に影響する可能性があるため、インピーダンスは全体にわたって一定に保ってください。
- ▶ コプレーナ配線を推奨します。配線パターンの両側のグラウンド・シールドでビアをスティッチするか、グラウンド・ポアを用います。
- ▶ 配線の引き回しの長さは短くし、スタブが形成されることのないようにします。
- ▶ 各ペアは、並列にかつ同じレイヤ上に経路設定する必要があります。配線幅は全体を通じて同じにし、長さは 50mil 以内で一致させます。
- ▶ これらのパターンでは直角の曲がりは避けてください（曲線にするか 45° の角度にします）。
- ▶ 差動パターンが他のラインと交差したり、または相互に交差したりすることのないようにします。差動ペアを交差させる必要のないように、部品を配置してください。
- ▶ 可能であれば、ビアを用いずに差動ペアの経路を設定します。レイヤ間で信号のやり取りが行われる場合は、信号ビアに隣接して対称 GND ビアを設けます。
- ▶ 差動ペアの部品またはビアは対称であることが必要です。
- ▶ 可能であれば、すべての信号線パターンの下に確実なリターン・パスを確保します。プレーンの裂け目を跨ぐように信号線パターンを引き回さないでください。

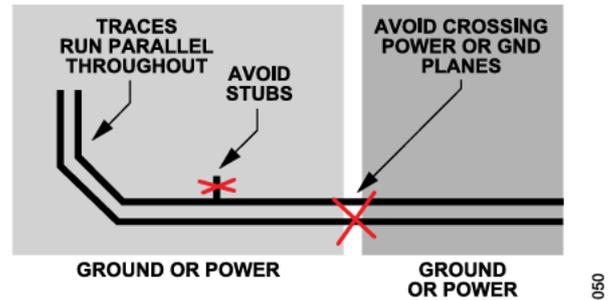


図 56. 差動ペア配線の引き回しをする際に避けるべき点

MDIO

このスイッチには、コントローラ MDC または MDIO インターフェースがあります。これは、スイッチの MAC インターフェースに接続された外部イーサネット PHY の制御とステータスを管理するために用いられる 2 線式バスです。MDIO 信号ラインは、VDDIO_x ラインとの間に 1.5k Ω のプルアップ抵抗を接続する必要があります。

MDIO インターフェースの配線パターンの長さは 100mil 以内で一致させてください。

SPI

このスイッチには、ホスト・インターフェースとして使用することもできる、同期式 SPI 対応インターフェースが内蔵されています。SPI は 32 ビットのデータ転送に対応し、ターゲット・インターフェースであり、標準 SPI、デュアル SPI、クワッド SPI として設定が可能です。SPI の配線パターンの長さは 100mil 以内で一致させてください。

電源プレーンとグラウンド・プレーン

最適な高周波数デカップリングを実現するために、電源プレーンとリターン・プレーンが 3mil~4mil 以上離れないようにしてください。低インダクタンスの接続と低インタープレーン容量を実現するには、この距離が近ければ近いほど望ましいものになります。また、確実に以下を遵守してください。

- ▶ 電源プレーンは重なり合うことのないようにします。
- ▶ 電源プレーンの経路をボードの端に配置しないようにします。
- ▶ 電源プレーンを、パターンのように経路設定しないようにし、プレーンを用います。

絶縁のガイドライン-RJ45 レイアウト

電磁干渉 (EMI) 性能を向上させるには、コモンモード・チョーク (CMC) 内蔵の 12 コア・マグネット式 RJ45 コネクタを用いてイーサネット PHY に接続することを検討します。また、デジタル GND リターンとシャーシ GND の間に値の大きなデカップリング・キャパシタを接続します。

シリコン・アノーマリ

このアノーマリ・リストでは、このスイッチに関する既知のバグ、アノーマリ、対策について説明します。

アナログ・デバイズは、将来のシリコン・リビジョンで、シリコン機能を継続的に改善していく方針です。また、将来、このようなシリコン・リビジョンを行っても、このセクションに記載された推奨対策を実施することにより、ユーザの現在のソフトウェア/システムとの互換性を維持するように努めていきます。

表 32. 機能性の問題

Silicon Revision Identifier	Silicon Status	Anomaly Sheet	Number of Reported Anomalies
B1/U3	Released	0	7

表 33. ストリームごとのフィルタ処理およびポリシング (QCI) に関する統計カウンタ

Background	Statistic counters gathered for debugging and diagnostic purposes are not presented per the 802.1Qci specification.
Issue	Statistic counters not provided per the IEEE 802.1Q specification. This issue does not impact operation of the filter, gate, or flow meter function or proper flow of the traffic across switch. Stream filter: statistic counters (0 to 31) are indexed by StreamID, instead of the stream filter ID. Because there can be multiple stream filters associated with a stream ID, therefore, multiple stream filters could increment the same counters. Stream gate: statistic counters are indexed by their own identifiers (0 to 15) instead of the active stream filter (0 to 31). Flow meter: statistics are indexed by their own identifiers (0 to 7) instead of the active stream filter (0 to 31). Implications: stream gate and flow meter statistics are not linked to the active filter. In addition, there are fewer counter entries available for both.
Workaround	None.
Related Issues	None.

表 34. 誤設定ネットワーク (不正 LAN 接続) でのトラフィックの PRP 機能による処理

Background	In PRP mode, if a port receives a frame with a PRP RCT tag with a wrong LAN ID, the switch increments the counter but incorrectly performs a duplicate discard and strips the PRP trailer.
Issue	As a result, the host SAN receives only a single copy of the frame with the PRP RCT trailer removed, rather than two copies. Frames arriving with a wrong LAN ID is a misconfiguration of the network. There are error counters in place to detect this condition and allow the host to handle it accordingly.
Workaround	Error counters are available for the host to manage this situation at the application level.
Related Issues	None.

表 35. PRP タグの LSDU サイズが誤っている PRP トラフィックがドロップ

Background	PRP frames with wrong LSDU size is dropped.
Issue	IEC 62439-3:2021 Section 4.2.7.5.1 and Section 4.2.7.5.3 indicate frames with the wrong LSDU size in the PRP tag are to be forwarded to the upper layers. If a peer device transmits PRP frames with the wrong LSDU size in the PRP tag, the switch configured as a PRP DANP or PRP RedBox device drops those frames to the host processor and locally attached SANs as long as those frames arrive within the age out time (that is, <code>IreDupListResideMax</code>).
Workaround	None.
Related Issues	None.

表 36. CB タグのない FRER フレームが送信変換により変更された

Background	Frames matching the stream entry with no CB-tag gets corrupted.
Issue	Applying a sequence recovery to a frame that has no CB-tag results in the frame getting corrupted. This scenario is not expected in a properly configured FRER network because identified frames have an existing CB-tag. The ingressing frame must match an existing stream entry with a transmit transform to remove the CB-tag. In the event such an untagged frame arrives and matches a stream entry, the switch forwards the tagless frame, and increases the packet and encoding error counts; however, the Ethertype gets corrupted, and six bytes are removed from the end of the frame.
Workaround	None.
Related Issues	None.

シリコン・アノマリ

表 37. SGMII のアライメント・エラー

Background	Alignment error count increments on odd sized frames.
Issue	In all SGMII modes, a valid frame with an odd number of bytes increments the received alignment error count statistic, and the FCS error count does not increment unless the frame is corrupt.
Workaround	Alignment errors without corresponding FCS errors can be ignored. Errored frames can be detected by FCS errors alone.
Related Issues	None.

表 38. 拡張テーブル・ルックアップがフレームの最後の 10 バイトを検査できない

Background	An extended lookup cannot perform a search on the last 10 bytes of the frame at Gigabit speed.
Issue	This issue causes the extended lookup to return a miss, resulting in the frame being handled by the return information provided from the previous lookup (destination address and VLAN ID, source address and VLAN ID, or miss).
Workaround	Ensure extended lookups do not extend into the last 10 bytes of the frame. Increase the frame size to ensure lookup can be performed.
Related Issues	None.

表 39. VLAN タグを 64 バイトのフレームから除去するための変換によりフレームが破損

Background	Application of a transform to remove a VLAN tag from a 64-byte frame results in a corrupted frame.
Issue	When a port is configured as a VLAN access port, the switch applies a transform to remove the VLAN tag as traffic egresses the port. The switch was designed with the expectation that the minimum sized VLAN tagged frame would be 68 bytes. Any runt frame (less than 64 bytes) egressing the switch gets corrupted with 0x00 data to force a CRC error. Application of a transform to a VLAN tagged frame sizes <68 bytes results in a runt frame. This behavior is not conformant with the IEEE802.1Q Annex G standard.
Workaround	None.
Related Issues	None.

外形寸法

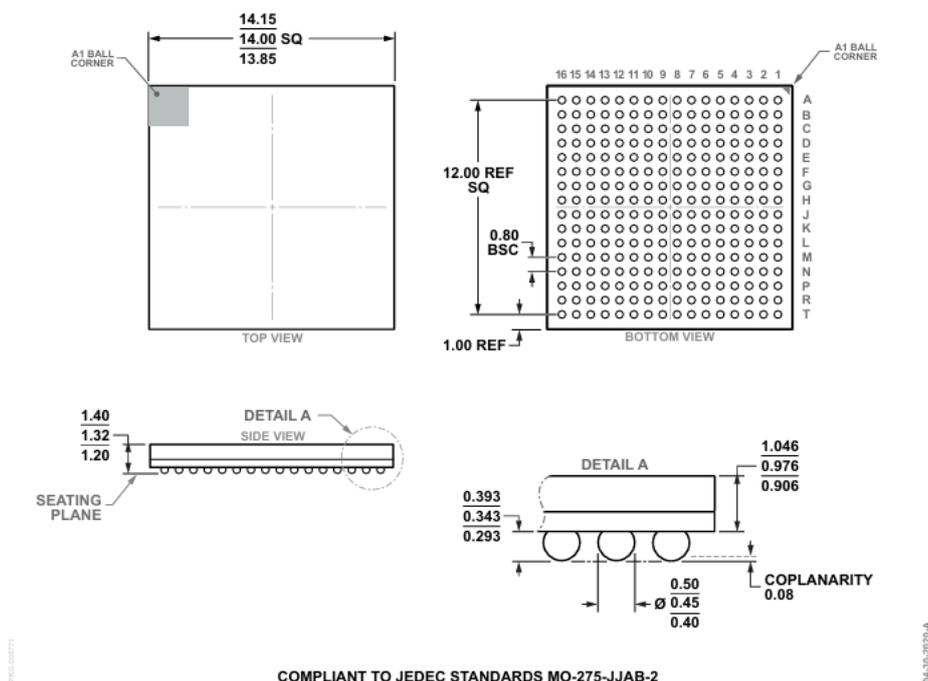


図 57. 256 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
(BC-256-6)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADIN6310BBCZ	-40°C to +85°C	256-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-256-6
ADIN6310BBCZ-RL	-40°C to +85°C	256-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-256-6
ADIN6310CBCZ	-40°C to +105°C	256-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-256-6
ADIN6310CBCZ-RL	-40°C to +105°C	256-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-256-6

¹ Z = RoHS 適合製品。

評価用ボード

表 40. 評価用ボード

Model ¹	Description
EVAL-ADIN6310EBZ	Evaluation Board

¹ Z = RoHS 準拠製品。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025年2月25日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年2月25日

製品名：ADIN6310

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：29頁、左の段、「イーサネット・フレーム」の項、1行目

【誤】

「これは、0x55の一連の 8 バイト のプリアンブルとそれに続く SFD または SMD を含んでいます。」

【正】

「これは、0x55の一連の 7 バイト のプリアンブルとそれに続く SFD または SMD を含んでいます。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2025年2月25日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2025年2月25日

製品名：ADIN6310

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：62頁、左の段、「6ポート構成」の項、下から6行目

【誤】

「ADIN6310 と ADIN1200 の間に示されているインターフェースは、RGMII ですが、RMII とすることもできます。ただし、遅延、PHY アドレス指定の容易さ、クロック要件の簡易さ (ADIN6310 と ADIN1200 の間で電圧領域が異なる可能性があるため) の点で、RGMII を推奨します。」

【正】

「ADIN6310 と ADIN1300 の間に示されているインターフェースは、RGMII ですが、RMII とすることもできます。ただし、遅延、PHY アドレス指定の容易さ、クロック要件の簡易さ (ADIN6310 と ADIN1300 の間で電圧領域が異なる可能性があるため) の点で、RGMII を推奨します