

0.5Ω R_{ON}、±20V、+36V、デュアル SPDT スイッチ

特長

- ▶ 低いオン抵抗 (R_{ON}) : 0.5Ω
- ▶ 大きな連続電流 : 最大 847mA
- ▶ 信号範囲全域での R_{ON} 平坦性 : 0.003Ω
- ▶ THD : 1kHz で -109dB
- ▶ オン抵抗とオン容量の間のバランスを改善
 - ▶ 低い R_{ON} (0.5Ω) および C_{ON} (95pF)
- ▶ 1.8V、3.3V、5V のロジックに対応
- ▶ 16ピン、4mm × 4mm LFCSP
 - ▶ ADG5436 および ADG5436F とピン互換
- ▶ ±20V と +36V で全てを仕様規定
- ▶ 非対称電源で動作可能
- ▶ アナログ信号範囲 : V_{SS} ~ V_{DD} - 2V

アプリケーション

- ▶ ATE (自動試験装置)
- ▶ データ・アキュイジション
- ▶ 計測器
- ▶ アビオニクス (航空電子機器)
- ▶ オーディオ/ビデオでのスイッチング
- ▶ 通信システム
- ▶ リレー部品の置き換え

概要

ADG6436は、個別に選択可能な2つの単極双投 (SPDT) スイッチで構成されたアナログ・マルチプレクサです。EN 入力を使うことで全てのスイッチを無効化できます。マルチプレクサ・アプリケーションで使用する場合は、どちらのスイッチもブレイク・ピフォア・メークのスイッチング動作を示します。

各チャンネルはオンになると双方向に均等に導通可能となります。また、各スイッチは V_{SS} ~ V_{DD} - 2V の範囲にわたる入力信号が可能です。スイッチが無効化されると電源電圧までの信号レベルがブロックされます。

デジタル入力は 5V、3.3V、1.8V のロジック入力に対応可能で、個別のデジタル・ロジック電源ピンは不要です。

オン抵抗のプロファイルは、アナログ入力範囲全体にわたって極めて平坦であるため、オーディオ信号をスイッチングする場合に優れた直線性と低歪みを実現します。

機能ブロック図

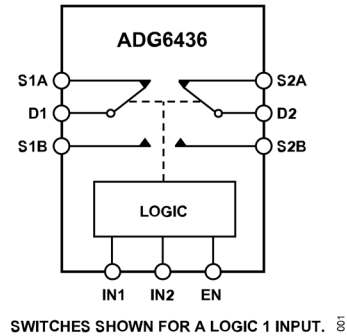


図 1. 機能ブロック図

製品のハイライト

1. 0.5Ω の低い R_{ON}。
2. 大きな連続電流容量 (表 4 ~ 表 5 を参照)。
3. 両電源動作 : アナログ信号がバイポーラのアプリケーションでは、ADG6436 は最大 ±22V の両電源で動作できます。
4. 単電源動作。アナログ信号がユニポーラのアプリケーションでは、ADG6436 は最大 40V の単電源で動作できます。
5. 1.8V ロジックに対応可能なデジタル入力 :
V_{INH} = 1.3V、V_{INL} = 0.8V。
6. V_L ロジック電源は不要。

目次

特長.....	1	代表的な性能特性.....	10
アプリケーション.....	1	テスト回路.....	14
概要.....	1	用語の定義.....	16
機能ブロック図.....	1	動作原理.....	17
製品のハイライト.....	1	スイッチ・アーキテクチャ.....	17
仕様.....	3	1.8V ロジックとの互換性.....	17
動作電源電圧.....	3	アプリケーション情報.....	18
±20V 両電源.....	3	高電圧、高周波の信号のトラッキング.....	18
36V 単電源.....	4	電源の推奨事項.....	18
チャンネルごとの連続電流 (SX または DX).....	7	データ・アキュイジションのキャリブレーション.....	18
絶対最大定格.....	8	外形寸法.....	19
熱抵抗.....	8	オーダー・ガイド.....	19
静電放電 (ESD) 定格.....	8	評価用ボード.....	19
ESD に関する注意.....	8		
ピン配置およびピン機能の説明.....	9		

改訂履歴

7/2024—Revision 0: Initial Version

仕様

動作電源電圧

表 1. 動作電源電圧

Supply Voltage	Min	Max	Unit
Dual Supply	±4.5	±22	V
Single Supply	+5	+40	V

±20V 両電源

特に指定のない限り、 $V_{DD} = +20V \pm 10\%$ 、 $V_{SS} = -20V \pm 10\%$ 、 $GND = 0V$ 。

表 2. ±20V 両電源での仕様

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			$V_{DD} - 2V$ to V_{SS}	V	$V_{DD} = +18V$ and $V_{SS} = -18V$
On Resistance (R_{ON})	0.50			Ω typ	Source voltage (V_S) = -18 V to +14.5 V and source current (I_S) = -100 mA (see Figure 25)
	0.65	0.8	0.95	Ω max	
	0.54			Ω typ	$V_S = -18V$ to +15.5 V and $I_S = -100$ mA
	0.7	0.85	1.0	Ω max	
On-Resistance Match Between Channels (ΔR_{ON})	0.003			Ω typ	$V_S = -18V$ to +15.5 V and $I_S = -100$ mA
	0.085	0.1	0.1	Ω max	
On-Resistance Flatness ($R_{FLAT(ON)}$)	0.003			Ω typ	$V_S = -18V$ to +14.5 V and $I_S = -100$ mA
	0.035	0.035	0.035	Ω max	
	0.04			Ω typ	$V_S = -18V$ to +15.5 V and $I_S = -100$ mA
	0.08	0.1	0.1	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage (I_S (Off))	±5			nA typ	$V_{DD} = +22V$ and $V_{SS} = -22V$ $V_S = \pm 15V$ and drain current (V_D) = ±15 V (see Figure 28)
	±12.5	+90/-14	+400/-14	nA max	
Drain Off Leakage (I_D (Off))	±10			nA typ	$V_S = \pm 15V$ and $V_D = \pm 15V$ (see Figure 28)
	±25	+175/-28	+792/-28	nA max	
Channel On Leakage (I_D (On)) and (I_S (On))	±4.7			nA typ	$V_S = V_D = \pm 15V$ (see Figure 24)
	±13.8	+91/-17.0	+428/-17	nA max	
DIGITAL INPUTS					
Input High Voltage (V_{INH})			1.3	V min	
Input Low Voltage (V_{INL})			0.8	V max	
Input Current (I_{INL}) or (I_{INH})	0.01			μA typ	Input voltage (V_{IN}) = GND voltage (V_{GND}) or 5 V
			±0.15	μA max	
Digital Input Capacitance (C_{IN})	4.6			pF typ	
DYNAMIC CHARACTERISTICS					
Transition Time ($t_{TRANSITION}$)	343			ns typ	Load resistance (R_L) = 300 Ω , load capacitance (C_L) = 35 pF
	415	455	499	ns max	$V_S = 10V$ (see Figure 34)
On Time ($t_{ON(EN)}$)	333			ns typ	Load resistance (R_L) = 300 Ω , load capacitance (C_L) = 35 pF
	397	438	484	ns max	$V_S = 10V$ (see Figure 22)
Off Time ($t_{OFF(EN)}$)	193			ns typ	$R_L = 300 \Omega$ and $C_L = 35$ pF

仕様

表 2. ±20V 両電源での仕様 (続き)

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Break-Before-Make Time Delay (t_D)	224	228	229	ns max	$V_S = 10\text{ V}$ (see Figure 22)
	219			ns typ	$R_L = 300\ \Omega$ and $C_L = 35\text{ pF}$
Charge Injection (Q_{INJ})	170	202	243	ns min	$V_S = 10\text{ V}$ (see Figure 32)
	-2.1			nC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, and $C_L = 1\text{ nF}$ (see Figure 35)
Off Isolation	-77.9			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, and frequency = 100 kHz (see Figure 27)
Channel-to-Channel Crosstalk	-84			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, and frequency = 100 kHz (see Figure 26)
Total Harmonic Distortion + Noise (THD + N)	0.007			% typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, and frequency = 20 Hz to 20 kHz (see Figure 30)
Total Harmonic Distortion (THD)	-109			dB typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, and frequency = 1 kHz
	-83			dB typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, and frequency = 20 kHz
	-69			dB typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, and frequency = 100 kHz
-3 dB Bandwidth	84			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, and signal = 0 dBm (see Figure 31)
Insertion Loss	-0.06			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, and frequency = 1 MHz (see Figure 31)
Source Off Capacitance (C_S (Off))	67			pF typ	$V_S = 0\text{ V}$ and frequency = 1 MHz
Drain Off Capacitance (C_D (Off))	134			pF typ	$V_S = 0\text{ V}$ and frequency = 1 MHz
Drain On Capacitance (C_D (On)) and Source On Capacitance (C_S (On))	91			pF typ	$V_S = 0\text{ V}$ and frequency = 1 MHz
Match On Capacitance (C_{MATCH} (On))	0.39			pF typ	$V_S = 0\text{ V}$ and frequency = 1 MHz
POWER REQUIREMENTS					
Power Supply Current (I_{DD})	170			μA typ	$V_{DD} = +22\text{ V}$ and $V_{SS} = -22\text{ V}$
	260		260	μA max	Digital inputs = 0 V or 5 V
	225			μA typ	Digital inputs = 1.3 V
	330		330	μA max	
Negative Supply Current (I_{SS})	85			μA typ	Digital inputs = 0 V or 5 V
	140		140	μA max	

36V 単電源

特に指定のない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3. 36V 単電源での仕様

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			0 V to $V_{DD} - 2\text{ V}$	V	$V_{DD} = 32.4\text{ V}$ and $V_{SS} = 0\text{ V}$
On Resistance (R_{ON})	0.50			Ω typ	Source voltage (V_S) = 0 V to 28.9 V and source current (I_S) = -100 mA (see Figure 25)
	0.65	0.8	0.95	Ω max	
	0.54			Ω typ	$V_S = 0\text{ V}$ to 29.9 V and $I_S = -100\text{ mA}$
	0.7	0.85	1.0	Ω max	
On-Resistance Match Between Channels (ΔR_{ON})	0.003			Ω typ	$V_S = 0\text{ V}$ to 29.9 V and $I_S = -100\text{ mA}$

仕様

表 3. 36V 単電源での仕様（続き）

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
On-Resistance Flatness ($R_{FLAT(ON)}$)	0.085	0.1	0.1	Ω max	$V_S = 0$ V to 28.9 V and $I_S = -100$ mA	
	0.003			Ω typ		
	0.035	0.035	0.035	Ω max		
	0.04			Ω typ		
	0.08	0.1	0.1	Ω max	$V_S = 0$ V to 29.9 V and $I_S = -100$ mA	
LEAKAGE CURRENTS						
Source Off Leakage (I_S (Off))	± 5			nA typ	$V_{DD} = 39.6$ V and $V_{SS} = 0$ V $V_S = 1$ V/30 V and drain voltage (V_D) = 30 V/1 V (see Figure 28)	
Drain Off Leakage (I_D (Off))	± 12.5	+90/-14	+400/-14	nA max	$V_S = 1$ V/30 V and $V_D = 30$ V/1 V (see Figure 28)	
	± 10			nA typ		
Channel On Leakage (I_D (On)) and (I_S (On))	± 25	+175/-28	+792/-28	nA max		
	± 4.7			nA typ		
	± 13.8			nA max		
DIGITAL INPUTS						
Input High Voltage (V_{INH})			1.3	V min	Input voltage (V_{IN}) = GND voltage (V_{GND}) or 5 V	
Input Low Voltage (V_{INL})			0.8	V max		
Input Current (I_{INL}) or (I_{INH})	0.01		± 0.15	μ A typ		
Digital Input Capacitance (C_{IN})		4.6		μ A max		
				pF typ		
DYNAMIC CHARACTERISTICS						
Transition Time ($t_{TRANSITION}$)	356				Load resistance (R_L) = 300 Ω and load capacitance (C_L) = 35 pF $V_S = 18$ V (see Figure 34)	
On Time ($t_{ON(EN)}$)	431	442	460	ns typ	Load resistance (R_L) = 300 Ω and load capacitance (C_L) = 35 pF $V_S = 18$ V (see Figure 22)	
	202					
Off Time ($t_{OFF(EN)}$)	240	261	288	ns max		
	309			ns typ		
Break-Before-Make Time Delay (t_D)	359	367	374	ns max		
	88			ns typ		
Charge Injection (Q_{INJ})	92.5	109.2	130.2	ns min	$V_S = 18$ V (see Figure 32) $V_S = 18$ V, $R_S = 0$ Ω , and $C_L = 1$ nF (see Figure 35)	
	-1.79			nC typ		
Off Isolation	-64			dB typ		$R_L = 50$ Ω , $C_L = 5$ pF, and frequency = 100 kHz (see Figure 27)
Channel-to-Channel Crosstalk	-70			dB typ		$R_L = 50$ Ω , $C_L = 5$ pF, and frequency = 100 kHz (see Figure 26)
Total Harmonic Distortion + Noise (THD + N)	0.006			% typ	$R_L = 1$ k Ω , 18 V p-p, and frequency = 20 Hz to 20 kHz (see Figure 30)	
Total Harmonic Distortion (THD)	-107			dB typ	$R_L = 1$ k Ω , 18 V p-p, and frequency = 1 kHz	
	-84			dB typ	$R_L = 1$ k Ω , 18 V p-p, and frequency = 20 kHz	
	-70			dB typ	$R_L = 1$ k Ω , 18 V p-p, and frequency = 100 kHz	

仕様

表 3. 36V 単電源での仕様（続き）

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
-3 dB Bandwidth	81			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, and signal = 0 dBm (see Figure 31)
Insertion Loss	-0.06			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, and frequency = 1 MHz (see Figure 31)
Source Off Capacitance (C_S (Off))	69			pF typ	$V_S = 18 \text{ V}$ and frequency = 1 MHz
Drain Off Capacitance (C_D (Off))	139			pF typ	$V_S = 18 \text{ V}$ and frequency = 1 MHz
Drain On Capacitance (C_D (On)) and Source On Capacitance (C_S (On))	95			pF typ	$V_S = 18 \text{ V}$ and frequency = 1 MHz
Match On Capacitance (C_{MATCH} (On))	0.24			pF typ	$V_S = 18 \text{ V}$ and frequency = 1 MHz
POWER REQUIREMENTS					
Power Supply Current (I_{DD})	170			μA typ	$V_{DD} = 39.6 \text{ V}$ Digital inputs = 0 V or 5 V
	260		260	μA max	
	225			μA typ	Digital inputs = 1.3 V
	330		330	μA max	
Negative Supply Current (I_{SS})	85			μA typ	Digital inputs = 0 V or 5 V
	140		140	μA max	

仕様

チャンネルごとの連続電流 (SX または DX)

表 4. 1つのチャンネルをオン、チャンネルごとの仕様

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
CONTINUOUS CURRENT, Sx OR Dx V _{DD} = +20 V and V _{SS} = -20 V LFCSP ($\theta_{JA} = 44^{\circ}\text{C/W}$)	847	325	123	mA maximum	V _S = V _{SS} to V _{DD} - 3.5 V
V _{DD} = 36 V and V _{SS} = 0 V LFCSP ($\theta_{JA} = 44^{\circ}\text{C/W}$)	847	325	123	mA maximum	V _S = V _{SS} to V _{DD} - 3.5 V

表 5. 2つのチャンネルをオン、チャンネルごとの仕様

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
CONTINUOUS CURRENT, Sx OR Dx V _{DD} = +20 V and V _{SS} = -20 V LFCSP ($\theta_{JA} = 44^{\circ}\text{C/W}$)	646	289	120	mA maximum	V _S = V _{SS} to V _{DD} - 3.5 V
V _{DD} = 36 V and V _{SS} = 0 V LFCSP ($\theta_{JA} = 44^{\circ}\text{C/W}$)	646	289	120	mA maximum	V _S = V _{SS} to V _{DD} - 3.5 V

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6. 絶対最大定格

Parameter	Rating
V_{DD} to V_{SS}	46 V
V_{DD} to GND	-0.3 V to +46 V
V_{SS} to GND	+0.3 V to -46 V
Analog Inputs ¹	$V_{SS} - 0.3 \text{ V}$ to $V_{DD} + 0.3 \text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	GND - 0.3 V to +6 V or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins ²	2.6 A (pulsed at 1 ms and 10% duty cycle maximum)
Continuous Current, Sx or Dx ²	Data (see Table 4 to Table 5) + 15%
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Reflow Soldering Peak, Pb-Free	As per JEDEC J-STD-020

¹ INx, Sx および Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

² Sx は S1A、S1B、S2A、S2B の各ピン、Dx は D1 および D2 の各ピンを表します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。 θ_{JCB} は、ジャンクションとケース底面の間の値です。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JCB}	Unit
CP-16-17 ¹	44	17.4	°C/W

¹ 熱抵抗のシミュレーション値は、サーマル・ビアのない JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADG6436 の ESD 定格

表 8. ADG6436、16 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±1250	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

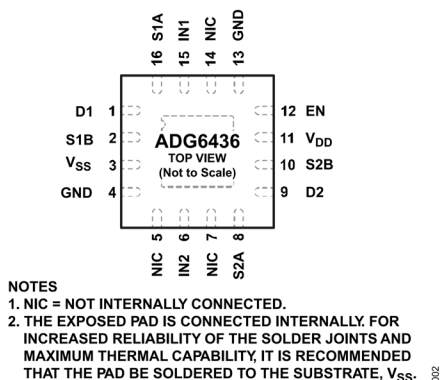


図 2. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	D1	ドレイン端子 1。D1 ピンは入力または出力に設定できます。
2	S1B	ソース端子 1B。S1B ピンは入力または出力に設定できます。
3	V _{SS}	最大負側電源電圧。
4, 13	GND	グラウンド (0V) リファレンス。
5, 7, 14	NIC	内部接続なし。
6	IN2	ロジック制御入力 2。
8	S2A	ソース端子 2A。S2A ピンは入力または出力に設定できます。
9	D2	ドレイン端子 2。D2 ピンは入力または出力に設定できます。
10	S2B	ソース端子 2B。S2B ピンは入力または出力に設定できます。
11	V _{DD}	最大正側電源。
12	EN	アクティブ・ハイのデジタル入力。EN ピンがロー・レベルになると、デバイス動作は無効化され、全てのスイッチがオフになります。EN ピンがハイ・レベルになると、INx ロジック入力によってオンになるスイッチが決まります。
15	IN1	ロジック制御入力 1。
16	S1A EP	ソース端子 1A。S1A ピンは入力または出力に設定できます。 露出パッド。露出パッドは内部接続されています。ハンダ接続の信頼性と熱性能を向上させるため、このパッドを基板の V _{SS} にハンダ付けすることを推奨します。

表 10. ADG6436 の真理値表

EN	INx	SxA	SxB
0	X ¹	Off	Off
1	0	Off	On
1	1	On	Off

¹ X はドント・ケア。

代表的な性能特性

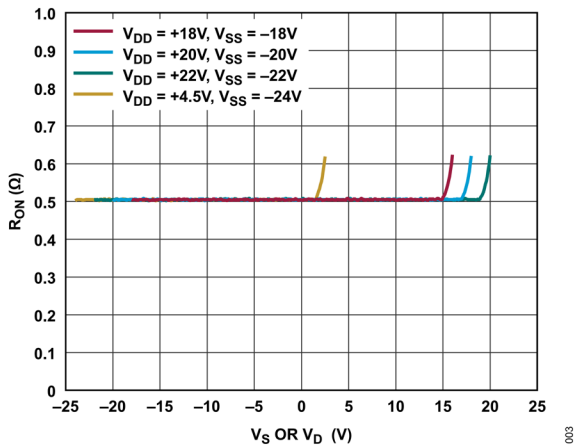


図 3. R_{ON} と V_S および V_D の関係 (両電源)

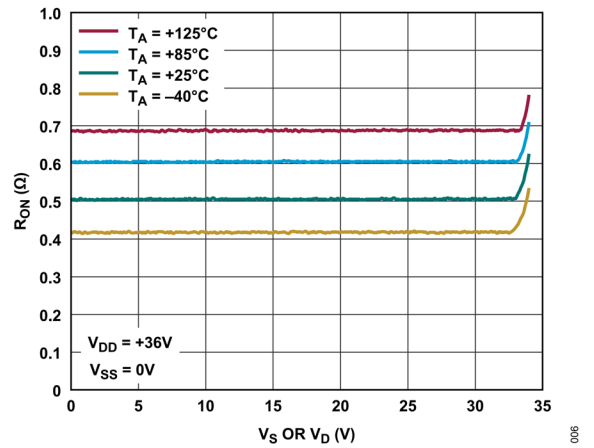


図 6. 様々な温度での R_{ON} と V_S (V_D) の関係、36V 単電源

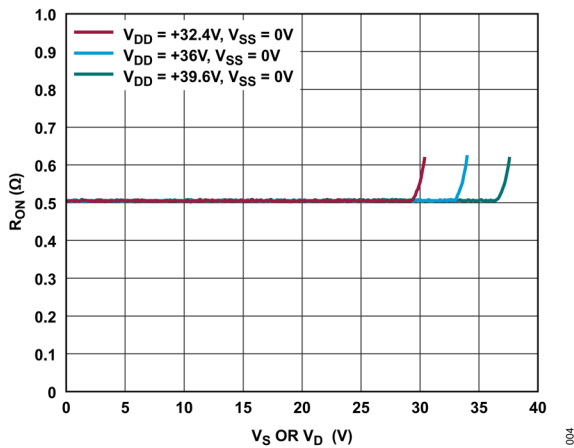


図 4. R_{ON} と V_S および V_D の関係 (単電源)

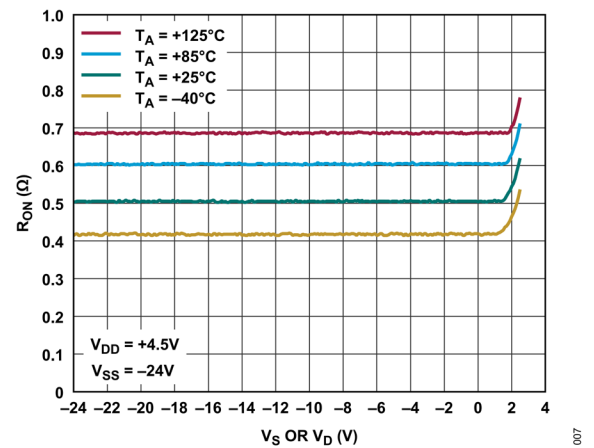


図 7. 様々な温度での R_{ON} と V_S (V_D) の関係、非対称単電源

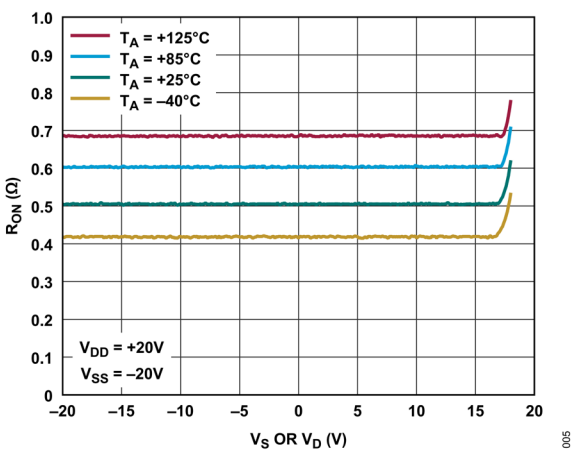


図 5. 様々な温度での R_{ON} と V_S (V_D) の関係、 $\pm 20V$ 両電源

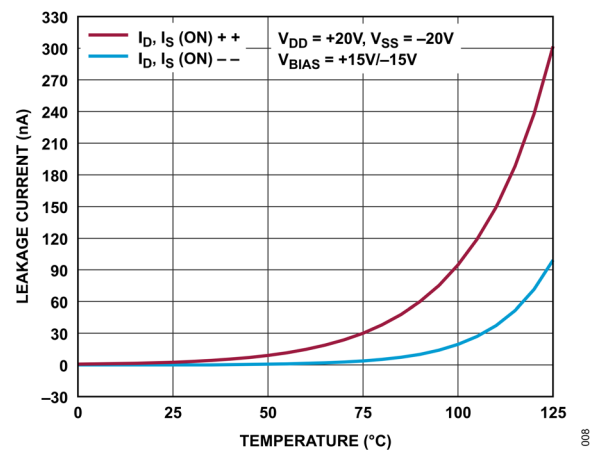


図 8. オン・リーク電流と温度の関係、 $\pm 20V$ 両電源

代表的な性能特性

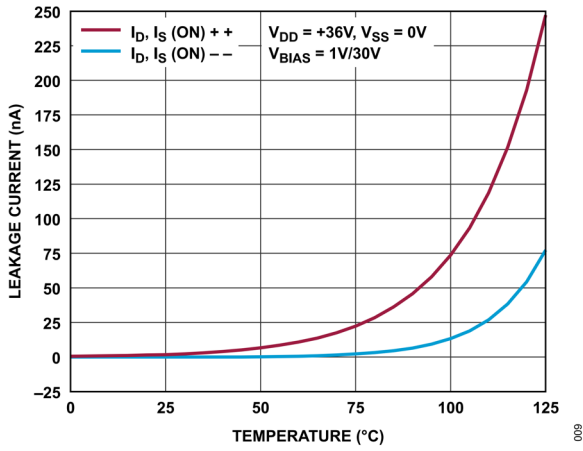


図 9. オン・リーク電流と温度の関係、+36V 単電源

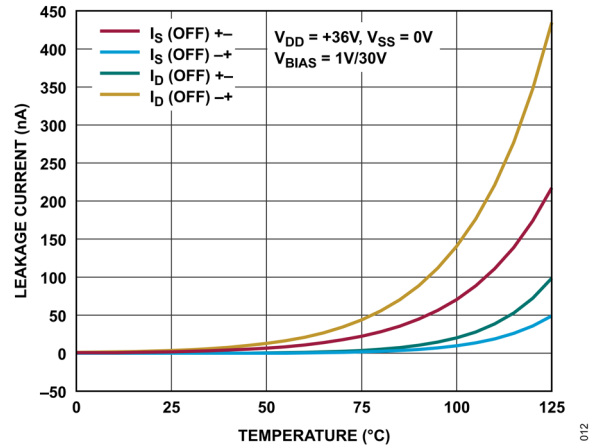


図 12. オフ・リーク電流と温度の関係、+36V 単電源

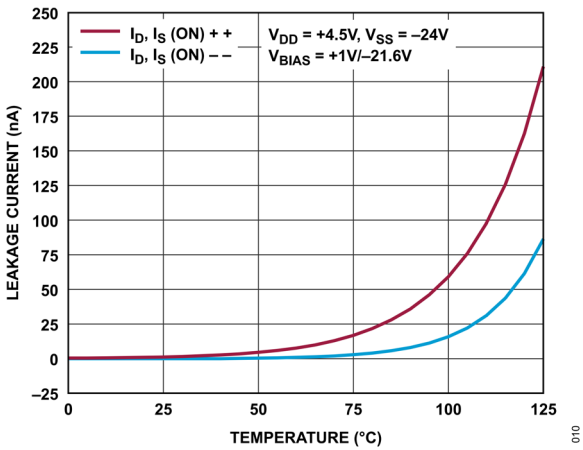


図 10. オン・リーク電流と温度の関係、+4.5V、-24V 両電源

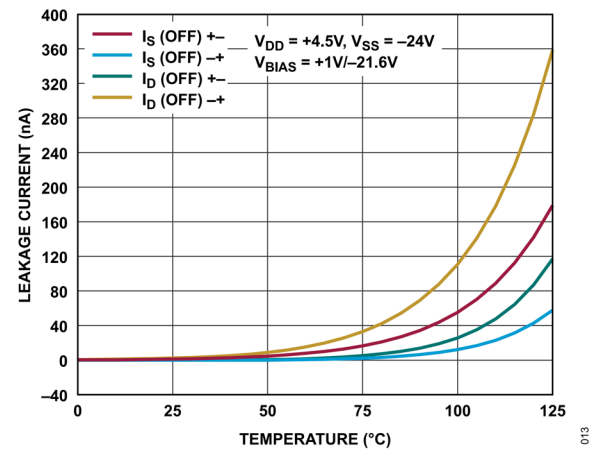


図 13. オフ・リーク電流と温度の関係、+4.5V、-24V 両電源

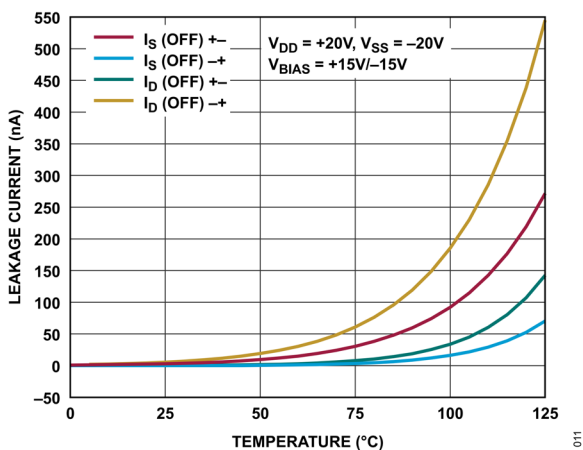


図 11. オフ・リーク電流と温度の関係、±20V 両電源

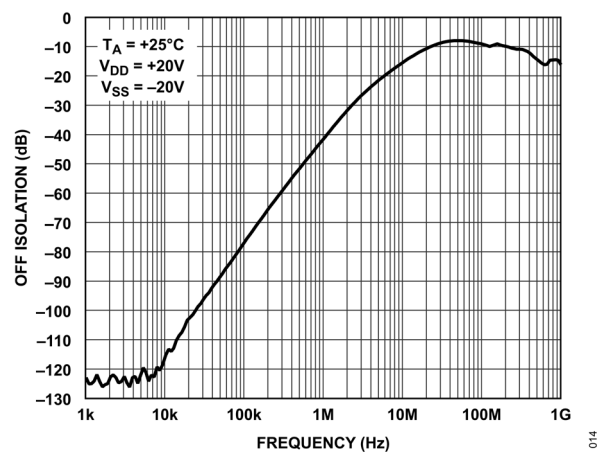


図 14. オフ・アイソレーションと周波数の関係、±20V 両電源

代表的な性能特性

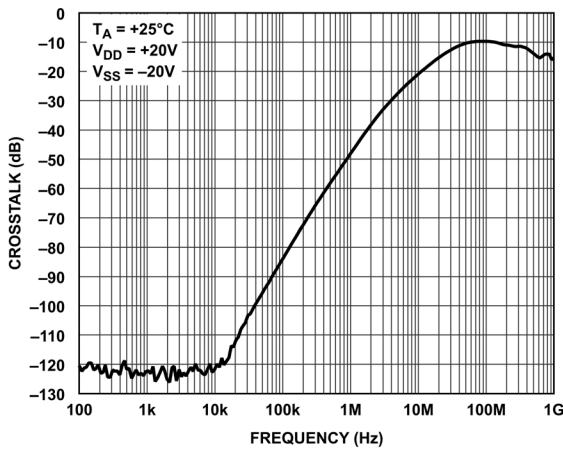


図 15. クロストークと周波数の関係、±20V 両電源

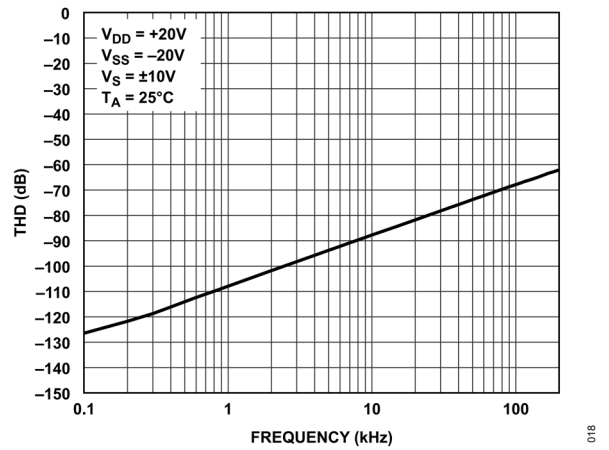


図 18. THD と周波数の関係、±20V 両電源

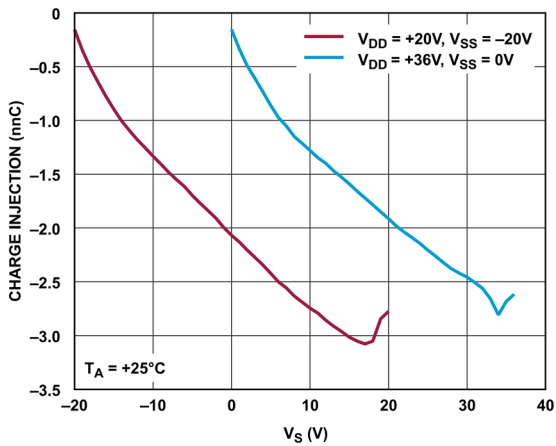


図 16. チャージ・インJECTIONと VS の関係

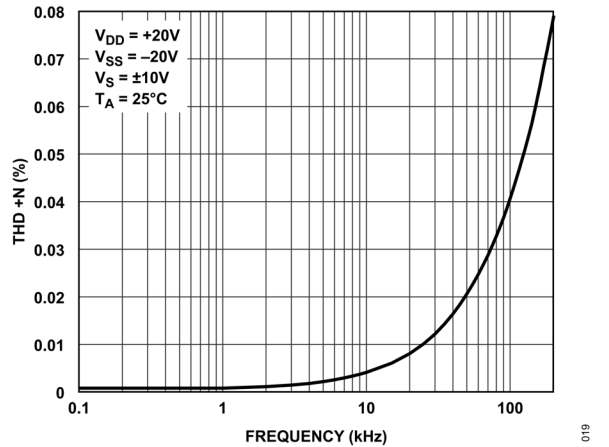


図 19. THD + N と周波数の関係、±20V 両電源

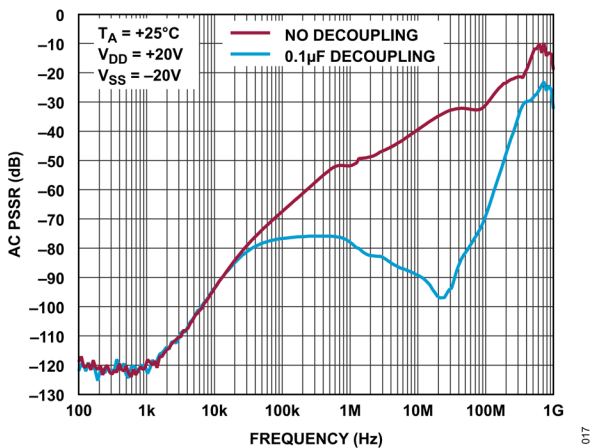


図 17. AC 電源電圧変動除去比 (PSRR) と周波数の関係、±20V 両電源

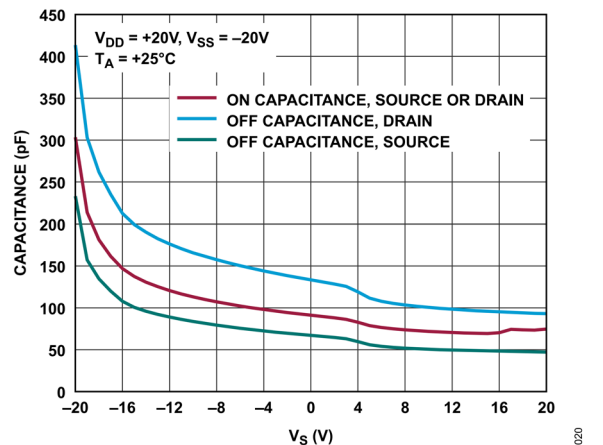


図 20. 容量と VS の関係、±20V 両電源

代表的な性能特性

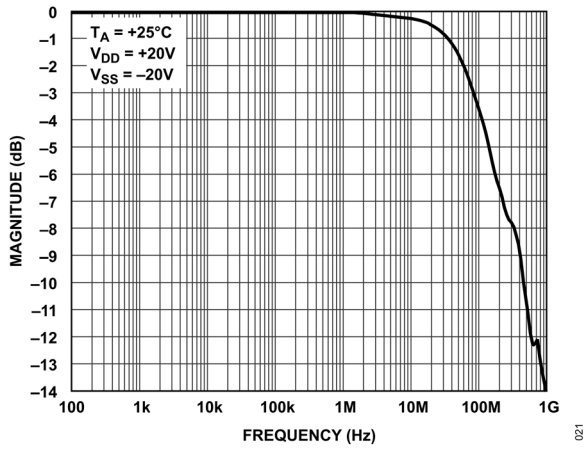


図 21. 挿入損失と周波数の関係

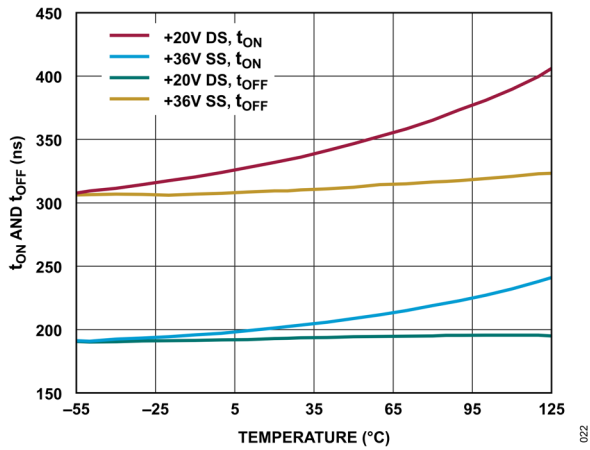


図 22. t_{ON} および t_{OFF} の時間と温度の関係

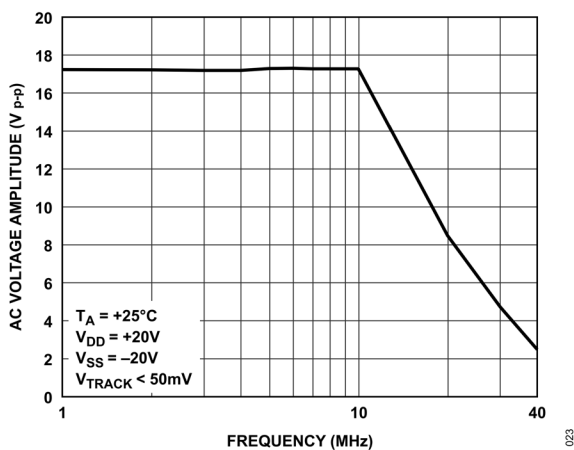


図 23. 大 AC 信号電圧と周波数の関係

テスト回路

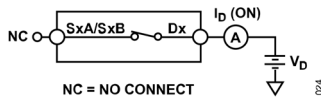


図 24. オン・リーク電流

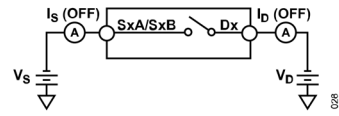


図 28. オフ・リーク電流

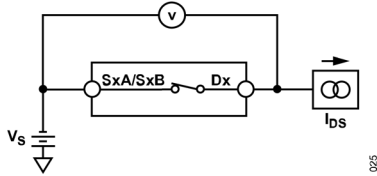
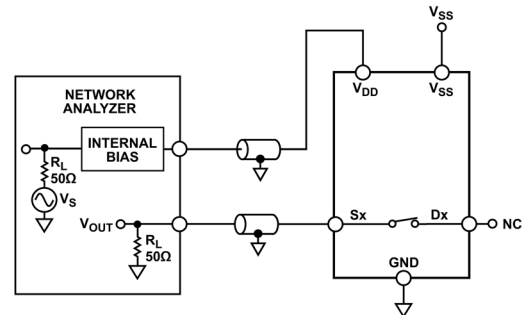


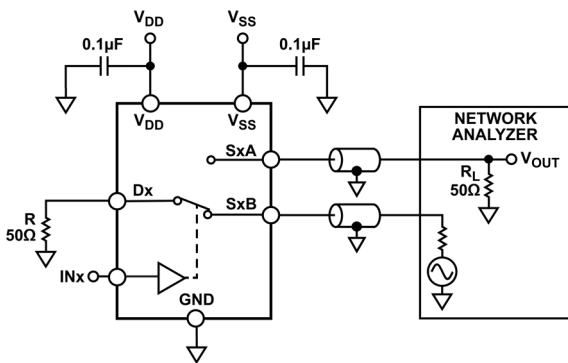
図 25. オン抵抗



$$AC\ PSRR = 20 \log \frac{V_{OUT}}{V_S}$$

- NOTE:
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.
2. NC = NO CONNECT.

図 29. AC PSRR



$$CHANNEL\ TO\ CHANNEL\ CROSSTALK = 20 \log \frac{V_{OUT}}{V_S}$$

図 26. チャンネル間クロストーク

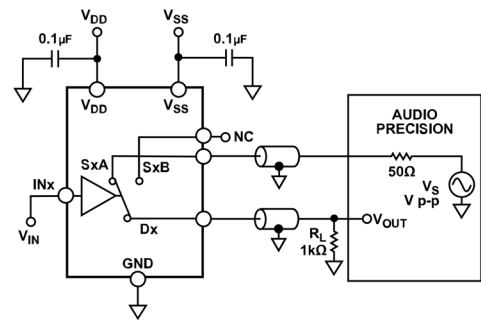
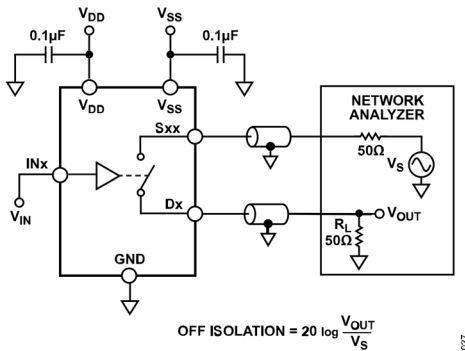
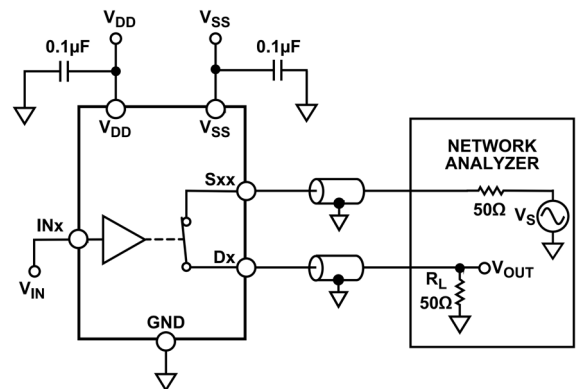


図 30. THD + ノイズ



$$OFF\ ISOLATION = 20 \log \frac{V_{OUT}}{V_S}$$

図 27. オフ・アイソレーション



$$INSERTION\ LOSS = 20 \log \frac{V_{OUT\ WITH\ SWITCH}}{V_{OUT\ WITHOUT\ SWITCH}}$$

図 31. 帯域幅

テスト回路

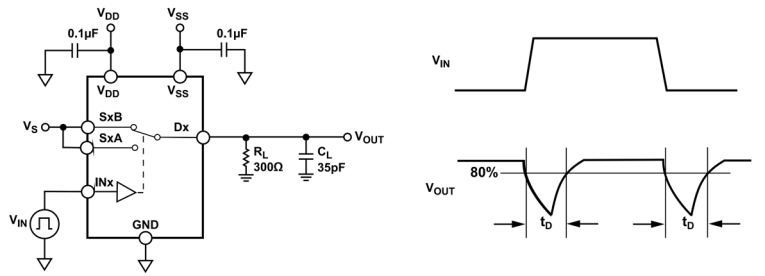


図 32. ブレーク・ビフォア・メークの遅延時間、 t_D

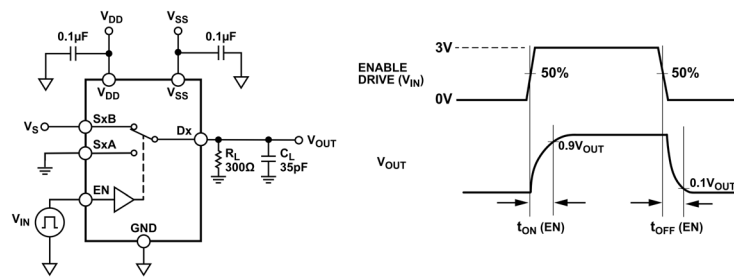


図 33. イネーブル遅延、 $t_{ON}(EN)$ 、 $t_{OFF}(EN)$

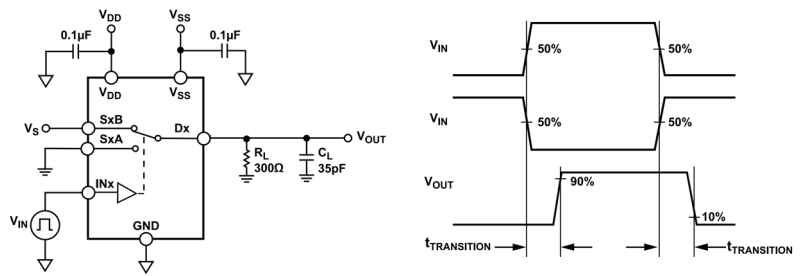


図 34. スイッチング時間

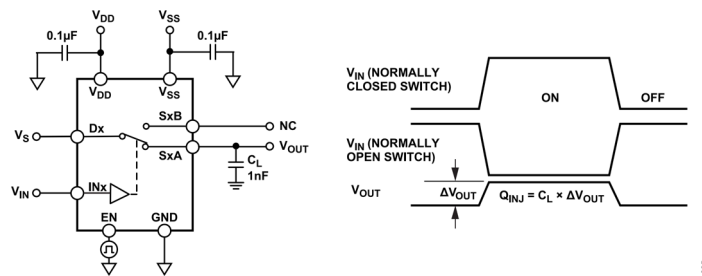


図 35. チャージ・インJECTION

用語の定義

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D および V_S

端子 D と端子 S それぞれのアナログ電圧。

V_{TRACK}

V_S と V_D の差。

R_{ON}

端子 D と端子 S の間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT(ON)}

仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として表現される抵抗値の平坦性。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On) および I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL} および I_{INH}

ハイまたはローのときのデジタル入力電流。

C_S (Off) および C_D (Off)

スイッチ・オフ時のソース容量およびドレイン容量、グラウンドを基準として測定。

C_D (On) および C_S (On)

スイッチ・オン時のドレイン容量およびソース容量、グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル制御入力印加されてから出力がオンになるまでの遅延。

t_{OFF}

デジタル制御入力印加されてから出力がオフになるまでの遅延。

t_D

あるアドレス状態から別のアドレス状態へ切り替わる時、両方のスイッチの 80%ポイント間で測定されるオフ時間。

オフ・アイソレーション

オフ・スイッチから混入する不要な信号の大きさ。

チャージ・インジェクション

スイッチング中にデジタル入力からアナログ出力に転送されるグリッチ・インパルス大きさ。

チャンネル間クロストーク

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

帯域幅

出力が 3dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

全高調波歪み+ノイズ (THD + N)

基本波成分に対する全高調波成分+信号ノイズの比。

AC 電源電圧変動除去比 (AC PSRR)

変調振幅に対する出力信号振幅の比。これは、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧は、0.62V_{p-p} のサイン波で変調されます。

動作原理

スイッチ・アーキテクチャ

ADG6436 は、個別に選択可能な 2 つの SPDT N チャンネル拡散金属酸化膜半導体 (NDMOS) スイッチを内蔵しており、優れた R_{ON} 性能を示します。NDMOS のみで構成されるアーキテクチャを用いているため、信号のヘッドルームが削減され、信号の制限値は $V_{DD} - 2V$ となります。ただし、オン抵抗、オン抵抗の平坦性、全高調波歪みを最良のものにするため、信号は $V_{DD} - 3.5V$ 未満に維持することを推奨します。

ADG6436 を正常に動作させるには、 V_{DD} および V_{SS} の各電源ピンに最小 $0.1\mu F$ のデカップリング・コンデンサが必要です。

ADG6436 は、 V_{DD} が最大 $40V$ の単電源システム、最大 $\pm 22V$ の両電源システム、および非対称電源に対応できます。

1.8V ロジックとの互換性

使いやすさを実現するため、ADG6436 にはロジック・リファレンス電圧 (V_L) がありません。デジタル入力は、全動作電源範囲で $1.8V$ のロジック・レベルに対応できます。 $1.8V$ ロジックのための制限値は、 $V_{INH} = 1.3V$ および $V_{INL} = 0.8V$ です。 $1.8V$ ロジック・レベルの入力により、ADG6436 は低い電源レールのプロセッサに対応でき、外部電圧変換器を用いる必要はありません。

$1.8V$ および $1.2V$ の両方で JEDEC に準拠するには、[ADG1412L](#) のように製品番号に L が付いたアナログ・デバイス製品を参照してください。

アプリケーション情報

高電圧、高周波の信号のトラッキング

図 23 に、ADG6436 が安定して動作できる電圧範囲とそれに対応する周波数を示します。この図のトラッキング電圧 (V_{TRACK}) は、ソース電圧とドレイン電圧の差を示しており、その値は与えられた振幅および周波数に対し 50mV 未満です。電圧が高く周波数が高い信号の場合、周波数は 10MHz 未満であることが必要です。必要な周波数が 10MHz を超える場合は、信号の完全性を維持するため信号範囲を適宜小さくしてください。

電源の推奨事項

アナログ・デバイスでは、高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を提供しています。

バイポーラ電源ソリューションの例を図 36 に示します。LT3463 (デュアル・スイッチング・レギュレータ) は、典型的なシグナル・チェーンでの ADG6436、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。また、図 36 に示すように、2 つの低ドロップアウト・レギュレータ (LDO)、ADP7142 (正の LDO) と ADP7182 (負の LDO) を使用することもでき、それによって、極めて小さなノイズにも敏感なアプリケーションで LT3463 の出力リップルを削減できます。

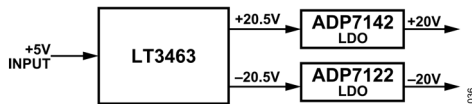


図 36. バイポーラ電源ソリューション

表 11. 推奨されるパワー・マネージメント・デバイス

製品	説明
LT3463	ショットキー・ダイオード内蔵のデュアル・マイクロパワー DC/DC コンバータ
ADP7142	40V、200mA、低ノイズ、CMOS、LDO リニア電圧レギュレータ
ADP7182	-28V、-200mA、低ノイズ、LDO リニア電圧レギュレータ

データ・アクイジションのキャリブレーション

図 37 に ADG6436 のアプリケーション例を示します。自動試験装置 (ATE) や計測器のアプリケーションでデータ・アクイジション (DAQ) システムを用いる場合、精度と正確度に対する要件があります。ドリフトの時間や温度に伴う変化など、多くの要因がシステムの正確度低下の原因となります。ADG6436 の低いオン抵抗およびチャージ・インジェクションは、測定を行う前にリアル・タイムでこのシステムのキャリブレーションを行って誤差を低減するのに最適です。ADG6436 のブレイク・ビフォア・メーク機能により、システムは入力を短絡させることなくキャリブレーション経路を切り換えることができます。

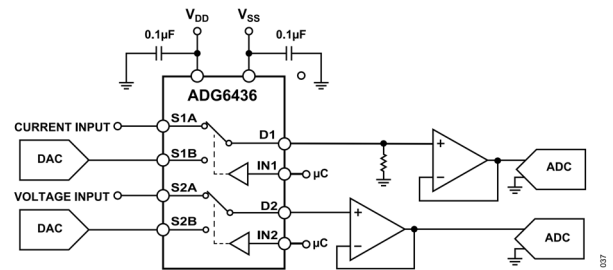
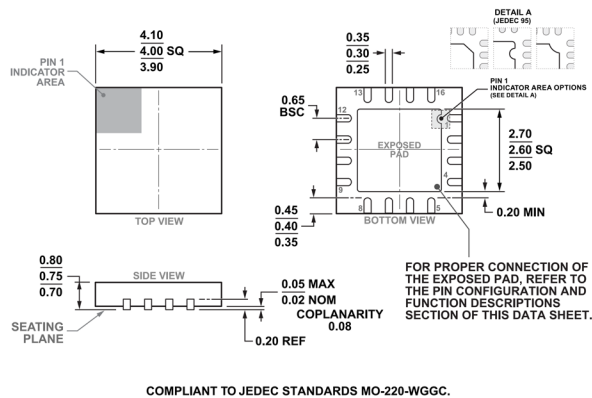


図 37. DAQ キャリブレーション・アプリケーション

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

図 38. 16 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4mm × 4mm ボディ、0.75mm パッケージ高
 (CP-16-17)
 単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADG6436BCPZ-REEL7	-40°C to +125°C	16-Lead LFCSP	Reel, 1500	CP-16-17

¹ Z = RoHS 準拠製品。

評価用ボード

表 12. 評価用ボード

Model ¹	Description
EVAL-ADG6436EBZ	Evaluation Board

¹ Z = RoHS 準拠製品。