

VCO と確定的汎用パルス・リタイマーを内蔵した マイクロ波広帯域シンセサイザ

特長

- ▶ 出力周波数範囲：800MHz～12.8GHz
- ▶ ジッタ = 18fs_{RMS} (統合帯域幅：100Hz～100MHz)
- ▶ ジッタ = 27fs_{RMS} (ADC S/N 比法)
- ▶ 広帯域ノイズ・フロア：-160dBc/Hz (12GHz)
- ▶ リタイミングされた LVDS SYSREF 出力
- ▶ SYSREF、SYNC、MCS の各アプリケーションで使用できる汎用パルス・タイマー
- ▶ PLL 仕様
 - ▶ -239dBc/Hz：正規化された帯域内位相ノイズ・フロア
 - ▶ -147dBc/Hz：正規化された帯域内 1/f 位相ノイズ・フロア
 - ▶ 位相検出器周波数：最大 500MHz
 - ▶ リファレンス入力周波数：最大 1000MHz
 - ▶ f_{PF} のスプリアス (代表値)：-95dBc (f_{OUT} = 12GHz での PFD)
- ▶ リファレンス入出力間遅延仕様
 - ▶ デバイス間の標準偏差：3ps
 - ▶ 温度係数：0.03ps/°C
 - ▶ 調整ステップ・サイズ：< ±0.1ps
- ▶ マルチチップ出力位相アライメント
- ▶ 3.3V および 5V の電源
- ▶ 48 ピン、7mm x 7mm LGA パッケージを採用

アプリケーション

- ▶ 高性能データ・コンバータおよびミックスド・シグナル・フロントエンド (MxFE) へのクロック供給
- ▶ ワイヤレス・インフラストラクチャ (MC-GSM、5G)
- ▶ 試験および計測
- ▶ データ・コンバータが統合された FPGA

概要

ADF4378 は、高性能超低ジッタのインテジャークロック・ループ (PLL) で、電圧制御発振器 (VCO) およびシステム・リファレンス (SYSREF) リタイマーを内蔵しており、データ・コンバータやミックスド・シグナル・フロントエンド

(MxFE) のクロック・アプリケーションに最適です。この高性能 PLL には、-239dBc/Hz の正規化帯域内位相ノイズ・フロア、超低 1/f ノイズ、高い位相ノイズ検出器 (PFD) 周波数という特長があり、超低帯域内ノイズおよび統合ジッタを実現できます。ADF4378 の基本的な VCO および出力分周器は、800MHz～12.8GHz の周波数を生成します。ADF4378 には、必要な電源バイパス・コンデンサがすべて内蔵されているため、コンパクトな基板において基板スペースを節約できます。

複数のデータ・コンバータや MxFE のクロック・アプリケーションに対し、ADF4378 は、出力同期への自動リファレンス機能、プロセス、電圧、温度全域での出力遅延に対するリファレンス整合機能、出力遅延調整に対する ±0.1ps 以内のジッタ・フリー・リファレンス機能を備えることで、他のクロック・ソリューションでは必要なクロック・アライメントおよびキャリブレーションのルーチンを簡素化しています。

汎用パルス・リタイマー機能により、SYSREF、SYNC、マルチチップ同期 (MCS) の各アーキテクチャに対し、予測可能で正確なマルチチップ・クロックおよびパルス・アライメントが可能です。

JESD204B および JESD204C のサブクラス 1 ソリューションは、リファレンス信号と SYSREF 信号のペアを分配する集積回路 (IC) に ADF4378 を組み合わせることでサポートされます。パルス・リタイマー機能により、広く分布した SYSREF を、はるかに厳格な出力クロック・タイミングに比べより低速のリファレンス周波数タイミングに合わせるだけで済むため、システム設計が簡素化されます。シリアル・ペリフェラル・インターフェイス (SPI) で選択可能な電流モード・ロジック (CML) / 低電圧正/擬似エミッタ結合ロジック (LVPECL) または低電圧差動信号 (LVDS) SYSREF 入力および LVDS SYSREF 出力により、CML から LVDS への信号変換が可能で、これにより、様々なコンバータのクロックと SYSREF のアライメントが簡略化できます。このパルス・リタイマー機能は、他の IC のトランシーバ MCS 信号や SYNC 信号でも使用できます。

目次

特長.....	1	出力の位相ノイズ特性.....	36
アプリケーション.....	1	パワーアップと初期化のシーケンス.....	37
概要.....	1	電源およびバイパス.....	38
機能ブロック図.....	3	設計およびプログラミング例 1：単一 ADF4378.....	38
仕様.....	4	複数の ADF4378 の出力位相のアライメント.....	42
シリアル・インターフェースのタイミング特性.....	9	設計例 2：JESD204B/C マルチチップ・クロックおよび SYSREF アライメント.....	44
絶対最大定格.....	10	ADC のクロックとジッタに関する考慮事項.....	46
トランジスタ数.....	10	シングルエンドの試験用計測器を用いた差動スプリアスの 測定.....	49
熱抵抗.....	10	アプリケーション回路.....	50
静電放電 (ESD) 定格.....	10	ADF4378 デバイスの並列構成、13f _{SRMS} のジッタ.....	50
ESD に関する注意.....	10	ADF4378 をクロックに用いた AD9082 のエラー・ ベクトルの大きさ (EVM).....	51
ピン配置およびピン機能の説明.....	11	レジスタの一覧.....	52
代表的な性能特性.....	13	レジスタの詳細.....	55
動作原理.....	23	外形寸法.....	85
はじめに.....	23	オーダー・ガイド.....	85
出力周波数.....	24	評価用ボード.....	85
回路の説明.....	24		
アプリケーション情報.....	35		
ループ・フィルタの設計.....	35		
リファレンス源に関する考慮事項.....	35		

改訂履歴

12/2023—Revision 0: Initial Version

機能ブロック図

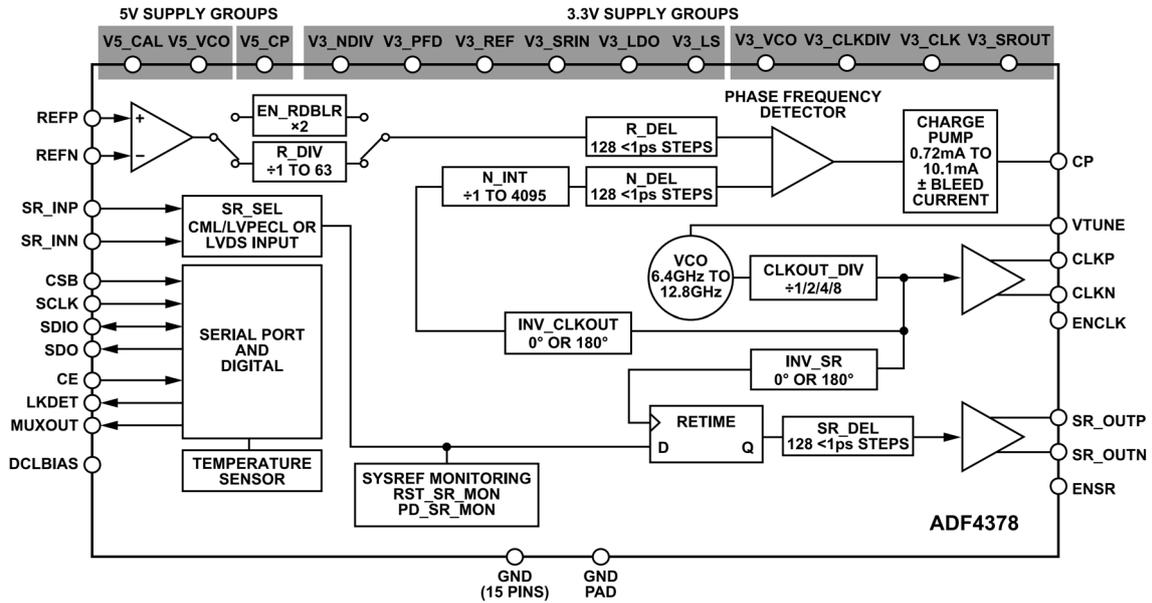


図 1. ADF4378 の機能ブロック図

仕様

特に指定のない限り、3.3V 電源グループ 1 ピン電圧 ($V_{3.3V_1}$) = 3.15V~3.45V、電源グループ 2 ピン電圧 ($V_{3.3V_2}$) = 3.15V~3.45V、 $V_{V5_VCO} = V_{V5_CP} = V_{V5_CAL} = 4.75V \sim 5.25V$ 、すべての電圧は GND 基準、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 、動作温度範囲。

表 1. 仕様

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE INPUTS (REFP, REFN)						
Input Frequency	f_{REF}	10		1000	MHz	Non-SYSREF applications
		10		500	MHz	SYSREF applications
Input Signal Level	V_{REF}	0.5		2.6	V p-p	See Figure 66
Minimum Input Slew Rate			100		V/ μ s	
Input Duty Cycle			50		%	
Self-Bias Voltage			1.85		V	
Input Resistance			3		k Ω	Differential
Input Capacitance			1		pF	Differential
Input Current			-2		μ A	
REFERENCE PEAK DETECTOR						
Input Frequency		10		1000	MHz	
Minimum Input Signal Detected (REF_OK Bit = 1)			200		mV p-p	$f_{REF} = 100$ MHz, single-ended sine wave
Maximum Input Signal Not Detected (REF_OK Bit = 0)			160		mV p-p	$f_{REF} = 100$ MHz, single-ended sine wave
REFERENCE DIVIDER						
R		1		63		Non-SYSREF applications, all integers included
		1		1		SYSREF applications
REFERENCE DOUBLER						
Input Frequency		10		250	MHz	EN_RDBLR = 1
PHASE/FREQUENCY DETECTOR (PFD)						
Input Frequency	f_{PFD}	3		500	MHz	
SYSREF INPUTS (SR_INP, SR_INN)						
Input Frequency	f_{SR_IN}	DC		125	MHz	$f_{REF} \div f_{SR_IN}$ must be an even integer
Input Signal Level	V_{SR_IN}	0.4		2.6	V p-p	SR_SEL = 0, $f_{SR_IN} = 10$ MHz
		0.4		2.6	V p-p	SER_SEL = 1, $f_{SR_IN} = 10$ MHz
Self-Bias Voltage (AC-Coupled)	V_{CM}		1.85		V	SR_SEL = 0, $f_{SR_IN} = 10$ MHz
			1.3		V	SR_SEL = 1, $f_{SR_IN} = 10$ MHz
Input Common Mode Voltage Range (DC-Coupled)	V_{CM}	1.4		3.1	V	SR_SEL = 0, $f_{SR_IN} = 10$ MHz, $V_{SR_IN} = 0.8$ V p-p
		0.5		1.6	V	SR_SEL = 1, $f_{SR_IN} = 10$ MHz, $V_{SR_IN} = 0.8$ V p-p
Input Resistance			3		k Ω	Differential
Input Capacitance			1		pF	Differential
Input Current			-2		μ A	
SYSREF to Reference Setup Time		400			ps	V_{CM} set to self-bias voltage, V p-p = 0.8 V p-p
SYSREF to Reference Hold Time		600			ps	V_{CM} set to self-bias voltage, V p-p = 0.8 V p-p
SYSREF Monitor Window Around Metastability State			± 190		ps	
CHARGE PUMP (CP)						
Output Current Range	I_{CP}		0.79 to 11.1		mA	Set by CP_I bit fields
Output Current Source/Sink Accuracy			± 2		%	All CP_I bit field settings, $V_{CP} = V_{V5_CP}/2$
Output Current Source/Sink Matching			± 2		%	All CP_I bit field settings, $V_{CP} = V_{V5_CP}/2$
Output Current vs. Output Voltage Sensitivity			0.2		%/V	V_{CP}^1
Output Current vs. Temperature			280		ppm/ $^{\circ}C$	$V_{CP} = V_{V5_CP}/2$

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Output High-Z Leakage Current			-0.01 -0.3		μA μA	Minimum I_{CP} , V_{CP} ¹ Maximum I_{CP} , V_{CP} ¹
VCO						
Frequency Range	f_{VCO}	6.4		12.8	GHz	K_{VCO} ^{2, 3} Must set $DCLK_MODE = 1$, when $f_{DIV_RCLK} > 80$ MHz
Tuning Sensitivity	K_{VCO}		0.75 to 1.25		%Hz/V	
VCO Calibration Frequency	f_{DIV_RCLK}			125	MHz	
FEEDBACK DIVIDER (N) AND CLOCK OUTPUT DIVIDER (O)						
N		2		4095		All integers included
O		1		8		1, 2, 4, 8
CLOCK OUTPUT (CLKP and CLKN)						
Output Frequency	f_{OUT}	0.8		12.8	GHz	Differential termination = 100 Ω for all clock output specifications unless noted $V_{OH} - V_{OL}$ measurement across a differential pair with output driver not toggling and $CLKOUT_OP = 0$ $V_{OH} - V_{OL}$ measurement across a differential pair with output driver not toggling and $CLKOUT_OP = 1$ $V_{OH} - V_{OL}$ measurement across a differential pair with output driver not toggling and $CLKOUT_OP = 2$ $V_{OH} - V_{OL}$ measurement across a differential pair with output driver not toggling and $CLKOUT_OP = 3$ Differential
Output Differential Voltage	V_{OD}		320		mV	
			420		mV	
			530		mV	
			640		mV	
Output Resistance			100		Ω	
Output Common Mode			$V_{CLK} - 1.2 \times V_{OD}$		V	
Output Rise Time	t_R		15		ps	
Output Fall Time	t_F		15		ps	
Output Duty Cycle			50		%	
SYSREF OUTPUT (SR_OUTP and SR_OUTN)						
Output Frequency		DC		125	MHz	Differential termination = 100 Ω for all SYSREF output specifications unless noted Differential
Output Differential Voltage			0.85		V p-p	
Output Resistance			100		Ω	
Output Common Mode			1.2		V	
Output Rise Time			20		ps	
Output Fall Time			30		ps	
Output Duty Cycle			50		%	
REFERENCE INPUT TO OUTPUT DELAY						
Propagation Delay Temperature Coefficient	t_{PD-TC}		0.03		ps/°C	Device setup ⁴ for all delay specifications unless noted, measure rising reference edge at REF input to rising edge at CLK1 output REF_SEL = 0 $f_{OUT} = 12$ GHz, $f_{REF} = 200$ MHz, $f_{PFD} = 200$ MHz, R_DIV = 1, REF_SEL = 0 $f_{OUT} = 6$ GHz, $f_{REF} = 200$ MHz, $f_{PFD} = 200$ MHz, R_DIV = 1, REF_SEL = 0
Propagation Delay	t_{PD}		104		ps	
			112		ps	

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
			110		ps	$f_{OUT} = 3 \text{ GHz}$, $f_{REF} = 200 \text{ MHz}$, $f_{PFD} = 200 \text{ MHz}$, $R_DIV = 1$, $REF_SEL = 0$
			110		ps	$f_{OUT} = 1.6 \text{ GHz}$, $f_{REF} = 200 \text{ MHz}$, $f_{PFD} = 200 \text{ MHz}$, $R_DIV = 1$, $REF_SEL = 0$
			122		ps	$f_{OUT} = 3 \text{ GHz}$, $f_{REF} = 100 \text{ MHz}$, $f_{PFD} = 200 \text{ MHz}$, $EN_RDBLR = 1$, $REF_SEL = 0$
N_DEL, R_DEL Step Size			1		ps	
N_DEL Range			105		ps	N_DEL = 127, R_DEL = 0
R_DEL Range			127		ps	N_DEL = 0, R_DEL = 127
SYSREF OUTPUT-TO-CLOCK OUTPUT DELAY						Device setup ⁵ for all delay specifications unless noted, measure the rising edge at CLK output to the rising edge at SYSREF output
SR_DEL Step Size			0.8		ps	
SR_DEL Range			110		ps	
LOGIC INPUTS (CSB, SCLK, SDIO, ENCLK, and ENSR)						
Input High Voltage	V_{INH}	1.2			V	
Input Low Voltage	V_{INL}			0.6	V	
Input Current (High, Low)	I_{IH}/I_{IL}			± 1	μA	
Input Capacitance (CSB, SCLK, ENCLK, ENSR)	C_{IN}		1		pF	
SDIO	$C_{IN-SDIO}$		2		pF	
LOGIC INPUT (CE Pin)						
Input High Voltage	V_{INH-CE}	1.8			V	
Input Low Voltage	V_{INL-CE}			0.8	V	
Input Current (High, Low)	I_{IH-CE}/I_{IL-CE}			± 1	μA	
Input Capacitance	C_{IN-CE}		1		pF	
LOGIC OUTPUTS (SDIO, SDO, LKDET, MUXOUT)						
Output High Voltage (1.8 V Mode)	V_{OH}	1.5	1.8		V	$I_{OH} = 500 \mu\text{A}$, 1.8 V output selected (default setting)
Output High Voltage (3.3 V Mode)	V_{OH-3V}	$V_{3.3V} - 0.4$			V	$I_{OH} = 500 \mu\text{A}$, 3.3 V output selected, set by voltage on V3_LDO pin
Output Low Voltage	V_{OL}			0.4	V	$I_{OL} = 500 \mu\text{A}$
SDO High-Z Leakage	I_{ZH}/I_{ZL}			± 1	μA	
POWER SUPPLIES						
Device setup ⁶ for all supply current specifications, unless noted						
V5_VCO Supply Range	V_{V5_VCO}	4.75	5	5.25	V	
V5_CAL Supply Range	V_{V5_CAL}	4.75	5	5.25	V	
V5_CP Supply Range	V_{V5_CP}	4.75	5	5.25	V	
$V_{3.3V_1}$ Supply Range	$V_{3.3V_1}$	3.15	3.3	3.45	V	3.3 V Power Supply Group 1 (V3_LS, V3_LDO, V3_REF, V3_PFD, V3_NDIV, V3_SRIN)
$V_{3.3V_2}$ Supply Range	$V_{3.3V_2}$	3.15	3.3	3.45	V	3.3 V Power Supply Group 2 (V3_CLK, V3_SROUT, V3_VCO, V3_CLKDIV)
V5_VCO Supply Current	I_{V5_VCO}		90	135	mA	$f_{OUT} = 12.8 \text{ GHz}$
V5_CAL Supply Current	I_{V5_CAL}		170	220	mA	$f_{OUT} = 6.4 \text{ GHz}$, $CLKOUT_DIV = 0$
V5_CP Supply Current	I_{V5_CP}		50	160	μA	
			8		mA	During VCO calibration
V5_CP Supply Current	I_{V5_CP}		55	65	mA	CP current (I_{CP}) = 11.1 mA, $CP_I = 15$
			26		mA	$I_{CP} = 0.79 \text{ mA}$, $CP_I = 0$

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
V _{3.3V_1} Supply Current	I _{3.3V_1}		55.2		mA	CP_1 = 15, EN_BLEED = 1, BLEED_I[1:0] = 512
			170	205	mA	ENSR = low
			170		mA	ENSR = low, R_DEL = 127
			174		mA	ENSR = low, REF_SEL = BST_REF = FILT_REF = 1
			170		mA	ENSR = low, PD_RDET = 1
V _{3.3V_2} Supply Current	I _{3.3V_2}		204		mA	ENSR = high, REF_SEL = 0
			215		mA	During VCO calibration, EN_DRCLK = EN_DNCLK = EN_ADC_CLK = 1
			153		mA	CLKOUT_OP = 0, ENSR = 0 CLKOUT_DIV = 3
			212		mA	CLKOUT_OP = 0, ENSR = high
			217		mA	CLKOUT_OP = 1, ENSR = high
Typical Power Dissipation	P _{DIS}		221		mA	CLKOUT_OP = 2, ENSR = high
			226		mA	CLKOUT_OP = 3, ENSR = high
			128	160	mA	CLKOUT_OP = 0, ENSR = low
			2.22		W	ENSR = high, V _{3.3V_1} = V _{3.3V_2} = 3.3 V, V _{V5_VCO} = 5 V, VCO Core 2 and Core 3
			2.05		W	ENSR = low, V _{3.3V_1} = V _{3.3V_2} = 3.3 V, V _{V5_VCO} = 5 V, VCO Core 0 and Core 1
Typical Power-Down Current						
3.3 V Supplies			11	15	mA	PD_ALL = 1, I _{3.3V_1} + I _{3.3V_2}
5 V Supplies			350	750	μA	PD_ALL = 1, I _{V5_VCO} + I _{V5_CAL} + I _{V5_CP}
Typical Disable Current						
3.3 V Supplies			0.1	1.5	mA	CE = low, I _{3.3V_1} + I _{3.3V_2}
5 V Supplies			350	750	μA	CE = low, I _{V5_VCO} + I _{V5_CAL} + I _{V5_CP}
CLOCK OUTPUT NOISE CHARACTERISTICS						
12 GHz Output Frequency						Device setup ⁷ , f _{OUT} = 12 GHz
Phase Noise Floor			-160		dBc/Hz	
RMS Jitter						
12 kHz to 20 MHz Integration			17.6		fs _{RMS}	
100 Hz to 100 MHz Integration			18		fs _{RMS}	
Equivalent ADC SNR Method ⁸			27		fs _{RMS}	
10 GHz Output Frequency						Device setup ⁷ , f _{OUT} = 10 GHz
Phase Noise Floor			-159.5		dBc/Hz	
RMS Jitter						
12 kHz to 20 MHz Integration			18.5		fs _{RMS}	
100 Hz to 100 MHz Integration			18.7		fs _{RMS}	
Equivalent ADC SNR Method ⁸			30		fs _{RMS}	
8 GHz Output Frequency						Device setup ⁷ , f _{OUT} = 8 GHz
Phase Noise Floor			-160.5		dBc/Hz	
RMS Jitter						
12 kHz to 20 MHz Integration			18		fs _{RMS}	
100 Hz to 100 MHz Integration			18.3		fs _{RMS}	
Equivalent ADC SNR Method ⁸			30		fs _{RMS}	
6 GHz Output Frequency						Device setup ⁷ , f _{OUT} = 6 GHz
Phase Noise Floor			-163		dBc/Hz	
RMS Jitter						

仕様

表 1. 仕様 (続き)

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
12 kHz to 20 MHz Integration			17.7		f _{RMS}	Device setup ⁷ , f _{OUT} = 3 GHz
100 Hz to 100 MHz Integration			18.3		f _{RMS}	
Equivalent ADC SNR Method ⁸			27		f _{RMS}	
3 GHz Output Frequency						Device setup ⁷ , f _{OUT} = 1.5 GHz
Phase Noise Floor			-165.7		dBc/Hz	
RMS Jitter						
12 kHz to 20 MHz Integration			17.7		f _{RMS}	Device setup ⁷ , f _{OUT} = 1.5 GHz
100 Hz to 100 MHz Integration			18.3		f _{RMS}	
Equivalent ADC SNR Method ⁸			28		f _{RMS}	
1.5 GHz Output Frequency						Device setup ⁷ , f _{OUT} = 1.5 GHz
Phase Noise Floor			-169.5		dBc/Hz	
RMS Jitter						
12 kHz to 20 MHz Integration			19.5		f _{RMS}	Device setup ⁷ , f _{OUT} = 1.5 GHz
100 Hz to 100 MHz Integration			20.5		f _{RMS}	
Equivalent ADC SNR Method ⁸			29		f _{RMS}	
Normalized In-Band Phase Noise Floor ⁹	L _{NORM}		-239		dBc/Hz	Normalized to 1 Hz
Normalized 1/f Phase Noise Floor ⁹	L _{1/f}		-287		dBc/Hz	
	L _{1/f_1G_10k}		-147		dBc/Hz	
Spurious						LOCKED bit = 1, f _{REF} = 100 MHz, f _{PFD} = 200 MHz, f _{OUT} = 12 GHz
f _{REF}			-105		dBc	
f _{PFD}			-95		dBc	
f _{SR_IN}			-69		dBc	LOCKED bit = 1, f _{REF} = f _{PFD} = 200 MHz, f _{OUT} = 12 GHz, f _{SR_IN} = 50 MHz
TEMPERATURE SENSOR (ADC)						
ADC Clock Frequency	f _{ADC_CLK}			400	kHz	ADC clock divider output
ADC Clock Divider Frequency	f _{ADC_CLKDIV}			125	MHz	ADC clock divider input
Resolution				8	Bits	

¹ 1.2 V < V_{CP} < 3.4 V。

² 電源再投入後またはソフトウェア・パワーオン・リセット後にキャリブレーションを行ったデバイスに対し 1.60V ≤ V_{VTUNE} ≤ 2.85V の範囲で有効です。

³ 特性評価に基づきます。

⁴ デバイス・セットアップ: f_{REF} = 200MHz, f_{PFD} = 200MHz, f_{OUT} = 3000MHz, ENCLK = ENSR = CE = ハイ。ビット・フィールド: R_{DEL} = 0, N_{DEL} = 0, CP_I = 15, CLKOUT_{OP} = 1, REF_{SEL} = 0, EN_{BLEED} = 0, PD_{RDET} = 0, PD_{ADC} = 0, PD_{LD} = 0, LOCKED = 1。

⁵ デバイス・セットアップ: f_{REF} = 250MHz, f_{SR_IN} = 50MHz, f_{OUT} = 12750MHz, ENCLK = ENSR = CE = ハイ。ビット・フィールド: R_{DEL} = 0, N_{DEL} = 0, CP_I = 15, CLKOUT_{OP} = 1, REF_{SEL} = 0, EN_{BLEED} = 0, PD_{RDET} = 0, PD_{ADC} = 0, PD_{LD} = 0, LOCKED = 1。

⁶ デバイス・セットアップ: f_{REF} = 100MHz, f_{PFD} = 200MHz, f_{OUT} = 12.8GHz, ENCLK = ENSR = CE = ハイ。ビット・フィールド: R_{DEL} = 0, N_{DEL} = 0, CP_I = 15, CLKOUT_{OP} = 1, REF_{SEL} = 0, EN_{BLEED} = 0, PD_{RDET} = 0, PD_{ADC} = 0, PD_{LD} = 0, LOCKED = 1, EN_{DNCLK} = EN_{DRCLK} = EN_{ADC_CLK} = 0, PD_{SRMON} = 0, PD_{SYSREFOUT} = 0, EN_{SR} = ロー。

⁷ デバイス・セットアップ: f_{REF} = 1000MHz, f_{PFD} = 500MHz, ENCLK = ENSR = CE = ハイ。ビット・フィールド: R_{DEL} = 0, N_{DEL} = 0, CP_I = 15, CLKOUT_{OP} = 1, CLKOUT_{2_OP} = 1, REF_{SEL} = 0, EN_{BLEED} = 0, PD_{RDET} = 0, PD_{ADC} = 0, PD_{LD} = 0, LOCKED = 1、リファレンス発振器は NEL Frequency Control 製 0-CEGM-058AWEL-R-1GHz。

⁸ 位相積分範囲は 1kHz ~ f_{OUT} で、これは ADC にクロック供給する場合と同じ結果をもたらします。

⁹ 式 18 ~ 式 22 を参照。これらの値は ADIsimPLL™ でモデル化したものです。

仕様

シリアル・インターフェースのタイミング特性

特に指定のない限り、 $V_{3.3V_1} = V_{3.3V_2} = 3.15V \sim 3.45V$ 、 $V_{V5_VCO} = V_{V5_CP} = V_{V5_CAL} = 4.75V \sim 5.25V$ 、すべての電圧は GND 基準、 $T_A = -40^{\circ}C \sim +105^{\circ}C$ 、動作温度範囲。

表 2. シリアル・インターフェースのタイミング特性

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
SERIAL INTERFACE (CSB, SCLK, SDIO, SDO)						
SCLK Frequency	f_{SCLK}			65	MHz	See Figure 2, Figure 3, and Figure 4
SCLK Pulse Width High	t_{HIGH}	7.6			ns	
SCLK Pulse Width Low	t_{LOW}	7.6			ns	
SDIO Setup Time	t_{DS}	3			ns	
SDIO Hold Time	t_{DH}	3			ns	
SCLK Fall Edge to SDIO Valid Prop Delay	t_{ACCESS_SDIO}	7.6			ns	
SCLK Fall Edge to SDO Valid Prop Delay	t_{ACCESS_SDO}	7.6			ns	
CSB Rising Edge to SDIO High-Z	t_z	7.6			ns	
CSB Falling Edge to SCLK Rise Setup Time	t_s	3			ns	
SCLK Rising Edge to CSB Rise Hold Time	t_H	3			ns	

タイミング図

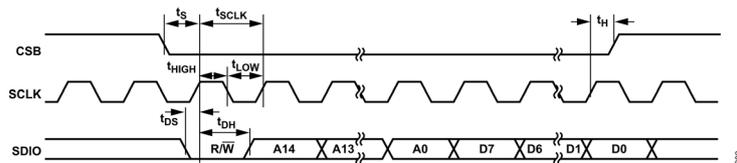


図 2. 書き込みのタイミング図

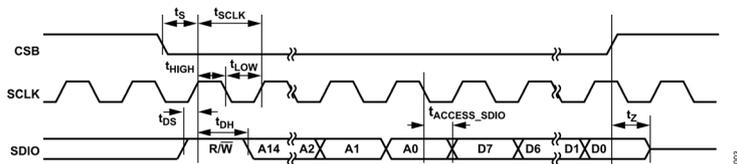


図 3. 3 線式読出しのタイミング図 (SDO_ACTIVE = 0)

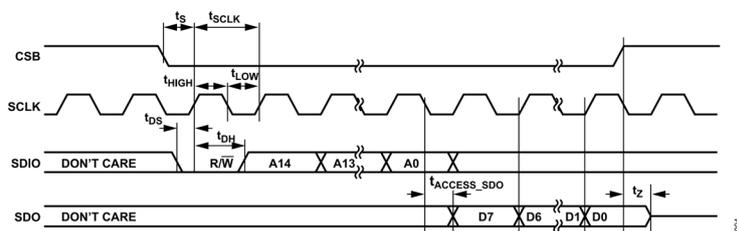


図 4. 3 線式読出しのタイミング図 (SDO_ACTIVE = 1)

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3. 絶対最大定格

Parameter	Rating
$V_{3.3V_1}$ ($V3_LS$, $V3_LDO$, $V3_REF$, $V3_PFD$, $V3_NDIV$) to GND	-0.3 V to +3.6 V
$V_{3.3V_2}$ ($V3_VCO$, $V3_CLKDIV$, $V3_CLK$, $V3_SR$) to GND	-0.3 V to +3.6 V
V_{5V} ($V5_CAL$, $V5_VCO$, $V5_CP$) to GND	-0.3 V to +5.5 V
Voltage on CP Pin	-0.3 V to $V_{V5_CP} + 0.3$ V
Digital Outputs (MUXOUT, LKDET, SDO, SDIO) CLKP, CLKN	5 mA Maximum (GND - 0.3 V, $V_{3.3V_2} - 1.2$ V) to $V_{3.3V_2} + 0.3$ V
SR_OUTP, SR_OUTN	Maximum (GND - 0.3 V, $V_{3.3V_2} - 1.2$ V) to $V_{3.3V_2} + 0.3$ V
REFP, REFN	-0.65 V to $V_{3.3V_1} + 0.65$ V
SR_INP, SR_INN	-0.3 V to $V_{3.3V_1} + 0.3$ V
Voltage on All Other Pins	-0.3 V to $V_{3.3V_1} + 0.3$ V
REFP to REFN, When $V_{3.3V_1} > 3$ V	± 1.35 V
SR_INP to SR_INN, when $V_{3.3V_1} > 3$ V	± 1.35 V
Temperature	
Operating Junction Range ¹	-40°C to +125°C
Storage Range	-40°C to +125°C
Maximum Junction	125°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	30 s

¹ デバイスは、動作ジャンクション温度範囲全域にわたり、仕様規定された性能限界を確実に満たします。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

トランジスタ数

ADF4378 のトランジスタ数は 114258 (CMOS) および 2941 (バイポーラ) です。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。 θ_{JC} は、ジャンクションとケース間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}			θ_{JB}	Ψ_{JT}	Ψ_{JB}	Unit
		TOP	BOTTOM					
CC-48-6 ¹	25.1	25.5	5.8	12.8	2.3	11.4	°C/W	

¹ テスト条件 1：熱抵抗のシミュレーション値は、熱抵抗パドルをグラウンド・プレーンにハンダ付けた 4 層 PCB を使用して測定しています。

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル (CDM)。

ADF4378 の ESD 定格

表 5. ADF4378、48 ピン LGA の ESD 定格

ESD Model	Withstand Threshold (V)	Class
HBM	3500	2
CDM	1250	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

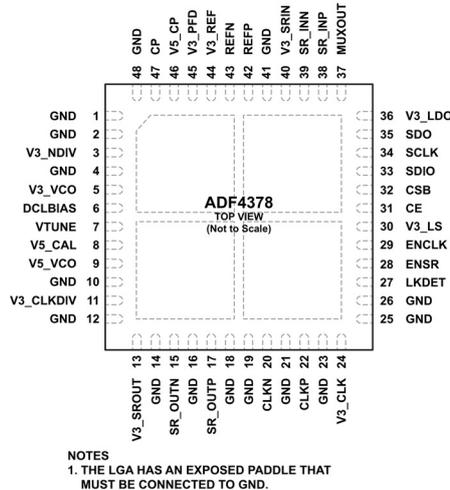


図 5. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 2, 4, 10, 12, 14, 16, 18, 19, 21, 23, 25, 26, 41, 48	GND	負側電源（グラウンド）。これらのピンは、グラウンド・パッドに直接接続する必要があります。
3	V3_NDIV	PLL 帰還分周器回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
5	V3_VCO	VCO 回路の 3.3V 部分用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
6	DCLBIAS	このピンには接続しないでください。
7	VTUNE	VCO チューニング入力。通常、この周波数制御ピンは外部ループ・フィルタに接続します。
8	V5_CAL	VCO キャリブレーション回路用の 4.75V~5.25V 正側電源ピン。このピンは、V5_VCO 電源プレーンに短絡できます。
9	V5_VCO	VCO 回路の 5V 部分用の 4.75V~5.25V 正側電源ピン。
11	V3_CLKDIV	出力分周器回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
13	V3_SROUT	SYSREF バッファ回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
15, 17	SR_OUTN, SR_OUTP	SYSREF 出力信号。再クロックされた SYSREF 入力はこれらのピンに差動で出力されます。出力には、1つの側あたり 50Ω（代表値）の出力抵抗（100Ωの差動インピーダンス）があります。伝送線の他端は通常、出力間に 100Ωを接続して終端されます。通常、これらの出力には 1.2Vのコモン・モードがあり、また、LVDS入力とインターフェイスするよう設計されています。ただし、他のコモン・レベルが可能となる終端スキームがあります。
20, 22	CLKN, CLKP	クロック出力信号。VCO出力分周器はバッファされ、これらのピンに差動で印加されます。出力には、1つの側あたり 50Ω（代表値）の出力抵抗（100Ωの差動インピーダンス）があります。伝送線の他端は通常、出力間に 100Ωを接続して終端されます。出力振幅はシリアル・ポートを介して設定可能です。
24	V3_CLK	クロック 1 バッファ回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 2 内の他のピンに短絡します。
27	LKDET	PLL ロック検出。この出力は、PLL のロック状態を表します。LKDET ピンがロジック・ハイの場合、PLL はロックされています。
28	ENSR	SYSREF 出力バッファのイネーブル。1.8V および 3.3V に対応する CMOS 入力です。ENSR がハイ・レベルの場合、SR_OUTP と SR_OUTN の出力バッファはアクティブになります。ENSR がロー・レベルの場合、SR_OUTP と SR_OUTN の出力バッファはパワー・ダウンします。
29	ENCLK	クロック 1 出力バッファのイネーブル。1.8V および 3.3V に対応する CMOS 入力です。ENCLK がハイ・レベルの場合、CLKP と CLKN の出力バッファはアクティブになります。ENCLK がロー・レベルの場合、CLKP と CLKN の出力バッファはパワー・ダウンします。
30	V3_LS	内部レベル・シフト回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
31	CE	チップ・イネーブル。3.3V の CMOS 入力です。1.8V の CMOS レベルには対応していません。この CMOS 入力はハイに駆動されるとデバイスをイネーブルします。ロジック・ローになるとデバイスをディスエーブルし、デバイスは完全なパワー・ダウン状態になり、レジスタがリセットされます。対照的に、PD_ALL ビットはデバイスをパワー・ダウンしますが、レジスタはリセットしません。

ピン配置およびピン機能の説明

表 6. ピン機能の説明

ピン番号	記号	説明
32	CSB	シリアルポート・チップ・セレクト。1.8V および 3.3V に対応する CMOS 入力です。この CMOS 入力は、ローに駆動されるとシリアル・ポート通信のバーストを開始し、再度ハイに駆動されるとバーストを終了します。
33	SDIO	シリアル・データ入力/出力。1.8V および 3.3V に設定可能な CMOS 入力/出力。入りに設定された場合、シリアル・ポートはデータにこの CMOS 入力を使用します。3 線式リードバック・モード（デフォルト・モード）の場合、このピンは読み出し通信バーストの間にシリアル・ポートからデータを出力します。
34	SCLK	シリアルポート・クロック。1.8V および 3.3V に対応。この CMOS 入力は、立上がりエッジでシリアルポート入力データをクロック同期します。
35	SDO	オプションのシリアル・データ出力。1.8V および 3.3V に設定可能な CMOS 出力。3 線式モード（デフォルト・モード）の場合、このスリーステート CMOS ピンは高インピーダンス状態を維持します。4 線式リードバック・モードの場合、このピンは読み出し通信バーストの間にシリアル・ポートからデータを出力します。CSB がデアサートされると、SDO は高インピーダンスに戻ります。オプションで、200kΩ より高い値の抵抗を接続して、出力がフロート状態にならないようにできます。
36	V3_LDO	内部 LDO 回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
37	MUXOUT	内部デバイス・マルチプレクサ出力。この出力ピンは、複数の内部ノードに接続して、工場出荷テストやデバッグのために使用できます。
38, 39	SR_INP, SR_INN	SYSREF 入力。この入力は、リファレンスに揃えられた SYSREF 信号を SR_OUTP ピンと SR_OUTN ピンの既知のクロック周期に再クロックします。CML、LVPECL、または LVDS に対応する DC カップリングのコモンモード範囲は、シリアル・ポートを通じて選択できます。
40	V3_SRIN	3.15V~3.45V の正側電源。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
42, 43	REFP, REFN	リファレンス入力信号。この差動入力は、遅延一致アンプ（DMA）でバッファされ、出力伝搬遅延に対する制御されたリファレンスを提供します（デフォルト・モード、REF_SEL = 0）。低スルー・レートのリファレンス入力信号の場合は、代わりにシリアル・ポートを介してロー・ノイズ・アンプ（LNA）を選択できます（REF_SEL = 1）。リファレンス入力は自己バイアスされており、1μF のコンデンサで AC カップリングする必要があります。リファレンス入力は、差動入力またはシングルエンド入力を受容します。
44	V3_REF	PLL リファレンス回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
45	V3_PFD	PFD 回路用の 3.15V~3.45V 正側電源ピン。このピンは 3.3V 電源グループ 1 内の他のピンに短絡します。
46	V5_CP	チャージ・ポンプ回路用の 4.75V~5.25V 正側電源ピン。このピンは、V5_VCO 電源ブレンから絶縁する必要があります。
47	CP	チャージ・ポンプ出力。通常、この双方向電流出力は外部ループ・フィルタに接続します。
Exposed Pad	EP	露出パッド。負側電源（グラウンド）。LGA には露出パッドがあり、これをグラウンド・パッドに接続する必要があります。PCB ランド・パターンには、グラウンド・インダクタンスと熱抵抗の両方を低く抑えるために、グラウンド・ブレンへの複数のサーマル・ビアを設ける必要があります。

代表的な性能特性

特に指定のない限り、 $V_{3.3V_1} = V_{3.3V_2} = 3.3V$ 、 $V_{5V} = 5V$ 、すべての電圧は GND 基準、 $T_A = 25^\circ C$ 。

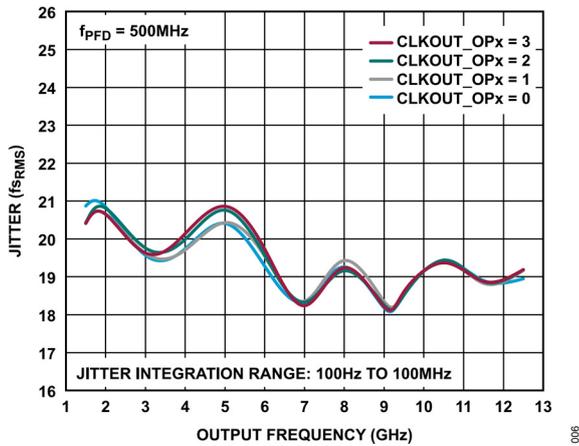


図 6. 異なる出力振幅でのジッタと出力周波数の関係

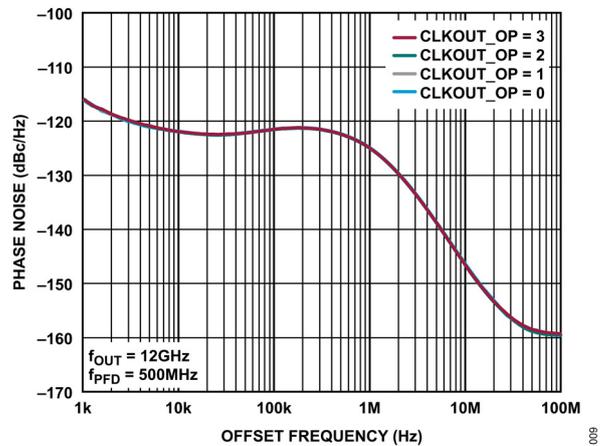


図 9. 異なる出力振幅でのクローズド・ループ位相ノイズ

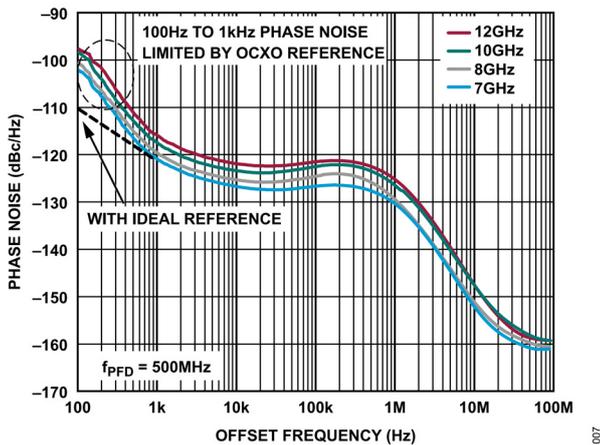


図 7. 異なる出力周波数でのクローズド・ループ位相ノイズ

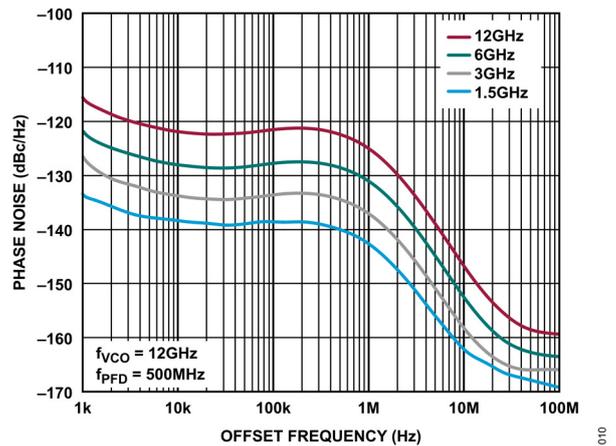


図 10. 異なる CLKOUT_DIV 設定でのクローズド・ループ位相ノイズ

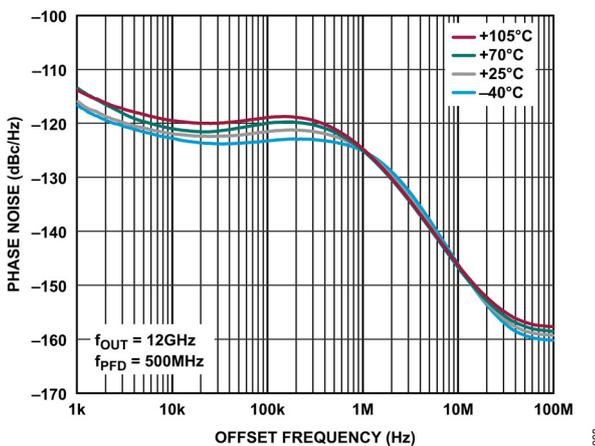


図 8. 異なる温度でのクローズド・ループ位相ノイズ

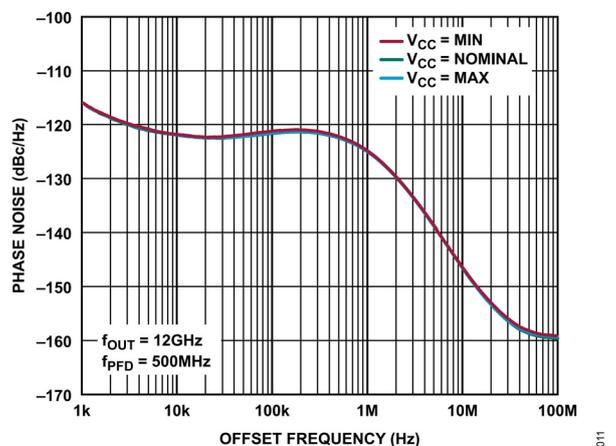


図 11. 異なる電源電圧でのクローズド・ループ位相ノイズ

代表的な性能特性

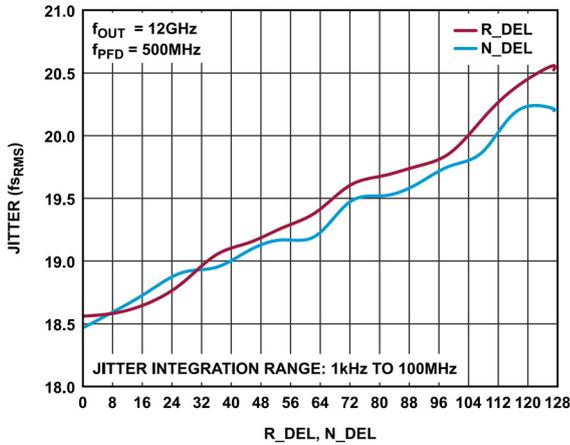


図 12. ジッタと R_DEL、N_DEL の関係

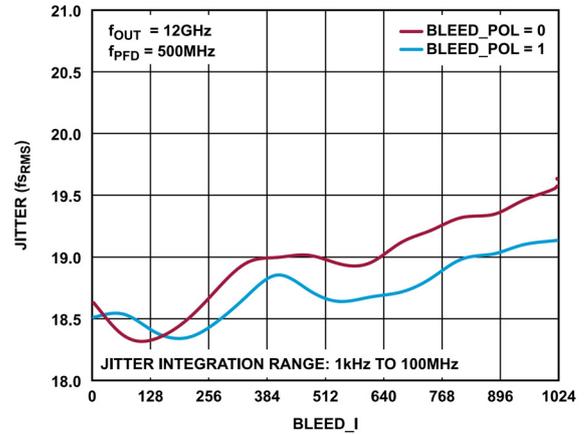


図 15. ジッタと BLEED_I の関係

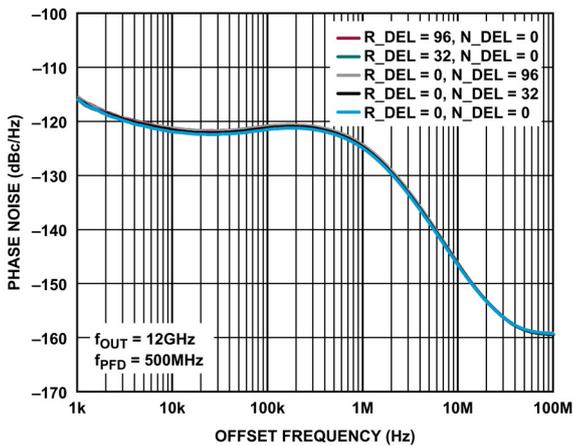


図 13. 異なる R_DEL および N_DEL 設定でのクローズド・ループ位相ノイズ

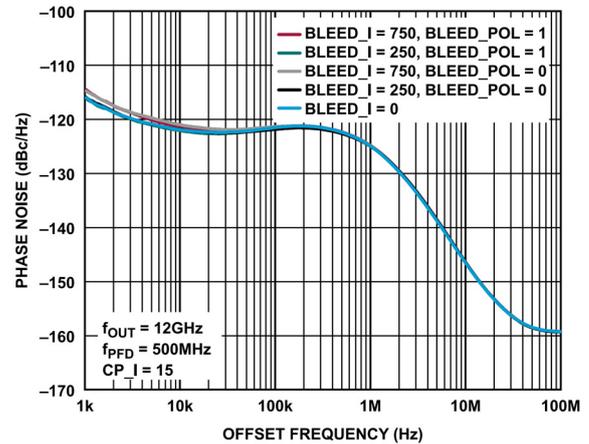


図 16. 異なるチャージ・ポンプ・ブリード遅延でのクローズド・ループ位相ノイズ

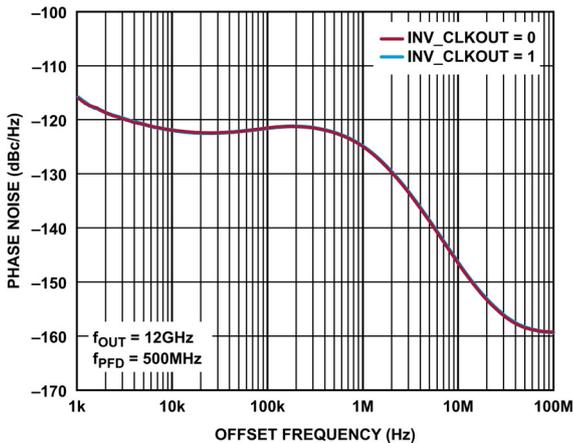


図 14. 異なるクロック反転設定でのクローズド・ループ位相ノイズ

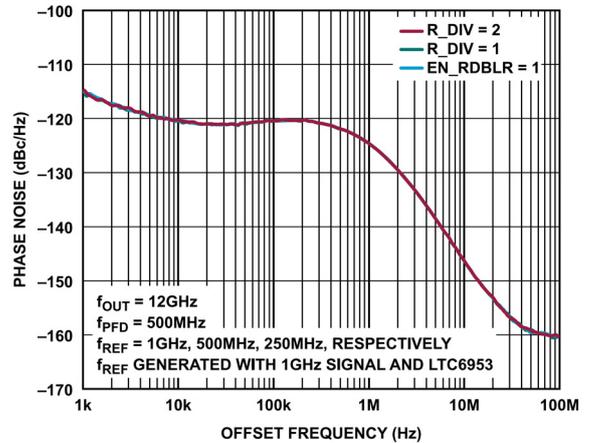


図 17. 異なるリファレンス・ダブラおよびリファレンス分周器設定でのクローズド・ループ位相ノイズ

代表的な性能特性

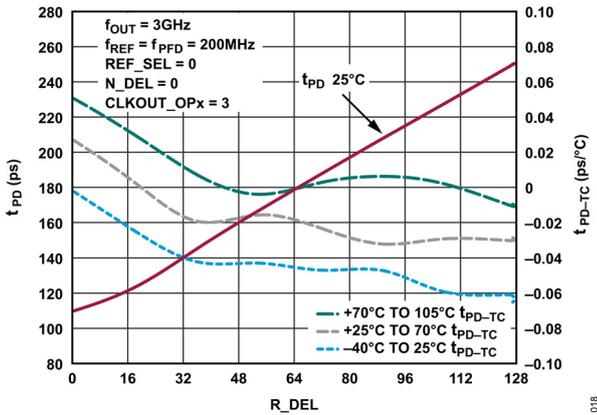


図 18. 伝搬遅延 (t_{PD}) および伝搬遅延温度係数 (t_{PD-TC}) と R_DEL の関係

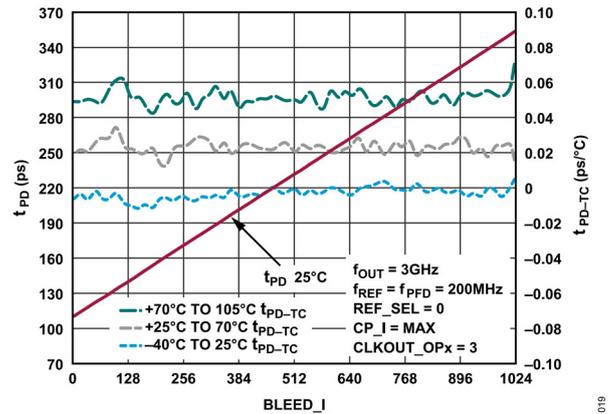


図 21. t_{PD} および t_{PD-TC} と $BLEED_I$ の関係、 $BLEED_POL = 0$

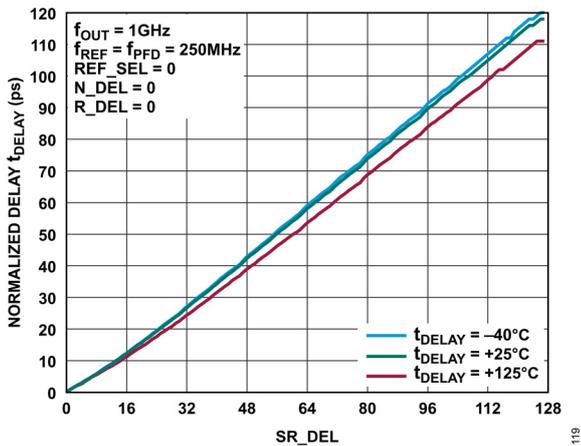


図 19. SYSREF と CLK の間の正規化遅延 (t_{DELAY}) と SR_DEL の関係

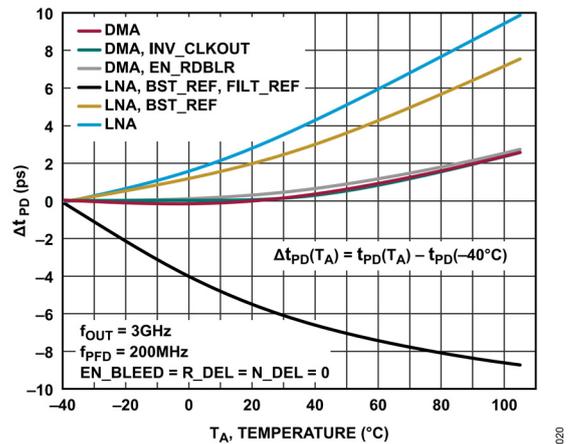


図 22. 伝搬遅延差 (Δt_{PD}) と T_A 、温度、デバイス設定の関係

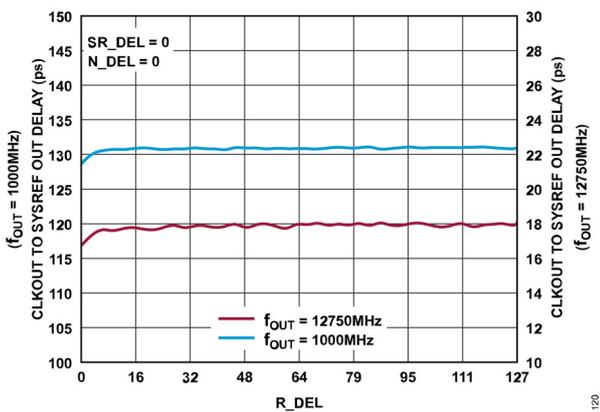


図 20. CLK OUT と SYSREF OUT の間の遅延と R_DEL の関係、 $f_{OUT} = 1000\text{MHz}$ および $f_{OUT} = 12750\text{MHz}$

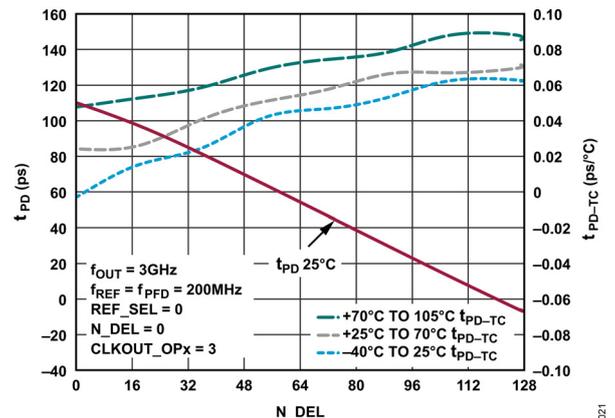


図 23. t_{PD} および t_{PD-TC} と N_DEL の関係

代表的な性能特性

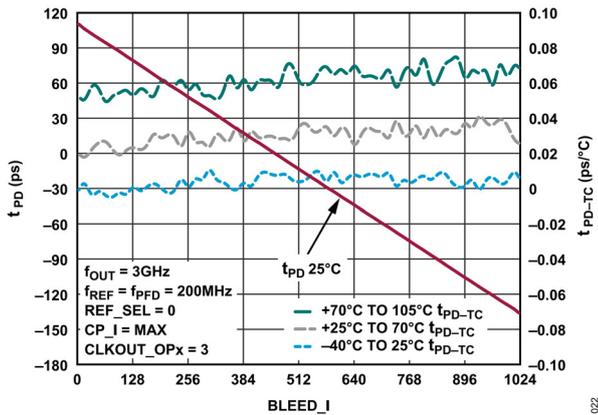


図 24. t_{PD} および t_{PD-TC} と BLEED_I の関係、BLEED_POL = 1

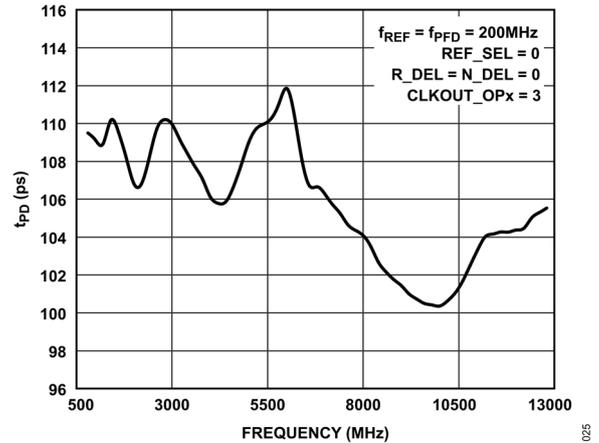


図 27. t_{PD} と周波数の関係

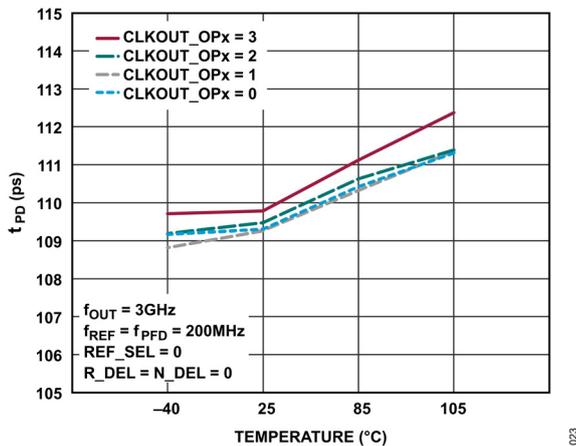


図 25. t_{PD} と温度および CLKOUT_OP 設定の関係

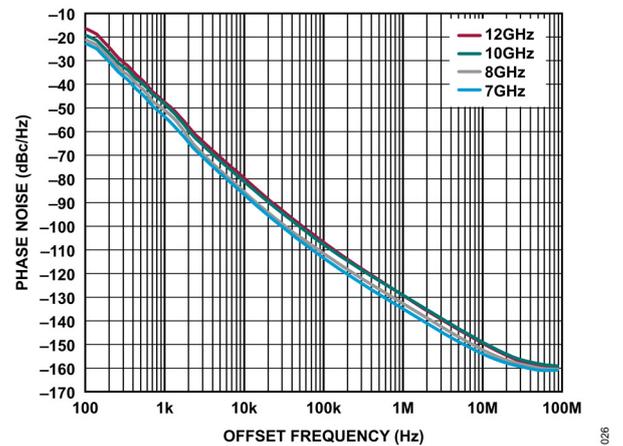


図 28. 異なる周波数でのオープン・ループ VCO の位相ノイズ

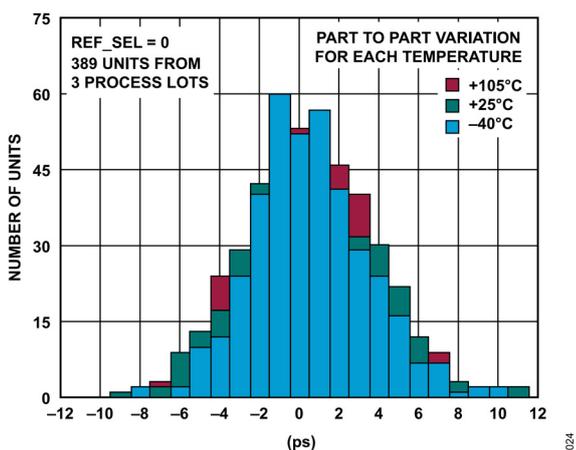


図 26. 正規化伝搬遅延 (t_{PD}) のヒストグラム

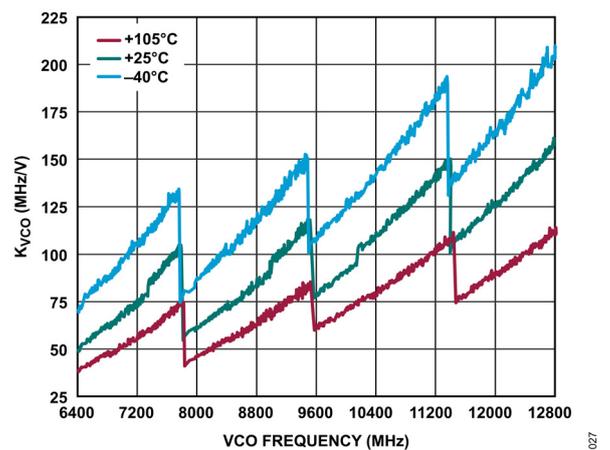


図 29. 異なる周波数および温度での K_{VCO}

代表的な性能特性

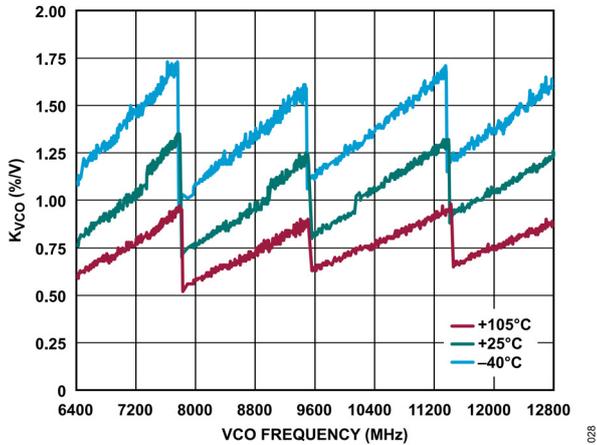


図 30. 異なる周波数および温度での K_{VCO} パーセンテージ

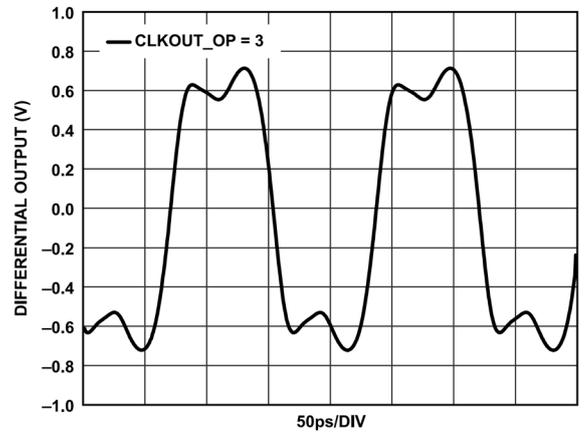


図 33. 差動出力 (6GHz)

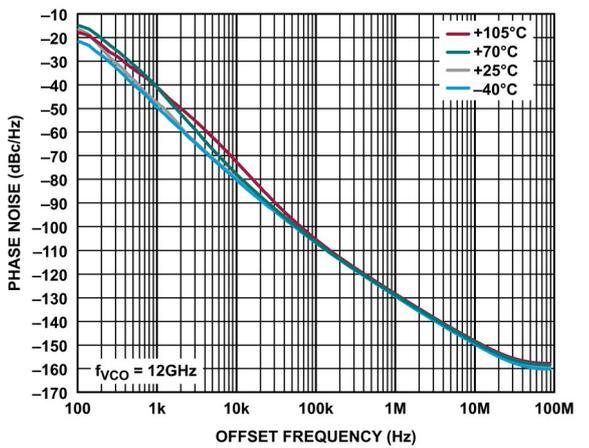


図 31. 異なる温度でのオープン・ループ VCO の位相ノイズ

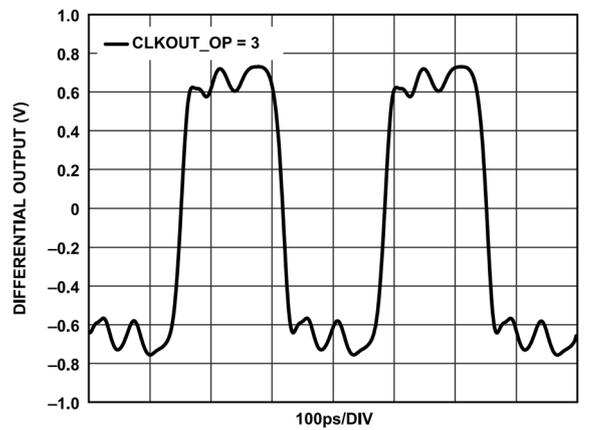


図 34. 差動出力 (3GHz)

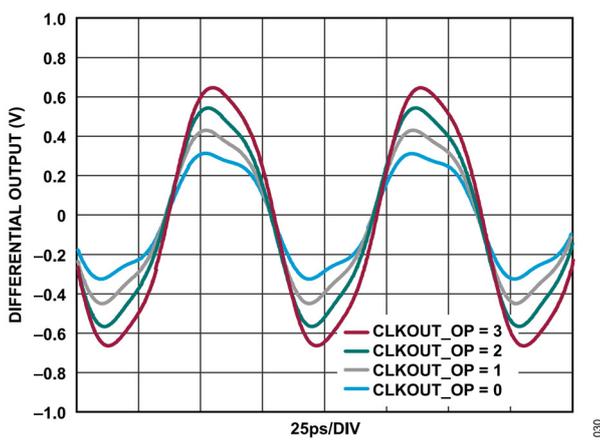


図 32. 差動出力 (12GHz)

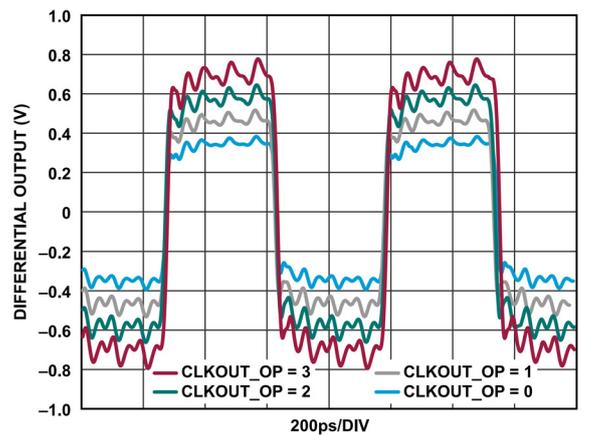


図 35. 差動出力 (1.5GHz)

代表的な性能特性

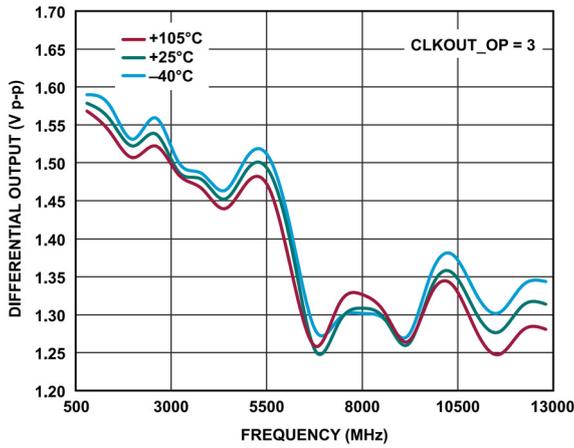


図 36. 差動出力と周波数および温度の関係

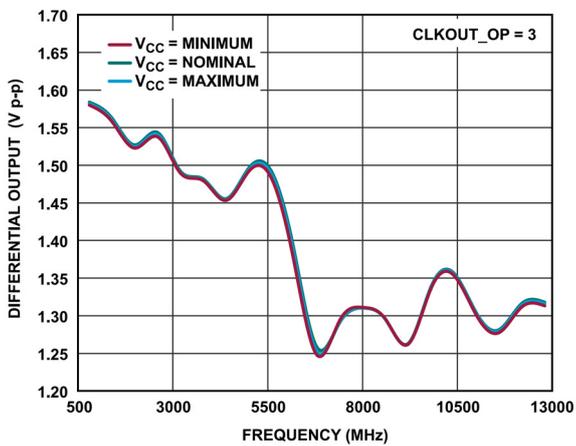


図 37. 差動出力と周波数および電源電圧の関係

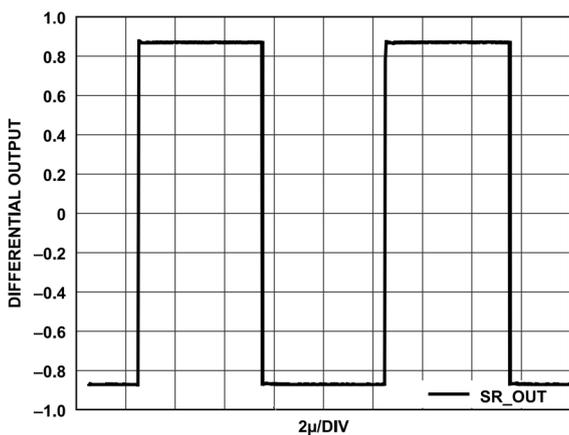


図 38. 差動連続 SR_OUT (100kHz) (1MΩ で終端)

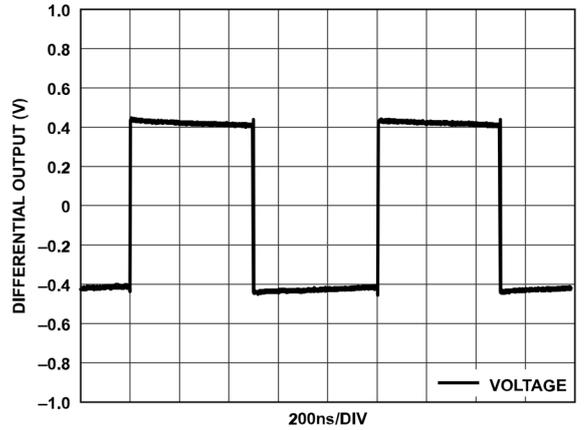


図 39. 差動連続 SR_OUT (1MHz)

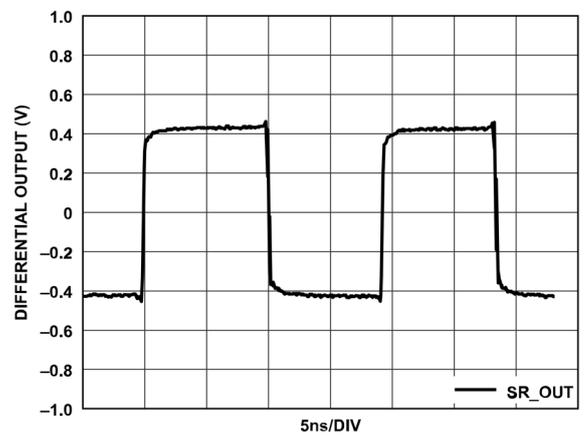


図 40. 差動連続 SR_OUT (50MHz)

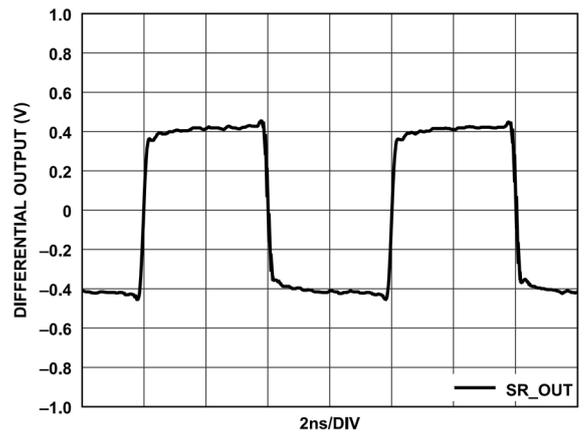


図 41. 差動連続 SR_OUT (125MHz)

代表的な性能特性

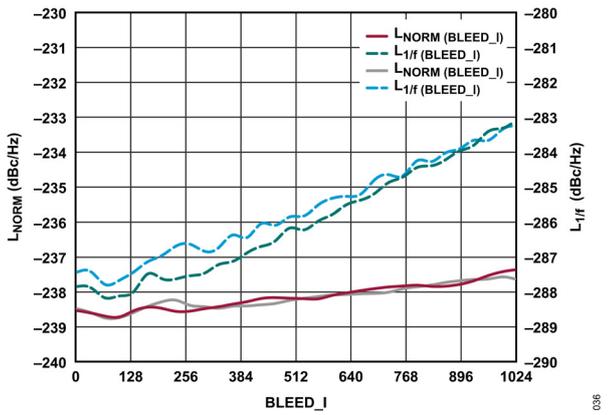


図 42. L_{NORM} および L_{1/f} と BLEED_I の関係

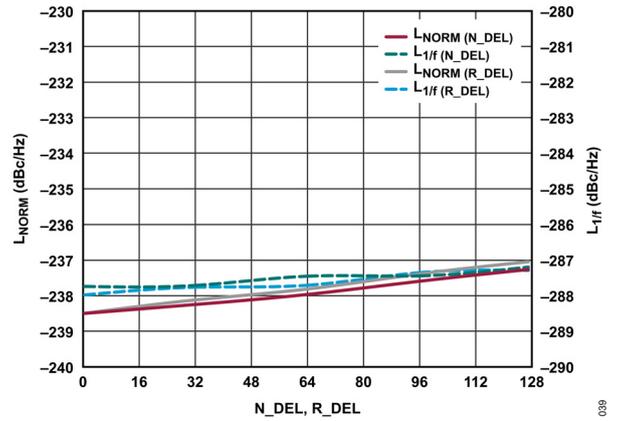


図 45. L_{NORM} および L_{1/f} と N_DEL および R_DEL の関係

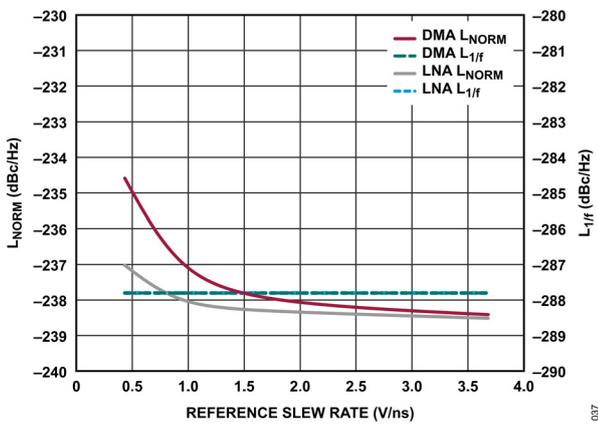


図 43. L_{NORM} および L_{1/f} とリファレンス・スルー・レートおよびリファレンス・アンプの関係

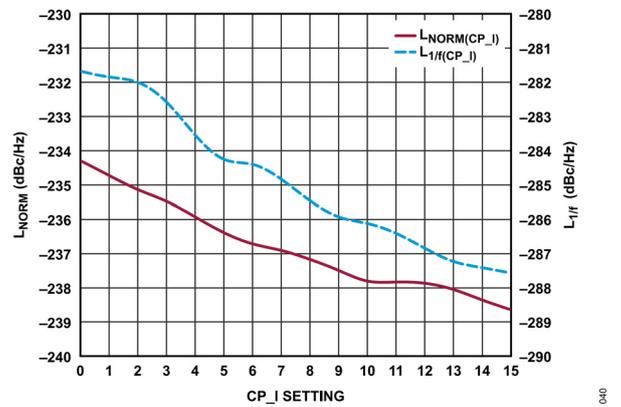


図 46. L_{NORM} および L_{1/f} と CP_I 設定の関係

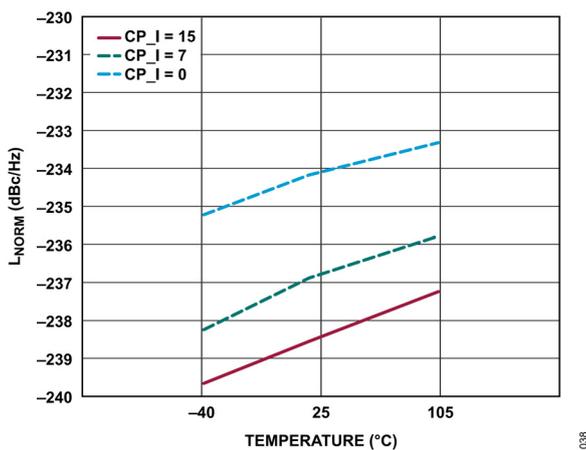


図 44. L_{NORM} と温度およびチャージポンプ電流の関係

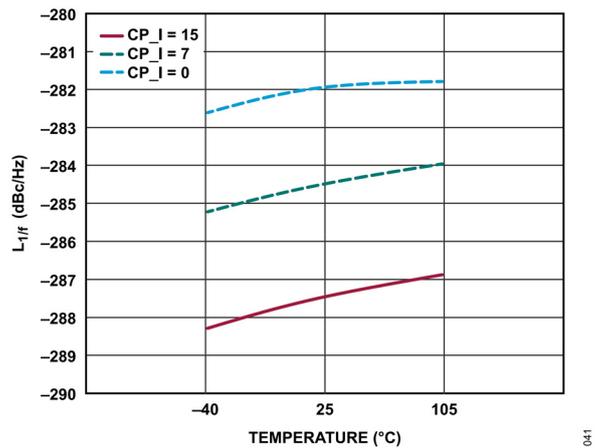


図 47. L_{1/f} と温度およびチャージポンプ電流の関係

代表的な性能特性

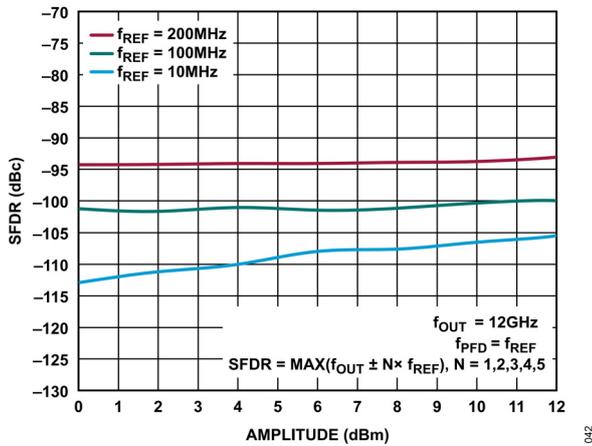


図 48. 異なるリファレンス周波数およびリファレンス振幅でのリファレンスおよび PFD のスプリアス・レベル、EN_RDBLR = 0

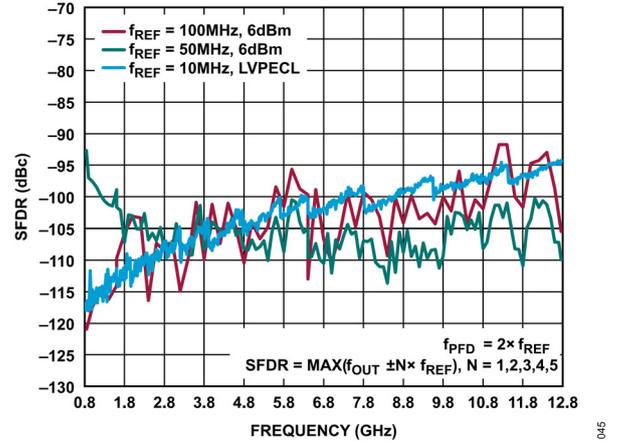


図 51. 異なるリファレンス入力周波数および出力周波数でのリファレンスおよび PFD のスプリアス・レベル、EN_RDBLR = 1

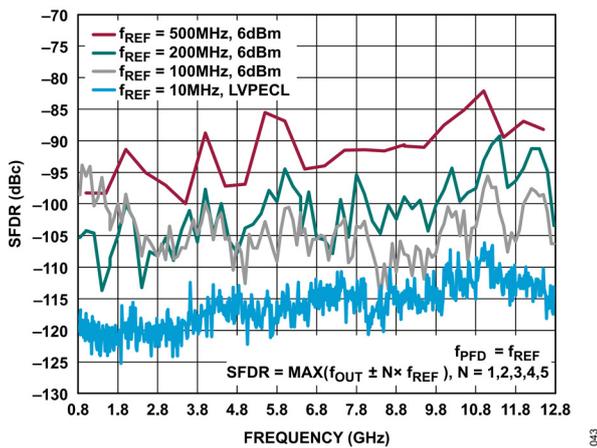


図 49. 異なるリファレンス周波数および出力周波数でのリファレンスおよび PFD のスプリアス・レベル、EN_RDBLR = 0

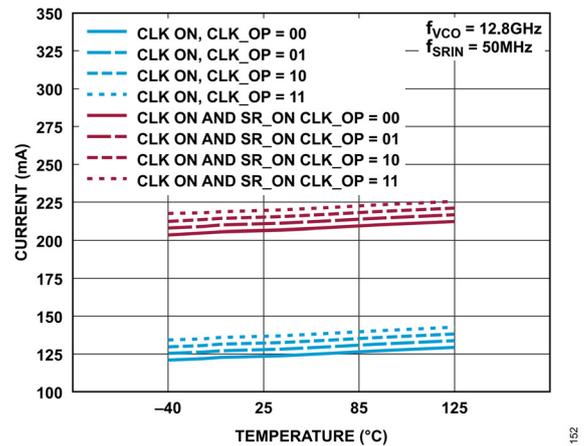


図 52. 異なるジャンクション温度および出力設定での 3.3V 電源グループ 2 電流

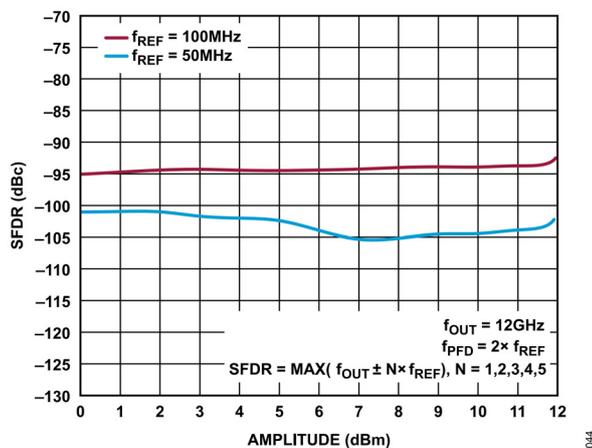


図 50. 異なるリファレンス周波数およびリファレンス振幅でのリファレンスおよび PFD のスプリアス・レベル、EN_RDBLR = 1

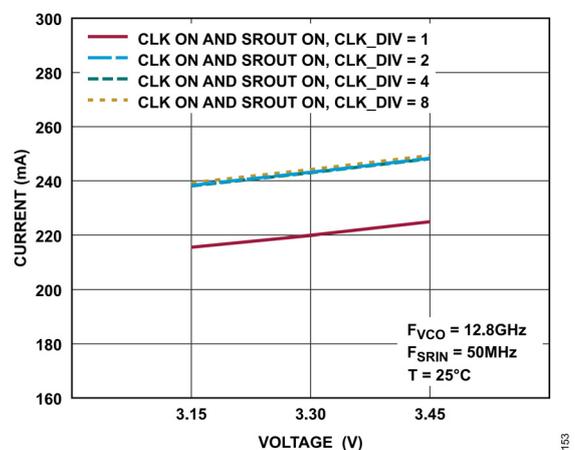


図 53. 異なる電源電圧および CLKOUT_DIV 設定での 3.3V 電源グループ 2 電流

代表的な性能特性

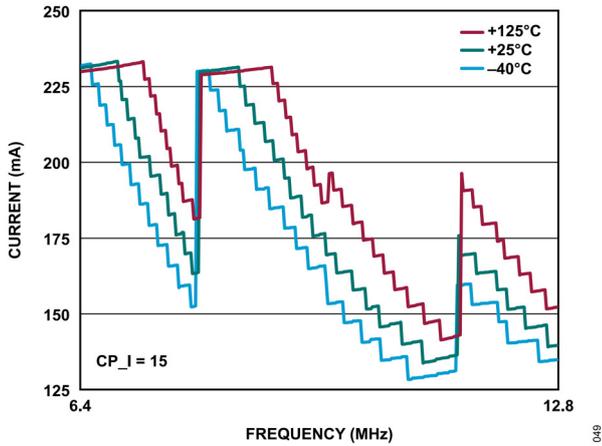


図 54. 異なる出力周波数およびジャンクション温度での 5V 電源電流

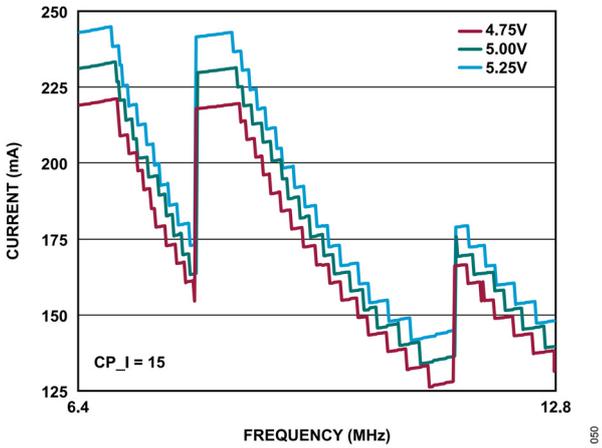


図 55. 異なる出力周波数および電源電圧での 5V 電源電流

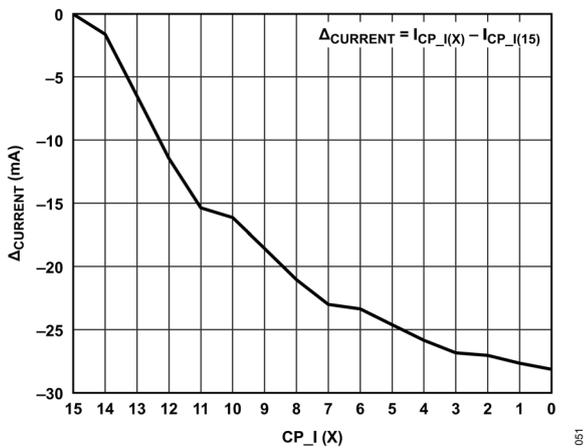


図 56. 異なる CP_I 設定での 5V 電源電流差 (Δ_{CURRENT})

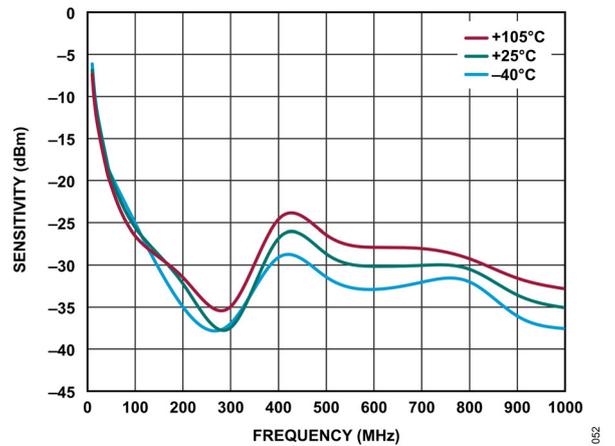


図 57. 異なるリファレンス周波数および温度での DMA リファレンス入力感度

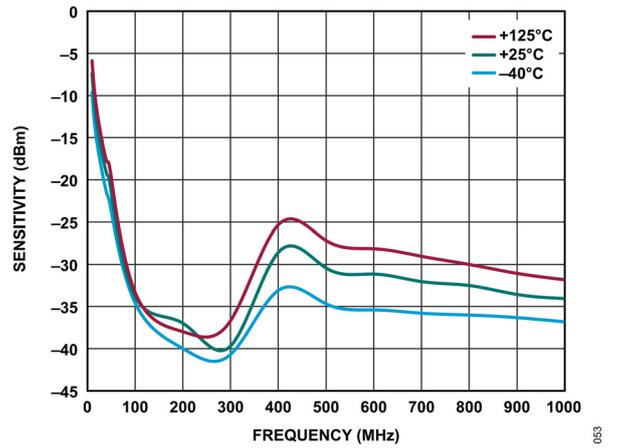


図 58. 異なるリファレンス周波数および温度での LNA リファレンス入力感度

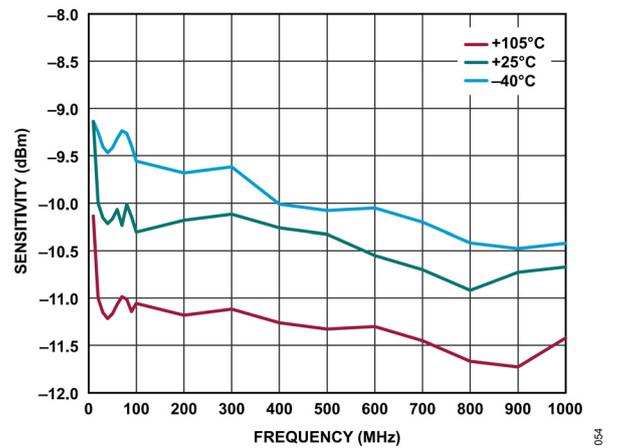


図 59. 異なるリファレンス周波数および温度で検出されたリファレンス入力信号

代表的な性能特性

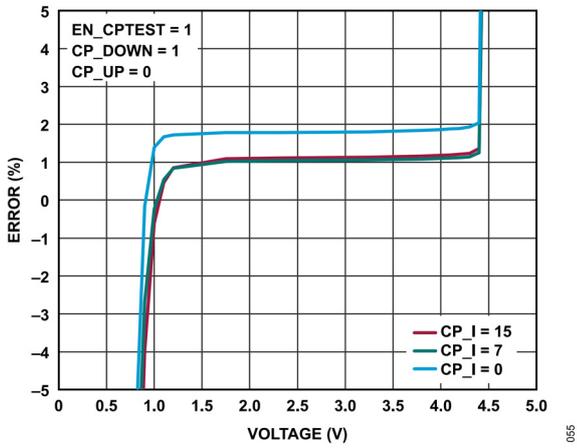


図 60. 異なるチャージ・ポンプ電圧および CP_I 設定でのチャージ・ポンプ・シンク電流誤差

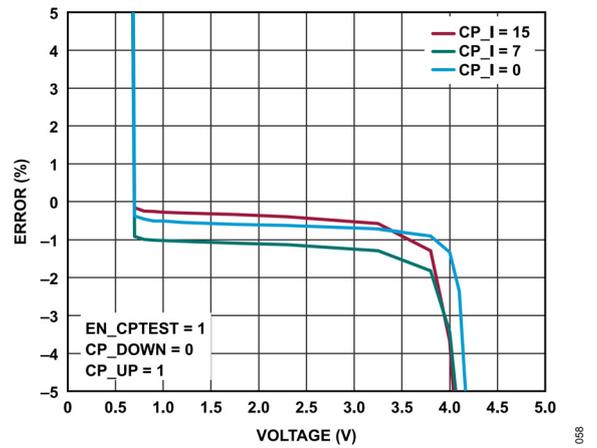


図 63. 異なるチャージ・ポンプ電圧および CP_I 設定でのチャージ・ポンプ・ソース電流誤差

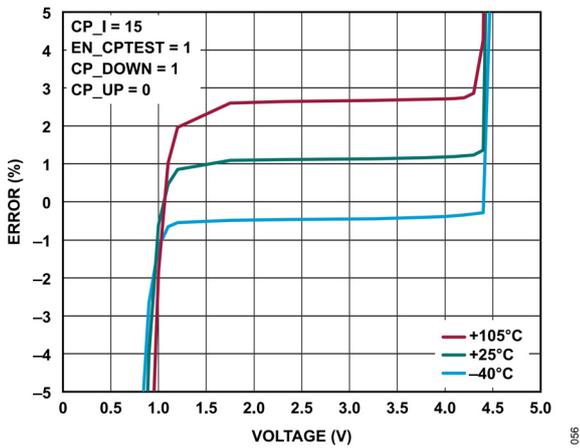


図 61. 異なるチャージ・ポンプ電圧および温度でのチャージ・ポンプ・シンク電流誤差

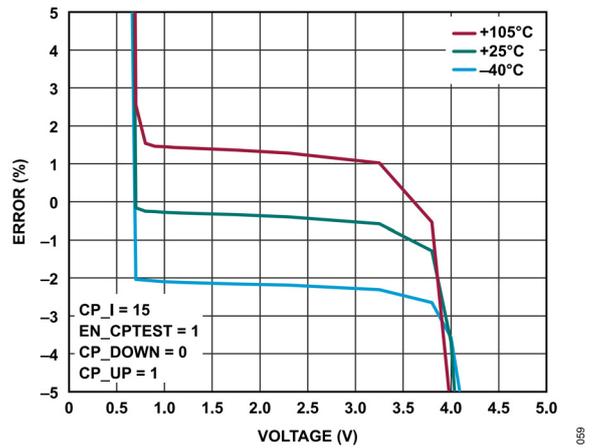


図 64. 異なるチャージ・ポンプ電圧および温度でのチャージ・ポンプ・ソース電流誤差

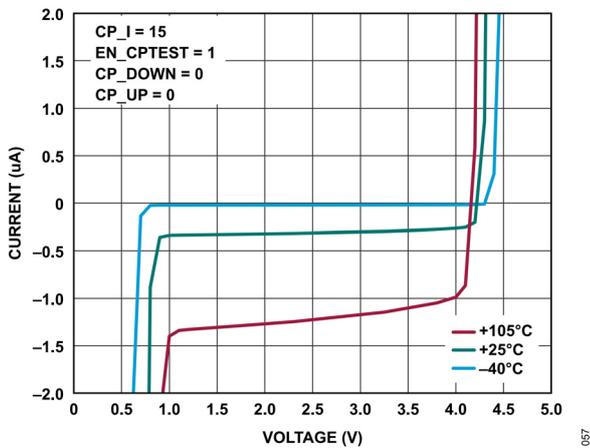


図 62. 異なるチャージ・ポンプ電圧および温度でのチャージ・ポンプ高インピーダンス電流

動作原理

はじめに

PLL は、概念的には周波数通倍器とみなせる、複合的な帰還システムです。このシステムは、リファレンス入力周波数 (f_{REF}) を通倍し、より高い周波数をクロック出力ピンに供給します (f_{OUT})。PFD、チャージ・ポンプ、出力分周器、帰還分周器、VCO、外部ループ・フィルタが帰還ループを形成し、出力周波数を正確に制御します (図 65 参照)。周波数の分解能を設定するには、リファレンス分周器、またはリファレンス・ダブラを使用します。

その他、ADF4378 には入力および出力のクロック・ペアがあり、これを用いるとリタイミングされた SYSREF クロックを JESD204B/C デバイスに供給できます。外部クロック供給製品で生成された SYSREF クロックは、リファレンス・クロック、帰還クロック、出力クロックでリタイミングされます。これにより、温度やシステム・レベルの不整合による影響がすべて補償される、十分に制御されたデバイス・クロックと SYSREF クロックのペアが可能となります。

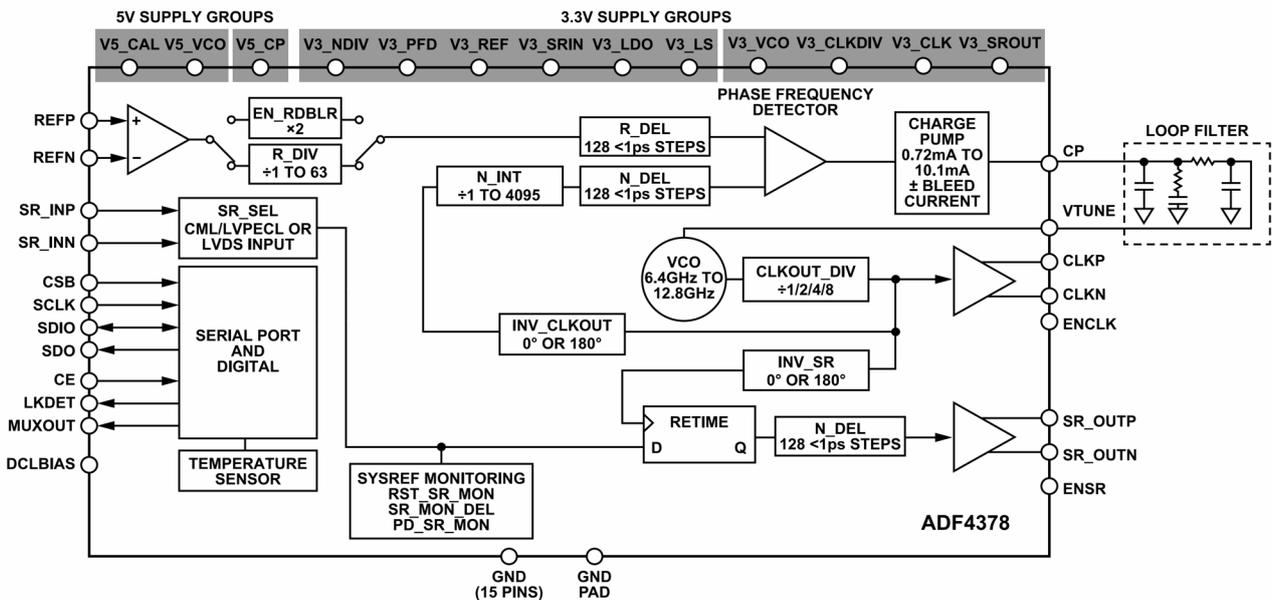


図 65. PLL ループの回路図

165

動作原理

出力周波数

EN_RDBLR = 0 の場合

ループがロックされている場合、VCO の出力に現れる周波数 (f_{VCO}) (Hz) は、リファレンス周波数 (f_{REF}) および式 1 で与えられる O、R、N の各値によって決まります。詳細については、表 11 と表 18 を参照してください。

$$f_{VCO} = f_{REF} \times \frac{N \times O}{R} \tag{1}$$

生成される PFD 周波数 (f_{PFD}) は式 2 で与えられます。

$$f_{PFD} = \frac{f_{REF}}{R} \tag{2}$$

f_{VCO} は次式のように表すこともできます。

$$f_{VCO} = f_{PFD} \times N \times O \tag{3}$$

出力分周器の出力に現れる出力周波数 (f_{OUT}) は、式 4 のようになります。

$$f_{OUT} = \frac{f_{VCO}}{O} \tag{4}$$

N が 1 だけ変化することで生じる出力周波数の分解能 (f_{STEP}) は式 5 で与えられます。

$$f_{STEP} = f_{PFD} \tag{5}$$

EN_RDBLR = 1 の場合

ループがロックされている場合、VCO の出力に現れる周波数 (f_{VCO}) (Hz) は、リファレンス周波数 (f_{REF}) および式 6 で与えられる O、D、N の各値によって決まります。

$$f_{VCO} = f_{REF} \times D \times N \times O \tag{6}$$

EN_RDBLR=1 の場合、生成される PFD 周波数 (f_{PFD}) は式 7 で与えられます。

$$f_{PFD} = f_{REF} \times D \tag{7}$$

f_{VCO}、f_{OUT}、f_{STEP} に対する式 3、式 4、式 5 は、EN_RDBLR=1 の場合と同じです。

回路の説明

リファレンス入力バッファ

PLL のリファレンス周波数は REFP ピンと REFN ピンに差動で印加されます。これらの高インピーダンス入力には自己バイアスされており、1μF のコンデンサで AC カップリングする必要があります (簡略化した回路図については図 66 を参照)。あるいは、差動入力をシングルエンド入力として設定することもできます。そのためには、REFP にリファレンス周波数を印加し、REFN は 1μF のコンデンサで GND にバイパスします (図 86 参照)。

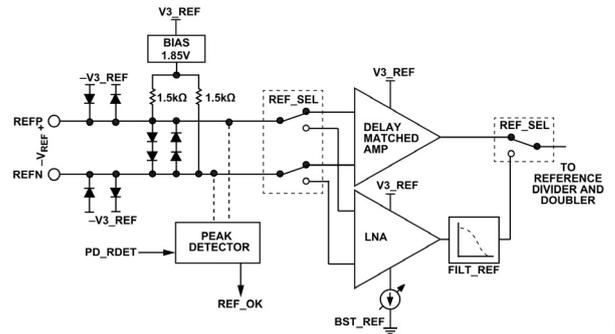


図 66. リファレンス入力段

REFP 入力と REFN 入力には高品質の信号を印加する必要があります。これらの入力が PLL 全体に周波数リファレンスを提供しているためです。PLL の帯域内位相ノイズ性能を実現するには、スルー・レートが 1000V/μs 以上の連続波信号または方形波を印加してください。リファレンス入力信号の条件やインターフェイス方法に関する詳細については、リファレンス源に関する考慮事項のセクションを参照してください。

REF_SEL ビットを 0 に設定すると、DMA バッファが選択されます。DMA は、方形波や高周波数で大振幅のサイン波などの、高スルー・レート信号に対し最適化されています。DMA では、リファレンス入力からクロック出力への伝搬遅延が制御されるため、広い温度範囲にわたり時間ゼロのマルチチップ・クロック・アライメントが容易に可能です。

REF_SEL ビットを 1 に設定すると、LNA が選択されます。LNA は、低周波数または小振幅のサイン波などの、低スルー・レート信号に対し最適化されています。

帯域内ノイズ性能と伝搬遅延を最適なものにするために、REF_SEL ビットは適切に設定する必要があります。推奨する設定については、表 7、図 43、式 8 を参照してください。

表 7. REF_SEL の設定

REF_SEL	Sine Wave Slew Rate (V/μs)	Square Wave	Optimized t _{PD}
0	≥1500	Preferred	Yes
1	<1500	Not applicable	Not applicable

サイン波のスルー・レートを計算するには、次式を用います。

$$Slew\ Rate = 2 \times \pi \times f \times V \tag{8}$$

ここで、

f = サイン波の周波数。

V = サイン波の振幅 (V_{PK}) 。

FILT_REF ビットは、リファレンス入力の LNA のローパス・フィルタを制御するビットで、入力リファレンス信号の広帯域ノイズを制限するために f_{REF} に応じたサイン波信号用に設定する必要があります。この FILT_REF ビットは、正規化された帯域内位相ノイズ・フロア L_{NORM} を実現するよう適切に設定する必要があります。推奨する設定については、表 8 を参照してください。方形波を入力する場合は、FILT_REF を 0 に設定する必要があります。

動作原理

表 8. FILT_REF の設定

FILT_REF	Sine Wave f_{REF}	Square Wave f_{REF}
0	≥ 20 MHz	All f_{REF}
1	< 20 MHz	Not applicable

LNA のリファレンス入力バッファが飽和しないよう、BST_REF ビットは入力信号レベルに基づいて設定する必要があります。BST_REF の設定は、入力がサイン波か方形波かによらず同じです。推奨する設定については表 9 を参照してください。また、設定例についてはアプリケーション情報のセクションを参照してください。

表 9. BST_REF の設定

BST_REF	Sine Wave V_{REF}
0	≥ 1.6 V p-p
1	< 1.6 V p-p

リファレンス・ピーク検出器

REFP 入力と REFN 入力にはリファレンス入力ピーク検出回路があり、リファレンス信号の存在を検出し REF_OK ステータス・フラグを発生します。これは、シリアル・ポート・レジスタ REG0049 を通じて読み出せます。検出閾値付近で REF_OK フラグが不安定になるのを防ぐため、回路にはヒステリシスが設けられています。

このピーク検出器は実効値検出器に類似したものです。そのため、サイン波入力と方形波入力の検出閾値は $4/\pi$ だけ異なります。REF_OK の検出値については表 10 を参照してください。

表 10. REF_OK のステータス出力とリファレンス入力の関係

REF_OK	Sine Wave V_{REF}	Square Wave V_{REF}
1	≥ 200 mV p-p	≥ 155 mV p-p
0	< 160 mV p-p	< 125 mV p-p

リファレンス分周器 (R) とダブル (D)

EN_RDBLR ビットが 1 に設定されている場合、周波数通倍器を用いて周波数が 2 倍にされ、PFD に出力されます。EN_RDBLR ビットが 0 に設定されている場合、6 ビットの分周器 R_DIV を用いて周波数が低減され、PFD に出力されます。リファレンスの分周比 R は、すべての整数分周の値を含む、1~63 の任意の整数値に設定できます。分周比 R を直接設定するには、REG0012 の R_DIV[5:0] ビットを使用します (図 67 および表 11 を参照)。R、D と f_{REF} 、 f_{PFD} 、 f_{VCO} 、 f_{OUT} の各周波数との関係については、出力周波数のセクションを参照してください。DCLK_MODE ビットの状態は表 17 によって決められます。

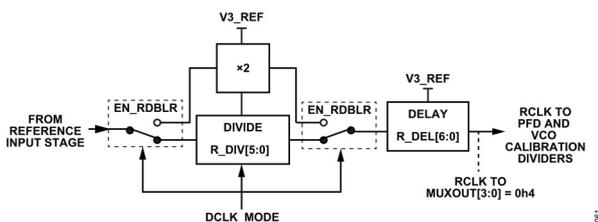


図 67. リファレンス分周器とダブル

表 11. EN_RDBLR および R_DIV の設定

EN_RDBLR	R_DIV[5:0]	R	D
1	Not applicable	Not applicable	2
0	0	1	Not applicable
0	1	1	Not applicable
0	Not applicable
0	63	63	Not applicable

リファレンス遅延

7 ビットの遅延 R_DEL を用いると、リファレンス入力ピンからクロック出力ピンまでの伝搬遅延を増加できます。リファレンス遅延 (τ_{RDEL}) を直接設定するには R_DEL[6:0] ビットを使用します。通常、0ps~127ps の範囲を 1ps ステップで設定できます (図 68 参照)。

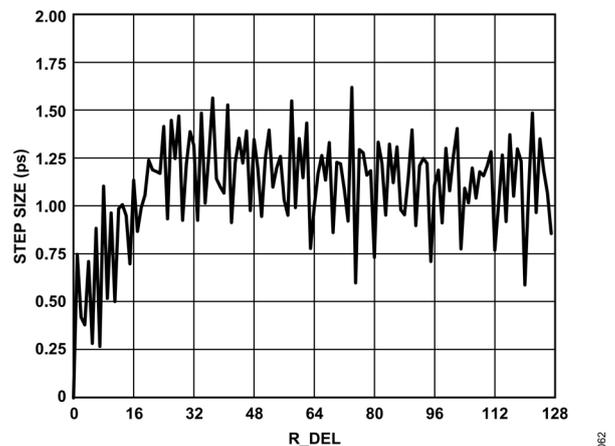


図 68. 代表的なリファレンス遅延のステップ・サイズと R_DEL レジスタ設定の関係

INV_CLKOUT、N_DEL、R_DEL を連携して用いると、マルチチップの出力間スキューを ± 0.5 ps 以内に揃えることができます。図 45 は、R_DEL を最大に設定すると L_{NORM} が 1dB 増加することを示しています。INV_CLKOUT が性能を低下させることはなく、 $1/f_{OUT}$ 周期の 1/4 より大きなマルチチップの出力間スキューに対して調整を行うには、大きな N_DEL 値または R_DEL 値を用いる代わりに INV_CLKOUT を用いる必要があります。その結果、 τ_{RDEL} の最大調整幅は、 $1/f_{OUT}$ 周期の 1/4 より大きくする必要がなくなります。R_DEL、N_DEL、INV_CLKOUT、BLEED_I、BLEED_POL の間の関係については、複数の ADF4378 の出力位相のアライメントのセクションを参照してください。

SYSREF 入力バッファ

再クロックするために分配された SYSREF 信号は、SR_INP ピンと SR_INN ピンに差動で印加されます。ADF4378 の SYSREF 入力は、広範な信号タイプに対応します。REG0042 の SR_SEL ビットには 2 通りの設定があります。SR_SEL = 0 の場合は、ADF4378 SYSREF 入力バッファが CML/LVPECL 動作用に設定され、内部コモン・モード電圧は 1.85V に設定されます。SR_SEL = 1 の場合は、内部バッファが一般的な LVDS 入力用に設定され、内部コモン・モード電圧は 1.3V に設定されます。あるいは、SR_SEL = 1 に設定して SR_INP および SR_INN にパイアス・ネットワークを設計することで、シングルエンド構成を用いることもできます。SYSREF インターフェイス・ネットワークの例に

動作原理

つについては、[SYSREF 入力ネットワーク](#)のセクションを参照してください。ADF4378 は、連続、パースト、ランダム、またはシングル・パルスの SYSREF 信号に対応しています。

SYSREF モニタ

SR_INP 入力および SR_INN 入力には SYSREF モニタが備わっており、SYSREF 信号の存在を検知し、SYSREF およびリファレンスのセットアップ時間とホールド時間をチェックします。これは SR_OK ステータス・フラグを通じてレポートされ、シリアルポート・レジスタ REG0049 を通じて読み出せます。SYSREF モニタが SR_IN のセットアップ時間とホールド時間の不一致を検出した場合は、リード・バック後に SR_OK が 0 を示し、フォルト・イベントが生じたことを表示します。PD_SYSOUT 制御または ENSR ピンを用いて SYSREF 出力がディスエーブルされている場合も SR_OK ビットは 0 になります。リード・バック後に SR_OK が 0 になると、REG0042 の RST_SR_MON を 1 にセットした後 0 に戻すことで SYSREF モニタが正しくリセットされるまで、0 をリード・バックし続けます。その後は、タイミングが SYSREF モニタの制限範囲内にあると仮定して、SR_OK が 1 をリード・バックし続けます。

SYSREF 遅延

7 ビットの遅延 SR_DEL を用いて、SYSREF 出力からクロック出力までの遅延スキューを増加できます。遅延を設定するには、REG0043 の SR_DEL ビット[6:0]を用います。

ADF4378 は、SYSREF 出力エッジが全温度範囲にわたり CLKP および CLKN の 1 周期以内に収まるようにします。SR_DEL ビットは約 0.8ps の調整遅延ステップが可能です。

REG0043 の INV_SR が 0 の場合、SYSREF はクロックの立上がりエッジに揃います。このリタイミング・エッジは反転可能です。これは、遅延のクロック周期の半分を追加する効果があります。これをイネーブルするには、REG0043 の INV_SR を 1 に設定します。

位相／周波数検出器 (PFD)

PFD は、チャージ・ポンプと共に、リファレンス分周器またはリファレンス・ダブラの出力と帰還分周器の出力の位相差に比例した、ソース電流パルスおよびシンク電流パルスを生成します。この動作により、ループを位相ロックするのに必要な帰還が生成され、位相を PFD の入力と揃えることができます。PFD の簡略化した回路図を [図 69](#) に示します。

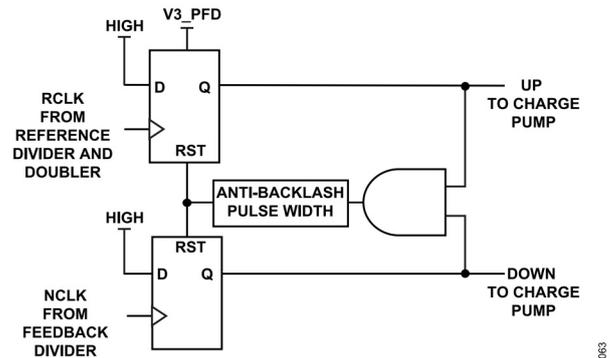


図 69. PFD の簡略化した回路図

チャージ・ポンプ

チャージ・ポンプは、PFD によって制御され、シンク（ダウン）電流パルスまたはソース（アップ）電流パルスを CP ピンに発生させます。CP ピンは適切なループ・フィルタに接続する必要があります。チャージ・ポンプの簡略化した回路図については [図 70](#) を参照してください。

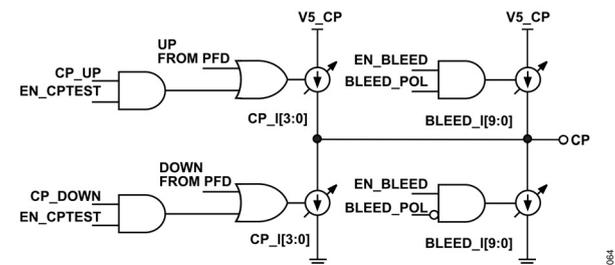


図 70. チャージ・ポンプの簡略化した回路図

出力電流の大きさ (I_{CP}) は、CP_I ビット[3:0]を用いて 0.79mA ~ 11.1mA の範囲で設定できます。 I_{CP} を大きくすると帯域内ノイズ (L_{NORM}) を小さくできます。ループ・フィルタ部品のインピーダンスが低下するためです。 I_{CP} を小さくすると、スプリアス性能を向上できます。特定の値に設定するには [表 12](#) を参照してください。また、ループ・フィルタの設計に関する詳細については、[アプリケーション情報](#)のセクションを参照してください。

表 12. CP の設定

CP_I, Bits[3:0]	I_{CP}
0	0.79 mA
1	0.99 mA
2	1.19 mA
3	1.38 mA
4	1.59 mA
5	1.98 mA
6	2.39 mA
7	2.79 mA
8	3.18 mA
9	3.97 mA
10	4.77 mA
11	5.57 mA
12	6.33 mA

動作原理

表 12. CP の設定 (続き)

CP_I, Bits[3:0]	I _{CP}
13	7.91 mA
14	9.51 mA
15	11.1 mA

チャージ・ポンプ・テスト・モード

EN_CPTEST ビットが 1 に設定されている場合、CP ピンで一定の I_{CP} ソース電流やシンク電流となるよう、それぞれ CP_UP ビットと CP_DOWN ビットを設定できます。これらのビットは一般に、プロジェクトのハードウェアおよびソフトウェアの開発フェーズ時に PLL 関連の問題をデバッグするための補助として使用されます。通常動作では EN_CPTEST、CP_UP、CP_DOWN は 0 に設定します。詳細については、[図 70](#) および [表 13](#) を参照してください。

表 13. チャージ・ポンプのデバッグ機能

EN_CPTEST	CP_UP	CP_DOWN	CP Pin State	Debug Test
1	0	0	High-Z	VCO open loop
1	1	0	~V _{5_CP}	Charge-pump output voltage verification
1	0	1	~GND	Charge-pump output voltage verification
0	0	0	Normal operation	Not applicable

チャージ・ポンプのブリード電流

わずかな量のプログラマブル定チャージ・ポンプ電流は、ブリード電流と呼ばれ、リファレンス入力ピンからクロック出力ピンへの伝搬遅延を増加させたり減少させたりするために用いることができます。

ブリード電流をイネーブルするには、EN_BLEED ビットを 1 に設定します。BLEED_POL ビットが 1 に設定されている場合、一定のわずかなソース電流が CP ピンに印加されます。BLEED_POL が 0 に設定されている場合、一定のわずかなシンク電流が CP ピンに印加されます ([図 70](#) 参照)。

ブリード電流の LSB ステップ・サイズは 536nA です。ブリード電流遅延ステップ・サイズ (t_{IDEL-STEP}) は、[式 9](#) に示すように、ブリード電流ステップ・サイズ (I_{CP}) と f_{PFD} の関数です。[図 71](#) に、t_{IDEL-STEP} といくつかの一般的な I_{CP} および f_{PFD} の値の関係を示します。

$$t_{IDEL-STEP} = \frac{536nA}{I_{CP} \times f_{PFD}} \tag{9}$$

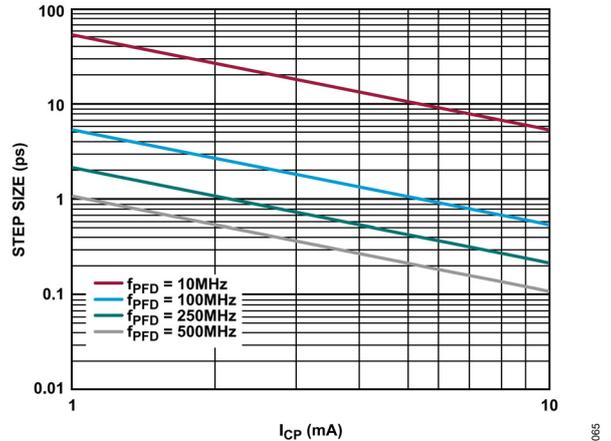


図 71. ブリード電流遅延ステップ・サイズ

ブリード電流遅延 (t_{IDEL}) は、t_{IDEL-STEP}、BLEED_POL ビット、および BLEED_I ビット・フィールドのビット[9:0]によって決まります ([式 10](#) および [式 11](#) を参照)。

BLEED_POL = 0 の場合、REFP 入力ピンおよび REFN 入力ピンから CLKP 出力ピンおよび CLKN 出力ピンまでの伝搬遅延は増加します ([図 21](#) 参照)。

$$t_{IDEL} = t_{IDEL-STEP} \times BLD_I \tag{10}$$

ここで、BLD_I は、BLEED_I ビット・フィールドのビット[9:0]の 10 進数値です。

BLEED_POL = 1 の場合、REFP 入力ピンおよび REFN 入力ピンから CLKP 出力ピンおよび CLKN 出力ピンまでの伝搬遅延は減少します ([図 24](#) 参照)。

$$t_{IDEL} = -t_{IDEL-STEP} \times BLD_I \tag{11}$$

適切なロック検出器機能を実現できる最大 t_{IDEL} は、[表 16](#) に示すように、LDWIN_PW の設定によって異なります。

INV_CLKOUT、BLEED_I、BLEED_POL を連携して用いると、マルチチップの出力間スキューを ±0.05ps という小さな値に揃えることができます ([式 9](#) 参照)。[図 42](#) に示すように、BLEED_I 設定が最大の場合、L_{NORM} が 1dB、L_{1/f} が 4dB 増加します。INV_CLKOUT が性能を低下させることはなく、1/f_{OUT} 周期の 1/4 より大きなマルチチップの出力間スキューに対して調整を行うには、大きな BLEED_I 値を用いる代わりに INV_CLKOUT を用いる必要があります。その結果、t_{IDEL} の最大調整幅は、1/f_{OUT} 周期の 1/4 より大きくする必要がなくなります。R_{DEL}、N_{DEL}、INV_CLKOUT、BLEED_I ビット・フィールドのビット[9:0]、BLEED_POL の関係については、[アプリケーション情報](#)のセクションを参照してください。

ロック検出器

ロック検出器は、PFD からの内部信号を用いて、[図 67](#) に示すリファレンス分周器およびダブラの出力信号 (RCLK) と [図 77](#) に示す帰還分周器の出力信号 (NCLK) の間の位相の一致を測定します。ロック検出器は、EN_LOL ビットと EN_LDWIN ビットの両方を 1 に設定することでイネーブルされ、その出力は LKDET ピンおよび LOCKED ビットで読み出せます。ロック検出器出力は、MUXOUT ビット[4:0]を設定することで MUXOUT

動作原理

ピンから読み出すこともできます (図 81 参照)。レジスタ・ビット・フィールド CMOS_OV は、MUXOUT、LKDET、SDO、SDIO の出力ピンのロジック・ハイ・レベルが 3.3V か 1.8V かを決定します。

ロック検出器出力が PLL がロックされたことを示す前に、PFD の位相差が、設定された PFD サイクル数に対する位相差ロック・ウィンドウ時間 (t_{LDWIN}) より小さくなっていないければなりません。設計者がロック検出の精度を重視するか速度を重視するかで、必要な PFD サイクル数は変わります。式 12 に示すように、必要な PFD サイクル数の初期推定値として、5 個のループ・フィルタ時定数を用いることができます。必要な PFD サイクル数は、表 14 に示すように、LD_COUNT ビット[4:0]で設定されます。詳細については、図 72 および表 15 を参照してください。

$$PFD\ Cycles = \frac{5 \times f_{PFD}}{2 \times \pi \times LPBW} \tag{12}$$

ここで、LPBW はループ・フィルタの帯域幅です。

表 14. LD_COUNT の設定

LD_COUNT Bits, Bits[4:0]	PFD Cycles
0	23
1	32
2	47
3	66
4	95
5	134
6	191
7	270
8	383
9	542
10	767
11	1085
12	1535
13	2171
14	3071
15	4343
16	6143
17	8687
18	12287
19	17376
20	24575
21	34754
22	49151
23	69510
24	98303
25	139021
26	196607
27	278044
28	393215
29	556090
30	786431

表 14. LD_COUNT の設定 (続き)

LD_COUNT Bits, Bits[4:0]	PFD Cycles
31	1112181

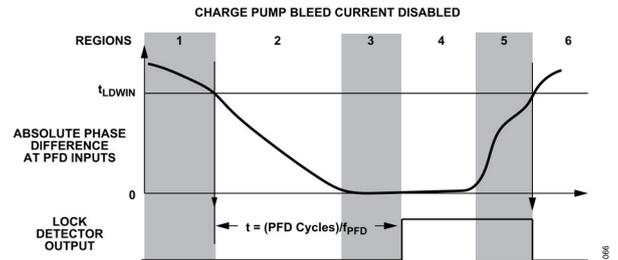


図 72. ロック検出器のタイミング (ブリード電流をディスエーブル)

表 15. ロック検出器のタイミング (ブリード電流をディスエーブル)

Region	Absolute Phase Difference at PFD	Lock Detector State
1	$> t_{LDWIN}$	Low
2	$< t_{LDWIN}$	Low, counts PFD cycles
3	~ 0	Low, counts PFD cycles
4	~ 0	High, \geq required PFD cycle count
5	$< t_{LDWIN}$	High
6	$> t_{LDWIN}$	Low (immediately)

チャージ・ポンプのブリード電流がイネーブルされている場合、PFD 入力に位相オフセットが加わります。この位相オフセット (t_{IDEL}) は、式 10 および式 11 で設定されたブリード電流の量に比例します。図 72 および図 73 の領域 3 と領域 4 は、それぞれチャージ・ポンプのブリード電流がディスエーブルの場合とイネーブルの場合に PLL がセトリングする PFD 位相差に焦点を合わせたものです。

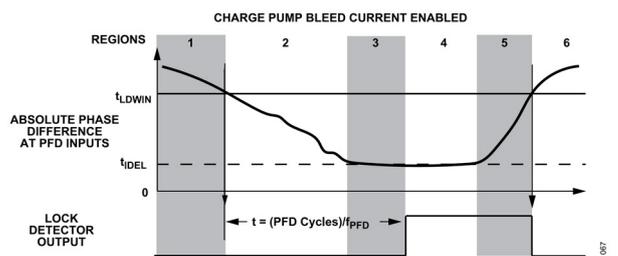


図 73. ロック検出器のタイミング (ブリード電流をイネーブル)

ロック検出器の適切な動作を確保するには、 t_{IDEL} の絶対値が t_{LDWIN} 未満であることが必要です。ユーザは、LDWIN_PW ビットで、有効なロック条件に対する位相差ロック・ウィンドウ時間 (t_{LDWIN}) を設定できます。ほとんどの場合、LDWIN_PW は 0 に設定する必要があります。LDWIN_PW ビットと最大許容 t_{IDEL} の関係を理解するには、表 16 を参照してください。

表 16. 最大 t_{IDEL}

LDWIN_PW	$t_{IDEL(MAX)}$
0	± 150 ps
1	± 250 ps

動作原理

VCO

VCO コアは 4 個の独立した VCO で構成され、各 VCO が 256 個の重なり合った帯域を使用しているため、デバイスは高い VCO 感度 (K_{VCO}) を必要とせずに広い周波数範囲に対応できます。出力周波数は出力分周器を用いることで更に拡張できます (図 74 参照)。

VCO_CORE、VCO_BAND、VCO_BIAS の各設定値に対する適切なレジスタ値は、VCO のキャリブレーションを行うことで定まります。詳細については、VCO のキャリブレーションのセクションを参照してください。VCO のキャリブレーションを特定のデバイスと周波数に対して実行した後、VCO_CORE、VCO_BAND、VCO_BIAS の各値を記録できます。これらの記録値は、同じデバイスと周波数を用いる場合、その後のパワーアップ時には手動でプログラムできます。そのため、VCO のキャリブレーション時間を節約できます。

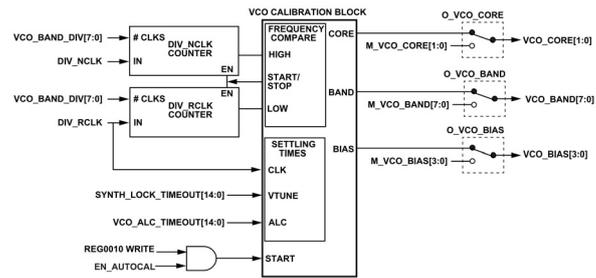


図 76. VCO キャリブレーション・ブロック

次の手順に示すように、VCO キャリブレーションを実行するには、いくつかのレジスタを設定します。

1. 表 22 の RCLK の列に基づきレジスタのビットを設定します。
2. DCLK_DIV1 を 1 に設定します。CAL_CT_SEL、DCLK_DIV2、DCLK_MODE を表 17 に示す値に設定します。後の使用のため、f_{DIV_RCLK} を記録しておきます。
3. SYNTH_LOCK_TIMEOUT ビット・フィールドのビット[14:0]、VCO_ALC_TIMEOUT ビット・フィールドのビット[14:0]、VCO_BAND_DIV ビットの最小値を計算し設定します。これらのパラメータの最小値を選択する場合、VCO の代表的な自動キャリブレーション時間は 3ms~9ms です。値を大きくすると VCO キャリブレーション時間は長くなります。

$$SYNTH_LOCK_TIMEOUT \geq Ceiling \quad (13)$$

$$(200 \mu s \times f_{DIV_RCLK})$$

$$VCO_ALC_TIMEOUT \geq Ceiling \quad (14)$$

$$(50 \mu s \times f_{DIV_RCLK})$$

$$VCO_BAND_DIV \geq Ceiling \quad (15)$$

$$\left(\frac{15 \mu s \times f_{DIV_RCLK}}{16 \times 2^{DCLK_MODE}} \right)$$

4. 必要なアナログ・デジタル・コンバータ (ADC) クロック周波数が 400kHz 未満となるように ADC_CLK_DIV ビットを設定してください。

$$ADC_CLK_DIV > Ceiling \quad (16)$$

$$\left(\frac{\left(\frac{f_{DIV_RCLK}}{400 \text{ kHz}} - 2 \right)}{4} \right)$$

5. REG0010 を最後にプログラミングして N_INT ビット・フィールドのビット[11:0]、CLKOUT_DIV ビット、R_DIV ビット、EN_RDBLR ビットを設定します。REG0010 に何らかの書き込みを行うと VCO の自動キャリブレーションが開始されます。
6. このステップはオプションです。ADC_BUSY および FSM_BUSY のレジスタ・ビットをモニタします。ADC_BUSY がハイからローに遷移し、次いで FSM_BUSY がハイからローに遷移すると、キャリブレーションは終了します。

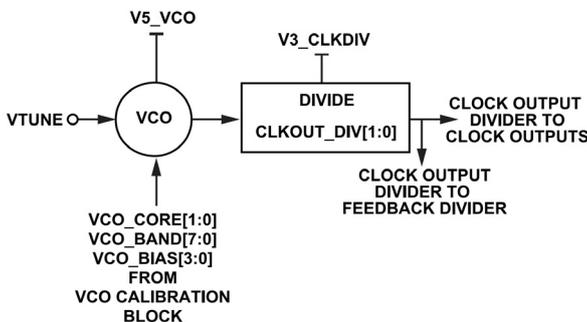


図 74. VCO およびクロック出力分周器

VCO のキャリブレーション

特定の VCO 周波数に対し適切な VCO コア、帯域、バイアス設定値を選択するには、VCO のキャリブレーションが必要です。VCO のキャリブレーションを実行するには、このセクションで説明するよういくつかのレジスタの設定が必要です。この手順は、デバイスがパワー・アップされており、必要なリファレンス周波数が REFP ピンと REFN ピンに入力され、その他すべてのレジスタが正しく設定されていることを前提としています。この手順を図 75 および図 76 に視覚的に示します。

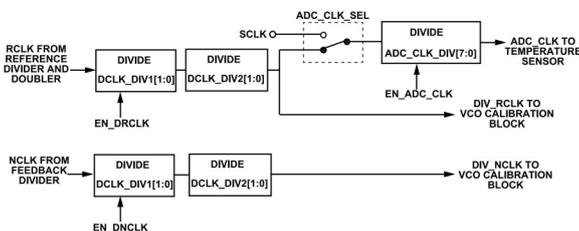


図 75. VCO キャリブレーション分周器

動作原理

- VCO のキャリブレーションが終了したら、EN_DRCLK = EN_DNCLK = EN_ADC_CLK = 0 に設定してキャリブレーション・クロックをディセーブルし、不要なスプリアス成分を制限します。
- このステップはオプションです。VCO_CORE、VCO_BAND、VCO_BIAS の各ビットをリード・バックし、次いで、そのリード・バックした値を記録します。高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定 (オプション) のセクションで説明するように、これらの値を用いることで、キャリブレーションをバイパスし、所定のデバイスおよび周波数に対し M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS の各ビットを手動で設定できます。

表 17. CAL_CT_SEL、DCLK_DIV2、DCLK_MODE の設定

f _{PF} (MHz)	CAL_CT_SEL	DCLK_DIV2	DCLK_MOD E	f _{DIV_RCLK} (MHz)
≤160	1	0	0	f _{PF} /2
>160 and ≤250	1	0	1	f _{PF} /2
>250 and ≤320	0	1	0	f _{PF} /4
>320 and ≤500	0	1	1	f _{PF} /4

クロック出力分周器

図 74 に示すように、2 ビット分周器 CLKOUT_DIV を用いると、出力バッファおよび帰還分周器に出力される周波数を低減できます。クロック出力分周値 (O) は 1、2、4、または 8 に設定できます。分周比を直接設定するには、CLKOUT_DIV ビットを用います。CLKOUT_DIV は PLL ループ内に置かれています。そのため、CLKOUT_DIV に変更を加えるには、N_INT ビット・フィールドのビット [11:0] を変更し、f_{PF} を同じ値に保つことが必要です。また、これを行うと、PLL のロックが数ループ時定数の間、失われます。詳細については、表 18 を参照してください。f_{REF}、f_{PF}、f_{VCO}、f_{OUT} の各周波数の間の関係については、出力周波数のセクションを参照してください。

表 18. CLKOUT_DIV の設定

CLKOUT_DIV	Clock Output Divide Value (O)	Output Frequency Range (GHz)
0	1	6.4 ≥ f _{OUT} ≤ 12.8
1	2	3.2 ≥ f _{OUT} ≤ 6.4
2	4	1.6 ≥ f _{OUT} ≤ 3.2
3	8	0.8 ≥ f _{OUT} ≤ 1.6

出力反転 (INV_CLKOUT)

出力反転 (INV_CLKOUT) は、f_{OUT} が f_{REF} の整数倍である場合に、出力信号をリファレンス入力信号の立上がりエッジに対し 180° シフトするために用いられます。詳細については、表 19 を参照してください。INV_CLKOUT は PLL ループ内にあり、INV_CLKOUT に何らかの変更を加えると、わずかなループ時定数の間、PLL のロックが失われます。出力位相を直接設定するには、INV_CLKOUT ビットを用います。

表 19. INV_CLKOUT の設定

f _{OUT} /f _{REF} =	INV_CLKOUT	Each Reference Rising Edge Aligned to
Integer	0	CLKP rising edge
Integer	1	CLKP falling edge

表 19. INV_CLKOUT の設定 (続き)

f _{OUT} /f _{REF} =	INV_CLKOUT	Each Reference Rising Edge Aligned to
Noninteger	x	Varies

INV_CLKOUT、N_DEL、R_DEL、BLEED_I、BLEED_POL を連携して用いると、マルチチップの出力間スキューを ps 未満のレベルに揃えることができます。INV_CLKOUT が性能を低下させるのではなく、1/f_{OUT} 周期の 1/4 より大きなマルチチップの出力間スキューに対し調整を行うには、大きな N_DEL、R_DEL、または BLEED_I の値を用いる代わりに INV_CLKOUT を用いる必要があります。R_DEL、N_DEL、INV_CLKOUT、BLEED_I、BLEED_POL の間の関係については、複数の ADF4378 の出力位相のアライメントのセクションを参照してください。

帰還分周器 (N)

図 77 に示すように、12 ビット分周器 N_INT ビット・フィールドのビット [11:0] を用いると、クロック出力分周器に出力される周波数を低減できます。帰還分周器は、VCO およびクロック出力分周器から PFD への帰還ループを閉じます。

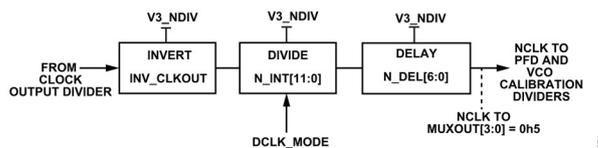


図 77. 帰還分周器

帰還分周器の分周比 (N) は、2~4095 の任意の整数値に設定できます。N 分周比を直接設定するには、N_INT ビット・フィールドのビット [11:0] を用います (表 20 参照)。N、O と f_{REF}、f_{PF}、f_{VCO}、f_{OUT} の各周波数との関係については、出力周波数のセクションを参照してください。DCLK_MODE ビットの状態は表 17 によって決められます。

表 20. N_INT の設定

N_INT Bit Fields, Bits[11:0]	N
0	Not applicable
1	Not applicable
2	2
3	3
...	...
4095	4095

帰還遅延

7 ビットの遅延 N_DEL を用いると、REFP および REFN の入力ピンから CLKP および CLKN の出力ピンまでの伝搬遅延を減少できます。帰還遅延 (t_{NDEL}) を直接設定するには N_DEL ビットを使用します。通常、0ps~110ps の範囲を 0.85ps ステップで設定できます (図 78 参照)。

動作原理

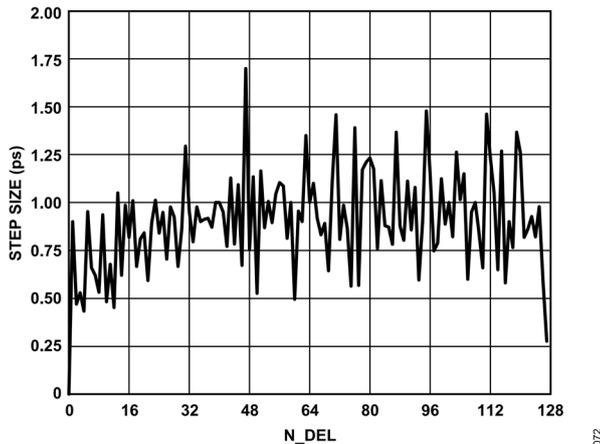


図 78. ステップ・サイズと N_DEL の関係、代表的な帰還遅延

INV_CLKOUT、N_DEL、R_DEL を連携して用いると、マルチチップの出力間スキューを±0.5ps 以内に揃えることができます。図 45 は、N_DEL を最大に設定すると L_{NORM} が 1dB 増加することを示しています。INV_CLKOUT が性能を低下させることはなく、1/f_{OUT} 周期の 1/4 より大きなマルチチップの出力間スキューに対し調整を行うために、大きな N_DEL 値または R_DEL 値を用いる代わりに INV_CLKOUT を用いることができます。その結果、t_{NDEL} の最大調整幅は、1/f_{OUT} 周期の 1/4 より大きくする必要がなくなります。R_DEL、N_DEL、INV_CLKOUT、BLEED_I ビット・フィールドのビット[9:0]、BLEED_POL の間の関係については、複数の ADF4378 の出力位相のアライメントのセクションを参照してください。

クロック出力バッファ

図 79 の低ノイズ差動出力バッファは、差動出力電圧を生成します。出力の振幅レベルおよびコモン・モード電圧は、表 21 に従い、CLKOUT_OP ビットで設定可能です。各出力は AC カップリングまたは DC カップリングでき、100Ω の差動インピーダンスで終端されます。シングルエンド出力が必要な場合は、それぞれの出力側を個別に AC カップリングして 50Ω で終端する必要があります (図 109 参照)。

表 21. CLKOUT_OP の設定

CLKOUT_OP	Differential Amplitude (V _{OD})	Common-Mode Voltage
0	320 mV _{PEAK}	V _{CLK} - 1.2 × V _{OD}
1	420 mV _{PEAK}	V _{CLK} - 1.2 × V _{OD}
2	530 mV _{PEAK}	V _{CLK} - 1.2 × V _{OD}
3	640 mV _{PEAK}	V _{CLK} - 1.2 × V _{OD}

ENCLK ピンをローに設定するか、PD_CLKOUT ビットを 1 に設定することで、出力をパワー・ダウンできます。EN_CLK ビットは、ENCLK ピンの状態をレポートします。パワー・ダウン時、出力は約 2V のコモンモード電圧を供給します。

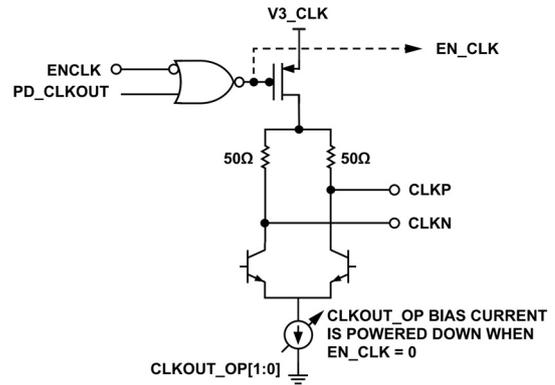


図 79. クロック出力の簡略化した回路図

SYSREF 出力バッファ

リタイミングした SYSREF 出力は、SR_OUTP ピンおよび SR_OUTN ピンで、コモンモード電圧が約 1.2V の LVDS 対応信号として利用できます。図 80 に SYSREF 出力バッファの簡略化した回路図を示します。ENSR ピンをローにするか PD_SYSOUT ビットを 1 に設定することで、SYSREF 出力をパワー・ダウンできます。REG0049 のレジスタ・ビット EN_SYS は、ENSR ピンでロジックをレポートします。

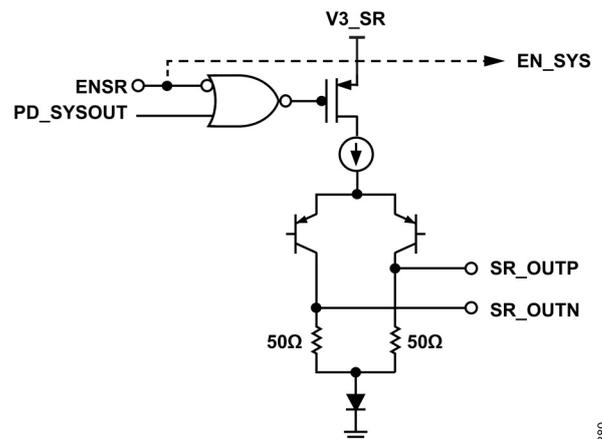


図 80. SYSREF 出力インターフェースの簡略化した回路図

動作原理

MUXOUT

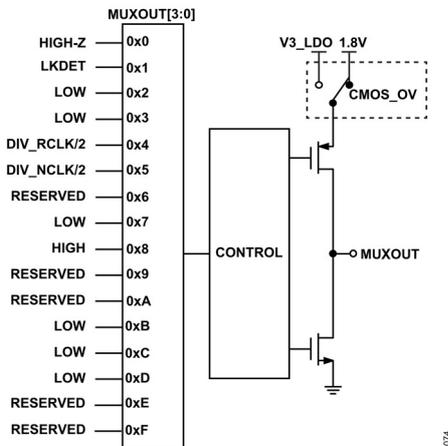


図 81. MUXOUT

MUXOUT ピンの状態は SPI レジスタ・ビット・フィールドである MUXOUT によって決められ、これを用いるとユーザは様々な内部ノードにアクセスできます。MUXOUT ピンと MUXOUT ビットは一般に、追加のロック状態出力として用いられるか、プロジェクトのハードウェアおよびソフトウェア開発フェーズ時に PLL 関連の問題をデバッグするために用いられます。CMOS_OV ビット・フィールドは、MUXOUT ピン、LKDET ピン、SDO ピン、SDIO ピンのロジック・ハイ・レベルが 3.3V か 1.8V かを決定します (図 81 参照)。

温度センサー

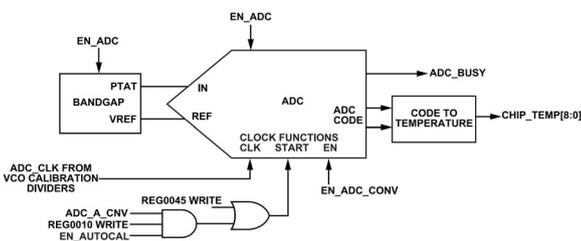


図 82. 温度センサー

温度センサーは、バンドギャップの VREF 電圧を基準として絶対温度に比例した (PTAT) 電圧を測定する、8ビットADCで構成されています。温度センサーの目的は、絶対ジャンクション温度ではなく、ダイ温度の変化を測定することです。

最大 ADC クロック周波数は 400kHz です。式 16 は正しい ADC_CLK_DIV 値を計算します。ADC クロックは SPI クロックまたは RCLK のいずれかから生成できます (図 75 参照)。ADC 測定が始まる前に、表 22 に示すように ADF4378 のレジスタを設定します。

表 22. SPI クロックおよび RCLK 用の ADC レジスタ設定

Bits	RCLK ¹	SPI Clock
ADC_CLK_SEL	0	1
EN_DRCLK, EN_DNCLK	1	Not applicable

表 22. SPI クロックおよび RCLK 用の ADC レジスタ設定 (続き)

Bits	RCLK ¹	SPI Clock
ADC_A_CONV, EN_AUTOCAL	1 ¹	Not applicable
EN_ADC_CNVR, EN_ADC, EN_ADC_CLK	1	
PD_ADC	0	

¹ REG0010 に書き込んで ADC 変換と VCO キャリブレーションを開始する場合に必要です。

表 22 のビットを設定し終わったら、REG0045 へのレジスタ書き込みまたは REG0010 へのレジスタ書き込み (RCLK のみ) を行って ADC 変換を開始します。REG0010 への書き込みでは、ADC 変換が完了すると直ちに、VCO キャリブレーション (VCO のキャリブレーションのセクションを参照) が始まります。ADC 変換の完了までには、17 クロック・サイクルが必要です。シリアル・ポート・レジスタ REG0049 の ADC_BUSY ビットが、変換ステータスをモニタします。変換時、ADC_BUSY は 1 にセットされ、変換が終了すると ADC_BUSY は 0 にセットされます。

測定は、REG004C および REG004D の CHIP_TEMP ビット・フィールドのビット[8:0]に記録されます (図 82 参照)。

周囲温度測定が必要な場合は、表 23 に示すように、ADF4378 を低消費電力状態に設定します。周囲温度測定では、SPI クロックが唯一の使用可能なクロック・オプションです。

表 23. 周囲温度フル・パワーダウン・レジスタ設定

Bit Fields	State
ADC_CLK_SEL	1
PD_ADC	0
PD_CLK, PD_RDDET, PD_CALDAC, PD_NDIV, PD_VCO, PD_LD, PD_PFDPCP, PD_CLKOUT, PD_SYSOUT, PD_RDIV	1

ダブル・バッファ機能

ダブル・バッファ機能は、表 24 に示すビット・フィールドの上位/下位設定を参照します。下位のビット・フィールドのみが、ADF4378 の実際の状態を制御します。1 つのビット・フィールドに対しダブル・バッファ機能が有効化されている場合、シリアル・インターフェイスは、上位のビット・フィールドにのみ書き込みを行います。レジスタ書き込みが REG0010 に送られるまで、下位のビット・フィールドは以前の値を保持します。REG0010 への書き込み後、すべての上位ビット・フィールドは、それぞれの下位ビット・フィールドに自動的に読み込まれます。REG0010 に書き込むことで、VCO の自動キャリブレーションも開始されます (VCO のキャリブレーションのセクションを参照)。これにより、ユーザは、ADF4378 の出力周波数を変更するいくつかのビット・フィールドを更新し、同じレジスタ書き込みで新しい VCO キャリブレーションを開始できます。ダブル・バッファ機能が無効化されている場合、シリアル・インターフェイスは、下位ビット・フィールドに直接書き込みを行います。

MASTER_READBACK_CONTROL ビットをイネーブルまたはディスエーブルすることで、上位または下位のビット・フィールドの状態をリード・バックできます。

動作原理

表 24. ダブル・バッファのイネーブル・ビットおよびビット・フィールド

Double Buffer Enable Bits	Double Buffered Bit Fields
Not applicable, always enabled	N_INT bits, Bits[11:0], R_DIV, EN_RDBLR, CP_I
CLKODIV_DB	CLKOUT_DIV
DCLK_DIV_DB	DCLK_DIV1, DCLK_DIV2
O_VCO_DB	M_VCO_CORE, M_VCO_BAND, M_VCO_BIAS
DEL_CTRL_DB	INV_CLKOUT, BLEED_I bits, Bits[9:0], BLEED_POL, N_DEL, R_DEL

シリアル・ポート

SPI 互換のシリアル・ポートには制御とモニタリングの機能があります。CMOS_OV ビットは、SDO および SDIO SPI の出力ピンのロジック・ハイ・レベルが 3.3V か 1.8V かを決定します。また、CMOS_OV は、MUXOUT および LKDET の出力レベルも決定します。

シリアル・ポートは、REG0000 および REG0001 のいくつかの異なる設定をサポートするよう設定できます。

SDO_ACTIVE ビットは、シリアル・ポートが 3 線式シリアル・インターフェイスか 4 線式シリアル・インターフェイスかを決定します (図 2、図 3、図 4 のタイミング図を参照)。

図 83 および図 84 に示すように、命令サイクルは、16 ビットで構成されています。15 個の LSB ビットがレジスタ・アドレスを決定し、MSB は、データ転送サイクル中にデータがシリアル・インターフェイスに書き込まれるのか、シリアル・インターフェイスから読み出されるのかを決定します。LSB_FIRST ビットは、シリアル・インターフェイスの命令サイクルおよびデータ転送サイクルのデータ方向を決定します。

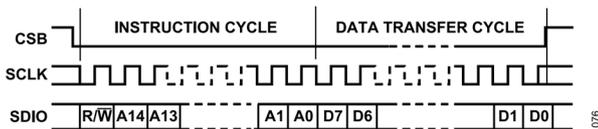


図 83. シリアル・インターフェイス、MSB ファースト (LSB_FIRST = 0)

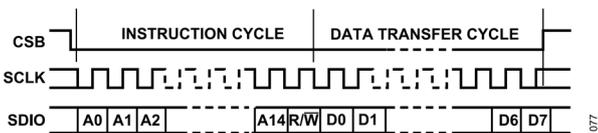


図 84. シリアル・インターフェイス、LSB ファースト (LSB_FIRST = 1)

SPI レジスタ・マップは、図 83 およ 図 84 に示すように単一命令で、あるいは、図 85 に示すようにストリーミング・モードでプログラムできます。ストリーミング・モードを用いると、複数のレジスタに対しデータ転送の効率的な読み出しや書き込みが可能です。ストリーミング・モードでは、命令ヘッダの 1 つのレジスタ・アドレスとそのレジスタ・アドレス用のデータ、更に、後続のレジスタ・アドレスのデータで構成されるビット・ストリームを、ユーザがプログラムできます。ADDRESS_ASCENSION ビットは、後続のレジスタ・アドレスがインクリメントされるかデクリメントされるかを決定します。

ストリーミング・モードではレジスタ・アドレスをデクリメントすることを推奨します (ADDRESS_ASCENSION = 0)。その理由は、REG0010 が VCO キャリブレーションとすべてのダブル・バッファの読み込みをトリガするため、これを最後に書込み SPI レジスタにする必要があるためです。SINGLE_INSTRUCTION ビットを 1 にセットすると、ストリーミング・モードは無効化されます。SINGLE_INSTRUCTION を 0 にセットすると、ストリーミング・モードは有効化されます。

ブロック・パワーダウン制御

ADF4378 のパワーダウン制御ビットは、REG0019 と REG001A にあります。PD_ALL、PD_RDDET、PD_CLKOUT、PD_SYSOUT の各ビットは個別に設定できます。

PD_CLK、PD_CALDAC、PD_RDIV、PD_NDIV、PD_VCO、PD_LD、PD_PFDPCP の各ビットは、常に同じ状態に設定する必要があります。このグループに 1 を設定できるのは、フル・パワーダウン周囲温度測定を実行する場合のみです (表 23 参照)。その他の場合ではすべて、このビット・グループを 0 に設定する必要があります。

動作原理

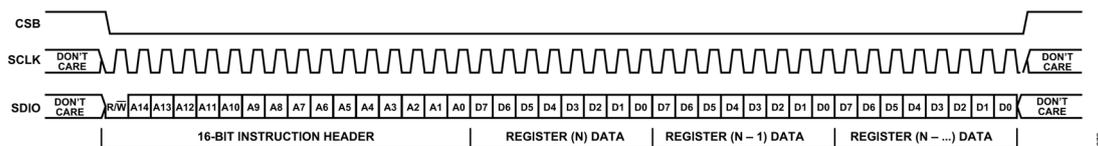


図 85. シリアル・インターフェイス、レジスタをデクリメントする (ADDRESS_ASCENSION = 0)
 推奨ストリーミング・モード (SINGLE_INSTRUCTION = 0)

アプリケーション情報

ループ・フィルタの設計

安定なループ・フィルタを設計するために、ADF4378 のループ・フィルタ部品を選択するには注意が必要です。ループ・フィルタの設計とシミュレーションには ADIsimPLL™ をダウンロードしてインストールすることを推奨します。ADIsimPLL には、初めて使うユーザのためにチュートリアルが含まれており、また、より複雑なトピックに対するヘルプ・マニュアルも備わっています。www.analog.com には、いくつかの ADIsimPLL トレーニング・ビデオも用意されています。ループ・フィルタの設計とシミュレーションを終了した後は、ADF4378 評価用ハードウェアを用いてその新しいループ・フィルタを検証することを推奨します。

ループ・フィルタ設計の完全なチュートリアルは、このデータシートの範囲を超えています。しかし、いくつかのベスト・プラクティスを以下に示します。ADIsimPLL はこれらのパラメータの定義とシミュレーションの助けとなるものです。これらの項目を大幅に変更すると、新たなループ・フィルタの設計が必要になります。

1. 安定なループ・フィルタは次の条件を満たす必要があります。
 - a. ループ・フィルタの位相マージン > 45°
 - b. ループ・フィルタの帯域幅 $f_{\text{PFD}} \div 10$
2. 必要なループ・フィルタの帯域幅は、ADF4378 の次の主要な性能パラメータによって決まります。
 - a. I_{CP}
 - b. K_{VCO}
 - c. PFD 周波数
 - d. リファレンス入力の位相ノイズ（詳細については、リファレンスの位相ノイズのセクションを参照）
 - e. ジッタを最小化するかセトリング・タイムを最短にするかのトレードオフ（詳細については、それぞれ、出力の位相ノイズ特性のセクションおよび式 12 を参照）

VTUNE ピンには GND との間に 30pF のコンデンサが内蔵されており、これをループ・フィルタの設計に含める必要があります。ADIsimPLL ではこの内部コンデンサを自動的に考慮します。

リファレンス源に関する考慮事項

リファレンス入力ネットワーク

図 66 に示す ADF4378 のリファレンス入力バッファは、差動周波数源にもシングルエンド周波数源にも柔軟にインターフェイスできます。図 86～図 91 に、様々なリファレンス信号タイプに対して推奨されるインターフェイスを示します。図 86、図 87、図 88、図 89、図 90、図 91 において、 Z_0 信号パターンはすべて、50Ω の伝送ラインです。

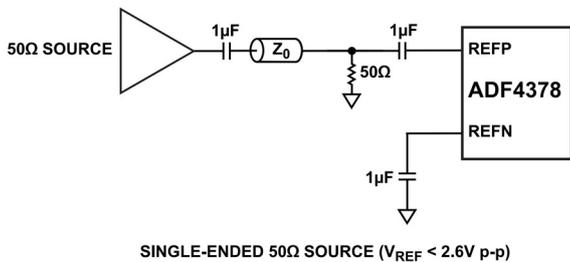


図 86. シングルエンド 50Ω ソース ($V_{\text{REF}} < 2.6V_{\text{p-p}}$)

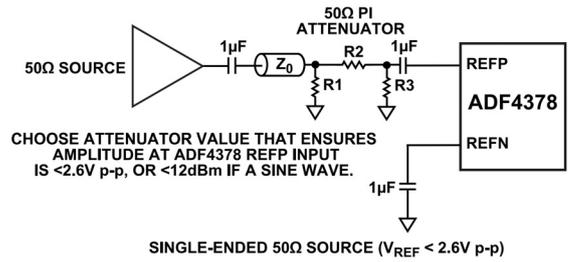


図 87. シングルエンド 50Ω ソース ($V_{\text{REF}} > 2.6V_{\text{p-p}}$)

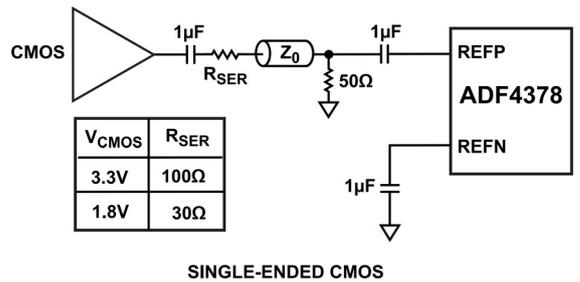


図 88. シングルエンド CMOS

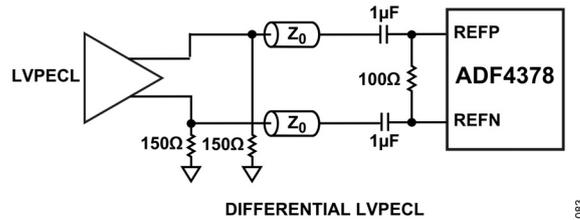


図 89. 差動 LVPECL

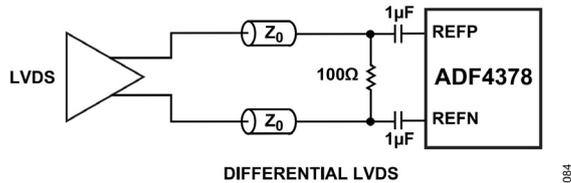


図 90. 差動 LVDS

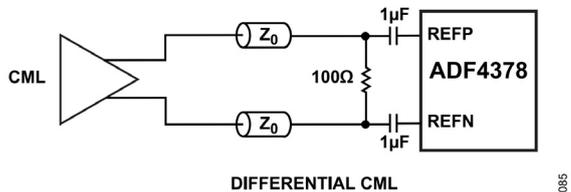
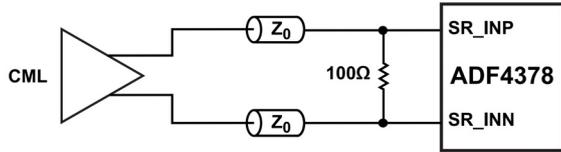


図 91. 差動 CML

SYSREF 入力ネットワーク

ADF4378 の SYSREF 入力は、入力 SYSREF 信号レベルの範囲に対応できるように、SR_SEL ビットを用いて CML/LVPECL インターフェイスまたは LVDS インターフェイス用に設定できます。図 92～図 95 に SYSREF 入力インターフェイスの例を示します。

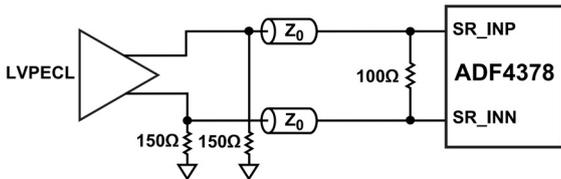
アプリケーション情報



DC-COUPLED DIFFERENTIAL CML

図 92. DC 結合差動 CML (SR_SEL = 0 に設定)

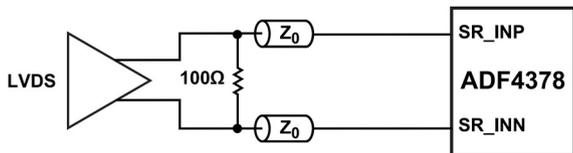
392



DC-COUPLED DIFFERENTIAL LVPECL

図 93. DC 結合差動 LVPECL (SR_SEL = 0 に設定)

393



DC-COUPLED DIFFERENTIAL LVDS

図 94. DC 結合差動 LVDS (SR_SEL = 1 に設定)

394

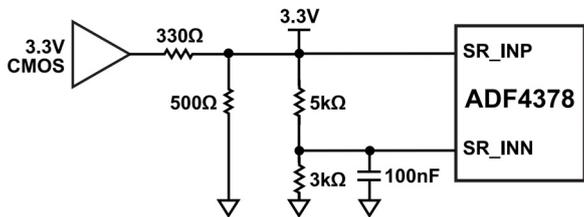


図 95. LVDS 入力への DC 結合 3.3V シングルエンド・ロジック (SR_SEL = 1 に設定)

395

リファレンスの位相ノイズ

ADF4378 は、 $L_{NORM} = -239\text{dBc/Hz}$ (代表値) の帯域内正規化位相ノイズ・フロアを実現します。等価入力位相ノイズ・フロア (L_{IN}) を計算するには、次に示す式 17 を用います。そのグラフを図 96 に示します。

$$L_{IN} = L_{NORM} + 10 \times \log_{10}(f_{REF}) \quad (17)$$

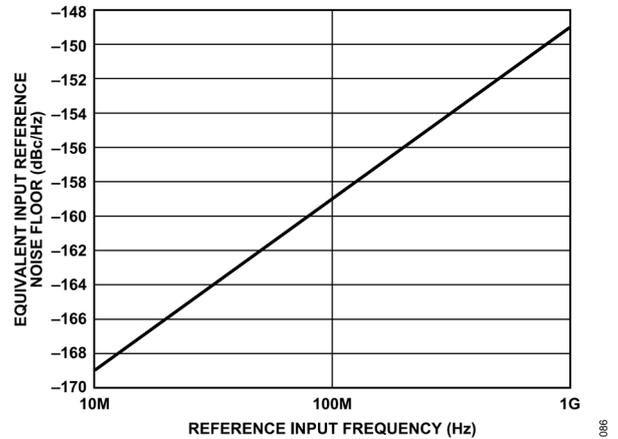


図 96. 等価リファレンス入力位相ノイズ・フロアと f_{REF} の関係

例えば、リファレンス入力周波数が 100MHz では、 L_{IN} は、 -159dBc/Hz となります。リファレンス周波数源の位相ノイズは、全体的なシステム位相ノイズに影響しこれを増加させることのないよう、 L_{IN} を少なくとも 6dB 下回る必要があります。

代表的な L_{NORM} 性能を維持するために、入力リファレンス信号のタイプと振幅に応じて最適な REF_SEL の設定を選択するための基準を、表 7 に示します。

出力の位相ノイズ特性

帯域内出力位相ノイズ

f_{OUT} で生成される帯域内位相ノイズ・フロア (L_{OUT}) は、式 18 および式 19 で計算できます。

$$L_{OUT} = L_{NORM} + 10 \times \log_{10}(f_{PFD}) + 20 \times \log_{10} \left(\frac{f_{OUT}}{f_{PFD}} \right) \quad (18)$$

または

$$L_{OUT} = L_{NORM} + 10 \times \log_{10}(f_{PFD}) + 20 \times \log_{10} \left(\frac{N}{O} \right) \quad (19)$$

ここで、 $L_{NORM} = -239\text{dBc/Hz}$ です。 L_{NORM} の変化と、 I_{CP} 、 N_{DEL} 、 R_{DEL} 、 $BLEED_I$ ビット・フィールドのビット[9:0]、リファレンス・スルー・レートの関係を示す、図 42～図 47 を参照してください。

式 18 および式 19 に示すように、所定の PFD 周波数 (f_{PFD}) に対し、出力帯域内位相ノイズは、 N 分周器カウント 1 桁あたり 20dB の割合で増加します。そのため、所定の出力周波数 (f_{OUT}) に対し、 f_{PFD} は、アプリケーションの周波数ステップ・サイズ条件を満たしながらも、できる限り大きく (あるいは N をできる限り小さく) する必要があります。

1/f ノイズによる出力位相ノイズ

オフセット周波数が非常に低い場合の帯域内位相ノイズは、 f_{PFD} に応じて、ADF4378 の 1/f ノイズの影響を受ける可能性があります。

アプリケーション情報

所定の周波数オフセット (f_{OFFSET}) での出力 $1/f$ 位相ノイズを概算するには、式 20 において、正規化した帯域内 $1/f$ ノイズ ($L_{1/f}$) を -287dBc/Hz とします。

$$L_{OUT(1/f)} = L_{1/f} + 20 \times \log_{10}(f_{OUT}) - 10 \times \log_{10}(f_{OFFSET}) \quad (20)$$

多くの場合、式 21 に示すように、 $L_{1/f}$ は、オフセットが 10kHz の 1GHz の信号に正規化されます。

$$L_{1/f_{1G_{10k}}} = L_{1/f} + 20 \times \log_{10}(1\text{GHz}) - 10 \times \log_{10}(10\text{kHz}) = L_{1/f} + 140\text{ dB} \quad (21)$$

帯域内ノイズ・フロア (L_{OUT}) とは異なり、 $1/f$ ノイズ ($L_{OUT(1/f)}$) は、 f_{PFD} によって変化しませんが、オフセット周波数に対して一定というわけではありません。 f_{PFD} が 100MHz および 500MHz の場合の帯域内位相ノイズの例を、図 97 に示します。合計位相ノイズは L_{OUT} と $L_{OUT(1/f)}$ の和で、式 22 で計算できます。

$$L_{OUT(TOTAL)}(f_{OFFSET}) = 10 \times \log_{10} \left(10^{L_{OUT}/10} + 10^{L_{OUT(1/f)}(f_{OFFSET})/10} \right) \quad (22)$$

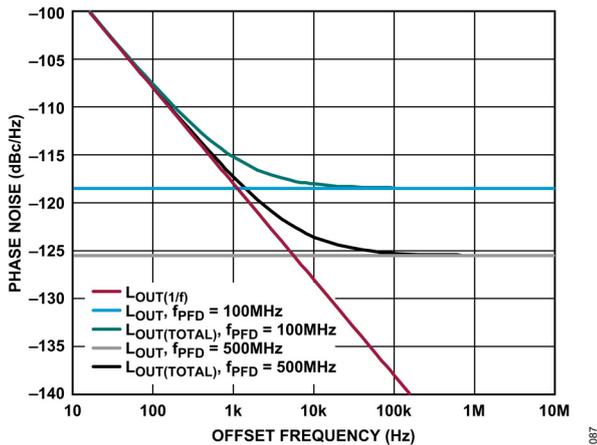


図 97. 理論的な帯域内位相ノイズ ($f_{OUT} = 10\text{GHz}$)

パワーアップと初期化のシーケンス

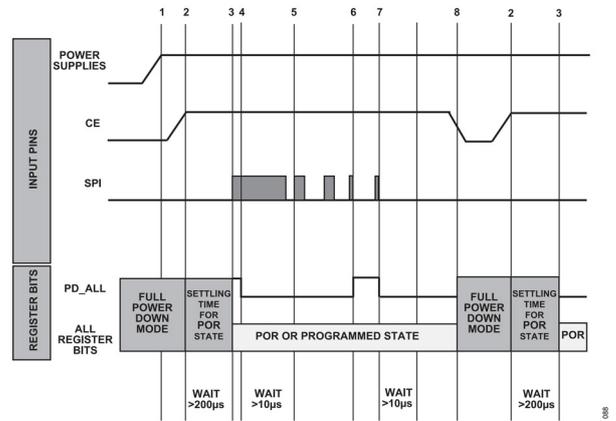


図 98. パワーアップと初期化のシーケンス

次の手順は、ADF4378 のパワーアップと初期化の推奨シーケンスです。

- 仕様規定された電圧を V_{5V} 、 $V_{3.3V_1}$ 、 $V_{3.3V_2}$ の電源グループに印加します。ADF4378 はこの時点では完全にパワーダウン・モードで、SPI のプログラミングはできません。
- CE ピンをロジック・ハイに設定します。プルアップ抵抗を介して CE ピンを V_{3_LDO} ピンに接続し、そのため、手順 1 と手順 2 を同時に実行してもかまいません。
- すべての SPI レジスタ・ビットがパワーオン・リセット (POR) 状態に安定するまで $200\mu\text{s}$ 以上待機した後、SPI のプログラミングを開始して ADF4378 を必要な状態に設定します。以下に、推奨する SPI プログラミングを示します。
 - 今後のリードバック動作のために、 SDO_ACTIVE ビットおよび $CMOS_OV$ ビットを必要な状態に設定します。
 - 全レジスタ・アドレスを REG0045 から REG0010 まで降順で設定します。いくつかのレジスタ・フィールドについて必要な事前設定値を表 44 に示します。これらは、適切なデバイス動作のために必要です。
- PD_ALL ビットが 0 に設定されるまで、ADF4378 はパワーダウン・モードを維持します。PD_ALL がディスエーブルになった後、VCO キャリブレーション回路やその他の回路ブロックが安定するまで $10\mu\text{s}$ 以上待機してから、VCO のキャリブレーションを行います。
- REG0010 に書き込みを行うと VCO の自動キャリブレーションが始まります。この時点で、デバイスは完全に動作可能となり、新しい周波数を必要に応じて何度でも設定できます。
- PD_ALL を 1 に設定すると ADF4378 がパワー・ダウンしますが、最後に行われた SPI 設定と全 SPI プログラミング機能は保持されます。
- PD_ALL の状態だけが手順 6 で変更されたのであれば、PD_ALL を 0 に設定すると、ADF4378 は手順 5 で設定された周波数に戻ります。 $10\mu\text{s}$ の待機後、すべての回路ブロックは内部で完全にパワー・アップされます。この $10\mu\text{s}$ の待機には、ループ・フィルタの帯域幅に関する周波数セトリング・タイムは含まれません。

アプリケーション情報

8. CE ピンのレベルを切り替えると、ADF4378 は完全なパワーダウン・モードに戻り、SPI レジスタは POR 状態に戻ります（手順 2 および手順 3 を参照）。

電源およびバイパス

ADF4378 は高性能で低ノイズのデバイスです。位相ノイズおよびスプリアス性能は、電源にノイズが多い場合には低下します。最高性能を発揮し、電源ノイズによって ADF4378 の性能が低下しないようにするには、アナログ・デバイセズの低ノイズで電源電圧変動除去比（PSRR）の高いレギュレータを用いることを推奨します。LT3045、ADM7150、ADM7151 などが推奨レギュレータです。

ADF4378 では、必要な局所電源バイパス・コンデンサをすべて ADF4378 の積層パッケージに統合化しているため、基板上に電源バイパス・コンデンサを配置する必要がありません。図 99 に示すように、局所電源バイパス・コンデンサの必要性をなくすことで、ADF4378 が使用する実効 PCB 面積が 40% 減少し、基板レイアウト設計に伴う課題の数が低減されます。

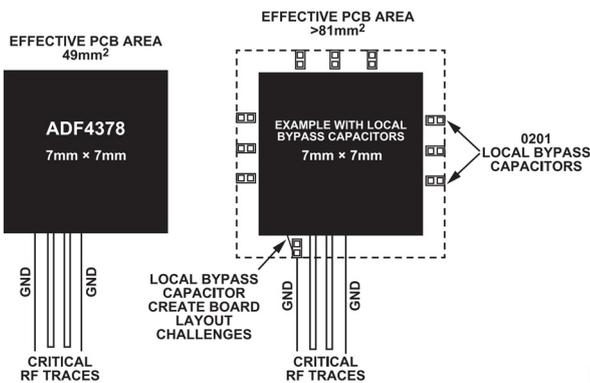


図 99. 電源デカップリング・コンデンサを統合化することによるレイアウト上の利点

設計およびプログラミング例 1：単一 ADF4378

単一の ADF4378 は単一の ADC にクロックを供給します。この例の目的は、ADIsimPLL でループ・フィルタを設計するために必要な適切な入力を決定する方法を提供すること、ADF4378 のすべてのレジスタ設定を手動で生成する方法を提供すること、初期パワーアップ時に VCO 自動キャリブレーションを実行してその後のすべてのデバイス・パワーアップでの VCO 自動キャリブレーションをバイパスまたはオーバーライドする方法を提供することです。実際には、ADF4378 評価用ボードのグラフィカル・ユーザ・インターフェイス（GUI）レジスタで、レジスタ生成プロセスを自動化し、手動レジスタ生成方法を置き換えて検証したりできます。

この設計例では、次の設計目標を仮定しています。

- ▶ リファレンス入力、125MHz、シングルエンド 7dBm のサイン波、50Ω 環境
- ▶ 12GHz の出力
- ▶ 1.8V、4 線式 SPI、最適な SPI 書込みシーケンスという SPI 条件
- ▶ ジッタが最低となる性能を実現する設計を他のどの設計基準よりも優先

設計手順

次の設計手順が、回路図の設計および SPI レジスタ生成の助けとなります。

1. リファレンスおよびループ・フィルタを設計するための設定値を選択します（詳細については、[リファレンスとループ・フィルタの設計](#)のセクションを参照してください）。
2. 出力、周波数、振幅を選択します（詳細については、[出力選択、周波数、振幅](#)のセクションを参照してください）。
3. リファレンスから出力までの伝搬遅延の設定を選択します（詳細については、[リファレンスから出力までの伝搬遅延の設定](#)のセクションを参照してください）。
4. ロック検出器の設定を選択します（詳細については、[ロック検出器の設定](#)のセクションを参照してください）。
5. VCO 自動キャリブレーションの設定を選択します（詳細については、[VCO 自動キャリブレーションの設定](#)のセクションを参照してください）。
6. ダブル・バッファと手動 VCO キャリブレーションの設定を選択します（詳細については、[ダブル・バッファと手動 VCO キャリブレーションの設定](#)のセクションを参照）。
7. SPI プロトコルの設定を選択します（詳細については、[SPI プロトコルの設定](#)のセクションを参照）。
8. その他のレジスタ設定を選択します（詳細については、[その他のレジスタ設定](#)のセクションを参照）。

リファレンスとループ・フィルタの設計

ADIsimPLL でループ・フィルタを設計するには、必要なリファレンス入力設定、チャージ・ポンプ設定、PFD 周波数を決める必要があります。[設計およびプログラミング例 1：単一 ADF4378](#) のセクションに示した設計目標では、ジッタが最小となる性能を実現することが他の設計基準よりも優先されます。ジッタが最小となるループ・フィルタを設計するには、[出力の位相ノイズ特性](#)のセクションで説明したように、出力位相ノイズ特性を最小限に抑えるレジスタ設定を決定します。

[帯域内出力位相ノイズ](#)のセクションでは、 f_{PFD} が最大のときに L_{OUT} が最小となることを述べています。最大の f_{PFD} は、リファレンス・ダブラをイネーブルし、リファレンス分周器とバイパスすることで得られます（詳細については、[リファレンス分周器 \(R\) とダブラ \(D\)](#) のセクションを参照）。リファレンス・ダブラをイネーブルするには、 $EN_RDBLR = 1$ に設定します。リファレンス分周器はバイパスされ、そのパワー・オン・リセット状態を維持できます ($R_DIV = 1$)。式 7 を解くと、 f_{PFD} の最大値が求められます。

$$f_{PFD} = D \times f_{REF} = 2 \times 125 \text{ MHz} = 250 \text{ MHz}$$

[チャージ・ポンプ](#)のセクションでは、図 46 に示すように、 I_{CP} を大きくすると L_{NORM} が小さくなることが述べられています。 L_{NORM} を最小にするには、 $CP_I = 15$ に設定します。

リファレンス入力のスルー・レートに基づいて最適なリファレンス入力バッファ・アンプ（詳細については、[リファレンス入力バッファ](#)のセクションを参照）を選択しても、 L_{NORM} を最小限に抑えることができます（図 43 参照）。式 23 および式 8 を解くと、リファレンス入力のスルー・レートが求められます。

アプリケーション情報

$$V_{PK} = \sqrt{2} \times \sqrt{10^{((P_{dBm}/10) \times 50 \Omega / 1000 mW)}} \quad (23)$$

$$V_{PK} = \sqrt{2} \times \sqrt{10^{((7 dBm/10) \times 50 \Omega / 1000 mW)}} = 0.707 V_{PK}$$

$$\text{Slew Rate} = 2 \times \pi \times f_{REF} \times V_{PK} = 2 \times \pi \times 125 \text{ MHz} \times 0.707 = 556 V/\mu s$$

表7および図43に基づき、556V/μsのリファレンス入力スレートでは、REF_SEL = 1 に設定して LNA リファレンス・アンプを選択した場合に L_{NORM} が最小になります。LNA リファレンス・アンプを選択すると、f_{REF} = 125MHz の場合には表 8 により FILT_REF = 0 に設定することが必要になり、V_{REF} = 2 × 0.707V_{PK} = 1.414V_{pp} の場合には、表 9 により BST_REF = 1 に設定する必要があります。

リファレンス・ピーク検出器（詳細については、リファレンス・ピーク検出器のセクションを参照）は、約 10mW の最小限のエネルギーを消費するだけなので、性能を低下させることはありません。そのため、設計目標に合うよう、PD_RDDET は 0 にも 1 にも設定できます。PD_RDDET = 0 としてリファレンスおよびループ・フィルタの設計を行うと、REF_OK ビットを用いてリファレンス信号をモニタできるオプションが可能になります。

表 25. SPI の概要：リファレンスとループ・フィルタの設計

Bit Field	Value
EN_RDBLR	0x1
R_DIV	0x1
CP_I	0xF
REF_SEL	0x1
FILT_REF	0x0
BST_REF	0x1
PD_RDDET	0x0

推奨するリファレンス入力ネットワークについては、図 86、シングルエンド 50Ω ソース (V_{REFIN} < 2.6V_{pp}) を参照してください。

ADIsimPLL のループ・フィルタ設計では、選択した LNA リファレンス・アンプのゲインは DMA リファレンス・アンプより高い点に注意してください。その結果、LNA で生じるリファレンス・スプリアス成分は大きくなります。そのため、-100dBc に指定された代表目標スプリアス性能を実現するには、5 次のループ・フィルタ設計が必要になります。しかし、DMA のリファレンス・スプリアス成分はこれより小さいため、より単純な 4 次のループ・フィルタ設計で同じスプリアス結果が得られます。リファレンスおよびループ・フィルタを設計するため、ADIsimPLL がループ帯域幅 460kHz のループ・フィルタを生成したと仮定します。このループ・フィルタ帯域幅は、後にこの設計において LD_COUNT 設定を決めるために必要となります。

出力選択、周波数、振幅

設計およびプログラミング例 1：単一 ADF4378 のセクションの設計目標では、f_{OUT} = 12GHz であることが必要です。表 18 により、f_{OUT} = 12GHz の場合、CLKOUT_DIV = 0 および O = 1 であることが必要です。PLL 帰還分周器ビット・フィールド N_INT のビット[11:0]は、式 4、式 6、表 20 から決められます。

$$f_{OUT} = f_{VCO} / O = f_{VCO}$$

$$f_{VCO} = f_{REF} \times D \times N \times O, \text{ solving for } N \text{ produces}$$

$$N = f_{VCO} / (f_{REF} \times D \times O) = 12 \text{ GHz} / (125 \text{ MHz} \times 2 \times 1) = 48, N_INT \text{ setting}$$

クロック出力バッファの振幅（詳細については、クロック出力バッファのセクションを参照）は、ジッタ性能に大きく影響することはありません（図 9 参照）。ただし、図 52 は、振幅が小さいと電源電流が低下することを示しています。そのため、ADC のクロック入力に対応可能な最小の振幅設定を選択してください。周波数および振幅の出力を選択するには、CLKOUT_OP = 1 に設定してクロック出力バッファの振幅を選択します（図 32 および表 21 を参照）。

ADF4378 の一般的なクロック出力ネットワークを図 109 に示します。

表 26. SPI の概要：出力選択、周波数、振幅

Bit Field	Value
CLKOUT_DIV	0x0
N_INT, Bits[11:0]	0x30
CLKOUT_OP	0x1
PD_CLKOUT	0x0

リファレンスから出力までの伝搬遅延の設定

リファレンスから出力までの伝搬遅延は、設計およびプログラミング例 1：単一 ADF4378 のセクションには示されていません。設計およびプログラミング例 1：単一 ADF4378 のセクションでは、最小ジッタ性能を最優先することが述べられています。リファレンスから出力までの遅延の制御を最小設定値に設定すると、L_{NORM} および L_{IF} を最小化することで最小ジッタが実現できます（図 12、図 15、図 42、図 45 を参照）。図 14 に示すように、INV_CLKOUT の設定はジッタ性能には影響せず、パワー・オン・リセット状態である 0 のままとすることができます。

表 27. SPI の概要：伝搬遅延

Bit Field	Value
EN_BLEED	0x0
BLEED_I	0x0
BLEED_POL	0x0
R_DEL	0x0
N_DEL	0x0
INV_CLKOUT	0x0

ロック検出器の設定

ロック検出器（詳細については、ロック検出器のセクションを参照してください）をイネーブルするには、EN_LOL ビットと EN_LDWIN ビットを 1 に設定します。LD_COUNT ビット・フィールドは、式 12 によって定まります。リファレンスとループ・フィルタの設計のセクションで示したように、460kHz のループ帯域幅 (LPBW) が仮定されています。

アプリケーション情報

$$PFD\ Cycles = f_{PFD} \times 5 / (2 \times \pi \times LPBW) = 250\ MHz \times 5 / (2 \times \pi \times 460\ kHz) = 432$$

最小 PFD サイクル・カウンタの計算値 432 は、その後表 14 の PFD サイクル欄と比較され、その結果、PFD サイクルが 542、LD_COUNT が 9 となります。

表 16 で LDWIN_PW 設定を求めるには、式 10 または式 11 から t_{IDEL} を計算します。リファレンスから出力までの伝搬遅延の設定のセクションで BLEED_I ビット・フィールドのビット[9:0]が 0 に設定されているため、 $t_{IDEL} = 0$ となります。 $t_{IDEL} = 0$ の場合、表 16 によれば、LDWIN_PW は 0 にセットされます。RST_LD ビットはロック検出器に関連し、通常の使用例では 0 に設定されます。

表 28. SPI の概要：ロック検出器

Bit Field	Value
EN_LOL	0x1
EN_LDWIN	0x1
LD_COUNT	0x9
LDWIN_PW	0x0
RST_LD	0x0

VCO 自動キャリブレーションの設定

自動 VCO キャリブレーション用の SPI レジスタを決めるプロシージャの概要は、VCO のキャリブレーションのセクションに示されています。

VCO キャリブレーションのステップ 1 では、自動キャリブレーション・ビット EN_AUTOCAL をイネーブルすると共に、いくつかの VCO キャリブレーション分周器、クロック、温度センサーをイネーブルします。

表 29. SPI の概要：VCO 自動キャリブレーション、ステップ 1

Bit Field	Value
EN_DNCLK	0x1
EN_DRCLK	0x1
ADC_CLK_SEL	0x0
ADC_A_CONV	0x1
EN_AUTOCAL	0x1
EN_ADC_CNV	0x1
EN_ADC	0x1
EN_ADC_CLK	0x1
PD_ADC	0x0

VCO キャリブレーションのステップ 2 では、表 17 に従い、250MHz の PFD 周波数を基に、CAL_CT_SEL、DCLK_DIV2、DCLK_MODE の状態を決定します。DCLK_DIV1 は、PFD 周波数とは関係なく、常に 1 に設定する必要があります。表 17 には、 f_{DIV_RCLK} を計算する式が次のように示されています。

$$f_{DIV_RCLK} = f_{PFD} / 2 = 250\ MHz / 2 = 125\ MHz$$

表 30. SPI の概要：VCO 自動キャリブレーション、ステップ 2

Bit Field	Value
CAL_CT_SEL	0x1

表 30. SPI の概要：VCO 自動キャリブレーション、ステップ 2 (続き)

Bit Field	Value
DCLK_DIV2	0x0
DCLK_MODE	0x1
DCLK_DIV1	0x1

VCO キャリブレーションのステップ 3 およびステップ 4 では、式 13、式 14、式 15、式 16 を用いて、SYNTH_LOCK_TIMEOUT ビット・フィールドのビット[14:0]、VCO_ALC_TIMEOUT ビット・フィールドのビット[14:0]、VCO_BAND_DIV ビット、ADC_CLK_DIV ビットが、 f_{DIV_RCLK} から計算できます。

$$SYNTH_LOCK_TIMEOUT \geq Ceiling(200\ \mu s \times 125\ MHz) = 25000$$

$$VCO_ALC_TIMEOUT \geq Ceiling(50\ \mu s \times 125\ MHz) = 6250$$

$$VCO_BAND_DIV \geq Ceiling\left(\frac{15\ \mu s \times 125\ MHz}{16 \times 2^1}\right) = Ceiling(58.59375) = 59$$

$$ADC_CLK_DIV > Ceiling\left(\frac{125\ MHz}{400\ kHz} - 2\right) = Ceiling(77.625) = 78$$

表 31. SPI の概要：VCO 自動キャリブレーション、ステップ 3 およびステップ 4

Bit Field	Value
SYNTH_LOCK_TIMEOUT	0x61A8
VCO_ALC_TIMEOUT	0x186A
VCO_BAND_DIV	0x3B
ADC_CLK_DIV	0x4E

SYSREF 入力設定

SYSREF リタイマー経路を用いるには、R_DIV 値が 1 であることが必要です。EN_RDBLR はイネーブルしてもかまいません。EN_RDBLR ビットが 0 の場合、最大入力リファレンス周波数は 500MHz です。EN_RDBLR ビットが 1 に設定されている場合は、最大リファレンス周波数は 250MHz に制限されます。

SYSREF 入力バッファのタイプは、REG0042 の SR_SEL ビットで選択できます。SR_SEL = 0 の場合、ADF4378 の SYSREF 入力バッファは CML/LVPECL での動作に設定されます。内部共通・モード電圧は 1.85V に設定されます。SR_SEL = 1 の場合は、入力バッファは一般的な LVDS 入力用に設定されます。内部共通モード電圧は 1.3V に設定されます。

表 32. SPI の概要：SYSREF 入力設定

Bit Field	Value
R_DIV	0x01
EN_RDBLR	0x01 for input reference frequency <250 or 0x00
SR_SEL	0x00 for CML/LVPECL operation, 0x01 for LVDS operation

アプリケーション情報

SYSREF 出力設定

リタイミングした SYSREF 出力は、LVDS 対応信号として SR_OUTP ピンと SR_OUTN ピンから読み出せます。ENSR ピンをローにするかレジスタ 0x001A の PD_SYSOUT ビットを 1 に設定することで、SYSREF 出力をパワーダウンできます。

7 ビットの遅延 SR_DEL を用いて、CLK の立上がりエッジから SYSREF 信号までの時間遅延を増加できます。遅延を設定するには、REG0043 の SR_DEL[6:0] を用います。REG0043 の INV_SR が 0 の場合、SYSREF はクロックの立上がりエッジに揃います。リタイミング・エッジは反転可能です。これは、 $0.5 \times t_{CLK}$ の遅延を余分に追加する効果もあります。これをイネーブルするには、REG0043 の INV_SR を 1 に設定します。

表 33. SPI の概要：SYSREF 出力設定

Bit Field	Value
PD_SYSOUT	0x00
SR_DEL[0:6]	0x00 to 0x7F
INV_SR	0x00 (default), 0x01 for additional $0.5 \times t_{CLK}$ delay

ダブル・バッファと手動 VCO キャリブレーションの設定

複数の周波数設定が必要な場合、ダブル・バッファ機能（詳細については、[ダブル・バッファ機能](#)のセクションを参照）および VCO 設定の手動プログラミングにより、周波数スイッチング時間を改善できます。この設計手順のような単一固定周波数アプリケーションの場合では、これらのモードが必要となることは稀です。そのため、関連ビットはパワーアップ時のデフォルト状態のままである可能性があります。

表 34. SPI の概要：ダブル・バッファと手動 VCO キャリブレーションの設定

Bit Field	Value
M_VCO_CORE	0x0
M_VCO_BAND	0x0
M_VCO_BIAS	0x0
O_VCO_CORE	0x0
O_VCO_BAND	0x0
O_VCO_BIAS	0x0
CLKO_DIV_DB	0x0
DCLK_DIV_DB	0x0
O_VCO_DB	0x0
DEL_CTRL_DB	0x0

SPI プロトコルの設定

SPI プロトコルについて記載した設計目標（詳細については、[シリアル・ポート](#)のセクションを参照）は、1.8V ロジック、4 線式 SPI、最適な SPI 書込みシーケンスです。REG0000、REG0001、REG0018 には SPI 関連のレジスタ・ビットがあり、これらを設計目標に基づく必要な状態と共に表 35 に示します。ビット機能が設計目標として表に記載されていない場合は、パワーオン時のデフォルト状態が仮定されています。

表 35. SPI の概要：SPI プロトコル

Bit Field	Value
CMOS_OV	0x0
SDO_ACTIVE, SDO_ACTIVE_R	0x1
ADDRESS_ASCENSION, ADDRESS_ASCENSION_R	0x0
SINGLE_INSTRUCTION	0x0
LSB_FIRST, LSB_FIRST_R	0x0
MASTER_READBACK_CONTROL	0x0

その他のレジスタ設定

チャージ・ポンプ・テスト・モード、MUXOUT、ブロック・パワーダウン制御の各セクションには、デバッグや周囲ダイ温度測定など、特定の目的のために推奨されるいくつかのビット・フィールドが記載されています。通常の使用例では、これらのビット・フィールドは、それぞれの POR 状態に設定する必要があります（表 36 参照）。SOFT_RESET、SOFT_RESET_R、RST_SYS、ADC_ST_CNV だけが、ここに示していないその他の RW ビット・フィールドですが、これらもそれぞれの POR 状態に設定する必要があります（表 36 参照）。

表 44 のビット列には、名称のないセルがいくつかあります。適切な動作を実現するため、これらの名称のない予約済みのセルは、表 44 に示す状態にプログラムする必要があります。

表 36. SPI の概要：その他のレジスタ

Bit Field	Value
EN_CPTTEST	0x0
CP_UP	0x0
CP_DOWN	0x0
MUXOUT	0x0
PD_CLK	0x0
PD_CALDAC	0x0
PD_ALL	0x0
PD_RDIV	0x0
PD_NDIV	0x0
PD_VCO	0x0
PD_LD	0x0
PD_PFDPCP	0x0
SOFT_RESET, SOFT_RESET_R	0x0
RESET_SYS	0x0
ADC_ST_CNV	0x0

プログラミング手順

ADF4378 をパワー・アップするには、2 種類の方法があります。標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーションのセクションで示す最も一般的に用いられる方法は、最初のデバイス・パワーアップ時には必須です。

アプリケーション情報

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定 (オプション) のセクションに示す方法は、最初のパワーアップ後にオプションで使用するパワーアップ手順です。

標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーション

次の標準的なパワーアップと初期化シーケンスは、ADF4378 をパワーアップしプログラミングするための推奨手順です。

1. **設計手順**のセクションで示したレジスタ設定を用いて、**パワーアップと初期化のシーケンス**のセクションの手順 1~手順 5 を実行します。
2. オプションで、VCO キャリブレーションのビット・フィールドである ADC_BUSY および FSM_BUSY の状態をモニタできます。ADC_BUSY がハイからローに遷移し、次いで FSM_BUSY がハイからローに遷移すると、VCO のキャリブレーションは終了します。自動 VCO キャリブレーション時間の代表値は、3ms~9ms です。
3. VCO のキャリブレーションが終了したら、EN_DRCLK = EN_DNCLK = EN_ADC_CLK = 0 に設定して VCO キャリブレーション・クロックをディスエーブルします。VCO キャリブレーション・クロックをディスエーブルすると、V_{3.3V,1} 電流が約 15mA 減少し、不要なスプリアス成分を低減できます。
4. ロック検出器が LKDET ピンおよび LOCKED ビットをハイに設定すると、PLL がロックされます。

高速パワーアップと初期化、手動プログラミングによる VCO キャリブレーション設定 (オプション)

高速のパワーアップおよび初期化方法の目的は、通常 3ms~9ms である自動 VCO キャリブレーション時間を避けるためです。本設計やプログラミング例 1 のように、固定クロック周波数コンバータのアプリケーションでは、通常、自動 VCO キャリブレーション時間が許容できます。次のリストは、VCO のキャリブレーション結果を最初のパワーアップ時に記録し、その後のパワーアップ時に VCO キャリブレーション設定を手動でプログラミングする手順を示しています。

- ▶ 最初のパワーアップ時には、**標準的なパワーアップと初期化のシーケンス、自動 VCO キャリブレーション**のセクションで説明した手順に従います。
- ▶ VCO_CORE、VCO_BAND、VCO_BIAS の各ビット・フィールドからキャリブレーション結果を記録し、その記録された結果をメモリに保存します。固有のデバイスと周波数の組み合わせごとに、生成される VCO_CORE、VCO_BAND、VCO_BIAS の値は異なる点に注意してください。
- ▶ その後のパワーアップと初期化のシーケンス (詳細については、**パワーアップと初期化のシーケンス**のセクションを参照) では、**表 37** に示すレジスタ設定を用いてオーバーライド (O_VCO_CORE、O_VCO_BAND、O_VCO_BIAS) VCO レジスタ・ビットおよび手動 (M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS) VCO レジスタ・ビットを設定することで、自動 VCO キャリブレーション・プロセスをバイパスできます。**設計手順**のセクションに示すその他のビット・フィールドはすべて、同じままです。

表 37. 手動プログラミングによる VCO キャリブレーション設定

Bit Fields	Value
EN_AUTOCAL	0x0
EN_DRCLK	0x0
EN_DNCLK	0x0
EN_ADC_CLK	0x0
O_VCO_CORE	0x1
O_VCO_BAND	0x1
O_VCO_BIAS	0x1
M_VCO_CORE	Program M_VCO_CORE, M_VCO_BAND, and M_VCO_BIAS with recorded VCO_CORE,
M_VCO_BAND	VCO_BAND, and VCO_BIAS values, respectively,
M_VCO_BIAS	from the Standard Power-Up and Initialization Sequence, Automatic VCO Calibration section

複数の ADF4378 の出力位相のアライメント

複数の ADF4378 の出力位相を揃える手順は、次の 2 つのステップで構成されます。最初のステップでは、位相アライメントが確保できるよう、複数のデバイスのリファレンス分周器、リファレンス・ダブラ、クロック出力分周器が正しく設定されることを確実にものにします。次のステップでは、複数の ADF4378 デバイスの出力間スキューを最小限に抑えます。

ステップ 1: 位相アライメント

ADF4378 のアーキテクチャには、インテジャー-PLL フィードバック・ループ内にクロック出力分周器と出力インバータがあり (**機能ブロック図**を参照)、これによりクロック出力分周器の位相とリファレンス入力の位相が揃うようロックされた PLL が可能になります。そのため、複数の ADF4378 の出力の位相を揃えるために、ADF4378 のすべてのリファレンス入力ピンでリファレンスの位相が確実に揃うようにしてください。

リファレンス分周器とリファレンス・ダブラは PLL ループ外にあるため、**表 38** を参照し、複数の ADF4378 デバイスの位相アライメントが確保されるようにしてください。

表 38. 複数の ADF4378 デバイスを揃えるためのリファレンス設定

Reference Divider and Doubler State	Guaranteed Reference to Output Phase Alignment
EN_RDBLR = 1	Yes
R_DIV = 1	Yes
R_DIV > 1	When $f_{OUT}/f_{REF} = \text{integer}$, and $f_{REF} \leq f_{OUT}$

ステップ 2: 出力間スキュー調整

複数の ADF4378 デバイス間でのリファレンス入力からリファレンス出力への伝搬遅延 (t_{PD}) の差は、複数の ADF4378 デバイス間の出力間スキューとして現れます。

プロセスや温度の範囲全域で t_{PD} を最小限に抑えるには、REF_SEL = 0 に設定してリファレンス入力バッファに DMA を選択します。DMA を選択すると、プロセス変動による t_{PD} の代表的な標準偏差は 3ps (**図 26** 参照) で、温度係数 (t_{PD-TC}) は 0.03ps/°C (**図 22** 参照) です。

アプリケーション情報

ADF4378 デバイスの制御された t_{PD} により、システム全体のスキュー (t_{SKEW_SYSTEM}) の大部分は、配線パターンやケーブルでの伝搬遅延の不一致 (t_{SKEW_B} 、 t_{SKEW_D})、および他の部品のスキュー (t_{SKEW_A}) または計測器のスキュー (t_{MEAS_ERROR}) によるものと予測することが妥当です。図 100 と式 24 に、代表的なシステムにおいて可能性のある出力スキュー誤差の要因をいくつか示します。記事：数 GHz に対応する大規模なクロック・ツリーのスキューを抑えるでは、大規模なクロック・ツリーでの部品選択、基板設計、エンドユーザのコスト条件について、スキューに関するトレードオフの概要を説明しています。

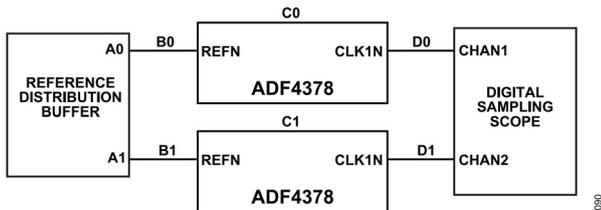


図 100. 総合的システム・スキュー

$$t_{SKEW_SYSTEM} = t_{SKEW_A} + t_{SKEW_B} + t_{SKEW_C} + t_{SKEW_D} + t_{MEAS_ERROR} \quad (24)$$

ここで、

$$t_{SKEW_A} = t_{A1} - t_{A0}$$

$$t_{SKEW_B} = t_{PD_B1} - t_{PD_B0}$$

$$t_{SKEW_C} = t_{PD_C1} - t_{PD_C0}$$

$$t_{SKEW_D} = t_{PD_D1} - t_{PD_D0}$$

$$t_{MEAS_ERROR} = t_{CHAN1} - t_{CHAN2}$$

複数クロック間のクロック・スキューを更に低減するために、ADF4378 デバイスでは、SPI のプログラマブルな調整を行い、 t_{PD} を 1ps 未満のステップで増加または減少できます。表 39 および表 40 では、リファレンスから出力への遅延の複数の制御方法を比較しています。大規模なクロック・ツリーでは、これらの t_{PD} 調整により、部品選択、基板設計、エンドユーザのコスト条件における出力間スキューのトレードオフを軽減できます。

表 39. ADF4378 におけるリファレンスから出力までの遅延制御の比較

Parameters	Reference Delay	Feedback Delay	Charge-Pump Bleed Current	Output Invert
Register Bits	R_DEL	N_DEL	EN_BLEED, BLEED_I bit fields, Bits[9:0], BLEED_POL	INV_CLKOUT
t_{PD}	Increases	Decreases	BLEED_POL = 0, increases BLEED_POL = 1, decreases	Inverts output, see Table 19
Number of Steps	127	127	1023	1023
Step Size	~1 ps	~1 ps	~0.01 ps to 65 ps, varies with CP_I and f_{PPD} Equation 9	$1/(2 \times f_{OUT})$

表 40. ADF4378 におけるリファレンスから出力までの代表的な性能影響

Parameters	Reference and Feedback Delay	Charge-Pump Bleed Current	Output Invert
Temperature Coefficient	Minimal, Figure 18 and Figure 23	None, Figure 21 and Figure 24	None
L _{NORM}	<1 dB, Figure 45	<1 dB, Figure 42	None
L _{1/f}	<1 dB, Figure 45	<4 dB, Figure 42	None
Spurious	Minimal	$f_{PPD} \geq 50$ MHz: minimal, $f_{PPD} < 50$ MHz, contact ADI	Minimal
Lock Detector	None	For more information, see the Lock Detector section	None

図 45 および図 43 には、R_DEL、N_DEL、または BLEED_I ビット・フィールドのビット[9:0]の大きさが増加すると、L_{NORM} および L_{1/f} が一般的にわずかに増加するという傾向が示されています。L_{NORM} および L_{1/f} の増加は、クロック・ジッタの原因となります (図 12 および図 15 を参照)。そのため、ジッタの影響を受けやすいアプリケーションの多くでは、R_DEL、N_DEL、または BLEED_I ビット・フィールドのビット[9:0]の値の大きさを最小限に抑える方法を見出すことが必要です。例えば、図 100 のスキューを最小限に抑えるための調整方法を 2 つ、図 101 に示します。方法 1 では、表 39 に示したリファレンスから出力への遅延調整の 1 つのみを調整します。方法 1 によれば、R_DEL、N_DEL、または BLEED_I ビット・フィールドのビット[9:0]の最大調整量が、出力サイクルの半分、すなわち、 $1/(2 \times f_{OUT})$ になります。方法 2 では、R_DEL、N_DEL、または BLEED_I ビット・フィールドのビット[9:0]のいずれかの調整を行うと共に出力反転を用いることで、R_DEL、N_DEL、または BLEED_I ビット・フィールドのビット[9:0]の大きさを最小限に抑えます。方法 2 では、R_DEL、N_DEL、または BLEED_I ビット・フィールドのビット[9:0]の最大調整量は出力サイクルの 1/4、つまり、 $1/(4 \times f_{OUT})$ となり、方法 1 に比べ小さくなります。方法 2 については、表 41 に更に詳しく記載します。

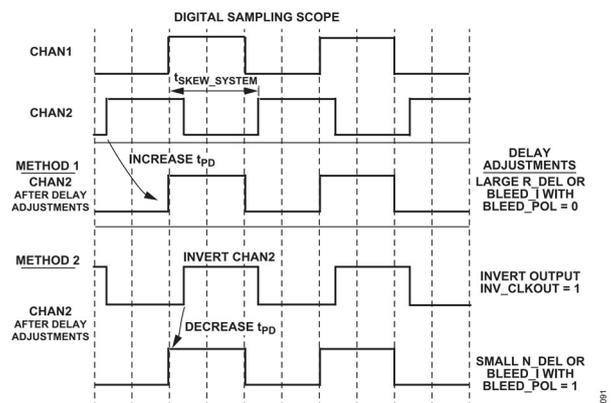


図 101. スキュー調整方法

アプリケーション情報

表 41. 方法 2 : スキュー調整

t_{SKEW_SYSTEM}	Procedure
$0 < t_{SKEW_SYSTEM} \leq \frac{1}{4 \times f_{OUT}}$	INV_CLKOUT = 0 and decrease t_{PD}
$\frac{1}{4 \times f_{OUT}} < t_{SKEW_SYSTEM} \leq \frac{2}{4 \times f_{OUT}}$	INV_CLKOUT = 1 and increase t_{PD}
$\frac{2}{4 \times f_{OUT}} < t_{SKEW_SYSTEM} \leq \frac{3}{4 \times f_{OUT}}$	INV_CLKOUT = 1 and decrease t_{PD}
$\frac{3}{4 \times f_{OUT}} < t_{SKEW_SYSTEM} \leq \frac{1}{f_{OUT}}$	INV_CLKOUT = 0 and increase t_{PD}

設計例 2 : JESD204B/C マルチチップ・クロックおよび SYSREF アライメント

この設計例 2 では、コンバータ間のクロック・スキューを最小限にする、アナログ・デバイゼズのシステム・レベルの手法に焦点を置きます。ADF4378 のループ・フィルタおよびレジスタ・マップの詳細な設計については、[設計およびプログラミング例 1 : 単一 ADF4378](#) のセクションで述べた手順に従ってください。デバイス固有のプログラミングと、コンバータおよびステージ 1 の分配 IC のプログラミングの詳細は、この例の目的の範囲を超えています。

この設計例では、次の目標を仮定しています。

- ▶ 2 つの個別の ADF4378 デバイスを用いて 2 つのコンバータ・デバイスにクロックを供給。
- ▶ 時間ゼロでのクロック・スキューを最小化。
- ▶ クロック・スキュー誤差を測定しこれを低減する手順を提供。

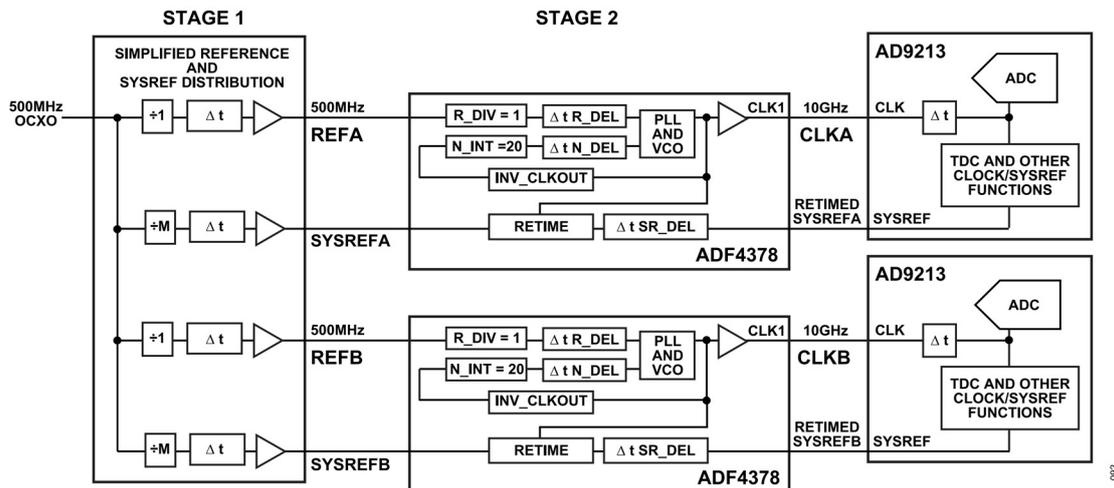


図 102. 設計例 2 : JESD204B/C マルチチップ・クロックおよび SYSREF アライメント

アプリケーション情報

設計上の考慮事項

リファレンスおよび SYSREF の分配の選択、ボード・レイアウト時の考慮事項、スキュー調整オプション、スキュー調整およびシステム誤差、パワーアップ、プログラミング、測定シーケンスの各セクションでは、複数の ADF4378 デバイスと複数の JESD204B/C コンバータを使用して低クロック・スキュー・システムを設計する場合の、いくつかの設計上の考慮事項について概略を説明します。

リファレンスおよび SYSREF の分配の選択

クロック・スキューとドリフトを最小限に抑えることが必要な高性能アプリケーションでは、付加ノイズ・フロアがリファレンス源に関する考慮事項のセクションで説明した条件を満たし、かつ、ADF4378 のリファレンス入力バッファの DMA オプションが適用可能な出力スルー・レート (表 7 参照) を備えた、リファレンス分配デバイスを選択することを推奨します。DMA オプションは、図 22 に示すように、 t_{PD-TC} を最小にします。ほとんどのリファレンス分配 IC は方形波を出力します。方形波のスルー・レートは式 25 で決まります。

$$Slew\ Rate = \frac{V_{p-p} \times (\%Upper\ t_{RISE}\ Threshold - \%Lower\ t_{RISE}\ Threshold)}{t_{RISE}} \quad (25)$$

HMC7043、HMC7044、LTC6952、または LTC6953 は、ノイズ・フロアと立上がり時間の点で適切なリファレンス分配 IC です。

1 つのリファレンスおよび SYSREF 分配 IC から複数の出力を用いることで、リファレンスと SYSREF の温度遅延ドリフトが一致します。LTC6952 と LTC6953 のデータシートには、プロセスを通じた出力あたりの出力スキュー変動が記載されており、SYSREF 出力の選択に役立ちます。スキュー調整およびシステム誤差のセクションの説明にあるように、SYSREF 出力に対し最小のスキューとなる出力を選択すると、スキュー調整誤差を改善できます。

JESD204B/C リファレンスおよび SYSREF 分配 IC を選択するには、JESD204B のシリアル・レーン・レートと、フィールド・プログラマブル・ゲート・アレイ (FPGA) のクロック条件および SYSREF 条件を知っておく必要があります。これらはどちらも、このデータシートの範囲を超えています。しかし、アナログ・デバイスでは、リファレンスおよび SYSREF 分配 IC の選択において更なる助けとなり得るハードウェア例およびソフトウェア例を備えた、JESD204B/C 開発プラットフォームをいくつか作成しています。これらのプラットフォームの一部はアナログ・デバイセズのウェブサイトです。

ボード・レイアウト時の考慮事項

表 42 に示すように、ハードウェアの設計時には、図 102 のリファレンス、クロック、SYSREF の各配線パターン長の電気的な長さ (ℓ) を一致させるのが最善です。

表 42. スキュー最適化のための配線パターン長の一致

If Skew Adjustments Performed	Skew Optimization	Skew Temperature Coefficient Optimization
No	$t_{REFA} = t_{REFB}, t_{CLKA} = t_{CLKB}, t_{SYSREFA} = t_{SYSREFB}$	$t_{SYSREFX} = t_{REFX}$ and $t_{RE-TIMED_SYSREFX} = t_{CLKX}$

表 42. スキュー最適化のための配線パターン長の一致 (続き)

If Skew Adjustments Performed	Skew Optimization	Skew Temperature Coefficient Optimization
	and $t_{RE-TIMED_SYSREFA} = t_{RE-TIMED_SYSREFB}$	
Yes	$t_{SYSREFA} = t_{SYSREFB}$	$t_{SYSREFX} = t_{REFX}$

PCB の材料選択、伝送線選択、ケーブル選択、その他クロック・スキューに関する考慮事項の詳細については、記事: 数 GHz に対応する大規模なクロック・ツリーのスキューを抑えるを参照してください。

信号の減衰量は、配線パターンの長さで信号周波数に比例します。コンバータのクロック配線パターンは、RF 配線パターンとして取り扱う必要があります。クロック信号に結合する不要なスプリアスまたはノイズがコンバータの性能に影響する可能性があるためです。そのため、性能を最適化し減衰を制限するためには、 t_{CLKA} および t_{CLKB} のパターン長を最小限に抑えることを推奨します。クロック性能に関する考慮事項、配線、推奨回路図の詳細については、ADC のクロックとジッタに関する考慮事項のセクションを参照してください。

ほとんどの場合、配線パターン・マッチングのボード・レイアウト誤差は、図 102 に示すリファレンスおよび SYSREF 分配 IC または ADF4378 の Δt 機能を用いて補正できます。

スキュー調整オプション

図 102 には、ステージ 1 の IC および ADF4378 にスキュー調整 (Δt) ブロックがあります。ほとんどの場合、最高性能を実現するうえで ADF4378 が最適なスキュー調整オプションです。

ADF4378 の Δt ブロックについては、表 39 に記載されています。この設計例では、SR_DEL、R_DEL および N_DEL または BLEED_I ビット・フィールドのビット [9:0] が有効なオプションです。ただし、図 102 では SR_DEL、R_DEL、N_DEL のみを示しています。

すべての Δt ブロックと同様、位相ノイズが増加する可能性があります。表 43 に示すように、ADF4378 の Δt ブロックは、様々な周波数オフセットで位相ノイズに影響します。

表 43. ADF4378 の Δt ブロックの影響を受けるクロック位相ノイズ領域

Δt Block	In-Band Phase Noise	Wideband Phase Noise
	<ADF4378 Loop Filter Bandwidth	
		~10 MHz to f_{CLK}
R_DEL Δt	Minimal additive noise, see Table 40	None
N_DEL Δt	Minimal additive noise, see Table 40	None
SR_DEL Δt	None	None

図 102 のリファレンスおよび SYSREF 分配 IC には、出力ごとに Δt ブロックがあります。ステージ 1 の代表的な IC スキュー調整ステップ・サイズは 11ps (LTC6952、LTC6953) ~ 25ps (HMC7043、HMC7044) の範囲です。これらの Δt ブロックは、通常、出力の位相ノイズ・フロアを増大させ、これが ADF4378

アプリケーション情報

の帯域内性能に影響します。そのため、ステージ 1 のリファレンスおよび SYSREF 分配 IC の Δt ブロックは、SYSREF 信号に対してのみ推奨されます。

スキュー調整およびシステム誤差

図 102 において、ADF4378 内に示す SR_DEL Δt は、SYSREF 出力の立上がりエッジ (t_{SYSREF}) と CLK 出力の立上がりエッジ (t_{CLK}) の時間差を制御できます。CLK_OUT ピンと SR_OUT ピンの間のタイミングの関係を、図 103 に示します。

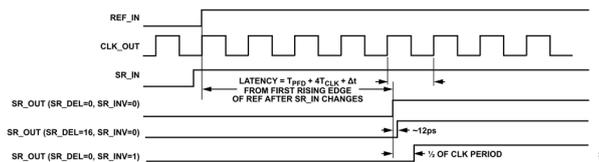


図 103. REF_IN、CLK_OUT、SR_IN、SR_OUT のタイミングの関係

ADF4378 の SYSREF リタイマー機能を用いると、 $t_{\text{RETIMED_SYSREF}}$ レーンと t_{CLK} レーンは不一致が最小となるように設計するという設計上の制約に従うことで、SYSREF 出力の立上がりエッジを 1 つの出力 CLK 周期に収め、温度範囲全域でそこにとどめることができます。この周期は、SYSREF の立上がりエッジが温度増加と共に CLK 立上がりエッジ付近を移動したり、あるいはそれを越えて移動したりすることがない限り、特定の CLK 周期である必要はありません。SYSREF IN が SYSREF OUT の立上がりエッジへ変化した後のリファレンス信号の最初の立上がりエッジの遅延は温度に対して安定で、式 26 を用いて計算できます。

$$\text{Latency} = T_{\text{PFD}} + 4 \times T_{\text{CLK}} + \Delta t \quad (26)$$

$t_{\text{RETIMED_SYSREF}}$ と t_{CLK} の間の伝搬遅延が一致しない場合、SR_DEL Δt ブロックは、SYSREF 出力を約 0.8ps のステップで最大 120ps まで、あるいは SR_INV=1 に設定して CLK 半周期分だけ、遅延させることができます。ADF4378 の SYSREF リタイマー機能を利用することで、高周波数の CLK 経路とリタイミングされた SYSREF 経路の設計を簡素化できます。そのため、設計者はシステムのリファレンスおよび SYSREF 分配に集中することができます。

通常、設計においては、 t_{SYSREF} と t_{REF} が最長経路です。ただし、これらの信号は周波数が低いという性質があるため、リファレンスおよび SYSREF の分配用に長さの揃った経路を設計することは、 t_{CLK} の場合に比べて容易です。リタイマー機能により、広く分布した SYSREF を、はるかに厳格な出力クロック・タイミングではなく、より低速のリファレンス周波数タイミングに合わせるだけで済むため、システム設計が簡素化されます。 t_{REFA} と t_{REFB} が一致しない場合、ADF4378 の N_DEL と R_DEL ブロックで、リファレンス信号のスキューを変更することができます。リファレンス分配の遅延ブロックは、2 つの ADF4378 間のリファレンス・アライメントに用いることもできますが、リファレンス分配の遅延ブロックにより ADF4378 の帯域内ノイズが増加する可能性があります。SYSREF の遅延は ADF4378 の帯域内ノイズには影響しないため、SYSREF 信号を揃えるために SYSREF 分配の遅延ブロックを使用することができます。

パワーアップ、プログラミング、測定のシーケンス

推奨するシステム・レベルのパワーアップ、デバイス・プログラミング、スキュー測定のシーケンスを以下に示します。

1. システムをパワーアップします。
2. ステージ 1 の IC と複数の ADF4378 のデバイスを、それぞれの目標周波数計画に合わせてプログラムします。
3. 部品の温度が安定するまで待ちます。
4. 最初の ADF4378 に対しクロック・スキュー調整を行います。
5. 図 101 に示すように、方法 2 に従いその他の ADF4378 についてスキュー調整をプログラムします。
6. JESD204B/C の初期化を実行します。

ADC のクロックとジッタに関する考慮事項

ADC の S/N 比条件とクロック・ジッタ条件の見積もり

クリーンな信号にノイズを直接加えると、S/N 比 (SNR) が低下します。データ・アキュイジション・アプリケーションでは、クリーンな信号をノイズの多いクロック信号でデジタル化した場合も S/N 比が低下します。この問題は、位相ノイズの代わりにジッタを用いると、時間領域で最も良く説明できます。これを議論するために、ジッタがホワイト (周波数全域で平坦) であり、かつガウス分布していると仮定します。

図 104 に、ADC、入力信号アンプ、サンプリング・クロックで構成される代表的なデータ・アキュイジション回路に入力される、サイン波信号を示します。また、図 104 では、サイン波をゼロ交差でサンプリングするための信号サンプリング・シナリオも 3 つ示しています。

最初のシナリオでは、完璧なサイン波入力がないアンプでバッファされて、ADC を駆動します。サンプリングは、完璧なゼロ・ジッタのクロックで行われます。ノイズやサンプリング・クロック・ジッタが加わらないため、ADC のデジタル化出力値は、非常に明確に定められ、サイクルごとに完璧に再現可能です。

2 つ目のシナリオでは、完璧なサイン波入力がないアンプでバッファされて、ADC を駆動します。サンプリングは、完璧なゼロ・ジッタのクロックで行われます。ノイズが加わるため、デジタル化された値には不確実性があり、S/N 比を低下させる誤差項の原因となります。ノイズの追加から信号まで、このシナリオでは、S/N 比の低下が見込まれます。

3 つ目のシナリオでは、完璧なサイン波入力がないアンプでバッファされて、ADC を駆動します。サンプリングはジッタの加わったクロック信号で行われます。2 つめのシナリオと同様、信号が遷移している間、クロック信号のジッタが、デジタル化された値の不確実性と誤差項の原因となる点に注意してください。同様に、この誤差項も S/N 比を低下させます。

実際のシステムでは、アンプのノイズとサンプル・クロックのジッタのどちらも加わります。信号をデジタル化した後は、S/N 比の低下、アンプのノイズ、あるいはサンプリング・クロックのジッタの根本原因を決めることは本質的に不可能です。

アプリケーション情報

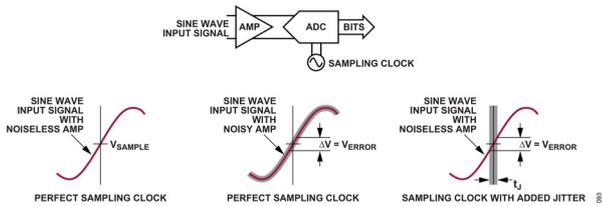


図 104. ノイズの多いアンプとジッタ・クロックによるサンプリング誤差への影響を示す代表的なデータ・アキュイジション回路

サンプル・クロック・ジッタによる S/N 比の低下は、アナログ入力信号が遷移している場合にのみ生じます。アナログ入力信号が一定 (DC) の場合は、時間領域のどこでサンプリングを行うかは問題にはなりません。また、入力信号の遷移が速い場合は、遅い場合に比べて誤差は大きく (ノイズが多く) なります。

図 105 にこの効果を示します。信号の遷移が速い場合は遅い場合に比べ誤差項がどれだけ大きくなるかに注意してください。データ・コンバータの S/N 比性能を維持するために、高入力周波数信号のデジタル化では、低入力周波数信号のアプリケーションよりもはるかにジッタの少ないクロックが必要です。

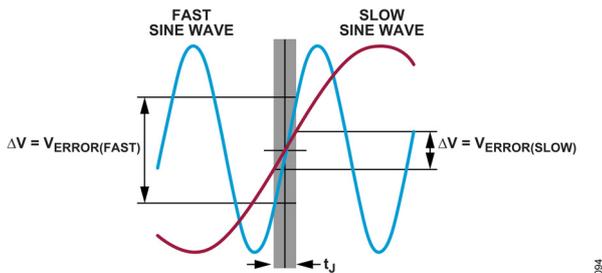


図 105. ジッタのあるクロックでサンプリングされる、高速および低速のサイン波信号

アナログ入力信号の周波数によってサンプル・クロックのジッタ条件が決まる点に注意することが重要です。実際のサンプル・クロック周波数は問題ではありません。高周波数サンプリング信号を用いる多くの ADC アプリケーションでは特に、厳しいサンプル・クロック・ジッタ条件があります。

以下の情報は、サンプリング・クロックのジッタによる S/N 比の低下を直観的に理解するのに有用です。定量的には、所定のアプリケーションに対する実際のサンプル・クロック・ジッタ条件は、次式で計算されます。

$$t_{J(TOTAL)} = \frac{10^{-SNR_{dB}/20}}{2 \times \pi \times f_{SIG}} \quad (27)$$

ここで、

$t_{J(TOTAL)}$ は、合計実効値ジッタ (単位: 秒)。

SNR_{dB} は、S/N 比条件 (単位: デシベル)。

f_{SIG} は、デジタル化する最大周波数の信号 (単位: Hz)。

合計ジッタは、ADC のアパーチャ・ジッタとサンプル・クロック・ジッタの実効値和で、次式で計算されます。

$$t_{J(TOTAL)} = \sqrt{t_{J(CLK)}^2 + t_{J(ADC)}^2} \quad (28)$$

あるいは、所定の合計ジッタに対し実現可能な S/N 比を次式で計算できます。

$$SNR_{dB} = -20 \times \log(2 \times \pi \times f_{SIG} \times t_{J(TOTAL)}) \quad (29)$$

これらの計算では、フルスケール・サイン波入力信号を仮定しています。入力信号が複合的な、中程度のクレスト・ファクタを持つ変調信号である場合、信号のピーク・スルー・レートはこれより低くなり、サンプル・クロック・ジッタ条件は緩和される可能性があります。

これらの計算は理論的でもあります。無限の分解能を持つノイズのない ADC を仮定しています。実際の ADC はすべて、ノイズの追加も分解能制限もあります。サンプリング・クロックを過大に仕様規定しないよう、ADC の制限を考慮することが必要です。

図 106 は前述の式をプロットしたもので、所定の入力信号に対するサンプル・クロック・ジッタ条件を見積もる方法、あるいは、所定のサンプル・クロック・ジッタに対し予測される S/N 比性能を見積もる方法を提供します。

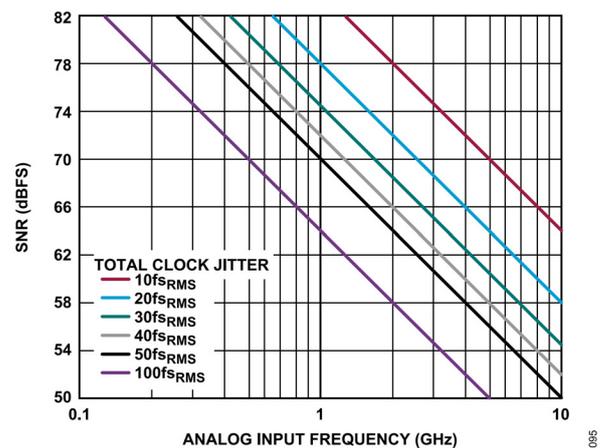


図 106. S/N 比と入力信号周波数およびサンプル・クロック・ジッタの関係

ADC の S/N 比を用いたクロック・ジッタの間接的測定

定義されたオフセット周波数範囲内 (例: 12kHz~20MHz) にクロック・ジェネレータの位相ノイズが統合されているような一部のアプリケーションでは、クロックが全体的なシステム性能に与える影響を計算すれば十分です。こうした状況では、実効値ジッタは位相ノイズ測定から計算できます。

ただし、その他のアプリケーションでは、位相ノイズ・アナライザの能力を超える周波数オフセットでのクロックの位相ノイズを知る必要があります。この制限により、位相ノイズ測定からジッタを計算することが困難になります。

ADC のクロック源の実効値ジッタは、ジッタに支配された S/N 比の測定とジッタに支配されない S/N 比の測定を比較することで間接的に測定できます。ジッタ支配 S/N 比測定 (SNR_{JITTER}) は、低ジッタで高周波数のフルスケール・サイン波を ADC のアナログ入力に印加することで実行できます。非ジッタ支配 S/N

アプリケーション情報

比測定 (SNR_{BASE}) は、非常に低振幅 (または低周波数) のサイン波を ADC のアナログ入力に印加することで実行できます。合計クロック・ジッタ (t_{J(TOTAL)}) は式 30 を用いて計算できます。

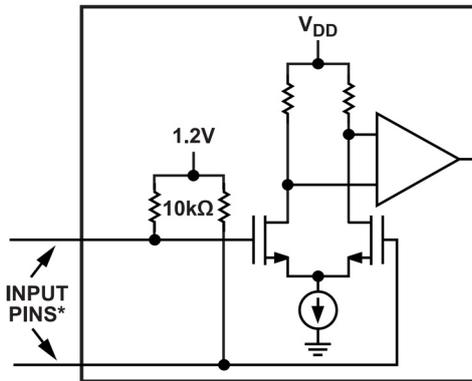
$$t_{J(TOTAL)} = \frac{10^{1/2} \times \log_{10} \left(10^{-SNR_{JITTER}/10} - 10^{-SNR_{BASE}/10} \right)}{2 \times \pi \times f_{SIG}} \quad (30)$$

ADC の固有のアパーチャ・ジッタ (t_{J(ADC)}) が既知であると仮定すると、クロック・ジェネレータのジッタ (t_{J(CLK)}) は、式 28 を用いて求めることができます。

ADC サンプル・クロック入力の駆動条件

最新の高速で高分解能の ADC は、多くの点で、実験室の計測器性能と同等またはそれを超える可能性のある、ノイズに敏感な部品です。アナログ信号入力、電圧リファレンス、またはサンプリング・クロック入力のノイズまたは干渉信号が、デジタル化されたデータに簡単に現れる可能性があります。ADC の性能を完全に発揮するには、サンプリング・クロック入力が、クリーンで低ジッタの信号で駆動されることが必要です。

図 107 に、代表的な ADC サンプル・クロック入力の簡略図を示します。図 107 で、入力ピンを、エンコードに用いる場合は ENC±、差動 ADC のクロックに用いる場合は CLK± と表示することができます。入力は差動リミット・アンプ段で構成され、ADC のトラック&ホールド段を直接制御するバッファがそれに続きます。



*INPUT PINS ARE TYPICALLY NAMED ENC± OR CLK±.

図 107. 簡略化したサンプル・クロック入力回路

このサンプル・クロック入力アンプは、高速で遷移する入力信号によるメリットもあります。アンプには固有のノイズがないためです。クロスオーバー領域を高速で遷移することで、アンプのノイズによって生成されるジッタは、遷移が低速の場合に比べ、少なくなります。図 107 に示すように、ADC のサンプル・クロック入力は通常、差動入力で、差動サンプリング・クロックにより最高性能を発揮できます。図 107 には、ADF4378 の出力とは異なるコモンモード入力電圧のサンプル・クロック入力も示しています。ほとんどの ADC アプリケーションでは、2 つのコモンモード電圧間で変換を行うために、AC カップリングが必要です。

伝送線および終端

高速の立上がりおよび立下がり時間を持つ高速信号の相互接続には、適切に整合した終端を備える伝送線を用いる必要があります。伝送線には、ストリップライン、マイクロストリップ、あるいはその他の設計トポロジが可能です。伝送線の設計に関する詳細はこのデータシートの範囲を超えています。伝送線の特性インピーダンスと終端インピーダンスの不一致は、信号の一部が伝送線の他端に向けて反射される原因となります。終端の開放または短絡という極端な場合は、信号のすべてが反射されます。この信号の反射は、波形にオーバーシュートやリングが生じる原因になります。図 108 に、伝送線の遠端終端に適した方法を示します。

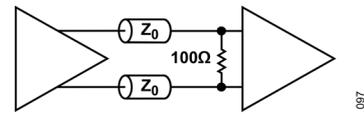
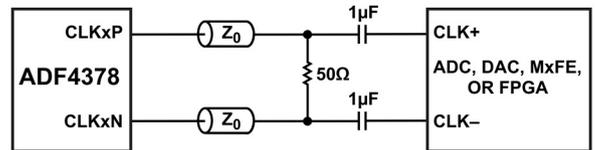


図 108. 遠端伝送線終端 (Z₀ = 50Ω)

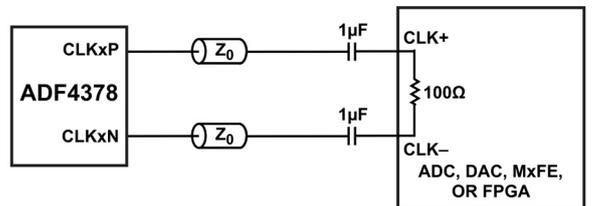
ADF4378 の出力ネットワーク

ADF4378 の差動出力は、大半の差動信号デバイスにインターフェイスすると同時に、遠端終端を備えた伝送線を駆動するように、設計されています。図 109、図 110、図 111 に、AC カップリングした出力構成を示します。レシーバ・デバイスによってはデバイス内に 100Ω の終端抵抗を内蔵していることがあり、この場合は 100Ω の外付け抵抗は不要です。ADF4378 は、シングルエンドの 50Ω 終端にもインターフェイスできます。この場合、使用しない出力には 50Ω 終端を AC カップリングさせる必要があります。図 111 に示すシングルエンドの例では、CLKP ピンと CLKN ピンを入れ替えることができます。



DIFFERENTIAL CLOCK WITH ON-BOARD END TERMINATION

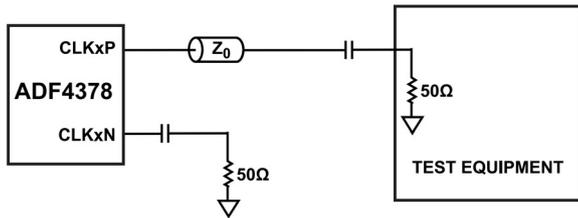
図 109. 一般的なクロック・インターフェイス：ボード上の終端を使用する差動クロック (Z₀ = 50Ω)



DIFFERENTIAL CLOCK WITH ON-CHIP END TERMINATION

図 110. 一般的なクロック・インターフェイス：チップ内蔵終端を使用する差動クロック (Z₀ = 50Ω)

アプリケーション情報



SINGLE-ENDED CLOCK WITH END TERMINATION

図 111. 一般的なクロック・インターフェイス：終端を使用するシングルエンド・クロック ($Z_0 = 50\Omega$)

この測定誤差をなくすための最善の方法は、クロック・ジェネレータの出力を、別のクリーンな電源のリミッティング・バッファに差動で入力することです。そのうえでリミッティング・バッファの差動出力の一方をスペクトラム・アナライザに接続すれば、スプリアス・エネルギーを正しく測定できます。ADF4378 をクロック・ジェネレータ、HMC940 をリミッタとして用いたこの手法の例を、図 113 に示します。

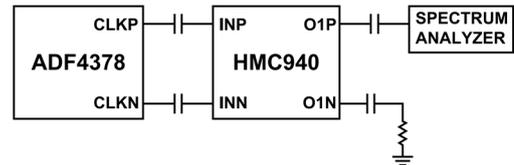
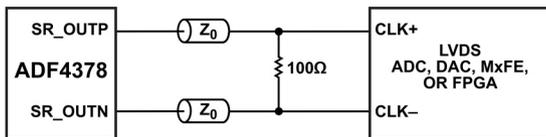


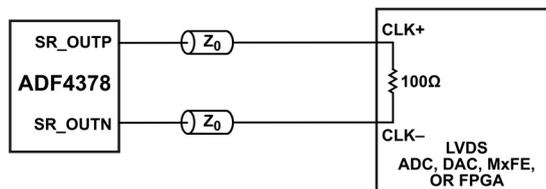
図 113. スプリアス測定手法の例

SYSREF の出力ネットワーク

ADF4378 の差動出力は、大半の LVDS 対応インターフェイスにインターフェイスすると同時に、遠端終端を備えた伝送線を駆動するよう、設計されています。図 112 に DC カップリングした出力構成を示します。レシーバ・デバイスによってはデバイス内に 100Ω の終端抵抗を内蔵していることがあり、この場合は 100Ω の外付け抵抗は不要です。



DIFFERENTIAL SYSREF WITH ON-BOARD END TERMINATION



DIFFERENTIAL SYSREF WITH ON-CHIP END TERMINATION

図 112. SYSREF の一般的な接続

シングルエンドの試験用計測器を用いた差動スプリアスの測定

スペクトラム・アナライザを用いてクロック生成チップのシングルエンド出力のスプリアス信号を測定すると、特に出力波形が方形波に近い場合、悲観的な結果が得られます。それには2つの理由があります。

まず、スプリアスのエネルギーは多くの場合、電源に重ね合わせられた AC 信号であるため、差動出力によって、スプリアスは正出力および負出力のマッチング範囲内に除去されます。差動出力の片側のみを観察する場合は、除去は生じません。

次に、そしてこれが最も重要ですが、スペクトラム・アナライザは、その入力におけるエネルギーのすべてを表示します。これには、方形波の上側および下側のペダスタル電圧で生じる振幅変調が含まれます。しかし、クロックに影響するのは、ゼロ交差付近での振幅変調のみです。

アプリケーション回路

ADF4378 デバイスの並列構成、13fs_{RMS} のジッタ

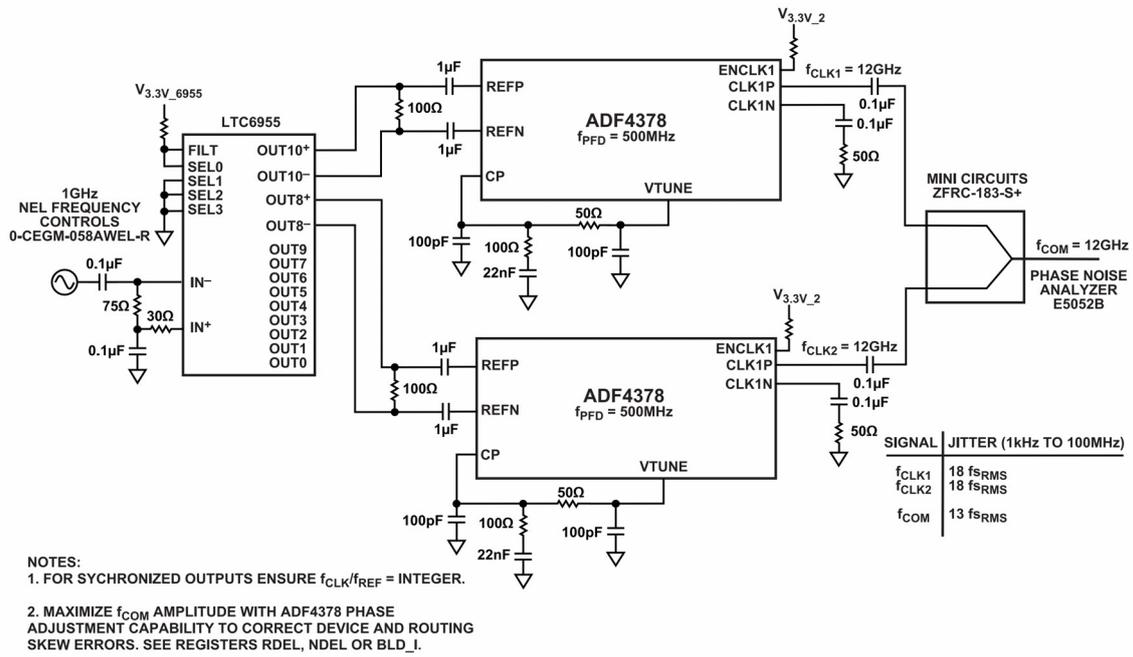


図 114. ADF4378 デバイスを並列構成したブロック図

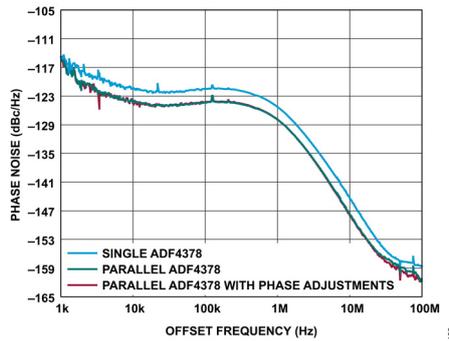


図 115. 12GHz の並列構成 ADF4378、13fs_{RMS} のジッタ

アプリケーション回路

ADF4378 をクロックに用いた AD9082 のエラー・ベクトルの大きさ (EVM)

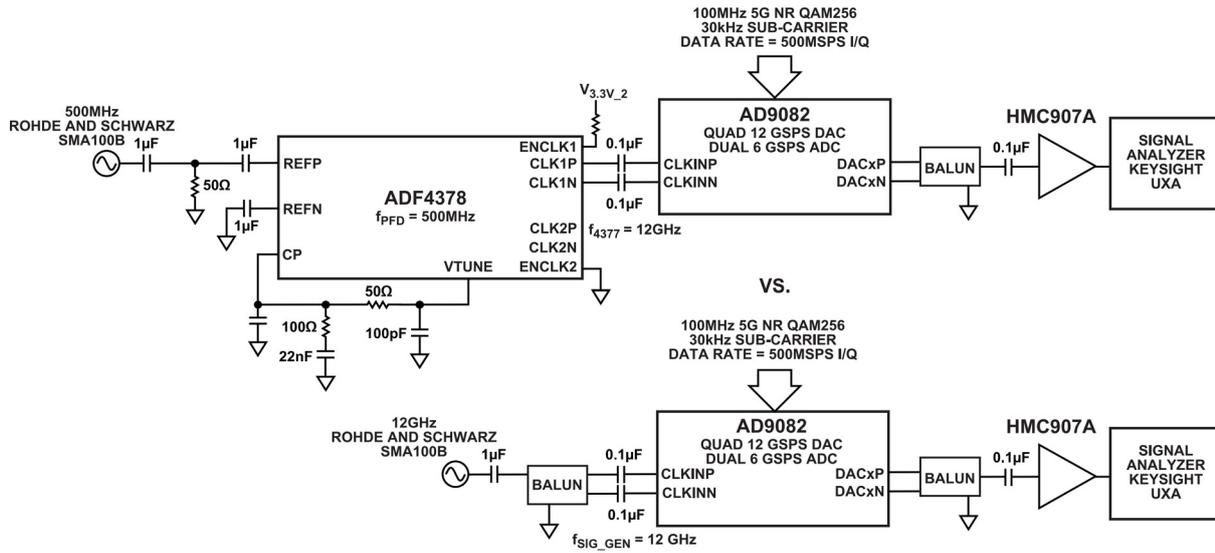


図 116. AD9082 と ADF4378 の測定回路図

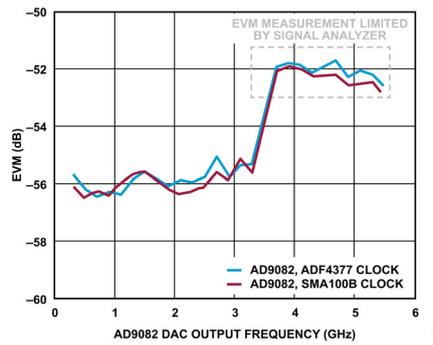


図 117. ADF4378 を 12GHz のクロックに用いた AD9082 の EVM

レジスタの一覧

表 44. ADF4378 のレジスタ一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	REG0000	[7:0]	SOFT_RES ET_R	LSB_FIRST _R	ADDRESS_ ASCENSIO N_R	SDO_ACTIV E_R	SDO_ACTIV E	ADDRESS_ ASCENSIO N	LSB_FIRST	SOFT_RES ET	0x00	R/W	
0x01	REG0001	[7:0]	SINGLE_IN STRUCTIO N	R001_RSV6	MAIN_REA DBACK_CO NTROL	R001_RSV4	RESERVED	R001_RSV2	R001_RSV1	RESERVED	0x00	R/W	
0x02	REG0002	[7:0]	RESERVED				R002_RSV1				0x00	R	
0x03	REG0003	[7:0]	RESERVED				CHIP_TYPE				0x00	R	
0x04	REG0004	[7:0]	PRODUCT_ID[7:0]								0x00	R	
0x05	REG0005	[7:0]	PRODUCT_ID[15:8]								0x00	R	
0x06	REG0006	[7:0]	R006_RSV2				R006_RSV1				0x00	R	
0x0A	REG000A	[7:0]	SCRATCHPAD								0x00	R/W	
0x0B	REG000B	[7:0]	SPI_REVISION								0x00	R	
0x0C	REG000C	[7:0]	VENDOR_ID[7:0]								0x56	R	
0x0D	REG000D	[7:0]	VENDOR_ID[15:8]								0x04	R	
0x0F	REG000F	[7:0]	RESERVED				R00F_RSV1				0x00	R/W	
0x10	REG0010	[7:0]	N_INT[7:0]								0x80	R/W	
0x11	REG0011	[7:0]	EN_AUTOC AL	EN_RDBLR	DCLK_DIV2		N_INT[11:8]				0x00	R/W	
0x12	REG0012	[7:0]	CLKOUT_DIV		R_DIV						0x01	R/W	
0x13	REG0013	[7:0]	R013_RSV1		M_VCO_CORE		M_VCO_BIAS				0x00	R/W	
0x14	REG0014	[7:0]	M_VCO_BAND								0x00	R/W	
0x15	REG0015	[7:0]	BLEED_I[1:0]		BLEED_PO L	EN_BLEED	CP_I				0x00	R/W	
0x16	REG0016	[7:0]	BLEED_I[9:2]								0x00	R/W	
0x17	REG0017	[7:0]	INV_CLKOU T	N_DEL								0x00	R/W
0x18	REG0018	[7:0]	CMOS_OV	R_DEL								0x00	R/W
0x19	REG0019	[7:0]	R019_RSV1		CLKOUT_OP		PD_CLK	PD_RDET	PD_ADC	PD_CALDA C	0x04	R/W	
0x1A	REG001A	[7:0]	PD_ALL	PD_RDIV	PD_NDIV	PD_VCO	PD_LD	PD_PFD CP	PD_CLKOU T1	PD_SYSO UT	0x83	R/W	
0x1B	REG001B	[7:0]	EN_LOL	LDWIN_PW	EN_LDWIN	LD_COUNT				0x00	R/W		
0x1C	REG001C	[7:0]	EN_DNCLK	EN_DRCLK	R01C_RSV4	R01C_RSV3	R01C_RSV2	RST_LD	R01C_RSV1		0x00	R/W	
0x1D	REG001D	[7:0]	MUXOUT				R01D_RSV1	EN_CPTES T	CP_DOWN	CP_UP	0x00	R/W	
0x1E	REG001E	[7:0]	R01E_RSV6	R01E_RSV5	R01E_RSV4		R01E_RSV3	R01E_RSV2	R01E_RSV1		0x00	R/W	
0x1F	REG001F	[7:0]	BST_REF	FILT_REF	REF_SEL	R01F_RSV2	R01F_RSV1				0x00	R/W	
0x20	REG0020	[7:0]	R020_RSV5		R020_RSV4	RST_SYS	EN_ADC_C LK	R020_RSV3	R020_RSV2	R020_RSV1	0x00	R/W	
0x21	REG0021	[7:0]	R021_RSV7				R021_RSV3				0x00	R/W	
0x22	REG0022	[7:0]	R022_RSV0[7:0]								0x00	R/W	
0x23	REG0023	[7:0]	CAL_CT_SE L	R023_RSV6				R022_RSV 0[8]		0x00	R/W		
0x24	REG0024	[7:0]	R024_RSV4	R024_RSV3				DCLK_MOD E	R024_RSV2	R024_RSV1	0x00	R/W	
0x25	REG0025	[7:0]	CLKODIV_D B	DCLK_DIV_ DB	R025_RSV3	R025_RSV2	R025_RSV1				0x00	R/W	
0x26	REG0026	[7:0]	VCO_BAND_DIV								0x00	R/W	

レジスタの一覧

表 44. ADF4378 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x27	REG0027	[7:0]	SYNTH_LOCK_TIMEOUT[7:0]								0x00	R/W	
0x28	REG0028	[7:0]	O_VCO_DB	SYNTH_LOCK_TIMEOUT[14:8]								0x00	R/W
0x29	REG0029	[7:0]	VCO_ALC_TIMEOUT[7:0]								0x00	R/W	
0x2A	REG002A	[7:0]	DEL_CTRL_DB	VCO_ALC_TIMEOUT[14:8]								0x00	R/W
0x2B	REG002B	[7:0]	R02B_RSV1[7:0]								0x00	R/W	
0x2C	REG002C	[7:0]	R02C_RSV3			R02C_RSV2	R02B_RSV1[11:8]					0x00	R/W
0x2D	REG002D	[7:0]	ADC_CLK_DIV								0x00	R/W	
0x2E	REG002E	[7:0]	EN_ADC_CNV	R02E_RSV5	R02E_RSV4	R02E_RSV3	R02E_RSV2	R02E_RSV1	EN_ADC	ADC_A_CO NV	0x00	R/W	
0x2F	REG002F	[7:0]	R02F_RSV5	R02F_RSV4	R02F_RSV3	R02F_RSV2	R02F_RSV1		DCLK_DIV1		0x00	R/W	
0x30	REG0030	[7:0]	R030_RSV4		R030_RSV3		R030_RSV2		R030_RSV1		0x00	R/W	
0x31	REG0031	[7:0]	R031_RSV6	R031_RSV5	R031_RSV4	R031_RSV3	R031_RSV2	R031_RSV1			0x00	R/W	
0x32	REG0032	[7:0]	R032_RSV5	ADC_CLK_SEL	R032_RSV4	R032_RSV3	R032_RSV2	R032_RSV1			0x00	R/W	
0x33	REG0033	[7:0]	R033_RSV6	R033_RSV5	R033_RSV4	R033_RSV3	R033_RSV2	R033_RSV1			0x00	R/W	
0x34	REG0034	[7:0]	R034_RSV5		R034_RSV4	R034_RSV3	R034_RSV2	R034_RSV1			0x00	R/W	
0x35	REG0035	[7:0]	R035_RSV1								0x00	R/W	
0x36	REG0036	[7:0]	R036_RSV3	R036_RSV2				R036_RSV1			0x00	R/W	
0x37	REG0037	[7:0]	R037_RSV7	R037_RSV6	R037_RSV5	R037_RSV4	R037_RSV3	R037_RSV2	R037_RSV1		0x00	R/W	
0x38	REG0038	[7:0]	R038_RSV1								0x00	R	
0x39	REG0039	[7:0]	R039_RSV1								0x00	R/W	
0x3A	REG003A	[7:0]	R03A_RSV1								0x00	R/W	
0x3B	REG003B	[7:0]	R03B_RSV2			R03B_RSV1					0x00	R/W	
0x3C	REG003C	[7:0]	R03C_RSV2				R03C_RSV1				0x00	R/W	
0x3D	REG003D	[7:0]	R03D_RSV2				O_VCO_BA ND	O_VCO_CO RE	O_VCO_BIA S	R03D_RSV1		0x00	R/W
0x3E	REG003E	[7:0]	R03E_RSV8	R03E_RSV7	R03E_RSV6	R03E_RSV5	R03E_RSV4	R03E_RSV3	R03E_RSV2	R03E_RSV1	0x00	R/W	
0x3F	REG003F	[7:0]	R03F_RSV1								0x00	R/W	
0x40	REG0040	[7:0]	R040_RSV1								0x00	R/W	
0x41	REG0041	[7:0]	R041_RSV2				R041_RSV1				0x00	R/W	
0x42	REG0042	[7:0]	R042_RSV5	PD_SR_MO N	SR_SEL	RST_SR_M ON	R042_RSV1				0x00	R/W	
0x43	REG0043	[7:0]	INV_SR	SR_DEL							0x00	R/W	
0x44	REG0044	[7:0]	R044_RSV5	R044_RSV4			R044_RSV3	R044_RSV2	R044_RSV1		0x00	R/W	
0x45	REG0045	[7:0]	RESERVED								ADC_ST_C NV	0x00	R/W
0x46	REG0046	[7:0]	R046_RSV1[7:0]								0x00	R	
0x47	REG0047	[7:0]	R046_RSV1[15:8]								0x00	R	
0x48	REG0048	[7:0]	R046_RSV1[23:16]								0x00	R	
0x49	REG0049	[7:0]	EN_SYS	EN_CLK	SR_OK	R049_RSV1	REF_OK	ADC_BUSY	FSM_BUSY	LOCKED	0x00	R	
0x4A	REG004A	[7:0]	R04A_RSV1								0x00	R	
0x4B	REG004B	[7:0]	RESERVED						VCO_CORE			0x00	R
0x4C	REG004C	[7:0]	CHIP_TEMP[7:0]								0x00	R	
0x4D	REG004D	[7:0]	RESERVED								CHIP_TEM P[8]	0x00	R
0x4E	REG004E	[7:0]	R04E_RSV1								0x00	R	
0x4F	REG004F	[7:0]	VCO_BAND								0x00	R	

レジスタの一覧

表 44. ADF4378 のレジスタ一覧 (続き)

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x50	REG0050	[7:0]					R050_RSV1				0x00	R
0x51	REG0051	[7:0]		RESERVED				VCO_BIAS			0x00	R
0x52	REG0052	[7:0]		RESERVED				R052_RSV1			0x00	R
0x53	REG0053	[7:0]			RESERVED			R053_RSV2	R053_RSV1		0x00	R
0x54	REG0054	[7:0]					VERSION				0x00	R

レジスタの詳細

アドレス : 0x00、リセット : 0x00、レジスタ名 : REG0000

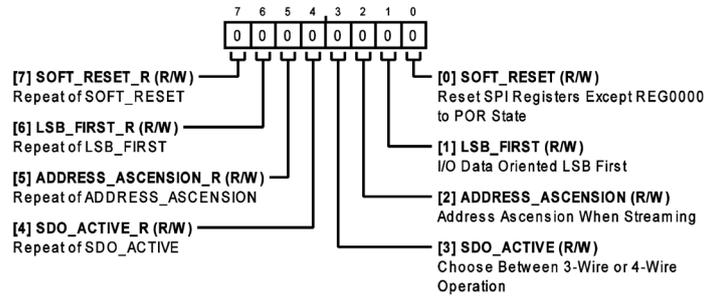


図 118.

表 45. REG0000 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SOFT_RESET_R	SOFT_RESET の繰返し。	0x0	R/W
6	LSB_FIRST_R	LSB_FIRST の繰返し。	0x0	R/W
5	ADDRESS_ASCENSION_R	ADDRESS_ASCENSION の繰返し。	0x0	R/W
4	SDO_ACTIVE_R	SDO_ACTIVE の繰返し。	0x0	R/W
3	SDO_ACTIVE	3 線式動作か 4 線式動作かの選択。 0 : 3 線式。 1 : 4 線式 SPI (SDO がイネーブルされ SDIO は入力専用になります)。	0x0	R/W
2	ADDRESS_ASCENSION	ストリーミング時のアドレス・アセンション 0 : ストリーミング時アドレスは自動でデクリメント。 1 : ストリーミング時アドレスは自動でインクリメント。	0x0	R/W
1	LSB_FIRST	I/O データは LSB ファーストを指向。 0 : MSB ファースト。 1 : LSB ファースト。	0x0	R/W
0	SOFT_RESET	REG0000 以外の SPI レジスタを POR 状態にリセット。自動クリアのリセットです。 0 : 通常動作。 1 : ソフト・リセット。	0x0	R/W

アドレス : 0x01、リセット : 0x00、レジスタ名 : REG0001

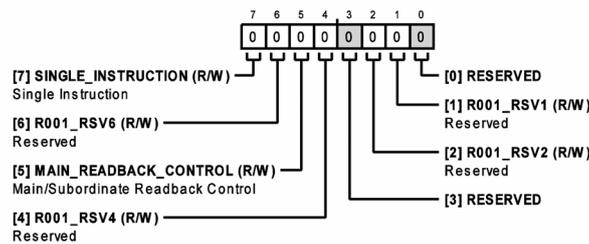


図 119.

表 46. REG0001 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	単一命令。 0 : SPI ストリーミングをイネーブル。 1 : SPI ストリーミングをディスエーブル。	0x0	R/W
6	R001_RSV6	予約済み。	0x0	R/W

レジスタの詳細

表 46. REG0001 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
5	MAIN_READBACK_CONTROL	上位/下位リードバック制御 0: ダブル・バッファ。下位レジスタをリードバック。 1: ダブル・バッファ。上位レジスタをリードバック。	0x0	R/W
4	R001_RSV4	予約済み。	0x0	R/W
3	RESERVED	予約済み。	0x0	R
2	R001_RSV2	予約済み。	0x0	R/W
1	R001_RSV1	予約済み。	0x0	R/W
0	RESERVED	予約済み。	0x0	R

アドレス : 0x02、リセット : 0x00、レジスタ名 : REG0002

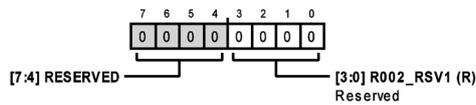


図 120.

表 47. REG0002 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	R002_RSV1	予約済み。	0x0	R

アドレス : 0x03、リセット : 0x00、レジスタ名 : REG0003

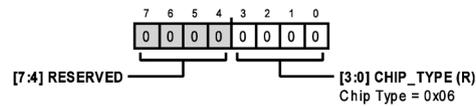


図 121.

表 48. REG0003 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	CHIP_TYPE	チップ・タイプ = 0x06。	0x0	R

アドレス : 0x04、リセット : 0x00、レジスタ名 : REG0004

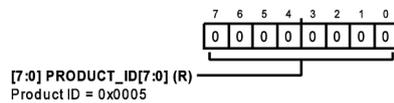


図 122.

表 49. REG0004 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]	製品 ID = 0x0005。	0x0	R

レジスタの詳細

アドレス : 0x05、リセット : 0x00、レジスタ名 : REG0005

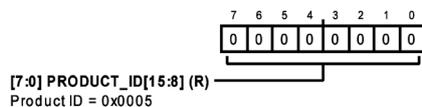


図 123.

表 50. REG0005 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]	製品 ID = 0x0005。	0x0	R

アドレス : 0x06、リセット : 0x00、レジスタ名 : REG0006

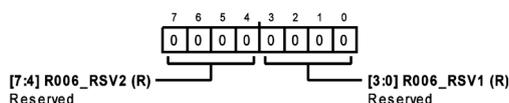


図 124.

表 51. REG0006 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	R006_RSV2	予約済み。	0x0	R
[3:0]	R006_RSV1	予約済み。	0x0	R

アドレス : 0x0A、リセット : 0x00、レジスタ名 : REG000A

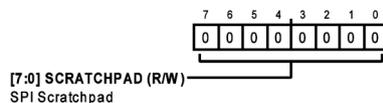


図 125.

表 52. REG000A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCHPAD	SPI のスクラッチパッド。	0x0	R/W

アドレス : 0x0B、リセット : 0x00、レジスタ名 : REG000B

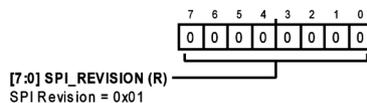


図 126.

表 53. REG000B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SPI_REVISION	SPI リビジョン = 0x01。	0x0	R

レジスタの詳細

アドレス : 0x0C、リセット : 0x56、レジスタ名 : REG000C

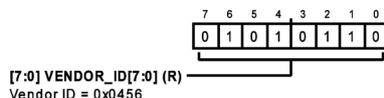


図 127.

表 54. REG000C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]	ベンダ ID = 0x0456。	0x56	R

アドレス : 0x0D、リセット : 0x04、レジスタ名 : REG000D

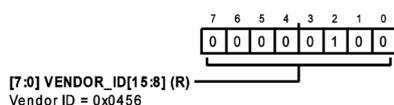


図 128.

表 55. REG000D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]	ベンダ ID = 0x0456。	0x4	R

アドレス : 0x0F、リセット : 0x00、レジスタ名 : REG000F

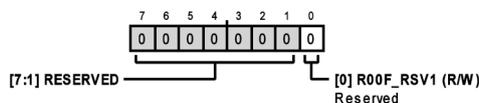


図 129.

表 56. REG000F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	R00F_RSV1	予約済み。	0x0	R/W

アドレス : 0x10、リセット : 0x80、レジスタ名 : REG0010

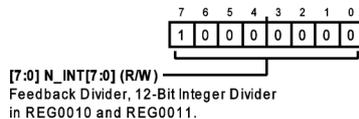


図 130.

表 57. REG0010 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	N_INT[7:0]	REG0010 および REG0011 の帰還分周器、12 ビット整数分周器。2～4095 (2 と 4095 を含む) の任意の分周値を設定します。ダブル・バッファ機能は常に有効化。	0x80	R/W

レジスタの詳細

アドレス : 0x11、リセット : 0x00、レジスタ名 : REG0011

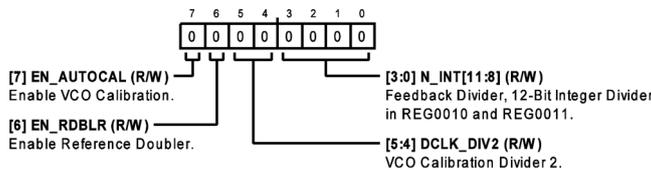


図 131.

表 58. REG0011 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_AUTOCAL	VCO キャリブレーションのイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
6	EN_RDBLR	リファレンス・ダブラのイネーブル。 0 : リファレンス分周器の経路を選択。 1 : リファレンス・ダブラの経路を選択。	0x0	R/W
[5:4]	DCLK_DIV2	VCO キャリブレーション分周器 2。 00 : 1 分周。 01 : 2 分周。 10 : 4 分周。 11 : 8 分周。	0x0	R/W
[3:0]	N_INT[11:8]	REG0010 および REG0011 の帰還分周器、12 ビット整数分周器。2~4095 (2 と 4095 を含む) の任意の分周値を設定します。ダブル・バッファ機能は常に有効化。	0x0	R/W

アドレス : 0x12、リセット : 0x01、レジスタ名 : REG0012

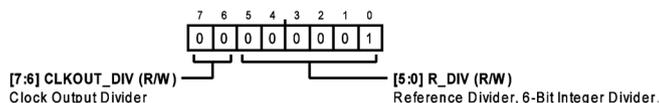


図 132.

表 59. REG0012 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	CLKOUT_DIV	クロック出力分周器。 00 : 1 分周。 01 : 2 分周。 10 : 4 分周。 11 : 8 分周。	0x0	R/W
[5:0]	R_DIV	リファレンス分周器、6 ビット整数分周器。	0x1	R/W

アドレス : 0x13、リセット : 0x00、レジスタ名 : REG0013

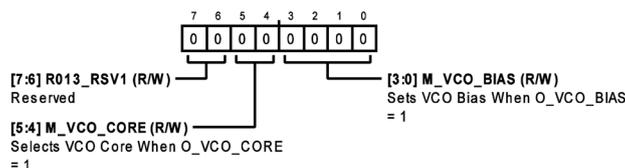


図 133.

レジスタの詳細

表 60. REG0013 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	R013_RSV1	予約済み。	0x0	R/W
[5:4]	M_VCO_CORE	O_VCO_CORE = 1 の場合に VCO コアを選択。 00 : VCO 0 最低周波数。 01 : VCO 1。 10 : VCO 2。 11 : VCO 3 最高周波数。	0x0	R/W
[3:0]	M_VCO_BIAS	O_VCO_BIAS = 1 の場合に VCO のバイアスを選択。 0000 : バイアス = 0。 0001 : バイアス = 1。 0010 : バイアス = 2。 0011 : バイアス = 3。 0100 : バイアス = 4。 0101 : バイアス = 5。 0110 : バイアス = 6。 0111 : バイアス = 7。 1000 : バイアス = 8。 1001 : バイアス = 9。 1010 : バイアス = 10。 1011 : バイアス = 11。 1100 : バイアス = 12。 1101 : バイアス = 13。 1110 : バイアス = 14。 1111 : バイアス = 15。	0x0	R/W

アドレス : 0x14、リセット : 0x00、レジスタ名 : REG0014

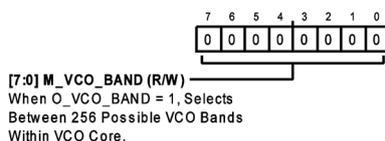


図 134.

表 61. REG0014 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	M_VCO_BAND	O_VCO_BAND = 1 の場合に VCO コア内の 256 通りの VCO 帯から選 択。 0 : 最高周波数の VCO 帯。 255 : 最低周波数の VCO 帯	0x0	R/W

アドレス : 0x15、リセット : 0x00、レジスタ名 : REG0015

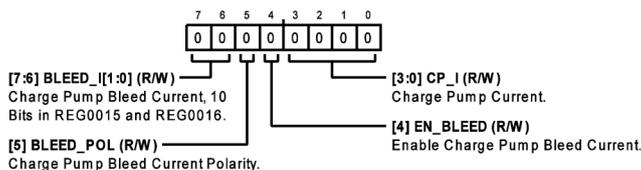


図 135.

レジスタの詳細

表 62. REG0015 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	BLEED_I[1:0]	チャージ・ポンプのブリード電流、REG0015 および REG0016 の 10 ビット。詳細については、 チャージ・ポンプのブリード電流のセクション を参照してください。ダブル・バッファ機能のオプション。	0x0	R/W
5	BLEED_POL	チャージ・ポンプのブリード電流の極性。 0 : シンク電流。リファレンス入力からクロック出力までの伝搬遅延が増加。 1 : ソース電流。リファレンス入力からクロック出力までの伝搬遅延が減少。	0x0	R/W
4	EN_BLEED	チャージ・ポンプのブリード電流のイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
[3:0]	CP_I	チャージ・ポンプ電流。 0000 : 0.79mA。 0001 : 0.99mA。 0010 : 1.19mA。 0011 : 1.38mA。 0100 : 1.59mA。 0101 : 1.98mA。 0110 : 2.39mA。 0111 : 2.79mA。 1000 : 3.18mA。 1001 : 3.97mA。 1010 : 4.77mA。 1011 : 5.57mA。 1100 : 6.33mA。 1101 : 7.91mA。 1110 : 9.51mA。 1111 : 11.1mA。	0x0	R/W

アドレス : 0x16、リセット : 0x00、レジスタ名 : REG0016

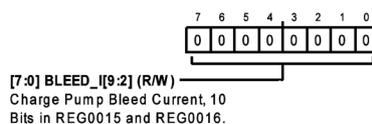


図 136.

表 63. REG0016 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	BLEED_I[9:2]	チャージ・ポンプのブリード電流、REG0015 および REG0016 の 10 ビット。詳細については、 チャージ・ポンプのブリード電流のセクション を参照してください。ダブル・バッファ機能のオプション。	0x0	R/W

アドレス : 0x17、リセット : 0x00、レジスタ名 : REG0017

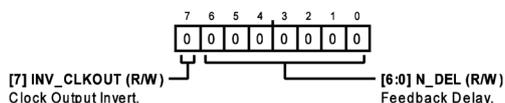


図 137.

レジスタの詳細

表 64. REG0017 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INV_CLKOUT	クロック出力の反転。ダブル・バッファ機能のオプション。 0 : 非反転。 1 : 反転。	0x0	R/W
[6:0]	N_DEL	帰還遅延。リファレンス入力からクロック出力までの伝搬遅延が減少。ダブル・バッファ機能のオプション。	0x0	R/W

アドレス : 0x18、リセット : 0x00、レジスタ名 : REG0018

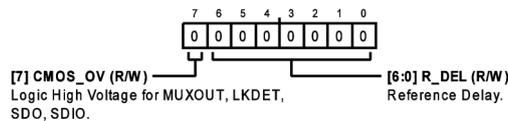


図 138.

表 65. REG0018 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CMOS_OV	MUXOUT、LKDET、SDO、SDIO のロジック・ハイ電圧。 0 : 1.8V ロジック。 1 : 3.3V ロジック。	0x0	R/W
[6:0]	R_DEL	リファレンス遅延。リファレンス入力からクロック出力までの伝搬遅延が増加。ダブル・バッファ機能のオプション。	0x0	R/W

アドレス : 0x19、リセット : 0x04、レジスタ名 : REG0019

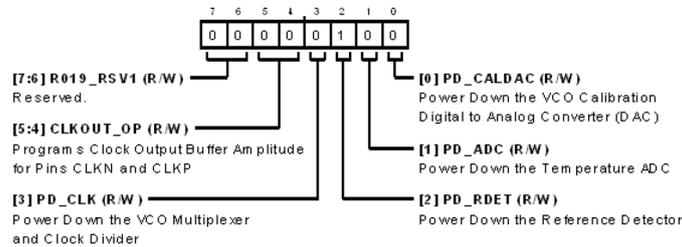


図 139.

表 66. REG0019 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	R019_RSV1	予約済み。ADF4378 のレジスタ・マップの レジスタの一覧 に、必要な予約済みレジスタ設定が示されています。	0x0	R/W
[5:4]	CLKOUT_OP	CLK1N ピンおよび CLK1P ピンのクロック出力バッファの振幅を設定します。 00 : 最小振幅。詳細については、 仕様 のセクションを参照してください。 01 : 詳細については、 仕様 のセクションを参照してください。 10 : 詳細については、 仕様 のセクションを参照してください。 11 : 最大振幅。詳細については、 仕様 のセクションを参照してください。	0x0	R/W
3	PD_CLK	VCO マルチプレクサおよびクロック分周器のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W
2	PD_RDET	リファレンス検出器のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。	0x1	R/W
1	PD_ADC	温度 ADC のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。	0x0	R/W

レジスタの詳細

表 66. REG0019 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
0	PD_CALDAC	VCO キャリブレーション D/A コンバータ (DAC) のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W

アドレス : 0x1A、リセット : 0x83、レジスタ名 : REG001A

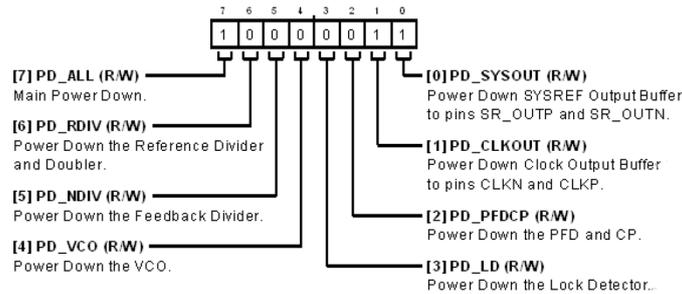


図 140.

表 67. REG001A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	PD_ALL	メイン電源のパワーダウン。 0 : アクティブ。 1 : パワーダウン。SPI レジスタを POR 状態にはリセットしません。詳細については、 パワーアップと初期化のシーケンス のセクションの例を参照してください。	0x1	R/W
6	PD_RDIV	リファレンス分周器とダブラのパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W
5	PD_NDIV	帰還分周器のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W
4	PD_VCO	VCO のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W
3	PD_LD	ロック検出器のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W
2	PD_PFDPCP	PFD および CP のパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。詳細については、 ブロック・パワーダウン制御 のセクションを参照してください。	0x0	R/W
1	PD_CLKOUT	CLKN ピンおよび CLKP ピンへのクロック出力バッファのパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。	0x1	R/W
0	PD_SYSOUT	SR_OUTP ピンおよび SR_OUTN ピンへの SYSREF 出力バッファのパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン。	0x1	R/W

レジスタの詳細

アドレス : 0x1B、リセット : 0x00、レジスタ名 : REG001B

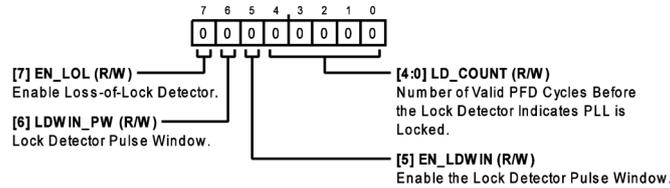


図 141.

表 68. REG001B のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_LOL	ロック喪失検出器のイネーブル。 0 : デイスエーブル。 1 : イネーブル。通常動作。	0x0	R/W
6	LDWIN_PW	ロック検出器のパルス・ウィンドウ。 0 : ナロー・ウィンドウ。通常動作。 1 : ワイド・ウィンドウ。詳細については、 ロック検出器 のセクションを参照してください。	0x0	R/W
5	EN_LDWIN	ロック検出器のパルス・ウィンドウのイネーブル。 0 : デイスエーブル。 1 : イネーブル。通常動作。	0x0	R/W
[4:0]	LD_COUNT	PLL がロックされたことをロック検出器が指示するまでの有効な PFD サイクル数。詳細については、 ロック検出器 のセクションを参照してください。	0x0	R/W

アドレス : 0x1C、リセット : 0x00、レジスタ名 : REG001C

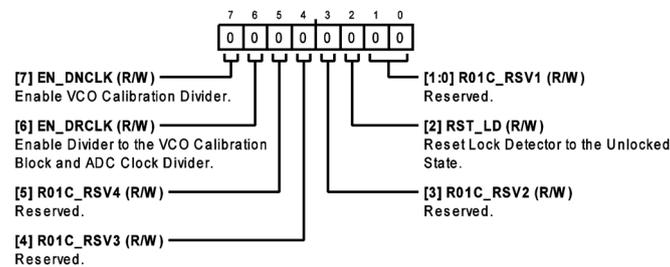


図 142.

表 69. REG001C のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_DNCLK	VCO キャリブレーション分周器のイネーブル。詳細については、 図 75 を参照してください。 0 : デイスエーブル。スプリアス成分を低減するために使用しない場合は、デイスエーブルします。 1 : イネーブル。VCO キャリブレーションが始まる前にイネーブルしてください。	0x0	R/W
6	EN_DRCLK	VCO キャリブレーション・ブロックおよび ADC クロック分周器への分周器をイネーブル。詳細については、 図 75 を参照してください。 0 : デイスエーブル。スプリアス成分を低減するために使用しない場合は、デイスエーブルします。 1 : イネーブル。VCO キャリブレーションまたは温度センサー測定が始まる前にイネーブルしてください。	0x0	R/W
5	R01C_RSV4	予約済み。 表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
4	R01C_RSV3	予約済み。 表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
3	R01C_RSV2	予約済み。 表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
2	RST_LD	ロック検出器をアンロック状態にリセット。このビットはセルフクリアされません。 0 : リセット無効。通常動作。 1 : リセット有効。	0x0	R/W

レジスタの詳細

表 69. REG001C のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[1:0]	R01C_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

アドレス : 0x1D、リセット : 0x00、レジスタ名 : REG001D

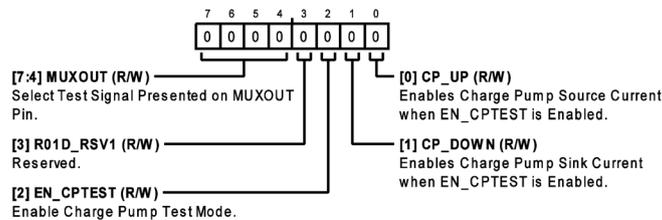


図 143.

表 70. REG001D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	MUXOUT	MUXOUT ピンに出力されるテスト信号を選択します。 0000 : 高インピーダンス。 0001 : LKDET。ロック検出器の出力。 0010 : ロー。 0011 : ロー。 0100 : $f_{DIV_RCLK}/2$ 。 0101 : $f_{DIV_NCLK}/2$ 。 0110 : 予約済み。 0111 : ロー。 1000 : ハイ。 1001 : 予約済み。 1010 : 予約済み。 1011 : ロー。 1100 : ロー。 1101 : ロー。 1110 : 予約済み。 1111 : 予約済み。	0x0	R/W
3	R01D_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
2	EN_CPTEST	チャージ・ポンプ・テスト・モードのイネーブル。 0 : ディスエーブル。通常動作。 1 : イネーブル。	0x0	R/W
1	CP_DOWN	EN_CPTEST がイネーブルされている場合にチャージ・ポンプ・シンク電流をイネーブルします。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
0	CP_UP	EN_CPTEST がイネーブルされている場合にチャージ・ポンプ・ソース電流をイネーブルします。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

レジスタの詳細

アドレス : 0x1E、リセット : 0x00、レジスタ名 : REG001E

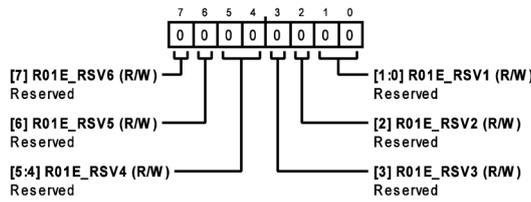


図 144.

表 71. REG001E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R01E_RSV6	予約済み。	0x0	R/W
6	R01E_RSV5	予約済み。	0x0	R/W
[5:4]	R01E_RSV4	予約済み。	0x0	R/W
3	R01E_RSV3	予約済み。	0x0	R/W
2	R01E_RSV2	予約済み。	0x0	R/W
[1:0]	R01E_RSV1	予約済み。	0x0	R/W

アドレス : 0x1F、リセット : 0x00、レジスタ名 : REG001F

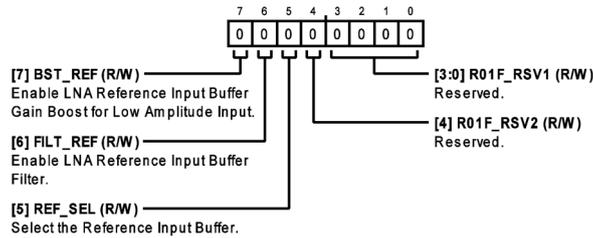


図 145.

表 72. REG001F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	BST_REF	低振幅入力の LNA リファレンス入力バッファ・ゲイン・ブーストをイネーブル。詳細については、表 9 を参照してください。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
6	FILT_REF	LNA リファレンス入力バッファ・フィルタのイネーブル。詳細については、表 8 を参照してください。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
5	REF_SEL	リファレンス入力バッファの選択。詳細については、表 7 を参照してください。 0 : リファレンス入力からクロック出力までの伝搬遅延の温度係数を改善するための DMA。 1 : 低スルー・レート信号がリファレンス入力に印加された場合の PLL 帯域内ノイズを改善するための LNA。	0x0	R/W
4	R01F_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
[3:0]	R01F_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

レジスタの詳細

アドレス : 0x20、リセット : 0x00、レジスタ名 : REG0020

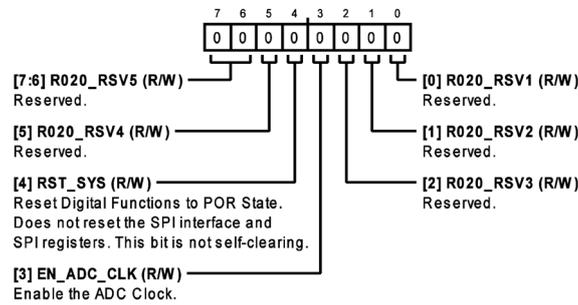


図 146.

表 73. REG0020 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	R020_RSV5	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
5	R020_RSV4	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
4	RST_SYS	デジタル機能を POR 状態にリセット。SPI インターフェイスおよび SPI レジスタはリセットしません。このビットはセルフクリアされません。 0 : リセット無効。通常動作。 1 : リセット有効。	0x0	R/W
3	EN_ADC_CLK	ADC クロックのイネーブル。詳細については、図 75 を参照してください。 0 : ディスエーブル。 1 : イネーブル。通常動作。	0x0	R/W
2	R020_RSV3	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
1	R020_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
0	R020_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

アドレス : 0x21、リセット : 0x00、レジスタ名 : REG0021

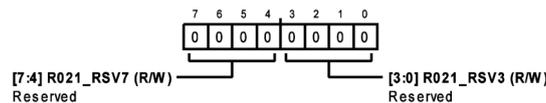


図 147.

表 74. REG0021 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	R021_RSV7	予約済み。	0x0	R/W
[3:0]	R021_RSV3	予約済み。	0x0	R/W

アドレス : 0x22、リセット : 0x00、レジスタ名 : REG0022

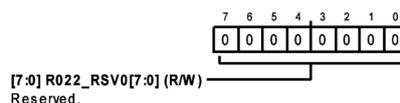


図 148.

表 75. REG0022 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R022_RSV0[7:0]	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

レジスタの詳細

アドレス : 0x23、リセット : 0x00、レジスタ名 : REG0023

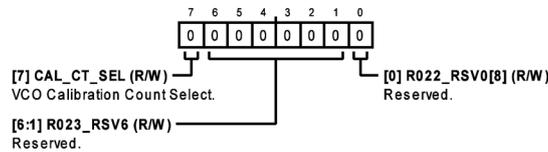


図 149.

表 76. REG0023 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CAL_CT_SEL	VCO キャリブレーション・カウント選択。詳細については、表 17 を参照してください。	0x0	R/W
[6:1]	R023_RSV6	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
0	R022_RSV0[8]	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

アドレス : 0x24、リセット : 0x00、レジスタ名 : REG0024

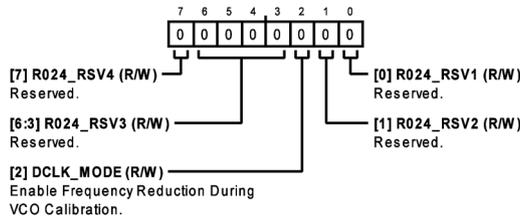


図 150.

表 77. REG0024 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R024_RSV4	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
[6:3]	R024_RSV3	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
2	DCLK_MODE	VCO キャリブレーション時の周波数低減をイネーブル。イネーブルすると f_{DIV_RCLK} および f_{DIV_NCLK} を 1/2 にします。詳細については、表 17 を参照してください。 0 : デイスエーブル。 1 : イネーブル。	0x0	R/W
1	R024_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
0	R024_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

アドレス : 0x25、リセット : 0x00、レジスタ名 : REG0025

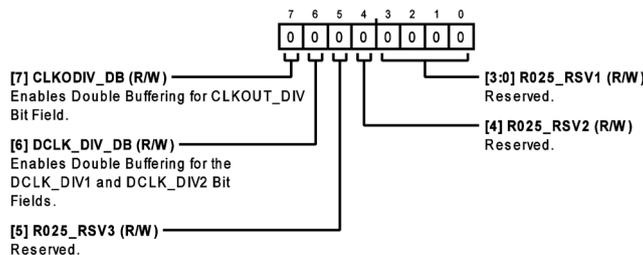


図 151.

レジスタの詳細

表 78. REG0025 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CLKODIV_DB	CLKOUT_DIV ビット・フィールドのダブル・バッファをイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
6	DCLK_DIV_DB	DCLK_DIV1 ビット・フィールドおよび DCLK_DIV2 ビット・フィールドのダブル・バッファをイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W
5	R025_RSV3	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
4	R025_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
[3:0]	R025_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

アドレス : 0x26、リセット : 0x00、レジスタ名 : REG0026

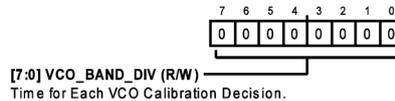


図 152.

表 79. REG0026 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND_DIV	VCO キャリブレーションの各デシジョンあたりの時間。VCO のキャリブレーションのセクションで示した式で決まります。	0x0	R/W

アドレス : 0x27、リセット : 0x00、レジスタ名 : REG0027

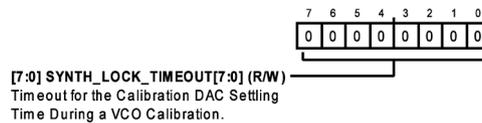


図 153.

表 80. REG0027 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SYNTH_LOCK_TIMEOUT[7:0]	VCO のキャリブレーションにおけるキャリブレーション DAC のセトリング時間のタイムアウト。VCO のキャリブレーションのセクションで示した式で決まります。	0x0	R/W

アドレス : 0x28、リセット : 0x00、レジスタ名 : REG0028

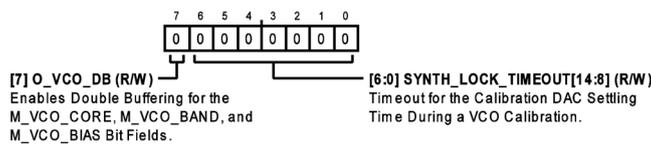


図 154.

表 81. REG0028 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	O_VCO_DB	M_VCO_CORE、M_VCO_BAND、M_VCO_BIAS の各ビット・フィールドのダブル・バッファをイネーブル。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

レジスタの詳細

表 81. REG0028 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
[6:0]	SYNTH_LOCK_TIMEOUT[14:8]	VCO のキャリブレーションにおけるキャリブレーション DAC のセトリング時間のタイムアウト。VCO のキャリブレーションのセクションで示した式で決まります。	0x0	R/W

アドレス : 0x29、リセット : 0x00、レジスタ名 : REG0029

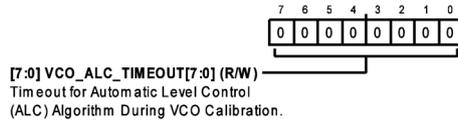


図 155.

表 82. REG0029 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_ALC_TIMEOUT[7:0]	VCO のキャリブレーションにおける自動レベル制御 (ALC) アルゴリズムのタイムアウト。VCO のキャリブレーションのセクションで示した式で決まります。	0x0	R/W

アドレス : 0x2A、リセット : 0x00、レジスタ名 : REG002A

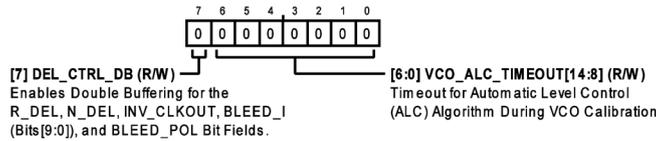


図 156.

表 83. REG002A のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	DEL_CTRL_DB	R_DEL、N_DEL、INV_CLKOUT、BLEED_I (ビット[9:0])、BLEED_POL の各ビット・フィールドのダブル・バッファをイネーブル。 0 : デisable。 1 : イネーブル。	0x0	R/W
[6:0]	VCO_ALC_TIMEOUT[14:8]	VCO のキャリブレーションにおける自動レベル制御 (ALC) アルゴリズムのタイムアウト。VCO のキャリブレーションのセクションで示した式で決まります。	0x0	R/W

アドレス : 0x2B、リセット : 0x00、レジスタ名 : REG002B

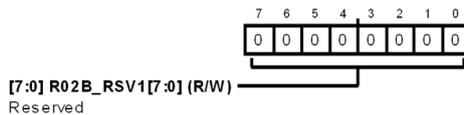


図 157.

表 84. REG002B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R02B_RSV1[7:0]	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x2C、リセット : 0x00、レジスタ名 : REG002C

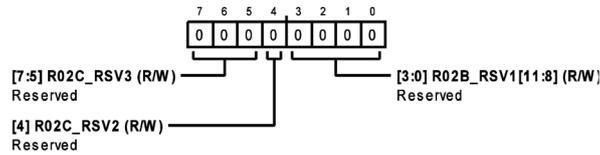


図 158.

表 85. REG002C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	R02C_RSV3	予約済み。	0x0	R/W
4	R02C_RSV2	予約済み。	0x0	R/W
[3:0]	R02B_RSV1[11:8]	予約済み。	0x0	R/W

アドレス : 0x2D、リセット : 0x00、レジスタ名 : REG002D

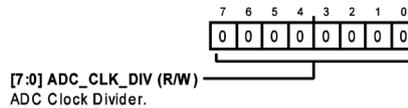


図 159.

表 86. REG002D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	ADC_CLK_DIV	ADC クロック分周器。VCO のキャリブレーションのセクションで示した式で決まります。	0x0	R/W

アドレス : 0x2E、リセット : 0x00、レジスタ名 : REG002E

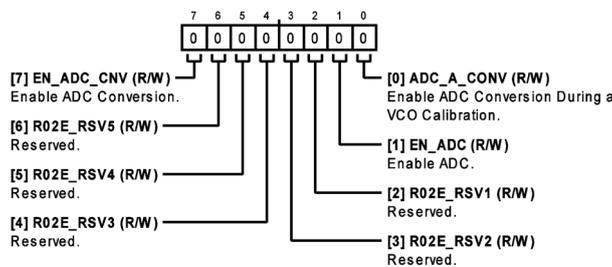


図 160.

表 84. REG002E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_ADC_CNV	ADC 変換のイネーブル。詳細については、 温度センサー のセクションを参照してください。 0 : ディスエーブル。 1 : イネーブル。通常動作。	0x0	R/W
6	R02E_RSV5	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
5	R02E_RSV4	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
4	R02E_RSV3	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
3	R02E_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
2	R02E_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
1	EN_ADC	ADC のイネーブル。詳細については、 温度センサー のセクションを参照してください。 0 : ADC_ST_CNV ビット・フィールドへの書き込み時のみ ADC 変換が可能。 1 : イネーブル。通常動作。	0x0	R/W

レジスタの詳細

表 87. REG002E のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
0	ADC_A_CONV	VCO キャリブレーション時の ADC 変換をイネーブル。 0 : ADC_ST_CNV ビットへの書き込み時のみ ADC 変換が可能。 1 : イネーブル。通常動作。VCO のキャリブレーション開始時または ADC_ST_CNV ビットへの書き込み時に自動的に ADC 変換を開始。	0x0	R/W

アドレス : 0x2F、リセット : 0x00、レジスタ名 : REG002F

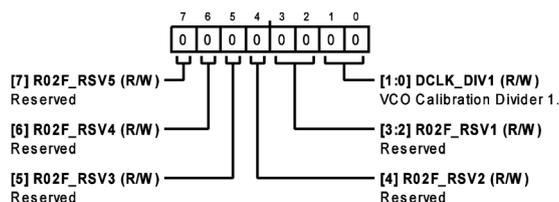


図 161.

表 88. REG002F のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R02F_RSV5	予約済み。	0x0	R/W
6	R02F_RSV4	予約済み。	0x0	R/W
5	R02F_RSV3	予約済み。	0x0	R/W
4	R02F_RSV2	予約済み。	0x0	R/W
[3:2]	R02F_RSV1	予約済み。	0x0	R/W
[1:0]	DCLK_DIV1	VCO キャリブレーション分周器 1。 0 : 1 分周。 1 : 2 分周。 10 : 8 分周。 11 : 32 分周。	0x0	R/W

アドレス : 0x30、リセット : 0x00、レジスタ名 : REG0030

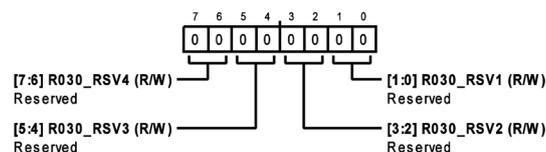


図 162.

表 89. REG0030 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	R030_RSV4	予約済み。	0x0	R/W
[5:4]	R030_RSV3	予約済み。	0x0	R/W
[3:2]	R030_RSV2	予約済み。	0x0	R/W
[1:0]	R030_RSV1	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x31、リセット : 0x00、レジスタ名 : REG0031

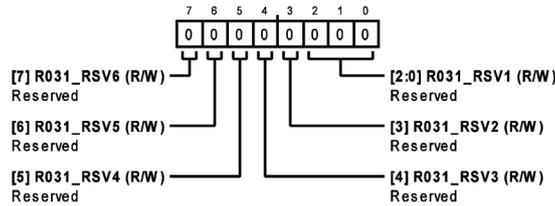


図 163.

表 90. REG0031 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R031_RSV6	予約済み。	0x0	R/W
6	R031_RSV5	予約済み。	0x0	R/W
5	R031_RSV4	予約済み。	0x0	R/W
4	R031_RSV3	予約済み。	0x0	R/W
3	R031_RSV2	予約済み。	0x0	R/W
[2:0]	R031_RSV1	予約済み。	0x0	R/W

アドレス : 0x32、リセット : 0x00、レジスタ名 : REG0032

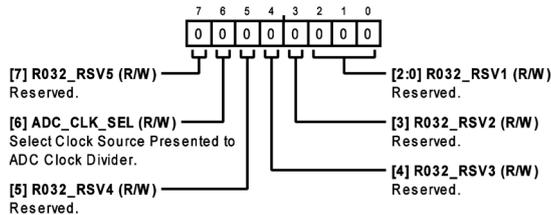


図 164.

表 91. REG0032 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R032_RSV5	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
6	ADC_CLK_SEL	ADC クロック分周器に出力するクロック源を選択します。詳細については、図 75 を参照してください。 0 : 内部クロックを選択。通常動作。VCO キャリブレーションの間、およびフル・パワー時のダイ温度測定の間にご利用いただけます。 1 : SCLK ピンを選択。温度センサーを用いた周囲ダイ温度測定。詳細については、温度センサーのセクションを参照してください。	0x0	R/W
5	R032_RSV4	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
4	R032_RSV3	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
3	R032_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
[2:0]	R032_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

レジスタの詳細

アドレス : 0x33、リセット : 0x00、レジスタ名 : REG0033

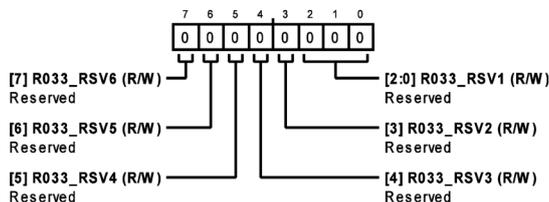


図 165.

表 92. REG0033 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R033_RSV6	予約済み。	0x0	R/W
6	R033_RSV5	予約済み。	0x0	R/W
5	R033_RSV4	予約済み。	0x0	R/W
4	R033_RSV3	予約済み。	0x0	R/W
3	R033_RSV2	予約済み。	0x0	R/W
[2:0]	R033_RSV1	予約済み。	0x0	R/W

アドレス : 0x34、リセット : 0x00、レジスタ名 : REG0034

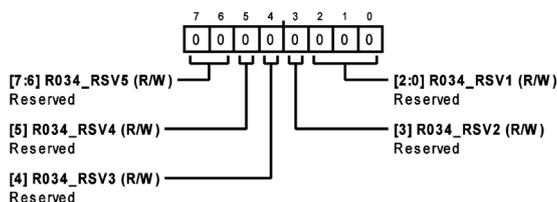


図 166.

表 93. REG0034 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	R034_RSV5	予約済み。	0x0	R/W
5	R034_RSV4	予約済み。	0x0	R/W
4	R034_RSV3	予約済み。	0x0	R/W
3	R034_RSV2	予約済み。	0x0	R/W
[2:0]	R034_RSV1	予約済み。	0x0	R/W

アドレス : 0x35、リセット : 0x00、レジスタ名 : REG0035

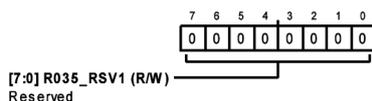


図 167.

表 94. REG0035 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R035_RSV1	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x36、リセット : 0x00、レジスタ名 : REG0036

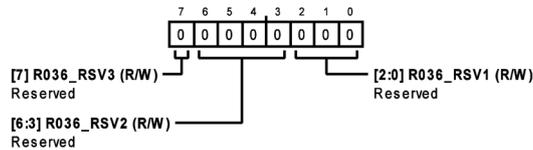


図 168.

表 95. REG0036 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R036_RSV3	予約済み。	0x0	R/W
[6:3]	R036_RSV2	予約済み。	0x0	R/W
[2:0]	R036_RSV1	予約済み。	0x0	R/W

アドレス : 0x37、リセット : 0x00、レジスタ名 : REG0037

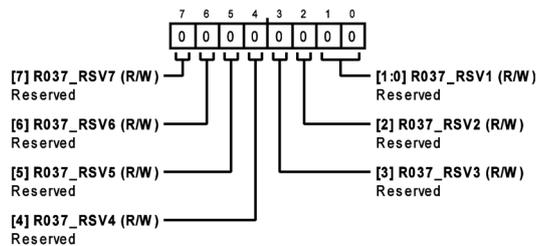


図 169.

表 96. REG0037 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R037_RSV7	予約済み。	0x0	R/W
6	R037_RSV6	予約済み。	0x0	R/W
5	R037_RSV5	予約済み。	0x0	R/W
4	R037_RSV4	予約済み。	0x0	R/W
3	R037_RSV3	予約済み。	0x0	R/W
2	R037_RSV2	予約済み。	0x0	R/W
[1:0]	R037_RSV1	予約済み。	0x0	R/W

アドレス : 0x38、リセット : 0x00、レジスタ名 : REG0038

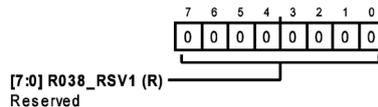


図 170.

表 97. REG0038 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R038_RSV1	予約済み。	0x0	R

レジスタの詳細

アドレス : 0x39、リセット : 0x00、レジスタ名 : REG0039

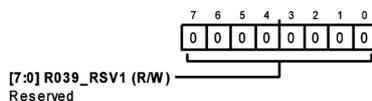


図 171.

表 98. REG0039 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R039_RSV1	予約済み。	0x0	R/W

アドレス : 0x3A、リセット : 0x00、レジスタ名 : REG003A

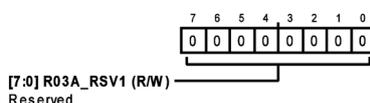


図 172.

表 99. REG003A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R03A_RSV1	予約済み。	0x0	R/W

アドレス : 0x3B、リセット : 0x00、レジスタ名 : REG003B

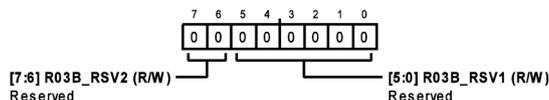


図 173.

表 100. REG003B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	R03B_RSV2	予約済み。	0x0	R/W
[5:0]	R03B_RSV1	予約済み。	0x0	R/W

アドレス : 0x3C、リセット : 0x00、レジスタ名 : REG003C

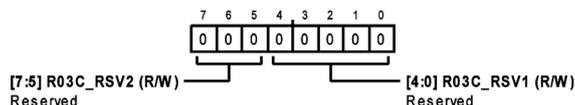


図 174.

表 101. REG003C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	R03C_RSV2	予約済み。	0x0	R/W
[4:0]	R03C_RSV1	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x3D、リセット : 0x00、レジスタ名 : REG003D

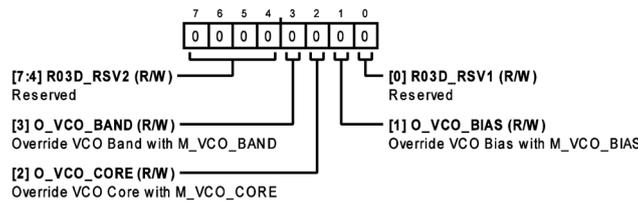


図 175.

表 102. REG003D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	R03D_RSV2	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W
3	O_VCO_BAND	M_VCO_BAND で VCO 帯域をオーバーライド。 0 : VCO キャリブレーションのステート・マシンに基づく VCO 帯域コード。 1 : M_VCO_BAND に基づく VCO 帯域コード。	0x0	R/W
2	O_VCO_CORE	M_VCO_CORE で VCO コアをオーバーライド。詳細については、 VCO のキャリブレーションのセクション を参照してください。 0 : VCO キャリブレーションのステート・マシンに基づく VCO コアの設定。 1 : M_VCO_CORE に基づく VCO コアの設定。	0x0	R/W
1	O_VCO_BIAS	M_VCO_BIAS で VCO バイアスをオーバーライド。詳細については、 VCO のキャリブレーションのセクション を参照してください。 0 : VCO キャリブレーションのステート・マシンに基づく VCO バイアスの設定。 1 : M_VCO_BIAS に基づく VCO バイアスの設定。	0x0	R/W
0	R03D_RSV1	予約済み。表 44 に必要な予約済みレジスタ設定が示されています。	0x0	R/W

アドレス : 0x3E、リセット : 0x00、レジスタ名 : REG003E

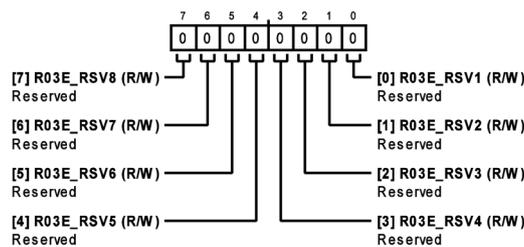


図 176.

表 103. REG003E のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R03E_RSV8	予約済み。	0x0	R/W
6	R03E_RSV7	予約済み。	0x0	R/W
5	R03E_RSV6	予約済み。	0x0	R/W
4	R03E_RSV5	予約済み。	0x0	R/W
3	R03E_RSV4	予約済み。	0x0	R/W
2	R03E_RSV3	予約済み。	0x0	R/W
1	R03E_RSV2	予約済み。	0x0	R/W
0	R03E_RSV1	予約済み。	0x0	R/W

レジスタの詳細

アドレス : 0x3F、リセット : 0x00、レジスタ名 : REG003F

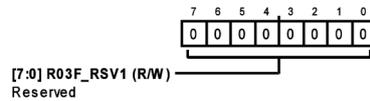


図 177.

表 104. REG003F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R03F_RSV1	予約済み。	0x0	R/W

アドレス : 0x40、リセット : 0x00、レジスタ名 : REG0040

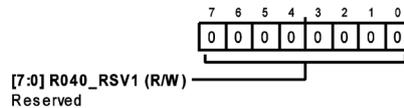


図 178.

表 105. REG0040 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R040_RSV1	予約済み。	0x0	R/W

アドレス : 0x41、リセット : 0x00、レジスタ名 : REG0041

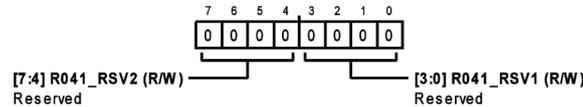


図 179.

表 106. REG0041 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	R041_RSV2	予約済み。	0x0	R/W
[3:0]	R041_RSV1	予約済み。	0x0	R/W

アドレス : 0x42、リセット : 0x00、レジスタ名 : REG0042

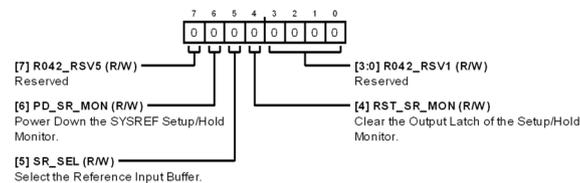


図 180.

表 107. REG0042 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R042_RSV5	予約済み。	0x0	R/W
6	PD_SR_MON	SYSREF セットアップ/ホールド・モニタのパワーダウン。 0 : アクティブ。通常動作。 1 : パワーダウン・モード。	0x0	R/W

レジスタの詳細

表 107. REG0042 のビットの説明 (続き)

ビット	ビット名	説明	リセット	アクセス
5	SR_SEL	リファレンス入力バッファの選択。 0: CML/LVPECL 入力バッファ。 1: LVDS 入力バッファ。	0x0	R/W
4	RST_SR_MON	セットアップ/ホールド・モニタの出力ラッチのクリア。このビットはセルフクリアされません 0: リセット無効。通常動作。 1: リセット有効。	0x0	R/W
[3:0]	R042_RSV1	予約済み。	0x0	R/W

アドレス : 0x43、リセット : 0x00、レジスタ名 : REG0043

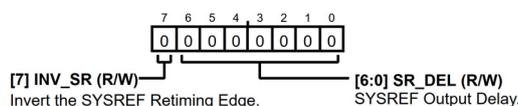


図 181.

表 108. REG0043 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	INV_SR	SYSREF リタイミング・エッジの反転。SYSREF 出力をクロック出力周期の 1/2 だけ遅延します。 1: 非反転。 0: 反転。	0x0	R/W
[6:0]	SR_DEL	SYSREF 出力遅延。SYSREF 出力を遅延させます。	0x0	R/W

アドレス : 0x44、リセット : 0x00、レジスタ名 : REG0044

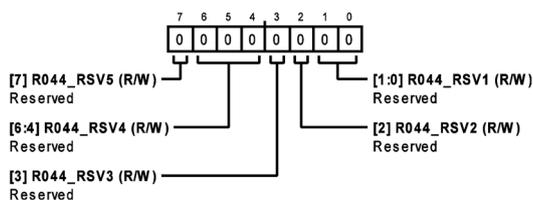


図 182.

表 109. REG0044 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	R044_RSV5	予約済み。	0x0	R/W
[6:4]	R044_RSV4	予約済み。	0x0	R/W
3	R044_RSV3	予約済み。	0x0	R/W
2	R044_RSV2	予約済み。	0x0	R/W
[1:0]	R044_RSV1	予約済み。	0x0	R/W

アドレス : 0x45、リセット : 0x00、レジスタ名 : REG0045

詳細については、[温度センサー](#)のセクションを参照してください。

レジスタの詳細

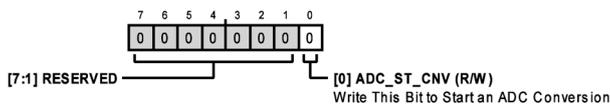


図 183.

表 110. REG0045 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	ADC_ST_CNV	このビットに書き込みを行うと、ADC 変換が開始します。	0x0	R/W

アドレス : 0x46、リセット : 0x00、レジスタ名 : REG0046

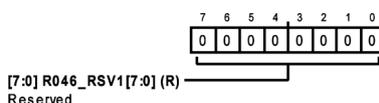


図 184.

表 111. REG0046 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R046_RSV1[7:0]	予約済み。	0x0	R

アドレス : 0x47、リセット : 0x00、レジスタ名 : REG0047

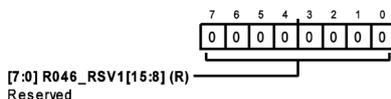


図 185.

表 112. REG0047 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R046_RSV1[15:8]	予約済み。	0x0	R

アドレス : 0x48、リセット : 0x00、レジスタ名 : REG0048

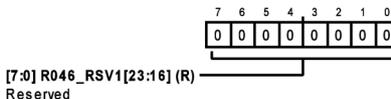


図 186.

表 113. REG0048 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R046_RSV1[23:16]	予約済み。	0x0	R

レジスタの詳細

アドレス : 0x49、リセット : 0x00、レジスタ名 : REG0049

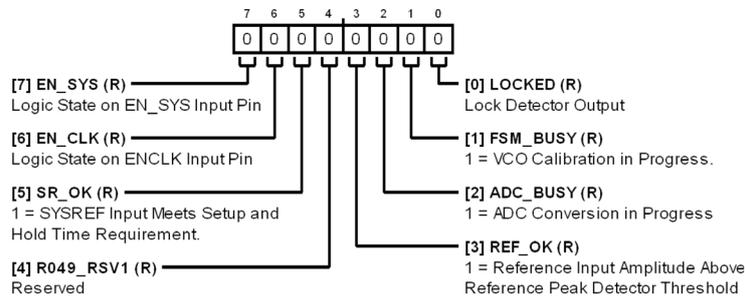


図 187.

表 114. REG0049 のビットの説明

ビット	ビット名	説明	リセット	アクセス
7	EN_SYS	ENSR 入力ピンのロジック状態。詳細については、 図 80 を参照してください。	0x0	R
6	EN_CLK1	ENCLK 入力ピンのロジック状態。詳細については、 図 79 を参照してください。	0x0	R
5	SR_OK	1 = SYSREF 入力が入力セットアップ時間とホールド時間の条件を満たします。	0x0	R
4	R049_RSV1	予約済み。	0x0	R
3	REF_OK	1 = リファレンス入力の振幅がリファレンス・ピーク検出器の閾値を超えています。	0x0	R
2	ADC_BUSY	1 = ADC 変換が進行中。詳細については、 VCO のキャリブレーションのセクション および 温度センサーのセクション を参照してください。	0x0	R
1	FSM_BUSY	1 = VCO キャリブレーションが進行中。	0x0	R
0	LOCKED	ロック検出器の出力。	0x0	R

アドレス : 0x4A、リセット : 0x00、レジスタ名 : REG004A

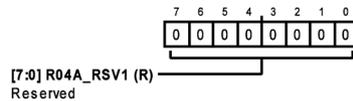


図 188.

表 115. REG004A のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R04A_RSV1	予約済み。	0x0	R

アドレス : 0x4B、リセット : 0x00、レジスタ名 : REG004B

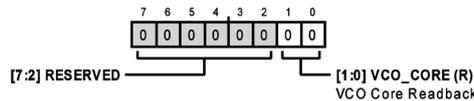


図 189.

表 116. REG004B のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予約済み。	0x0	R
[1:0]	VCO_CORE	VCO コアのリードバック。詳細については、 VCO のキャリブレーションのセクション を参照してください。	0x0	R

レジスタの詳細

アドレス : 0x4C、リセット : 0x00、レジスタ名 : REG004C

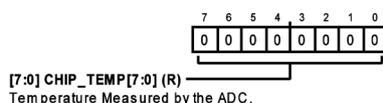


図 190.

表 117. REG004C のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_TEMP[7:0]	ADC が測定した温度。CHIP_TEMP[8]は符号ビットで、0 = 正、1 = 負です。CHIP_TEMP[7:0] = 大きさ。	0x0	R

アドレス : 0x4D、リセット : 0x00、レジスタ名 : REG004D

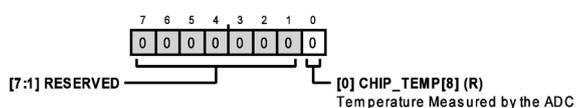


図 191.

表 118. REG004D のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予約済み。	0x0	R
0	CHIP_TEMP[8]	ADC が測定した温度。CHIP_TEMP[8]は符号ビットで、0 = 正、1 = 負です。CHIP_TEMP[7:0] = 大きさ。	0x0	R

アドレス : 0x4E、リセット : 0x00、レジスタ名 : REG004E

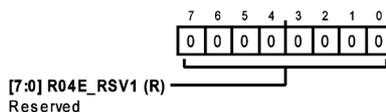


図 192.

表 119. REG004E のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R04E_RSV1	予約済み。	0x0	R

アドレス : 0x4F、リセット : 0x00、レジスタ名 : REG004F

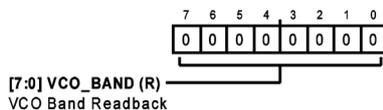


図 193.

表 120. REG004F のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VCO_BAND	VCO 帯域のリードバック。詳細については、 VCO のキャリブレーションのセクション を参照してください。	0x0	R

レジスタの詳細

アドレス : 0x50、リセット : 0x00、レジスタ名 : REG0050

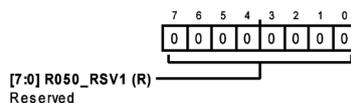


図 194.

表 121. REG0050 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	R050_RSV1	予約済み。	0x0	R

アドレス : 0x51、リセット : 0x00、レジスタ名 : REG0051

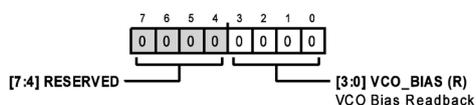


図 195.

表 122. REG0051 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	VCO_BIAS	VCO バイアスのリードバック。詳細については、 VCO のキャリブレーション のセクションを参照してください。	0x0	R

アドレス : 0x52、リセット : 0x00、レジスタ名 : REG0052

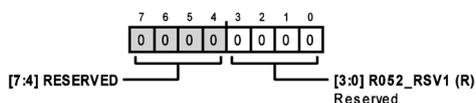


図 196.

表 123. REG0052 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予約済み。	0x0	R
[3:0]	R052_RSV1	予約済み。	0x0	R

アドレス : 0x53、リセット : 0x00、レジスタ名 : REG0053

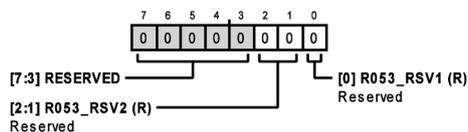


図 197.

表 124. REG0053 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	RESERVED	予約済み。	0x0	R
[2:1]	R053_RSV2	予約済み。	0x0	R
0	R053_RSV1	予約済み。	0x0	R

レジスタの詳細

アドレス : 0x54、リセット : 0x00、レジスタ名 : REG0054

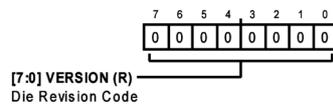


図 198.

表 125. REG0054 のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VERSION	ダイのレビジョン・コード。	0x0	R

外形寸法

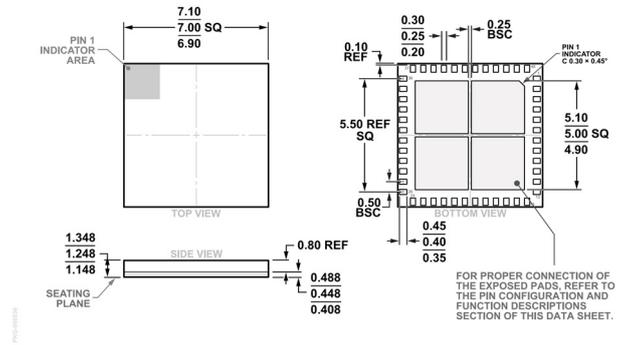


図 199.48 端子のランド・グリッド・アレイ [LGA]
CC-48-6
単位：mm

更新：2023年11月20日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADF4378BCCZ	-40°C to +105°C	LGA/CASON/CH ARRY SO NO LD	Tray, 260	CC-48-6
ADF4378BCCZ-RL7	-40°C to +105°C	LGA/CASON/CH ARRY SO NO LD	Reel, 500	CC-48-6

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EV-ADF4378SD1Z	Evaluation Board

¹ Z = RoHS 準拠製品。